

ASIC para Sistemas de Medidas Ambientales.

J.G.Ortega, C.L. Janer, J.M.Quero y L.G.Franquelo
Dpto. de Ingeniería de Sistemas y Automática
Escuela Superior de Ingenieros de Sevilla

J. Pinilla y M. Gonzalez
Sainco S. A.

Resumen

El circuito integrado que aquí se describe ha sido diseñado con tecnología puramente digital, y tiene como función servir como centro concentrador de datos en estaciones meteorológicas, aunque por su diseño generico puede ser usado en cualquier otro campo. Su objetivo principal es la adquisición de medidas (condiciones ambientales como velocidad y dirección del viento, temperaturas, humedades relativas,...) y la generación de señales analógicas y digitales telemandadas procedentes de un canal de radio o de un canal SPI. Esta realización se enmarca dentro del programa GAME y ha sido desarrollada en colaboración con la empresa SAINCO.

1. Introducción.

En la figura (1) se muestra el esquema general de un ASIC empleado como concentrador de medidas y dotado de capacidad de comunicación a través de dos canales serie. El diseño ha sido orientado para dotar al circuito de una gran modularidad, de forma que aparecen diferentes bloques que pueden funcionar de manera independiente. En líneas generales, éstos se pueden clasificar según su funcionalidad en tres. Los que se encargan de recibir señales de los sensores ambientales, como son dirección del viento temperaturas, etc., o enviar estímulos a actuadores, como relés. A este grupo pertenecen los contadores frecuenciométricos, las entradas y salidas digitales y los convertidores Digital-Analógicos y Analógico-Digital.

Los segundos son el SPI, encargado de comunicar el circuito con periféricos tales como microprocesador o EEPROM y la UART conectada al canal de radio.

Por otra parte, el control del integrado desde el exterior se realiza según dos modos de funcionamiento. En el primero, un microprocesador es el encargado de gobernar a éste por medio del canal SPI, siendo la UART un simple dispositivo emisor y receptor de bytes. En el segundo, las ordenes son recibidas por la esta última mediante un protocolo CRC. En este caso, el canal SPI se reserva para una posible conexión a una EEPROM,

encargada de introducir una configuración inicial al circuito.

2. Descripción de módulos funcionales.

A continuación se comentan cada uno de los módulos existente en el circuito.

16 entradas digitales. Con objeto de recibir información de transductores de posición tipo encoder absoluto de 8 bits se dispone de dos canales independientes, con prefiltro de entrada para cada bit, de 1KHz de frecuencia de muestreo. La validación de una nueva entrada se realiza al detectarse ésta tres veces consecutivas. La información se procesa en dos bytes independientes, siendo programable la conversión Gray-Binario de cada uno de dichos bytes.

Reloj de entrada de 16 MHz. La frecuencia de trabajo del circuito integrado es de 16 MHz. Con objeto de poder obtener una salida de 8 MHz que sirva de reloj para otros componentes externos del sistema se incorpora un divisor que lo genera a partir de la señal de reloj del ASIC.

UART. Dispone de dos canales, uno de transmisión y otro de recepción. Este dispositivo de comunicación serie presenta dos modos de funcionamiento: uno como simple canal de transmisión y recepción de bytes, controlado por un microprocesador, y otro como enlace por radio via modem (con señales /RTS y /CTS).

8 salidas digitales. Dichas salidas son independientes y permiten la activación de relés exteriores almacenando un 1 en el bit correspondiente del registro de activación de relés.

8 entradas digitales. Para comprobar el cierre de los relés activados por las salidas anteriores, se almacenan estas entradas en el registro de entradas de comprobación de cierre de relés. Se considera que el relé se encuentra activado si la lectura de la entrada correspondiente es 0. Si se detecta fallo en dicha activación (se lee un 1) se desactivan automáticamente todas las salidas del re-

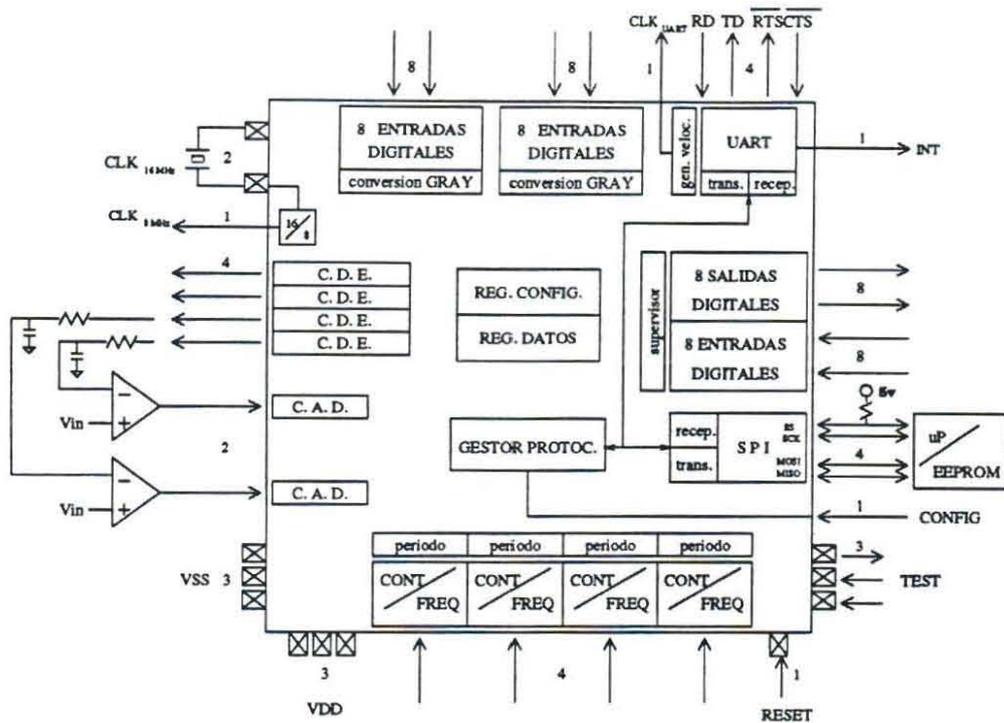


Figura 1: Esquema general del ASIC.

gistro. Esta desactivación automática puede ser anulada mediante el bit correspondiente del registro de configuración del integrado. La verificación del cierre del relé se realiza 150 μ s después de haber activado la orden de cierre.

4 contadores de pulsos/contadores frecuenciométricos. Estas cuatro entradas pueden ser programadas independientemente para trabajar como contador de pulsos o como contadores frecuenciométricos. Dicha funcionalidad se define en el correspondiente bit del registro de configuración.

La información se almacena en 4 registros de contador de pulsos de 16 bits cada uno. Estos contadores de 16 bits pueden funcionar como contadores de pulsos (con un bit adicional que indique el paso por cero de la cuenta) o como convertidores frecuenciométricos, siendo el periodo de cuenta programable con rango de funcionamiento entre 2 KHz y 40 KHz.

Estos canales se pueden emplear, trabajando en modo frecuenciométrico, para adquirir señales analógicas que externamente se hayan procesado por un sistema convertidor voltaje-frecuencia y aislamiento galvánico. Los pulsos que se reciban se someten a un filtrado que elimina pulsos de duración inferior a un mínimo. Una vez transcurrido el tiempo de conteo, el valor alcanzado en los contadores se copia en los registros a los que se puede acceder desde el exterior.

Una aplicación de los contadores frecuenciométricos es la medida de la velocidad del viento, que es recibida desde un transductor y convertida a un tren de pulsos

cuya frecuencia es función de la velocidad del viento incidente.

Canal SPI. Diseñado para poder conectar un microprocesador o una EEPROM, desde donde el integrado recibe una matriz de condiciones iniciales tras el reset, que modifican la configuración inicial al dar alimentación al ASIC.

4 convertidores digitales analógicos estocásticos. Con objeto de disponer de salidas analógicas en este dispositivo puramente digital se incorporan 4 convertidores digitales estocásticos de 10 bits. El esquema de dichos convertidores se muestra en la figura (2).

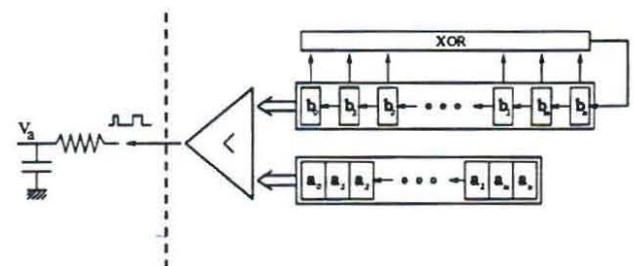


Figura 2: Diagrama de bloques de un convertidor digital estocástico

En dicho esquema aparece un generador de números aleatorios de 10 bits, [1]. El número generado es comparado en cada ciclo de reloj con el valor a convertir. El resultado de la comparación es la salida de cada con-

vertidor. El valor medio de los pulsos así generados representa, entre V_{SS} y V_{DD} , el valor analógico del número digital cargado en el registro, con la correspondencia $0 = V_{SS}$ y $2^{10} - 1 = V_{DD}$.

Para obtener el valor analógico a partir del estocástico es necesario integrar dichos pulsos. A tal efecto se usará un filtro paso bajo RC encargado de generar la conversión estocástica-analógica. Obviamente el rizado de la tensión a la salida del filtro debe ser menor que la resolución del convertidor, que en este caso es

$$\frac{V_{DD} - V_{SS}}{2^n} \quad (1)$$

donde n es el número de bits que se desean de resolución. Sin embargo hay que tener en cuenta que, cuanto mayor sea la precisión, mayor será el tiempo necesario para garantizar que en la salida del filtro se tenga el valor deseado en la conversión. La valor inicial empleado en cada generador de números aleatorios es distinto, con objeto de poder realizar la multiplicación de trenes estocásticos con una simple puerta AND externa, [2].

Dos de los convertidores digital estocásticos disponen de un algoritmo que les permite funcionar como convertidores analógico digital con la ayuda de un filtro RC externo y un comparador. La activación de dichos algoritmos se realiza escribiendo un 1 en el bit correspondiente en la configuración inicial.

2 entradas de comparación Estas entradas indican el valor digital de la comparación mayor/menor de un valor analógico y de una de las salidas estocásticas convertidas a analógicas mediante un filtro RC. En la figura (3) se muestra el esquema de dichos convertidores. Estas entradas se emplean para realizar las conversión analógica digital, de tal manera que el convertidor digital estocástico 0 (1) se empleará para efectuar la conversión analógica digital 0 (1) empleando la entrada de comparación 0 (1).

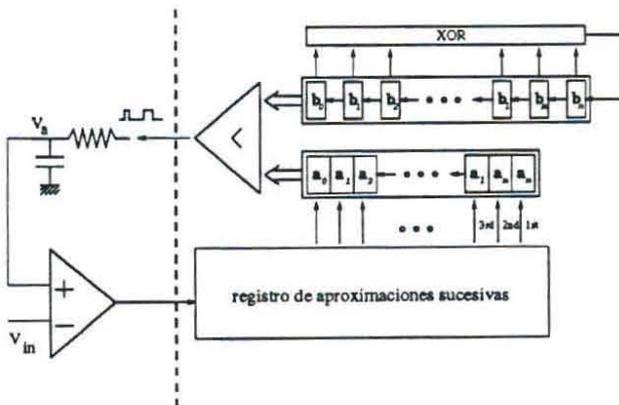


Figura 3: Diagrama de bloques de un convertidor analógico digital estocástico

3. Dimensionamiento de los filtros de los convertidores D/A y A/D estocásticos.

Debido a condicionamientos económicos se ha empleado una tecnología puramente digital. Los tiempos requeridos en la conversiones analógica digital y digital analógica no son muy exigentes, lo que hace posible el uso de trenes de pulsos como forma de codificación de señales analógicas. La utilización de trenes estocásticos en vez de una señal PWM presenta numerosas ventajas que son expuestas en [3].

Para convertir un tren de pulsos estocásticos a un valor analógico es preciso filtrarlos utilizando un filtro paso-bajo. El tipo de filtro que se utiliza es, por motivos de sencillez, una red R-C, cuya constante de tiempo es preciso determinar. Esta constante de tiempo se debe elegir de forma que la componente de ruido integrada produzca fluctuaciones de tensión a la salida del filtro más pequeñas que la componente de continua del bit menos significativo, para mantener la resolución del convertidor.

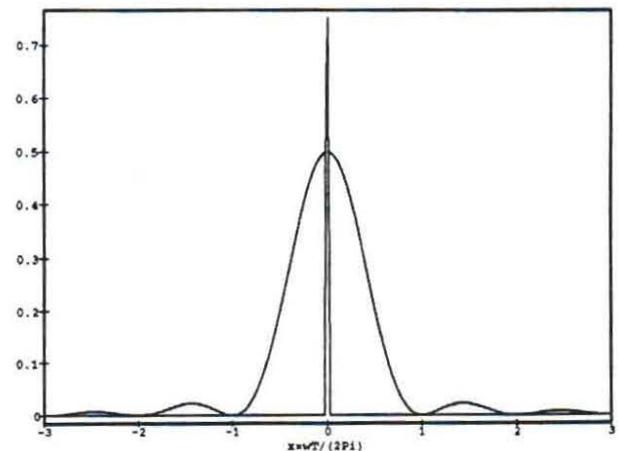


Figura 4: Densidad espectral de potencia.

Para calcular la componente del ruido es preciso conocer primero la densidad espectral de potencia de una tren de pulsos estocásticos, [3]. La expresión analítica es:

$$|S(\omega)| = 2\pi p^2 \delta(\omega) + 2pqT \frac{1 - \cos(\omega T)}{(\omega T)^2} \quad (2)$$

que se ha representado gráficamente en la figura (4). T representa el periodo del reloj del integrado. La letra p representa la cantidad que se está convirtiendo, pero reducida al intervalo (0,1), mientras que $q=1-p$. El primer sumando de (2) representa la potencia de la componente de continua de la señal mientras que el segundo puede

considerarse como la potencia de un ruido superpuesto que hay que eliminar.

La dinámica del filtro debe ser mucho más lenta que la dinámica del reloj, ya que es preciso integrar muchos pulsos para poder estimar la componente de continua. El primer cero de (2) aparece en $\omega T = 2\pi$, por lo que la frecuencia de corte del filtro está mucho más cerca de $\omega = 0$ que de $\omega = \frac{2\pi}{T}$ y, consiguientemente, la densidad espectral de potencia puede considerarse constante para el intervalo de frecuencias en el que integra el filtro. Esta constante se calcula fácilmente:

$$\lim_{\omega T \rightarrow 0} 2pqT \frac{1 - \cos(\omega T)}{(\omega T)^2} = pqT$$

y, por tanto:

$$|S(\omega)| \simeq 2\pi p^2 \delta(\omega) + pqT \quad (3)$$

Como se ha dicho, la componente filtrada del ruido debe ser más pequeña que la componente de continua correspondiente al bit menos significativo. Esta condición se impone para el caso más desfavorable (ruido máximo) que se verifica cuando $p = q = 0.5$. Teniendo esto en cuenta, resulta que la pulsación correspondiente a la frecuencia de corte del filtro debe verificar:

$$\omega_{max} < 2^{-2(n-1)} \omega_{clk} \quad (4)$$

Los convertidores anteriores han sido probados usando el emulador hardware META de la empresa METASYS-TEM, [4].

Para el convertidor digital analógico se han considerado dos casos distintos. En el primero se ha usado una $R = 1K\Omega$ y $C = 25\mu F$. Estos valores garantizan que el nivel de ruido de la señal de salida del filtro sea menor que la componente de continua del bit menos significativo. El resultado de la conversión se obtiene al cabo de $1.86ms$, y su evolución se muestra en la figura (5).

La respuesta del convertidor se puede hacer más rápida con otros valores de R y C. En la figura (6) se muestra el comportamiento para un valor de $R = 1K\Omega$ y $C = 2.5\mu F$. Evidentemente, la dinámica del sistema es 10 veces más rápida que el caso anterior, pero el rizado a la salida es mayor.

El resultado de un proceso de conversión analógico digital, con unos valores de $R = 1K\Omega$ y $C = 1.0\mu F$ se muestra en la figura (7). Se puede apreciar como el tiempo de conversión para el primer bit, el más significativo, es el doble que el utilizado para los siguientes.

4. Conclusiones.

El circuito integrado que aquí se describe está siendo desarrollado para ser usado como un elemento concentrador de medidas ambientales. Se le ha dotado de una gran capacidad de comunicación con el exterior, que permite acceder en todo momento al estado de los registros de

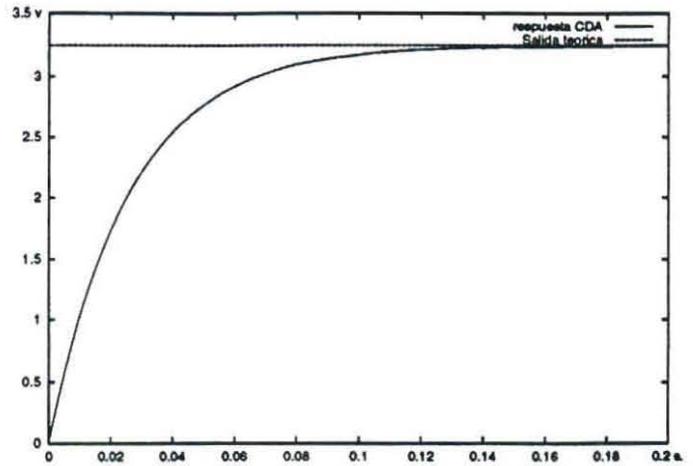


Figura 5: Respuesta del CDA lento.

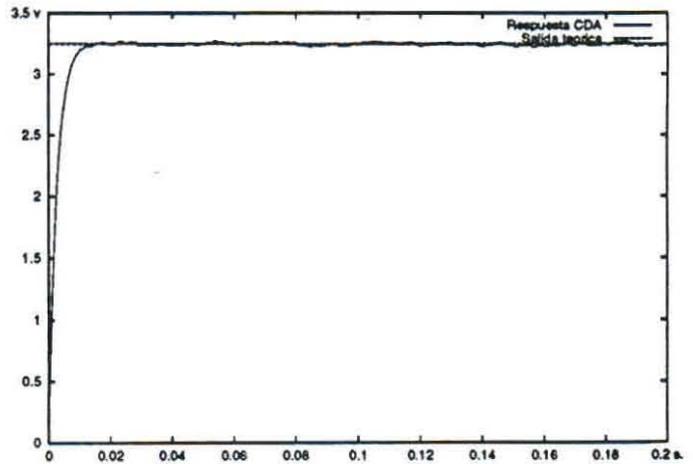


Figura 6: Respuesta del CDA rápido.

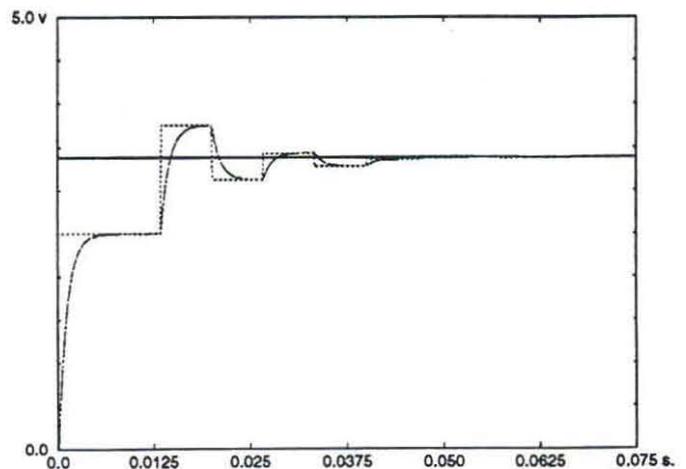


Figura 7: Respuesta del CAD.

almacenamiento de datos. Debido a su diseño modular se ha conseguido una gran simplicidad en su funcionamiento interno.

La principal novedad de este diseño ha sido la inclusión de convertidores analógico digital y digital analógico usando tecnología puramente digital más un pequeño circuito externo. Esto ha sido posible gracias a tener unas aplicaciones con unos tiempos de conversión poco exigentes.

Los diferentes módulos del circuito han sido descritos mediante el lenguaje VHDL. Para llevar a cabo el desarrollo se está haciendo uso de herramientas de diseño como SYSNOPSYS y CADENCE, así como del potente emulador de circuitos integrados META, capaz de reproducir fielmente el funcionamiento de un circuito.

En cuanto a las especificaciones de éste, se han elegido las librerías del fabricante ES2. La frecuencia de funcionamiento es de 16 Mhz. y la tecnología, Standad Cells 0.7μ .

Referencias

- [1] W. Peterson. *Error Correcting Codes*. MIT Press. 1992.
- [2] B.R.Gaines, "Stochastic Computing Systems". *Advances in Information Systems Science*, 2, pp. 37-172, 1969.
- [3] J.G. Ortega, C.L. Janer, J.M. Quero y L.G. Franquelo. "Analog to Digital and Digital to Analog Conversion Based on Stochastic Logic." *Proceedings de IECON'95*. A presentar en Noviembre de 1.995 en Orlando, Estados Unidos.
- [4] *META User Guide V1.1*. Meta Systems. 1994.