



**TESIS DOCTORAL**



**CONTRIBUCIONES AL DISEÑO  
MICROELECTRÓNICO DE CONTROLADORES  
BORROSOS Y NEURONALES:  
AUTOMATIZACIÓN Y REALIZACIÓN**

por

**Ramón González Carvajal**

Ingeniero Industrial por la E.S. de Ingenieros

de la Universidad de Sevilla

Presentada en la

**Escuela Superior de Ingenieros**

de la

**Universidad de Sevilla**

para la obtención del

**Grado de Doctor Ingeniero Industrial**

Sevilla, Febrero de 1999

T. 181



**TESIS DOCTORAL**



**CONTRIBUCIONES AL DISEÑO  
MICROELECTRÓNICO DE  
CONTROLADORES BORROSOS Y  
NEURONALES: AUTOMATIZACIÓN Y  
REALIZACIÓN**

**Autor:** Ramón González Carvajal

**Director:** Antonio Jesús Torralba Silgado

Firma manuscrita del director, Antonio Jesús Torralba Silgado, que incluye el nombre completo escrito a mano.

A mis padres y a Juana

# Agradecimientos

Quiero expresar mi agradecimiento a todas aquellas personas (familiares, compañeros y amigos) que han colaborado en el desarrollo de esta Tesis Doctoral. En primer lugar quiero citar a mi Director de Tesis, **D. Antonio J. Torralba Silgado** por la constante supervisión del trabajo que estaba realizando, su aportación personal en muchas de las ideas que se exponen y por las muchas horas que ha dedicado a discutir conmigo infinidad de detalles.

Quiero agradecer también al Director del Grupo de Tecnología Electrónica, **D. Leopoldo García Franquelo**, la ayuda prestada durante la realización de la Tesis.

Deseo hacer mención especial al profesor **Dr. Jaime Ramírez-Angulo** por sus aportaciones y consejos. En los capítulos 4 y 5 de esta tesis aparecen muchas ideas suyas, de entre las que destaca **el uso de las baterías flotantes para el diseño de circuitos de baja tensión**. Quiero agradecerle también la paciencia infinita que ha tenido conmigo a la hora de revisar el trabajo y sus consejos a la hora de diseñar los circuitos.

También hago extensivos los agradecimientos a todos mis compañeros del Grupo de Tecnología Electrónica, que en mayor o menor medida, han servido de estímulo en los momentos de mayor desorientación, y que con sus comentarios han ayudado a aclarar las ideas en numerosas ocasiones. De entre todas las personas que me han ayudado, quiero hacer mención especial a:

- Al profesor **Dr. Jon Tombs** por sus valiosas aportaciones y consejos, así como por los conocimientos de microelectrónica que me ha transmitido y que me han proporcionado siempre un punto de vista crítico y real de las cosas. También quiero agradecerle su ayuda a la hora de resolver problemas técnicos y su ayuda desinteresada en los momentos que más problemas había.
- Al profesor **Dr. Francisco Colodro** cuyo trabajo sobre controladores borrosos ha servido como punto de partida para esta tesis. Sus aclaraciones, trabajo y comentarios han sido muy importantes. Además, las

aportaciones en el área de las redes Celulares Neuronales no hubieran sido posibles sin sus ideas y trabajo.

- Al profesor **Dr. Jorge Chávez Orzáez** por el apoyo informático y técnico. Son muchas las herramientas software que se han utilizado durante el desarrollo de esta tesis doctoral y, tanto el como el Dr. Jon Tombs, las han puesto a punto e incluso, me han enseñado a utilizarlas.
- A todos los que han compartido despacho conmigo, pues su paciencia siempre fue infinita.
- A los ingenieros **D. Jesús Valdés Morillo, D. Pedro Cáceres Salazar** y **D. Fernando Muñoz Chavero** por su trabajo y dedicación que han dado lugar a muchas realizaciones físicas de las ideas que se presentan en esta tesis doctoral.
- A **Dr. Rafael Millán, D. Andrés González** y **D. Francisco Pérez** por su ayuda desinteresada a la hora de resolver problemas en el laboratorio.
- Al Profesor **Edgar Sánchez Sinencio** y a todos los miembros del Analog Microelectronics Group de la **Universidad Texas A&M**. En especial, **Fikret Dülger** y **Gabriele Manganaro** que compartieron conmigo su amplia experiencia en el diseño analógico.
- A **Juana, Federico, Alejandro, Jesús, Carlos, Victor** y **María** por su ayuda a la hora de revisar el texto y por su amistad.

Finalmente y no por ello menos importante, deseo expresar mi agradecimiento a:

- A mis padres, **Ramón** y **M. Luisa** por su apoyo incondicional y paciencia.
- A **Juana** por su paciencia ante el tiempo que esta tesis le ha robado y por su ánimo y ayuda en los momentos difíciles. Sin ella todo hubiera sido más difícil.

# Resumen de la Tesis

Una de las líneas de investigación desarrolladas por el **Grupo de Tecnología Electrónica** (GTE) de la Universidad de Sevilla es la realización microelectrónica de redes neuronales y sistemas borrosos. Ambos sistemas se caracterizan por el procesamiento masivo de la información. Mientras una red neuronal está constituida por un gran número de procesadores elementales con un alto grado de conectividad, un controlador borroso es capaz de procesar un gran número de reglas. Cuando se requiere un tiempo de respuesta elevado de este tipo de sistemas se suele recurrir a implementación microelectrónica frente a implementaciones en microprocesadores del tipo Von Neumann.

El objetivo de esta tesis es explorar diferentes alternativas para la realización de microelectrónica de sistemas borrosos y neuronales. Los aspectos más relevantes a considerar serán la automatización del diseño y la obtención de prestaciones que difícilmente se pueden conseguir con soluciones tradicionales.

Desde la aparición de los lenguajes de descripción hardware y más concretamente del VHDL, el diseño de grandes circuitos digitales ha sido posible a un coste razonable. Las ventajas de estos lenguajes son evidentes; de entre ellas tenemos que destacar la posibilidad de automatizar el diseño de circuitos, llevando al diseñador a un nivel más alto de abstracción.

De entre los circuitos cuya automatización de diseño era posible hemos elegido los controladores borrosos y las redes neuronales. Existen dos razones fundamentales para su elección:

- El creciente interés por las llamadas técnicas de **“inteligencia computacional”** hace que sean aplicados en numerosas sistemas microelectrónicas.
- Aunque existen una infinidad de variantes a la hora de aplicar estas técnicas, se puede observar en la literatura la tendencia a utilizar un grupo reducido de topologías con las que se pueden resolver la mayoría de las situaciones.

La automatización reduce significativamente el tiempo de diseño disminuyendo así el coste final de la ingeniería. Por ello se ha diseñado la herramienta **AFAN**, que automatiza el diseño de controladores borrosos y neuronales. En la literatura existen referencias a otras herramientas basadas en repetir los operadores elementales necesarios para conformar el controlador final. AFAN difiere de todas ellas ya que antes de definir todos los operadores elementales que van a formar parte del controlador realiza una optimización de la arquitectura según los requerimientos del usuario. De esta forma AFAN genera el código VHDL del controlador que más se ajusta en términos de precisión, área y velocidad a las especificaciones.

Otra característica importante de AFAN es que es capaz de añadir la lógica de aprendizaje necesaria para aplicar el algoritmo de retropropagación. Esta herramienta ha sido aplicada con éxito en dos proyectos industriales (ASITRON y ADAPT), reduciendo el tiempo final de diseño de dichos proyectos, proporcionando controladores borrosos óptimos en área y velocidad.

Una vez terminada esta aportación original de la tesis podríamos haber continuado añadiendo nuevas arquitecturas y especificaciones a AFAN. Sin embargo, el objetivo de la tesis no era construir herramientas industriales, sino probar que la automatización de estos controladores era posible y útil.

Nuestro interés se centró en mejorar aspectos que las implementaciones digitales de controladores borrosos y redes neuronales no pueden satisfacer:

- Bajo consumo en área.
- Bajo consumo de potencia.
- Alta velocidad.

Estas especificaciones se pueden conseguir utilizando circuitos analógicos y mixtos (analógico-digitales). Por ello comenzó una búsqueda bibliográfica encaminada a estudiar las diferentes alternativas propuestas. Todas ellas se podían dividir en dos grandes grupos: diseños en modo tensión y diseños en modo corriente. Se optó por centrar nuestro estudio en los diseños en modo corriente basados en el amplificador de transconductancia que es inherentemente más rápido que el amplificador operacional, en el que suelen estar basados los diseños en modo tensión. Además, el diseño en modo corriente presenta ventajas en el caso de controladores borrosos, ya que la operación suma no ocupa área de silicio. Otro aspecto que deseábamos cubrir era la modularidad del circuito borroso, de forma que se pudiera automatizar el diseño.

La mayoría de los controladores borrosos en modo corriente utilizan como circuito base para la borrosificación el par diferencial. Con ellos, las funciones de pertenencia que se generan son de forma **“acampanada”**. Esta campana

depende del proceso de fabricación, por lo que la exactitud de la programabilidad de las funciones de pertenencia es deficiente.

Esto hizo que optásemos por definir nuestro propio generador de funciones de pertenencia, el cual es una aportación original de esta tesis. Lo basamos en un amplificador de transconductancia muy lineal diseñado por Mohammed Ismail y le dotamos de programabilidad de forma que pudiese reproducir funciones de pertenencia triangulares y trapezoidales. Además, al utilizar como proceso de inferencia el de Mamdani (mínimo-máximo), hemos aprovechado esta circunstancia para generar las funciones de pertenencia. Ello hace que cambios en la programación puedan generar diferentes tipos de funciones lineales a trozos.

Para realizar el resto del controlador adoptamos la estructura definida por el Dr. Ramírez-Angulo, la cual utilizó para diseñar un controlador borroso en tecnología BICMOS. Como operador desborrosificador debíamos buscar un circuito CMOS que fuese capaz de realizar la división y la multiplicación a la vez. En la literatura encontramos uno realizado por Bult y Wallinga que satisfacía todos los requerimientos de nuestro diseño, por lo que no buscamos ninguna solución alternativa.

Con todo ello construimos un controlador borroso que era más rápido que lo que podíamos conseguir utilizando tecnología digital. Sin embargo, nuestro abanico no cubría todas las posibilidades, ya que en todos nuestros diseños la velocidad requerida implicaba un consumo alto. Por ello optamos por crear una nueva estructura que disminuyera el consumo a costa de una disminución de la velocidad.

La solución consistía en realizar un controlador mixto (analógico-digital) que apagase el consumo de la parte analógica cuya respuesta no aportase información a la salida. Para aplicarlo teníamos que modificar el controlador analógico añadiendo la menor cantidad de área posible. Por ello tomamos ventaja del hecho de incorporar un circuito "competidor" para realizar el proceso de inferencia. Ese circuito tenía información de quien "gana" el proceso de inferencia, por lo que también sabe quien pierde, es decir, quien debe ser apagado.

Sin embargo, existen otras posibilidades no cubiertas en esta tesis ya que los circuitos analógicos diseñados no son capaces de operar con baja tensión. Por ello nos centramos en la búsqueda de circuitos para procesamiento de señal que tuvieran como característica principal una tensión de alimentación muy baja. Después de realizar una búsqueda bibliográfica llegamos a la conclusión que el número de circuitos existentes era insuficiente para realizar controladores borrosos. Necesitábamos espejos de corriente, rectificadores, amplificadores operacionales y de transconductancia que fuesen capaces de operar a la

tensión de alimentación más baja posible.

De este estudio surgió un conjunto de aportaciones originales compuesto por varios circuitos que son capaces de operar con una tensión de alimentación cercana a la tensión umbral de un transistor. Todas las aportaciones realizadas en este campo no son sólo obra del autor de esta tesis, sino de un grupo de trabajo compuesto por varios doctores y el doctorando.

Por último, en esta tesis se han realizado otros trabajos que están relacionados con el tema central de la tesis. por ello se presentan al final de la misma en forma de apéndices. De todos ellos destaca el estudio de la aplicación de las técnicas de trenes de pulsos al diseño de redes celulares neuronales que fuesen más eficientes en área.

En nuestro grupo se han realizado diferentes propuestas que han dado lugar a varias tesis doctorales. La mayoría de estas propuestas se centran en el campo de la microelectrónica digital. Como es sabido, la multiplicación de dos señales estocásticas se puede realizar en una simple puerta AND. Sin embargo, la realización de la operación suma no es trivial. En nuestro grupo se han propuesto dos alternativas a la realización de la suma estocástica.

Sin embargo, la realización de la suma de señales estocásticas no sólo es posible en el campo digital. En el campo analógico, utilizando circuitos en modo corriente, se pueden encontrar otras formas de realizar la operación suma. Basándonos en estos conceptos se ha desarrollado una red celular neuronal. Como es sabido, una red celular neuronal es un procesador analógico en el que los elementos básicos de proceso interactúan sólo con los vecinos suficientemente próximos. La mayor dificultad a la hora de realizar redes celulares neuronales es el gran tamaño que ocupan las neuronas, que hace imposible tener un número suficiente de ellas en un circuito como para procesar imágenes reales. Existen diferentes estudios para reducir la complejidad de este tipo de redes siendo nuestro diseño una de las posibilidades actualmente en estudio.

# Índice General

<b>1</b>	<b>Conceptos previos y realizaciones electrónicas</b>	<b>1</b>
1.1	Introducción . . . . .	3
1.2	El control basado en lógica borrosa . . . . .	4
1.2.1	Fundamentos de la lógica borrosa aplicada al control . . . . .	4
1.2.2	Estructura de un controlador borroso . . . . .	6
1.2.3	Aprendizaje . . . . .	8
1.3	Circuitos Controladores . . . . .	9
1.3.1	Principales realizaciones hardware . . . . .	10
1.3.2	Automatización del diseño de controladores borrosos digitales . . . . .	15
1.3.3	Automatización del diseño de controladores borrosos analógicos . . . . .	17
1.4	Circuitos de muy baja tensión de alimentación para el procesamiento de señal . . . . .	18
<b>2</b>	<b>Diseño Automático de Controladores Borrosos y Neuronales</b>	<b>23</b>
2.1	Introducción . . . . .	25
2.2	Flujo de Diseño de AFAN . . . . .	26
2.3	Optimización de Arquitectura . . . . .	27
2.3.1	Controlador Borroso . . . . .	28
2.3.2	Perceptrón Multicapa . . . . .	29
2.4	Ejemplos . . . . .	29
2.5	Conclusiones y trabajo futuro . . . . .	34
<b>3</b>	<b>Aplicaciones Industriales</b>	<b>37</b>
3.1	Aplicación industrial de la lógica borrosa . . . . .	39
3.2	Proyecto ASITRON . . . . .	39
3.3	Proyecto ADAPT . . . . .	42
<b>4</b>	<b>Diseño Analógico y Mixto de Controladores Borrosos</b>	<b>49</b>
4.1	Introducción . . . . .	51
4.2	Flujo de Diseño . . . . .	52
4.3	Arquitectura del Controlador Borroso . . . . .	53
4.4	Función de Pertenencia . . . . .	56

4.4.1	Introducción . . . . .	56
4.4.2	Arquitectura de la MFG . . . . .	58
4.4.3	Uso de la función Z . . . . .	59
4.4.4	Resultados de Simulación . . . . .	61
4.5	Implementaciones electrónicas de operadores Mínimo y Máximo . . . . .	64
4.5.1	Introducción . . . . .	64
4.5.2	Principio de Funcionamiento . . . . .	66
4.5.3	Familia de Circuitos . . . . .	69
4.5.4	Resultados . . . . .	70
4.6	Realización mixta analógico–digital . . . . .	71
4.6.1	Introducción . . . . .	71
4.6.2	Esquema de funcionamiento . . . . .	74
4.7	Resultados . . . . .	75
<b>5</b>	<b>Aportaciones al diseño de circuitos de baja tensión.</b>	<b>81</b>
5.1	Introducción . . . . .	83
5.2	Baterías estáticas y dinámicas de baja tensión de alimentación y gran rango de señal . . . . .	85
5.3	Aplicación de las baterías flotantes al diseño de circuitos analógicos de baja tensión . . . . .	87
5.3.1	Amplificador operacional CMOS de baja tensión de alimentación con etapa de salida clase AB . . . . .	88
5.3.2	Amplificadores inversores con rango completo de tensiones en la entrada y en la salida utilizando baterías flotantes estáticas . . . . .	116
5.3.3	Amplificadores inversores con rango completo de tensiones en la entrada y en la salida utilizando baterías flotantes dinámicas . . . . .	127
5.3.4	Transconductores de baja tensión de alimentación . . . . .	132
5.3.5	Transconductores lineales . . . . .	132
<b>6</b>	<b>Conclusiones y Líneas Futuras</b>	<b>139</b>
6.1	Conclusiones . . . . .	141
6.2	Líneas futuras de investigación . . . . .	143
<b>A</b>	<b>Introducción a los sistemas basados en Lógica Borrosa</b>	<b>145</b>
A.1	Introducción . . . . .	147
A.2	Estructura de un sistema basado en lógica borrosa . . . . .	148
A.3	Borrosificador . . . . .	149
A.4	Base de Conocimientos . . . . .	151
A.5	Inferencia Borrosa . . . . .	152
A.6	Desborrosificador . . . . .	154

<b>B</b>	<b>Diseño mixto de Redes Celulares Neuronales utilizando Técnicas de Trenes de Pulsos</b>	<b>159</b>
B.1	Introducción . . . . .	161
B.2	Neurona basada en Técnicas de Trenes de Pulsos . . . . .	162
B.3	Módulos básicos de una neurona . . . . .	163
B.4	Conclusiones . . . . .	167

# Capítulo 1

---

## Conceptos previos y realizaciones electrónicas

### Índice General

---

<b>1.1</b>	<b>Introducción . . . . .</b>	<b>3</b>
<b>1.2</b>	<b>El control basado en lógica borrosa . . . . .</b>	<b>4</b>
1.2.1	Fundamentos de la lógica borrosa aplicada al control . . . . .	4
1.2.2	Estructura de un controlador borroso . . . . .	6
1.2.3	Aprendizaje . . . . .	8
<b>1.3</b>	<b>Circuitos Controladores . . . . .</b>	<b>9</b>
1.3.1	Principales realizaciones hardware . . . . .	10
1.3.2	Automatización del diseño de controladores borrosos digitales . . . . .	15
1.3.3	Automatización del diseño de controladores borrosos analógicos . . . . .	17
<b>1.4</b>	<b>Circuitos de muy baja tensión de alimentación para el procesamiento de señal . . . . .</b>	<b>18</b>

---

*En este capítulo se va a realizar una breve introducción a los sistemas basados en Lógica Borrosa y Redes Neuronales y a varios aspectos relacionados con las realizaciones electrónicas de los mismos como la automatización del diseño. Debido a que en esta tesis se han cubierto los campos digital, analógico y mixto relacionados con el diseño de circuitos basados en lógica borrosa, no pretendemos aquí realizar un estudio completo, ya que su extensión sería excesiva. Por ello nos hemos centrado en los aspectos de cada campo en los que esta tesis doctoral ha realizado aportaciones originales. Al final del capítulo se*

*realiza una revisión bibliográfica de la electrónica analógica de baja tensión. El motivo es el esfuerzo por desarrollar circuitos capaces de procesar señales operando con tensiones de alimentación cercanas a la tensión umbral de un transistor, que en esta tesis se ha realizado. Con estos circuitos pretendemos desarrollar controladores borrosos que operen con una tensión de alimentación muy baja; el conjunto de aportaciones realizadas en este campo justifican su inclusión en esta tesis doctoral.*

## 1.1 Introducción

En los últimos años grandes esfuerzos de investigación han sido invertidos en el estudio teórico y realización electrónica de dos nuevas técnicas de inteligencia computacional: las redes neuronales y la lógica borrosa.

Hay que remontarse al año 1960 para encontrar la primera publicación sobre el perceptrón, debida a Bernard Widrow. Esta red neuronal se caracterizó por la presencia de un gran número de procesadores elementales, todos ellos trabajando en paralelo con un alto grado de conectividad. En el mismo año se publicó también el algoritmo de aprendizaje más utilizado en las redes neuronales, basado en la minimización del error cuadrático medio y conocido como *LMS*. Desde entonces, y en paralelo con el desarrollo de la tecnología microelectrónica, han sido muchos los avances con las propuestas de nuevas arquitecturas y de circuitos electrónicos. Cabe decir que han sido las realizaciones electrónicas las que han permitido la construcción de redes dotadas con un gran número de neuronas y que resuelven problemas reales. Por ello aún sigue vigente en nuestros días el interés suscitado por las redes neuronales en sus primeros años.

La lógica borrosa fue propuesta en la década de los sesenta por L. A. Zadeh. Sin embargo, ha sido en la década de los ochenta cuando ha despertado un gran interés en occidente, a partir del éxito obtenido en Japón, donde se utilizó en el campo del control. Los controladores realizados con técnicas clásicas requieren un modelo matemático del sistema bajo control o un conocimiento exhaustivo del mismo. No obstante, la lógica borrosa formaliza el tratamiento de conocimientos vagos e imprecisos, pudiéndose construir dispositivos que emulan las técnicas de *razonamiento aproximado Modus Ponens Generalizado* (MPG), utilizado en control, y *Modus Tollens Generalizado*, utilizado en diagnóstico, en cierto modo, parecidos a la manera cotidiana de razonar del ser humano. De esta manera, en el diseño de controladores borrosos no sólo se pueden incorporar información matemática (controladores clásicos) e información numérica (algoritmos de aprendizaje en redes neuronales), sino también información lingüística proporcionada en lenguaje natural por un experto humano.

Al igual que ha ocurrido con las redes neuronales, han sido muchos los investigadores interesados en la integración en una pastilla de silicio de un sistema borroso completo, interés surgido a partir del desarrollo de la microelectrónica.

En la realización de las redes neuronales y los controladores borrosos se ha utilizado tanto técnicas digitales, como analógicas y mixtas. Cada una de ellas presenta sus ventajas e inconvenientes.

En este capítulo se presenta una recopilación bibliográfica de lo escrito en la literatura referente a la realización microelectrónica ( digital, analógica y mixta ) de controladores borrosos y neuronales así como de la automatización de su diseño. No pretendemos realizar un repaso exhaustivo de los sistemas de control borroso, sus parámetros de diseño, circuitos (prototipos y comerciales) y sus aplicaciones. Existen excelentes introducciones que cubren estos aspectos [29], [54], [39] y [61]. Por ello, debido a las numerosas variantes que existen en el diseño de estos controladores, mencionaremos los trabajos más relevantes relacionados con los aspectos en los que esta tesis doctoral ha realizado aportaciones originales.

Al final del capítulo se hace un resumen de los trabajos aparecidos recientemente en el diseño de circuitos de baja tensión de alimentación. En esta tesis doctoral no se ha realizado un controlador borroso capaz de operar con tensiones muy bajas de alimentación, pero las aportaciones realizadas en este campo posibilitan su diseño en un futuro muy cercano.

## **1.2 El control basado en lógica borrosa**

### **1.2.1 Fundamentos de la lógica borrosa aplicada al control**

En este apartado se realiza una sucinta revisión de los fundamentos de la lógica borrosa aplicada al control. Para una revisión más completa se puede revisar el apéndice A que se incluye en esta tesis doctoral.

En la teoría clásica de conjuntos la pertenencia de un elemento a un conjunto cualquiera sólo tiene dos valores: verdadero o falso, 1 ó 0. En la teoría borrosa de conjuntos el grado de pertenencia de un elemento a un conjunto puede tener infinitos valores en el rango  $[0, 1]$ . Por tanto, si  $X$  es el dominio (discreto o continuo) de todos los elementos , un conjunto borroso cualquiera  $A$  está completamente definido por la *función de pertenencia*

$$\mu_A: X \longrightarrow [0, 1]$$

donde  $\mu_A(x)$  es el grado de pertenencia del elemento  $x$  al conjunto  $A$  [115]. De modo análogo a como se hace extensible la teoría clásica de conjuntos al campo de la lógica bivalente, se puede definir el campo de la lógica borrosa, y en vez de hablar de grados de pertenencia de un conjunto se puede hablar de grados de verdad de una proposición lógica.

El control borroso se basa en la aplicación de técnicas de *razonamiento aproximado* [117], de modo similar al usado por los humanos en su vida cotidiana. Así pues, el controlador es capaz de evaluar el grado de verdad de una proposición lógica (premisa) formulada a partir de las variables de estado de un sistema e inferir el grado de verdad de otra proposición (conclusión). Dependiendo del grado de verdad inferido de la premisa, el controlador puede reducir a escalar la proposición consecuente y provocar una acción sobre el sistema bajo control. Desde un punto vista formal, este tipo de procesamiento de las variables de control (o estado) se puede formular mediante una declaración *Si – Entonces* (en inglés *IF – THEN*) del tipo

$$\text{Si } (x_1 \text{ es } A_1) \text{ y } (x_2 \text{ es } A_2) \text{ y } (x_3 \text{ es } A_3) \text{ Entonces } (z \text{ es } B) \quad (1.1)$$

donde  $(x_i \text{ es } A_i)$  es una proposición borrosa primitiva llamada *antecedente*, cuyo grado de verdad es el grado de pertenencia de la variable escalar de estado  $x_i^*$  en el conjunto borroso  $A_i$ , definidos ambos en el dominio de la variable lingüística  $x_i$ . Una variable lingüística es una variable que puede tomar como valores palabras o sentencias del lenguaje natural o artificial, tal y como fue definida por Zadeh [116]–[117].  $A_i$  define una cualidad del estado representado por  $x_i$  (ej. grande, rápido, caliente, ...) y su significado está determinado por la función de pertenencia  $\mu_{A_i}(x_i^*)$ . El operador lógico *y* conecta todas las proposiciones antecedentes primitivas en una única proposición compuesta. El grado de verdad de la proposición consecuente  $(z \text{ es } B)$  es inferido, y según éste, así será la acción que ejercerá la variable  $z$  sobre el sistema a controlar. A una declaración *Si – Entonces* como el de la ecuación (1.1) se le llama regla. Un controlador puede procesar varias reglas y combinar los conjuntos borrosos inferidos en un único conjunto para que, una vez reducido a escalar, provoque la acción sobre el sistema. Por la propia vaguedad de un conjunto borroso, el controlador puede controlar un sistema del que no se tiene una información precisa ni se conoce el modelo matemático que lo describe. Así pues, el programador del controlador contará con su propia experiencia y con la flexibilidad en la programación (definición de las reglas) del mismo.

## 1.2.2 Estructura de un controlador borroso

La figura 1.1 recoge el diagrama de bloques de un sistema de control basado en lógica borrosa. El sistema consta de cuatro partes:

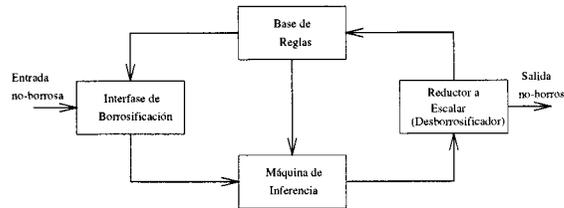
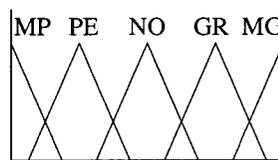


Figura 1.1: Estructura de un controlador borroso.

- La *interfase de borrosificación* asocia a cada entrada su grado de pertenencia a un conjunto borroso. Para el caso de controladores, las entradas suelen ser valores escalares. La aplicación de una función de pertenencia a un valor escalar se denomina *borrosificación*. En nuestro caso, este proceso interpreta la entrada escalar  $x_0$  como un conjunto borroso tipo “singleton” que toma el valor 1 en  $x = x_0$  y 0 en el resto.



MP Muy Pequeño    GR Muy Grande  
 PE PEqueno        MG Muy Pequeño  
 NO NOrmal

Figura 1.2: Funciones de Pertenencia.

Las funciones de pertenencia se denominan normalmente mediante una etiqueta tal como *pequeño*, *normal* o *grande*. Las formas más usuales de las funciones de pertenencia son la triangular, trapezoidal y gaussiana. En la figura 1.2 se representa un conjunto de funciones de pertenencia de tipo triangular con sus etiquetas.

- La *base de datos* contiene la definición de un conjunto de funciones de pertenencia  $A_{ij}$ ,  $C_i$  y de un conjunto de reglas borrosas en la forma de declaraciones

$R(i)$ :

SI  $x_1$  ES  $A_{i1}$  Y  $x_2$  ES  $A_{i2}$  Y ...  $x_n$  ES  $A_{in}$   
 ENTONCES y ES  $C_i$

En una formulación alternativa, debida a Tagaki y Sugeno [91], los consecuentes de cada regla son funciones (generalmente lineales) de las entradas:

$R(i)$ :  
 SI  $x_1$  ES  $A_{i1}$  Y  $x_2$  ES  $A_{i2}$  Y ...  $x_n$  ES  $A_{in}$   
 ENTONCES  $y_i = a_{i0} + a_{i1}x_1^0 + \dots + a_{in}x_n^0$

- La máquina de inferencia emplea la información almacenada en la base de datos para obtener un conjunto borroso de salida, dado el valor (borroso o no) de las entradas. Para obtener la salida, la máquina de inferencia emplea un conjunto de reglas de composición. Las más empleadas son la regla del mínimo de Mamdani  $R_M$  y la regla del producto de Larsen  $R_L$ . Para el caso de entradas escalares, estas reglas de inferencia pueden expresarse como:

$R_M(i)$ :

$$\min\{\min\{\mu_{A_{i1}}(x_1^0), \mu_{A_{i2}}(x_2^0), \dots, \mu_{A_{in}}(x_n^0)\}, \mu_{C_i}(z); z \in Z\} = w_i \wedge \mu_{C_i}$$

$R_L(i)$ :

$$\text{prod}\{\min\{\mu_{A_{i1}}(x_1^0), \mu_{A_{i2}}(x_2^0), \dots, \mu_{A_{in}}(x_n^0)\}, \mu_{C_i}(z); z \in Z\} = w_i \times \mu_{C_i} \tag{1.2}$$

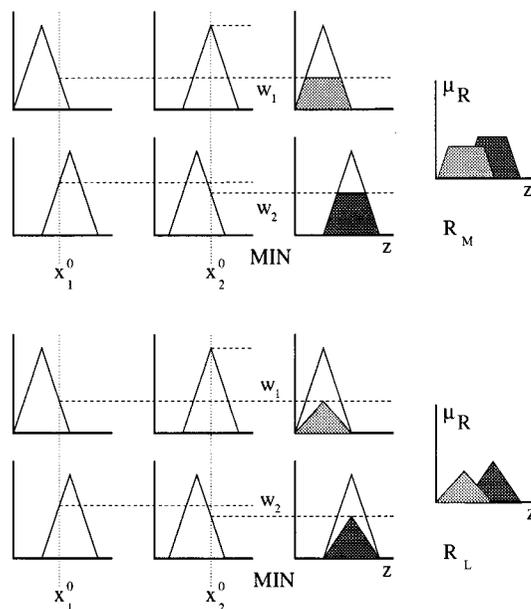


Figura 1.3: Reglas de Composición de Mamdani ( $R_M$ ) y Larsen ( $R_L$ ).

La figura 1.3 muestra una representación gráfica de las reglas de inferencia empleando el método del mínimo de Mamdani y el método del producto de Larsen. La composición de reglas se ha realizado en ambos casos mediante el operador máximo.

- El *reductor a escalar*. En aplicaciones de control, el conjunto borroso inferido como salida debe convertirse a un valor escalar. Existen numerosas técnicas para ello. La más empleada en las realizaciones electrónicas calcula el centro de gravedad del conjunto borroso inferido  $\mu_R$ .

$$y = \frac{\int_z z \times \mu_R(z)}{\int_z \mu_R(z)} \quad (1.3)$$

En el caso en que las funciones de pertenencia de los consecuentes de las reglas sean “singletons” de valor  $s_i$ , la evaluación del centro de gravedad del conjunto inferido se reduce a la fórmula

$$y = \frac{\sum_{i=1}^{i=m} w_i \times s_i}{\sum_{i=1}^{i=m} w_i} \quad (1.4)$$

siendo  $m$  es el número de reglas.

La expresión (1.4) también se emplea para obtener la salida en un controlador de tipo Sugeno, reemplazando  $s_i$  por el valor  $y_i$  del consecuente de cada regla.

### 1.2.3 Aprendizaje

Recientemente se ha demostrado que los sistemas basados en lógica borrosa pueden aproximar cualquier función real continua en un conjunto compacto hasta niveles arbitrarios de precisión [51], [102], [105]. Por ello, un controlador borroso puede ser entrenado hasta reproducir cualquier mapa de control no lineal, incluyendo las técnicas más avanzadas de control de sistemas y equipos electrónicos, motores, fuentes de alimentación, etc. En la literatura pueden encontrarse distintas técnicas de aprendizaje, tales como algoritmo de mínimos cuadrados [105], *backpropagation* [104], [49], aprendizaje competitivo [50], y particionamiento [103].

Si escogemos el método de *backpropagation* [81], los pasos a seguir en el proceso de aprendizaje son los siguientes:

- Generar una lista de pares de entrada–salida del mapa que se desea aprender.
- Escoger un par  $(x, y^d)$  de la lista en orden aleatorio.  $x$  es el vector de entradas e  $y^d$  la salida deseada.

- Calcular la salida  $y$  correspondiente al vector de entradas  $x$ .
- Actualizar los parámetros de acuerdo con las siguientes ecuaciones:

$$\Delta s_i = \eta_s [y^d - y] \frac{\partial y}{\partial s_i} \quad (1.5)$$

$$\Delta c_{ij} = \eta_c [y^d - y] \frac{\partial y}{\partial c_{ij}} \quad (1.6)$$

$$\Delta \sigma_{ij} = \eta_\sigma [y^d - y] \frac{\partial y}{\partial \sigma_{ij}} \quad (1.7)$$

Donde  $c_{ij}$  y  $\sigma_{ij}$  son parámetros de la función de pertenencia  $A_{ij}$ . Por ejemplo, para funciones triangulares simétricas,  $c_{ij}$  puede ser la posición del centro del triángulo y  $\sigma_{ij}$  la pendiente de uno de sus lados.

- Volver al paso 2 hasta que

$$Error = \frac{1}{2} \sum_{\text{puntos aprendizaje}} (y^d - y)^2 < \epsilon \quad (1.8)$$

o hasta que haya transcurrido un número máximo de iteraciones.

Las derivadas  $\partial y / \partial s_i$ ,  $\partial y / \partial c_{ij}$  y  $\partial y / \partial \sigma_{ij}$  pueden ser obtenidas por aplicación de la regla de la cadena.  $\eta_s$ ,  $\eta_c$  y  $\eta_\sigma$  son parámetros que representan la velocidad del aprendizaje.

## 1.3 Circuitos Controladores

La mayor parte de las aplicaciones de control que emplean lógica borrosa están basadas en paquetes software que corren en computadores convencionales. Numerosas empresas ofrecen paquetes comerciales para control borroso que corren en ordenadores personales y que incorporan facilidades para el diseño y simulación, tales como *CubiCalc* de Hyperlogic, *TILShell* de Togai InfraLogic o *FIDE* de Apronix. La velocidad de funcionamiento de estos controladores, si bien suficiente para la mayor parte de las aplicaciones, resulta insuficiente cuando se pretende el control en tiempo real de sistemas muy complejos que requieren un elevado número de reglas o cuando los sistemas a controlar tienen tiempos de respuesta en el orden de los milisegundos o menos. En estos casos, se impone una realización hardware de los mismos.

En 1985 Togai y Watanabe [95] desarrollaron en AT&T el primer chip borroso, empleando tecnología digital. Posteriormente, Yamakawa y Miki [111] desarrollaron el primer chip borroso analógico. Desde entonces, un gran número

de desarrollos hardware han aparecido en la literatura y algunos de ellos se encuentran disponible comercialmente (por ejemplo, el chip FC110 de Togai, y el chip NLX230 de NeuraLogix).

En este apartado haremos un rápido repaso a las principales realizaciones hardware de controladores borrosos y presentaremos algunos desarrollos realizados en el *Grupo de Tecnología Electrónica* de la Escuela Superior de Ingenieros de Sevilla.

### 1.3.1 Principales realizaciones hardware

#### Realizaciones digitales

El primer chip borroso en tecnología digital fue realizado por Togai y Watanabe [95]. En su primera versión, el chip considera un único antecedente por regla. Las entradas se suponen conjuntos borrosos que son leídos de una manera serie y procesados mediante una regla composicional de inferencia que emplea el método de Mamdani. La única salida se obtiene mediante el denominado *centro de gravedad*. Los conjuntos borrosos (entradas, salida y funciones de pertenencia) se encuentran codificados en una ROM en forma de 31 valores de 4 bits. Este primer chip es capaz de procesar 16 reglas en paralelo, las cuales se almacenan en una ROM interna. Con un reloj de 20.8 MHz, el chip alcanza los 80.000 FLIPS (Fuzzy Logic Inferences Per Second). Posteriormente el chip fue mejorado, almacenando las reglas en una RAM estática y aumentando la velocidad de procesamiento hasta los 250.000 FLIPS con un reloj de 16 MHz [94]–[108].

En 1989 Watanabe y su grupo presentaron un chip que alcanzaba los 580.000 FLIPS [109] con un reloj de 36 MHz. El chip procesa un máximo de 102 reglas por inferencia y tiene dos entradas y una salida (alternativamente 51 reglas, 4 entradas y 2 salidas). siendo uno de los chips de mayor complejidad desarrollados hasta esa fecha. El circuito mantiene la estructura interna del chip primitivo. Las reglas se componen mediante el método *min-max* y la salida emplea el método del *centro de gravedad*. Respecto a los diseños anteriores, la precisión aumenta, al mantener una representación interna de los conjuntos borrosos mediante 64 palabras de 4 bits.

Desde entonces muchas han sido las realizaciones electrónicas digitales de controladores borrosos que mejoran las prestaciones de los mencionados anteriormente, en parte por la mejora de las tecnologías CMOS que permite ir a frecuencias de reloj más altas y en parte por el empleo de técnicas novedosas

de multiplexación de tareas en el tiempo. De entre ellas destacamos algunas de las más recientes como [107], [31], [100], [87], [70], [30], [35], [3], [37], [92], [4] y [28].

### Realizaciones analógicas

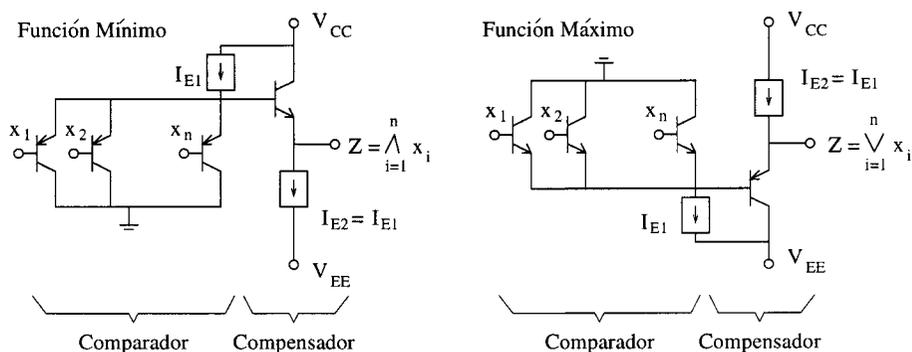


Figura 1.4: Partes del circuito de Yamakawa.

En paralelo con los desarrollos anteriores realizados en los EE.UU., el grupo del profesor Yamakawa desarrolla en Japón las primeras realizaciones borrosas en tecnología analógica [111]. Un computador borroso fue propuesto por Yamakawa y desarrollado por OMROM [110]. El computador de Yamakawa (distribuido en múltiples chips que realizan funciones elementales), emplea también la composición *min-max* y una reducción a escalar mediante el método del *centro de gravedad*. Para ello aprovecha la simplicidad con la que se realizan las operaciones *min* y *max* con lógica acoplada por emisor (figura 1.4). Las funciones de pertenencia son trapezoidales y se encuentran codificadas mediante una PROM y un circuito analógico formado por un conjunto de transistores de paso gobernados por las salidas de un decodificador.

Aunque es posible alcanzar velocidades de procesamiento muy elevadas (hasta 10 Mega FLIPS), el conjunto resulta demasiado complejo. Desarrollos posteriores del mismo grupo permiten introducir el controlador completo en dos chips, con una velocidad de procesamiento superior a 1 Mega FLIP [93]. Las funciones de pertenencia de la salida se consideran "singletons" con lo que el proceso de reducción a escalar se simplifica. La necesidad de un segundo chip nace del uso de una tecnología CMOS para la realización de las primeras etapas del controlador y de una tecnología BiCMOS para la realización del reductor a escalar, que requiere múltiples productos y una división, operaciones realizables con mayor precisión en tecnología bipolar.

A partir de estas ideas surgieron muchas otras realizaciones de controladores borrosos en electrónica analógica. Pronto se formaron dos grupos de realizaciones claramente diferenciadas: realizaciones en las que la información es procesada en tensión ( controladores modo tensión ) y realizaciones en las que la información es procesada en corriente ( controladores modo corriente ).

Los primeros controladores borrosos modo tensión fueron realizados en tecnología bipolar, con unos resultados bastante satisfactorios. Sin embargo, la idea de poder incluir controladores borrosos dentro de circuitos ASIC más complejos llevó a realizarlos en tecnología CMOS. La mayoría de estas realizaciones tienen como elemento constructivo básico el amplificador operacional, por lo que los resultados en cuanto a velocidad no son tan relevantes como los resultados obtenidos utilizando circuitos modo corriente. Como ejemplos recientes de estas realizaciones podemos citar [84] y [38]. En la primera se muestra una forma de sistematización en el diseño de controladores borrosos en modo tensión utilizando amplificadores operacionales y resistencias. La arquitectura propuesta es fácilmente realizable con electrónica discreta o integrada ya que los cocientes entre los valores de las resistencias son los que programan los diferentes parámetros que definen a un controlador borroso. Esta estructura ha sido implementada en [64], obteniéndose muy buenos resultados al ser una forma didáctica de mostrar el funcionamiento en tiempo real de un controlador borroso y al estar accesibles al osciloscopio todas sus etapas intermedias (Borrosificación, inferencia y desborrosificación). En la segunda se muestra una implementación integrada muy simple que consigue buenos resultados. Sin embargo, presenta problemas por el circuito de inferencia empleado (la versión CMOS del circuito de Yamakawa) que, como veremos en el capítulo 4, presenta problemas de exactitud cuando las entradas tienen valores similares.

Los controladores borrosos modo corriente se revelaron como la alternativa CMOS a los controladores borrosos modo tensión realizados en tecnología bipolar. La mayoría de estas realizaciones se basan en el amplificador en transconductancia (OTA) que es inherentemente más rápido que el amplificador operacional. Es por ello que la mayoría de las realizaciones de controladores borrosos aparecidos recientemente en la literatura emplean este modo de procesar la información. Las primeras realizaciones electrónicas reseñables son [85], [86], [44] y [99]. Últimamente se han realizado esfuerzos para sistematizar el diseño de controladores borrosos analógicos modo corriente. De entre ellas cabe destacar [57] en el que los autores proponen una solución basada en el uso exclusivo de circuitos basados en espejos de corriente para la realización de todas las parte de un controlador borroso. Esta solución parece bastante intuitiva, pero se complica si se quiere llegar a velocidades altas de funcionamiento ya que se necesita una gran cantidad de espejos de corriente funcionando en clase AB. Además, el circuito que realiza la operación míni-

mo/Máximo (MIN/MAX) es de complejidad  $O(n^2)$ .

Otro esfuerzo en la generalización del diseño de controladores borrosos analógicos es [98] en la que los autores emplean como bloque constructivo básico el amplificador operacional de transconductancia para la realización de todas las etapas de un controlador borroso. El controlador resultante no puede ser considerado de modo tensión o modo corriente exclusivamente, aunque el uso de transconductores nos lleva a clasificarlo como modo corriente. Las opciones elegidas para la borrosificación y la desborrosificación son muy válidas, sin embargo, el circuito utilizado para la inferencia resulta muy complejo comparado con otras opciones como el circuito de Lazzaro [53].

Existen otras muchas realizaciones de controladores borrosos analógicos en modo corriente que toman el circuito que más se adecúa a las necesidades de la aplicación para la que han sido diseñados. Esa es la opción que el autor considera más adecuada, ya que así se aprovecha mejor el conocimiento existente de cada tipo de circuitos. De estas opciones cabe destacar [74] ya que propone una estructura modular que puede funcionar en modo corriente y en modo tensión. Cada parte del controlador es realizado con el circuito que mejor cumple las especificaciones pedidas. La tecnología empleada por los autores para realizar los controladores es BICMOS, aunque apuntan que pueden ser realizado completamente en tecnología CMOS.

En esta tesis doctoral se ha propuesto un controlador borroso completo CMOS basado en la estructura propuesta en [74], precisamente porque intenta realizar cada parte del controlador con el circuito que mejor se adapte a las especificaciones impuestas. Además, su modularidad permite la parametrización del controlador en función del número de entradas, reglas, salidas, etc, de forma que se pueda generar un mapa de conexiones de bloques básicos. Se ha tomado como punto de partida el diseño de un controlador borroso CMOS modo corriente por la facilidad que existe para realizar operaciones como la suma de varias variables y por la velocidad que se puede llegar a conseguir.

### **Realizaciones mixtas**

Las dos estrategias para acometer el diseño de controladores borrosos mencionadas anteriormente (diseño digital y diseño analógico) tienen propiedades diferentes. Las realizaciones analógicas son muy eficientes en área, no necesitan interfase analógico/digital con el mundo real y son capaces de conseguir

muy buenos resultados en velocidad debido a su estructura de procesamiento paralelo. Sin embargo, los controladores borrosos analógicos suelen tener un número de entradas, salidas y reglas pequeño. Además, la precisión del cálculo analógico presenta limitaciones tecnológicas como el desapareamiento entre transistores y las variaciones de los parámetros del proceso de fabricación. Por último, los circuitos analógicos son sensibles al ruido y a las interferencias.

Las realizaciones digitales son más robustas y fáciles de diseñar permitiendo una fácil programación. Sin embargo necesitan convertidores analógico/digitales para comunicarse con el mundo exterior y ocupan más área de silicio para realizar las operaciones como la multiplicación o la división.

Una posible solución se basa en las denominadas realizaciones mixtas que intentan tomar lo mejor de ambos mundos (digital y analógico). De las muchas realizaciones mixtas que existen en la literatura destaca un grupo importante basado en las técnicas de trenes de pulsos (TTPs) [66]. Estas técnicas utilizan señales digitales para transportar información y controlar circuitos analógicos. Las realizaciones electrónicas basadas en TTPs no tienen por qué ser mixtas, pudiendo ser realizadas completamente en tecnología digital. Sin embargo, destacamos las realizaciones mixtas porque en el apéndice B de esta tesis doctoral se propone una estructura basada en TTPs para realizar una Red Celular Neuronal.

En el Grupo de Tecnología Electrónica se han realizado diferentes aportaciones en la utilización de TTPs para la realización de controladores borrosos y redes neuronales de entre las que destacamos [97], [22], [47], [24] and [96]. La última de ellas es un claro ejemplo de realización de un controlador borroso en tecnología analógico/digital.

Existen otras realizaciones mixtas que no han utilizado técnicas TTPs. En [43] se propone la utilización de circuitería analógica para realizar los cálculos necesarios para el algoritmo de control borroso. Esta circuitería analógica contiene condensadores cuya carga es controlada por circuitería digital que descarga cada cierto tiempo los condensadores para comenzar de nuevo una fase de cálculo.

En [8] se presenta un controlador borroso modo corriente que utiliza circuitos digitales (espejos de ganancia programable digitalmente, convertidores analógico/digitales, etc) para controlar a los circuitos analógicos y hacerlos más

versátiles. Por último, en [11] se propone de nuevo el uso de lógica digital para controlar un controlador borroso analógico. Además propone una arquitectura no paralela en la que cada entrada es procesada en el mismo evaluador de funciones de pertenencia.

En esta tesis proponemos un controlador borroso mixto que utiliza la lógica digital para reducir el consumo del circuito completo. La velocidad de respuesta del circuito es programable de forma que el ahorro en consumo será mayor cuanto más lento programemos la salida del controlador borroso.

### **1.3.2 Automatización del diseño de controladores borrosos digitales**

El gran número de aplicaciones industriales en las que se están incluyendo realizaciones electrónicas de controladores borrosos [112] está llevando a que se acometa la automatización del diseño de dichos controladores. Como se sabe la automatización reduce el tiempo de diseño y el coste del mismo.

De la multitud de variantes que se pueden utilizar para diseñar un controlador borroso, la mayoría de las realizaciones electrónicas utilizan un pequeño subconjunto de variantes. Es decir, la estructura básica de las realizaciones de controladores borrosos comparten puntos de coincidencia como el método de inferencia, la forma de las funciones de pertenencia, etc. Es por ello que la automatización es posible.

En la literatura han sido reportados diferentes intentos de automatización del diseño de controladores borrosos. En algunos casos el objeto de la automatización es simplemente la generación del código VHDL de un controlador con una arquitectura fija en la que solo se puede elegir el número de entradas, salidas y reglas. Algunas herramientas generan el controlador partiendo de una descripción de las reglas en un lenguaje de alto nivel.

En [25], [26] los autores proponen una herramienta que parte de una descripción de las reglas del controlador que se quiere realizar y termina con la generación del código VHDL que describe al controlador. Esta herramienta es versátil pues permite diferentes complejidades de hardware (número de multiplicadores, sumadores, etc). Sin embargo, para que el usuario encuentre el controlador que mejor satisface sus necesidades, es necesario un proceso

iterativo (prueba/error). La funcionalidad del controlador generado es fija en cuanto al algoritmo que procesa (algoritmo de Mamdani con funciones triangulares para los antecedentes y “singletons” para los consecuentes), lo cual no limita la posibilidad de aplicación de este generador de funciones de pertenencia ya que es el algoritmo más utilizado en las realizaciones electrónicas de controladores borrosos.

En [36] se presenta un sistema de simulación y síntesis de controladores borrosos. Esta herramienta genera la descripción VHDL del controlador borroso especificado por el usuario en términos de número de reglas, salidas, entradas, precisión de las variables, . . . etc. La mejor característica de esta herramienta es la variedad de arquitecturas (algoritmos de borrosificación, inferencia y desborrosificación) que es capaz de implementar. Además, no realiza ninguna optimización del controlador generado, de forma que, si dicho controlador no satisface las necesidades de velocidad de respuesta o área el usuario no puede hacer nada.

En [41] se presenta un generador de controladores borrosos para ser implementados sobre FPGA. Para que el usuario encuentre el controlador deseado, es necesario un proceso iterativo en el que el usuario busca a través del espacio de diseño. Además, los controladores generados suelen tener tiempos de respuesta lentos comparados con las soluciones basadas en ASICs.

Existen otras herramientas de síntesis de otros tipos de controladores. Es destacable [1] ya que basa en la colocación de micro-operaciones y de partes analógicas y otras digitales de forma que se genera una red neuronal mixta que ocupa menor área que una completamente digital y que tiene mejores prestaciones en términos de precisión que una completamente analógica.

En esta tesis doctoral se presenta una herramienta llamada AFAN que es capaz de generar la descripción VHDL de controladores borrosos y neuronales digitales. Esta herramienta es capaz de buscar en un espacio de diseño el grado de paralelismo (complejidad de hardware) para encontrar el controlador que más se acerca a las especificaciones del usuario en términos de velocidad y área.

### 1.3.3 Automatización del diseño de controladores borrosos analógicos

En los últimos años también se han realizado esfuerzos para automatizar el diseño de controladores borrosos analógicos. Las razones son la mismas que las expuestas en el caso de los controladores borrosos digitales. Varias herramientas han sido propuestas para la automatización del diseño de los controladores analógicos. Cada una de ellas presenta características diferentes que pasamos a detallar.

En [60] se propone la generación del layout de un controlador borroso analógico a partir de las reglas que describen el funcionamiento del mismo. El layout generado no es reconfigurable, ya que todas las tensiones de control son generadas a partir de unos divisores de tensión resistivos y conectadas al punto de control a través de una matriz de conexiones. Esta herramienta es buena en tanto en cuanto libera al diseñador de conocer cómo funciona la electrónica analógica que incorpora el controlador. Sin embargo el controlador diseñado es ineficiente en consumo, versatilidad, reprogramabilidad y área.

En [56] se simplifica la automatización del diseño de controladores borrosos analógicos al tomarse una estructura basada en espejos de corriente para realizar todas las parte de que consta el controlador. Además se aprovechan otras herramientas existentes en el grupo de investigación del que forman parte los autores para poder generar un layout a partir de las especificaciones del usuario. Los resultados obtenidos demuestran que la automatización del diseño es posible, si bien, sin el uso de espejos de corriente clase AB la respuesta del circuito obtenido será lenta, y si se utiliza una gran cantidad de estos espejos el offset introducido puede ser importante.

Existen otras aproximaciones que parten de una estructura del controlador y lo que generan es una base de datos que sea compatible con las reglas borrosas que describe la solución del problema y que sea realizable por la arquitectura propuesta [62]

En esta tesis se propone una forma de automatizar el diseño de controladores borrosos basado en el uso de una estructura modular. La circuitería analógica utilizada para la realización del controlador no se basa en un único bloque constructivo sino que se elige el que mejor se aproxime a las prestaciones deseadas. Además, es posible incorporar una estrategia de ahorro de energía cuando se desee y siempre que la velocidad de la aplicación lo permita.

## 1.4 Circuitos de muy baja tensión de alimentación para el procesamiento de señal

Uno de los campos de investigación que en la actualidad está teniendo más auge es el diseño de circuitos de baja tensión de alimentación. Existen varios motivos:

- La reducción de la escala de integración para poder incluir más puertas digitales por milímetro cuadrado de área de silicio, tiene como consecuencia la necesidad de reducir el consumo de dichos circuitos. De esta forma se disipa menos energía, que es una de las limitaciones más importantes. Como la energía disipada en un circuito digital es proporcional a  $V_{dd}^2$  parece lógico que al reducir la tensión de alimentación se consigue el propósito deseado.
- Por otro lado, la reducción de los tamaños físicos de los transistores de mínima dimensión de la tecnología trae como consecuencia tamaños muy reducidos del espesor del óxido de la puerta. Por ello, el gradiente de tensión en dicho óxido es muy grande y se consigue reducir si se reduce la tensión de alimentación.
- El auge de los equipos portátiles (teléfonos móviles, ordenadores portátiles, etc) ha provocado el desarrollo de las baterías portátiles de larga duración. Sin embargo, una forma de conseguir mayor duración de la batería, es la reducción de la tensión de alimentación de los circuitos digitales. Por último, la reducción de la tensión de alimentación hace que se puedan utilizar baterías simples (1.5 V en las normales y 0.6 en Níquel-Cadmio) para alimentar equipos portátiles.

Por todo ello, nos planteamos en esta tesis la realización de controladores borrosos analógicos de baja tensión de alimentación. Después de una búsqueda bibliográfica descubrimos que no existen tantos circuitos en la bibliografía que nos permitan realizar un circuito procesador de señal de baja tensión de alimentación. Existen técnicas como los transistores con puerta flotante [78] que sí permiten realizar todo tipo de circuitos de baja tensión (sumadores de tensión, amplificadores de transconductancia, multiplicadores, etc.), pero aún en el caso de estos circuitos, no todos los operadores que necesitamos pueden ser conseguidos mediante estas técnicas. Por otro lado, la mayoría de las aportaciones en este campo han sido realizadas para diferentes tensiones de alimentación, la mayor parte de las ocasiones porque se han utilizado tecnologías con tensiones umbrales muy diferentes.

Esto hizo que nos planteásemos como reto el diseño de circuitos para procesamiento de señal (amplificadores operacionales, amplificadores en transconductancia, rectificadores, espejos de corriente, etc) cuya tensión de alimentación fuese cercana a la tensión umbral de la tecnología. De esta forma todos los circuitos propuestos serán fácilmente transportables a diferentes tecnologías. En nuestro caso, la tecnología que utilizamos fué AMS CXQ que, como característica principal, presenta  $V_T \approx 0.85V$ . Por ello, consideraremos “baja tensión” a los circuitos capaces de operar con tensiones cercanas a esa, más una cierta cantidad necesaria para los espejos de corriente  $V_{OV} = 0.15$ . En nuestro caso, si suponemos espejos en la parte superior e inferior, obtenemos una tensión de 1.15V. De esta forma diseñaremos circuitos que sean capaces de operar con esa tensión y que tengan todos sus transistores operando en la región de saturación.

Las aportaciones que en este campo presenta esta tesis, forman parte de las tareas grupo un de trabajo formado por varios doctores y el doctorando. Por ello, a pesar que las ideas aquí expuestas son una suma de las ideas surgidas de este grupo de trabajo, el doctorando las expone al ser parte de su trabajo de tesis que, de alguna forma, en esta parte ha estado co-dirigida por varios doctores.

Recientemente han aparecido libros y números especiales en revistas que revisan la bibliografía existente en este nuevo campo que es el diseño de circuitos de baja tensión de alimentación [90], [72]. En ellos se recopilan las aportaciones más importantes aparecidas en los últimos años. De todas ellas sólo nos fijaremos en las que cumplen el objeto de nuestro estudio, ya que desde hace unos años se consideran circuitos de baja tensión a aquellos que consiguen reducir la tensión de alimentación de cierto tipo de circuitos. Por ejemplo, en la época en la que se pasó de 5 voltios a 3.3 voltios en los circuitos digitales, apareció mucha bibliografía referente a circuitos analógicos capaces de operar con 3.3 voltios. Estos circuitos no cumplen las restricciones que nosotros vamos a imponer a nuestro diseño por lo que no los catalogaremos como de “muy baja tensión”.

De todos los circuitos aparecidos en la literatura, nos centraremos en los que hacen referencia al amplificador operacional, por ser éste el elemento básico en la electrónica integrada. En esta tesis se han realizado otro tipo de aportaciones como transconductores, rectificadores, espejos de corriente, la mayoría de ellos basados en el mismo principio de funcionamiento, como veremos más

adelante.

En [114], [6], [7] y [71] se proponen esquemas de amplificadores operacionales clase AB capaces de operar con tensiones de alimentación cercanas a la tensión umbral de un transistor. Además tienen reducido rango de tensiones de entrada, por lo que son apropiados para aplicaciones en circuitos de capacidades conmutadas en su modalidad “amplificadores conmutados”. Estos circuitos están basados en una etapa de transconductancia (OTA) de entrada que tiene ganancia pequeña en bucle abierto ya que no se pueden utilizar técnicas cascode. Además, el área de estos esquemas es muy grande así como el consumo de potencia ya que la corriente generada en la etapa de entrada debe ser pasada a la salida a través de espejos de corriente con pequeña tensión de salida ( $V_{OV}$ ). Para que esto sea realizable se necesitan transistores con  $W/L$  muy grande lo que introduce polos secundarios de “baja frecuencia” lo que limita severamente el máximo del producto ganancia–ancho de banda (GBW). Además el producto GBW ya está limitado por la tensión  $V_{OV}$  al ser proporcionales estas variables y, como se ha dicho anteriormente,  $V_{OV}$  debe reducirse para poder operar correctamente los espejos de corriente.

En [10] se presenta un esquema que es capaz de operar con rangos de tensión grandes a la entrada y la salida y con una tensión de alimentación cercana a la tensión de umbral de un transistor. Sin embargo esta realización utiliza el substrato de un transistor MOS como una entrada activa de amplificador operacional lo que limita severamente su ancho de banda. En [52] se presenta un diseño capaz de operar con 1.8V. Está basado en pares diferenciales complementarios a la entrada y una etapa de salida clase AB. Los autores ya apuntan que la etapa de entrada funcionaría en todo el rango de tensiones si la alimentación fuese de 2.5V. El ancho de banda obtenido es un poco mejor que es el resto de diseños (4MHz).

Por último en [34], [33] se proponen las versiones diferencial y simple de un amplificador operacional con una alimentación cercana a 1.2V, pero utilizando transistores con tensiones umbrales de 0.6V, por lo que se alejan de nuestro objetivo. De hecho, existen algunas implementaciones como ésta, que utilizan pares de entrada complementarios a la entrada. Para que esta configuración funcione, además de ser más compleja, necesita una alimentación de unos 1.5V en nuestra tecnología ( $V_T = 0.85V$ ), lo que implica una alimentación de 1.2V para  $V_T = 0.6V$ . Otra desventaja de este diseño es que el autor realiza los pares diferenciales de entrada con relaciones de aspecto para los transistores muy grandes, de esta forma consigue hacer funcionar a los transistores de entrada en zona lineal para tener un rango de tensiones de entrada mayor. Este enfoque se desvía de nuestro objetivo, ya que nuestra idea es hacer funcionar

a todos los transistores en zona de saturación.

Una característica muy importante de los diseños mencionados anteriormente es que el ancho de banda obtenido es muy reducido (0.1MHz–2MHz). Nuestro objetivo es diseñar amplificadores operacionales de mayor ancho de banda para que sean útiles en un número mayor de aplicaciones.

En esta tesis se presentan [73] varias realizaciones de amplificadores operacionales capaces de operar con una tensión cercana a la tensión umbral de un transistor, con todos los transistores funcionando en la zona de saturación y con rangos completos de tensión a la entrada y a la salida. También se presentan otras realizaciones de transconductores, rectificadores, espejos de corrientes de muy baja tensión de operación. Todo este conjunto de aportaciones se presentan en el capítulo 5

## Capítulo 2

---

# Diseño Automático de Controladores Borrosos y Neuronales

### Índice General

---

<b>2.1</b>	<b>Introducción . . . . .</b>	<b>25</b>
<b>2.2</b>	<b>Flujo de Diseño de AFAN . . . . .</b>	<b>26</b>
<b>2.3</b>	<b>Optimización de Arquitectura . . . . .</b>	<b>27</b>
2.3.1	Controlador Borroso . . . . .	28
2.3.2	Perceptrón Multicapa . . . . .	29
<b>2.4</b>	<b>Ejemplos . . . . .</b>	<b>29</b>
<b>2.5</b>	<b>Conclusiones y trabajo futuro . . . . .</b>	<b>34</b>

---

*En este capítulo presentamos una herramienta, llamada AFAN, que automatiza el diseño de controladores basados en lógica borrosa y en redes neuronales. AFAN no sólo automatiza su diseño sino que presta especial atención a la selección de la arquitectura del controlador. En especial, AFAN considera diferentes clases de paralelismo en la circuitería seleccionando la que mejor se ajusta a las especificaciones del usuario. Al final del capítulo se presentan diferentes ejemplos que muestran la funcionalidad de AFAN.*

## 2.1 Introducción

En los últimos años los controladores basados en lógica borrosa y en redes neuronales han encontrado gran número de aplicaciones en campos tales como la industria del automóvil, robótica, electrónica de potencia y electrodomésticos [46]–[45]. Por ello no es extraño encontrar controladores basados en lógica borrosa y en redes neuronales formando parte de circuitos integrados de aplicación específica (ASIC) industriales.

Recientemente han aparecido herramientas que automatizan el diseño electrónico de controladores basados en redes neuronales y lógica borrosa [26]–[14]. Estas herramientas generan ficheros en código VHDL que describen al controlador. A partir de estos ficheros el controlador puede ser obtenido (su esquema eléctrico) utilizando un sintetizador de circuitos comercial como Synopsys o Synergy<sup>1</sup>.

Sin embargo, estas herramientas no se han ocupado de optimizar la arquitectura del controlador. En la mayoría de los casos, la arquitectura esta fijada, o el diseñador tiene que realizar una elección de entre las posibles arquitecturas que la herramienta le permite elegir.

En [26], se utiliza un proceso de selección de micro-operaciones colocándolas en diferentes partes del circuito y en diferentes ciclos de operación de la máquina. Esta es una aproximación de bajo nivel a la selección de arquitectura. Sin embargo, en la practica, el número de arquitecturas utilizadas en este tipo de controladores es limitado. Mas aún, es fácil identificar un grupo básico de elementos constructivos. Por ello, una aproximación al problema desde un nivel de abstracción más alto parece una solución que puede proporcionar mejores soluciones.

AFAN tiene en cuenta las especificaciones del usuario acerca de resolución de las variables (nº de bits), velocidad deseada y área de silicio a utilizar para seleccionar la arquitectura del controlador que mejor se ajusta al conjunto de especificaciones del usuario. Para ello considera diferentes opciones en el paralelismo y de conexión entre los diferentes bloques del controlador. También se preocupa de generar arquitecturas que puedan incluir circuitería específica de aprendizaje por el método de propagación hacia atrás, característica esta última que no tienen otras herramientas mencionadas en la literatura. Una

---

<sup>1</sup>Synopsys, Synergy y Cadence DFW-II son marcas registradas

vez que la arquitectura es seleccionada, AFAN produce un fichero VHDL que contiene la descripción de la circuitería del controlador con la arquitectura seleccionada.

En este capítulo se va a describir el flujo de diseño de AFAN. Después se describirá el bloque de selección de arquitectura. Finalmente se presentarán varios ejemplos y conclusiones.

## 2.2 Flujo de Diseño de AFAN

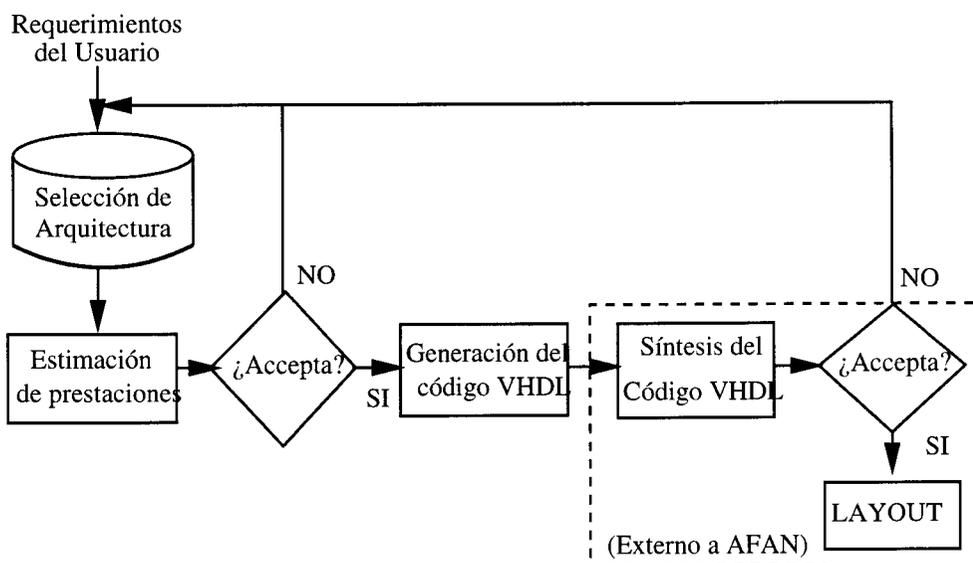


Figura 2.1: Flujo de Diseño de AFAN

El flujo de diseño de AFAN se muestra en la figura 2.1. En un diseño realizado con AFAN el usuario introduce especificaciones relativas a el máximo de área deseado, mínima velocidad permitida para que el controlador satisfaga las necesidades de la aplicación de control y resolución en número de bits de las variables de entrada, internas y salida. La tabla 2.1 muestra un conjunto típico de requerimientos de usuario para un controlador borroso.

AFAN se aprovecha del hecho de que los controladores borrosos y neuronales están, en la práctica, compuestos por un grupo de bloques básicos tales como generadores de funciones de pertenencia, bloques que realizan la inferencia (función máximo, mínimo, multiplicación,...) y desborrosificadores en el caso

Reloj	20 MHz
Velocidad del Controlador	0.5 MFLIPS (*)
Área del Controlador	$\leq 15 \text{ mm}^2$
Resolución Entrada/Salida (bits)	8
Resolución Interna (bits)	8
Aprendizaje	–
Funciones de Pertenencia (Entrada)	Triangular
Tipo de Inferencia	Mamdani
Número de Reglas	32
Número de Entradas	3

(\*) MFLIPS: Mega Fuzzy Logic Inferences per Second.(En Inglés)

Tabla 2.1: Un conjunto simplificado de especificaciones de usuario para un controlador borroso.

de controladores borrosos o sumadores–multiplicadores, bloques “competidores” y funciones de activación en el caso de redes neuronales. Dependiendo del método elegido para implementar estos bloques, existe un conjunto de posibles implementaciones en circuito digital que explotan el paralelismo y la multiplexación en el tiempo de tareas (“pipe–line”) con el coste de una mayor complejidad. Las interconexiones entre los diferentes bloques es optimizada también por AFAN.

En algunos casos, es interesante incluir propiedades de aprendizaje en el controlador. AFAN es capaz de incluir la circuitería necesaria para realizar el algoritmo de aprendizaje de propagación hacia atrás.

## 2.3 Optimización de Arquitectura

El proceso de selección de arquitectura se va a presentar para el caso de un controlador borroso y para el de un perceptrón multicapa. Sin embargo, hay que hacer notar que otros controladores pueden ser también incluidos en AFAN. No solo controladores basados en redes neuronales y lógica borrosa, sino también controladores clásicos como los basados en las redes de Petri o en control PID siempre y cuando se puedan dividir en bloques sencillos y puedan proponer reglas sencillas para definir su velocidad, resolución y complejidad para estos bloques y sus interconexiones.

### 2.3.1 Controlador Borroso

Los siguientes bloques constructivos pueden ser identificados en un controlador borroso[54]:

- El Generador de Funciones de Pertenencia (MFG). Existen diferentes bloques en AFAN que realizan esta función: Una representación tabulada de funciones de pertenencia de forma arbitraria (para controladores muy rápidos con baja resolución de las variables de entrada) o la computación algorítmica del grado de pertenencia para diferentes tipos de funciones de pertenencia entre las que se incluyen formas triangulares y trapezoidales.
- La máquina de inferencia (IM). AFAN incluye los métodos más comunes para realizar el proceso de inferencia, entre los que se incluye el de Mamdani (figura 2.2).

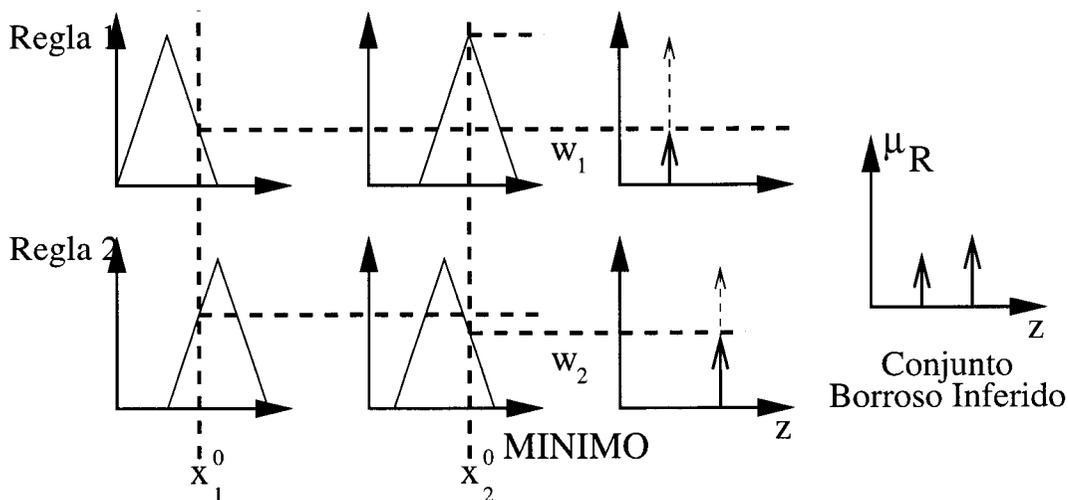


Figura 2.2: Proceso de inferencia de Mamdani, utilizando pulsos unitarios (singletons) como funciones de pertenencia para las variables de salida

- La memoria de reglas (RM). Las reglas se guardan en memorias internas del tipo RAM. Dependiendo de la arquitectura final del controlador, algunas reglas (o incluso todas ellas) tienen que ser accesibles en paralelo. AFAN es capaz de identificar el número mínimo de memorias RAM necesarias para proporcionar el nivel de paralelismo que mejor se acomoda a los requerimientos del usuario. La utilización de memorias RAM para el almacenamiento interno reduce la complejidad de la circuitería necesaria para el controlador.
- El bloque Desborrosificador (DF). Actualmente solamente se ha implementado un método de desborrosificación en AFAN: El método del centro

de gravedad con pulsos unitarios (singletons) como consecuentes de las reglas. La ecuación (2.1) resume los cálculos que hay que realizar para obtener la salida del controlador.

$$salida = \frac{\sum_{i=1}^{i=n} w_i s_i}{\sum_{i=1}^{i=n} w_i} \quad (2.1)$$

donde  $n$  es el número de reglas,  $w_i$  es el resultado del proceso de inferencia para cada regla  $i$ , y  $s_i$  es el singleton para el consecuente de la regla  $i$ .

### 2.3.2 Perceptrón Multicapa

Los siguientes bloques constructivos básicos pueden ser identificados en un perceptrón multicapa [106]:

- El cuerpo de la neurona (NB). El cuerpo de la neurona realiza una suma pesada de las entradas. Además, incluye la posibilidad de añadir un peso de polarización (figura 2.3). Los pesos pueden ser fijos o variables, dependiendo de los requerimientos del usuario. En AFAN, las neuronas de la misma capa tienen el mismo número de entradas.
- La función de activación (AF). Actualmente, solamente una función de activación lineal a trozos (saturada) está siendo considerada en AFAN. Dependiendo de la especificación de resolución interna en número de bits, la pendiente puede tener un gran número de valores. AFAN también permite programación en línea de la pendiente de la función de activación para poder así mejorar la convergencia durante el proceso de aprendizaje por medio de enfriamiento simulado.

## 2.4 Ejemplos

Consideremos primero el diseño de un controlador borroso con las especificaciones de la tabla 2.1, y un reloj del sistema de 20 MHz.

Debido a los requerimientos de velocidad del controlador, AFAN selecciona un nivel intermedio de paralelismo en diferentes bloques del controlador como se representa gráficamente en la figura 2.4a.

Como los requerimientos de velocidad no son demasiado exigentes se ha seleccionado la computación algorítmica del grado de pertenencia de las variables

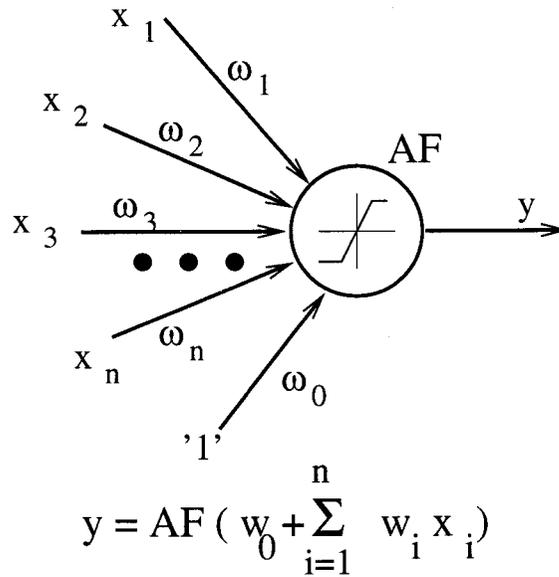


Figura 2.3: Una neurona típica.

de entrada por ello, se ha colocado en el controlador una MFG parametrizable para funciones de pertenencia triangulares. Si los requerimientos de velocidad fuesen muy superiores, se utilizaría una representación tabulada de la MFG con una organización de la memoria como la expuesta en [87], con un alto coste en área de silicio.

El bloque MFG seleccionado necesita  $n_i + 2$  ciclos de reloj para evaluar cada regla (donde  $n_i$  es el número de entradas del controlador). Por ello el número de ciclos de reloj necesario para evaluar el numerador y el denominador de la expresión (2.1) es:  $n_{reglas} * (n_i + 2)$ , lo que corresponde a 160 ciclos de reloj.

La desborrosificación necesita tantos ciclos de reloj como bits tiene el numerador (lo que supone 22 ciclos de reloj) si se utiliza un algoritmo simple de división en vez del método de división de un solo ciclo de reloj (muy costoso en área) o el de aproximaciones sucesivas (que necesita un multiplicador). Hay que hacer notar que, en este ejemplo, el tiempo necesario para realizar la desborrosificación es un orden de magnitud inferior al tiempo necesario para realizar el proceso de inferencia lo que hace que satisfacer la velocidad especificada no sea una tarea crítica. En caso contrario, AFAN hubiese seleccionado una estrategia de división más rápida.

El proceso de inferencia y la desborrosificación serán realizadas en paralelo, utilizando técnicas de multiplexado en el tiempo ("pipe-line"). Como el pro-

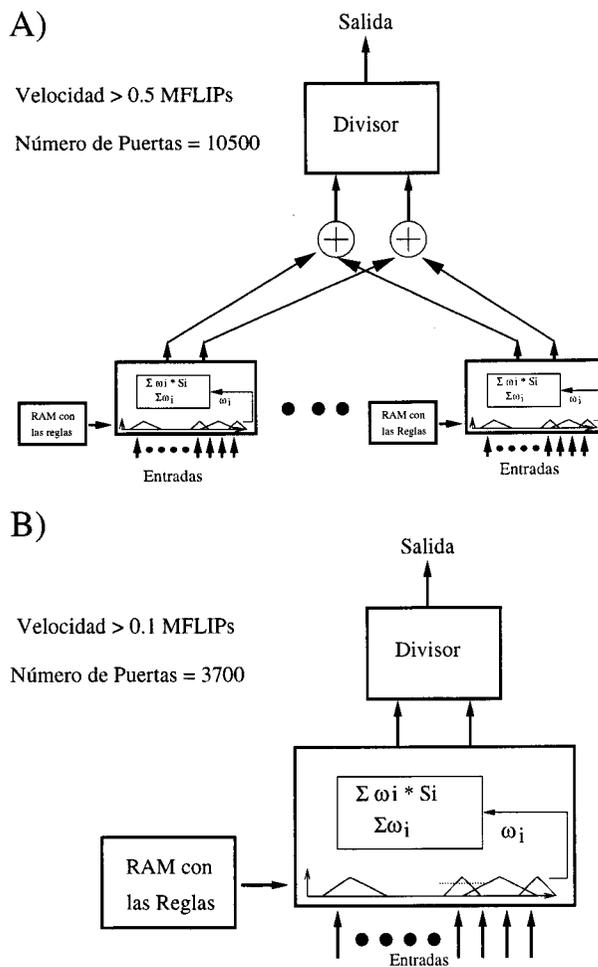


Figura 2.4: a) Arquitectura del controlador borroso generado por AFAN con las especificaciones de la tabla 1. b) Arquitectura seleccionada por AFAN si la velocidad del controlador es reducida a 0.1 MFLIPS

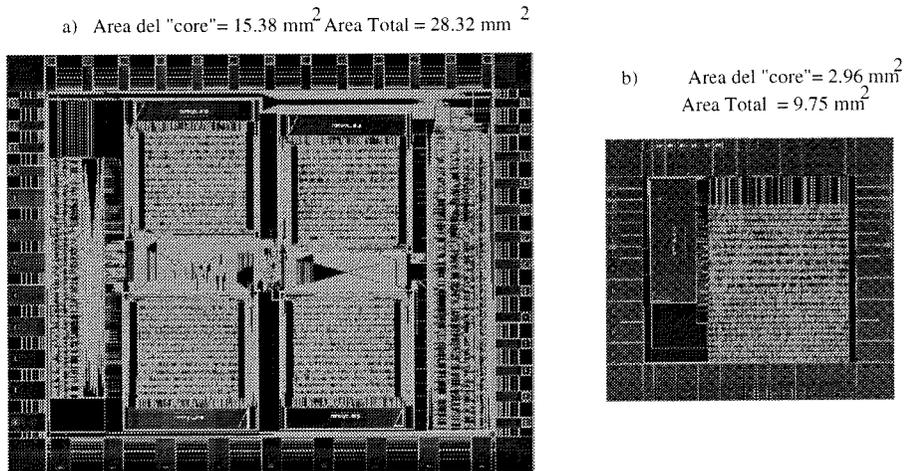


Figura 2.5: a) Layout del controlador borroso generado por AFAN con las especificaciones de la tabla 1. b) Layout generado por AFAN si las especificaciones de velocidad del controlador se reducen a 0.1 MFLIPS

ceso de desborrosificación necesita menos de 40 ciclos de reloj, el proceso de inferencia debería ser realizado por cuatro bloques iguales trabajando en paralelo ( $160/4 = 40$  ciclos de reloj) para conseguir satisfacer los requerimientos del usuario.

Sumando la complejidad de los diferentes bloques del controlador borroso seleccionados por AFAN, la complejidad total estimada es de unas 10500 puertas equivalentes, lo que corresponde aproximadamente a  $11 \text{ mm}^2$  de área activa en la tecnología seleccionada ( $0.7 \mu\text{m}$  CMOS). Utilizando un factor de rutado de un 30%, el layout del controlador debería ser de unos  $14,3 \text{ mm}^2$ , lo que satisface todos los requerimientos del usuario. El factor de rutado es estimado en función de la cantidad de área activa, utilización de memorias RAM y ancho de los buses internos. La velocidad estimada del controlador es 0.5 MFLIPS (Mega Fuzzy Logic Inferences per Second).

La figura 2.5a muestra el layout final generado en CADENCE DFW-II, partiendo del código VHDL generado por AFAN y transformado en puertas de la librería del fabricante por el programa Synopsys.

Hay que hacer notar que AFAN genera celdas que deben ser incluidas como parte de un diseño mayor. Sin embargo, para dar una idea global, se ha generado el layout de un circuito completo incluyendo los pads de entrada/salida. El área del chip es de  $28.32 \text{ mm}^2$  y el área del core es de  $15.38 \text{ mm}^2$ . Además, se puede comprobar en la figura que el área de la celda es menor de  $15 \text{ mm}^2$

Reloj	20 MHz
Velocidad del Controlador	500 MSPS (*)
Área del controlador	$\leq 60 \text{ mm}^2$
Resolución de Entrada/Salida (bits)	8
Resolución Interna(bits)	10
Aprendizaje	Propagación hacia atrás
Número de Capas	3
Número de neuronas por capa	2-10-2

(\*) MSPS: Mega Synapses Per Second (En Inglés).

Tabla 2.2: Conjunto de especificaciones para un perceptrón multicapa.

ya que el layout final no se encuentra totalmente optimizado.

Si los requerimientos de velocidad se reducen (por ejemplo, que sea del orden de 0.1 MFLIPS), AFAN selecciona la arquitectura con la mínima complejidad, en la que todas las reglas y entradas son procesadas secuencialmente utilizando un solo MFG. Esta arquitectura puede verse en la figura 2.4b. La máxima velocidad estimada es ahora de 0.125MFLIPS, mientras que el área estimada de la celda es de  $2.4 \text{ mm}^2$ . Una vez más, la figura muestra un chip completo incluyendo los pads de entrada/salida con un área total de  $9.75 \text{ mm}^2$ .

Continuamos ahora con otro ejemplo de un perceptrón multicapa que incluye circuitería de aprendizaje por el método de retropropagación. En este caso, el valor tan alto de velocidad de procesamiento seleccionado (ver tabla 2.2), fuerza a AFAN a elegir una arquitectura totalmente paralela (figura 2.6), donde cada neurona es un bloque independiente, aunque dentro de ellas las operaciones de suma y multiplicación son procesadas secuencialmente. Esta celda requiere una gran cantidad de área de silicio. La velocidad estimada de 346.5 MSPS (Mega Synapses Per Second) y el consumo de área es aproximadamente de  $35 \text{ mm}^2$ .

Hay que hacer notar que, en este caso, el requerimiento de velocidad no se puede lograr con los bloques existentes. Se podría intentar paralelizar las operaciones dentro de la neurona, pero el área de silicio resultante sería inviable para su fabricación. Por ello AFAN devuelve el diseño al usuario que más se aproxima a sus especificaciones, indicando además, que un incremento no muy importante en la velocidad de reloj del sistema, podría conseguir cumplir la especificación de velocidad.

El layout final para este ejemplo puede verse en la figura 2.7. Si la celda es integrada como único componente de un chip, el área total, incluyendo pads de entrada/salida, es de  $58 \text{ mm}^2$ .

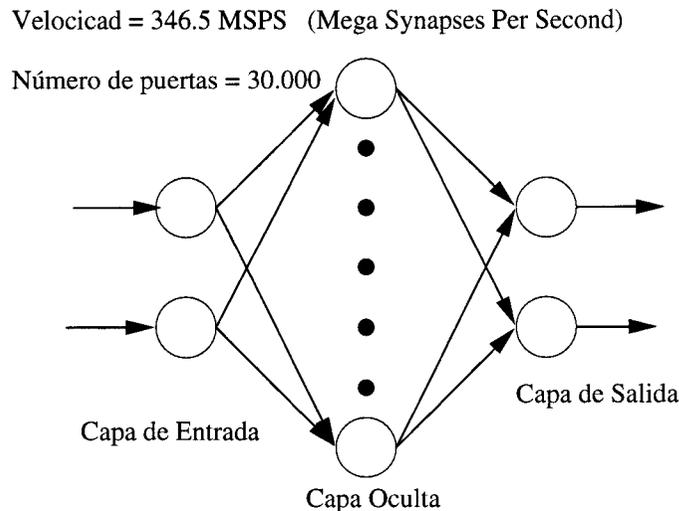


Figura 2.6: Arquitectura de un controlador neuronal de tres capas generado por AFAN con las especificaciones de la tabla 2. Cada neurona es un bloque independiente.

Los Layouts de las figuras 2.5 and 2.7 han sido obtenidos en CADENCE DFW-II a partir del código VHDL generado por AFAN y procesado después con Synopsys para obtener un circuito en puertas de la librería del fabricante. El ciclo total de diseño duró menos de dos días de trabajo de un diseñador experto en el peor de los casos. Además, los layouts no han sido completamente optimizados.

## 2.5 Conclusiones y trabajo futuro

Se ha presentado un prototipo de una herramienta para el diseño automático de controladores basados en lógica borrosa y en redes neuronales. La herramienta propuesta utiliza un conjunto de reglas sencillas para realizar la selección de la arquitectura desde un acercamiento al problema de alto nivel, proporcionando diferentes soluciones para diferentes requerimientos del usuario. Se han presentado diferentes ejemplos realizados con AFAN, mostrando sus habilidades para tratar ello.

Area del "core" =  $38.6 \text{ mm}^2$  Area Total =  $58 \text{ mm}^2$

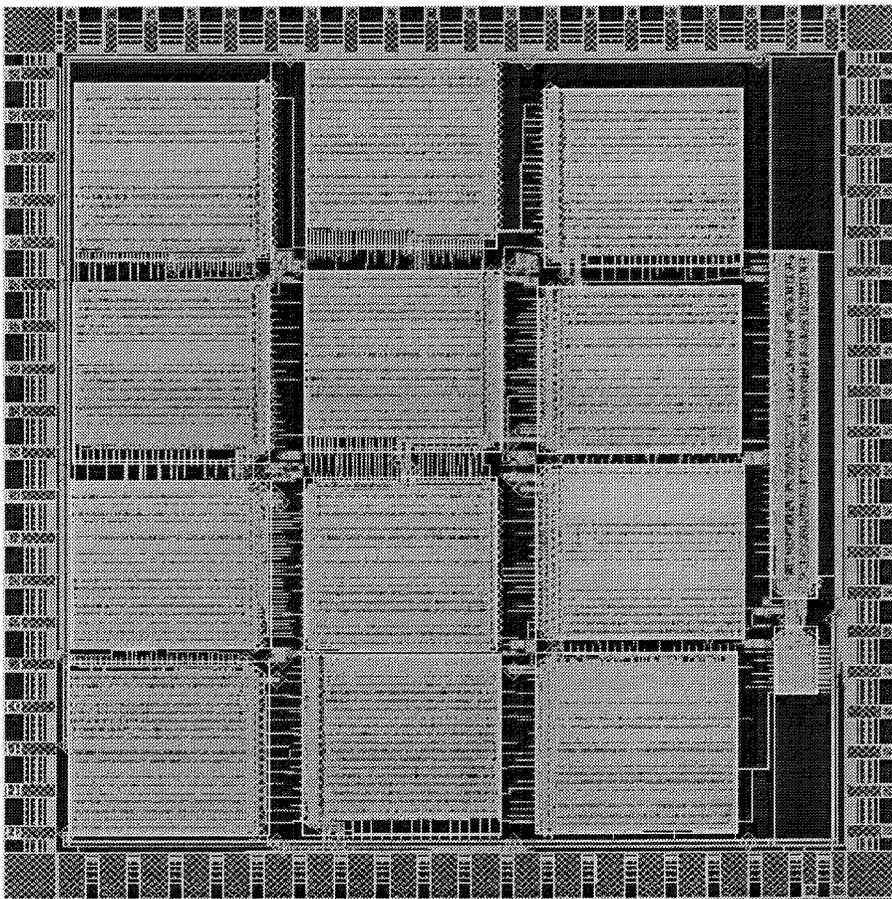


Figura 2.7: Layout de el controlador neuronal de tres capas generado por AFAN con las especificaciones de la tabla 2.

Actualmente, solamente un conjunto reducido de controladores basados en lógica borrosa y en redes neuronales están siendo considerados en AFAN, incluyendo controladores borrosos con inferencia por el método de Mamdani y redes neuronales con la arquitectura del perceptrón y un número arbitrario de neuronas y capas. Sin embargo se está considerando la extensión de AFAN a otros tipos de controladores como los controladores neuro-borrosos (como el ANFIS [48]), controladores PID, redes de PETRI, etc.

Por último hay que indicar que AFAN incluye la circuitería necesaria para realizar el aprendizaje por retro-propagación si se quiere incluir.

## Capítulo 3

---

# Aplicaciones Industriales

### Índice General

---

<b>3.1</b>	<b>Aplicación industrial de la lógica borrosa . . . . .</b>	<b>39</b>
<b>3.2</b>	<b>Proyecto ASITRON . . . . .</b>	<b>39</b>
<b>3.3</b>	<b>Proyecto ADAPT . . . . .</b>	<b>42</b>

---

*En este capítulo se muestran dos ejemplos de aplicación industrial de la herramienta presentada en el capítulo anterior [16]. Ambas aplicaciones son la realización microelectrónica de un circuito de aplicación específica (ASIC) para la resolución de un problema. En el primer caso el circuito ASIC se dedica al control de un motor de inducción de un sistema de tráfico vertical, mientras que en el segundo el ASIC se dedica al control de un sistema de comunicaciones por onda portadora. En ambos casos era necesario utilizar control borroso para conseguir las prestaciones deseadas. Por otro lado, el controlador borroso requerido podía ser generado por AFAN, por lo que el tiempo de diseño y su coste se redujo.*

## 3.1 Aplicación industrial de la lógica borrosa

La herramienta AFAN desarrollada en esta tesis doctoral ha sido utilizada en dos aplicaciones industriales. En ambos casos el controlador borroso es una parte en un *Circuito Integrado de Aplicación Específica* (ASIC) diseñado en dos proyectos industriales diferentes:

- Proyecto ASITRON
- Proyecto ADAPT

En estos dos proyectos la colaboración del autor fue muy diferente. En ASITRON proporcioné la celda digital que realizaba el control borroso, mientras que el resto del proyecto fue elaborado por otros miembros del Grupo de Tecnología Electrónica. Sin embargo, en ADAPT colaboré en la realización de todo el proyecto, incluyendo el controlador borroso.

## 3.2 Proyecto ASITRON

Todas las partes del circuito constituyen en conjunto un sistema de *Control Vectorial-Borroso* que será utilizado para controlar la velocidad de una máquina de inducción en un sistema de tráfico vertical. ASITRON se enmarca dentro de la acción GAME (acción especial del programa ESPRIT) con la cofinanciación de la empresa *Mecanismos y Accesorios* MAC S.A. El circuito ha sido fabricado con la tecnología CMOS  $0.7\mu$  de ES2 y está incorporado a la línea de producción de esta empresa.

Con el control vectorial se pretende eliminar la dependencia entre las variables de control de una máquina de inducción. Esto se puede conseguir mediante un control electrónico de las componentes de corriente responsables del par y del flujo magnético. De esta manera, el control de la máquina de inducción se asemeja al control de la máquina de continua en la que el par y el flujo están desacoplados de forma natural. No obstante, la estrategia de control vectorial depende de los parámetros de la máquina, necesiándose un controlador robusto que soporte dicha variación.

Los sistemas borrosos formalizan el procesamiento de información imprecisa mediante el concepto de términos lingüísticos. Por lo tanto no requieren un conocimiento profundo del sistema bajo control. A su vez, mediante la definición de los parámetros que definen las reglas del controlador, gozan de una gran flexibilidad en su programación. Ambas características hacen que este tipo de sistemas sean idóneos para su aplicación al control vectorial de la máquina de inducción.

En la figura 3.1 se muestran los bloques funcionales del circuito integrado que se explica a continuación. La referencia de velocidad es leída por el ASIC desde el microprocesador. La unidad de procesamiento borroso está constituida por el propio controlador y por una unidad de preprocesamiento. Esta última se encarga de generar el error a partir de la velocidad leída por el tacómetro del propio ASIC y de la referencia, así como la integral de éste. Estas dos variables serán las entradas al controlador borroso que previamente habrá sido programado desde el microprocesador con la escritura de los parámetros en la memoria RAM. Cabe destacar que el desborrosificador ha sido dotado con la lógica adicional necesaria para el aprendizaje de los pulsos unitarios consecuentes.

A continuación describimos las características principales del controlador borroso:

- El controlador tiene la capacidad de procesar hasta 64 reglas de tres antecedentes y un consecuente.
- La precisión utilizada en la codificación de las entradas, los centroides de las funciones de pertenencia de entrada y la localización del pulso unitario consecuente es de 10 bits.
- Se permiten cuatro valores diferentes para la pendiente de las funciones de pertenencia.
- El controlador está dotado con los módulos electrónicos para el aprendizaje "in situ" de los pulsos unitarios de salida.
- El área ocupada por los diferentes módulos del controlador se desglosa en la tabla 3.1.

Estas especificaciones fueron introducidas por AFAN que generó una descripción VHDL que fue utilizada por el resto de diseñadores del ASIC. La síntesis del controlador borroso fue realizada con el resto del ASIC, por lo que los resultados de área que se presentan son los obtenidos de rutarlo como celda independiente. Se estima que se redujo el tiempo de diseño del ASIC en unos dos meses, cumpliendo el controlador diseñado todas las especificaciones que se le impusieron.

En la figura 3.2 se representa el *layout* del ASIC diseñado para el proyecto ASITRON.

Bloques funcionales	Número de puertas <i>NANDs</i>	Area
Inferencia	2357	0.895mm <sup>2</sup>
Desborrosificador	1974	0.75mm <sup>2</sup>
Memoria RAM	2789	1.06mm <sup>2</sup>
Total	7120	2.705mm <sup>2</sup>

Tabla 3.1: Ocupación del controlador borroso con la tecnología CMOS de 0.7μ de ES2

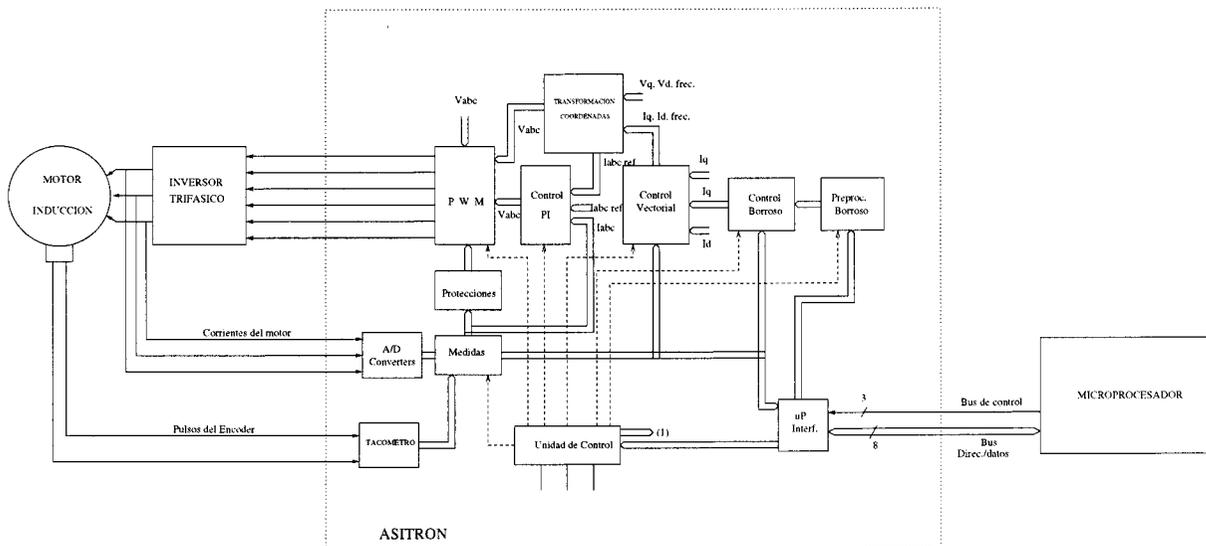


Figura 3.1: Diagrama de bloques del circuito integrado ASITRON

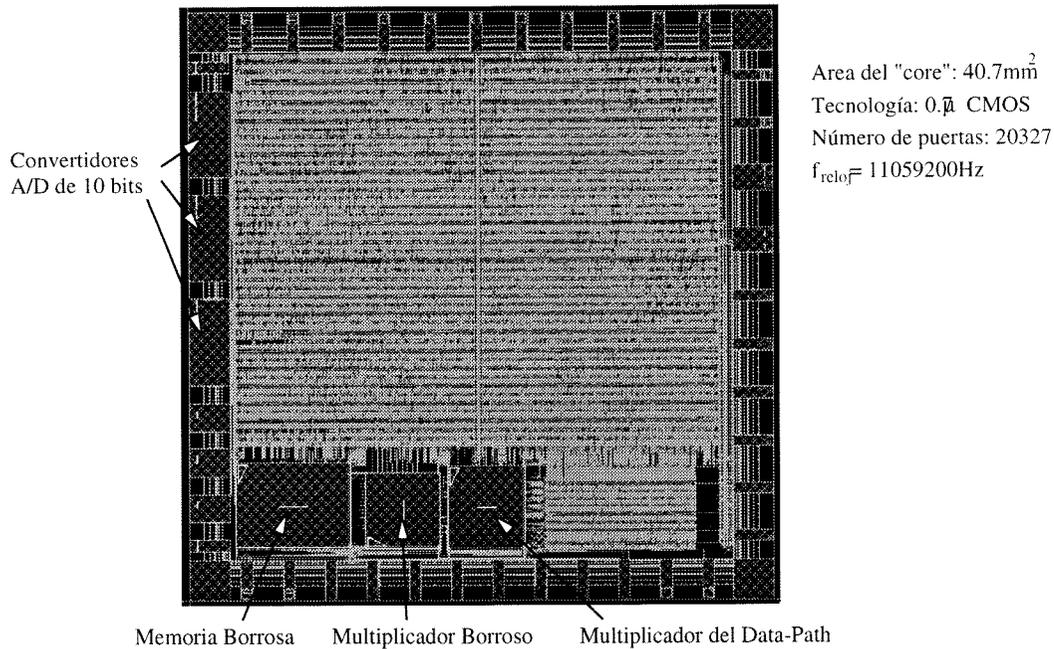


Figura 3.2: Layout del circuito integrado que contiene el controlador borroso.

### 3.3 Proyecto ADAPT

Todas las partes del circuito constituyen en conjunto un sistema de *ajuste automático de la impedancia de un sistema de comunicación por onda portadora*. ADAPT se enmarca dentro de la acción FUSE (acción especial del programa ESPRIT) con la co-financiación de la empresa SAINCO [65]. El circuito ha sido fabricado con la tecnología CMOS CXE  $0.8\mu$  de AMS y está actualmente siendo comprobado en los laboratorios de SAINCO para su posterior incorporación a la línea de producción.

Uno de los principales problemas en las comunicaciones por onda portadora a través de la línea eléctrica es la variación en la impedancia de entrada de la línea. La impedancia que presenta la línea al sistema de comunicaciones depende de un gran número de factores, como el tipo de línea eléctrica, la situación atmosférica, la hora del día y la topología de la línea. El cambio en alguno de estos factores puede hacer que la impedancia vista por el sistema de comunicaciones tenga una variabilidad de hasta un 400%.

En la actualidad los sistemas de comunicaciones por onda portadora no realizan ajuste automático de la impedancia entre el sistema de comunicaciones y la línea de transmisión. Esto implica que un cambio en la impedancia de la línea produzca una pérdida importante en la potencia de señal de información

que pasa a la línea. Se produce de este modo un incremento en la tasa de error de bits o incluso, en muchos casos, se imposibilitan las comunicaciones.

Debido al gran número de factores que afectan a la impedancia de la línea, es imposible conocer el sistema a controlar de forma precisa. Sin embargo, se pueden establecer unas pautas de comportamiento de este sistema traducibles a términos lingüísticos de un controlador borroso. Además, programando de forma correcta el controlador borroso, se puede conseguir que el control de impedancia se realice de forma eficiente. Es decir, que se minimice el número de iteraciones necesarias para llegar al óptimo. De esta forma se afectará lo menos posible a las comunicaciones existentes en la línea.

En la figura 3.3 se muestra el sistema de acoplamiento utilizado por ADAPT.

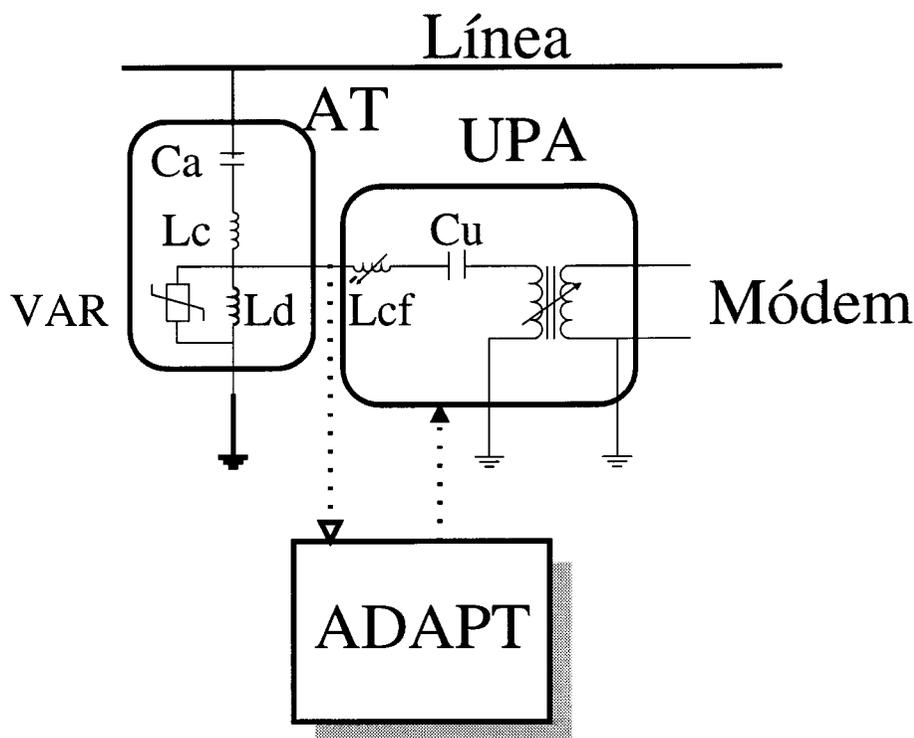


Figura 3.3: Sistema de acoplamiento utilizado por ADAPT.

La bobina variable adapta la fase de impedancia y el transformador variable, el módulo. La adaptación se realizará de la siguiente forma:

- ADAPT realiza la medida de la impedancia y de la potencia de señal que pasa a la línea.
- Utilizando estas medidas, el controlador borroso estima las tomas del transformador y la bobina que mejor realizan la adaptación de impedancia.

- ADAPT, realiza el cambio de tomas, y vuelve a calcular los mismos parámetros de nuevo.
- Con la nueva medida y la anterior, el controlador borroso realiza una estimación más fina de las tomas óptimas.
- El proceso se repite hasta llegar a las tomas óptimas.

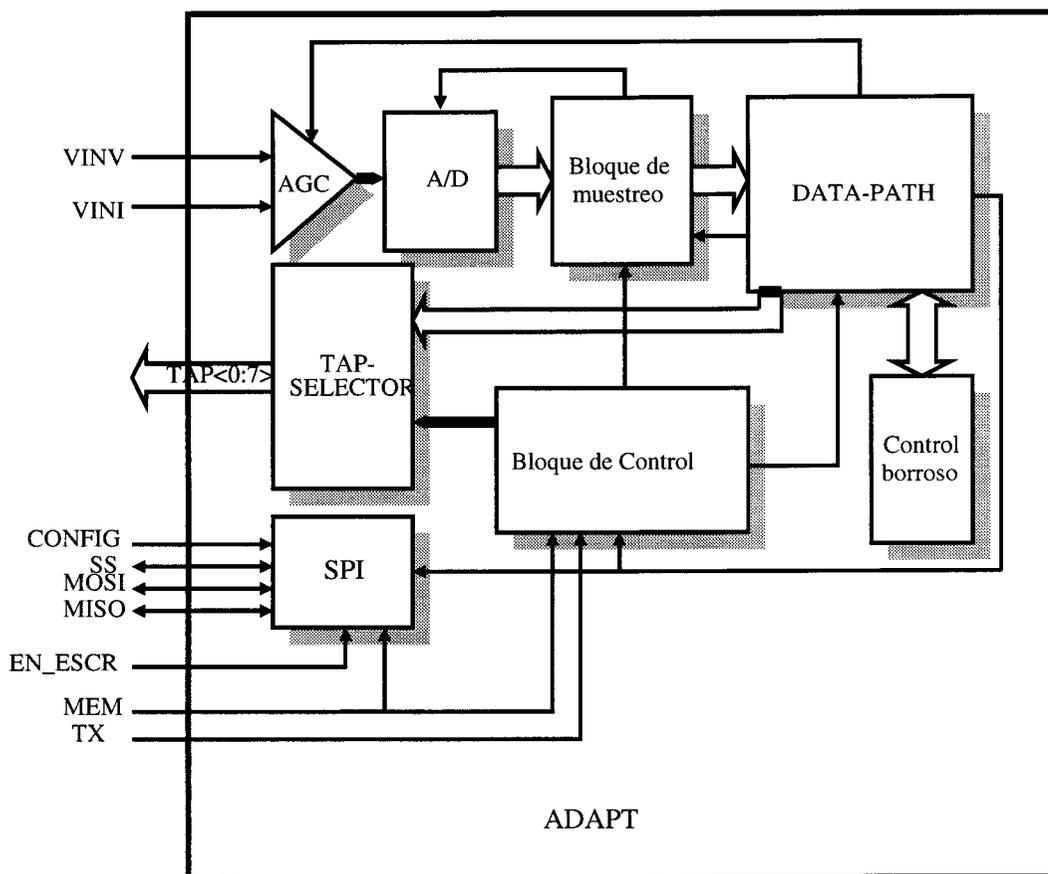


Figura 3.4: Diagrama de bloques de ADAPT.

En la figura 3.4 se muestran los bloques funcionales del circuito integrado que se explicarán a continuación.

- Canal SPI: Permite controlar y observar el estado del ASIC desde el exterior. Por este canal de comunicación serán programados sus registros (modo de funcionamiento, memoria del controlador borroso, etc.). Además el módem podrá leer a través de él los diversos valores que el ASIC calcula.
- Convertidor A/D y AGC. Este bloque analógico constará de cuatro convertidores A/D y de dos amplificadores de ganancia programable, que

permitan ajustar la amplitud de las señales de entrada al rango dinámico del convertidor.

- **Bloque de muestreo:** Este módulo realizará el control de los convertidores A/D.
- **Ajuste borroso.** Establece la toma óptima a partir de un mecanismo de decisión inteligente basado en lógica borrosa.
- **TAP SELECTOR.** Este bloque transforma la salida del controlador borroso en una señal que actúa sobre las tomas de la bobina y del transformador.
- **Control:** Es el bloque que va a controlar la secuencia de operaciones de ASIC.
- **DATA-PATH de cálculo:** Este bloque se encargará de realizar los cálculos necesarios para la funcionalidad del ASIC (cálculo de parámetros de la línea, filtro digital, control de ganancia y offset). Comparte el divisor con el controlador borroso.

El ASIC tiene dos modos de funcionamiento principales: El modo de transmisión y el de recepción. A continuación se explicarán con un poco de más detalle ambos modos.

1. *Modo de transmisión.* En este modo de funcionamiento ADAPT mide la potencia de señal transmitida y la impedancia vista por el módem. Y utiliza dichas medidas para realizar el ajuste de impedancia. La secuencia de funcionamiento en el modo de transmisión se puede ver en la figura 3.5. Puede observarse, que mediante una serie de tiempos programables se puede ajustar el periodo de medida a la zona del mensaje deseada.
2. *Modo de recepción.* En este modo de funcionamiento se realiza la medida de la relación señal a ruido (para poder realizar una estadística de los parámetros de transmisión). No se realizará ninguna acción sobre las tomas. Para poder realizar la medida de la relación señal a ruido, es necesario realizar un filtrado de la señal centrado en la frecuencia de trabajo. Para ello se ha utilizado un filtro IIR. La función de transferencia del filtro digital se puede ver en la figura 3.6.

A continuación detallamos las características principales del controlador borroso implementado en ADAPT:

- El controlador tiene la capacidad de procesar hasta 32 reglas de dos antecedentes y un consecuente.

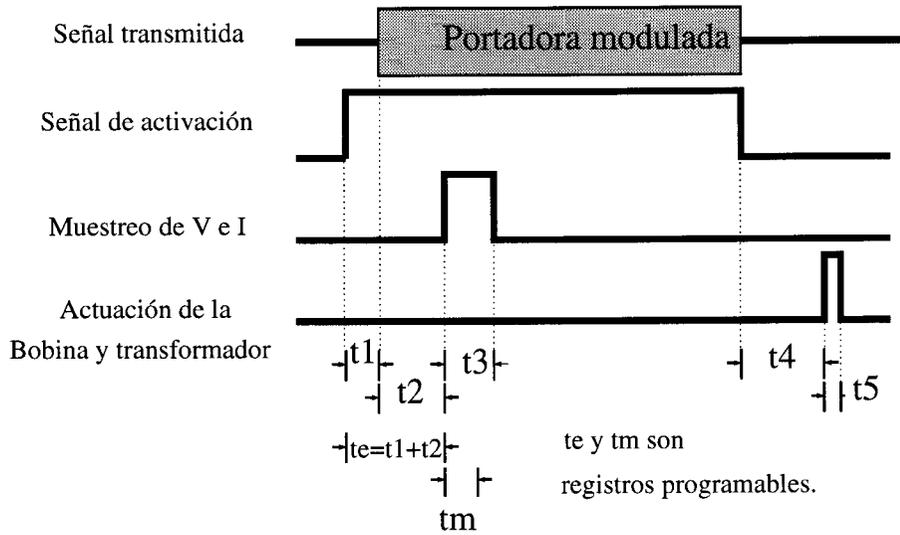


Figura 3.5: Funcionamiento en modo de transmisión.

$$H(z) = \frac{1}{21.291} \times \frac{1 - z^{-2}}{1 - 1.34375z^{-1} + 0.90625z^{-2}}$$

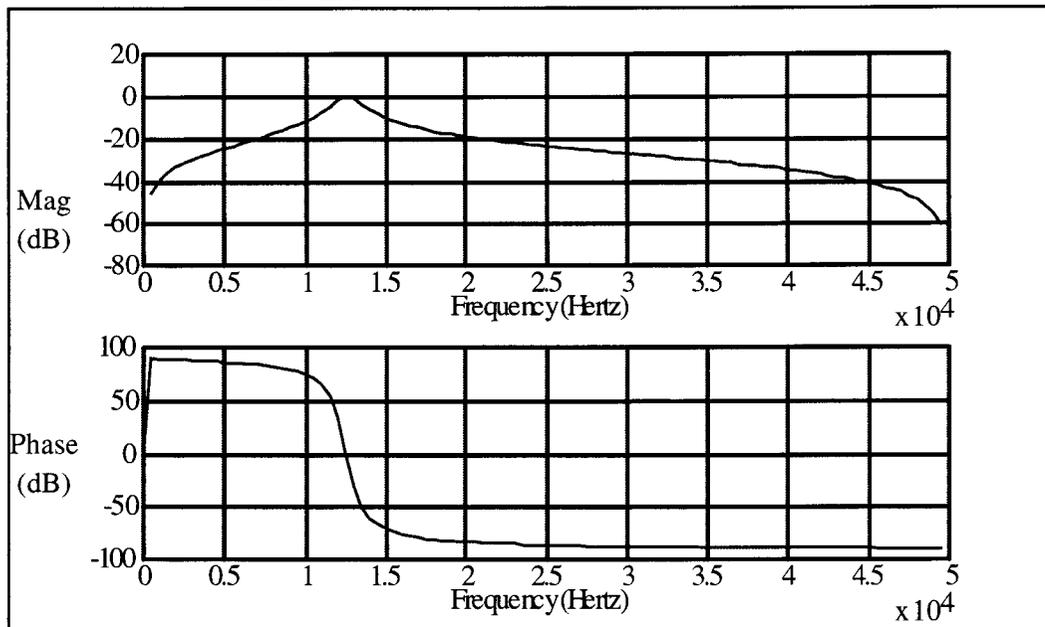


Figura 3.6: Función de transferencia del filtro en recepción.

- La precisión utilizada en la codificación de las entradas y los centroides de las funciones de pertenencia de entrada es de 16 bits.
- La precisión utilizada en la codificación de la localización de los pulsos unitarios consecuentes es de 8 bits.
- La precisión utilizada en la codificación de la pendiente de las funciones de pertenencia es de 8 bits.

Estas especificaciones fueron introducidas por AFAN que generó una descripción VHDL que fue utilizada por el resto de diseñadores del ASIC. La síntesis del controlador borroso fue realizada con el resto del ASIC, por lo que no se presentan resultados de área. Además, los operadores utilizados por el controlador borroso fueron incluidos como parte del DATA-PATH diseñado para realizar los cálculos de la potencia, impedancia, relación señal/ruido (filtro IIR). Esta es una opción que se incluye en AFAN que consiste en dejar señales de control accesibles para cuando el controlador no este actuando (como es este caso). Se estima que se redujo el tiempo de diseño del ASIC en unos dos meses cumpliendo el controlador diseñado todas las especificaciones que se le impusieron.

En la figura 3.7 puede verse el layout final del circuito enviado a fabricación.

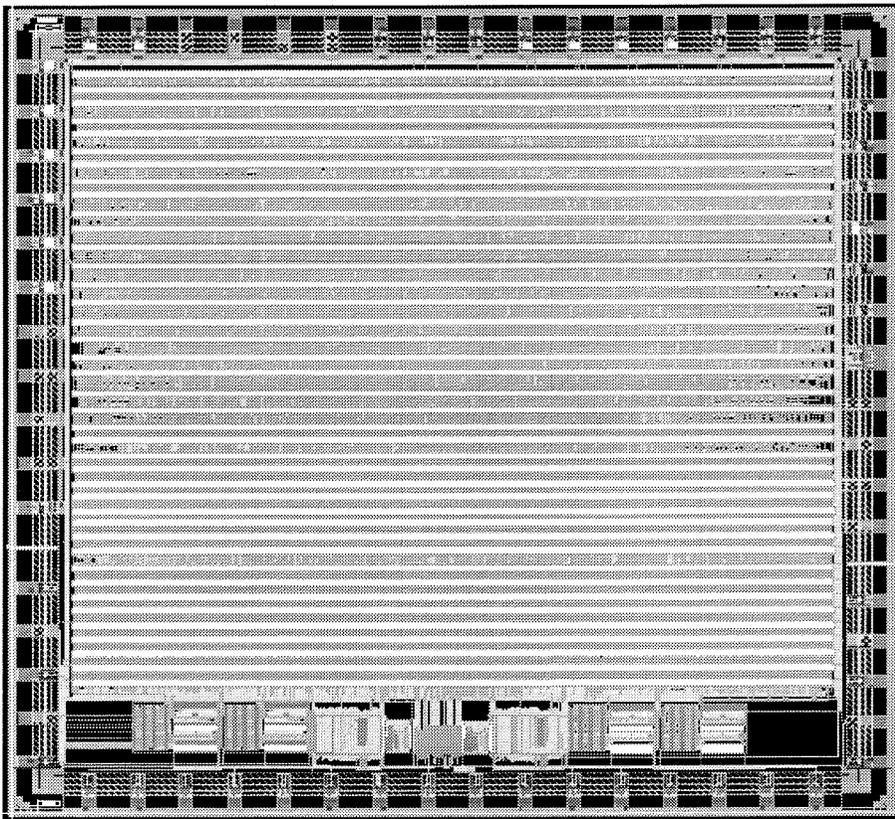


Figura 3.7: Layout del circuito integrado que contiene el controlador borroso.

## Capítulo 4

---

# Diseño Analógico y Mixto de Controladores Borrosos

### Índice General

---

<b>4.1</b>	<b>Introducción</b>	<b>51</b>
<b>4.2</b>	<b>Flujo de Diseño</b>	<b>52</b>
<b>4.3</b>	<b>Arquitectura del Controlador Borroso</b>	<b>53</b>
<b>4.4</b>	<b>Función de Pertenencia</b>	<b>56</b>
4.4.1	Introducción	56
4.4.2	Arquitectura de la MFG	58
4.4.3	Uso de la función Z	59
4.4.4	Resultados de Simulación	61
<b>4.5</b>	<b>Implementaciones electrónicas de operadores Mínimo y Máximo</b>	<b>64</b>
4.5.1	Introducción	64
4.5.2	Principio de Funcionamiento	66
4.5.3	Familia de Circuitos	69
4.5.4	Resultados	70
<b>4.6</b>	<b>Realización mixta analógico-digital</b>	<b>71</b>
4.6.1	Introducción	71
4.6.2	Esquema de funcionamiento	74
<b>4.7</b>	<b>Resultados</b>	<b>75</b>

---

*En este capítulo se discute el diseño analógico y mixto (digital-analógico) de controladores borrosos. Además, se estudia la posibilidad de automatizar el diseño basándonos en una definición modular de la arquitectura del controlador. Esta automatización será del mismo tipo que la realizada en AFAN [13], es decir, a partir de un conjunto de especificaciones del usuario tales como el número de entradas, salidas, reglas y consumo de potencia, se selecciona la arquitectura del controlador, de forma que el generador de controladores borrosos produzca un fichero que contenga la interconexión de bloques básicos de una librería. Para ello, un conjunto de celdas han sido diseñadas hasta el nivel de máscaras ("layout") para una tecnología de 0.8 micras. El controlador resultante puede ser simulado utilizando SPICE y ser rutado con programas estándares de rutado. Para diseñar controladores mixtos se ha fijado como objetivo conseguir una reducción del consumo de energía del controlador puramente digital o analógico. Esta reducción se consigue utilizando la información que los circuitos de inferencia (circuitos competidores) proporcionan acerca de las partes del circuito que están actuando sobre la salida. Con esa información, podemos "apagar" temporalmente los que no actúan sobre la salida, ahorrando así energía. Por último, para circuitos con mayores requerimientos de velocidad se ha diseñado una nueva familia de circuitos operadores máximo y mínimo que presenta gran precisión y transitorios suaves.*

## 4.1 Introducción

En los últimos años, los controladores borrosos se han utilizado en muchas y diferentes aplicaciones de control [46]. Por ello, no es extraño encontrar controladores borrosos incluidos dentro de circuitos de aplicación específica (ASIC's) industriales. La arquitectura de estos controladores se repite con asiduidad, por lo que se plantea la posibilidad de su automatización. La automatización reduce el proceso de diseño, reduciendo su coste.

Recientemente se han presentado diferentes herramientas para automatizar el diseño electrónico de controladores borrosos utilizando una aproximación digital[26], [41], [36], [17] o una aproximación analógica [60], [56], citeMat:ASy. Es generalmente aceptado que los circuitos analógicos son más rápidos que los digitales con menor consumo de potencia y área de silicio. Por otro lado, los circuitos digitales pueden tener mayor precisión y son más fácilmente escalables.

En este capítulo presentamos una aproximación al diseño automático de controladores borrosos analógicos. Esta aproximación se basa en una arquitectura modular propuesta en [74], que utiliza un conjunto reducido de bloques básicos para construir un controlador borroso.

Por ello, se han diseñado unas celdas de librería escalables que pueden ser utilizadas generando un fichero de conexiones. Dicho fichero será generado por un compilador de silicio a partir de unas especificaciones dadas por el usuario. Las celdas han sido diseñadas utilizando circuitos de modo corriente. En los últimos años se han propuesto diferentes realizaciones de controladores borrosos analógicos utilizando circuitos en modo tensión [38], [84], [74] o circuitos en modo corriente [74], [85], [86], [44], [57], [98], [8]. Las ventajas de utilizar circuitos en modo corriente son el mayor rango de valores que pueden tomar las variables y la mayor velocidad.

Algunas de las celdas utilizadas han sido tomadas de la literatura, aunque la mayor parte han sido diseñadas para esta aplicación. De entre todos los circuitos presentados destaca una nueva familia de circuitos operadores máximo y mínimo capaces de trabajar en modo tensión y en modo corriente.

Otro aspecto muy importante en el diseño de circuitos modernos es reducir el consumo de potencia. Por ello hemos dejado programable el valor de las

fuentes de corriente de polarización. De esta forma cuanto mayor sean estas fuentes mayores serán la velocidad y precisión del controlador, pero mayor será también el consumo de potencia. Para reducir el consumo de potencia sin reducir la precisión del controlador se presenta un método novedoso: apagar las fuentes de polarización de los generadores de funciones de pertenencia dependiendo del resultado del proceso de inferencia. De esta forma se consigue una reducción considerable de la potencia consumida para controladores con especificaciones muy restrictivas en velocidad. (Puede verse aquí el compromiso que siempre existe en electrónica entre velocidad y consumo).

Este capítulo está organizado como sigue. La sección 4.2 describe el flujo de diseño del compilador de silicio. Una descripción detallada del controlador se encuentra en la sección 4.3. En la sección 4.4 se presenta el generador de funciones de pertenencia. En la sección 4.5 se describe la familia de circuitos operadores máximo y mínimo. Por último, en la sección 4.6 se presentan los resultados obtenidos.

## 4.2 Flujo de Diseño

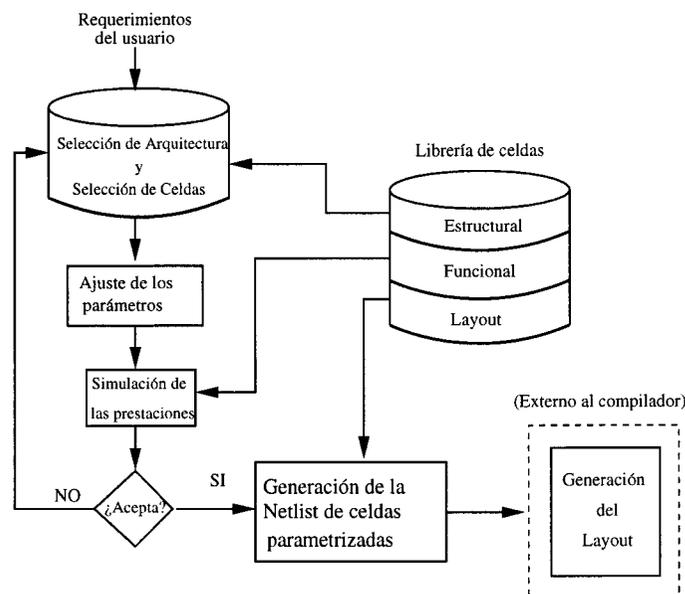


Figura 4.1: Flujo de Diseño

El flujo de diseño se muestra en la figura 4.1. Las especificaciones de un diseño típico se formulan en términos de número de entradas, número de salidas, número de reglas, máximo valor de la corriente de polarización (consumo

de potencia) y velocidad deseada.

Al igual que en el caso digital, el generador de controladores se basa en el hecho de que los controladores borrosos analógicos están compuestos en la práctica de un conjunto de bloques básicos, tales como generadores de funciones de pertenencia, operadores máximo–mínimo y desborrosificadores.

La salida del generador de controladores borrosos es un fichero en formato CDL ( Cadence Design Language ) que contiene la interconexión de celdas parametrizadas que pueden ser rutadas con las herramientas de rutado automático que proporciona el paquete informático Cadence DFII.

### 4.3 Arquitectura del Controlador Borroso

En la figura 4.2 se muestra el plano del controlador borroso. Se basa en una estructura propuesta por el Dr. Ramírez–Angulo en [74]. Esta estructura emplea el algoritmo de Mamdani con pulsos unitarios como consecuentes de las reglas borrosas y con el método de desborrosificación basado en el centro de gravedad. Como se puede ver en la figura, esta estructura permite un número variable de entradas, salidas y reglas.

El generador de controladores conecta los bloques básicos de la librería para

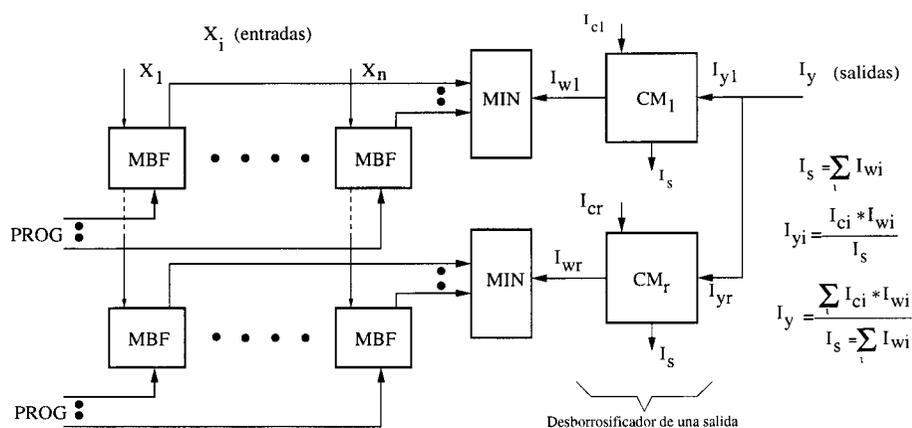


Figura 4.2: Arquitectura del controlador borroso

formar así el controlador completo. Los siguientes bloques pueden identificarse en la figura 4.2:

1. El Generador de Funciones de Pertenencia (MFG). En nuestro caso el MFG es un circuito diseñado para satisfacer nuestros requerimientos.

Está basado en un transconductor lineal y ajustable propuesto en [42]. El circuito de la figura 4.3 genera una función de pertenencia de forma triangular o trapezoidal que es totalmente programable. En este circuito,  $V_{pos1}$ ,  $V_{pos2}$ ,  $I_{slope1}$  e  $I_{slope2}$  definen la posición y las pendientes de la función de pertenencia trapezoidal. Además, se han utilizado diodos de corriente y espejos de corriente clase-AB para limitar la corriente máxima y mínima de salida. La fuente de corriente  $I_{bias}$  puede ser ajustada para satisfacer las especificaciones de consumo de potencia con el coste de limitar el rango lineal del transconductor. Además, esta fuente de corriente puede ser apagada o encendida dependiendo del resultado del proceso de inferencia, consiguiendo así una considerable mejora en el consumo de potencia. Además se ha diseñado un circuito de “réplica” de la polarización para producir la tensión  $V_c$  para independizar la respuesta del transconductor de las tensiones umbrales (y, por ello, del efecto de cuerpo) del transistor MOS.

Al estar el circuito basado en un transconductor lineal, las formas triangular y trapezoidal son generadas mejor que en otros diseños que utilizan el par diferencial.

2. La máquina de inferencia (IM). La IM realiza el proceso de inferencia (En este caso del tipo de Mamdani, figure 4.4) utilizando el operador *AND*, que se implementa con circuitos *Mínimo*.

La figura 4.5 muestra el circuito que realiza la función *Máximo*, que está basado en el circuito competidor propuesto en [53] y posteriormente mejorado en [58]; La única modificación incluida es una salida cascodo para mejorar la respuesta del espejo de corriente de salida. Este circuito puede también realizar la función *Mínimo*, utilizando las leyes de De Morgan y lógica complementaria [85].

3. El bloque desborrosificador (DF). El bloque DF implementa el método de centro de gravedad utilizando pulsos unitarios como consecuentes. La ecuación (2.1) resume los cálculos que deben ser realizados.

$$output = \frac{\sum_{i=1}^{i=r} w_i c_i}{\sum_{i=1}^{i=r} w_i} \quad (4.1)$$

donde  $r$  es el número de reglas, y  $w_i$  y  $c_i$  son el resultado del proceso de inferencia y el consecuente de la regla  $i$ , respectivamente.

Los cálculos en (4.1) se pueden realizar fácilmente en circuitos que trabajan en modo “corriente”, donde la suma se lleva a cabo conectando las corrientes de entrada en un nodo común de baja impedancia.

Los términos producto se obtienen utilizando el circuito de la figura 4.6, propuesto en [12].

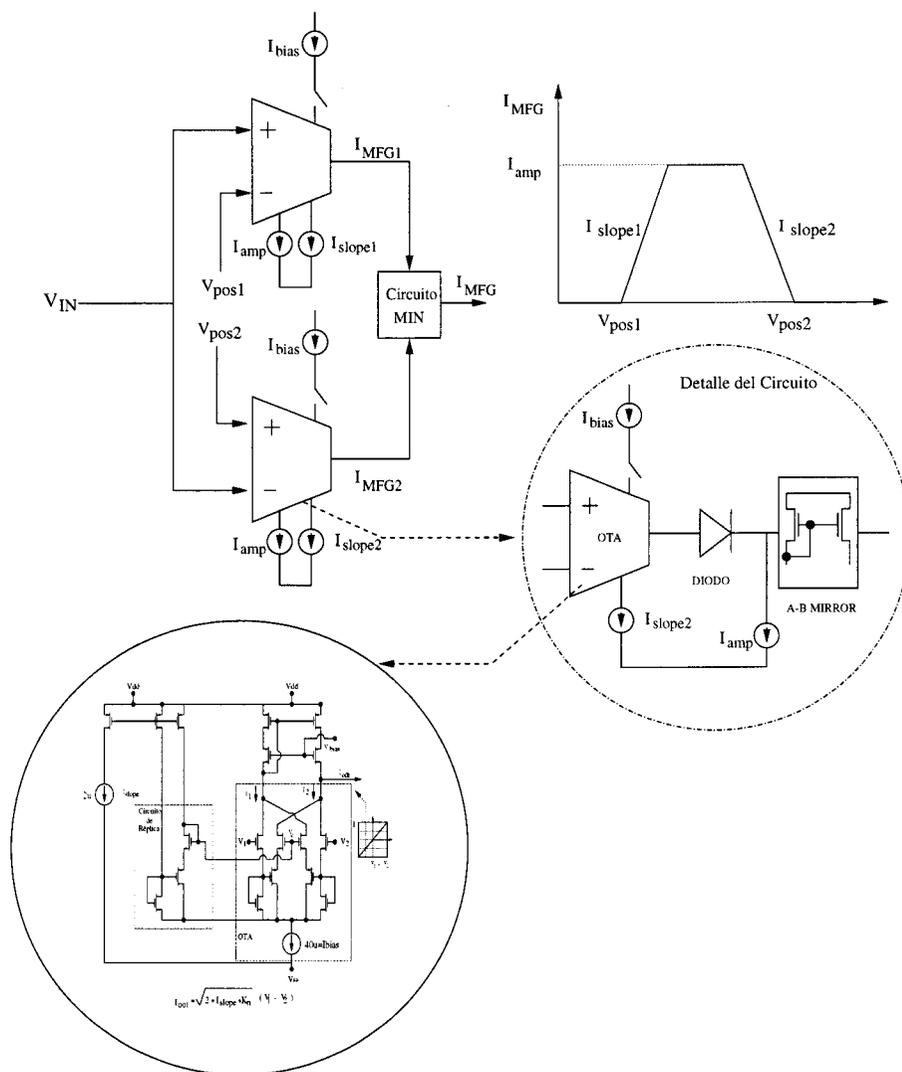


Figura 4.3: Generador de funciones de pertenencia

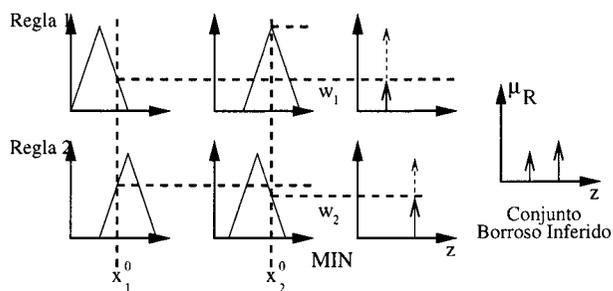


Figura 4.4: Proceso de inferencia de tipo Mamdani, (Se utilizan pulsos unitarios como funciones de pertenencia de los consecuentes)

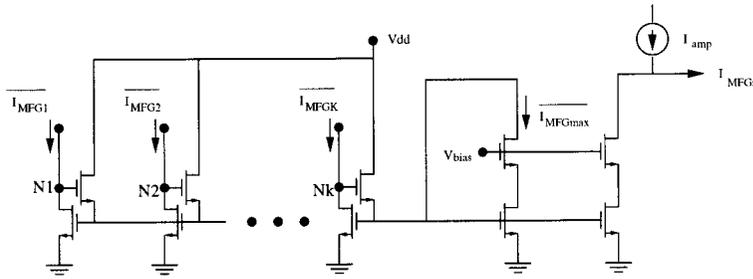


Figura 4.5: Circuito operador máximo

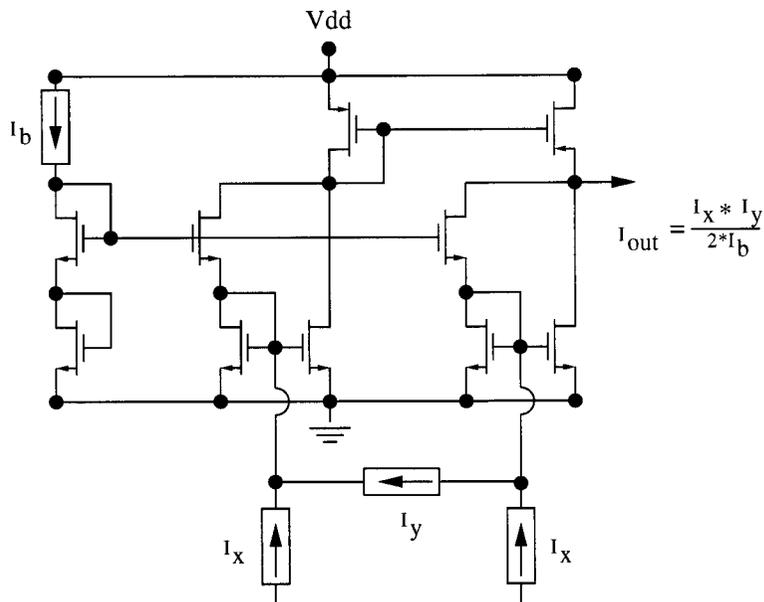


Figura 4.6: Circuito Multiplicador/Divisor en modo “corriente”

## 4.4 Función de Pertenencia

### 4.4.1 Introducción

En esta sección presentamos un generador de funciones de pertenencia triangulares y trapezoidales. Está basado en una versión mejorada de un transconductor lineal ajustable propuesto en [42] y en la aproximación a la generación de funciones lineales a trozos propuesta en [89]. Este transconductor presenta excelentes propiedades en términos de linealidad y ajustabilidad. Más aún, con la ayuda de operadores máximo–mínimo es posible generar cualquier tipo de funciones lineales a trozos. Los generadores de funciones de pertenencia obtenidos por este método son programables continuamente en todos sus parámetros.

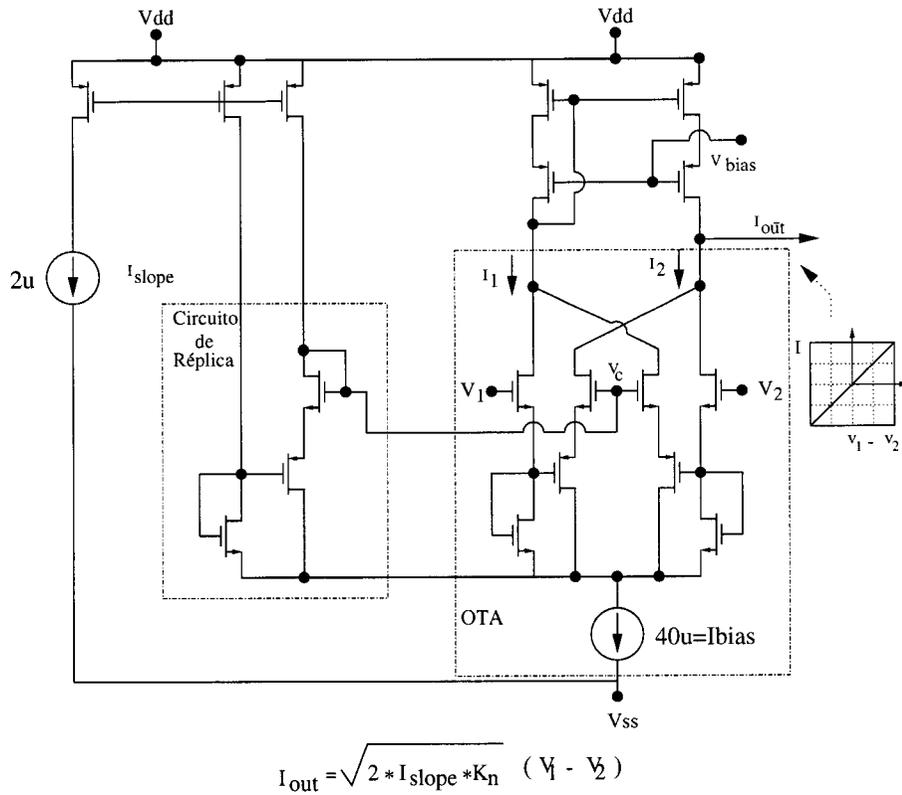


Figura 4.7: Transconductor Básico

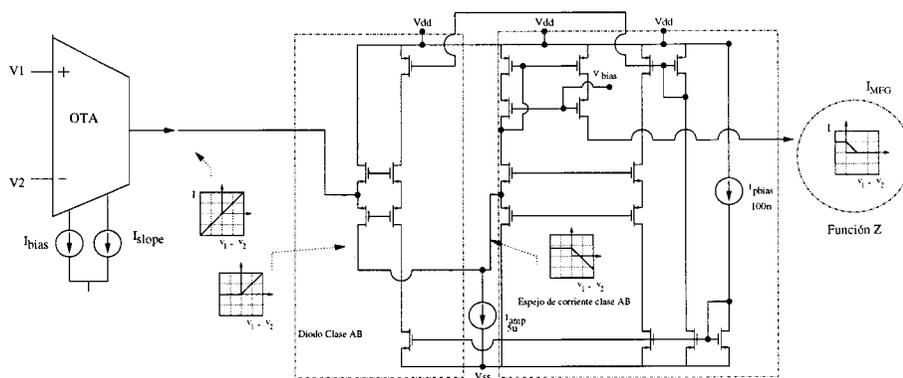


Figura 4.8: Circuito Z

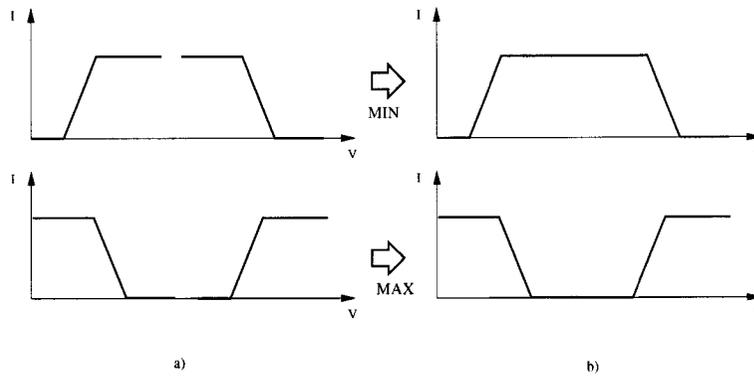


Figura 4.9: Forma de las funciones de transferencia

#### 4.4.2 Arquitectura de la MFG

La figura 4.7 muestra el circuito transconductor utilizado para construir la función de pertenencia. Si lo comparamos con el transconductor propuesto en [42], este circuito presenta dos diferencias que mejoran la respuesta obtenida en un diseño previo [15]:

- El consumo de potencia está limitado por medio de una fuente de corriente  $I_{bias}$ . De esta forma el consumo no crece con el modo común de las señales de entrada.
- La tensión de polarización  $V_c$  es generada por medio de un circuito de “réplica”, que hace que la corriente de salida sea independiente de las tensiones umbrales de los transistores MOS. Esto es muy importante ya que los transistores que definen la ganancia en transconductancia tienen efecto de cuerpo, por lo que la ganancia también depende de esas tensiones umbrales.

En la figura 4.7, la corriente de salida  $I_{out}$  viene dada por :

$$I_{out} = \sqrt{2I_{slope}k_n}(V_1 - V_2) \quad (4.2)$$

Puede verse que en esta ecuación la transconductancia sólo depende del parámetro de la tecnología  $k_n$ . Incluso esta dependencia puede ser cancelada utilizando dos transconductores y un circuito multiplicador/divisor, como fue propuesto en [82], a costa de una mayor complejidad.

Para construir una función Z, es necesario saturar la respuesta del transconductor. Esta operación se lleva a cabo por medio de un rectificador de corriente y de espejos de corriente como se muestra en la figura 4.8. Hay que hacer notar que se han utilizado espejos clase AB para conseguir alta velocidad de

operación. Una entrada del controlador borroso se conecta directamente a una entrada del transconductor mientras que la otra define la posición de la función  $Z$  en el eje  $x$ . La altura de la función  $Z$  puede ser programada por medio de la fuente de corriente  $I_{amp}$ , mientras que la pendiente puede ser programada por la fuente de corriente  $I_{slope}$ .

### 4.4.3 Uso de la función $Z$

Las funciones mostradas en la figura 4.9a (funciones  $Z$ ) pueden ser generadas con el circuito de la figura 4.8. Se puede ver que si la posición y la pendiente de las funciones  $Z$  pueden ser elegidos, cualquier tipo de funciones triangulares/trapezoidales pueden ser construidas con la ayuda de operadores Mínimo/Máximo (Ver figuras 4.9b y 4.3 para la implementación electrónica).

Además, en nuestra realización los operadores mínimo son también necesarios para la realización del proceso de inferencia, por lo que este tipo de MFG sólo duplica el número de entradas de el circuito Mínimo que realiza el proceso de inferencia. El precio a pagar por este incremento en la complejidad del circuito de mínimo no es alto ya que cada entrada adicional en el circuito de mínimo sólo añade dos transistores.

Como se dijo en el apartado anterior, el operador mínimo se puede construir por medio de un circuito que realice la función máximo utilizando lógica complementaria y las leyes de De Morgan:

$$I_{MFG} = MIN(I_{MFG1}, I_{MFG2}) \Rightarrow \tag{4.3}$$

$$\hat{I}_{MFG} = MAX(\hat{I}_{MFG1}, \hat{I}_{MFG2}) \tag{4.4}$$

donde  $\hat{I}$  es el complemento de  $I$ , i.e.,  $\hat{I} = I_{amp} - I$

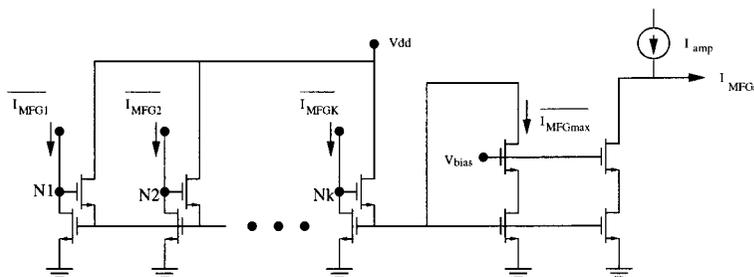


Figura 4.10: Circuito que realiza la función Máximo

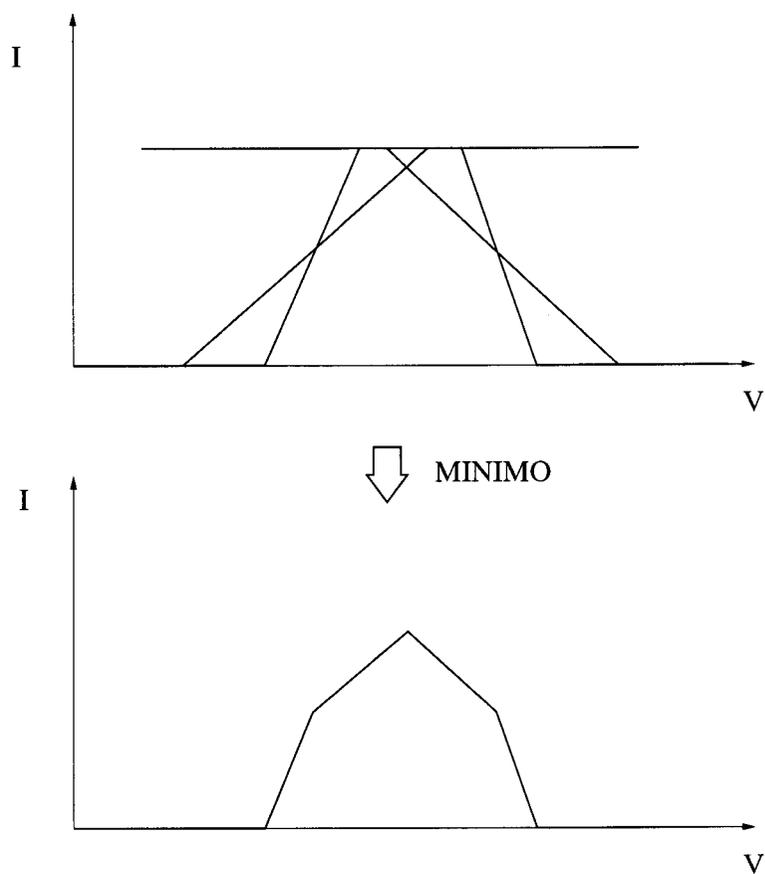


Figura 4.11: Ejemplo de generación de funciones PWL

El circuito de Máximo propuesto en [53] y después mejorado en [58] para aplicaciones electrónicas de lógica borrosa, se muestra en la figura 4.10.

Cambiando el circuito operador mínimo de la figura 4.3 por un circuito operador máximo, puede producirse la forma complementaria. Más aún, es fácil ver que se pueden construir cualquier tipo de funciones lineales a trozos (funciones PWL) combinando varias funciones Z con circuitos operadores máximo/mínimo (figura 4.11).

#### 4.4.4 Resultados de Simulación

El generador de funciones de pertenencia mostrado en la figura 4.3 ha sido diseñado utilizando una tecnología CMOS de 5 Voltios y  $0.8 \mu m$ . En la figura 4.12 puede verse la fotografía del chip diseñado para probar sus prestaciones. El área de la MFG completa es de  $0.07 mm^2$  y el consumo de potencia estático es de  $80 \mu A$ . Las figuras 4.13 a 4.17 muestran las simulaciones post-layout y los resultados experimentales.

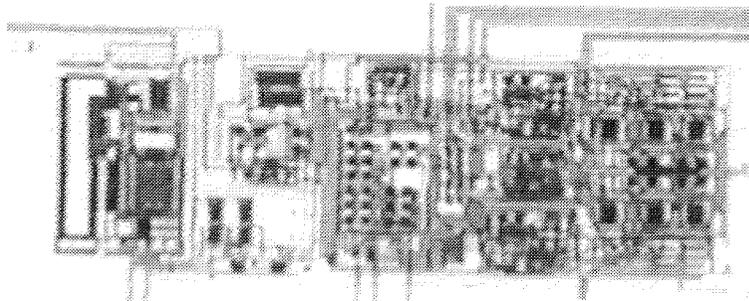


Figura 4.12: Fotografía de la MFG

En las figuras 4.13 y 4.14 se muestra la variabilidad de la posición y el ancho de la MFG. Hay que indicar que la posición de las funciones Z se controla por medio de las entradas  $V_{pos1}$  y  $V_{pos2}$  del transconductor.

La figura 4.15 muestra la variabilidad de la ganancia del transconductor. Esta figura ha sido obtenida cambiando la fuente de corriente  $I_{slope}$ .

La respuesta transitoria del circuito MFG se muestra en la figura 4.16a. En este caso la entrada del circuito MFG es un rampa de tensión y el retraso máximo es menor a  $100 ns$  (alrededor de  $70 ns$ ). La respuesta del mismo circuito obtenida experimentalmente puede verse en la figura 4.16b.

Finalmente, la figura 4.17 muestra un ejemplo de generación de una función

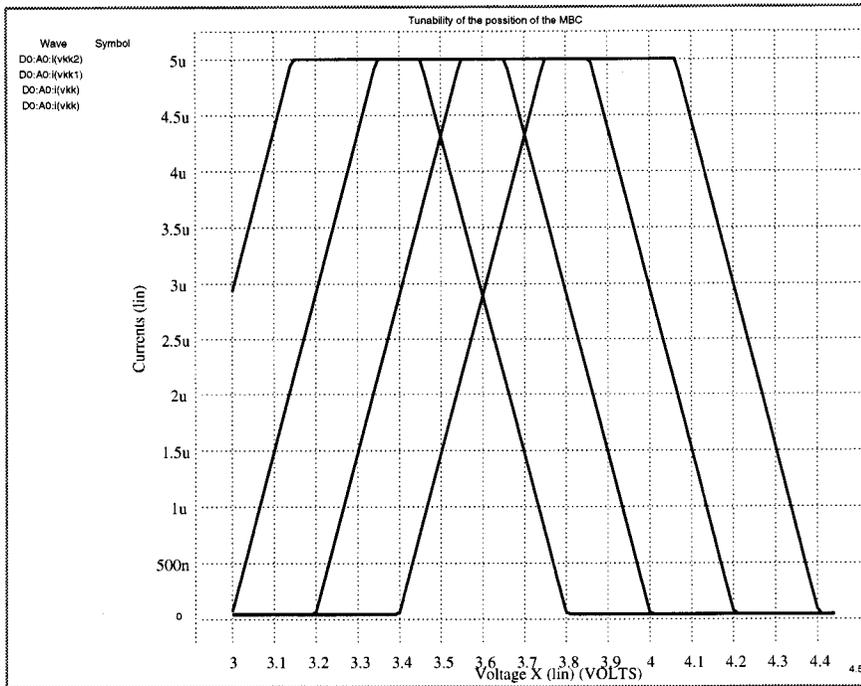


Figura 4.13: Variabilidad de la posición de la MFG

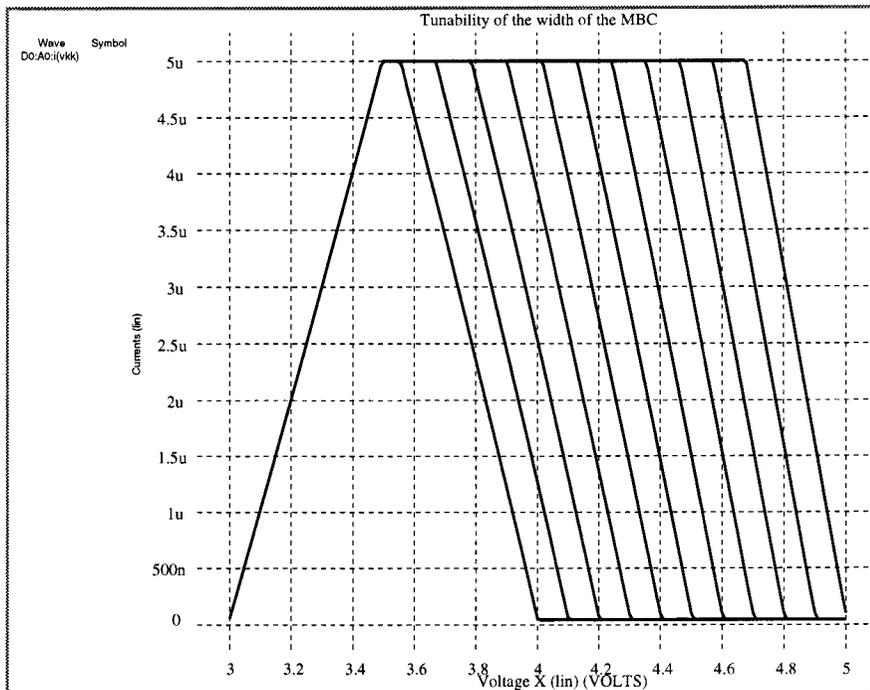


Figura 4.14: Variabilidad del ancho de la MFG

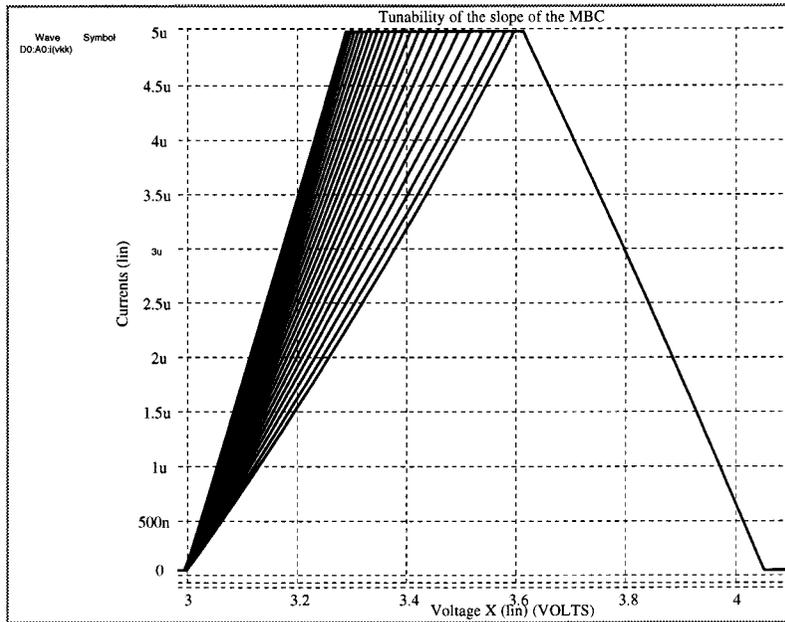


Figura 4.15: Variabilidad de la pendiente de la MFG

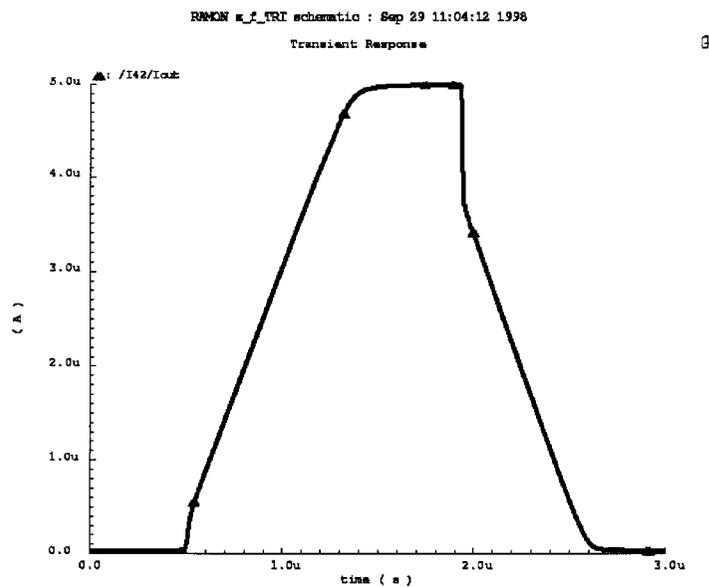


Figura 4.16: Respuesta transitoria del circuito MFG

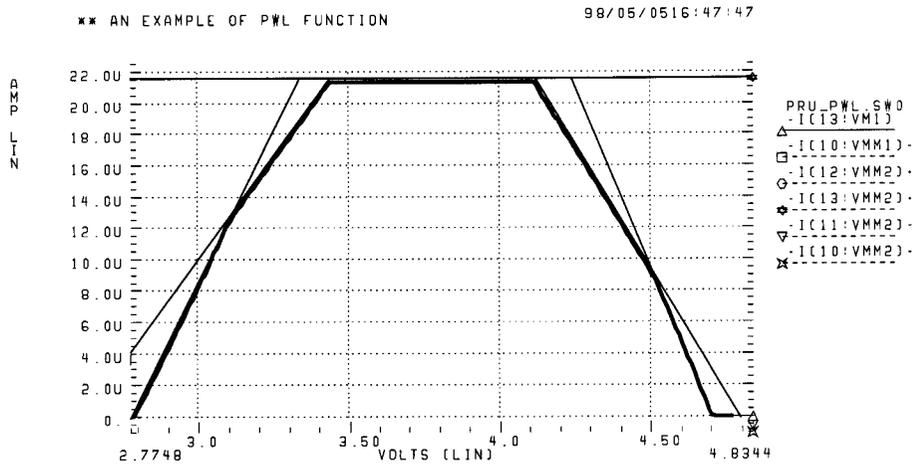


Figura 4.17: Ejemplo de la generación de funciones lineales a trozos

lineal a trozos generada utilizando varios transconductores y operadores máximo/mínimo.

## 4.5 Implementaciones electrónicas de operadores Mínimo y Máximo

### 4.5.1 Introducción

Los operadores máximo y mínimo son fundamentales para aplicaciones de redes neuronales y lógica borrosa. Realizaciones electrónicas (analógicas) de circuitos máximo y mínimo han sido producidas partiendo de circuitos competidores (WTA: del inglés “Winner Take All”, que puede ser traducido por “el que gana se lo lleva todo”) que, debido a su naturaleza, están caracterizados por nodos que muestran grandes variaciones de tensión.

En las secciones anteriores se ha presentado el circuito de Lazzaro como la solución para realizar la operación mínimo/máximo. Sin embargo las propiedades de este circuito no le hacen ser la mejor opción para cualquier aplicación. Por ello, en esta sección presentamos una aportación original consistente en una nueva familia de circuitos que operan en modo corriente y en modo tensión y que son capaces de realizar la operación mínimo y máximo.

El circuito de Lazzaro mostrado en la figura 4.18 es un circuito competidor ya que su funcionamiento se basa en que cuando diferentes corrientes ( $I_1$ ,



Por ello, centramos nuestra investigación en la búsqueda de un circuito que realizase la operación máximo o mínimo sin que la tensión de ningún nodo del circuito se dispare provocando transitorios indeseables. De esta forma los operadores obtenidos cumplirían con los requisitos de gran velocidad.

#### 4.5.2 Principio de Funcionamiento

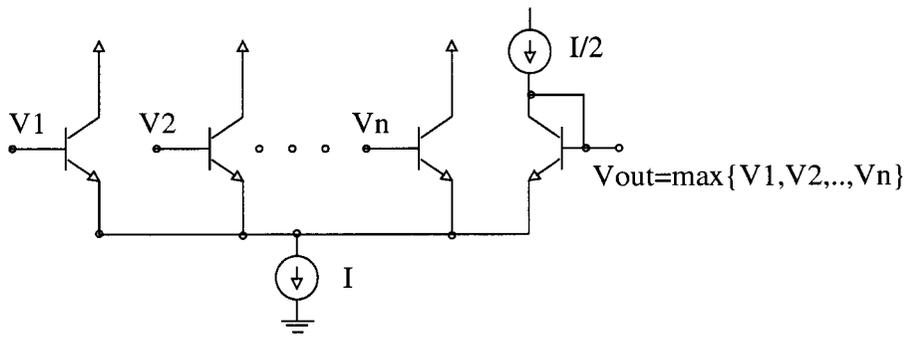


Figura 4.19: Circuito operador Máximo Bipolar

En la figura 4.19 [110] se muestra un circuito operador máximo puramente analógico de modo tensión (que se puede transformar fácilmente en un operador mínimo) en el que ningún nodo muestra grandes variaciones de tensión, por lo que es muy rápido. Además, la característica exponencial del transistor bipolar, lo hace es muy preciso. Sin embargo, es poco útil en tecnologías puramente CMOS.

Inspirados en el circuito de la figura 4.19, hemos propuesto la realización CMOS del operador máximo mostrado en la figura 4.20. En él  $M_1, \dots, M_n$  y  $M_{out}$  son transistores pareados. En este circuito la tensión de salida  $V_{out}$  sigue a la tensión de entrada  $V_1, \dots, V_n$  más alta. Además, el transistor al que se aplica la tensión más alta tomará la mayor parte de la corriente de polarización  $I/2$ . A esta realización se ha añadido el transistor  $M_{rel}$  para darle a la salida un etapa de ganancia. En la realización bipolar no es necesaria ya que la ley que rige a los transistores bipolares es exponencial, por lo que son capaces de “resolver” el valor de la tensión de salida. Sin embargo los transistores MOS no tienen ganancia suficiente, por lo que en ausencia de  $M_{rel}$ , no está garantizado que la salida siga el máximo de la tensión de entrada. Esto es así porque  $M_{rel}$  y  $M_{out}$  forman una realimentación que compensa cualquier variación externa que desvíe la salida del valor  $V_{out} = MAX(V_1, \dots, V_n)$

## 4.5 Implementaciones electrónicas de operadores Mínimo y Máximo 67

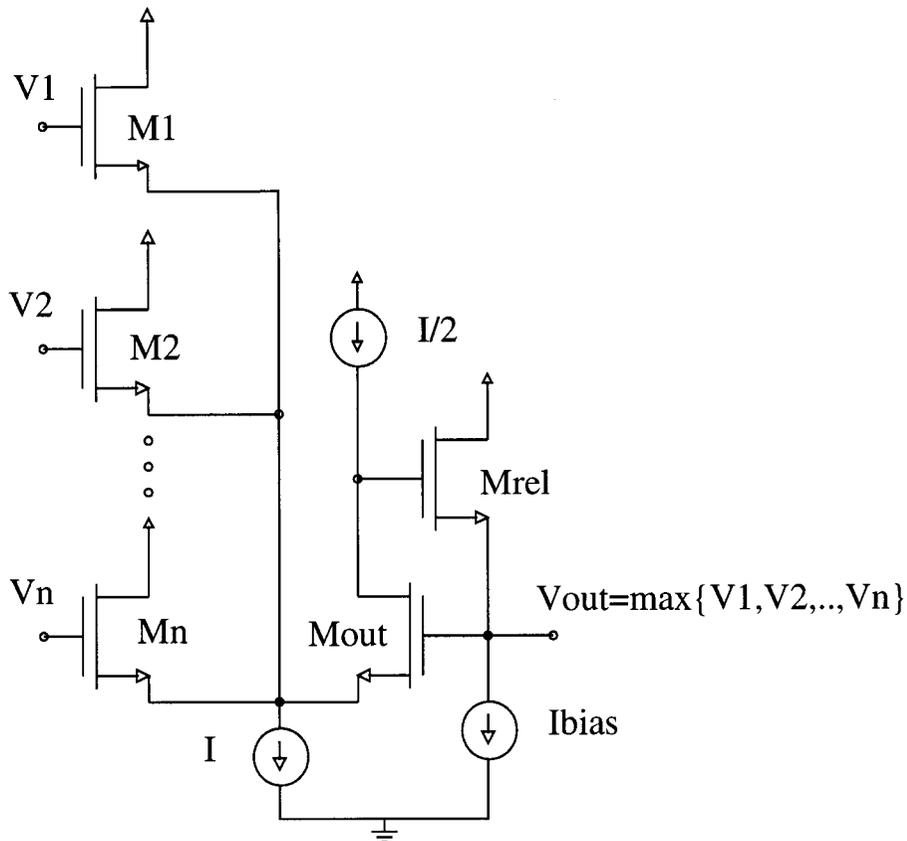


Figura 4.20: Versión CMOS del operador Máximo Bipolar

El problema básico de este circuito es la resolución cuando varias entradas están muy próximas. En este caso la salida no será exacta ya que ningún transistor de entrada estará tomando toda la corriente  $I/2$ , sino que varios la estarán compartiendo. Esto hará que la tensión de salida sea función de todas las de entrada y no de la máxima de ellas.

Para resolverlo, en [68] se propone el uso del circuito de Lazzaro para forzar la corriente del transistor de salida  $M_{out}$  al valor de la máxima corriente que circula por los transistores de entrada. En este caso el problema de precisión mejora, pero el problema de los transitorios no queda mitigado, ya que el uso del circuito de Lazzaro implica tensiones que ganan o pierden. Además, los requerimientos de tensión de alimentación de este circuito son mayores debido a que entre alimentación y tierra se encuentran dos circuitos, el de Lazzaro y la versión CMOS del circuito de Yamakawa.

Por ello proponemos el circuito de la figura 4.21. Esta versión presenta mayor precisión al haberse añadido una etapa de ganancia por cada entrada. En este caso cada etapa de ganancia compite para que cada transistor de realimentación  $M_{rel}$  se quede con la intensidad  $I_{rel}$ . Al ser la realimentación positiva, sólo la etapa a cuya entrada esté la máxima tensión ganará toda la corriente, por lo que la salida cumple la ley  $V_{out} = MAX(V_1, \dots, V_n)$ .

Además, en este circuito no existen nodos cuya tensión se dispare, por lo que, como veremos en las simulaciones, su respuesta transitoria es muy buena, siendo su precisión más alta que la del circuito de partida. Como normas básicas de diseño se puede decir que habrá que dimensionar la  $W/L$  de los transistores lo suficientemente grande como para que una pequeña diferencia entre las tensiones de entrada produzca que sólo uno de los transistores de entrada conduzca  $I/2$ . Además habrá que hacer  $I$  lo suficientemente pequeña para reforzar este efecto. Estas dos recomendaciones son mucho más importantes en el circuito de la figura 4.20 que en el de la figura 4.21.

Es muy importante hacer notar que el circuito propuesto así como la familia que se expone a continuación incrementa su complejidad linealmente con el número de entradas. Esto le hace muy atractivo frente a los operadores binarios cuya complejidad crece cuadráticamente con el número de entradas.

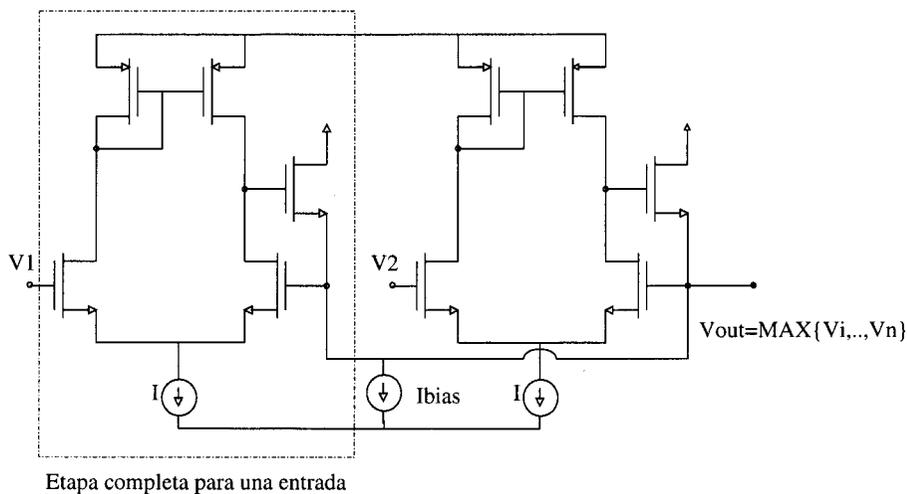


Figura 4.21: Versión mejorada del operador máximo CMOS

### 4.5.3 Familia de Circuitos

Basándonos en este circuito se pueden diseñar una familia completa de circuitos operadores máximo y mínimo clasificados en:

- Circuitos modo tensión.
- Circuitos modo corriente.

#### Circuitos modo tensión

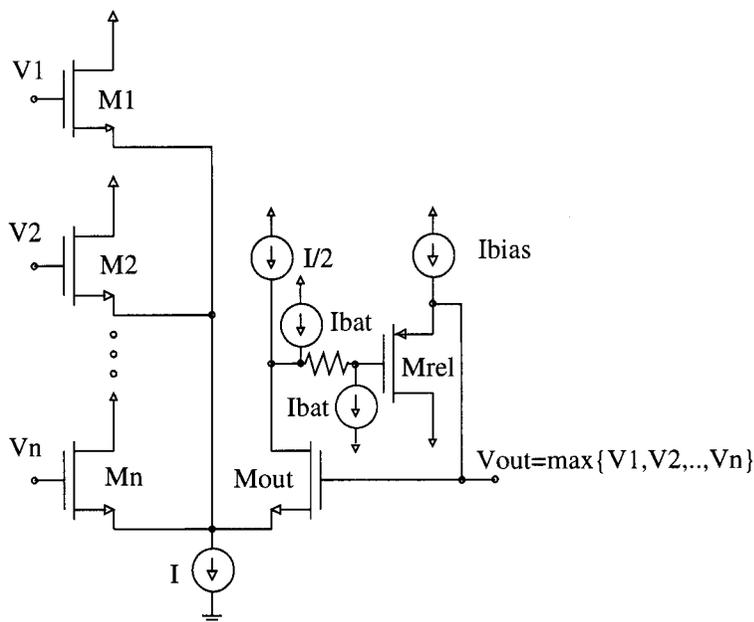


Figura 4.22: Versión de baja tensión del operador máximo

La primera modificación posible al circuito inicial se puede realizar cambiando el transistor tipo n  $M_{rel}$  por un transistor tipo p como muestra la figura 4.22. En esta realización se consigue bajar la tensión de alimentación necesaria para que este circuito funcione ya que, entre cualquier camino entre alimentación y tierra, no se encuentra más de una tensión  $V_{GS}$ . Puede verse que es necesario colocar una batería de unos 0.2 voltios de forma que el transistor  $M_{out}$  no pueda salir nunca de saturación, lo que llevaría a un mal funcionamiento del circuito. Esto se consigue con las fuentes de corriente  $I_{bat}$  y las resistencias  $R_{bat}$ .

En el caso de la versión mejorada, también podemos substituir cada transistor tipo n  $M_{rel}$  por uno tipo p como muestra la figura 4.23. La diferencia es que ahora obtenemos un circuito operador mínimo que tiene la propiedad de poder operar a baja tensión y de conservar la precisión del circuito de partida.

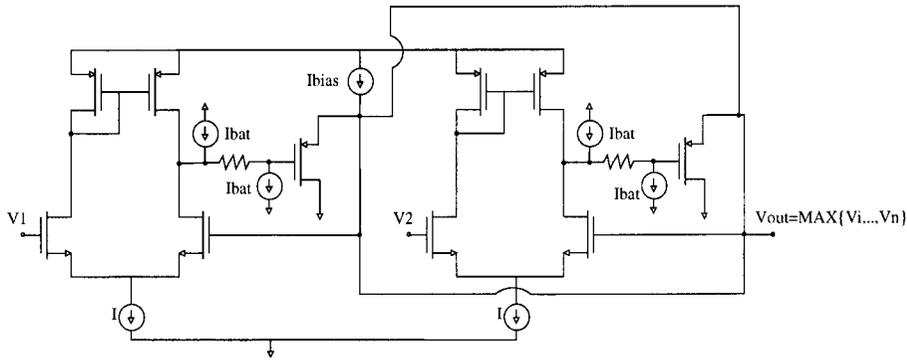


Figura 4.23: Versión mejorada de baja tensión del operador mínimo CMOS

### Circuitos modo corriente

Los cuatro circuitos anteriores pueden ser excitados por corrientes a través de transistores conectados como diodo. Los transistores diodo de entrada tendrán que estar todos pareados y deben tener una relación de aspecto diferente y menor a la de los transistores de entrada de la etapa de tensión. De esta forma las fuentes de corriente  $I$  tendrán espacio suficiente para operar ya que para una corriente dada, la  $V_{GS}$  del transistor conectado como diodo será mayor que la inducida en el transistor de entrada de tensión por la misma corriente.

En la figura 4.24 puede verse la versión de modo corriente del circuito fundamental que realiza la operación máximo de corrientes.

### 4.5.4 Resultados

En las siguientes figuras pueden verse los resultados obtenidos que demuestran que las predicciones teóricas son ciertas. Las versiones modo tensión son más rápidas y precisas, lo cual es lógico ya que los espejos incluyen un nuevo polo y un error de copia. Estos resultados no simulan el offset producido por el desapareamiento de los transistores, aunque si se cuida el layout no debe ser muy grande este efecto.

En la figura 4.25 puede verse el transitorio del circuito fundamental. Es fácil observar que existe un error cuando las entradas son parecidas, pero los transitorios son más rápidos y suaves que en el circuito de Lazzaro.

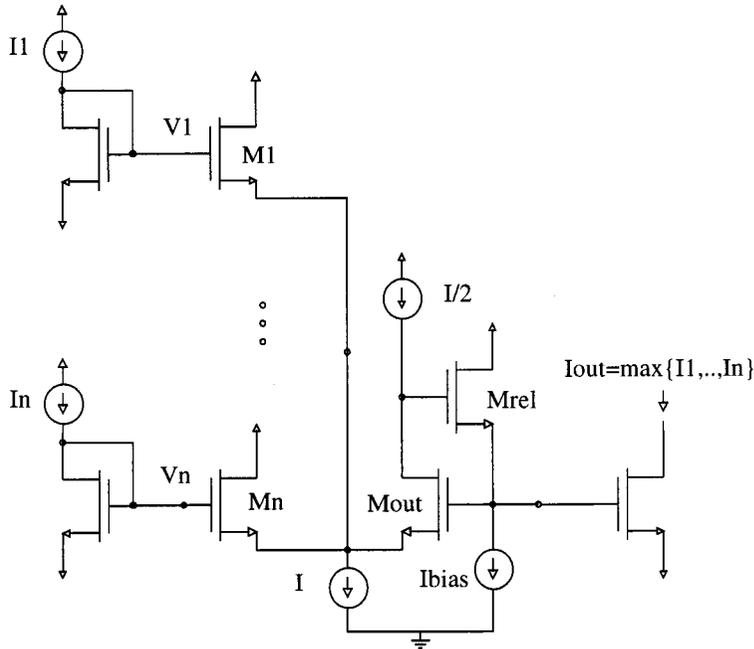


Figura 4.24: Circuito operador máximo en modo corriente

En la figura 4.26 podemos observar la mejora obtenida al utilizar el circuito mejorado de la figura 4.21. Es evidente que este circuito ofrece mejores prestaciones, por lo que es recomendable su uso en aplicaciones donde la precisión sea importante. Al ser más complejo en número de transistores que el circuito fundamental, no se aconseja su uso en aplicaciones donde sólo se necesita una aproximación al máximo.

En las figuras 4.27 y 4.28 se representan las simulaciones de la versión en modo corriente de los circuitos anteriores. Por último, en la figura 4.29 se presenta la simulación del circuito mejorado de baja tensión. Hay que hacer notar que este circuito puede funcionar con una tensión de alimentación de 1.5 voltios, lo cual le hace muy atractivo para aplicaciones de baja tensión.

## 4.6 Realización mixta analógico-digital

### 4.6.1 Introducción

A la hora de reducir el consumo de circuitos analógicos una de las técnicas que se plantea es la de la reducción de la tensión de alimentación. Esta idea

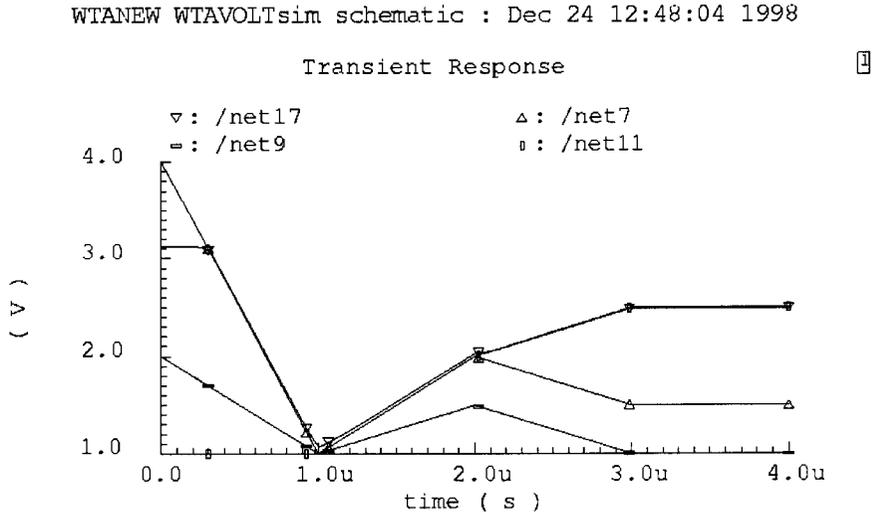


Figura 4.25: Respuesta transitoria del circuito fundamental

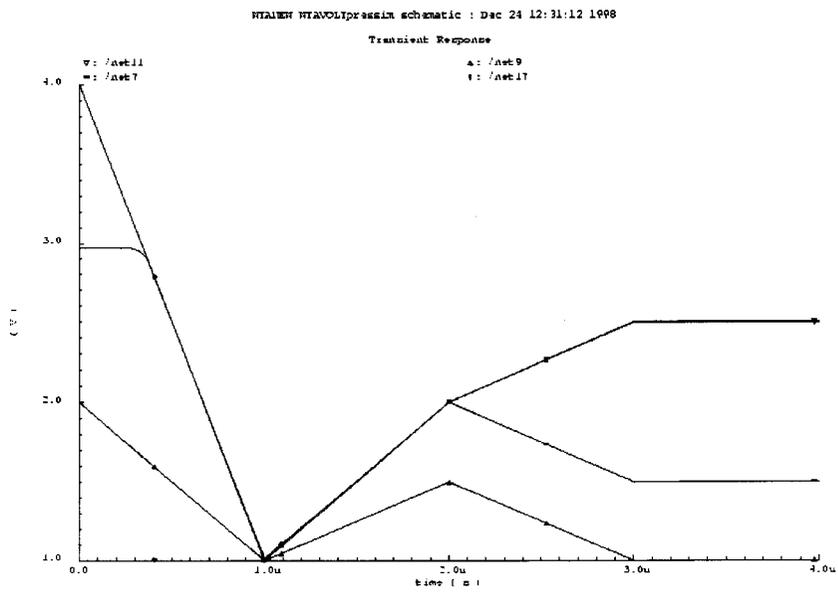


Figura 4.26: Respuesta transitoria del operador máximo mejorado

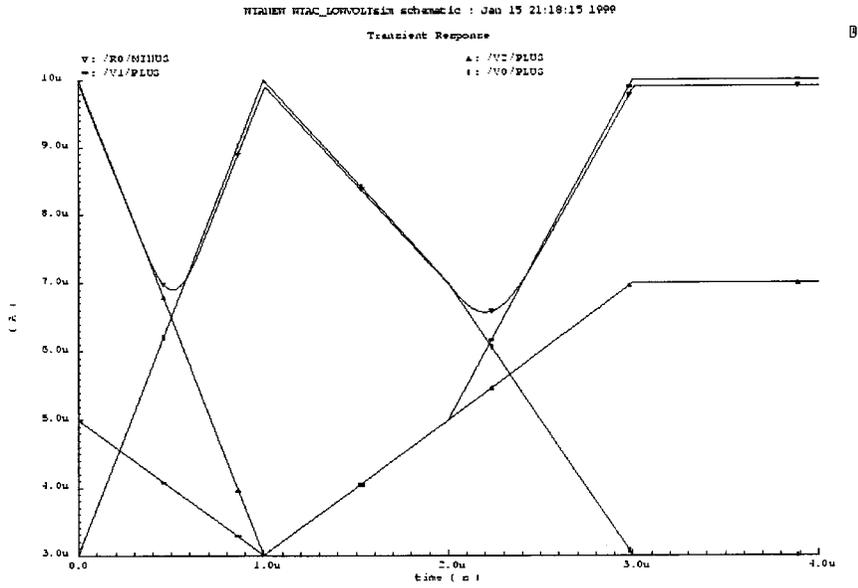


Figura 4.27: Respuesta transitoria del circuito fundamental de baja tensión y modo corriente

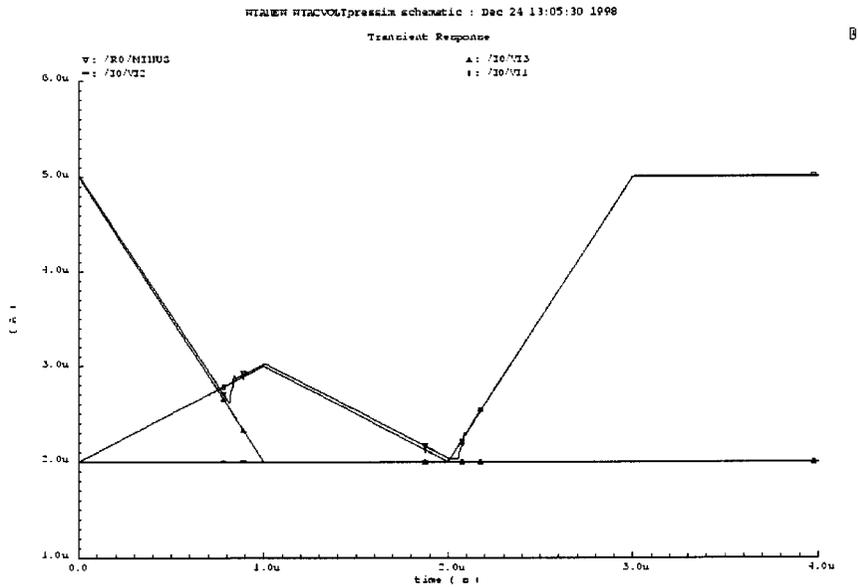


Figura 4.28: Respuesta transitoria del operador máximo mejorado en modo corriente

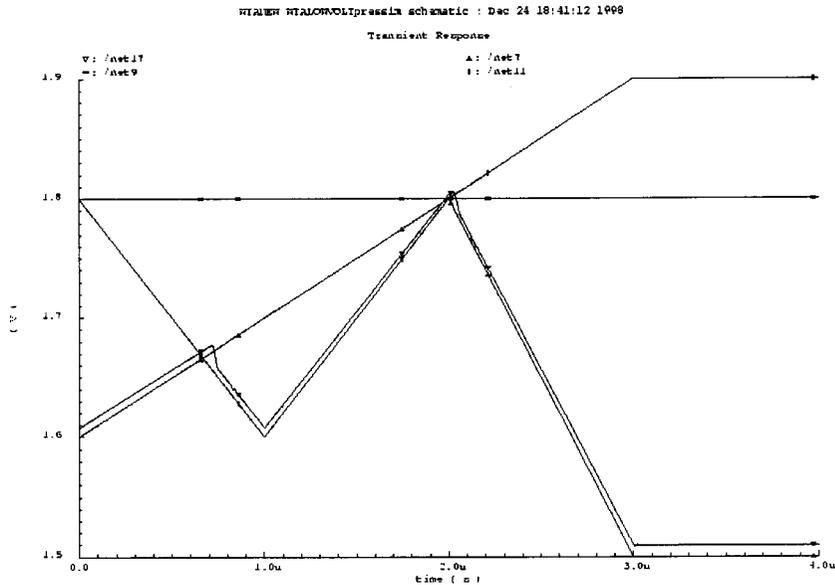


Figura 4.29: Respuesta transitoria del circuito mejorado de baja tensión (Operador mínimo)

se expondrá en detalle en el siguiente capítulo. Sin embargo, existen otras opciones, entre las que destaca la realización de sistemas mixtos (analógico-digitaes) que combinen las virtudes de ambas formas de procesar la señal.

Existen diferentes diferentes realizaciones de controladores borrosos mixtos en la literatura ([8], [43]), pero ninguno de ellos se centra en la reducción del consumo de los controladores borrosos puros (digitaes o analógicos) sino en la consecución de determinadas especificaciones que no se pueden conseguir por métodos tradicionales. Por ello, en esta sección vamos a presentar técnicas novedosas que permiten reducir el consumo de los controladores borrosos.

## 4.6.2 Esquema de funcionamiento

La técnica que vamos a presentar se basa en que en muchos controladores borrosos es habitual el uso de circuitos competidores para realizar el proceso de inferencia. En este caso, el resultado del proceso de inferencia es el valor resultante proporcionado por un generador de funciones de pertenencia.

Como se dijo en la sección anterior, el circuito de Lazzaro (figura 4.18) es

un circuito de modo mixto (digital-analógico) con entradas analógicas ( $I_1, I_2, \dots, I_n$ ), salidas digitales ( $V_1, V_2, \dots, V_n$ ) y una salida analógica opcional ( $I_{out} = MAX(I_i)$ ). En este caso no vamos a fijarnos en el resultado de la inferencia ( $I_{out}$ ), sino en las otras salidas digitales ( $V_1, V_2, \dots, V_n$ ) que nos muestran quién ha ganado y también, quién ha perdido.

Sabiendo quién ha perdido podemos tomar la decisión de apagar todas las partes del controlador que no están añadiendo información a la salida. Además, será necesario diseñar un circuito digital que secuencie la operación del controlador de forma que, cada cierto tiempo, lo encienda permitiendo a todos los subcircuitos volver a competir.

En el caso de nuestro controlador borroso, necesitaremos cortar las fuentes de alimentación de los generadores de funciones de pertenencia de forma que se apaguen todos los que pierden en el proceso de inferencia. Es evidente que cortarlos totalmente ralentiza la operación del controlador, por lo que, dependiendo de los requerimientos de velocidad, se apagarán las fuentes parcial o totalmente. En la figura 4.30 puede verse un esquema de lo explicado anteriormente.

El circuito de Lazzaro también se ve afectado, ya que ahora no es necesario copiar el resultado a la salida, sino que se puede utilizar un multiplexor analógico para decodificar a la salida el valor que ha resultado ganador en el proceso de inferencia. Esta técnica reduce el ruido y el offset, ya que sólo un generador de funciones de pertenencia por regla puede añadir errores. Además, no existen errores de copia a la salida del circuito competidor, ya que es un multiplexor analógico el que decodifica la salida. En la figura 4.31 se puede ver el circuito competidor mixto.

En nuestra aproximación, el desborrosificador no se ve afectado y opera continuamente. Esto se puede mejorar si se mantienen los valores que entran en el desborrosificador mientras el circuito competidor calcula el nuevo ganador. En cualquier caso, habrá un transitorio cada vez que los generadores de funciones de pertenencia compitan.

## 4.7 Resultados

Se han presentado los resultados de los generadores de funciones de pertenencia y circuitos operadores mínimo-máximo en secciones anteriores. Por

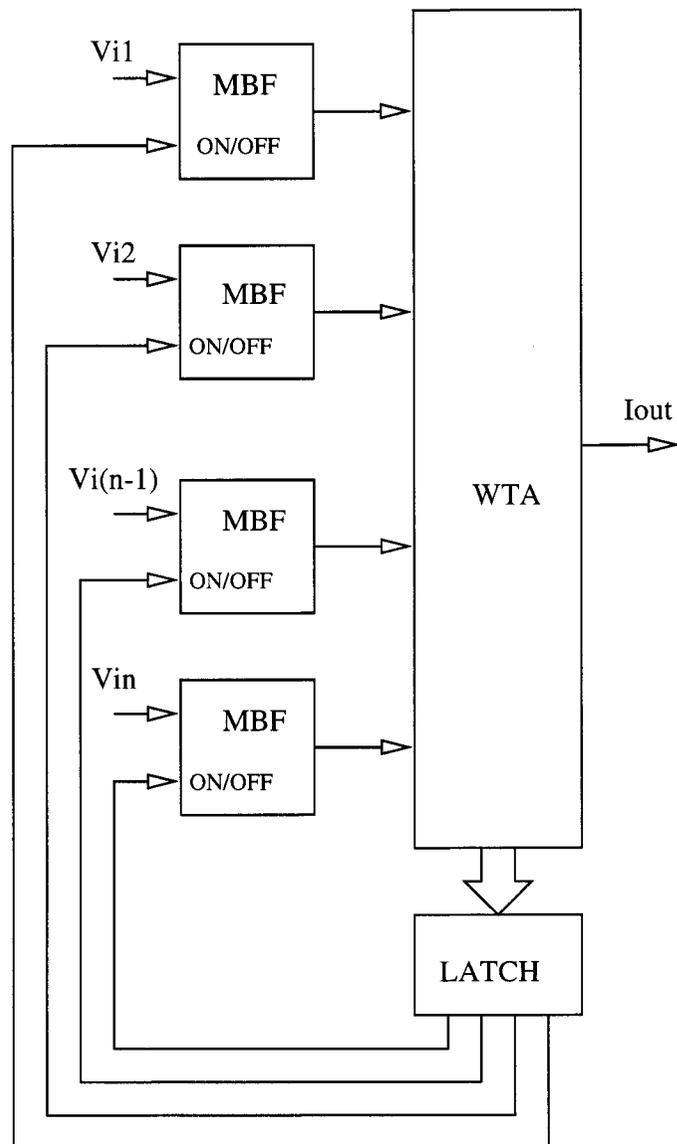


Figura 4.30: Esquema del controlador operando en modo mixto

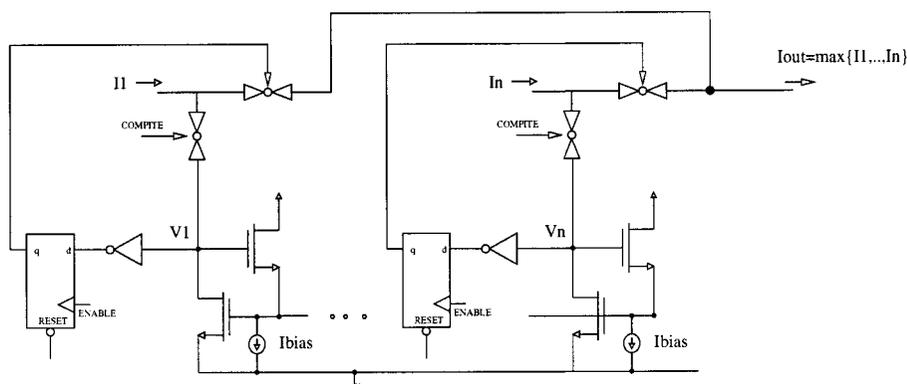


Figura 4.31: Circuito operador máximo en modo mixto

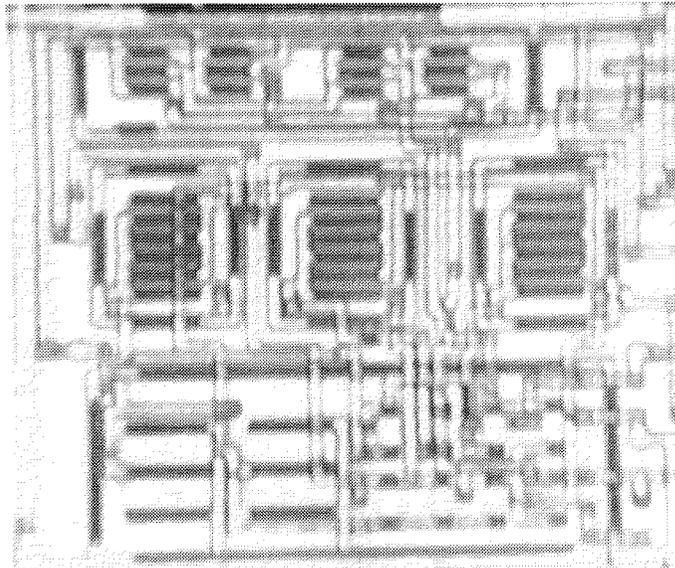
ello, en esta sección se van a presentar los resultados obtenidos al simular el circuito desborrosificador así como el controlador global generado por el compilador de silicio.

Las figuras 4.32a–4.32b muestran ejemplos de las celdas utilizadas por el compilador para realizar el controlador borroso. La salida del compilador es un fichero CDL (Cadence Design Language) que contiene las conexiones de los bloques básicos que forman el controlador. Utilizando las herramientas que proporciona Cadence DFWII para rutado de celdas estándar, el usuario podría generar un layout del controlador.

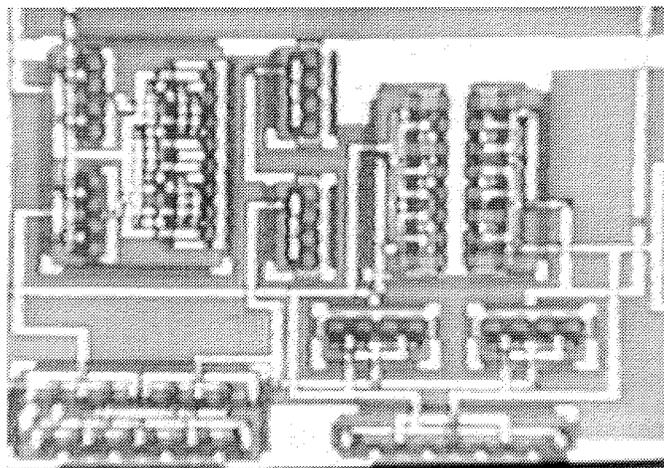
En el fichero que genera el compilador contiene la estructura interna del controlador, es decir, proporciona un fichero con las interconexiones y tamaños de todos los transistores internos de cada celda. En principio esta estructura interna no es utilizada ya que al importar el fichero, Cadence reconoce las celdas y no sigue descendiendo en la jerarquía, sin embargo, hemos permitido esta libertad al compilador con el fin de poder ampliarlo en el futuro para realizar operaciones como variar el tamaño de ciertos transistores mejorando el consumo o la velocidad.

Las figuras 4.33 y 4.34 muestran el comportamiento en DC y el transitorio del circuito multiplicador/divisor.

En la figura 4.35 se muestra los resultados de la simulación de un controlador borroso de dos entradas, 9 reglas y 1 salida. Además, en dicha simulación se muestra el resultado esperado superpuesto, para comprobar las buenas propiedades del controlador.



a)



b)

Figura 4.32: a) Fotografía del OTA. b) Fotografía del multiplicador/divisor

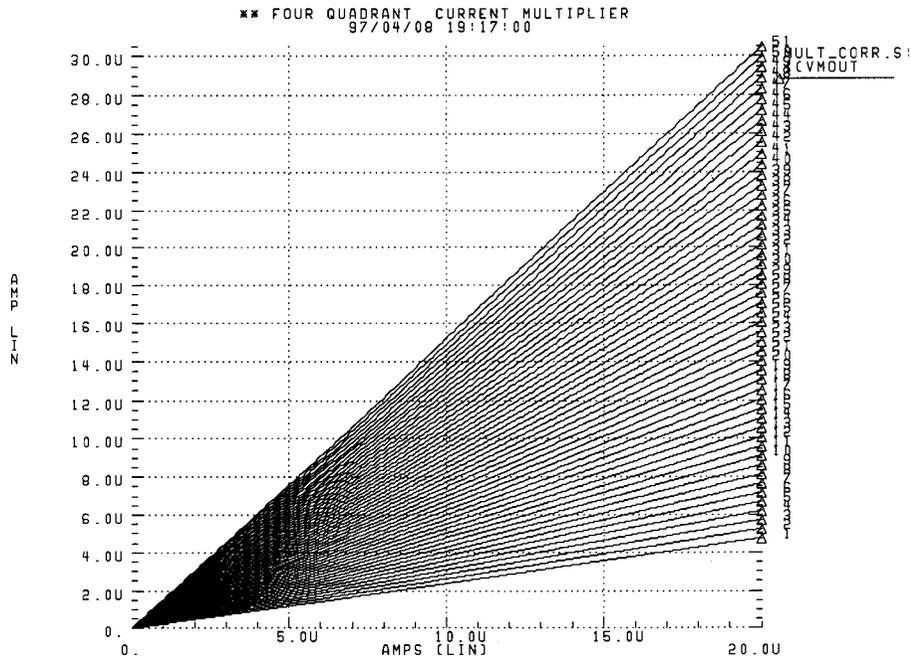


Figura 4.33: DC performance of the multiplier circuit

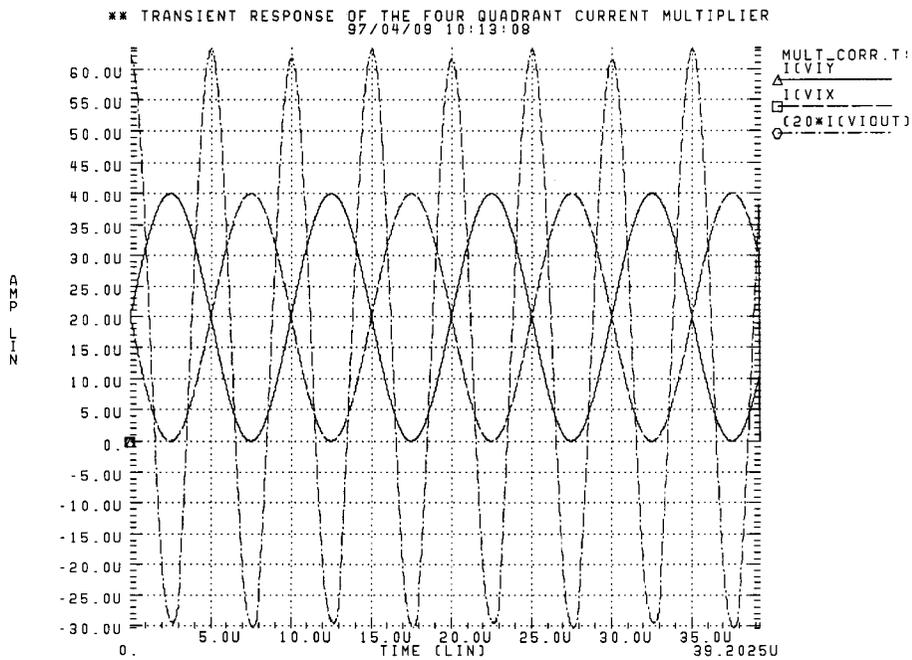


Figura 4.34: Transient response of the multiplier circuit

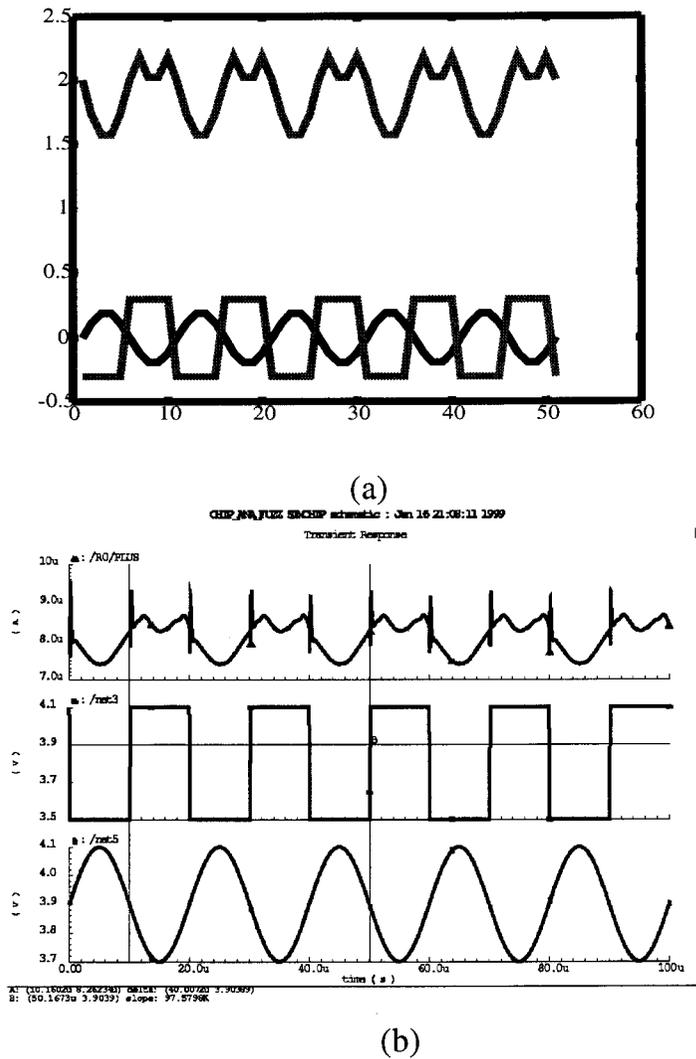


Figura 4.35: Controlador de dos entradas y nueve reglas: (a) Resultados de la simulación con MATLAB (b) Resultados de simulación con Spectre

# Capítulo 5

---

## Aportaciones al diseño de circuitos de baja tensión.

### Índice General

---

<b>5.1</b>	<b>Introducción . . . . .</b>	<b>83</b>
<b>5.2</b>	<b>Baterías estáticas y dinámicas de baja tensión de alimentación y gran rango de señal . . . . .</b>	<b>85</b>
<b>5.3</b>	<b>Aplicación de las baterías flotantes al diseño de circuitos analógicos de baja tensión . . . . .</b>	<b>87</b>
5.3.1	Amplificador operacional CMOS de baja tensión de alimentación con etapa de salida clase AB . . . . .	88
5.3.2	Amplificadores inversores con rango completo de tensiones en la entrada y en la salida utilizando baterías flotantes estáticas . . . . .	116
5.3.3	Amplificadores inversores con rango completo de tensiones en la entrada y en la salida utilizando baterías flotantes dinámicas . . . . .	127
5.3.4	Transconductores de baja tensión de alimentación . . .	132
5.3.5	Transconductores lineales . . . . .	132

---

*En este capítulo se van a presentar técnicas novedosas para diseñar circuitos que operan en modo continuo con una fuente de alimentación simple de valor próximo a la tensión umbral de los transistores MOS. Estas técnicas se basan en la utilización de fuentes de tensión flotantes de valor constante o ajustable dinámicamente y son capaces de permitir el diseño de amplificadores operacionales con transconductancia ( $G_m$ ) constante sin la utilización de pares diferenciales complementarios en la entrada o de circuitería compleja para*

*mantener constante la transconductancia. Se presentan varios ejemplos entre los que se incluyen amplificadores operacionales CMOS, rectificadores de precisión, transconductores lineales para la realización de filtros GM-C, circuitos para controlar la tensión de modo común de amplificadores diferenciales, interruptores analógicos, espejos de corriente y "conveyor" de corriente. Todos los ejemplos han sido montados experimentalmente para verificar su correcto funcionamiento.*

## 5.1 Introducción

La reducción de las dimensiones mínimas de los transistores ha posibilitado la integración de un mayor número de transistores en una pastilla de silicio. Una vez resueltos los problemas técnicos propios de la reducción de escala, surgen nuevos problemas como la gran cantidad de calor que disipa el circuito construido con las nuevas tecnologías. Una solución para este problema es reducir el consumo de energía del circuito y, por tanto, la disipación de calor. Al ser la potencia consumida por un circuito digital proporcional a la tensión de alimentación del mismo elevada al cuadrado ( $V_{dd}^2$ ), una posibilidad para reducir el consumo de energía es reducir la tensión de alimentación.

Esta reducción de la alimentación de los circuitos digitales ha propiciado un rediseño de los mismos de forma que puedan trabajar con esa nueva tensión de alimentación. Además, los circuitos analógicos que incluyen muchos circuitos digitales (convertidores A/D y D/A, amplificadores operacionales, filtros, etc) necesitan ser rediseñados porque así se simplifica la forma de alimentar a estos circuitos. Como se sabe, es posible alimentar un circuito ASIC con diferentes tensiones de alimentación para diferentes partes del mismo, sin embargo, ésta no es la solución preferida por la industria. Esto es debido a que muchos de los circuitos cuya alimentación se reduce son aplicados en equipos móviles (teléfonos, ordenadores portátiles, etc) que tienen baterías portátiles. En todos estos equipos se simplifica y se reduce el tamaño y coste si toda la electrónica opera con la misma tensión de alimentación. Por lo tanto, surge la necesidad de realizar circuitos analógicos capaces de operar con esa tensión de alimentación.

En esta tesis doctoral nos hemos planteado la necesidad de realizar circuitos analógicos capaces de operar con una tensión de alimentación cercana a la tensión umbral de un transistor. Uno de los motivos por el que buscamos acercarnos a este límite es porque algunos fabricantes ya han comprobado la posibilidad que sus tecnologías digitales tienen de poder operar a esa tensión, por lo que en un futuro próximo podrán existir circuitos digitales industriales con esas propiedades.

Recientemente han aparecido publicaciones en las que se muestran circuitos analógicos capaces de operar a esas tensiones de alimentación [114], [6], [7] y [71]. Todas ellas son realizaciones de amplificadores operacionales capaces de operar en aplicaciones conocidas como “amplificadores conmutados” ya que el rango de tensiones de entrada con el que son capaces de operar es muy reducido. Además, tienen otras limitaciones, como su ancho de banda, complejidad

y consumo. Sin embargo, no existen realizaciones con técnicas convencionales de amplificadores operacionales alimentados a esa tensión y con rangos de entrada y salida amplios. Existen, eso sí, técnicas no convencionales con las que se pueden conseguir estos objetivos. En [10] se presenta un esquema que es capaz de operar con rangos de tensión grandes a la entrada y la salida y con una tensión de alimentación cercana a la tensión de umbral de un transistor. Sin embargo esta realización utiliza el sustrato de un transistor MOS como una entrada activa de amplificador operacional lo que limita severamente su ancho de banda. Además esta técnica no convencional es muy difícil de aplicar en la realidad ya que los fabricantes no la consideran una técnica segura al tener que compartir todo el circuito (parte digital más analógica) el mismo sustrato.

Otras técnicas no convencionales que se están comenzando a utilizar cada vez más son las de transistores con puerta flotante [78]. Estas técnicas sí permiten operar circuitos con muy baja alimentación, si bien todavía no han calado en la industria.

Por ello, en esta tesis doctoral hemos desarrollado circuitos capaces de operar con muy baja tensión de alimentación utilizando técnicas tradicionales CMOS (transistores trabajando en la zona de saturación). La única variante introducida es el uso de POLY-II y POLY-III (conocido este último como “polisilicio resistivo”). No creemos que esto limite nuestro diseño, ya que sólo hace falta revisar las tecnologías que los fabricantes europeos ofrecen a sus clientes, para ver que la mayoría (AMS, Alcatel-Mietec, ATMEL-ES2) ofrecen la posibilidad de utilizar estas máscaras adicionales en procesos digitales. De hecho, muchos de ellos diferencian las tecnologías puramente digitales de las híbridas por el uso de estas capas de polisilicio extra. Como nuestro objetivo es diseñar circuitos analógicos capaces de operar con los digitales está claro que estas tecnologías son las que queremos utilizar.

Los circuitos diseñados se caracterizan por ser capaces de procesar señales en tiempo continuo, por lo que mejoran las realizaciones existentes que son más adecuadas para aplicaciones de amplificadores conmutados. Además, el ancho de banda obtenido es mayor que el que se consigue con técnicas menos convencionales. Por último, los circuitos realizados son simples, lo cual les hace más atractivos si cabe, y se basan en su mayor parte en una técnica que, como se dirá más adelante, sistematiza el diseño de circuitos de baja tensión.

En lo que sigue, se van a presentar las aportaciones realizadas en este cam-

po. En la sección 5.2 se va a presentar el fundamento teórico que nos permite operar los circuitos con muy baja tensión de alimentación. En las secciones siguientes se presentaran las aportaciones realizadas utilizando etas ideas.

## 5.2 Baterías estáticas y dinámicas de baja tensión de alimentación y gran rango de señal

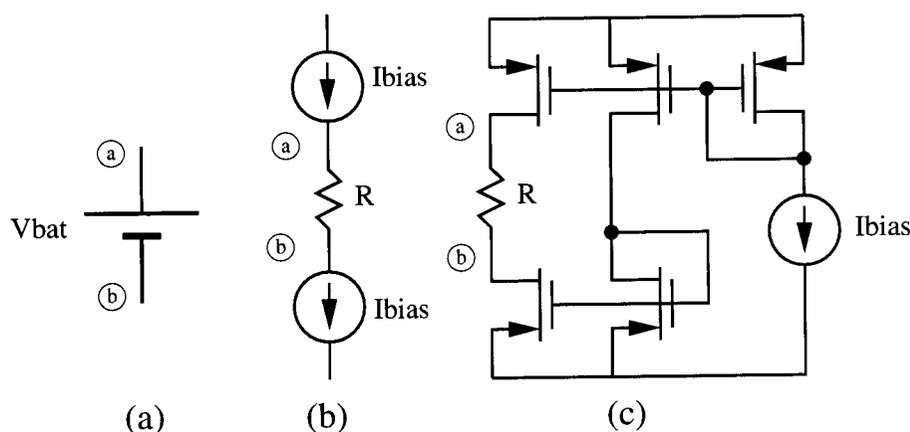


Figura 5.1: Baterías estáticas CMOS

Las figuras 5.1 y 5.2 muestran los bloques básicos utilizados en todos los circuitos de bajo consumo mostrados en la sección 5.3. Asumiremos a partir de ahora que todos los amplificadores operacionales que aparecen (como en la figura 5.2c) son circuitos capaces de operar con tensiones de alimentación tan pequeñas como el resto de circuitos que vamos a presentar. De hecho, más adelante presentaremos la arquitectura interna de amplificadores de baja tensión, por lo que se entenderá cómo funcionan.

La figura 5.1 muestra una batería flotante de valor  $V_{bat}$  conectada entre dos nodos, que llamaremos a y b. La implementación de baja tensión utiliza una resistencia conectada entre dos fuentes de corriente  $I_{bias}$  pareadas de forma que tengan el mismo valor (figura 5.1b) que en la práctica pueden ser realizadas utilizando fuentes de corriente P y N, generadas a partir de una corriente de referencia, y del uso de espejos de corriente (figura 5.1c). Desde un punto de vista práctico, dado que las fuentes de corriente MOS necesitan como mínimo una tensión  $V_{DS} = V_{OV}$  (conocida en inglés como "overdrive") para poder operar como dispositivos de alta impedancia, el rango de operación de la batería flotante es  $V_{swing} = V_{DD} - 2 * V_{OV}$ . Si tomamos un valor de  $V_{DD} = 1.2V$  y

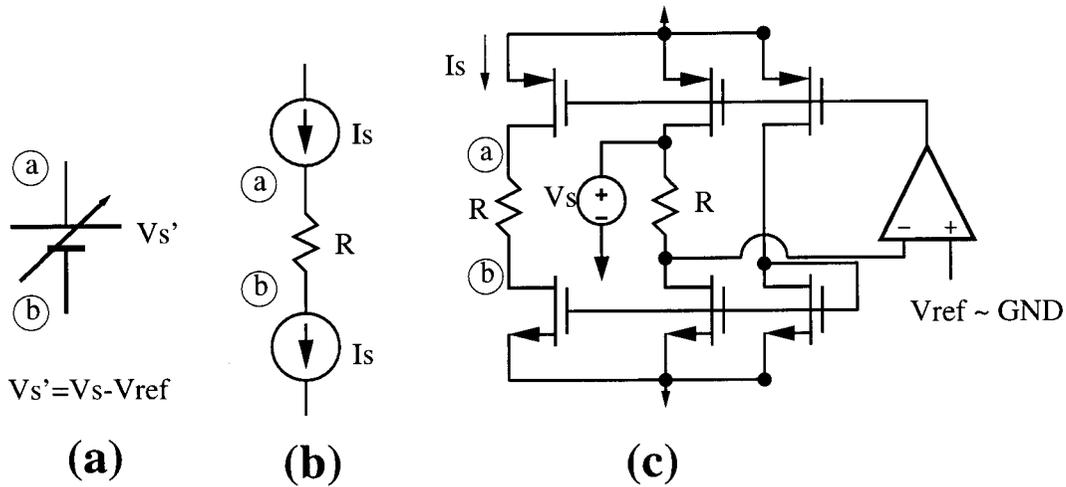


Figura 5.2: Baterías dinámicas CMOS

$V_{OV} = 0.15V$  esto nos proporciona un rango de funcionamiento para la batería flotante de 0–0.9V aproximadamente.

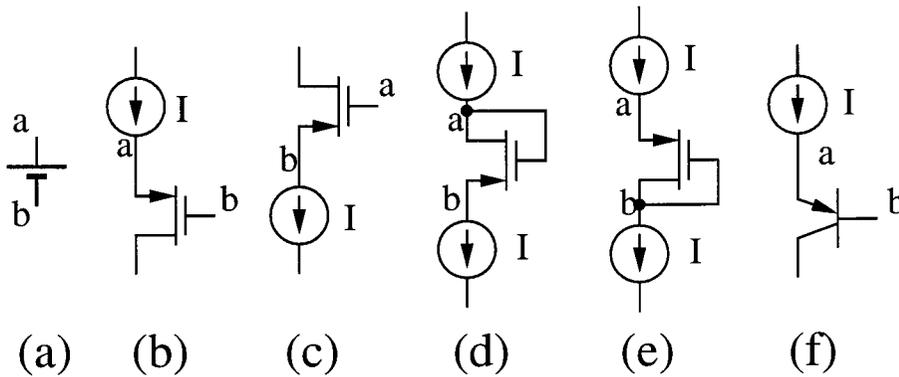


Figura 5.3: Diferentes realizaciones de la batería flotante

En muchas situaciones prácticas la resistencia  $R$  puede ser reemplazada por transistores NMOS y PMOS conectados en forma de diodo para operar como elevadores o reductores de tensión tal y como se muestra en la figura 5.3. Las conexiones para cambiar el nivel de continua de la señal (figuras 5.3c y 5.3d) se caracterizan por tener un nodo de alta impedancia y otro de baja impedancia, mientras que los transistores conectados en modo diodo se caracterizan por tener los dos nodos de baja impedancia.

Sin embargo, también nos parece interesante la realización electrónica de baterías cuya caída de tensión sea conocida y varíe con el tiempo, más aún, cuyo

valor varíe de forma proporcional a como varía una señal. Esto nos permitirá poder tener un valor de tensión proporcional a la señal que se pretende procesar entre los dos nodos del circuito que queramos. La figura 5.2 muestra la realización electrónica de baterías dinámicas de valor  $V_S^I$  controladas por una señal de amplio rango  $V_S$ . El circuito opera como sigue: El amplificador tiene su entrada positiva conectada a una tensión  $V_{REF}$  muy cercana a uno de los de los raíles de alimentación ( $V_{DD}$  o  $V_{SS}$  (al menos  $V_{REF} = V_{SS} + V_{OV}$  o  $V_{REF} = V_{DD} - V_{OV}$ ), mientras que la entrada negativa está conectada a una resistencia  $R$  que en su otro extremo esta conectada a una fuente de corriente y la fuente de señal  $V_S$ . En esta configuración el amplificador genera una tensión de salida tal que produce una corriente  $I_S^I$  que, al circular a través de  $R$ , provoca una caída de tensión en la resistencia de valor  $V_R = V_S^I = V_S - V_{REF}$ . Utilizando espejos de corriente podemos generar una copia de  $I_S^I$  en el otro extremo de  $R$  y así forzar a que no se derive corriente a través de  $V_S$  ya que en este caso la fuente de señal ve una impedancia infinita (en realidad, al ser los espejos simples, la fuente ve una impedancia lo suficientemente grande como para que la corriente que se deriva pueda ser despreciada).

Las baterías flotantes dinámicas tienen las mismas restricciones en el rango de valores que pueden tomar que las estáticas, por lo que éste es igual a  $V_{DD} - 2 * V_{OV}$ . En realidad, el rango posible es mayor, si permitimos la posibilidad de que circule corriente por la fuente de señal  $V_S$  permitiendo que una de las dos fuentes de corriente entre en zona de funcionamiento lineal. En lo que sigue en este capítulo intentaremos que esta situación no se produzca de forma que “carguemos” la fuente de señal  $V_S$ . Por otro lado, aunque los circuitos presentados para la realización de baterías estáticas y dinámicas son ligeramente diferentes, en la práctica pueden ser generados con el mismo circuito (figura 5.2c), ya que así tendremos controlado el valor  $V_{bat} = V_C - V_{REF}$  ante variaciones de temperatura u otros parámetros en el caso de una batería estática.

### **5.3 Aplicación de las baterías flotantes al diseño de circuitos analógicos de baja tensión**

En esta sección se van a presentar diferentes realizaciones en las que se consiguen circuitos capaces de operar con tensiones de alimentación cercana a la tensión umbral de un transistor con un rango completo o casi completo de tensiones de entrada y salida. La mayoría de estas realizaciones están basadas en las baterías flotantes, y es por ello que han sido definidas con anterioridad. En cada una de las aplicaciones, la batería cumple una misión diferente,

por lo que se considera importante mencionar las aportaciones por separado. Además, algunas de las ideas aquí expuestas ayudan al funcionamiento de los circuitos con baterías flotantes y, aunque no están basados en ellas, también han sido incluidos.

### 5.3.1 Amplificador operacional CMOS de baja tensión de alimentación con etapa de salida clase AB

#### Introducción

En este apartado se va a presentar la versión simple y diferencial de un amplificador operacional CMOS que es capaz de operar con una tensión de alimentación cercana a la tensión umbral  $V_T$  de un transistor.

Recientemente se han presentado realizaciones en clase AB de amplificadores operacionales capaces de operar con tensiones de alimentación cercanas a  $V_T$  y con grandes rangos de tensión de salida [6], [7], [71] y [34]. Estas realizaciones (basadas en una etapa de transconductancia OTA) presentan limitaciones en la ganancia en bucle abierto, el ancho de banda y gran consumo de área y potencia pues la corriente generada en la etapa de entrada debe ser transmitida a los transistores de la etapa de salida a través de espejos de corriente con tensiones  $V_{OV}$  muy pequeñas. Para que esto sea posible es necesario utilizar transistores con dimensiones ( $W/L$ ) muy grandes que introducen nuevas capacidades parásitas (polos de baja frecuencia) y limitan el producto ganancia–ancho de banda ( $GBW$ ). El  $GBW$  está ya limitado por la necesidad de operar con baja tensión al ser proporcional a  $V_{OV}$  y ser necesario que  $V_{OV}$  sea pequeño para que los espejos dejen rango de tensión suficiente al resto de transistores del circuito para operar.

Existen otras técnicas en la literatura como [10] que consiguen que el amplificador operacional sea alimentado con una tensión cercana a  $V_T$ . En este caso la limitación de la realización viene provocada por el uso del sustrato de un transistor MOS como una entrada activa lo que reduce severamente el  $GBW$  del circuito al ser la capacidad parásita asociada al sustrato mucho mayor comparada con las capacidades parásitas vistas desde el drenador, fuente o puerta de un transistor MOS. Por todo ello hemos realizado un amplificador CMOS capaz de operar con una tensión de alimentación cercana a  $V_T$  y que no presente las limitaciones antes expuestas.

#### Arquitectura del amplificador operacional de baja tensión

La figura 5.4 muestra la arquitectura básica del amplificador operacional propuesto. Dicho amplificador consta de dos etapas donde la primera etapa está realizada mediante un par diferencial y la segunda con un inversor CMOS modificado por la inclusión de una batería de polarización  $V_{BIAS}$  entre las puertas de los transistores de dicho inversor. La batería permite el funcionamiento del inversor CMOS con sus dos transistores operando en la región de saturación y alimentado con una tensión  $V_{SUP}$  cercana a la tensión umbral de un transistor. Esto es posible ya que hemos conectado la batería de forma que su potencial más alto esté conectado a la puerta del transistor N y el más bajo a la del transistor P. De esta forma estamos desplazando el punto de polarización de ambos transistores en DC y, como la batería es flotante, la señal que entre en el inversor le afectará a los dos. Para los comentarios que siguen se supondrá, sin pérdida de generalidad, que se dispone de tensiones de alimentación positivas y negativas, que llamaremos  $V_{DD}$  y  $V_{SS}$  respectivamente. Estas tensiones son equivalentes a una sola tensión de alimentación:  $V_{SUP} = V_{DD} - V_{SS}$  con  $V_{DD} = V_{SUP}/2$ ,  $V_{SS} = -V_{SUP}/2$ .

A continuación detallamos el funcionamiento del circuito de una forma cualitativa para demostrar que con esa tensión de alimentación tan pequeña es posible que todos los transistores estén funcionando en la región de saturación.

En condiciones de reposo y con realimentación negativa, la primera etapa del amplificador operacional opera con sus dos entradas muy cercanas a la tensión de alimentación negativa  $V_{SS}$ , lo cual es común en aplicaciones de amplificadores conmutados y cuando se utilizan técnicas de transistores con puertas flotantes [88], [78]. Esto es así ya que al estar realizada esta etapa con transistores P y al ser la tensión de alimentación cercana a  $V_T$  esto nos deja una tensión de entrada muy pequeña en valor absoluto si queremos que el transistor P esté en saturación, es decir, que presente una caída mayor que  $V_T$  entre la alimentación y la entrada. Además, la salida tiene un valor de tensión muy cercano a  $V_{SS}$  ya que estamos suponiendo que el amplificador está realimentado, por lo que si la entrada es cercana a  $V_{SS}$  la salida también. Por otro lado, la realimentación negativa fuerza a que el valor de la tensión del nodo de salida de la primera etapa  $V_x$  sea tal que las corrientes por los transistores de salida sean iguales (transistores de la segunda etapa). Para que esto sea cierto,  $V_x$  debe estar muy cercano a la tensión  $V_{SS}$  con lo que la tensión puerta-fuente (fuente-puerta) tiene un valor cercano a  $(V_{SUP} + V_{bias})/2$  para los dos transistores de salida. (Hemos supuesto que  $V_{GSN} \approx V_{GSP}$  y que, al estar conectado  $V_x$  a la puerta del transistor P de salida, para que éste funcione

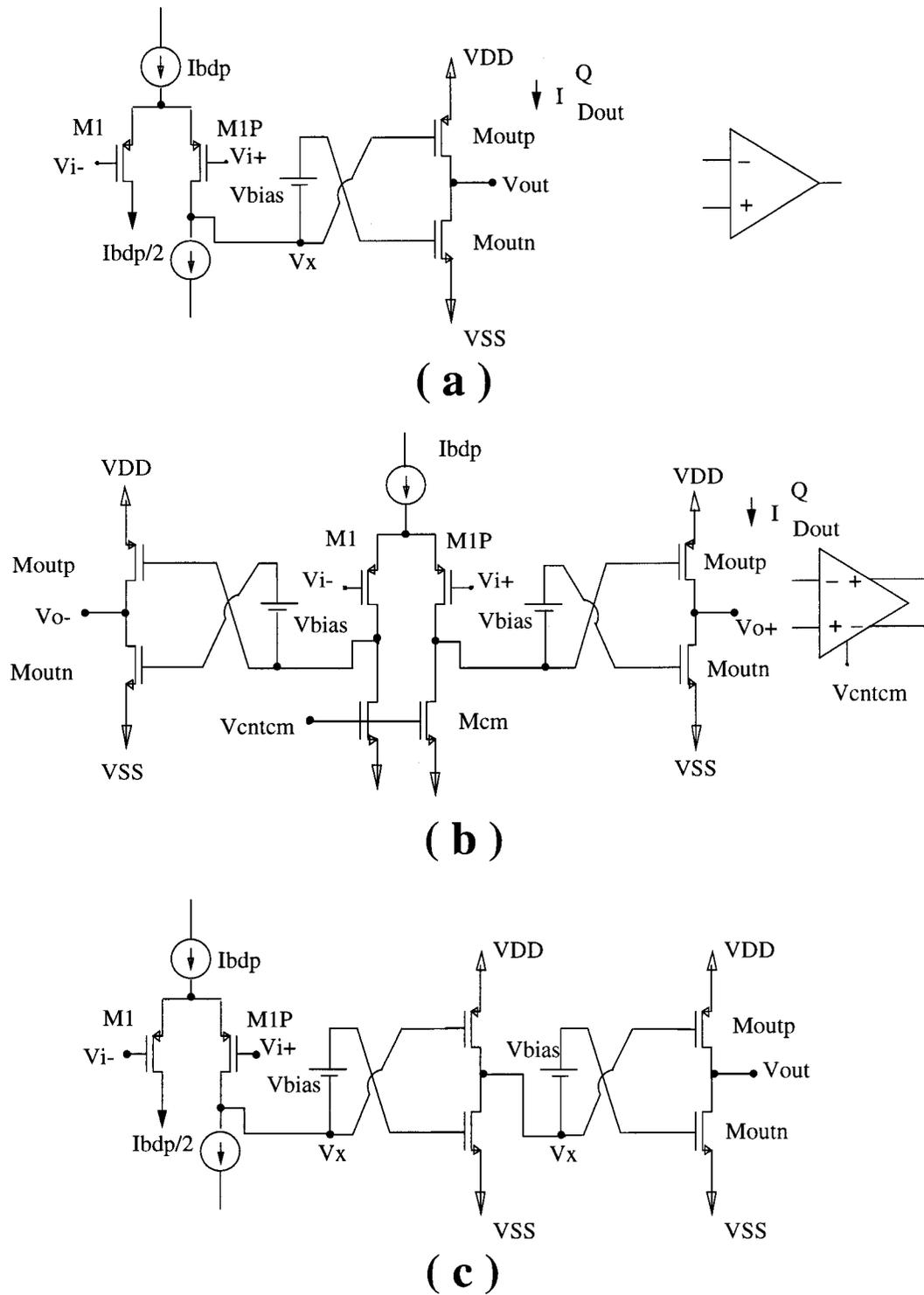


Figura 5.4: Amplificador operacional de dos etapas y baja tensión: (a) Esquema simple (b) Esquema diferencial (c) Realización con gran ganancia en bucle abierto

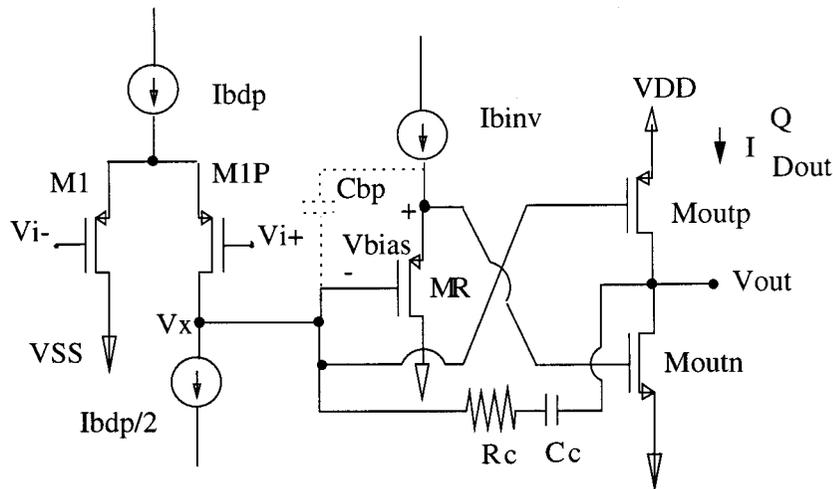


Figura 5.5: Realización electrónica del esquema simple del amplificador operacional de dos etapas y baja tensión

en saturación  $V_x$  debe ser pequeño). Por ejemplo, con  $V_{SUP} = 1V$  y  $V_{bias} = 0.6V$ , las tensiones puerta–fuente de los transistores de salida quedan con un valor de  $0.8V$  y  $V_x = -0.3V$ .

De esta forma hemos visto que si la entrada del operacional está cercana a  $V_{SS}$ , todos los transistores del circuito están funcionando en la región de saturación. Además, la corriente en los transistores de salida depende del valor de la batería  $V_{bias}$  lo que en el futuro nos permitirá controlar la corriente en condiciones estáticas en la rama de salida.

La segunda etapa de amplificador basada en el uso de una batería flotante estática proporciona al circuito cualidades muy atractivas:

- Rango de tensiones de salida completo (“rail-to-rail”).
- Gran velocidad de respuesta, pues la máxima corriente de salida puede ser mayor que la corriente en condiciones estáticas.

Hay que hacer notar además que al tener el nodo de salida de la primera etapa ( $V_x$ ) un valor en reposo muy cercano a  $V_{SS}$ , el offset sistemático por la diferencia entre los valores  $V_{DS}$  de los transistores de entrada es pequeño.

La figura 5.5 muestra la realización de la batería flotante  $V_{bias}$  utilizando un transistor MR conectado en forma de diodo polarizado con una fuente de corriente de pequeño valor  $I_{binv}$ . También se puede utilizar una resistencia R en

vez del transistor MR (en cuyo caso  $V_{bias} = I_{binv} * R$ ).

Hasta el momento no hemos realizado consideraciones respecto al comportamiento en frecuencia de nuestro circuito. Por un lado, al ser un amplificador de dos etapas, constará de una red RC de compensación ( $R_c$  y  $C_c$  de la figura 5.5) conectada entre las salidas de las dos etapas. Por otro lado, la batería se necesita para polarizar la segunda etapa, pero su presencia puede estropear el comportamiento a altas frecuencias, por lo que si es necesario se puede colocar un condensador de desacoplo  $C_{bp}$  y cortocircuitarla a altas frecuencias.

Otros autores han presentado amplificadores de dos etapas con una etapa de salida CMOS operando en clase AB [71], [32], [88], [113]. En nuestro caso, el uso de una batería flotante negativa es la clave que nos permite funcionar con tensiones de alimentación pequeñas con circuitos para la polarización y control de la etapa de salida sencillos (por “batería negativa” entendemos que el terminal de la batería con potencial más bajo está conectado al transistor de la etapa de salida conectado a  $V_{DD}$  y viceversa). Si se añaden espejos de corriente de baja tensión (como los que se mencionan en [71] y [75]) como cargas activas del par diferencial de entrada la ganancia en transconductancia (y por ello el GBW del operacional) se puede incrementar en un factor 2.

El amplificador operacional descrito puede ser utilizado para aplicaciones de amplificadores conmutados de baja tensión y rango completo de tensiones de salida. También puede ser utilizado para aplicaciones en tiempo continuo de gran rango de tensiones de entrada/salida si se aplican técnicas de puertas flotantes [78], [73].

Además, como veremos a continuación, la corriente en reposo de la etapa de salida es fácilmente controlable, por lo que está es otra propiedad que podemos añadir a las cualidades de nuestra realización. En el circuito de la figura 5.4a la corriente en condiciones estáticas  $I_{Dout}^Q$  en los transistores de salida ( $M_{outp}$  y  $M_{outn}$ ) del amplificador operacional está relacionada con la tensión de polarización ( $V_{bias}$ ), con los parámetros de transconductancia de los transistores ( $\beta_n$ ,  $\beta_p$ ) y de las tensiones umbrales de los transistores ( $V_{Tp}$ ,  $V_{Tn}$ ) por la ecuación:

$$I_{Dout}^Q = \beta_n (V_{GSn}^Q - V_{Tn})^2 \quad (5.1)$$

donde

$$V_{GSn}^Q = \frac{V_{SUP} + V_{bias} + V_{Tn} \sqrt{\frac{\beta_n}{\beta_p}} - |V_{Tp}|}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} \quad (5.2)$$

Para el caso en el que  $\beta_n \approx \beta_p$  y, suponiendo que  $V_{Tn} \approx |V_{Tp}|$  por simplicidad, la ecuación anterior queda como sigue:

$$V_{GSn}^Q = \frac{V_{SUP} + V_{bias} + V_{Tn} - |V_{Tp}|}{2} \approx \frac{V_{SUP} + V_{bias}}{2} = V_{GSp}^Q \quad (5.3)$$

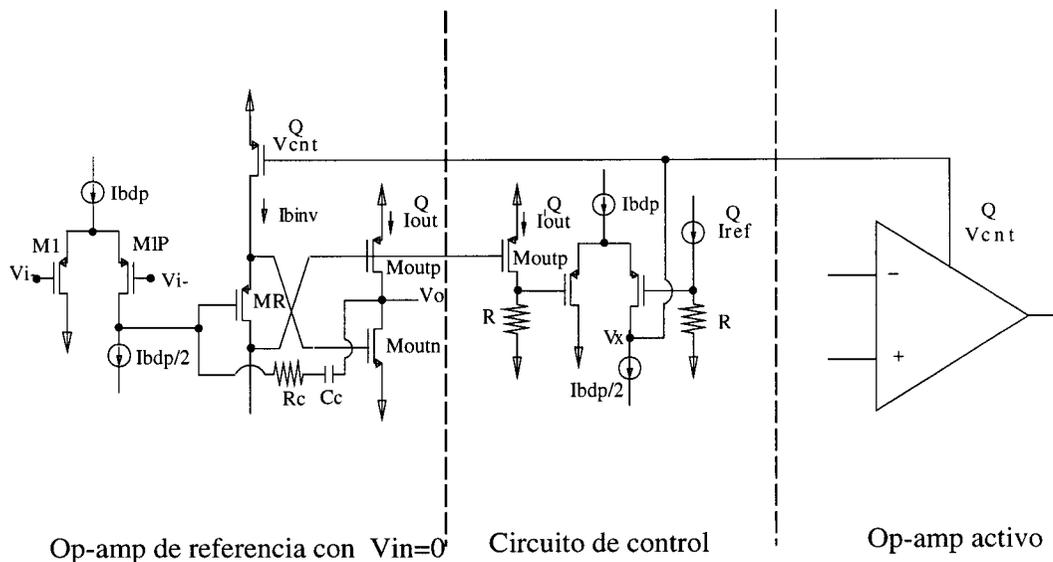


Figura 5.6: Esquema para controlar la corriente estática de la etapa de salida

Para las aplicaciones en las que se necesita tener control muy preciso sobre el valor de  $I_{Dout}^Q$  se puede utilizar el circuito de la figura 5.6 de forma que sea igual a un valor nominal  $I_{REF}^Q$ . Dicho circuito funciona como sigue: se genera una réplica de la corriente estática en la rama de salida del amplificador operacional,  $I_{Dout}^Q$  y es transformada en tensión a través de la resistencia  $R$ . Esta tensión (cercana a  $V_{SS}$  es comparada con la tensión generada por la corriente de referencia  $I_{REF}^Q$ . Un amplificador diferencial compara esas dos tensiones y genera la tensión de control  $V_{cnt}^Q$  que puede ser utilizada para ajustar el valor de la corriente  $I_{binv}$  de forma que  $I_{Dout}^Q = I_{REF}^Q$ . Este esquema debe ser aplicado a un amplificador operacional de referencia que tenga  $V_{in} = 0$  y realimentación negativa unitaria. El valor de control  $V_{cnt}^Q$  puede ser utilizado para controlar la corriente estática en las etapas de salida de todos los amplificadores operacionales del circuito integrado. Además, este esquema también es válido si se quiere tener control sobre la tensión de la batería  $V_{bias}$ .

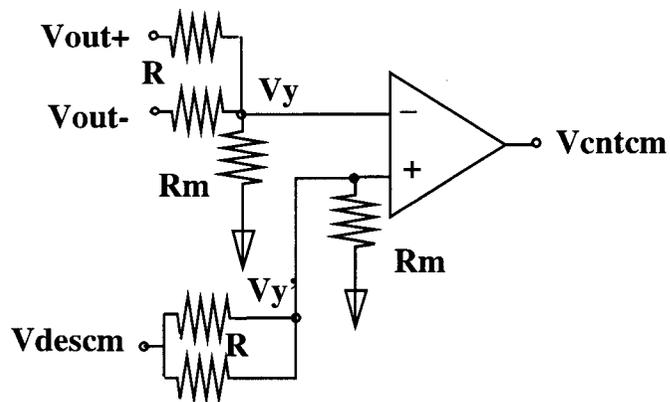
### Arquitectura del amplificador operacional diferencial de baja tensión

La figura 5.4b muestra la realización diferencial del amplificador operacional de la figura 5.4a. Básicamente se ha replicado la etapa de salida en la otra rama del par diferencial de forma que tengamos entrada y salida diferencial. La diferencia es que en este montaje necesitamos un mecanismo para controlar el modo común de la salida del operacional. Por ello se ha sustituido la carga del par diferencial por una carga controlable. Los transistores  $M_{cm}$  son utilizados para controlar la tensión de modo común de la salida. Para ello la tensión de la puerta de estos transistores  $V_{cntcm}$  es generada utilizando una técnica de control de modo común de baja tensión que se discutirá más adelante.

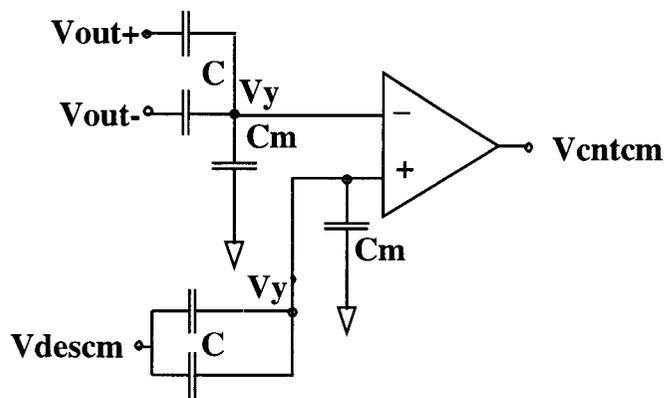
El resto de la estructura del amplificador diferencial se basa en la estructura del amplificador simple por lo que es lógico pensar que también es posible hacer funcionar el amplificador operacional con baja tensión. Sin embargo, el problema técnico que introduce el amplificador diferencial no es él en sí mismo sino el control del modo común de la tensión de salida. Esto es así pues la tensión de modo común debe ser comparada con una referencia para poder generar un señal de control. El proceso necesita un amplificador que también debe ser capaz de funcionar con baja tensión de alimentación. Como sabemos, el modo común de la señal de entrada puede tener cualquier valor, por lo que, en principio, no es seguro que vaya a estar pegado a  $V_{SS}$  o  $V_{DD}$ . Esto hace que que tengamos que desarrollar técnicas que permitan que un amplificador de baja tensión sea capaz de funcionar con tensiones de entradas intermedias.

**Esquemas de baja tensión para el control de la tensión de modo común.** La realización práctica de la versión diferencial necesita un amplificador de baja tensión para comparar el modo común de la tensión de salida del amplificador diferencial  $V_{outcm}$  con una referencia  $V_{refcm}$  y generar una tensión de control  $V_{cntcm}$  que cumpla que  $V_{outcm} = V_{refcm}$ .

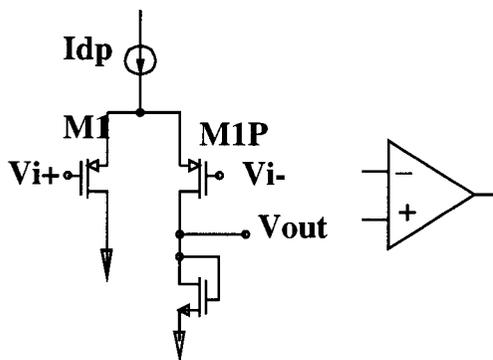
En lo que sigue supondremos sin pérdida de generalidad que  $V_{refcm} = 0$ . En la figura 5.7a se muestra una posibilidad para la realización de un amplificador de modo común basado en resistencias, donde el modo común de la señal de salida es comparada con una referencia utilizando dos resistencias iguales de gran valor ( $R$ ) conectadas al terminal negativo de un par diferencial y a los dos terminales de salida del operacional cuyo modo común se desea controlar. Esto provoca una caída de potencial en el terminal negativo del amplificador



( a )



( b )



( c )

Figura 5.7: Esquema de baja tensión para un amplificador de modo común: (a) Esquema con resistencias (b) Esquema con condensadores (c) Amplificador de modo común

de modo común:

$$V_y = 2V_{outcm} \frac{R \parallel R_{cm}}{R + R \parallel R_{cm}} + V_{SS} \frac{0.5R}{0.5R + R_{cm}} \quad (5.4)$$

Por otro lado, en el terminal positivo se tiene una tensión:

$$V_y^I = 2V_{refcm} \frac{R \parallel R_{cm}}{R + R \parallel R_{cm}} + V_{SS} \frac{0.5R}{0.5R + R_{cm}} \quad (5.5)$$

Este amplificador genera una tensión  $V_{cntcm}$  que hace que  $V_y = V_y^I$ , por lo que  $V_{outcm} = V_{refcm}$ . Además, de las expresiones de  $V_y$  y  $V_y^I$  se deduce que si tomamos  $R \gg R_{cm}$  entonces  $V_y$  y  $V_y^I$  tomarán un valor cercano a  $V_{SS}$  lo cual es necesario para conseguir funcionamiento en baja tensión ya que en estos terminales están conectadas las puertas de los transistores del par diferencial. Como se ha explicado, la salida del amplificador de modo común es una señal de control para los transistores MCM del amplificador de la figura 5.4b, por lo que una realización que proporcione los niveles de tensión apropiados para ese efecto es el que se muestra en la figura 5.7c.

En la figura 5.7b se muestra otra posibilidad para muestrear el valor de la tensión de modo común de la salida del operacional. En este caso el esquema se basa en un divisor de tensiones capacitivo (en vez del resistivo explicado anteriormente). A esta realización se la puede considerar una realización con puertas flotantes, ya que la puerta de los transistores que forman el par diferencial sólo están conectadas a tres capacidades. El fundamento del funcionamiento de este circuito es el mismo que en el caso anterior, y se consigue el mismo efecto. Más adelante se explicaran las propiedades que presentan estas técnicas a la hora de seleccionar la más apropiada en cada momento.

### Técnicas para aumentar el rango de tensiones de entrada

Las técnicas propuestas para realizar el amplificador de modo común anteriormente mencionadas, sugieren que también sería posible el uso de estas técnicas para realizar un amplificador con rango completo a la entrada. Por ello detallaremos en lo que sigue cómo realizar un amplificador de rango completo a la entrada y a la salida uniendo estas técnicas con el amplificador de rango completo a la salida descrito anteriormente.

**Método del divisor resistivo** Al igual que en el caso del amplificador de modo común, el divisor resistivo lo utilizaremos para conseguir que los terminales del amplificador tengan un valor de tensión próximo a una de las

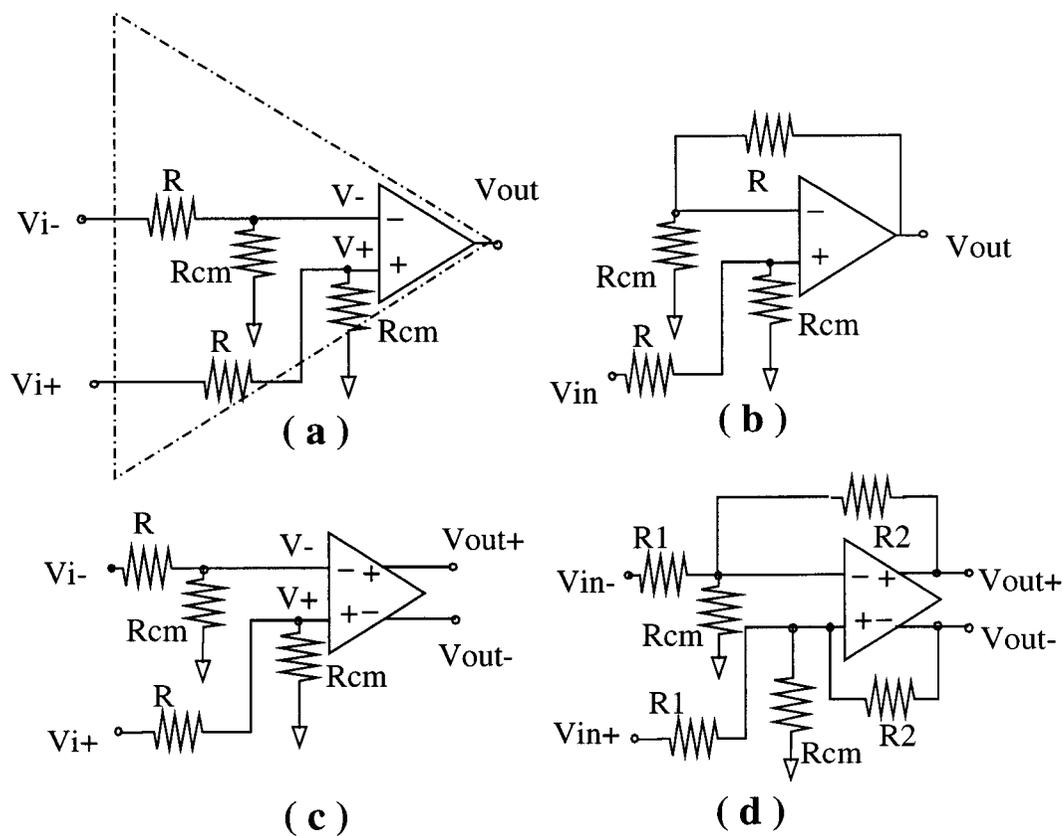


Figura 5.8: Esquema del divisor resistivo: (a) Esquema básico (b) Montaje seguidor con ganancia unidad (c) Esquema diferencial (d) Montaje diferencial con ganancia  $G=R_2/R_1$

alimentaciones (en nuestro caso  $V_{SS}$ ) y además con el rango de variación de la señal reducido. Asumiremos que disponemos de un amplificador operacional ideal con offset nulo y de divisores resistivos compuestos por dos resistencias  $R$  y  $R_{cm}$  con  $R \gg R_{cm}$ . En la figura 5.8 se muestra el montaje que pasaremos a analizar a continuación.

Como en el caso del amplificador de modo común, calcularemos las tensiones que al divisor resistivo provoca en los terminales del amplificador operacional:

$$V_- = V_{SS} + (V_{i-} - V_{SS}) \frac{R_{cm}}{R + R_{cm}} \quad (5.6)$$

$$V_+ = V_{SS} + (V_{i+} - V_{SS}) \frac{R_{cm}}{R + R_{cm}} \quad (5.7)$$

Bajo condiciones de reposo ( $V_{i-} = V_{i+} = 0$ ) las entradas del amplificador operacional vienen dadas por  $V_+ = V_- = V_{SS} + V_{REF}$ , donde hemos llamado  $V_{REF}$  a la caída de tensión en la resistencia  $R_{cm}$  y viene dada por  $V_{REF} = -V_{SS}R_{cm}/(R + R_{cm})$ . Para mantener los terminales del operacional cerca de la tensión  $V_{SS}$  es necesario que  $V_{REF}$  tome un valor pequeño, por lo que debe elegir  $R \gg R_{cm}$ . Por ejemplo, si  $V_{SS} = -0.5V$ ,  $R = 4R_{cm}$  entonces  $V_{REF} = 0.1V$  y las entradas del operacional quedan con una tensión  $V_+ = V_- = -0.4V$ .

Podemos ahora considerar un amplificador operacional más grande (en línea discontinua en la figura 5.8a) con terminales positivos y negativos  $V_{i-}$  y  $V_{i+}$ , si incluimos a los divisores resistivos con lo que ahora tendremos un amplificador que es capaz de tener un rango más amplio de tensiones de entrada. Con este nuevo operacional podemos realizar montaje seguidor de tensión con ganancia unidad y rango casi completo de tensiones a la entrada y a la salida tal y como se muestra en la figura 5.8b. Este esquema se puede aplicar a la versión diferencial del amplificador presentado anteriormente y realizar esquemas como el que se muestra en la figura 5.8d, que tiene ganancia  $R_1/R_2$ . Con todo ello hemos conseguido dos amplificadores de muy baja tensión de alimentación con rangos de entrada y salida casi completos. Sin embargo, este esquema presenta varias modificaciones:

- La resistencia de entrada del amplificador es finita debido a las resistencias  $R$  y  $R_{cm}$ . Estas resistencias aumentan el área ya que su ocupación no es despreciable aún en el caso de disponer de polisilicio muy resistivo.
- El producto ganancia–ancho de banda (GBW) se ve reducido en la versión simple del amplificador por el factor  $G = 1/\beta$  siendo  $\beta = 1 + R/R_{cm}$  respecto del GBW del operacional original. Esto se debe a la realimentación negativa de la red formada por  $R$  y  $R_{cm}$ .
- El offset y el ruido a la entrada son amplificados un factor  $\beta$ .

La versión diferencial no tiene esa pérdida de producto GBW ya que los elementos de modo común  $R_{cm}$  no están en el camino de la señal. De hecho, la ausencia de señales de modo común hace posible la reducción de la tensión de alimentación respecto de la versión simple. En esta versión, la señal de modo común en la entrada del amplificador operacional viene dada por  $V_{icm}^S = V_{in}^S R_{cm} / (R_{cm} + R) =$  (donde 'S' significa señal). Por ello la mínima tensión de alimentación posible viene dada por  $V_{sup} = |V_{GS}| + V_{OV} + V_{icm}^S + V_{REF}$ , donde  $V_{OV}$  es la caída de tensión a través de la fuente de corriente utilizada para polarizar el par diferencial de entrada al operacional y  $|V_{GS}|$  es la tensión media puerta-fuente en los transistores que forman el par diferencial. La mínima tensión necesaria para polarizar la versión diferencial es menor, al no ser incluido  $V_{icm}^S$ . Por ejemplo, si  $V_{OV} = V_{REF} = 0.1V$  y  $|V_{GS}| = 0.8V$ , entonces  $V_{sup} = 1V$ .

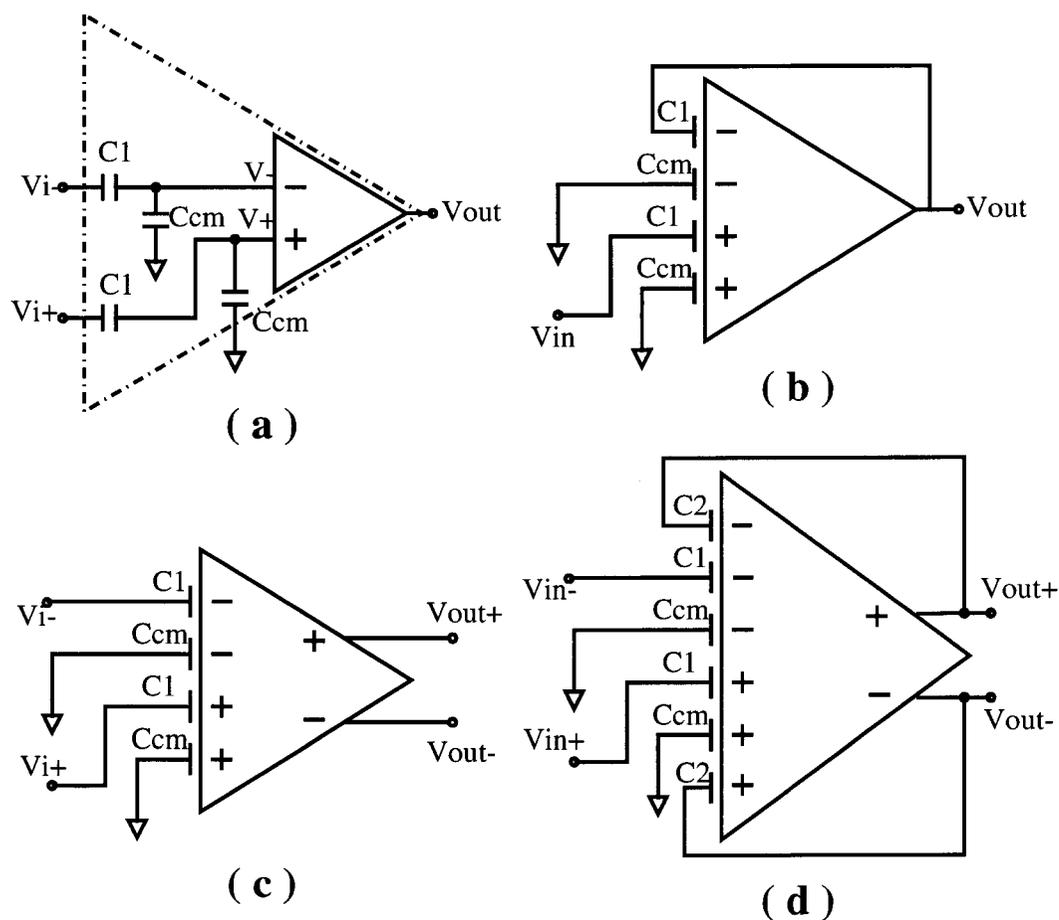


Figura 5.9: Esquema del divisor capacitivo: (a) Esquema básico (b) Montaje seguidor con ganancia unidad (c) Esquema diferencial (d) Montaje diferencial con ganancia  $G=C2/C1$

**Método del divisor capacitivo** En este método (mostrado en la figura 5.9) se realizan divisores de tensión en tiempo continuo utilizando elementos capacitivos. Para ello se utilizan transistores con varias puertas flotantes [78], [76] para realizar el par diferencial de entrada. Estos transistores realizan divisores de tensión, de la misma forma que los divisores resistivos presentados anteriormente, pero no tienen tantos defectos. En concreto, no cargan la entrada en condiciones estáticas y no aumentan el ruido como en el caso de divisores resistivos. Estos divisores capacitivos pueden ser utilizados para conseguir que el amplificador tenga sus terminales con una tensión cercana a  $V_{SS}$  y con un rango de señal reducido en dichos terminales.

La figura 5.9a muestra la utilización de capacidades  $C$  y  $C_m$  conectados al amplificador. Este montaje presenta en condiciones estáticas ( $V_{i+} = V_{i-} = 0$ ) las siguientes tensiones en la puerta del amplificador:  $V_- = V_+ = V_{SS} - (C/(C + C_m))V_{SS}$ . En el caso en que  $C_m \gg C$  se tiene que  $V_- = V_+ = V_{SS} + V_{REF} \approx V_{SS}$ . Como ejemplo podemos decir que si elegimos  $C_m = 4C$ , obtenemos los mismos resultados que en el ejemplo presentado con divisores resistivos. La mayoría de las consideraciones realizadas en el caso de los divisores resistivos puede hacerse en el de los divisores capacitivos, aunque este último tiene las siguientes ventajas:

- Los divisores capacitivos no empeoran la impedancia de entrada como en el caso del divisor resistivo ni introducen carga extra en los terminales del amplificador realizado uniendo el amplificador original con los divisores capacitivos (En línea discontinua en la figura 5.9a).
- En el caso de no existir polisilicio altamente resistivo, los transistores con puertas flotantes ocupan menor área que los divisores capacitivos si se utilizan capacidades realizadas con polisilicio I y II de dimensiones parecidas a las de los transistores de entrada.
- Las capacidades añadidas no añaden ruido adicional.

### Resultados de simulación

Se han verificado los dos operacionales (simple y diferencial) mediante la simulación del diseño a nivel de máscaras (“layout”) generado en CADENCE DFWII para la tecnología  $CXQ - 0.8\mu\text{m}$  del fabricante AMS. Todos los operacionales han sido diseñados para poder trabajar con una carga a la salida  $C_L = 10\text{pF}$ . Los tamaños de los transistores utilizados así como los valores de las fuentes de corriente y demás componentes se muestran en la tabla 5.1. El diseño ha sido realizado para la tecnología  $CXQ - 0.8\mu\text{m}$ , cuyos transistores tienen la tensión umbral  $V_T = 0.85\text{V}$ , y para una tensión de alimentación  $V_{sup} = 1.2\text{V}$ . El área ocupada por el diseño a nivel de máscaras (“layout”) fue

Par Diferencial	$W/L = 250/2$ *
Tran. salida tipo P	$W/L = 450/2$
Tran. salida tipo N	$W/L = 150/2$
$C_C$	0.3pF
$R_C$	10K
Espejos tipo N	$W/L = 150/2$
Espejos tipo P	$W/L = 300/2$
Ibdp	$50\mu A$
Ibinv	$2.5\mu A$

(\*) Los tamaños W/L vienen dados en  $\mu m$

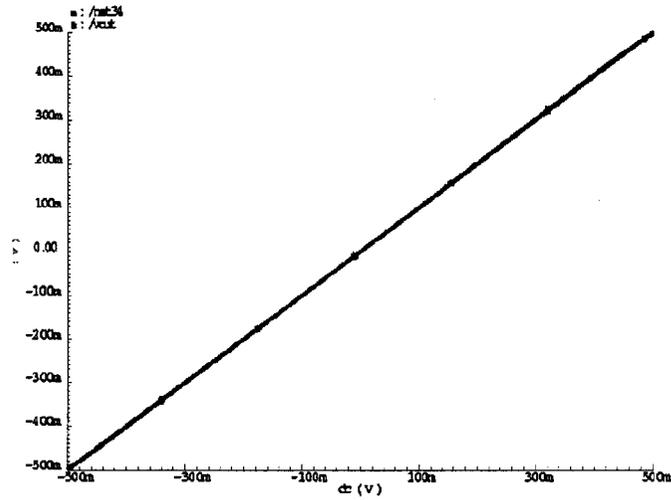
Tabla 5.1: Valores utilizados para el diseño del amplificador operacional

de  $250 \times 250 \mu^2$ .

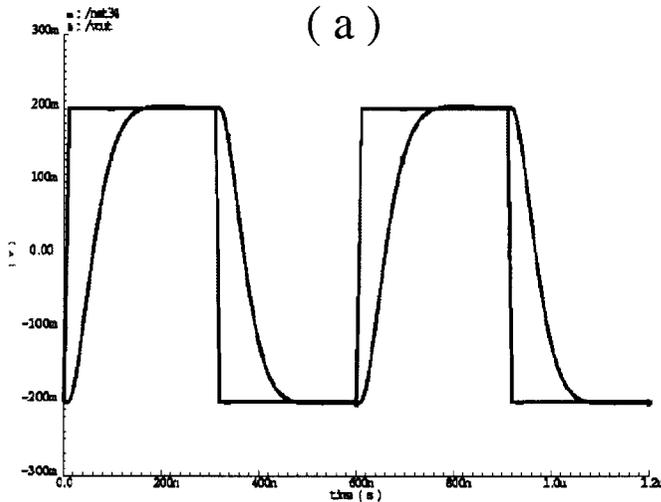
Para verificar el correcto funcionamiento del amplificador se montó un divisor resistivo con resistencias  $R$  y  $R_{cm}$  conectadas a cada terminal del amplificador operacional de forma que se mantengan los dos terminales del operacional cerca de  $V_{SS}$ . Se configuró como seguidor de tensión de la misma forma que el circuito de la figura 5.9b. La característica DC, la respuesta a un pulso y la respuesta en frecuencia se muestran en la figura 5.10a, 5.10b y 5.10c, respectivamente. Estos resultados han sido obtenidos para  $R = 20k$  y  $R_{cm} = 2k$  que ocuparon un área de  $90 \times 2 \mu^2$ . Puede verse en estas gráficas que la entrada puede operar casi en el rango completo de tensiones de entrada, y que se obtiene un ancho de banda de  $4.03MHz$ . De este dato podemos deducir que el amplificador original posee un producto ganancia-ancho de banda  $GBW = (1 + R/R_{cm})BW = 40.3MHz$ . Además, la ganancia en bucle abierto del amplificador es de 62dB, la cual se ve reducida a 45dB cuando incluimos el divisor resistivo y su consumo de potencia  $150\mu W$ .

Del mismo modo se montó un divisor capacitivo formado por los condensadores  $C$  y  $C_m$  realizados con polisilicio I y II. Se utilizaron valores de  $C = 0.72pF$  y  $C_m = 6C$  con una ocupación de área de  $80 \times 70 \mu^2$ . La característica DC, la respuesta a un pulso y la respuesta en frecuencia se muestran en la figura 5.11a, 5.11b y 5.11c, respectivamente. Puede verse en estas gráficas que la entrada puede operar casi en el rango completo de tensiones de entrada, y que se obtiene un ancho de banda de  $5.3MHz$ . De este dato podemos deducir que el amplificador original posee un producto ganancia-ancho de banda  $GBW = (1 + C_m/C)BW = 38MHz$ , que es un valor muy parecido al que se obtuvo con el divisor resistivo.

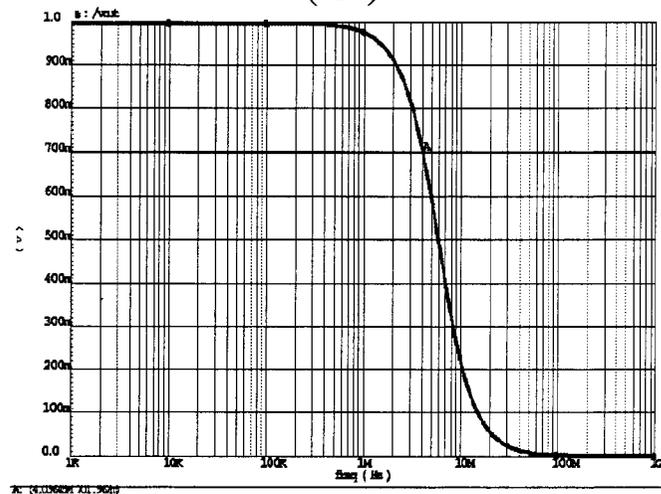
Los esquemas diferenciales fueron simulados de la misma forma que los es-



(a)

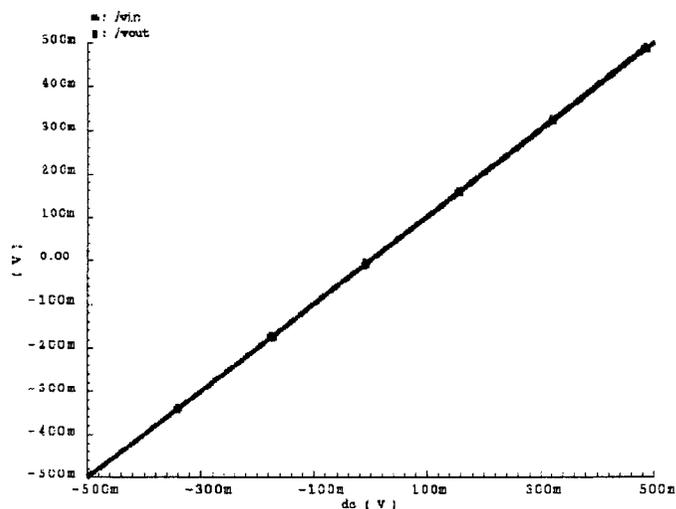


(b)

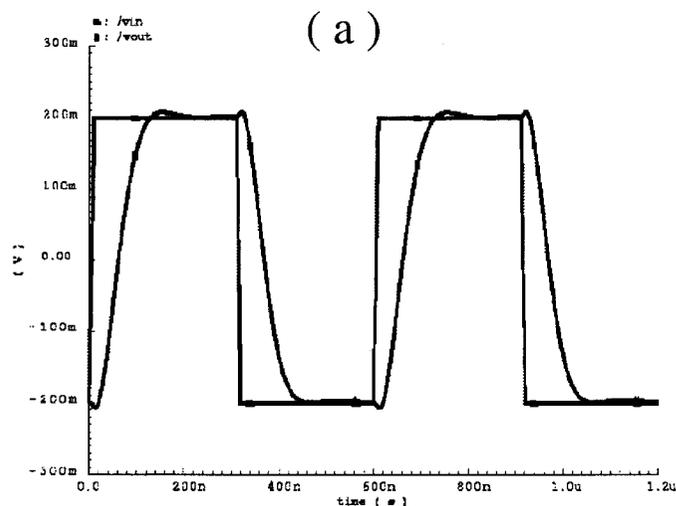


(c)

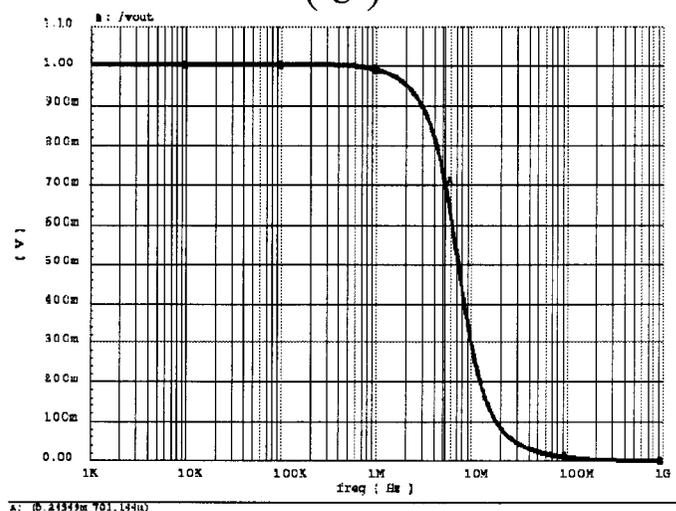
Figura 5.10: Resultados de simulación del divisor resistivo: (a) Característica DC (b) Respuesta transitoria (c) Respuesta en frecuencia



(a)



(b)



(c)

Figura 5.11: Resultados de simulación del divisor capacitivo: (a) Característica DC (b) Respuesta transitoria (c) Respuesta en frecuencia

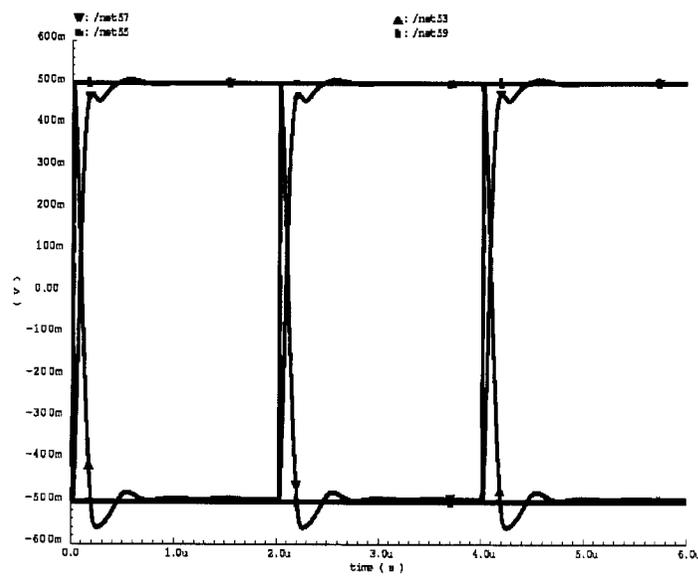
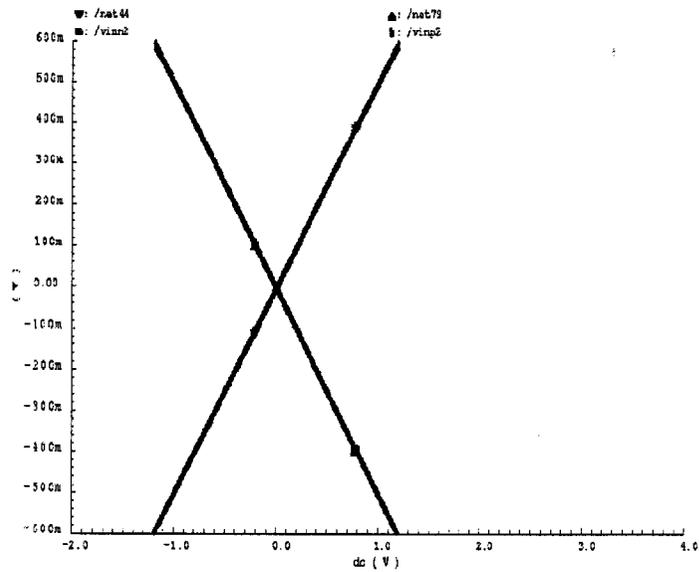


Figura 5.12: Resultados de simulación del amplificador diferencial con divisores resistivos: (a) Característica DC (b) Respuesta transitoria

quemadas simples. En la figura 5.12 puede verse cómo en el esquema con divisores resistivos, el rango de tensiones a la entrada y a la salida es completo (desde  $V_{DD}$  hasta  $V_{SS}$ ). Además, el tiempo de subida es algo mejor que el obtenido en la versión simple.

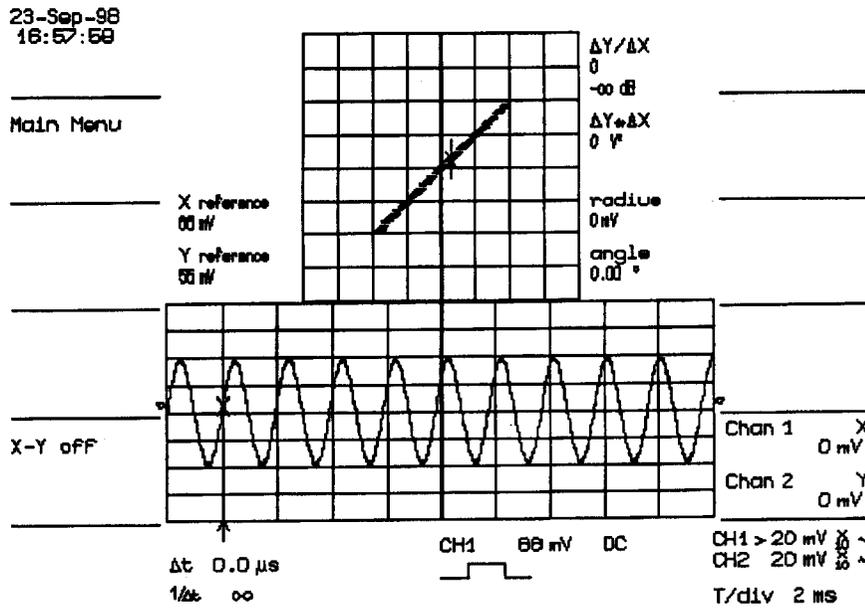
**Resultados Experimentales**

Antes de enviar a fabricar un circuito de estas características se montó un prototipo en una placa de pruebas para verificar el funcionamiento del esquema propuesto. Para ello se utilizaron tiras de transistores comerciales (CD4007). En este tipo de integrados los transistores están pareados y presentan una tensión umbral bastante alta ( $V_T \approx 2.5V$ ), por lo que utilizamos una alimentación consecuente con este valor ( $V_{DD} = -V_{SS} = 1.5V$ ). Con estos elementos se realizaron los esquemas seguidor de tensión con divisor capacitivo y resistivo que alcanzaron un rango de señal de 2.2V pico a pico. Esto no es de extrañar ya que todos los transistores en un CD4007 tiene el mismo tamaño, por lo que las tensiones  $V_{OV}$  en las fuentes de corriente son mayores que en el caso en el que podemos controlar la  $W/L$ . En la tabla 5.2 se muestran el resto de valores utilizados para la realización del amplificador operacional simple con divisor resistivo. En la figura 5.13 se muestra la característica estática y las curvas obtenidas.

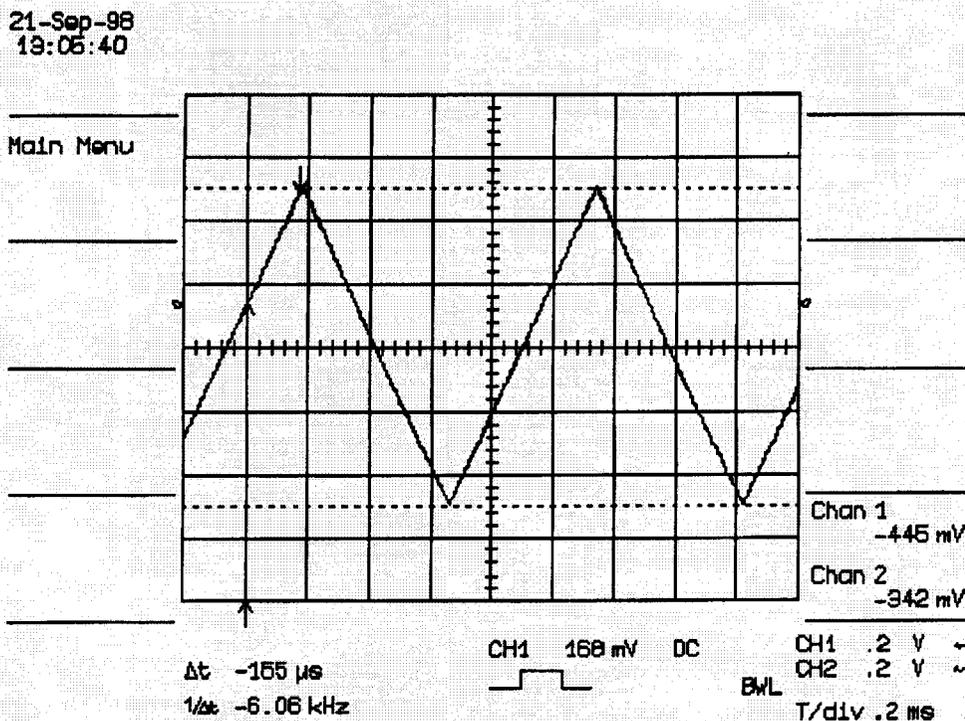
$R$	22k
$R_{cm}$	3.9K
$I_{bdp}$	$200\mu A$
$I_{binv}$	$10\mu A$
BW	130KHz

Tabla 5.2: Valores utilizados para la placa de pruebas

Una vez verificados los esquemas se envió a fabricación una primera versión del divisor capacitivo que tenía condensadores  $C$  y  $C_m$  accesibles desde el exterior. Los valores utilizados fueron  $C = 0.72pF$  y  $C_m = 6C$ . El circuito fue probado en la configuración seguidor de tensión en una placa de pruebas con una tensión de alimentación  $V_{sup} = 1.2V$ . El ancho de banda obtenido para una carga capacitiva  $C_L \approx 60pF$  fue de 1MHz, el cual está en concordancia con las simulaciones realizadas para el mismo operacional y  $C_L = 10pF$  (BW=5.3MHz). (La capacidad parásita en una placa de pruebas es alta y se estimó cercana a los 60pF).



( a )



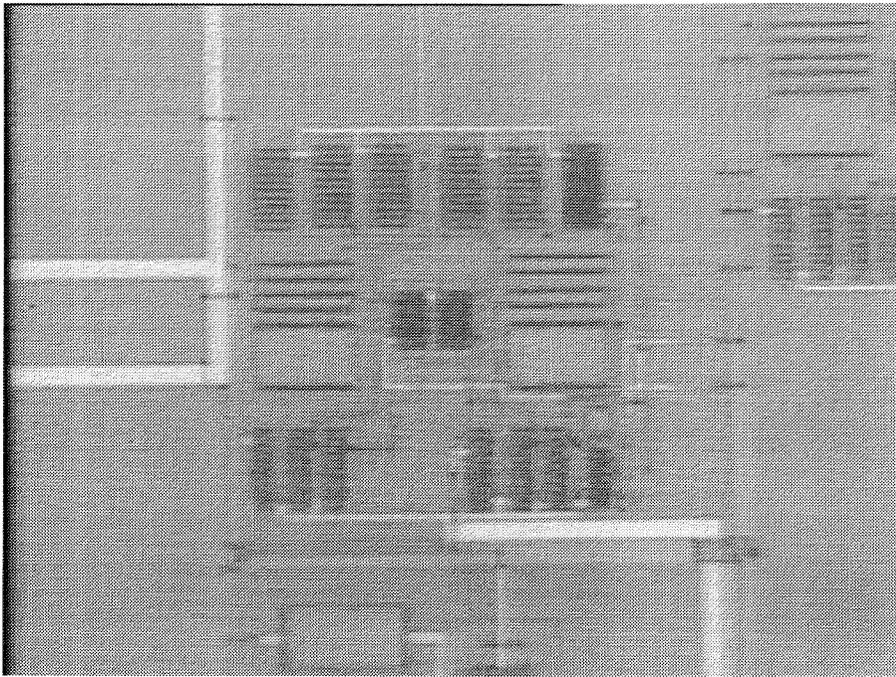
( b )

Figura 5.13: Resultados experimentales con placa de pruebas y divisor resistivo: (a) Característica estática (b) Respuesta transitoria

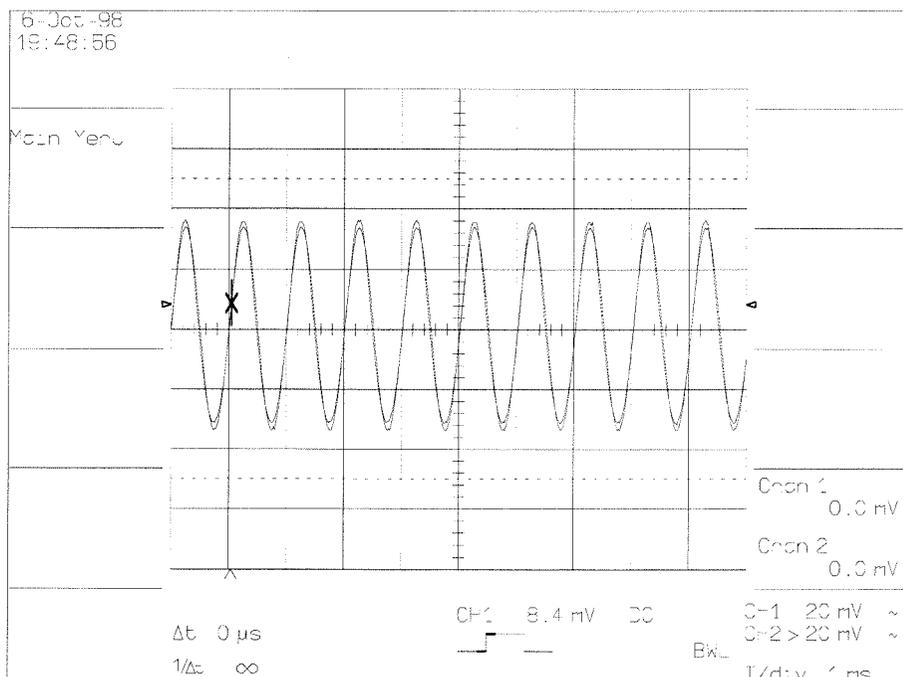
En la figura 5.14a se muestra una fotografía del amplificador realizado con transistores de puertas flotantes utilizando las mismas dimensiones mencionadas en el apartado de simulaciones. Las formas de onda obtenidas al conectar dicho amplificador en configuración de seguidor pueden verse en la figura 5.14b. El máximo rango de señal obtenido es de 1V pico a pico, siendo la tensión umbral medida para los transistores  $V_T = 0.85V$ .

Al ser los resultados satisfactorios, enviamos un segundo circuito integrado a fabricación. Este circuito incluye las versiones simple y diferencial de los divisores capacitivos y resistivos así como otros circuitos que explicaremos con posterioridad. En este integrado todos los amplificadores operacionales tenían la realimentación negativa interna al mismo, ya que así se minimizan las capacidades parásitas y se obtenían resultados más acordes con las condiciones en las que este tipo de circuitos van a funcionar. Todos los transistores fueron diseñados de forma que el amplificador funcionase con una carga externa de  $C_L = 50pF$ . De esta forma será más fácil obtener resultados similares a los de simulación, al ser posible colocar externamente una carga cercana a los 50pF. Un dato importante que hay que resaltar es que la carga típica con la que este tipo de amplificadores van a funcionar es cercana a  $C_L = 1pF$ , por lo que los resultados obtenidos con 50pF no son los que realmente va a tener el operacional que estamos diseñando. Además, los resultados de simulación indican que el ancho de banda aumenta conforme la carga con la que tienen que funcionar disminuye. Esto es debido a que las capacidades parásitas aumentan conforme aumentan las dimensiones ( $W/L$ ) de los transistores, por lo que la respuesta en frecuencia se ve modificada.

En las figuras 5.15, 5.16, 5.17 y 5.18 pueden verse algunos resultados obtenidos con el amplificador con divisores resistivos del segundo circuito integrado. En la figura 5.15a se muestra la fotografía del amplificador simple utilizado en estas pruebas. En la figura 5.16a puede verse la característica DC de dicho amplificador. Puede observarse la linealidad y el pequeño error de ganancia. Además hay que hacer notar que el rango de tensiones de entrada y salida obtenido ha sido casi completo: 1.15V con una tensión de alimentación de 1.2V. En la figura 5.16b puede observarse el momento en el que la amplitud de la señal de salida comienza a descender, lo cual ocurre para una señal de entrada de 4MHz (Se ha utilizado una relación  $R/R_{cm} = 10$ ). En las figuras 5.17a y 5.17b puede verse la respuesta del amplificador a un tren de escalones, donde el tiempo de subida medido del amplificador es de 183ns. La figura 5.18a muestra la respuesta transitoria del amplificador diferencial ante una entrada formada por dos ondas senoidales de 1MHz de frecuencia y desfasadas  $\pi$  radianes. Puede verse la pequeña distorsión producida así como el buen funcionamiento del circuito de modo común que centra las dos señales de salida.

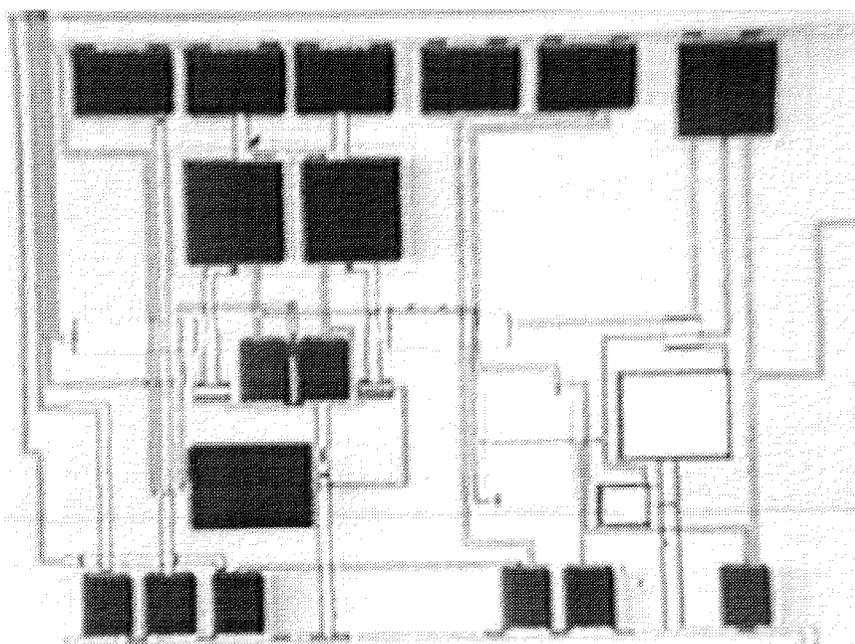


(a)

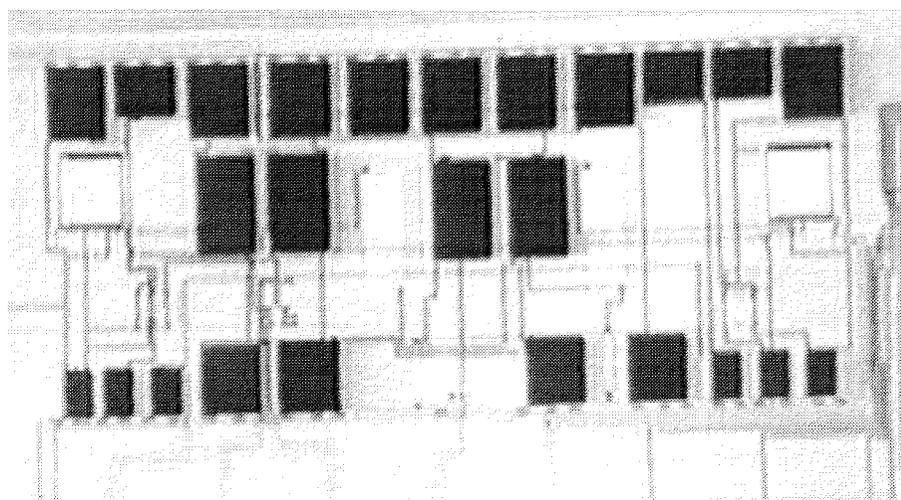


(b)

Figura 5.14: Resultados experimentales con la primera versión: (a) Fotografía de la versión simple del divisor capacitivo (b) Respuesta transitoria

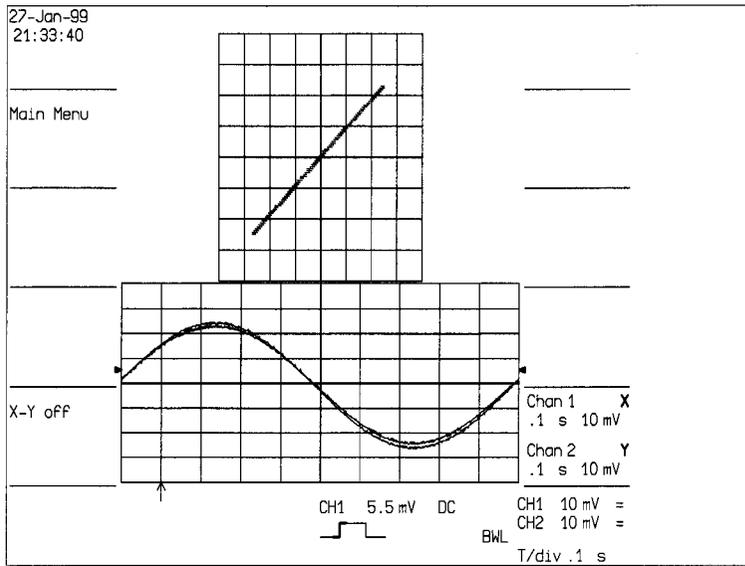


( a )

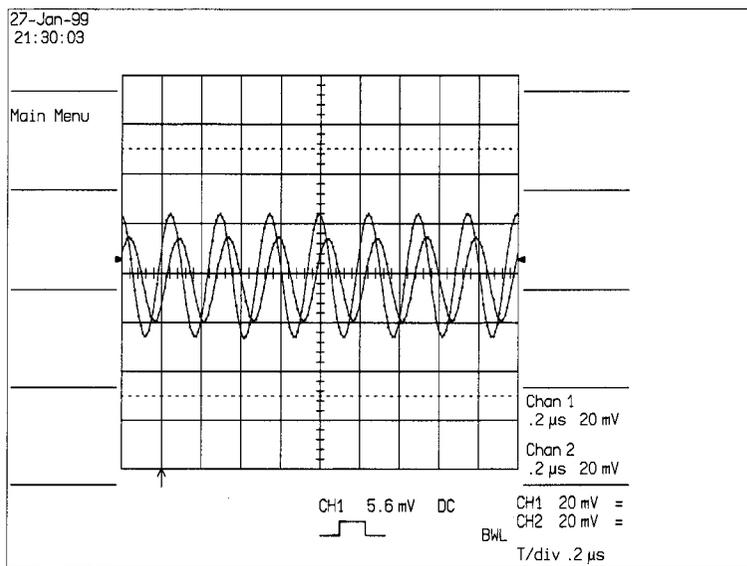


( b )

Figura 5.15: (a) Fotografía de la versión simple del divisor resistivo (b) Fotografía de la versión diferencial

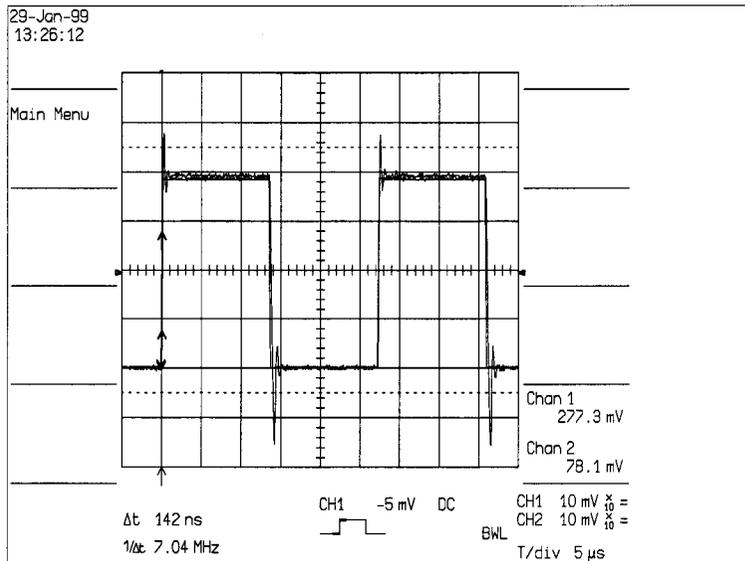


( a )

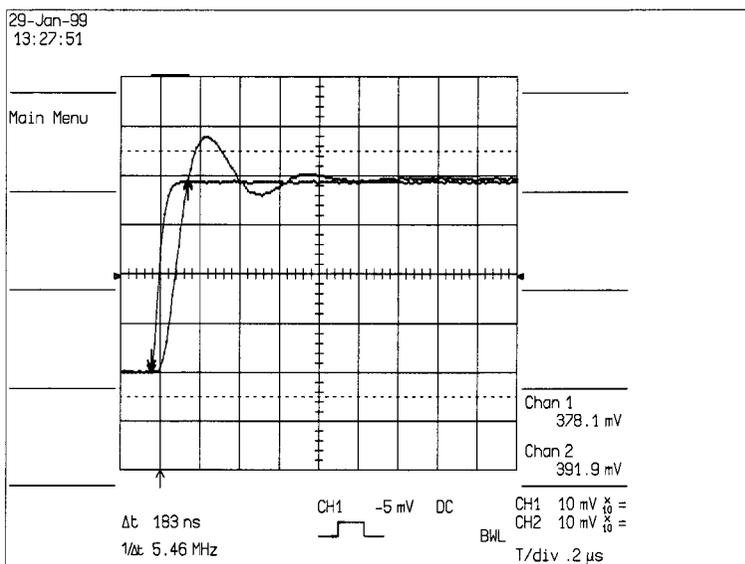


( b )

Figura 5.16: Resultados experimentales con el divisor resistivo del segundo circuito: (a) Característica DC (a) Respuesta transitoria cerca del BW

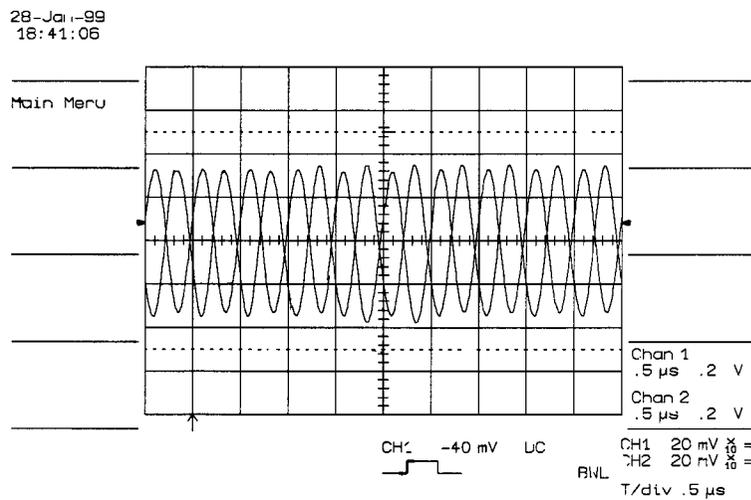


(a)

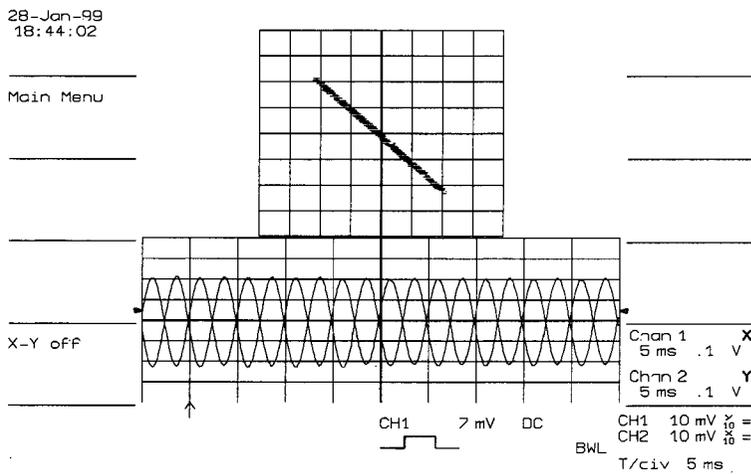


(b)

Figura 5.17: Resultados experimentales con el divisor resistivo del segundo circuito: (a) Respuesta a un tren de escalones (b) Detalle del tiempo de subida.



(a)

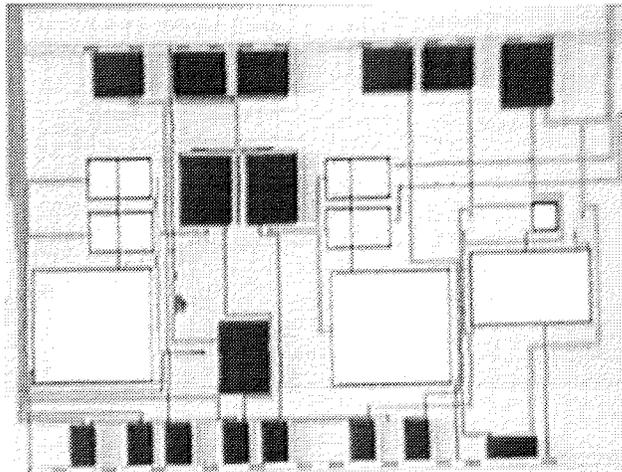


(b)

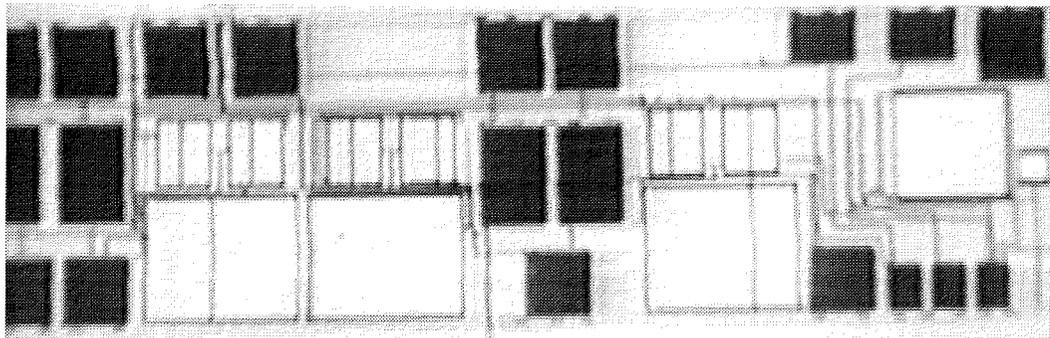
Figura 5.18: Resultados experimentales con el divisor resistivo del segundo circuito: (a) Característica DC de la versión diferencial (b) Respuesta transitoria de la versión diferencial

En la figura 5.18b puede verse la característica DC del amplificador diferencial mientras que en la figura 5.15b se muestra la fotografía de dicho circuito. El ancho de banda medido para el amplificador diferencial también ha sido cercano a los 5MHz.

En las figuras 5.19, 5.20 y 5.21 se muestran algunos de los resultados obteni-



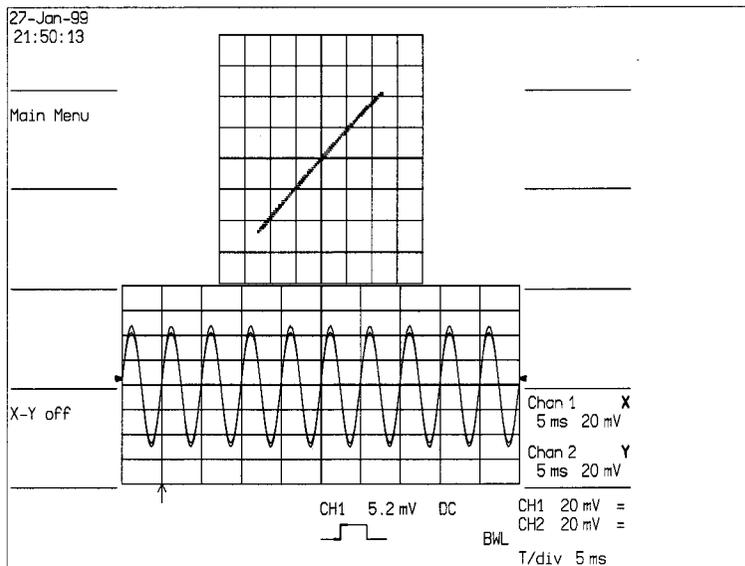
( a )



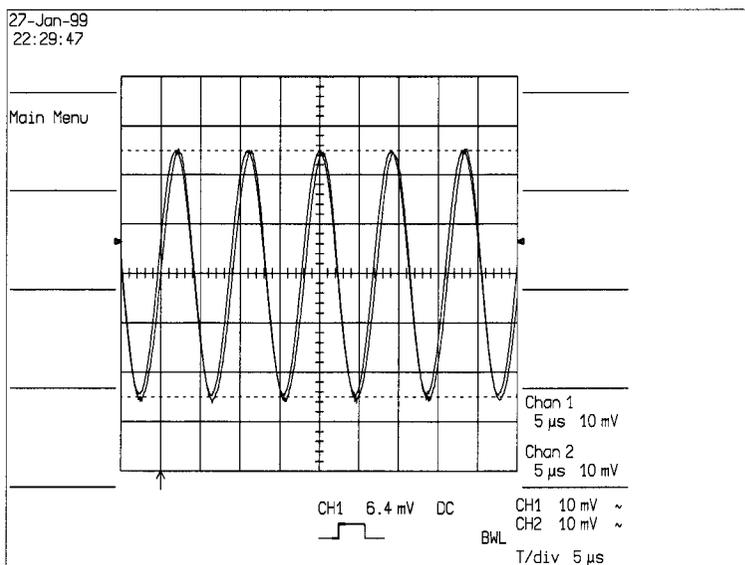
( b )

Figura 5.19: (a) Fotografía de la versión simple del divisor resistivo (b) Fotografía de la versión diferencial

dos con el divisor amplificador con divisores capacitivos. En las figuras 5.19a y 5.19b se muestran las fotografías del amplificador simple y diferencial utilizados en estas pruebas. En la figura 5.20a se puede ver la característica DC. En el amplificador con divisores capacitivos el rango de entrada obtenido ha sido prácticamente completo. Además, ha sido el diseño que ha funcionado con menor tensión de alimentación ( $V_{sup} = 1.1V$ ). En las figuras 5.20b y 5.21 se pueden ver dos respuestas transitorias del divisor capacitivo. El ancho de banda medido ha sido mayor que en el caso del divisor resistivo (5.5MHz) aunque la relación  $C_m/C = 7$  utilizada hace que ese resultado sea lógico.



(a)



(b)

Figura 5.20: Resultados experimentales con el divisor resistivo del segundo circuito: (a) Característica DC (b) Respuesta transitoria del esquema simple

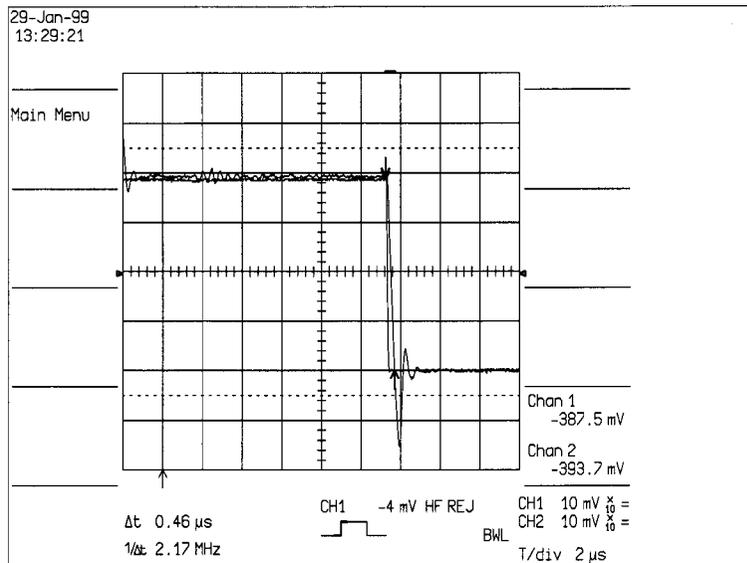


Figura 5.21: Resultados experimentales con el divisor resistivo del segundo circuito: Detalle del tiempo de subida (Carga 100pF)

### Conclusiones

Se han presentado las versiones simple y diferencial de un amplificador operacional capaz de operar con una tensión cercana a la tensión umbral ( $V_T$ ) de un transistor con un rango casi completo de tensiones a su salida. Este operacional es capaz de funcionar en aplicaciones de amplificadores conmutados, aunque no es el primero pues en la bibliografía ya se han presentado otros. Sus ventajas son:

- Simplicidad, pues la versión más reducida solo requiere 7 transistores y dos fuentes de corriente.
- Buena respuesta en frecuencia ( $GBW \approx 40MHz$ ).
- Tamaño reducido (el par diferencial tiene  $W/L = 40/2$  para  $C_L = 1pF$ ,  $W/L = 200/2$  para  $C_L = 10pF$  y  $W/L = 2000/2$  para  $C_L = 50pF$ ).

Además se han presentado dos técnicas que hacen posible el funcionamiento del amplificador con rango casi completo de tensiones a la entrada. Estos métodos deterioran la respuesta en frecuencia del amplificador original, aunque consiguen anchos de banda muy superiores a los reportados en la bibliografía para realizaciones similares. Todos estos resultados han sido posibles gracias a la utilización de una batería flotante colocada entre las puertas de los transistores P y N del inversor de la etapa de salida de forma que ambos transistores estén funcionando en la zona de saturación. Ésta ha sido la primera aplicación de las baterías flotantes, aunque en la siguiente sección se utilizarán para conseguir rango completo de funcionamiento a la entrada.

### 5.3.2 Amplificadores inversores con rango completo de tensiones en la entrada y en la salida utilizando baterías flotantes estáticas

#### Introducción

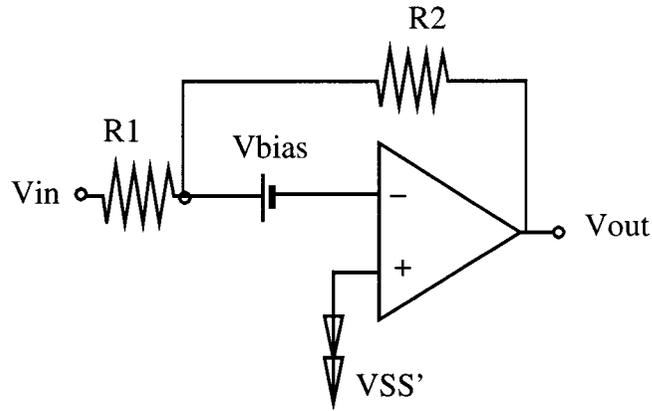
Los métodos propuestos anteriormente resuelven el problema de hacer funcionar un amplificador con rango completo de tensiones a la entrada. Sin embargo, la respuesta en frecuencia del amplificador del que se parte es empeorada. Además, se ven empeorados otros factores como el “offset”, se añade ruido y se “carga” a la señal de entrada. Por todo ello nos planteamos el estudio de otras posibilidades para resolver el problema. En [7] se propone un esquema de funcionamiento para circuitos de capacidades conmutadas de baja tensión. Este esquema se basa en el uso de una batería conmutada a la entrada del amplificador operacional. Esto nos sugirió la idea de utilizar las baterías flotantes para hacer funcionar los amplificadores operacionales de baja tensión en tiempo continuo y con rango completo de tensiones a la entrada.

#### Esquema para operar un amplificador operacional con baja tensión y en tiempo continuo

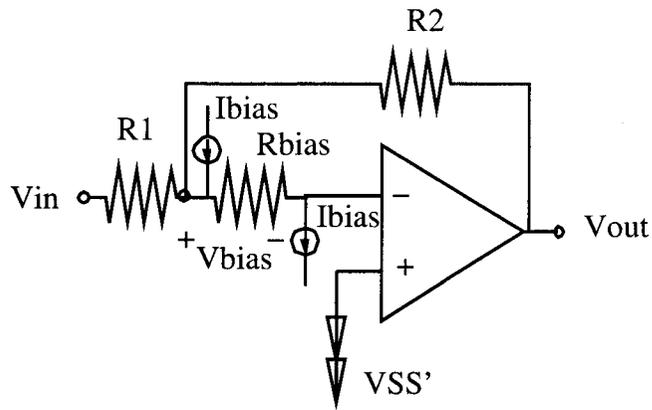
Al igual que en el caso anterior, el esquema que vamos a proponer quiere utilizar el amplificador presentado anteriormente de forma que sus terminales de entrada tengan tensiones cercanas a  $V_{SS}$  y el amplificador formado con la suma del amplificador original más el esquema propuesto sea capaz de tener rango de tensiones completo a la entrada.

El esquema propuesto se muestra en la figura 5.22a. El terminal positivo del amplificador original se conecta a una tensión de continua  $V_{SS}^I = V_{SS} + V_{REF}$  que tiene un valor muy pegado a  $V_{SS}$  ya que  $V_{REF}$  se elige como una pequeña fracción de la tensión de alimentación  $V_{SUP}$ . Por otro lado una batería flotante de valor  $V_{bias} = -V_{REF} - V_{SS}$  está conectada en serie con el terminal negativo del amplificador original. Con todo ello, la tensión en el terminal positivo de la batería es  $V_x = 0$ .

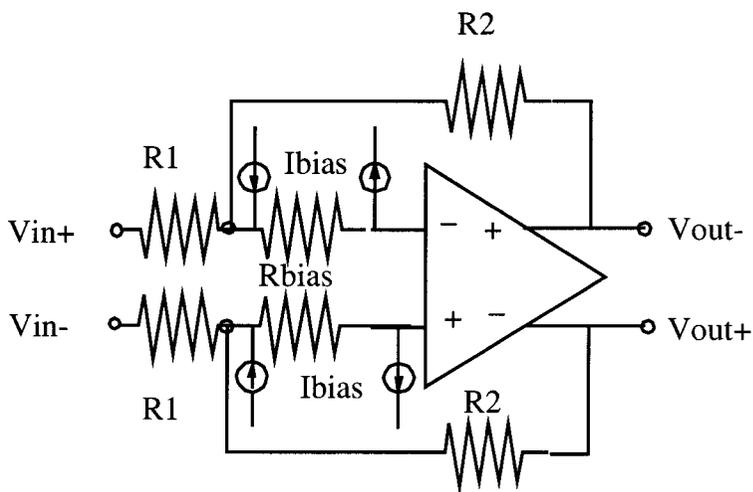
En la figura 5.22b se muestra la realización de la batería flotante utilizando una resistencia y dos fuentes de corriente pareadas  $I_{bias}$ . Con estos elementos



( a )



( b )



( c )

Figura 5.22: Esquema con batería para funcionar con baja tensión: (a) Esquema básico, (b) Realización con fuentes de corriente y resistencia, (c) Esquema diferencial.

se provoca una caída de tensión en la resistencia  $R$  de valor  $V_{bias} = I_{bias}R$ . En esa figura se muestra la realización de baja tensión de un amplificador inversor de ganancia  $G = -R2/R1$ . La figura 5.22c muestra la versión diferencial utilizando el amplificador diferencial propuesto en secciones anteriores. La tensión necesaria para que estos esquemas funcionen son iguales que en el caso del divisor capacitivo y el divisor resistivo.

### Realización práctica de la batería flotante

La clave para la realización de la batería  $V_{bias}$  es la generación de caídas de tensión en la resistencia que no dependa de los parámetros y variaciones de la tecnología y que satisfagan la relación  $V_{bias} = -V_{REF} - V_{SS}$  ya que  $V_{SS}^I = V_{SS} + V_{REF}$ . Para incrementar al máximo el rango de tensiones, debemos hacer que  $V_{REF}$  sea tan pequeña como se pueda. En la práctica,  $V_{REF}$  no puede anularse ya que es necesario que tenga, como mínimo, el valor  $V_{OV}$  de forma que la fuente de corriente conectada a  $V_{SS}$  tenga rango suficiente de tensiones para funcionar (Suponemos que dicha fuente se realiza electrónicamente con un transistor trabajando en la región de saturación). Las fuentes de corriente  $I_{bias}$  deben estar muy bien pareadas ya que cualquier desapareamiento  $\delta I_{bias}$  aparece como una tensión de offset  $V_{off} = R\delta I_{bias}$ .

Esto nos hace pensar que es necesario generar los valores  $V_{bias}$  y  $V_{REF}$  de

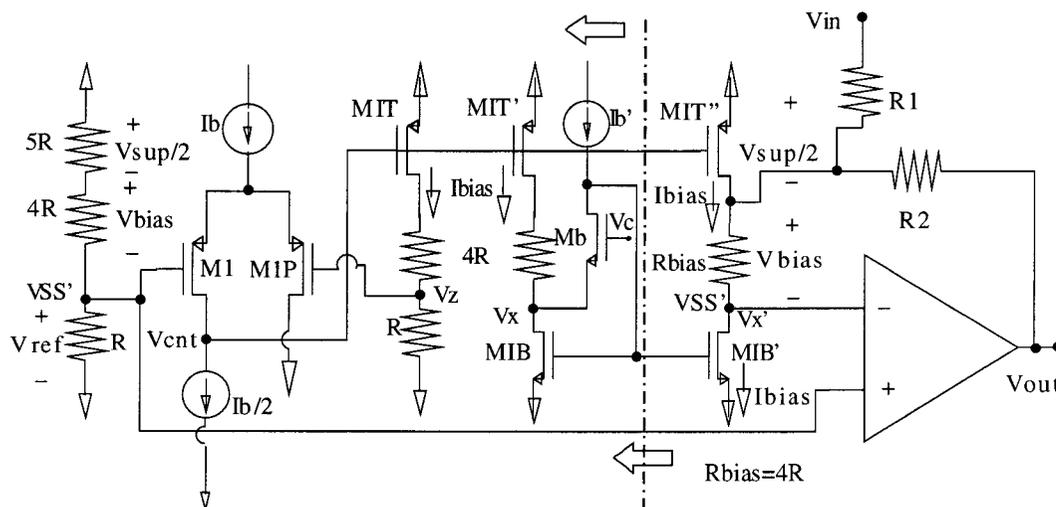


Figura 5.23: (a) Realización de una batería flotante, (b) Amplificador de baja tensión y clase AB

una manera muy exacta utilizando además, técnicas de baja tensión. Para esta misión hemos diseñado el circuito de réplica de la figura 5.23, que

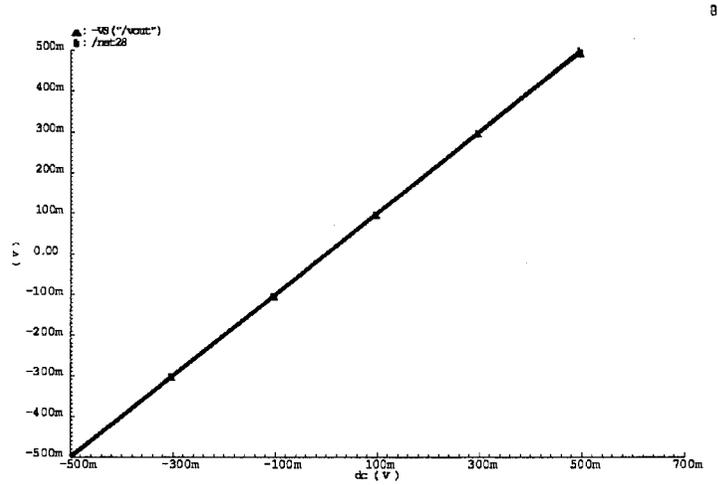
funciona como sigue: Una tensión de referencia  $V_{REF}$  es generada a través de un divisor de tensión. Suponiendo  $V_{sup} = 1.2V$  para nuestro ejemplo y  $V_{REF} = V_{SUP}/10 = 0.12V$  y  $V_{SS}^I = V_{REF} + V_{SS} = -0.48V$ . Un amplificador (M1, M1P, MIT) es utilizado para comparar  $V_{SS}^I$  con  $V_z$ . Dicho amplificador produce una tensión de control  $V_{cnt}$  que hace que la caída de tensión ( $V_z$ ) en la resistencia pareada con las del divisor de tensión conectada en serie con MIT sea igual a  $V_{ref}$ . La corriente generada en el transistor MIT es copiada en los transistores  $MIT^I$  y  $MIT^II$  y también es copiada cerca del rail negativo de alimentación a través del espejo de baja tensión [71] formado por  $MB$ ,  $MIB$  y  $MIB^I$ . Con estas fuentes de corriente pareadas es posible introducir y extraer la corriente  $I_{bias}$  de la resistencia  $R_{bias} = 4R$ . Además se han utilizado otras dos resistencias del mismo valor  $4R$  para hacer que la  $V_{DS}$  en todos los espejos sea la misma y así mejorar la copia de corrientes sin tener que recurrir a “técnicas cascode”.

Con este método hemos conseguido generar una buena batería flotante de valor  $V_{bias}$  utilizando técnicas de réplica de la polarización. Este circuito (separado por una línea discontinua en la figura 5.23a) no es necesario realizarlo para cada transistor, por lo que en un integrado con varios amplificadores solo es necesario realizarlo una vez para generar las referencias para todos los amplificadores. Por último hay que indicar que la resistencia  $R_{bias}$  introduce una constante de tiempo que puede estropear la respuesta en frecuencia del amplificador original, lo cual puede ser evitado en parte si colocamos un condensador de desacoplo ( $C_{bp}$  en paralelo con  $R_{bias}$ ). Además hemos de indicar que este esquema no carga la fuente de señal ya que, en teoría, la única corriente que circula por la batería viene de las fuentes pareadas  $I_{bias}$ .

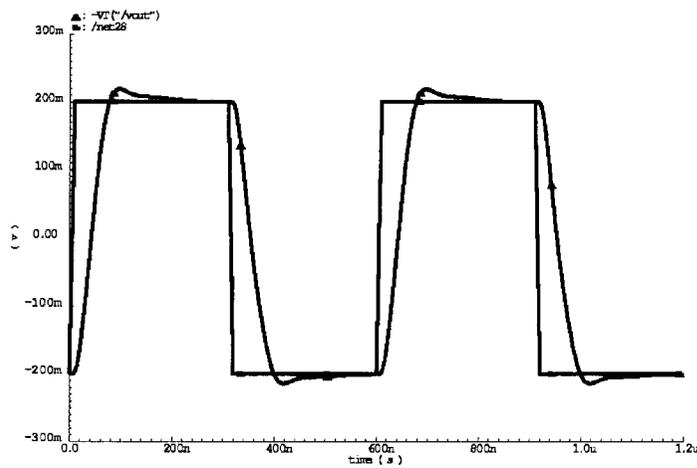
#### Resultados de simulación

Los circuitos de la figura 5.22b y 5.22c han sido verificados mediante la simulación del diseño a nivel de máscaras generado en CADENCE DFWII utilizando los ficheros de tecnología de AMS-CXQ-0.8 $\mu$ m (cuyos transistores tienen  $V_T \approx 0.85V$ ). Los valores más significativos del diseño se muestran en la tabla 5.3. El amplificador operacional simple utilizado es el mostrado en la figura 5.5, mientras que el amplificador diferencial es el mismo que el divisor resistivo, sin las resistencias, pero con el circuito de modo común con resistencias. De esta forma se simplifica el montaje diferencial con baterías, aunque también es posible realizar el amplificador de modo común con baterías.

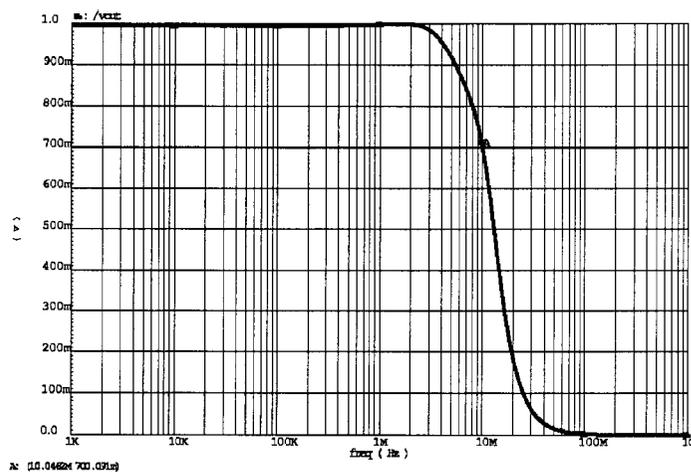
En la figura 5.24a se muestra la característica DC del amplificador simple con batería a la entrada y configuración con ganancia unidad. El rango de



(a)



(b)



(c)

Figura 5.24: Resultados de simulación del esquema con baterías: (a) Característica DC (b) Respuesta transitoria (c) Respuesta en frecuencia

Par Diferencial	$W/L = 250/2$ *
Tran. salida tipo P	$W/L = 450/2$
Tran. salida tipo N	$W/L = 150/2$
$C_C$	0.3pF
$R_C$	10K
Espejos tipo N	$W/L = 150/2$
Espejos tipo P	$W/L = 300/2$
$I_{bdp}$	50 $\mu$ A
$I_{binv}$	2.5 $\mu$ A
Par Diferencial Batería	$W/L = 100/1.6$
Espejos N Batería	$W/L = 60/1.6$
Espejos P Batería	$W/L = 120/1.6$
$R_{bias}$	48K
$V_{bias}$	480mV
Carga de salida	$C_L = 10pF$

(\*) Los tamaños W/L vienen dados en  $\mu$ m

Tabla 5.3: Valores utilizados para el diseño del amplificador operacional

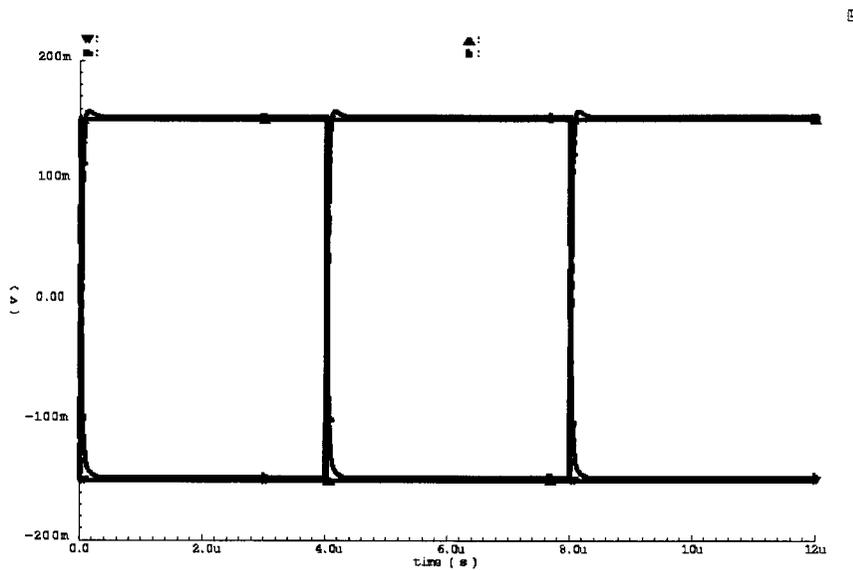


Figura 5.25: Respuesta transitoria del montaje diferencial

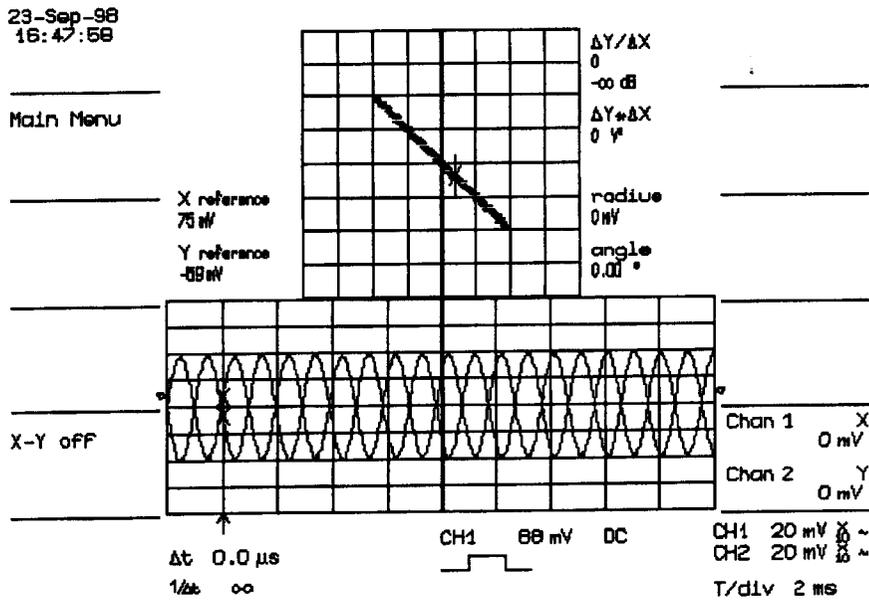
señal obtenido a la entrada es de 1V. El ancho de banda obtenido puede verse en la figura 5.24c y es de  $BW=10.4\text{MHz}$ . Como puede verse, el esquema con batería mejora el ancho de banda comparado con los esquemas con divisores capacitivos o resistivos. Además, en las figuras 5.24b y 5.25 pueden verse los resultados de la simulación transitoria de los esquemas simple y diferencial, ambos con tiempos de subida cercanos a 100ns.

### Resultados experimentales

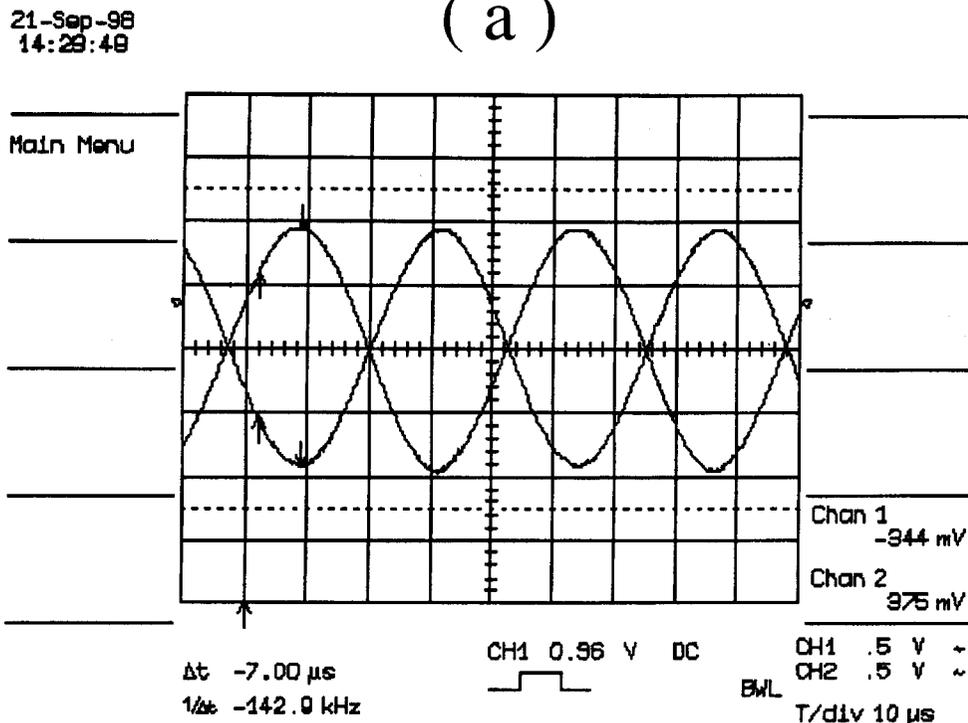
Una vez verificado el esquema en simulación se montó una placa de pruebas de la misma forma que en el caso del divisor capacitivo o resistivo. La tensión de alimentación utilizada fue de  $V_{sup} = 3V$  ya que los transistores utilizados (CD4007) tienen una tensión umbral  $V_T = 2.3V$ . El rango de señal de entrada obtenido fue de 2.2V, el cual es satisfactorio teniendo en cuenta que los transistores utilizados tenían tamaño único. El ancho de banda obtenido fue de 450kHz, de nuevo superior a los montajes con divisores resistivos o capacitivos. En la figura 5.26 se muestra la característica DC y la respuesta transitoria para una carga de 60pF. Los resultados obtenidos nos animaron a integrar esta solución en espera de un mayor ancho de banda. En las figuras 5.27, 5.28 y 5.29 se muestran los resultados obtenidos con el circuito integrado. El diseño fue escalado para una carga de 50pF de forma que fuese sencillo extraer señales del integrado. Este escalado disminuye el ancho de banda en simulación, ya que las capacidades parásitas del amplificador original aumentan, por lo que disminuye su GBW. En las figuras 5.27a y 5.27b pueden verse las fotografías del amplificador simple y diferencial con batería. Puede observarse el poco tamaño que tienen los transistores del circuito de la batería (a la izquierda) frente a los del amplificador. En la figura 5.28a puede verse la respuesta transitoria del amplificador sencillo configurado como inversor de ganancia unidad ante una entrada senoidal de 2.5MHz. Puede verse que la respuesta es buena en amplitud aunque el retraso comienza a ser importante. Esto es debido a que la carga de salida con la que fue probado era de unos 80pF, superior a los 50pF para los que fue diseñado. En la figura 5.28b puede verse que el tiempo de subida del montaje simple con una carga de 80pF es cercano a los 140ns, lo cual mejora a los esquemas con divisor capacitivo y resistivo, aunque es peor de lo esperado. Por último, en la figura 5.29a se muestra la respuesta transitoria del montaje diferencial ante una entrada de 2MHz y en 5.29b se muestra la característica DC medida.

### Conclusiones

Se ha presentado los esquemas de dos amplificadores (simple y diferencial) que son capaces de funcionar con una tensión de alimentación cercana a la

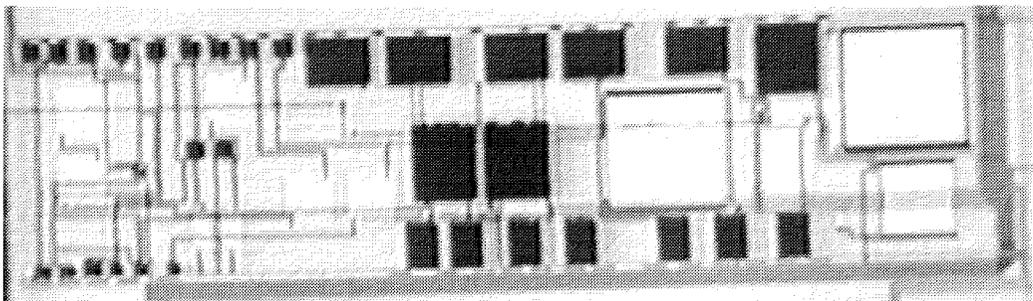


(a)

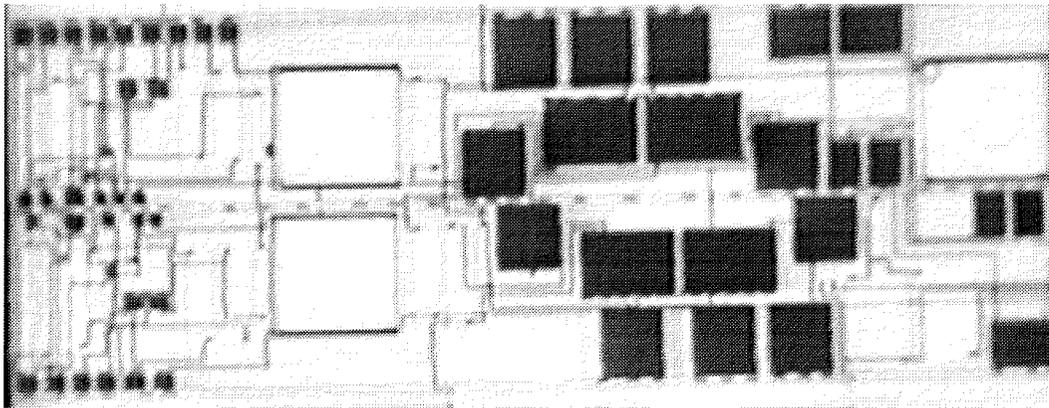


(b)

Figura 5.26: Resultados con placa de pruebas del esquema con baterías: (a) Característica DC (b) Respuesta transitoria

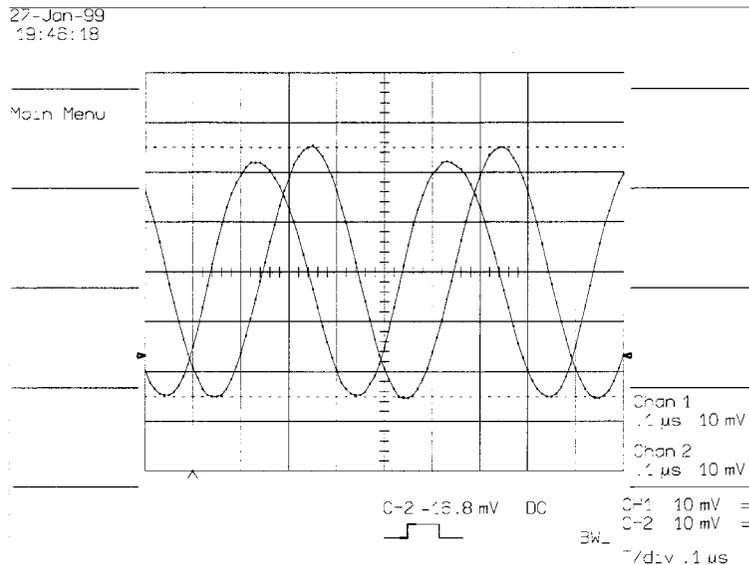


( a )

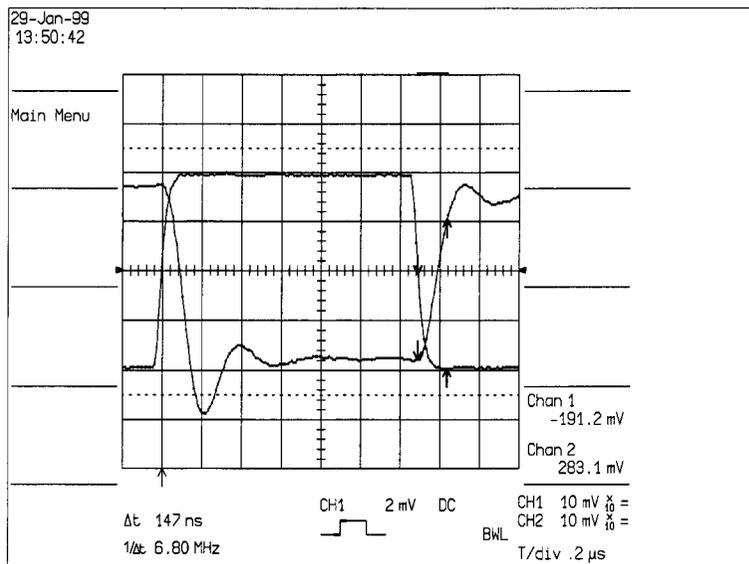


( b )

Figura 5.27: (a) Fotografía del amplificador con batería simple (b) Fotografía del montaje diferencial con baterías

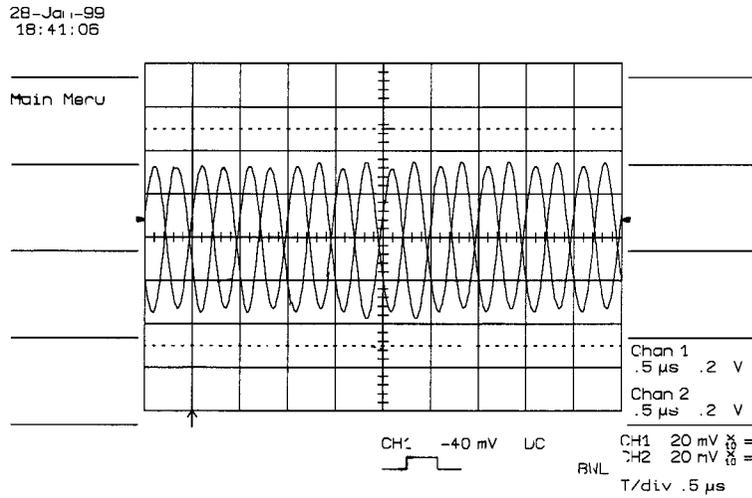


(a)

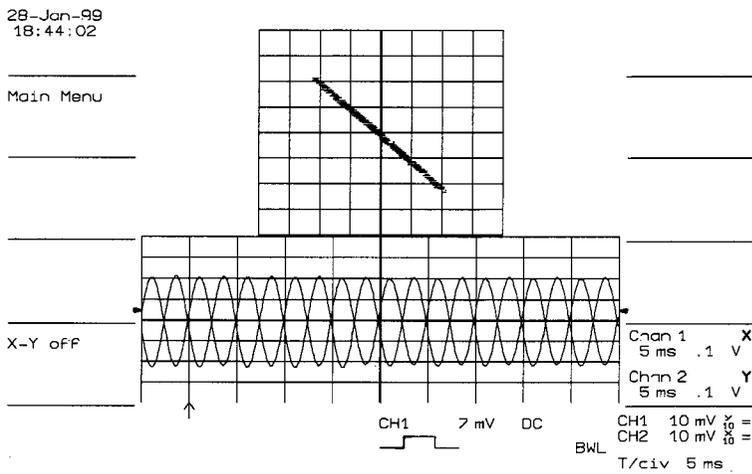


(b)

Figura 5.28: Resultados con el segundo circuito integrado del esquema de la batería: (a) Tiempo de subida del amplificador simple (b) Respuesta transitoria del amplificador simple



( a )



( b )

Figura 5.29: Resultados con el segundo circuito integrado del esquema de la batería: (a) Respuesta transitoria del montaje diferencial (b) Característica DC del montaje diferencial

tensión umbral de los transistores de la tecnología ( $V_{sup} = 1.2V$  y  $V_T = 0.85V$ ) y con rango de tensiones a la entrada y a la salida casi completos. La complejidad del esquema ha aumentado con respecto a los dos esquemas propuestos con anterioridad aunque los resultados obtenidos mejoran las prestaciones de dichos esquemas.

### 5.3.3 Amplificadores inversores con rango completo de tensiones en la entrada y en la salida utilizando baterías flotantes dinámicas

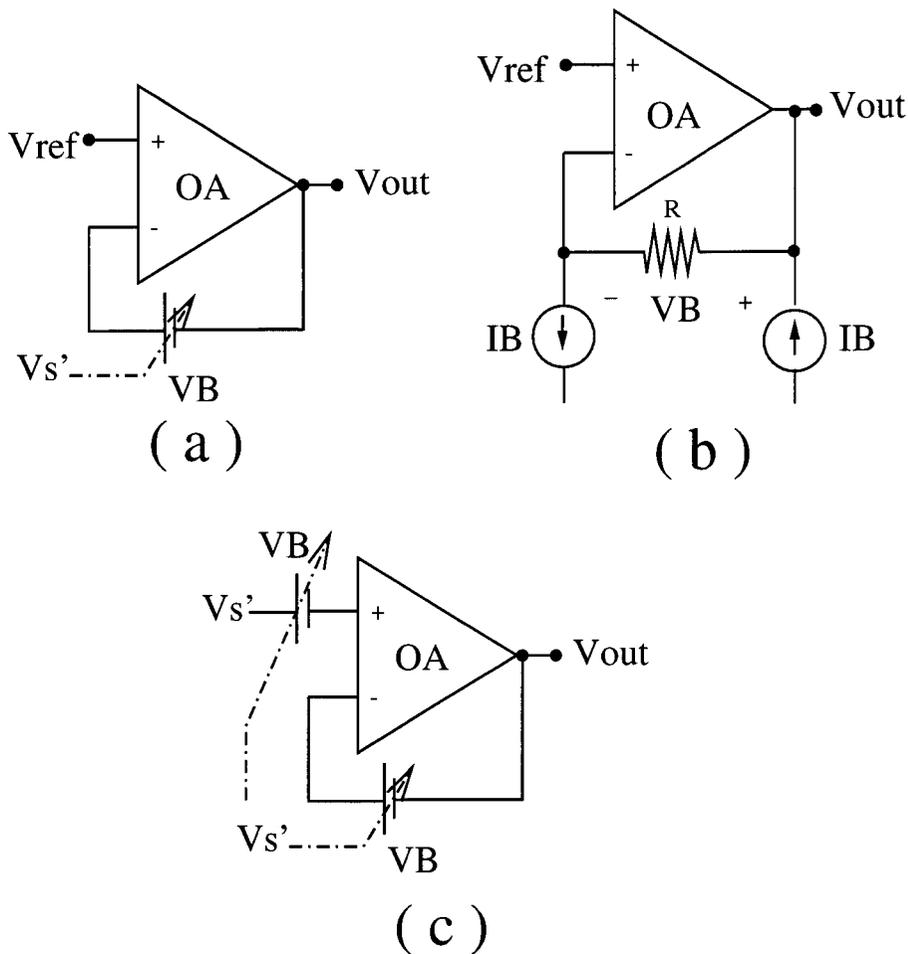


Figura 5.30: Amplificador con ganancia unidad con baterías dinámicas: (a) Esquema básico (b) Realización electrónica utilizando fuentes de corriente y resistencias (c) Esquema de rango de entrada mayor

Las baterías flotantes dinámicas pueden utilizarse de forma similar a las estáticas [77] para hacer funcionar al amplificador operacional con rango completo de tensiones a la entrada. El esquema propuesto se muestra en la figura

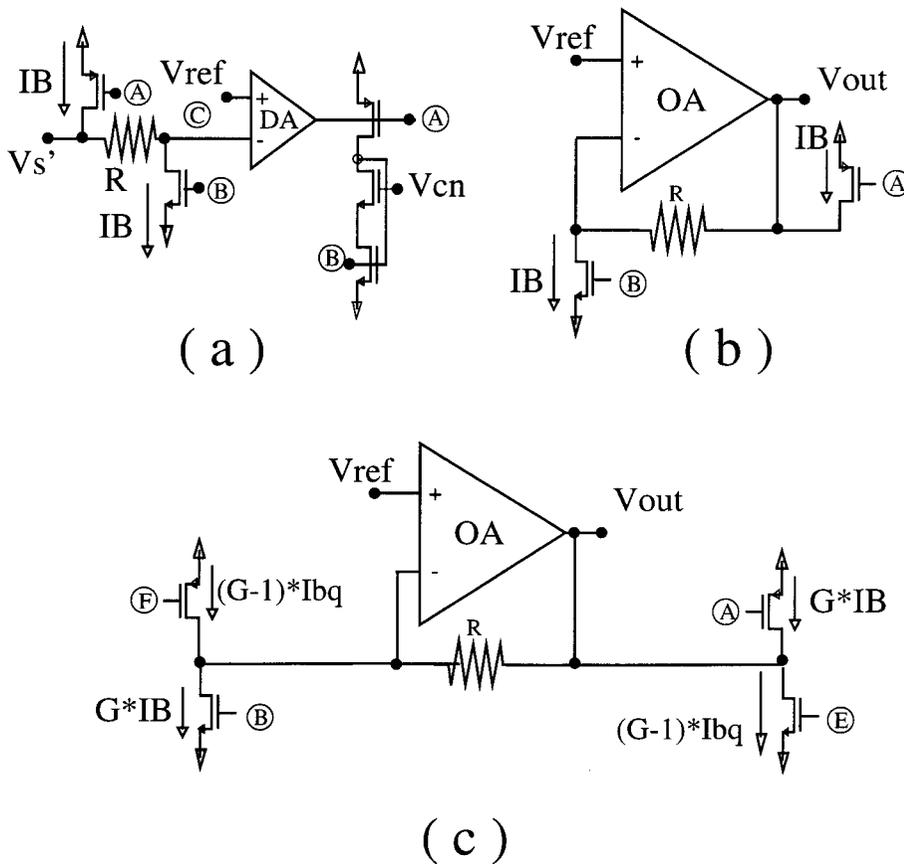


Figura 5.31: Amplificador con ganancia unidad con baterías dinámicas: (a) y (b) Detalle de la circuitería de control de la batería dinámica (c) Montaje con ganancia  $G$

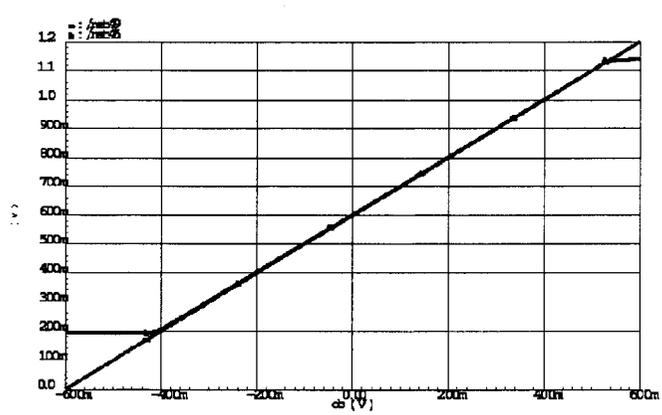
5.30a. Suponemos que la señal de entrada se puede definir como  $V_S^I = V_{cm} + V_s$  donde  $V_{cm}$  es la componente de modo común y  $V_s$  es la componente de señal. Al igual que en el esquema con batería estática, el terminal positivo del amplificador original está conectado a la tensión  $V_{REF}$ . Por otro lado, una batería dinámica de valor  $V_B = V_S^I - V_{REF}$  está conectada entre el terminal negativo y la salida del operacional. Como en el caso de la batería estática,  $V_{REF}$  representa una pequeña fracción de la tensión de alimentación  $V_{SUP}$ . Como ya se discutió en el apartado anterior,  $V_{REF}$  debe ser pequeño para permitir que el amplificador operacional pueda funcionar con baja tensión de alimentación. También debe tener un valor lo suficientemente grande como para dejar funcionar a la fuente de corriente conectada a  $V_{SS}$  como un transistor en la región de saturación. Por todo ello elegimos  $V_{REF} = V_{OV}$ .

Un análisis simple nos muestra el correcto funcionamiento del esquema. Al estar realimentado negativamente el sistema, el operacional tenderá a tener cercanas la tensión en sus terminales:  $V_{i-} = V_{i+} = V_{REF}$ . Con ello la tensión de salida viene dada por  $V_{OUT} = V_{i-} + V_B = V_{REF} + V_S^I - V_{REF} = V_S^I$ , por lo que la salida sigue a la tensión de la señal de entrada. Además, como los terminales del amplificador permanecen con el valor  $V_{REF}$ , el funcionamiento del operacional con baja tensión de alimentación es posible.

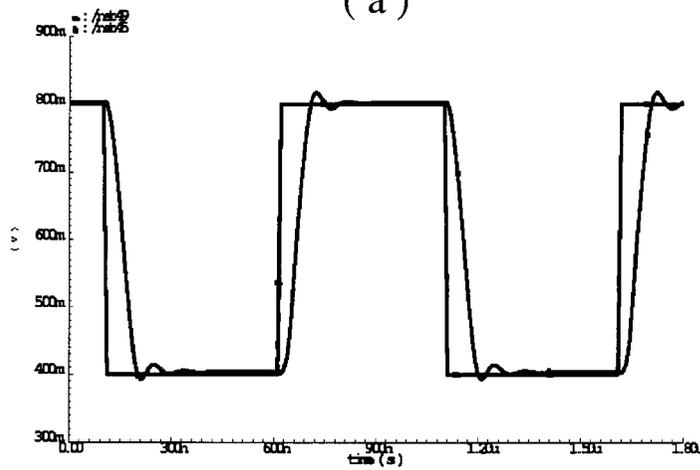
En la figura 5.30b, se muestra la realización de la batería dinámica utilizando una resistencia de valor  $R$  y dos fuentes de corriente pareadas de valor  $I_B$ , que provocan una caída de tensión  $V_{bias} = RI_B$ . En la figura 5.31a muestra la realización del circuito de control que genera la caída de tensión de forma que  $V_B = V_S^I - V_{REF}$ . El circuito utiliza un amplificador (DA) que compara la tensión en un extremo de la batería dinámica (nodo  $C$ ) con el valor  $V_{REF}$  y genera la tensión del nodo  $A$  de forma que esas dos tensiones se igualen. Para replicar la corriente generada a partir de la tensión del nodo  $A$  se utilizan técnicas de copia de baja tensión de forma que la copia sea lo mejor posible, lo cual es crítico para este tipo de esquemas. Hay que hacer notar que al estar los terminales del amplificador de control (DA) cerca de la tensión  $V_{SS}$ , dicho amplificador es realizable con técnicas de baja tensión similares a las expuestas con anterioridad.

#### Resultados de Simulación

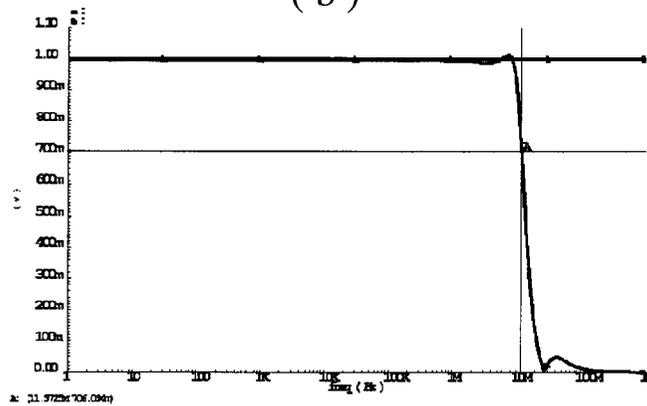
En la figura 5.32 se presentan los resultados de simulación (característica DC, respuesta transitoria y respuesta en frecuencia) del esquema propuesto. Puede verse que el ancho de banda es similar al esquema de la batería estática y que el rango de valores a la entrada es algo menor. Este rango puede mejorarse si se añade otra batería dinámica conectada al terminal positivo (figura



(a)



(b)



(c)

Figura 5.32: Resultados de simulación del esquema con baterías dinámicas:  
 (a) Característica DC (b) Respuesta transitoria (c) Respuesta en frecuencia

5.30c), si bien, para una tensión de entrada por debajo de  $V_{REF}$  los transistores de las fuentes de corriente conectados a  $V_{SS}$  funcionaran en la zona lineal y no en saturación. Esto hace que en esa zona la respuesta en frecuencia del circuito cambie. El ancho de banda obtenido es cercano a los 12MHz, el cual es muy alto. (El amplificador utilizado fue diseñado para una carga de 5pF, por lo que los tamaños de los transistores fueron algo menores que los presentados anteriormente para 10pF)

Esta técnica mejora a la de la batería estática porque es mucho más simple, requiere menor circuitería y no es tan sensible a las variaciones de los parámetros de la tecnología. *Además, esta técnica es una aportación muy importante ya que introduce un nuevo concepto de realización de amplificadores operacionales de baja tensión. Este concepto consiste en conectar la señal a la rama de realimentación, es decir, a la salida del amplificador operacional.* Esta técnica es aplicable a otros circuitos donde se necesite transferir la tensión de un nodo a otro sin que sea necesaria la circulación de corriente. De esta forma se abre un nuevo camino al diseño de circuitos de baja tensión.

#### **Realización de amplificadores de ganancia G basados en la técnica de la batería dinámica.**

Para realizar amplificadores con ganancia G, es necesario extender el concepto de batería dinámica. Teniendo en cuenta la definición de señal de entrada que hemos utilizado ( $V_s^I = V_{cm} + V_s$ ), y el valor de tensión que queremos tener a la salida del amplificador ( $V_{out} = GV_s + V_{cm}$ ), se puede demostrar que el valor de la batería dinámica debe ser  $V_{bat} = GV_B - (G - 1)V_B^Q$ , donde  $V_B = V_s^I - V_{ref}$  y  $V_B^Q = V_{cm} - V_{ref}$ . ( $V_B^Q$  representa el valor de la batería en condiciones estáticas,  $V_s = 0$ ). La figura 5.31c muestra la realización electrónica de este esquema utilizando fuentes de corriente pareadas. Los factores G y G - 1 pueden ser realizados mediante el correcto escalado de los espejos de corriente. Para completar este diseño sería necesario un segundo amplificador DA2 que generase la corriente  $I_B^Q$ , que se corresponde con la caída de tensión  $V_B^Q$ , comparando con el valor  $V_{cm}$ , de la misma forma que se generaba antes  $I_B$ .

Por último, decir que el esquema propuesto también se puede extender para el caso de amplificadores diferenciales, al igual que en el resto de esquemas propuestos.

### 5.3.4 Transconductores de baja tensión de alimentación

### 5.3.5 Transconductores lineales

#### Introducción

En este apartado presentamos otra posibilidad para la realización de circuitos de baja tensión utilizando baterías flotantes. El circuito que aquí se presenta es un amplificador de transconductancia que es capaz de reducir su tensión de operación gracias al uso de una batería flotante. Está basado en el circuito propuesto por Nauta [67] que tiene un gran ancho de banda debido a la ausencia de nodos internos. Siguiendo los sentidos definidos en la figura 5.33a, y suponiendo que todos los transistores están funcionando en la región de saturación, la corriente diferencial  $I_{od}$  viene dada por:

$$I_{od} = I_{o1} - I_{o2} = (V_{dd} - V_{tn} + V_{tp}) \sqrt{\beta_n \beta_p} V_{id} = g_{m_d} V_{id} \quad (5.8)$$

Se puede demostrar que los amplificadores de transconductancia 3–6 forman un camino de baja impedancia para las señales de modo común y un camino de alta impedancia para las señales diferenciales. Sin embargo, este circuito tiene algunos inconvenientes de entre los que destaca el hecho de que para ajustar la ganancia es necesario variar la tensión de alimentación. Esto implica la existencia de una fuente de tensión variable que hace que este circuito no pueda ser utilizado en aplicaciones de baja tensión.

Lee y Pan [55] modificaron este circuito de forma que la transconductancia diferencial puede ser ajustada mediante la tensión de modo común, y demostraron su funcionamiento con simulaciones en las que la tensión de alimentación era de 3V. En este apartado presentamos un circuito basado en la estructura propuesta por Nauta y que es capaz de operar con baja tensión. El circuito tiene ajustable la transconductancia diferencial y la resistencia de salida y es capaz de funcionar a altas frecuencias.

#### Esquema de la batería flotante

La figura 5.33b muestra el principio básico de funcionamiento que hace posible tener etapas de salida clase AB, que ya fue utilizado para realizar la etapa de salida para los amplificadores operacionales presentados anteriormente [73]. En este caso la batería  $V_{bias}$  la implementaremos según el esquema mostrado en la figura 5.33c, utilizando dos resistencias ( $R_{bias}$ ) y fuentes de corriente ( $I_{bias}$ ) pareadas. El nuevo amplificador de transconductancia se obtiene reemplazando el inversor de salida de la figura 5.33a por el circuito de la figura 5.33c.

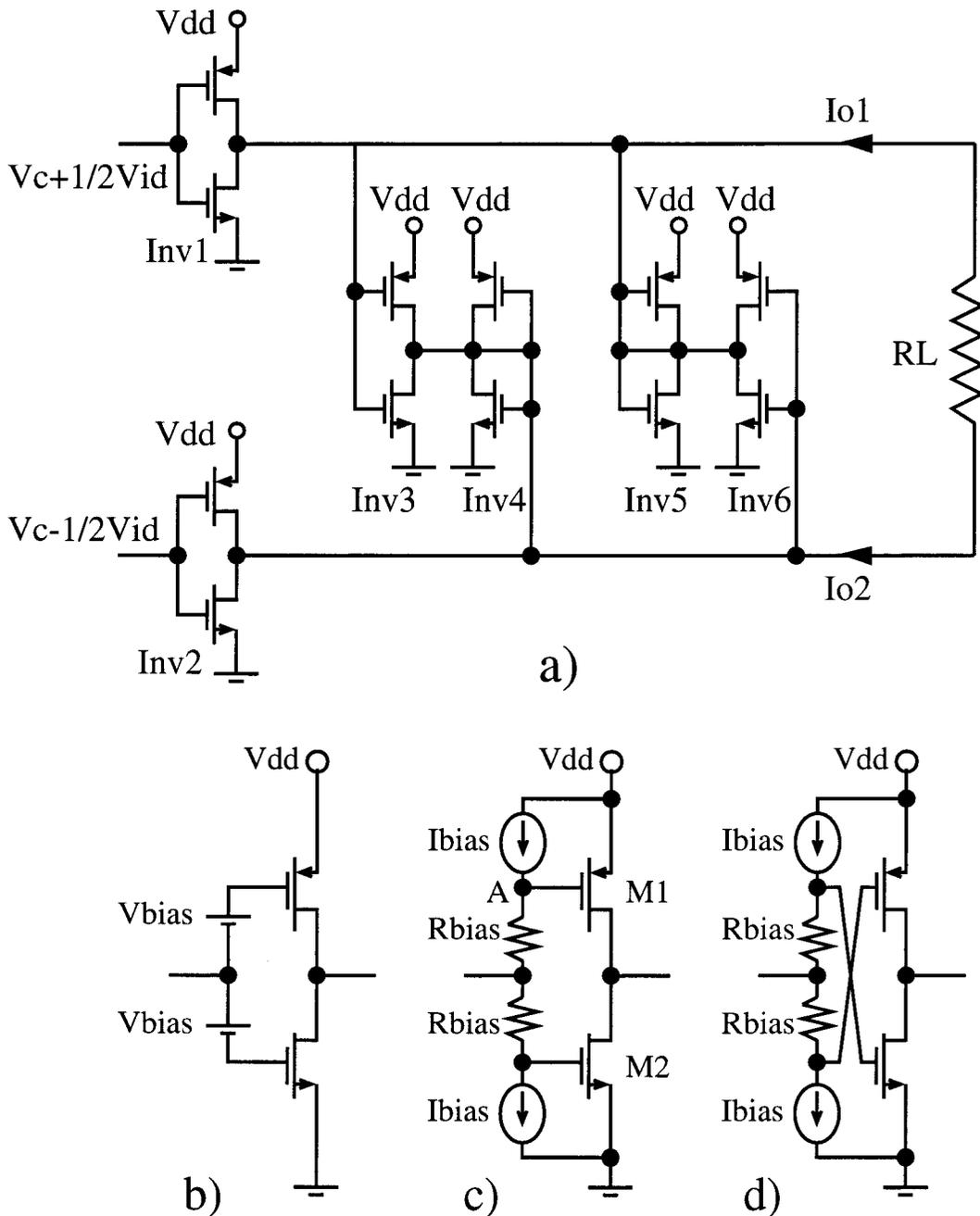


Figura 5.33: a) Amplificador de transconductancia [67], b) Amplificador de transconductancia propuesto c) Realización de la batería flotante d) Realización de baja tensión.

Con este circuito la corriente diferencial viene dada por:

$$I_{od} = I_{o1} - I_{o2} = (V_{dd} + 2V_{bias} - V_{tn} + V_{tp}) \sqrt{\beta_n \beta_b} V_{id} = g_{md} V_{id} \quad (5.9)$$

donde  $V_{bias} = I_{bias} R_{bias}$  es la tensión de la batería flotante. Si comparamos las ecuaciones 5.8 y 5.9 puede verse que en la última el término ajustable  $2V_{bias}$  se añade a la tensión de alimentación. Esto permite que el valor de la transconductancia pueda ser ajustado con tensión de alimentación constante. Además, otra ventaja del esquema de ajuste propuesto es que  $g_{md}$  es linealmente dependiente de  $I_{bias}$ , lo cual es muy deseable para tener fácil ajuste y abre la posibilidad de utilizar este circuito para implementar multiplicadores analógicos.

Las fuentes de corriente de los inversores *Inv4* e *Inv6* pueden ser ajustadas independientemente de forma que se pueda modificar el factor de calidad en aplicaciones de filtro "GM-C". Sin embargo, esta realización introduce nodos internos, que pueden degradar la respuesta en frecuencia del esquema, comparado con el circuito original. Si suponemos que los transistores *P* y *N* están escalados de forma que puedan dar la misma corriente, la respuesta en frecuencia viene dada por el polo interno  $p_{int}$  introducido en el nodo *A*,  $\omega_p \simeq \frac{1}{C_g R_{bias}/2}$ , donde  $C_g$  es la capacidad parásita del transistor *M1*. Existen dos posibilidades para reducir los efectos de este polo:

- Utilización de un valor pequeño de  $R_{bias}$  de forma que  $\omega_p$  sea un polo de muy alta frecuencia.
- Introducir un cero de compensación  $\omega_z$  conectando una capacidad en paralelo con  $R_{bias}$ .

En el primer caso, se deben utilizar grandes valores de  $I_{bias}$  para obtener el valor de  $V_{bias}$  deseado, lo que incrementa el consumo estático de potencia. En el segundo, la cancelación polo-cero puede ser conseguida en primera aproximación y el área de silicio aumenta bastante debido a la capacidad. Sin embargo, existen valores de corrientes de polarización y capacidades de compensación que permiten el funcionamiento a altas frecuencias.

Una versión de baja tensión de alimentación puede verse en la figura 5.33d. En este circuito la conexión cruzada de las puertas de los transistores es equivalente a un batería flotante de polaridad negativa que permite el funcionamiento del amplificador de transconductancia con una tensión de alimentación cercana a la tensión umbral de un transistor. Se puede comprobar que la

tensión puerta-fuente en condiciones estáticas viene dada por:

$$V_{gsn}^Q = \frac{V_{dd} + 2V_{bias} + V_{tn}\sqrt{\beta_n/\beta_p} - |V_{tp}|}{1 + \sqrt{\beta_n/\beta_p}} \quad (5.10)$$

Suponiendo  $\beta_n \simeq \beta_p$  y  $V_{tn} \simeq |V_{tp}|$  por simplicidad, esta expresión se reduce a:

$$V_{gsn}^Q \simeq V_{dd}/2 + V_{bias} \simeq V_{sgp}^Q \quad (5.11)$$

Por ejemplo, si  $V_{dd} = 1.2V$  y  $V_{bias} = 0.3V$  esto lleva a  $V_{gsn}^Q = 0.9V$ . En la práctica,  $V_{bias}$  puede ser modificada para valores en el rango desde 0 hasta  $V_{dd}/2 - V_{ov}$ , donde  $V_{ov}$  es la caída de tensión mínima en una fuente de corriente que permite realizarla con transistores funcionando en la región de saturación. En nuestro caso,  $V_{ov}$  puede ser tan pequeña como  $V_{ov} = 0.15V$ .

Sin embargo, para determinadas aplicaciones, es necesario tener una elevada resistencia de entrada en este tipo de transconductores, por lo que esta estructura no es la mas idónea. Para este caso es recomendable realizar las fuentes de corriente utilizando espejos cascado, lo cual hace que sean necesarios dos tensiones  $V_{ov}$  adicionales en el camino entre  $V_{SS}$  y  $V_{DD}$ . Por ello, en este caso, la tensión del transconductor de 1.2V debe ser elevada hasta 1.5V como mínimo para poder funcionar, ya que  $V_{ov}$  es una pequeña fracción de  $V_{DD} - V_{SS}$ .

### **Resultados de simulación**

En esta sección se presentan los resultados de simulación obtenidos de la simulación del diseño a nivel de máscaras generados para la tecnología AMS-CXQ. Todos los inversores y sus fuentes de corriente tienen la misma  $W/L = 1.6/1$  para los transistores N y  $5/1$  para los P, teniendo la batería  $R_{bias} = 22K\Omega$ .

La figura 5.34 muestra la característica DC ( $I_{od}$  frente  $V_{id}$ ) para  $V_{sup} = 2.5V$  e  $I_{bias}$  en el rango de 0 a  $10\mu A$ . El amplificador de transconductancia tiene una carga de  $R_L = 2K\Omega$ . La transconductancia (curvas en  $\mu A/V$ ) están superpuestas en la figura. En ella se puede observar la gran linealidad y ajustabilidad del transconductor en el rango  $-0.5V, 0.5V$ . Para este diseño se utilizó compensación polo-cero con  $C_c = 0.6pF$  en paralelo con  $R_{bias}$ . El ancho de banda simulado fue  $273 MHz$ . La respuesta transitoria con una entrada senoidal de  $27MHz$  y  $300mV$  de amplitud fue simulada obteniéndose una distorsión armónica de  $THD = 0.79\%$ .

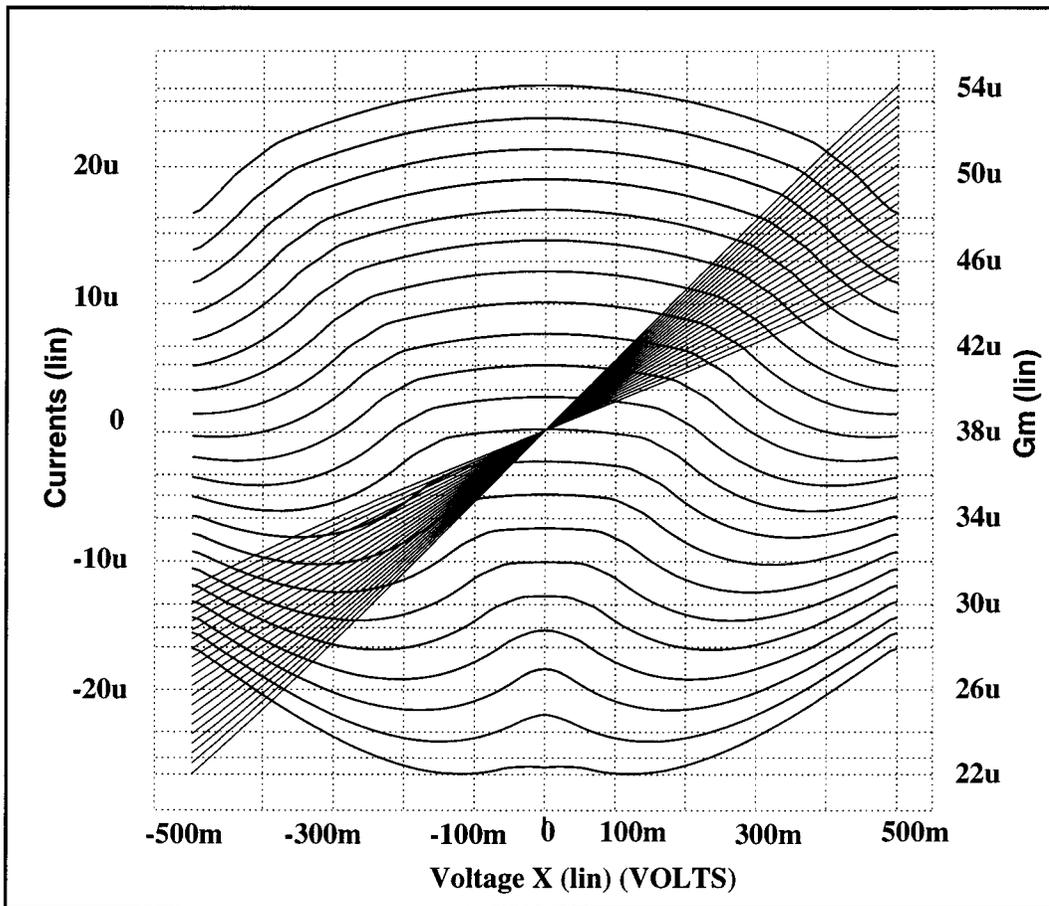


Figura 5.34: Transconductor con inversores de la figura 5.33c y  $V_{dd} = 2.5V$

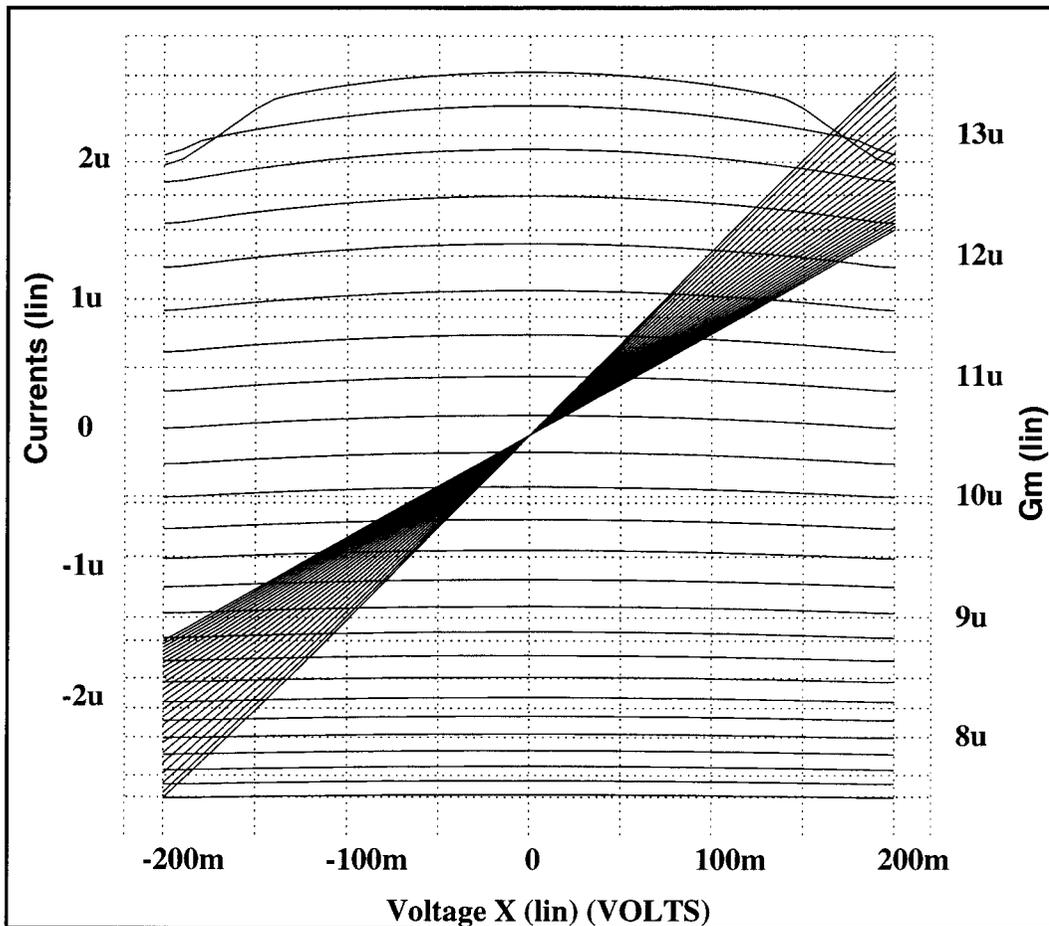


Figura 5.35: Transconductor con inversores de la figura 5.33d y  $V_{dd} = 1.2V$

La figura 5.35 muestra los resultados obtenidos con la versión de baja tensión de la batería flotante y  $V_{dd} = 1.2V$ . Se utilizó  $W/L = 1.6/1$  para los transistores N,  $5/1$  para los transistores P  $R_{bias} = 3K\Omega$  y  $R_L = 2K\Omega$ . La fuente  $I_{bias}$  toma valores en el rango de 20 a  $80\mu A$ . La corriente estática es  $180\mu A$  para  $I_{bias} = 20\mu A$ . En este caso, la capacidad parásita del diseño a nivel de máscaras fue suficiente para llegar a un ancho de banda de 1.5GHz. La distorsión armónica simulada para una entrada de 150MHz y 200mV fue de 13%.

Como puede verse, el diseño funciona con tensión de alimentación constante y pequeña con un ancho de banda bastante grande. Además la ajustabilidad que se consigue gracias al uso de baterías flotantes es grande.

## Capítulo 6

---

# Conclusiones y Líneas Futuras

### Índice General

---

<b>6.1 Conclusiones . . . . .</b>	<b>141</b>
<b>6.2 Líneas futuras de investigación . . . . .</b>	<b>143</b>

---

## 6.1 Conclusiones

En esta Tesis Doctoral se ha estudiado la automatización del diseño de controladores borrosos digitales y analógicos. Se ha propuesto un método de automatización de controladores borrosos digitales basado en la optimización de la arquitectura según los requerimientos del usuario. De esta forma se añade la cantidad de puertas digitales necesarias para satisfacer las especificaciones de velocidad.

Este método ha sido utilizado con éxito en **dos proyectos industriales** (capítulo 3 de esta Tesis Doctoral) verificándose su utilidad y correcto funcionamiento. Además, el objeto de esta Tesis Doctoral se incluye dentro del proyecto **Sistema de síntesis automática de sistemas analógicos y mixtos**. Proyecto subvencionado por la *Comisión Interministerial de Ciencia y Tecnología (CICYT)*, TIC96-0860.

También se han estudiado diferentes posibilidades para la realización de controladores borrosos analógicos. De este estudio han surgido varias aportaciones de entre las que destacan:

- Una propuesta para la automatización de los controladores borrosos analógicos basada en la utilización de una estructura modular [18].
- Un generador de funciones de pertenencia con todos sus parámetros (pendiente y posición) programables independientemente, como se muestra en el capítulo 4 de esta tesis. De entre todas sus propiedades, destaca que sus parámetros no dependen de la tensión umbral de los transistores con lo que la linealidad que se consigue es mayor al no depender del punto de funcionamiento.
- Un método original para reducir el consumo de los controladores borrosos basado en que éstos pueden utilizar circuitos competidores para realizar el proceso de inferencia. De esta forma se puede reducir el consumo apagando todas las partes del ASIC que hayan “perdido” durante el proceso de inferencia.
- Un circuito original para realizar la operación máximo y mínimo. Las propiedades fundamentales de este circuito son la gran velocidad de respuesta, la exactitud y que su complejidad crece linealmente con el número de entradas ( $O(n)$ ).

Por último, se han propuesto varios circuitos de muy baja tensión de alimentación para procesamiento de la señal. La mayoría de estos circuitos están basados en el uso de baterías estáticas o dinámicas para conseguir desplazar

los niveles de tensión continua de los nodos del circuito de forma que puedan funcionar con una tensión de alimentación cercana a la tensión de umbral de un transistor. Esta restricción es muy importante, teniendo en cuenta que una condición básica a la hora de diseñar estos circuitos ha sido que todos los transistores funcionen en la zona de saturación. Las aportaciones más importantes realizadas en este campo son las siguientes:

- Un amplificador operacional de dos etapas clase-AB con rango completo de tensiones a la salida. Este amplificador operacional está alimentado a 1.2V siendo la tensión umbral de los transistores 0.85V. El producto ganancia ancho de banda obtenido es mayor de 30MHz y la ganancia en bucle abierto es de 62dB. Este amplificador operacional es único en la bibliografía por su ancho de banda, ganancia y reducida tensión de alimentación. Además, se ha propuesto un método para controlar la corriente en la etapa de salida. El único problema de este amplificador es el rango de tensiones a la entrada, lo cual se resuelve con otras aportaciones de esta tesis.
- Dos métodos basados en divisores resistivos y capacitivos que consiguen que el rango de tensiones a la entrada del amplificador anterior sea completo, si bien, el ancho de banda del amplificador se ve reducido hasta unos 5MHz. Además, este método resuelve el problema del control de la tensión de modo común del amplificador diferencial realizado a partir del amplificador original. Los amplificadores resultantes de utilizar éste método también son únicos en prestaciones con respecto a los reportados en la bibliografía. La mayor limitación de estos métodos es la degradación de la respuesta en frecuencia que el amplificador original y el aumento del ruido en el caso del uso de resistencias.
- Un método basado en la utilización de baterías flotantes estáticas colocadas a la entrada del amplificador operacional original de forma que se pueda tener rango completo de tensiones a la entrada. En este caso, el ancho de banda del amplificador original no se reduce tanto como en el caso de los divisores resistivos o capacitivos, por lo que los resultados obtenidos mejoran el primer método propuesto.
- Un método basado en la utilización de baterías flotantes dinámicas colocadas en el bucle de realimentación del amplificador. Los resultados obtenidos son similares que en el caso de las baterías estáticas, si bien en éste caso la aportación es muy importante ya que esta forma de introducir la señal en un amplificador operacional de baja tensión abre nuevas posibilidades para realizar circuitos de baja tensión.
- Un amplificador de transconductancia de baja tensión basado en una realización anterior propuesta por Nauta. En nuestra realización, el ancho de banda es menor que el obtenido por Nauta, si bien el circuito

propuesto es capaz de operar con una tensión de alimentación muy baja y es posible variar la transconductancia sin variar la tensión de alimentación.

El trabajo desarrollado en esta tesis ha dado lugar a las siguientes publicaciones:

- Una publicación en la revista *IEE Electronics Letters*.
- Una publicación en la revista *IEEE Micro*.
- Una participación en libro publicado por la editorial Springer Verlag.
- Diez publicaciones en congresos internacionales. (Seis en el ISCAS).
- Seis publicaciones en congresos nacionales.

## 6.2 Líneas futuras de investigación

En esta tesis se ha investigado el diseño de controladores borrosos así como el de circuitos analógicos de baja tensión para el procesamiento de señal. Los resultados obtenidos han sido excelentes y han mostrado varias líneas de trabajo futuro muy interesantes, que podrían ser el objeto de nuevos proyectos de investigación. De entre todas ellas destacamos las siguientes:

### 1. Controladores Borrosos:

- Ampliar AFAN a otras celdas que presenten las mismas características que los controladores borrosos.
- Buscar una celda para realizar la desborrosificación que aumente la velocidad del controlador borroso analógico.
- Buscar otras alternativas a la automatización de los controladores borrosos, como son los sistemas reconfigurables. En este campo ya hemos comenzado a trabajar como se muestra en [59].
- Realización de controladores borrosos de baja tensión aprovechando las celdas diseñadas en el capítulo 5 de esta tesis.

### 2. Diseño analógico de muy baja tensión:

- Caracterizar el comportamiento de todas las celdas analógicas propuestas para la realización de circuitos de baja tensión. De esta forma podremos saber qué método utilizar en cada aplicación, ya que no todas poseen las mismas características en términos de consumo, linealidad, ancho de banda, offset, ruido, rechazo al ruido en la alimentación, . . . etc.

- Diseñar sistemas (convertidores A/D, filtros, ... etc) con las celdas analógicas propuestas. De esta forma cerraremos el camino abierto con el diseño de circuitos de baja tensión, cuyo objetivo principal era el diseño de sistemas analógicos capaces de funcionar a la misma tensión que los digitales.
- Investigar la realización de otras celdas analógicas que son necesarias para diseñar sistemas analógicos de baja tensión. De entre las celdas que no existen tenemos que destacar el interruptor analógico de baja tensión CMOS.

# Apéndice A

---

## **Introducción a los sistemas basados en Lógica Borrosa**

### **Índice General**

---

<b>A.1</b>	<b>Introducción . . . . .</b>	<b>147</b>
<b>A.2</b>	<b>Estructura de un sistema basado en lógica borrosa . . .</b>	<b>148</b>
<b>A.3</b>	<b>Borrosificador . . . . .</b>	<b>149</b>
<b>A.4</b>	<b>Base de Conocimientos . . . . .</b>	<b>151</b>
<b>A.5</b>	<b>Inferencia Borrosa . . . . .</b>	<b>152</b>
<b>A.6</b>	<b>Desborrosificador . . . . .</b>	<b>154</b>

---

## A.1 Introducción

En este apéndice se realiza una breve descripción de la matemática asociada a los sistemas basados en lógica borrosa. Estos sistemas han despertado un gran interés en los últimos años, principalmente en aplicaciones de tipo control no-lineal. Sin llegar a los extremos de Japón, en el que prácticamente todas las grandes empresas introducen en sus productos sistemas de control basados en lógica borrosa, este interés ha llegado también a los Estados Unidos y Europa.

Son muchas las razones que justifican este interés. Los sistemas de control basados en lógica borrosa son fáciles de diseñar y su estructura de reglas recuerdan de alguna manera al razonamiento humano. Por otra parte, han demostrado ser sistemas muy robustos cuando están adecuadamente diseñados y permiten tratar de una manera natural la ambigüedad existente en cierto tipo de información.

En la teoría clásica, la pertenencia a un conjunto  $A$  de un elemento  $x$  se define como cierta o falsa, el elemento pertenece (1) o no (0) al conjunto. En la teoría de conjuntos borrosos esta pertenencia se define con el denominado *grado de pertenencia* del elemento  $x$  al conjunto borroso  $A$ ,  $\mu_A(x)$ , que puede tomar infinitos valores en el rango  $[0, 1]$ . Cada elemento perteneciente a un determinado dominio  $\mathfrak{N}$  se define por los grados de pertenencia a los  $n$  conjuntos borrosos que se describen en dicho dominio,  $[\mu_{A_1}(x), \dots, \mu_{A_n}(x)]$ .

De forma análoga a como se desarrolla la teoría clásica de conjuntos, con grado de pertenencia lógico o bivalente, se desarrolla la teoría de los conjuntos borrosos, empleando un grado de pertenencia continuo y definiendo los operadores intersección y unión de conjunto borrosos, como se hacía en la teoría clásica, así como las propiedades de conmutatividad, asociatividad, transitividad y existencia del elemento neutro y de la unidad, asociadas a las relaciones entre los conjuntos.

Los sistemas de lógica borrosa se basan en la aplicación de las técnicas de *razonamiento aproximado*, similares a las aplicadas por el ser humano en la vida cotidiana. El sistema evalúa el grado de verdad de una determinada premisa, formulada a partir de las variables de estado de un sistema, para inferir el grado de verdad de la conclusión. Este procesamiento se reduce, desde un punto de vista formal, a la aplicación de sentencias de la forma *Si – Entonces*, que se denominan *reglas borrosas*,  $R(j)$ , ecuación A.1.

$$R(j) \equiv Si (x_1 \text{ es } A_{j,x_1}) \text{ y } \dots \text{ y } (x_n \text{ es } A_{j,x_n}) \text{ entonces} \\ (u_1 \text{ es } B_{j,u_1}) \text{ y } \dots \text{ y } (u_m \text{ es } B_{j,u_m}) \quad (\text{A.1})$$

Donde a  $A_{j,x_i}$  se le denomina conjunto borroso *antecedente* asociado a la *variable lingüística* de entrada  $x_i$  y a la regla  $R(j)$ , a  $B_{j,u_k}$ , conjunto borroso *consecuente* asociado a la *variable lingüística* de salida  $u_k$  y a la regla  $R(j)$ . Una *variable lingüística* se define como una variable capaz de tomar como valores palabras o sentencias del lenguaje natural. El operador lógico *y* conecta, en una única proposición compuesta inferida por consecuente, las proposiciones antecedentes primitivas. El sistema borroso combina, para cada consecuente de salida, los conjuntos borrosos inferidos generando un único conjunto borroso compuesto de salida asignado al consecuente. Un conjunto de reglas constituye lo que se denomina *base de conocimientos*, el núcleo del sistema borroso.

Las variables empleadas por los sistemas borrosos son variables de tipo impreciso, lingüístico. Los sistemas reales, sin embargo, manejan valores escalares, valores que, para ser manejados por el sistema borroso, hay que *borrosificar* o convertir a valor lingüístico. Una vez calculado el valor lingüístico de salida, para generar un valor que entienda el sistema real, habrá que *desborrosificarlo* o convertirlo a escalar.

## A.2 Estructura de un sistema basado en lógica borrosa

En la figura A.1 se muestra la configuración básica de un sistema borroso que comprende, según lo comentado previamente, cuatro bloques fundamentales:

1. El *borrosificador*.
2. La *base de conocimientos*.
3. El *dispositivo de inferencia borrosa*.
4. Finalmente el *desborrosificador*.

Se describen, en este apéndice, cada uno de los elementos que constituyen el sistema borroso.

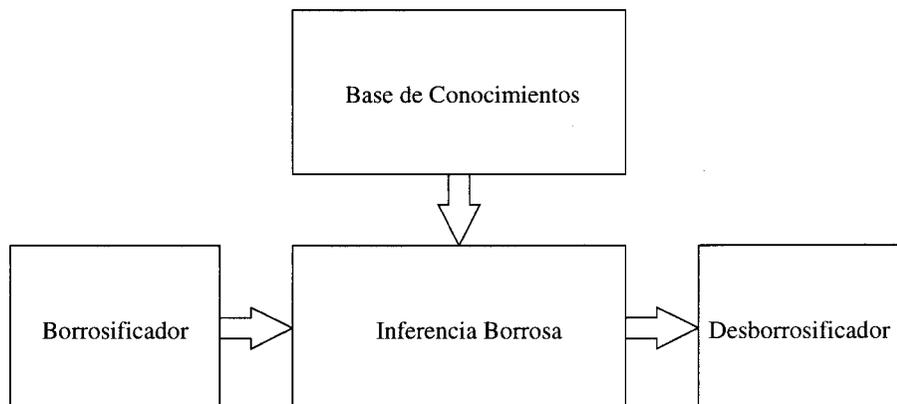


Figura A.1: Estructura de un sistema basado en lógica borrosa.

### A.3 Borrosificador

El *borrosificador* es el proceso que convierte una entrada escalar, perteneciente a un determinado dominio de entrada al sistema borroso, en una variable lingüística definida por los grados de pertenencia asignados a cada conjunto borroso antecedente que definen ese dominio de entrada,  $[\mu_{A_1}(x), \dots, \mu_{A_n}(x)]$ . La función de borrosificación convierte, en definitiva, los datos de entrada en valores lingüísticos, asociados a conjuntos borrosos, que pueden ser procesados por la máquina de inferencia borrosa.

Esta conversión de valor escalar a *variable lingüística* se puede realizar de varias formas, dependiendo de la *función de pertenencia* o conjunto borroso seleccionado, figura A.2:

- Si se asigna al valor escalar de entrada  $x_0$  un conjunto borroso  $A$ , con grado de pertenencia  $\mu_A(x)$ , tal que  $\mu_A(x) = 0$  salvo en el punto  $x = x_0$  en el que es  $\mu_A(x = x_0) = 1$ , al conjunto borroso  $A$  se le denomina *pulso unitario*.
- Si el valor escalar de entrada se supone perturbado por un ruido aleatorio, se suele seleccionar como conjunto borroso  $A$  una función de tipo triangular, trapezoidal o gaussiana, cuyo vértice se corresponde con el valor medio de la entrada y la base es dos veces la desviación típica.

En general, estos tipos de funciones de pertenencia son las más comunes y empleadas puesto que pueden parametrizarse fácilmente, ocupan poca memoria y se manipulan con suma facilidad en la inferencia borrosa. En particular, las funciones de pertenencia triangulares y gaussianas son las más usadas para los antecedentes, mientras que, los pulsos unitarios son las más empleadas para los consecuentes. La parametrización de estas funciones de pertenencia se describe en las siguientes ecuaciones:

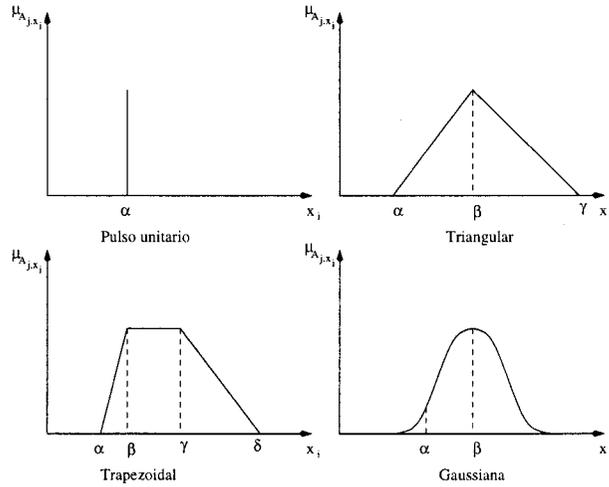


Figura A.2: Tipos de funciones de Pertenencia,  $\mu_{A_j, x_i}$ , de la variable de entrada  $x_i$  asociadas a la regla  $R(j)$ .

- Pulso unitario, figura A.2.

$$\mu_A(x) = \begin{cases} 0 & \text{Si } x < \alpha \\ 1 & \text{Si } x = \alpha \\ 0 & \text{Si } x > \alpha \end{cases} \quad (\text{A.2})$$

- Triangular, figura A.2.

$$\mu_A(x) = \begin{cases} 0 & \text{Si } x < \alpha \\ \frac{x-\alpha}{\beta-\alpha} & \text{Si } \alpha \leq x \leq \beta \\ \frac{\gamma-x}{\gamma-\beta} & \text{Si } \beta \leq x \leq \gamma \\ 0 & \text{Si } x > \gamma \end{cases} \quad (\text{A.3})$$

- Trapezoidal, figura A.2.

$$\mu_A(x) = \begin{cases} 0 & \text{Si } x < \alpha \\ \frac{x-\alpha}{\beta-\alpha} & \text{Si } \alpha \leq x \leq \beta \\ 1 & \text{Si } \beta \leq x \leq \gamma \\ \frac{\delta-x}{\delta-\gamma} & \text{Si } \gamma \leq x \leq \delta \\ 0 & \text{Si } x > \delta \end{cases} \quad (\text{A.4})$$

- Gaussiana, figura A.2.

$$\mu_A(x) = e^{[2 \cdot \alpha \cdot (x-\beta)]^2} \quad \forall x \quad (\text{A.5})$$

En la presente Tesis se han empleado funciones de transferencia triangulares, cuando el sistema borroso se emplea como estrategia de control, y gaussianas,

cuando se emplea el sistema borroso como aproximador universal, en los antecedentes y pulsos unitarios en los consecuentes.

Por cuanto a las funciones de pertenencia triangulares, se denomina *valor de pico o centroide* al parámetro  $\beta$ , figura A.2. Las distancias  $\beta - \alpha$ ,  $\gamma - \beta$  y  $\gamma - \alpha$  se denominan respectivamente *ancho izquierdo*, *ancho derecho* y *ancho*. Las funciones de pertenencia en las que el ancho derecho e izquierdo coinciden se denominan simétricas, en caso contrario asimétricas. Al punto en el que se cortan dos funciones de pertenencia se le denomina *punto de cruce*. *Nivel de cruce* es el grado de pertenencia que adquiere el punto de cruce en cualquiera de las dos funciones de pertenencia. Al número de puntos de cruce entre dos funciones de pertenencia se denomina *relación de punto de cruce*. Las funciones de pertenencia de los antecedentes, con respecto a estos últimos parámetros, suelen ser de tal forma que el nivel del punto de cruce es distinto de cero. Si no fuese así, existirían escalares que al borrosificarse no activarían ninguna función de pertenencia, sistema borroso discontinuo. Con carácter general, se suelen adoptar el valor 0.5 como nivel del punto de cruce y el valor 1 como relación de punto de cruce entre dos funciones de pertenencia cualesquiera, lo que indica que el número de funciones de pertenencia que dispararía un antecedente escalar es de una o dos (en cualquier caso, la suma de los grados de pertenencia es siempre la unidad).

El empleo de funciones de pertenencia gaussianas en los antecedentes, al usar los sistemas borrosos como aproximadores universales, se debe a que generan funciones escalares de salida, en función de las entradas escalares, continuas y derivables. ésto permite la aplicación de los algoritmos de propagación hacia atrás y de mínimos cuadrados recursivos para determinar la estructura borrosa que mejor aproxima una determinada superficie de entrada.

## A.4 Base de Conocimientos

Contiene la definición del conjunto de funciones de pertenencia,  $A_{j,x_i}$  y  $B_{j,u_k}$ , del sistema borroso así como del conjunto de reglas borrosas en la forma de sentencias  $R(j)$ , ecuación A.6.

$$R(j) \equiv Si (x_1 es A_{j,x_1}) y \dots y (x_n es A_{j,x_n}) entonces \\ (u_1 es B_{j,u_1}) y \dots y (u_m es B_{j,u_m}) \quad (A.6)$$

En una formulación alternativa, debida a Sugeno y Tagaki, los consecuen-

tes de cada regla son funciones arbitrarias,  $f_{j,u_k}$ , generalmente lineales, del espacio de entrada, ecuación A.7.

$$R(j) \equiv \text{Si } (x_1 \text{ es } A_{j,x_1}) \text{ y } \dots \text{ y } (x_n \text{ es } A_{j,x_n}) \text{ entonces} \\ (u_1 \text{ es } f_{j,u_1}(x_1, \dots, x_n)) \text{ y } \dots \text{ y } (u_m \text{ es } f_{j,u_m}(x_1, \dots, x_n)) \quad (\text{A.7})$$

La base de conocimientos engloba a la *base de datos*, que consiste en la elección de las funciones de pertenencia que corresponden a los antecedentes,  $A_{j,x_i}$ , y consecuentes,  $B_{j,u_k}$ , de cada regla borrosa  $R(j)$ , y a la *base de reglas o protocolo*, que comprende al conjunto de reglas borrosas.

La base de reglas debe cumplir, [29], las siguientes propiedades:

1. *Completa*. Para cualquier combinación de valores de entrada se obtiene un valor apropiado de salida. Se produce el total recubrimiento del espacio de entradas.
2. *Consistente*. No se presentan contradicciones. No existen dos reglas con idénticos antecedentes pero distintos consecuentes.
3. *Continuo*. Reglas contiguas tienen funciones de pertenencia en los consecuentes con intersección no nula.

## A.5 Inferencia Borrosa

Emplea la información almacenada en la base de datos, de reglas y de funciones de pertenencia para obtener, a partir de las entradas borrosificadas, la variable lingüística de salida. Constituye el núcleo principal de la estructura borrosa y el parámetro fundamental de diseño de este bloque es el método de inferencia empleado. El método de inferencia más empleado es el que dispara cada regla individualmente dando lugar, por regla, a un conjunto borroso de salida. Se denomina *mecanismo de inferencia* a la forma en que se infiere una regla individual para obtener el conjunto borroso de salida asociado a dicha regla.

Existen varios mecanismos de inferencia. Supongamos un conjunto de  $s$  reglas con  $n$  antecedentes y  $m$  consecuentes y la siguiente expresión genérica para la regla  $R(j)$ :

$$\text{Si } x_1 \text{ es } A_{j,x_1} \text{ y } \dots \text{ y } x_n \text{ es } A_{j,x_n} \text{ entonces } u_1 \text{ es } B_{j,u_1} \text{ y } \dots \text{ y } u_m \text{ es } B_{j,u_m}, \\ \forall j = 1, \dots, s \quad (\text{A.8})$$

Donde  $x_i$  son las variables de entrada,  $A_{j,x_i}$  son los conjuntos borrosos de las entradas  $x_i$  asignados a la regla  $j$ ,  $u_k$  son las variables de salida,  $B_{j,u_k}$  son los conjuntos borrosos de las salidas asignados a la regla  $j$ ,  $x_1 \cdot \dots \cdot x_n$  es el dominio de entrada y  $u_1 \cdot \dots \cdot u_m$  es el dominio de salida.

La inferencia o disparo de cada regla consiste en la determinación de la función de pertenencia de los antecedentes, grado de activación de las funciones de pertenencia del dominio de entrada, para obtener, posteriormente, la de pertenencia de los consecuentes.

Las dos principales formas de obtención de las funciones de pertenencia de los antecedentes y de interpretación de la sentencia de conexión, y, o grado de activación del dominio de entrada, para unos valores de entrada dados  $e_{x_1}, \dots, e_{x_n}$ , son:

1. Método del mínimo:  $\alpha^{(j)} = \mu_{antecedente}^{R(j)}(e_{x_1}, \dots, e_{x_n}) = \min(\mu_{A_{j,x_1}}(e_{x_1}), \dots, \mu_{A_{j,x_n}}(e_{x_n}))$ .
2. Método del producto:  $\alpha^{(j)} = \mu_{antecedente}^{R(j)}(e_{x_1}, \dots, e_{x_n}) = \mu_{A_{j,x_1}}(e_{x_1}) \cdot \dots \cdot \mu_{A_{j,x_n}}(e_{x_n})$ .

Donde a  $\alpha^{(j)}$  se le denota grado de disparo. En la figura A.3 se interpretan gráficamente ambos métodos.

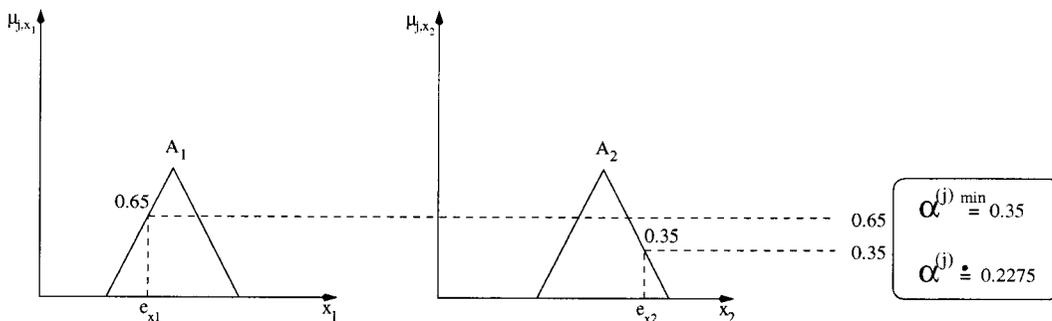


Figura A.3: Interpretación geométrica de los métodos del mínimo y del producto. Dos variables de entrada,  $x_1$  y  $x_2$ . Entrada al sistema borroso,  $e = [e_{x_1}, e_{x_2}]$ .

La función de pertenencia del consecuente de la regla  $R(j)$  se obtiene de forma similar a la anterior. En la figura A.4 se interpretan gráficamente los distintos métodos que existen, ecuaciones A.9, A.10.

$$\mu_{consecuente}^{R(j)}(u_k) = \min(\alpha^{(j)}, \mu_{B_j, u_k}) \quad (\text{A.9})$$

$$\mu_{consecuente}^{R(j)}(u_k) = \alpha^{(j)} \cdot \mu_{B_j, u_k} \quad (\text{A.10})$$

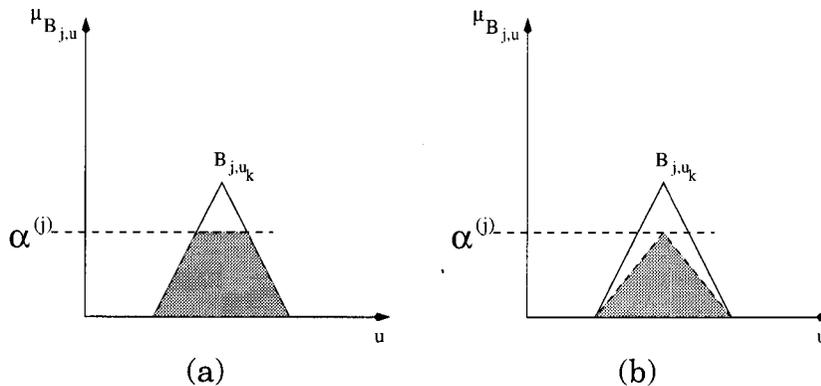


Figura A.4: Interpretación geométrica de los métodos para obtener el conjunto borroso consecuente. (a)  $\mu_{consecuente}^{R(j)}(u_k) = \min(\alpha^{(j)}, \mu_{B_j, u_k})$ . (b)  $\mu_{consecuente}^{R(j)}(u_k) = \alpha^{(j)} \cdot \mu_{B_j, u_k}$ .

La variable lingüística de salida se obtiene por la combinación de los conjuntos borrosos de salida obtenidos para cada regla  $R(j)$ . Está definida por una función de pertenencia,  $\mu_{consecuente}(u_k)$ , asociada a la salida y formada por la combinación de los  $s$  conjuntos borrosos de salida generados por las  $s$  reglas del sistema, ecuación A.11.

$$\mu_{consecuente}(u_k) = \max_{j=1}^s (\mu_{consecuente}^{R(j)}(u_k)) \quad (\text{A.11})$$

## A.6 Desborrosificador

El bloque desborrosificador genera la actuación a partir de la variable lingüística de salida inferida. Una vez inferidos los conjuntos borrosos de salida del dominio consecuente, este bloque genera las salidas escalares a partir de ellos (reducción a escalar). Existen multitud de métodos para generar la salida escalar equivalente al conjunto borroso. Suponiendo, para simplificar, el sistema borroso de tipo MISO, entrada multidimensional y salida unidimensional (el razonamiento sería análogo para sistemas MIMO, de entradas y salidas multidimensionales), y que la inferencia se realiza mediante el método del mínimo, los principales métodos de desborrosificación son:

1. *Centro del área o centro de gravedad.* En la figura A.5 se muestra la interpretación geométrica de este método de desborrosificación.  $u^*$  representa la salida escalar, equivalente a la variable lingüística de salida, resultante de aplicar el proceso de desborrosificación.

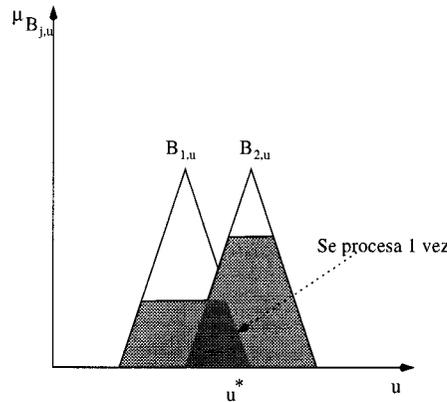


Figura A.5: Cálculo de escalar de salida. Método del centro del área o de gravedad. Sistema borroso con dos reglas.

En la ecuación A.12 se muestra la relación matemática que genera la salida escalar. En esta ecuación,  $\mu_{consecuente}(u)$  es la función de pertenencia, asociada al conjunto borroso de salida, resultado de aplicar el mecanismo de inferencia al conjunto de reglas  $R(j)$  que caracterizan al sistema, ecuación A.11.

$$u^* = \frac{\int_u u \cdot \mu_{consecuente}(u) \cdot du}{\int_u \mu_{consecuente}(u) \cdot du} \tag{A.12}$$

2. *Centro de las sumas.* En la figura A.6 se muestra la interpretación geométrica de este método de desborrosificación.  $u^*$  representa, como en el caso anterior, la salida escalar, equivalente a la variable lingüística salida, resultante de aplicar el proceso de desborrosificación.

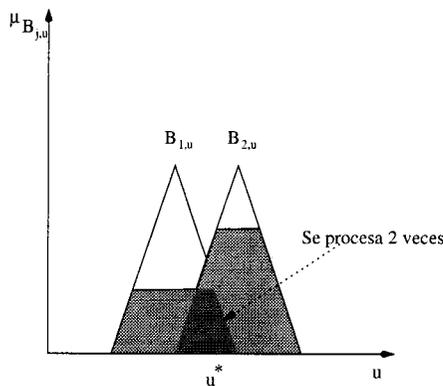


Figura A.6: Cálculo de escalar de salida. Método del centro de las sumas. Sistema borroso con dos reglas.

En la ecuación A.13 se muestra la relación matemática que genera la salida escalar. En esta ecuación,  $\mu_{consecuente}^{R(j)}$  son las funciones de pertenencia, asociadas a los conjuntos borrosos de salida, resultado de aplicar el

mecanismo de inferencia a cada una de las reglas  $R(j)$  que caracterizan al sistema borroso.  $s$  representa el número total de reglas del sistema borroso. Este método es similar al anterior salvo que las regiones de intersección entre conjuntos borrosos de salida, figura A.6, asociados a distintas reglas del sistema son procesadas, en la desborrosificación del escalar de salida, dos veces.

$$u^* = \frac{\int_u u \cdot \sum_{j=1}^s \mu_{B_j,u}(u) \cdot du}{\int_u \sum_{j=1}^s \mu_{B_j,u}(u) \cdot du} \quad (\text{A.13})$$

3. *Media ponderada.* En la figura A.7 se muestra la interpretación geométrica de este método de desborrosificación. La salida escalar,  $u^*$ , se obtiene ponderando el valor máximo pulsado de cada función de pertenencia borrosa de salida con el valor de pico o centroide de dichas funciones de pertenencia, ecuación A.14. Como en los casos anteriores,  $s$  representa el número total de reglas del sistema borroso. En la figura A.7 se supone un sistema borroso con dos reglas en el que, los valores de pico de las funciones de pertenencia de la salida inferidas son  $\mu_c^{(1)}$  y  $\mu_c^{(2)}$ .

$$u^* = \frac{\sum_{j=1}^s \mu_{c^{(j)}} \cdot c^{(j)}}{\sum_{j=1}^s \mu_{c^{(j)}}} \quad (\text{A.14})$$

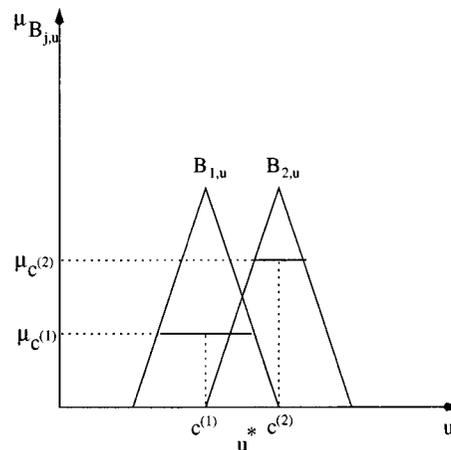


Figura A.7: Cálculo de escalar de salida. Método de la media ponderada. Sistema borroso con dos reglas.

4. *Centro del área más grande.* Se subdivide el conjunto borroso de salida en subconjuntos convexos<sup>1</sup>. La salida escalar,  $u^*$ , se estima como el centro de gravedad del subconjunto de mayor área. En la figura A.8 se

<sup>1</sup>Un conjunto borroso  $B$  es convexo si  $\forall x, y \in B, \forall \lambda \in [0, 1], \mu_B(\lambda \cdot x + (1 - \lambda) \cdot y) \geq \min(\mu_B(x), \mu_B(y))$

muestra la interpretación geométrica de este método de desborrosificación.

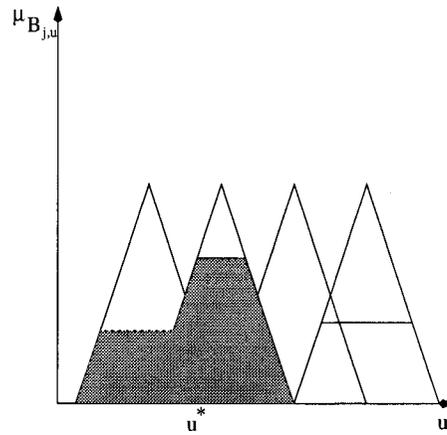


Figura A.8: Cálculo de escalar de salida. Método del centro del área mas grande. Sistema borroso con cuatro reglas.

5. *Primero de los máximos.* Selecciona como escalar,  $u^*$ , de salida al menor valor (primero) de la mayor función de pertenencia consecuente inferida. En la figura A.9 se muestra la interpretación geométrica de este método de desborrosificación.

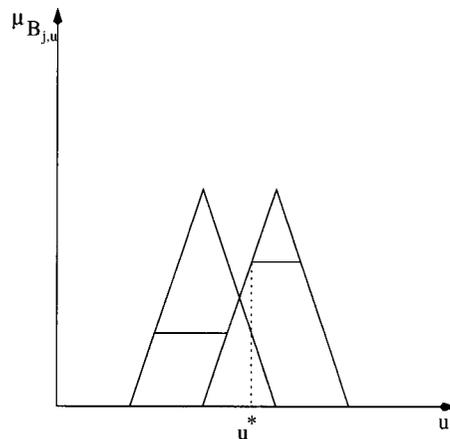


Figura A.9: Cálculo de escalar de salida. Método del primero de los máximos.

6. *Media de los máximos.* Selecciona como escalar,  $u^*$ , de salida al valor medio de la mayor función de pertenencia consecuente inferida. En la figura A.10 se muestra la interpretación geométrica de este método de desborrosificación.

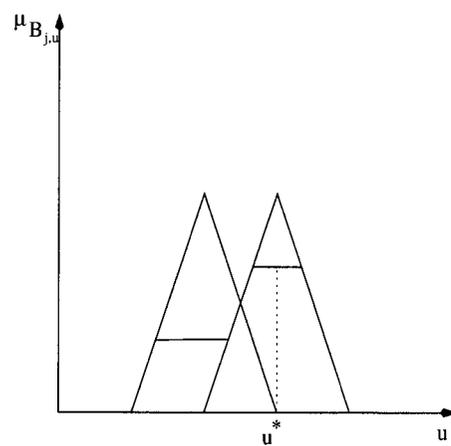


Figura A.10: Cálculo de escalar de salida. Método del valor medio de los máximos.

## Apéndice B

---

# Diseño mixto de Redes Celulares Neuronales utilizando Técnicas de Trenes de Pulsos

### Índice General

---

<b>B.1</b>	<b>Introducción . . . . .</b>	<b>161</b>
<b>B.2</b>	<b>Neurona basada en Técnicas de Trenes de Pulsos . . . .</b>	<b>162</b>
<b>B.3</b>	<b>Módulos básicos de una neurona . . . . .</b>	<b>163</b>
<b>B.4</b>	<b>Conclusiones . . . . .</b>	<b>167</b>

---

*En este apéndice presentamos trabajos que el autor ha realizado durante el transcurso de esta tesis doctoral y que han tenido cierta repercusión. Al no estar en la línea de aportaciones de la tesis doctoral, no se han incluido en el cuerpo de ésta. Este trabajo se centra en la realización de redes celulares neuronales (CNN) utilizando técnicas no convencionales para codificar la información. El motivo fundamental es la búsqueda de soluciones que permitan integrar un gran número de neuronas dentro de una pastilla de silicio, que es el principal problema que presentan estas redes dado su alto grado de interconectividad. Por ello, se estudian diferentes soluciones para transmitir la información de forma eficiente en cuanto a número de conexiones, área de la realización y velocidad de cálculo. En [63] el autor colaboró en el estudio del uso de técnicas de multiplexación en la frecuencia para disminuir el número de operadores y conexiones en una Red Celular Neuronal. Sin embargo, en este apéndice nos vamos a centrar en otra técnica para conseguir el mismo objetivo: “La Técnica de Trenes de Pulsos”. El motivo de esta elección es que las ecuaciones diferenciales que gobiernan el funcionamiento de una CNN sugieren*

*que la dinámica que sigue el estado de una neurona puede ser emulado por la suma de paquetes discretos de carga en un condensador [23]. Esta tarea puede ser llevada a cabo mediante una fuente de corriente gobernada por un tren de pulsos. La generación de este tren de pulsos mediante señales estocásticas, reduce la complejidad de los operadores.*

## B.1 Introducción

En los últimos años se han propuesto diferentes alternativas para la realización electrónica digital o analógica de redes neuronales. Las ventajas y limitaciones de cada una de estas técnicas de computación son bien conocidas, por lo que para mejorar las prestaciones en ciertas situaciones se han propuesto otras técnicas de entre las que destacamos las *Técnicas de Trenes de Pulsos* [66]. Estas técnicas toman las ventajas de ambos mundos, digital y analógico, ya que la información es transportada por medio de señales digitales, que también son utilizadas para controlar a los circuitos analógicos.

Las dos técnicas de trenes de pulsos más conocidas son la *Lógica Estocástica* (LE) y la *Modulación por Ancho de Pulsos* (PAM). En la lógica estocástica una señal es representada por un tren de pulsos cuya probabilidad de tener el valor lógico '1' es proporcional al valor instantáneo de la señal. La ventaja principal de la lógica estocástica a la hora de simplificar los cálculos reside en el hecho de que el producto de dos señales estocásticas puede ser realizado por una simple puerta AND. Sin embargo, no existe un método directo para realizar la suma de una forma directa. En [97] se propone un circuito digital llamado  $F$  que es capaz de realizar la suma de  $n$  pulsos estocásticos en un ciclo de reloj, con el coste de la complejidad electrónica necesaria para realizarlo. Una realización más eficiente puede ser realizada si utilizamos suma analógica de corrientes como se mostrará más adelante.

Si se sustituye una de las dos señales estocásticas a la entrada de la puerta AND por una señal codificada mediante la técnica "Modulación por Ancho de Pulsos", la puerta AND sigue realizando la operación de multiplicación. La señal resultante puede ser utilizada para encender o apagar una corriente constante que carga un condensador. De esta forma es posible realizar la suma de productos sinápticos que se lleva a cabo en una Red Neuronal como se mostrará más adelante. Basándonos en estos principios, presentamos en este capítulo la arquitectura básica de una neurona. Con esta neurona realizaremos una red *Celular Neuronal* (CNN) cuyos primeros resultados de simulación también presentamos.

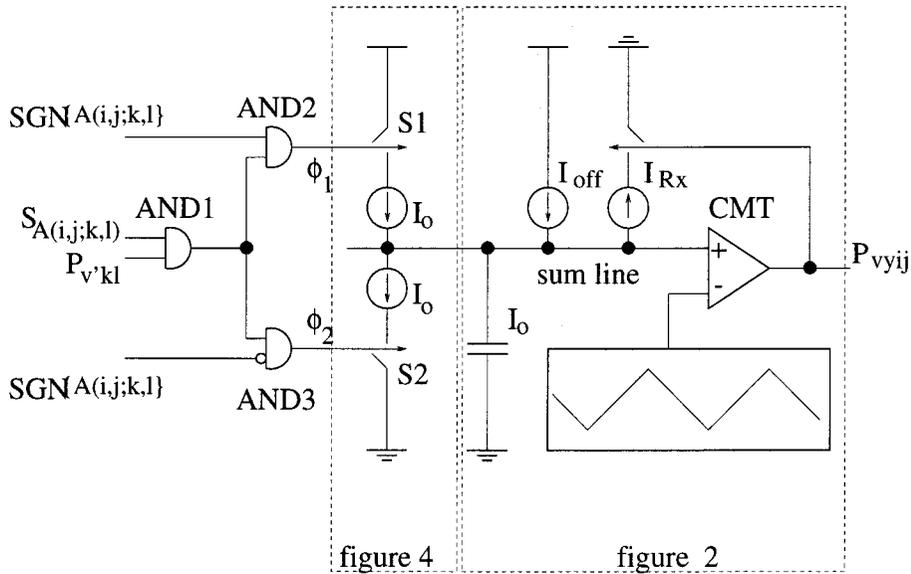


Figura B.1: Diagrama de bloques de una neurona.

## B.2 Neurona basada en Técnicas de Trenes de Pulsos

Una Red Celular Neuronal (CNN) es una matriz dinámica de procesadores analógicos, en la que las neuronas de la red interactúan entre ellas sólo con las que se encuentran suficientemente cerca (dentro de una vecindad local). La CNN original fue propuesta por Chua y Yang en [21] y [20] y fue reformulada en [19]. Existe muchas referencias en la bibliografía acerca de la realización de redes Celulares Neuronales ([27], [83], [40], [79], [101], [5], [80], [9] y [2]) cada una de ellas utilizando diferentes técnicas. DE entre ellas tenemos que destacar [69], pues en ella se presenta una realización en modo corriente utilizando técnicas de trenes de pulsos.

Las ecuaciones diferenciales que rigen el comportamiento de la neurona  $(i, j)$  en una CNN viene dada por [21]:

$$C \frac{d v_{xij}}{d t} = -\frac{1}{R_x} v_{xij} + \sum_{C(k,l) \in N_r(i,j)} A(i, j; k, l) v_{ykl} + \quad (B.1)$$

$$\sum_{C(k,l) \in N_r(i,j)} B(i, j; k, l) v_{ukl} + I_{off}$$

$$v_{yij} = f(v_{xij}) \quad (B.2)$$

donde  $v_{xij}$ ,  $v_{yij}$  y  $v_{uij}$  son el estado, la salida y la entrada de la celda  $(i, j)$ , respectivamente.  $C$  y  $R_x$  son parámetros de la CNN.  $I_{off}$  es un término de polarización.  $N_r(i, j)$  es la vecindad de radio  $r$  alrededor de la celda  $(i, j)$ .  $A(i, j; k, l)$

y  $B(i, j; k, l)$  son las matrices de realimentación hacia atrás y hacia delante asociadas con la celda  $(i, j)$ , respectivamente. La función lineal a trozos  $f$  es la función de activación saturada en sus extremos.

Las ecuaciones discretizadas de la carga de una CNN (B.1 y B.2) pueden ser realizadas electrónicamente por el circuito mostrado en la figura B.1. Esta arquitectura reproduce el comportamiento de una neurona unipolar. (Las CNNs con neuronas bipolares son fácilmente convertidas en neuronas unipolares, con el único cambio en el término de polarización  $I_{off}$ ).

La señal estocástica  $S_{A(i,j;k,l)}$  y la señal PAM  $P_{v_{ykl}}$  son trenes de pulsos que representan los valores de  $A(i, j; k, l)$  y  $v_{ykl}$ , respectivamente. Por ello, la puerta AND1 realiza el producto  $A(i, j; k, l) \times v_{ykl}$ . Los pulsos resultantes del producto gobiernan una fuente de corriente bipolar y, dependiendo del signo de  $A(i, j; k, l)$ , carga o descarga la el condensador de suma. En una CNN invariante espacialmente, las matrices  $A$  y  $B$  son compartidas por todas las neuronas por lo que los trenes de pulsos estocásticos  $S_{A(i,j;k,l)}$  y  $S_{B(i,j;k,l)}$  son obtenidas sólo una vez y propagadas al resto del circuito con el consiguiente ahorro en área de silicio. Esto es posible ya que los trenes de pulsos son señales digitales, por lo que su propagación a lo largo de un circuitos es sencilla y segura.

## B.3 Módulos básicos de una neurona

La salida de las neuronas es codificada mediante técnicas PAM. Esta forma de codificación ha sido seleccionada porque puede ser realizada fácilmente mediante un generador de rampa local y un comparador (figuras B.1 y B.2). El comparador y el generador de rampa local son utilizados para generar la señal PAM  $P_{v_{yij}}$ , que es realimentada para gobernar el funcionamiento de un espejo cascode de gran rango de señal (figure B.2). De esta forma es posible tener en cuenta el efecto de la resistencia  $R_x$  (ecuación B.1) utilizando la corriente  $I_{R_x}$ . Para reducir los problemas de inyección de carga en los interruptores analógicos se optó por introducir un nuevo transistor inactivo que compense este efecto. Pro último el condensador puede ser implementado utilizando la capacidad de puerta de un transistor MOS. Si se dispone de tecnología analógica (segundo polisilicio), esta capacidad puede ser implementada con el condensador formado entre los dos polisilicios.

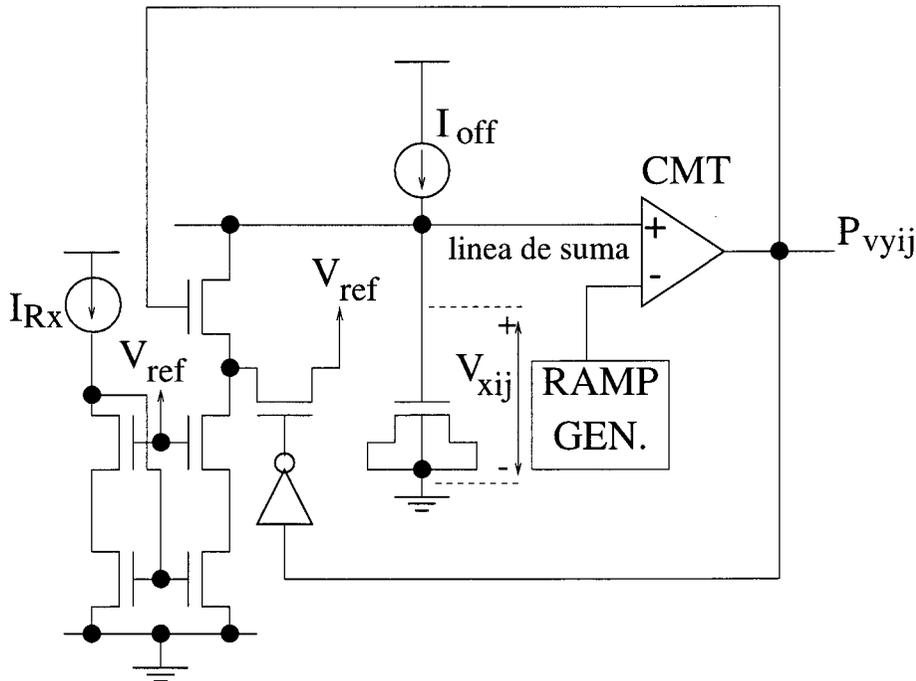


Figura B.2: Emulación de una neurona utilizando un circuito RC

El circuito de la figura B.2 ha sido diseñado utilizando una tecnología digital CMOS de  $1.0\mu\text{m}$  y  $5V$  (también han sido simulado con posterioridad con tecnología analógica  $0.8\mu\text{m}$  AMS-CXQ  $3.3V$ ). La corriente  $I_{off}$  fue ajustada para obtener un valor de continua de  $2.5V$  en el condensador. Los resultados de simulación utilizando HSPICE de el circuito de la figura B.2 utilizando dos valores iniciales diferentes se pueden ver en las figuras B.3.a y B.3.b. Además este resultado puede compararse con la respuesta del circuito RC con los mismos valores iniciales.

Las fuentes de corriente y los interruptores analógicos, que están gobernados por los productos  $A(i, j; k, l) \times v_{ykl}$  y  $B(i, j; k, l) \times V_{ukl}$ , han sido construidos utilizando dos espejos cascode de gran rango de señal como se muestra en la figura B.4. Los trenes de pulsos  $\phi_1$  y  $\phi_2$  representan los productos sinápticos (salidas de las puertas digitales AND2 y AND3 en la figura B.1, respectivamente) asociadas a la celda de la figura B.4.

Simulaciones de alto nivel han mostrado que la estrategia de cálculo propuesta en esta realización es una posibilidad viable para la realización de redes celulares neuronales. Las redes simuladas fueron capaces de resolver satisfactoriamente un problema de detección de bordes en una figura  $21 \times 21$ .

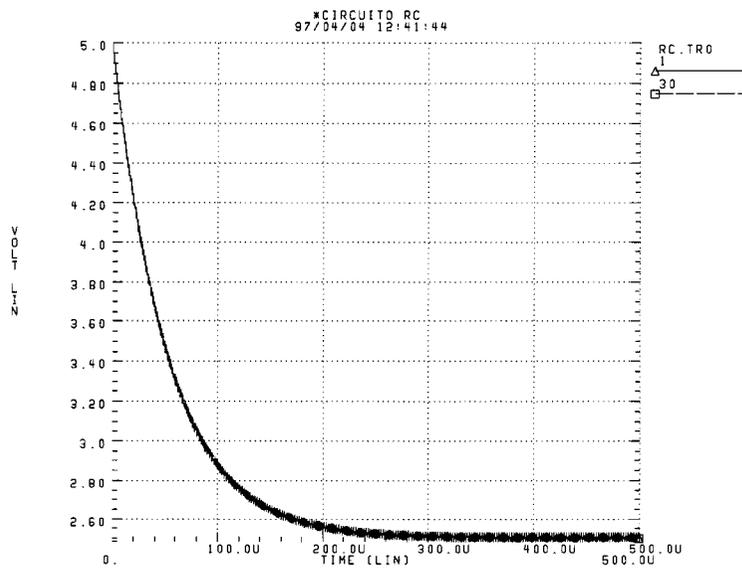
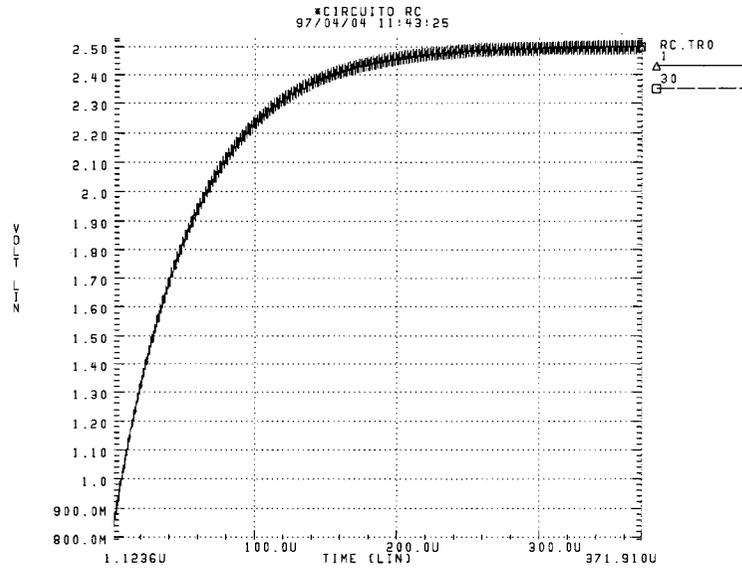


Figura B.3: Respuesta en tiempo continuo del circuito RC y del circuito de la figura B.2: a) Carga y b) Descarga.

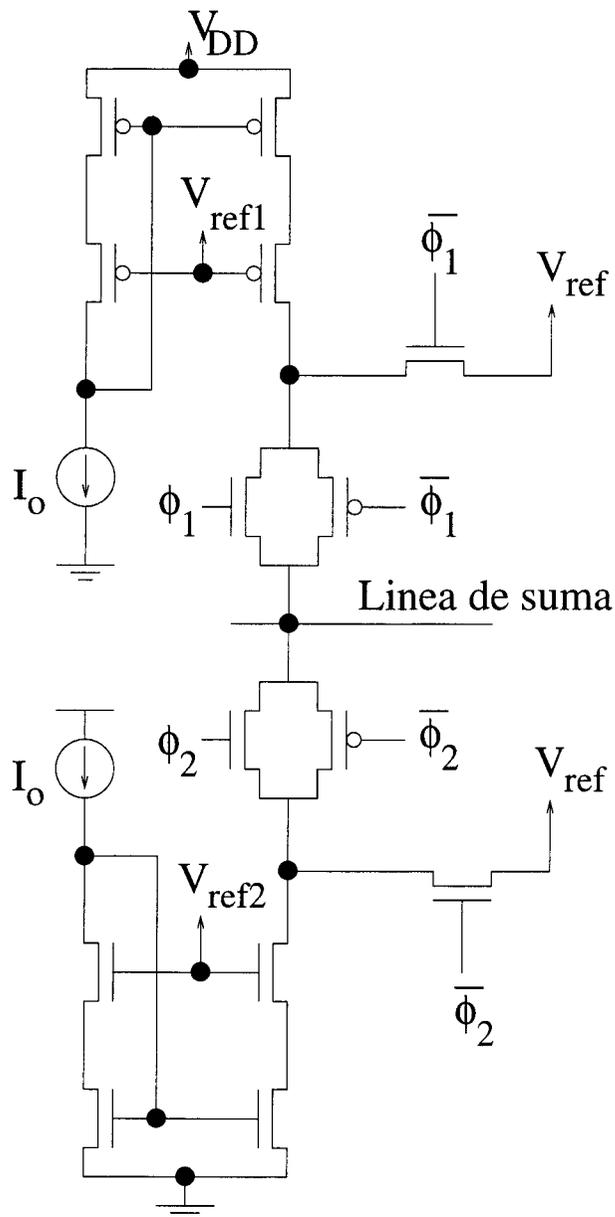


Figura B.4: Espejos de corriente utilizados para cargar la capacidad de la neurona.

Para confirmar las simulaciones de alto nivel realizadas en lenguaje C, la evolución de la tensión del condensador de suma obtenida de la simulación de alto nivel ha sido comparada con el resultado de la simulación HSPICE como muestran las figuras B.5.a y B.5.b en dos casos diferentes. En ambos casos, la mismas señales estocásticas asociadas a los pesos sinápticos fueron utilizadas en C y HSPICE. De esta forma evitamos que los resultados de simulación se viesen afectados por la naturaleza aleatoria de las señales estocásticas. Los estados de las celdas vecinas a la celda simulada fueron elegidos de forma que el valor final fuese 0 en el primer caso (Figura. B.5.a) y 1 en el segundo caso (Figura B.5.b). Ambas figuras verifican que la técnica de trenes de pulsos puede ser adoptada utilizando tecnología CMOS y manteniendo gran precisión.

## B.4 Conclusiones

La aplicación de técnicas de trenes de pulsos para la realización hardware de Redes Celulares Neuronales ha sido presentada. Las principales ventajas de la arquitectura propuesta son:

- La información es representada mediante señales digitales las cuales son robustas frente al ruido y las interferencias.
- Debido a la naturaleza estocástica de algunas señales su producto es obtenido por medio de una simple puerta AND. La operación suma es llevada a cabo mediante circuitos que operan en modo corriente. Ambas características permiten realizar los cálculos necesarios para realizar una Red Celular Neuronal utilizando circuitería simple de gran precisión.
- Los operadores de realimentación hacia adelante y hacia atrás son guardados en una memoria digital y convertidos en trenes de pulsos estocásticos. En el de Redes Celulares Neuronales con operadores invariantes en el espacio, el número de elementos diferentes de estos operadores es pequeño, por lo que el área requerida no aumenta.
- Debido a la representación estocástica de estos coeficientes, pueden ser propagados a través de todo el circuito sin ser degradada la información que transportan y utilizando un número reducido de líneas.

Se han realizado simulaciones de alto nivel que prueban el comportamiento de la red cuando se utilizan las técnicas de trenes de pulsos para realizarla. Los resultados obtenidos de simulaciones a nivel de transistor han sido comparadas con las simulaciones de alto nivel, mostrando que los errores son despreciables. Por todo ello podemos concluir que las técnicas de trenes de

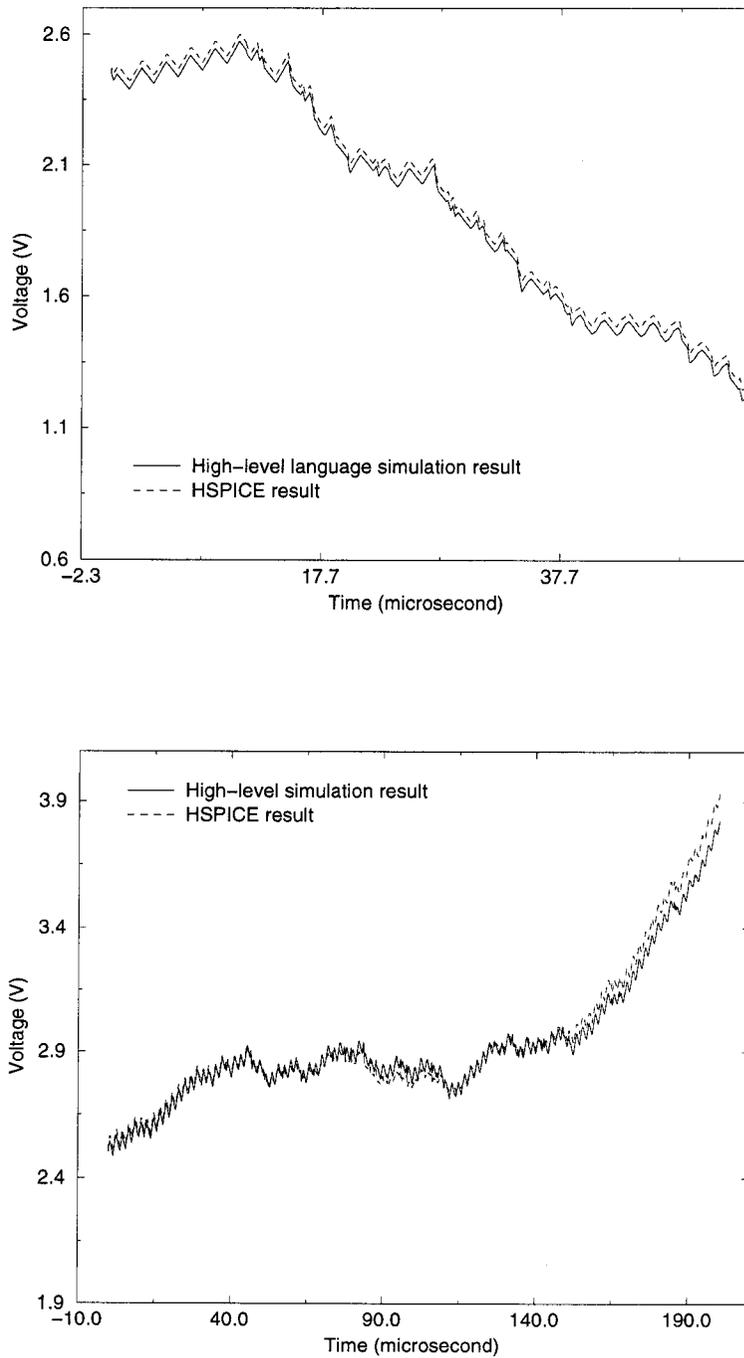


Figura B.5: Comparación entre los resultados C y HSPICE cuando el estado final de la celda es (a) 0V y (b) 5V

pulsos son una alternativa interesante para construir grandes Redes Celulares Neuronales dentro de un circuito ASIC.

# Bibliografía

- [1] A. Achyuthan and M.I. Elmarsy. Mixed analog/digital hardware synthesis of artificial neural networks. *IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems*, 13, September 1994.
- [2] M. Anguita, F.J. Pelayo, A. Prieto, and J. Ortega. Analog cmos implementation of a discrete-time cnn with programmable cloning templates. *IEEE Trans. on CAS-II*, 40:215–218, 1993.
- [3] G. Ascia and V. Catania. Architecture of a 50 mfips fuzzy processor and the related 1um vlsi cmos digital circuit. *Proc. of on Microelectrnics for Neural Networks and Fuzzy Logic*, 1997.
- [4] G. Ascia and V. Catania. A parallel processor architecture for real-time fuzzy applications. *Fuzzy Hardware: Architectures and Applications*, Kluwer Academic Publishers, pages 181–198, 1997.
- [5] I.A. Baktir and M.A. Tan. Analog cmos implementation of cellular neural networks. *IEEE Trans. on CAS-II*, 40:200–206, 1993.
- [6] A. Baschiroto and R. Castelo. Sc filter with rail-rail output swing. *IEEE J. Solid State Circuits*, pages 1979–1996, December 1997.
- [7] A. Baschiroto, R. Castelo, and G.P. Montagna. Sc filter with rail-rail output swing. *Electronics Letters*, pages 1365–1366, July 1998.
- [8] I. Baturone, S. Sánchez-Solano, A. Barriga, and J. L. Huertas. Implementation of cmos fuzzy controllers as mixed-signal integrated circuits. *IEEE Transactions on Fuzzy Systems*, 5, February 1997.
- [9] G.F.D. Betta, S. Graffi, Z.M. Kovacs, and G. Massetti. Cmos implementation of an analogically programmable cellular neural network. *IEEE Trans. on CAS-II*, 40:206–215, 1993.
- [10] B.J. Blalock, P. E. Allen, and G.A. Rincón-Mora. Designing 1-v op amps using standard digital cmos technology. *IEEE Trans. on Circts. and Syst.-II*, 45:769–780, July 1998.

- [11] S. Bouras, M. Kotronakis, K. Suyama, and Y. Tsvividis. Mixed analog-digital fuzzy logic controller with continuous-amplitude fuzzy inferences defuzzification. *IEEE Transactions on Fuzzy Systems*, 6, May 1998.
- [12] K. Bult and H. Wallinga. Compact low-voltage power-efficient operational amplifier cells for vlsi. *IEEE Journal of Solid-State Circuits*, SC-22:357–365, June 1987.
- [13] R.G. Carvajal, A. Torralba, M. Aguirre, and L.G. Franquelo. Automatic synthesis of fuzzy controllers using afan. *Chapter 5 of the book Fuzzy Hardware: architectures and applications*, 1997.
- [14] R.G. Carvajal, A. Torralba, F. Colodro, and L.G. Franquelo. A hardware compiler of fuzzy and neural controllers with vhdl output. *Proc. of DCIS/SICD'95 (in spanish)*, pages 356–359, October 1995.
- [15] R.G. Carvajal, A. Torralba, F. Colodro, and L.G. Franquelo. An analog cmos universal membership function circuit with fully independent, adjustable parameters. *Proc. of the 12th Design of Circuits and Integrated Systems Conf.*, pages 407–411, November 1997.
- [16] R.G. Carvajal, A. Torralba, and L. Franquelo. Automatic synthesis of neural and fuzzy controllers with architecture optimization. *IEEE Micro*, 17:50–54, October 1997.
- [17] R.G. Carvajal, A. Torralba, and L. G. Franquelo. Afan, a tool for the automatic synthesis of neural and fuzzy controllers with architecture optimization. *1997 IEEE International Symposium on Circuits and Systems, ISCAS'97*, Jun 1997.
- [18] R.G. Carvajal, A. Torralba, R. Millan, and L.G. Franquelo. Automatic synthesis of analog and mixed-signal fuzzy controllers with emphasis in power consumption. *Proc. of the Int. Symp. on Circuits and System, ISCAS'99 (aceptado para su publicación)*, June 1999.
- [19] L.O. Chua and T. Roska. The cnn paradigm. *IEEE Trans. on CAS-I*, 40:147–156, 1993.
- [20] L.O. Chua and L. Yang. Cellular neural networks: Applications. *IEEE Trans. on CAS-I*, 35:1257–1272, 1988.
- [21] L.O. Chua and L. Yang. Cellular neural networks: Theory. *IEEE Trans. on CAS-I*, 35:1257–1272, 1988.
- [22] F. Colodro. Realizaciones electrónicas basadas en lógica estocástica de circuitos neuronales y borrosos. *Tesis Doctoral*, page 110, Diciembre 1996.

- [23] F. Colodro, A. Torralba, R.G. Carvajal, and L.G. Franquelo. Pulse stream based cnn hardware implementation. *Proc. of the Int. Symp. on Circuits and Systems, ISCAS'98*, June 1998.
- [24] F. Colodro, A. Torralba, J. Tombs, and L.G. Franquelo. Pulse stream techniques for hardware. *Fuzzy Hardware: Architectures and Applications, Kluwer Academic Publishers*, pages 283–294, 1997.
- [25] A. Costa, A. Gloria, P. Faraboshi, and A. Pagni. A tool for automatic synthesis of fuzzy controllers. *Proc. of IEEE International Conference on Fuzzy Systems*, pages 1771–1775, 1994.
- [26] A. Costa, A. Gloria, P. Faraboshi, and A. Pagni. A tool for automatic synthesis of fuzzy controllers. *Proc. of the IEEE*, 83:422–434, March 1995.
- [27] J.M. Cruz and L.O. Chua. A cnn chip for connected component detection. *IEEE Trans. on CAS-I*, 38:147–156, 1991.
- [28] Jean-Pierre Deschamps. Fuzzy controller synthesis method. *Fuzzy Hardware: Architectures and Applications, Kluwer Academic Publishers*, pages 231–256, 1997.
- [29] D. Driankov, H. Hellendoorn, and M. Reinfrank. An introduction to fuzzy control. *Springer-Verlag*, 1:300, 1993.
- [30] H. Eichfeld, T. Künemund, and M. Menke. A 12b general-purpose fuzzy logic controller. *IEEE Transactions on Fuzzy Systems*, 4:460–475, November 1996.
- [31] H. Eichfeld, M. Lohner, and M. Muller. Architecture of a fuzzy logic controller with optimized memory organization and operator design. *Proc. Int. Conf. Fuzzy Systems*, pages 1317–1323, 1992.
- [32] F.O. Eynde and W. Sansen. Chapter 2. *Analog Interfaces for Digital Signal Processing Systems. Kluwer Academic Publishers*, pages 62–77, 1993.
- [33] G. Ferri. A 1.2 cmos op-amp with high driving capability. *Proc. of IEEE Conference on Circuits and Systems*, pages 436–439, 1997.
- [34] G. Ferri, W. Sansen, and V. Peluso. A low voltage fully differential constant-gm rail-to-rail cmos operational amplifier. *Analog Int. Circts. and Signal Proc.*, 16:5–15, 1998.
- [35] A. Gabrielli, E. Gandolfi, M. Maseti, and M.R. Roch. Vlsi design and realisation of a 4 input high speed fuzzy processor. *Proc. of IEEE International Conference on Fuzzy Systems*, pages 779–785, 1997.

- [36] D. Galán, C.J. Jiménez, A. Barriga, and S. Sánchez-Solano. Vhdl package for description of fuzzy logic controllers. *Proc. of the Euro-VHDL'95*, pages 528–533, 1995.
- [37] E. Gandolfi, A. Gabrielli, M. Maseti, and M.R. Roch. A dedicated parallel processor for fuzzy computation. *Proc. of IEEE International Conference on Fuzzy Systems*, pages 779–785, 1994.
- [38] S. Guoand, L. Peters, and H. Surmann. Design and application of an analog fuzzy controller. *IEEE Transactions on Fuzzy Systems*, 4:429–438, November 1996.
- [39] M.M. Gupta and T. Yamakawa, editors. *Fuzzy Computing: Theory, Hardware and Applications*. North-Holland, 1985.
- [40] H. Harrer, J.A. Nossek, and R. Stelzl. An analog implementation of discrete-time cellular neural networks. *IEEE Trans. on Neural Networks*, 3:466–476, 1992.
- [41] T. Hollstein, S.K. Halgamuge, and M. Glesner. Computer-aided design of fuzzy systems based on generic vhdl specifications. *IEEE Transactions on Fuzzy Systems*, 4:403–417, November 1996.
- [42] S.C. Huang and M. Ismail. Linear tunable comfet transconductors. *Electronics Letters*, March 1993.
- [43] U. Çilingiroglu, B. Pamir, Z.S. Günay, and F. DÜlger. Sampled-analog implementation of application-specific fuzzy controllers. *IEEE Transactions on Fuzzy Systems*, 5, August 1997.
- [44] D. Ishizuke, K. Tanno, Z. Tang, and H. Matsumoto. Design of a fuzzy controller with normalization circuits. *Proc. Int. Conf. Fuzzy Systems*, pages 1303–1308, March 1992.
- [45] Special issue on “Applications of Artificial Neural Networks”. Applications of artificial neural networks. *Proc. of the IEEE*, 1:100, 1996.
- [46] Special issue on “Engineering Applications of Fuzzy Logic”. Engineering applications of fuzzy logic. *Proc. of the IEEE*, 1:100, 1995.
- [47] C.L. Janer, J.M. Quero, J.G. Ortega, and L.G. Franquelo. Fullu parallel stochastic computation architecture. *IEEE Transactions on Signal Processing*, 44, August 1996.
- [48] J.S.R. Jang. Anfis: Adaptive-network-based fuzzy inference systems. *IEEE Trans. Syst., Man, and Cybern.*, 23:665–685, May 1993.

- [49] Chi-Cheng Jou. Supervised learning in fuzzy systems: algorithms and computational capabilities. *in Proc. 2nd Int. Conf. Fuzzy Systems*, pages 1–6, Mar 1993.
- [50] B. Kosko. *Neural Networks and Fuzzy Systems*. Prentice Hall, Englewood Cliffs, 1987.
- [51] B. Kosko. Fuzzy systems as universal approximators. *in Proc. 1992 Int. Conf. Fuzzy Systems*, pages 1153–1162, March 1992.
- [52] K. Langen and J. Huising. Compact low-voltage power-efficient operational amplifier cells for vlsi. *IEEE J.Solid-State Circuits*, 33:1482–1496, October 1998.
- [53] J. Lazzaro, S. Ryckebusch, M. A. Mahowald, and C. A. Mead. Winner-take-all networks of  $o(n)$  complexity. *Advances in Neural Information Processing Systems*, D.S. Touretzky, ed. Morgan Hauffmann, 1:61–68, 1989.
- [54] C.C. Lee. Fuzzy logic in control systems: Fuzzy logic controller-parts i and ii. *IEEE Trans. on Syst. Man and Cybern.*, 20:404–435, 1990.
- [55] T. Lee and H. Pan. A low-voltage cmos transconductor for vhf continuous-time filters. *Proc. of the 1997 IEEE ISCAS*, pages 213–216, June 1997.
- [56] L. Lemaitre, M. Patyra, and D. Mlynek. Synthesis and design automation of analog fuzzy logic vlsi circuits. *Proc of IEEE Conference on Fuzzy Systems*, pages 74–79, 1993.
- [57] L. Lemaitre, M. Patyra, and D. Mlynek. Analysis and design of cmos fuzzy logic controller in current mode. *IEEE Journal of Solid-State Circuits*, 29:317–322, March 1994.
- [58] B. Liu and C. Huang. Array based fuzzy inference mechanism implemented with current-mode cmos circuits. *1994 IEEE International Symposium on Circuits and Systems, ISCAS'94*, Jun 1997.
- [59] T. Lund, A. Torralba, R.G. Carvajal, and J. Ramirez-Angulo. A comparison of architectures for a programmable fuzzy logic chip. *Proc. of the Int. Symp. on Circuits and System, ISCAS'99 (aceptado para su publicación)*, June 1999.
- [60] N. Manaresi, R. Rovatti, and et al. A silicon compliler of analog fuzzy controllers: From behavioral specifications to layout. *IEEE Transactions on Fuzzy Systems*, 4:418–428, November 1996.

- [61] R.J. Marks, editor. *Fuzzy Logic Technology and Applications*. IEEE Press, 1985.
- [62] J. Matas, L.G. Vicuña, and M. Castilla. A synthesis of fuzzy control surfaces in cmos technology. *Proc of IEEE Conference on Fuzzy Systems*, pages 641–646, 1997.
- [63] A. Mondragon, R.G. Carvajal, J. Pineda, and E. Sanchez-Sinencio. Frequency-domain intrachip communication schemes for cnn. *Proc. of the WCNNA'98*, June 1998.
- [64] Jesús Valdés Morillo. Controlador borroso analógico de propósito general: Hardware y software. *Proyecto Fin de Carrera*, page 150, 1998.
- [65] F. Muñoz, R.G. Cavajal, A. Torralba, and L.G. Franquelo. Adapt: Mixed-signal asic for impedance adaptation in power line communications using fuzzy logic. *On Proc of the DCIS'98*, November 1998.
- [66] A. Murray, D. Corso, and L. Tarassenlo. Pulse-stream vlsi neural networks mixing analog and digital techniques. *IEEE Trans. on Neural Networks*, 2:193–204, 1991.
- [67] Bram Nauta. A cmos transconductance-c filter for very high frequencies. *IEEE Journal of Solid-State Circuits*, SC-27:142–153, 1992.
- [68] I. Opris. Rail-to-rail multiple-input min/max circuit. *IEEE Trans. on CAS-II*, 45:137–140, January 1998.
- [69] A. Paasio, A. Dawidziuk, and V. Porra. Pulse stream current mode cmos cnn chip. *Fourth IEEE Int. Work. on CNN and Their Appl.*, pages 457–460, 1996.
- [70] M.J. Patyra, J.L. Grantner, and K. Koster. Digital fuzzy logic controller: Design and impementation. *IEEE Transactions on Fuzzy Systems*, 4:439–459, November 1996.
- [71] V. Peluso, P. Vancoreland, M. Steyaert, and W. Sansen. 900 mv differential class ab ota for switched opamp applications. *Electronics Letters*, pages 1455–1456, August 1997.
- [72] Kluwer Academic Press. Special number on low-voltage analog circuits. *Analog Int. Circts. and Signal Proc.*, 1995.
- [73] J. Ramirez-Angulo, R. G. Carvajal, J. Tombs, and A. Torralba. Low-voltage cmos op-amps for a supply close to a transistor's threshold voltage, accepted for publiation. *Proc. Int. Conf. on Circuits and Systems, ISCAS'99*, 1999.

- [74] J. Ramirez-Angulo, K. Treece, P. Andrews, and T. Choi. Current-mode and voltage-mode vlsi fuzzy processor architecture. *Proc. Int. Conf. on Circuits and Systems, ISCAS'95*, pages 1156–1159, 1995.
- [75] J. Ramírez-Angulo. Current mirrors with low input voltage requirements for built in current sensors. *37th Midwest Symp. on Circts. and Syst*, pages 107–110, August 1994.
- [76] J. Ramírez-Angulo. Ultracompact low-voltage analog cmos multiplier using multiple input loading gate transistors. *1996 European Solid-State Circuits*, pages 99–103, May 1996.
- [77] J. Ramírez-Angulo, R. G. Carvajal, J. Tombs, and A. Torralba. A simple technique for op-amp continuous time 1v operation (aceptado para su publicación). *IEE Electronic Letters*, 1999.
- [78] J. Ramírez-Angulo, S.C. Choi, and G. González-Altamirano. Low-voltage circuit building blocks using multiple input floating gate transistor. *IEEE Trans. On Circuits and Systems I*, 42:971–974, November 1995.
- [79] A. Rodríguez, S. Espejo, R. Domínguez, J.L. Huertas, and E. Sánchez-Sinencio. Current-mode techniques for the implementation of continuous and discrete-time cellular neural networks. *IEEE Trans. on CAS-II*, 40:132–146, 1993.
- [80] T. Roska and J. Vandewalle, editors. *Cellular Neural Networks*. John Wiley and Sons, 1993.
- [81] D.E. Rumelhart and J.L. McClelland, editors. *Parallel and Distributed Processing I,II*. Cambridge: MIT Press, 1986.
- [82] P. Saavedra, A. López, J. Zrilic, and J. Ramírez Angulo. New analog current-mode/voltage mode fuzzifier with continuously adjustable parameters. *Proc. of the 12th Design of Circuits and Integrated Systems Conf.*, August 1997.
- [83] M. Salerno, F. Sargeni, and V. Bonaiuto. 6x6dpcnn: a programable mixed analogue-digital chip for cellular neural networks. *Fourth IEEE Int. Work. on CNN and Their Appl.*, pages 451–456, 1996.
- [84] A. Sanz. Analog implementation of fuzzy controller. *Proc. of IEEE International Conference on Fuzzy Systems*, 4:279–283, 1994.
- [85] M. Sasaki, T. Inone, Y. Shirai, and F. Ueno. Fuzzy multiple-input maximum and minimum circuits in current mode and their analysis using bounded-difference equations. *IEEE Trans. on Comput.*, C-39:768–774, June 1990.

- [86] M. Sasaki, N. Ishikawa, F. Ueno, and T. Inone. Current mode analog fuzzy hardware with voltage input interface and normalization loop. *Proc. Int. Conf. Fuzzy Systems*, pages 451–457, March 1992.
- [87] M. Sasaki, F. Ueno, and T. Inone. 7.5 mflips fuzzy microprocessor using simd and logic-in-memory structure. *Proc. 2nd. Int. Conf. Fuzzy Systems*, pages 527–533, 1993.
- [88] H. Sjöland and S. Mattison. A 100mhz cmos wide-band amplifier. *IEEE J.Solid-State Circuits*, 33:631–634, April 1998.
- [89] E. Sánchez-Sinencio, J. Ramírez Angulo, B. Linares-Barranco, and A. Rodríguez Vázquez. Operational transconductance amplifiers for nonlinear function syntheses. *IEEE Journal of Solid-State Circuits*, pages 1576–1585, December 1989.
- [90] Edgar Sánchez-Sinencio, editor. *Low-Voltage Analog Circuits*. IEEE PRESS, 1998.
- [91] M. Sugeno. An introductory survey of fuzzy control. *Information Sciences*, 36:59–83, 1985.
- [92] L. Sultan. Fdsp: A vlsi core for adaptative fuzzy and digital signal processing applications. *Proc. of IEEE International Conference on Circuits and Systems*, 1998.
- [93] T.Miki, H. Matsumoto, K. Ohto, and T. Yamakawa. Silicon implementation for a novel high-speed fuzzy inference engine: Mega flips analog fuzzy processor. *Journal of Intelligent and Fuzzy Systems*, 1:27–42, 1993.
- [94] M. Togai and S. Chiu. A fuzzy accelerator and a programming environment for real-time fuzzy control. *Proc. 2nd. IFSA Congress*, pages 147–151, July 1987.
- [95] M. Togai and H. Watanabe. Expert system on a chip: An engine for real-time approximate reasoning. *IEEE EXPERT*, pages 55–62, 1986.
- [96] J. Tombs, A. Torralba, and L.G. Franquelo. A pwm fuzzy logic controller. *IEEE MICRO*, pages 68–71, October 1996.
- [97] A. Torralba and F. Colodro. Two digital circuits for a fully parallel stochastic neural network. *IEEE Trans. of Neural Network*, pages 1264–1268, September 1995.
- [98] K. Tsukano and T. Inoue. Synthesis of operational transconductance amplifier-based analog fuzzy functional blocks and its application. *IEEE Transactions on Fuzzy Systems*, 3:61–68, February 1995.

- [99] T. Tsukano, T. Inone, and F. Ueno. A design of current-mode analog circuits for fuzzy inference hardware systems. *Proc. Int. Conf. Fuzzy Systems*, pages 1385–1388, March 1992.
- [100] A.P. Ungering, K. Thuerner, and K. Goser. Architecture of a fuzzy logic controller with pipelining and optimized chip area. *Proc. 2nd. Int. Conf. Fuzzy Systems*, pages 447–452, 1993.
- [101] J.E. Varrientos, E. Sánchez-Sinencio, and J. Ramírez-Angulo. A current-mode cellular neural network implementation. *IEEE Trans. on CAS-II*, 40:147–155, 1993.
- [102] L.X. Wang. Fuzzy systems are universal approximators. in *Proc. 1992 Int. Conf. Fuzzy Systems*, pages 1163–1170, March 1992.
- [103] L.X. Wang. Training of fuzzy logic systems using nearest neighborhood clustering. in *Proc. 2nd. IEEE Int. Conf. Fuzzy Systems*, pages 13–17, March 1993.
- [104] L.X. Wang and J.M. Mendel. Back-propagation fuzzy systems as nonlinear dynamic system identifiers. in *Proc. 1992 Int. Conf. Fuzzy Systems*, pages 1409–1418, March 1992.
- [105] L.X. Wang and J.M. Mendel. Fuzzy basis functions, universal approximation, and orthogonal least-squares learning. *IEEE Trans. Neural Networks*, 3:807–814, September 1992.
- [106] P. Wasserman. *Neurocomputing: Theory and Practice*. Van Nostrand Reinhold, 1990.
- [107] H. Watanabe. Risc approach to design of fuzzy proc. architectures. *Proc. Int. Conf. Fuzzy Systems*, pages 431–443, 1992.
- [108] H. Watanabe and W. Dettloff. Reconfigurable fuzzy logic processor: A full custom digital vlsi. *Int. Workshop on Fuzzy System Applications*, pages 49–50, Aug. 1988.
- [109] H. Watanabe, W.D. Dettloff, and K.E. Yount. A vlsi fuzzy logic controller with reconfigurable, cascable architecture. *IEEE J.Solid-State Circuits*, 25:376–382, April 1990.
- [110] T. Yamakawa. A simple fuzzy computer hardware system employing min and max operations—a challenge to 6th generation computer. *Proc. 2nd. IFSA Congress*, July 1987.
- [111] T. Yamakawa and T. Miki. The current mode fuzzy logic integrated circuits fabricated by the standard cmos process. *IEEE Trans. Comp.*, C-35:161–167, 1986.

- 
- [112] John Yen, editor. *Industrial Applications of Fuzzy Logic And Intelligent Systems*. IEEE PRESS, 1997.
- [113] F. You, S.H.K. Embabi, and E. Sánchez-Sinencio. Multistage amplifier topologies with nested gm-c compensation. *IEEE J.Solid-State Circuits*, 32:2000–2011, December 1997.
- [114] F. You, S.H.K. Embabi, and E. Sánchez-Sinencio. Low-voltage class ab buffers with quiescent current control. *IEEE J. Solid State Circuits*, pages 915–920, June 1998.
- [115] L.A. Zadeh. Fuzzy sets. *Informat. Control*, 8:338–353, 1965.
- [116] L.A. Zadeh. Outline of a new approach to the analysis of complex system and decision processes. *IEEE Trans. on System, Man, and Cybern*, SMC-3, 1973.
- [117] L.A. Zadeh. The concept of a linguistic variable and its application to approximate reasoning. *Information Science*, pages Part I: 199–249, Part II:301–357. Part III: 43–80., 1975.