

Trabajo Fin de Grado  
Grado en Ingeniería de las Tecnologías de  
Telecomunicación

Diseño de un filtro de condensadores conmutados  
Fleisher-Laker mediante técnicas P2D.

Autor: Pablo Linares Serrano

Tutores: Antonio Torralba Silgado

Clara Luján Martínez

Dpto. de Ingeniería Electrónica  
Escuela Técnica Superior de Ingeniería  
Universidad de Sevilla

Sevilla, 2019





Trabajo Fin de Grado  
Grado en Ingeniería de las Tecnologías de Telecomunicación

# **Diseño de un filtro de condensadores conmutados Fleisher-Laker mediante técnicas P2D.**

Autor:

Pablo Linares Serrano

Tutores:

Antonio Torralba Silgado

Clara Luján Martínez

Dpto. de Ingeniería Electrónica  
Escuela Técnica Superior de Ingeniería  
Universidad de Sevilla  
Sevilla, 2019



Trabajo Fin de Grado: Diseño de un filtro de condensadores conmutados Fleisher-Laker mediante técnicas P2D.

Autor: Pablo Linares Serrano

Tutores: Antonio Torralba Silgado  
Clara Luján Martínez

El tribunal nombrado para juzgar el Trabajo arriba indicado, compuesto por los siguientes miembros:

Presidente:

Vocales:

Secretario:

Acuerdan otorgarle la calificación de:

Sevilla, 2019

El Secretario del Tribunal



*A mi familia*



**E**n muchas aplicaciones de la electrónica contemporánea se requiere la implementación de filtros analógicos o conversores analógico-digitales. Cuando las frecuencias de las señales objetivo de estos circuitos son del orden de los kHz o inferiores, el ruido de baja frecuencia, especialmente el de tipo flicker, se hace dominante.

Recientemente se ha propuesto la estructura pseudo-pseudo diferencial para paliar los efectos de este ruido en los circuitos de condensadores conmutados. Sin embargo, aún no se ha publicado ninguna estructura que permita aplicar esta técnica en un filtro completo.

En este trabajo se estudia la posibilidad de aplicar la técnica pseudo-pseudo diferencial en una sección bicuadrática Fleisher-Laker, ofreciendo una posible forma de solventar las dificultades que acarrea y exponiendo las limitaciones que entraña. Además, se realiza una implementación de un filtro de estas características en una tecnología de 180 nm y se presentan los resultados obtenidos.



<b>Resumen</b>	<b>IX</b>
<b>Índice</b>	<b>XI</b>
<b>1 Introducción</b>	<b>1</b>
<b>2 Estructura propuesta</b>	<b>3</b>
2.1 Integrador P2D con salida unipolar	3
2.2 Sección bicuadrática empleando integradores con salida bipolar	4
2.3 Limitaciones en la función de transferencia	5
2.4 Consideraciones sobre ruido	6
<b>3 Especificaciones y función de transferencia sintetizada</b>	<b>7</b>
3.1 Especificaciones	7
3.2 Función de transferencia	7
3.3 Asignación de valores a las capacidades	8
3.4 Comparación de las funciones de transferencia	9
3.5 Simulación de la función aproximada	10
3.6 Reasignación de valores a las capacidades	10
<b>4 Amplificador operacional</b>	<b>13</b>
4.1 Especificaciones del amplificador	13
4.1.1 Ganancia	13
4.1.2 Estructura del amplificador	13
4.2 Polarización de los transistores	14
4.3 Elección de $I_b$	15
4.4 Dimensionamiento de los transistores	15
4.5 Generación de las tensiones de polarización.	16
4.6 Simulación del amplificador	16
4.7 Reajuste del amplificador	18
4.8 Diagrama de Bode del amplificador	18
<b>5 Análisis del filtro</b>	<b>21</b>
5.1 Diseño de los switches	21
5.1.1 Primer caso	21
5.1.2 Segundo caso	21
5.1.3 Simulación del funcionamiento de los switches	22
5.2 Etapa de salida	23
5.2.1 Implementación en el integrado	24
5.2.2 Implementación externa	24
5.3 Simulación del funcionamiento del filtro	24
5.3.1 Simulación con etapa de salida integrada	25
5.3.2 Simulación con etapa de salida externa	26
<b>6 Conclusiones</b>	<b>29</b>
6.1 Interés	29
6.2 Solución propuesta	29

6.3	<i>Resultados obtenidos</i>	29
6.4	<i>Trabajos futuros</i>	30
6.4.1	Reducción de las limitaciones en la función de transferencia	30
6.4.2	Mejora de las prestaciones del amplificador y los switches	30
6.4.3	Fabricación y medición	30
6.4.4	Cambio de tecnología	30
<b>7</b>	<b>Referencias</b>	<b>31</b>





# 1 INTRODUCCIÓN

---

A finales del siglo pasado y principios del actual, la introducción de la electrónica como bien de consumo ha cambiado la vida de las personas, provocando una evolución comparable a la ocurrida tras la revolución industrial. Una parte importante de los dispositivos electrónicos es su interfaz con el exterior, ya sea para intercambiar información con otros aparatos electrónicos o para obtenerla del entorno midiendo diferentes magnitudes físicas. Cualquiera de estos dos casos se traduce en la necesidad de convertir magnitudes eléctricas analógicas a valores digitales, que son los empleados por los dispositivos actuales. Para evitar efectos como el aliasing, se debe filtrar la señal antes de realizar la conversión, eliminando las componentes de señal elevadas atendiendo al teorema de Nyquist-Shannon. Por tanto, se hace necesario el diseño de filtros analógicos y conversores analógico-digitales.

En muchas aplicaciones actuales es necesario medir señales de frecuencia relativamente baja, con frecuencias de muestreo del orden de kilohercios, como en el caso de las señales biomédicas. En estos rangos de frecuencia, los filtros de condensadores conmutados (SC) son ampliamente empleados desde las últimas décadas del siglo pasado. Al emplear estas técnicas y frecuencias de señal, se hacen predominantes los efectos del ruido flicker y las no linealidades de los amplificadores operacionales empleados.

Con el objeto de paliar estos inconvenientes, se han presentado recientemente los circuitos pseudo-pseudo diferenciales (P2D) [1]. Los circuitos con esta estructura emplean amplificadores unipolares para realizar procesamiento diferencial de la señal, lo que reduce el efecto del ruido flicker y aumenta la linealidad. Varios filtros que emplean esta técnica han sido presentados, pero ninguno de ellos la implementa en todos los integradores [2].

En este trabajo se pretende estudiar la posibilidad de realizar un filtro bicuadrático Fleisher-Laker [3] empleando técnicas P2D en todos sus integradores y las limitaciones que comporta. Se propondrá una estructura SC P2D para la sección bicuadrática y se diseñará una implementación de ésta en una tecnología de 180 nm.



## 2 ESTRUCTURA PROPUESTA

La sección bicuadrática Fleisher-Laker fue propuesta en 1979 [3] como un bloque genérico para sintetizar funciones de transferencia de segundo orden. Deseamos implementar la misma estructura, pero empleando las técnicas P2D mencionadas. La idea subyacente en estas técnicas es dividir el procesamiento diferencial de cada muestra en dos fases, una para la parte positiva y otra para la negativa, haciendo coincidir estas con las dos fases de un circuito SC convencional. De esta forma, se obtiene un procesamiento diferencial mediante amplificadores unipolares, empleando los mismos amplificadores en ambas partes del procesamiento.

### 2.1 Integrador P2D con salida unipolar

En [4] se propone el uso de integradores P2D con salida unipolar, tras restar las tensiones obtenidas en las fases positiva y negativa respectivamente (ver figura 1). El hecho de que la salida del integrador sea una tensión almacenada en un condensador limita el uso de este circuito, ya que se debe garantizar que la impedancia de entrada del siguiente bloque sea suficientemente elevada como para no descargarlo.

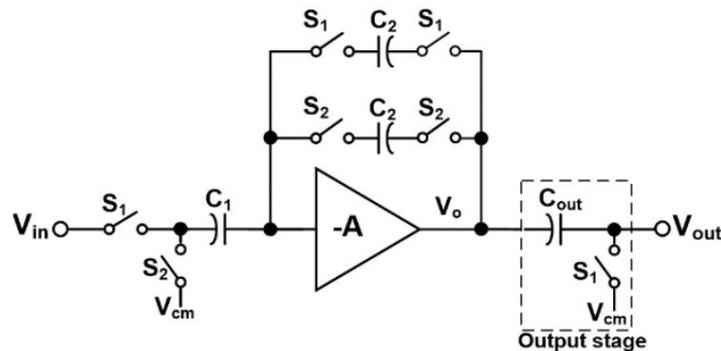


Figura 1: Integrador P2D. Figura tomada de [4]

En las figuras 2 y 3 se puede observar el integrador empleado en la sección bicuadrática Fleisher-Laker P2D propuesta en [2] y el filtro respectivamente. En este caso se emplea otro integrador, donde se ha eliminado la capacidad a la salida del amplificador, pero su salida sigue siendo unipolar. Esto limita el empleo de la técnica P2D en el segundo integrador de la sección bicuadrática, ya que hace imposible las realimentaciones necesarias si se implementase el segundo integrador como P2D.

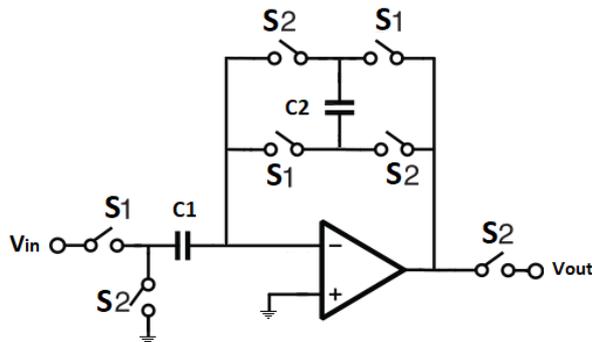


Figura 2: Integrador P2D empleado en la sección bicuadrática presentada en [2].

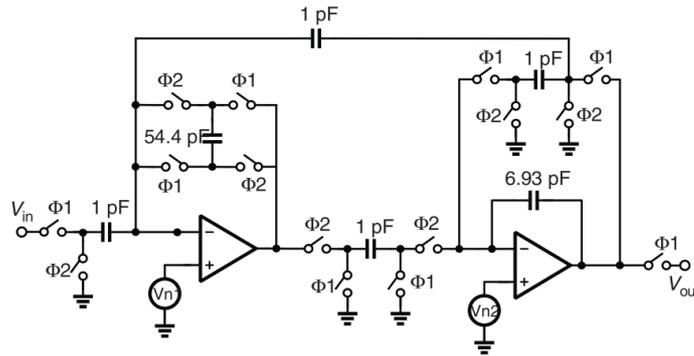


Figura 3: Sección bicuadrática P2D propuesta en [2].

## 2.2 Sección bicuadrática empleando integradores con salida bipolar

Para solventar las dificultades expuestas, en el presente trabajo se propone emplear un integrador P2D Single-ended-Processed differential (SeP-D)[5], de modo que las tensiones de las fases positiva y negativa no se resten hasta la salida del circuito. Será similar al de la figura 1, pero sin la capacidad de salida. De esta forma, se consiguen las realimentaciones con las capacidades C y E presentes en la estructura original [3]. Además de introducir esta variación en el integrador, se deberán duplicar algunas de las capacidades para permitir procesar ambas fases por separado en el mismo tiempo. En la figura 4 se presenta la sección bicuadrática propuesta, en ella se emplea la fase  $\phi_1$  para procesar la parte positiva y la fase  $\phi_2$  para procesar la parte negativa de cada muestra.

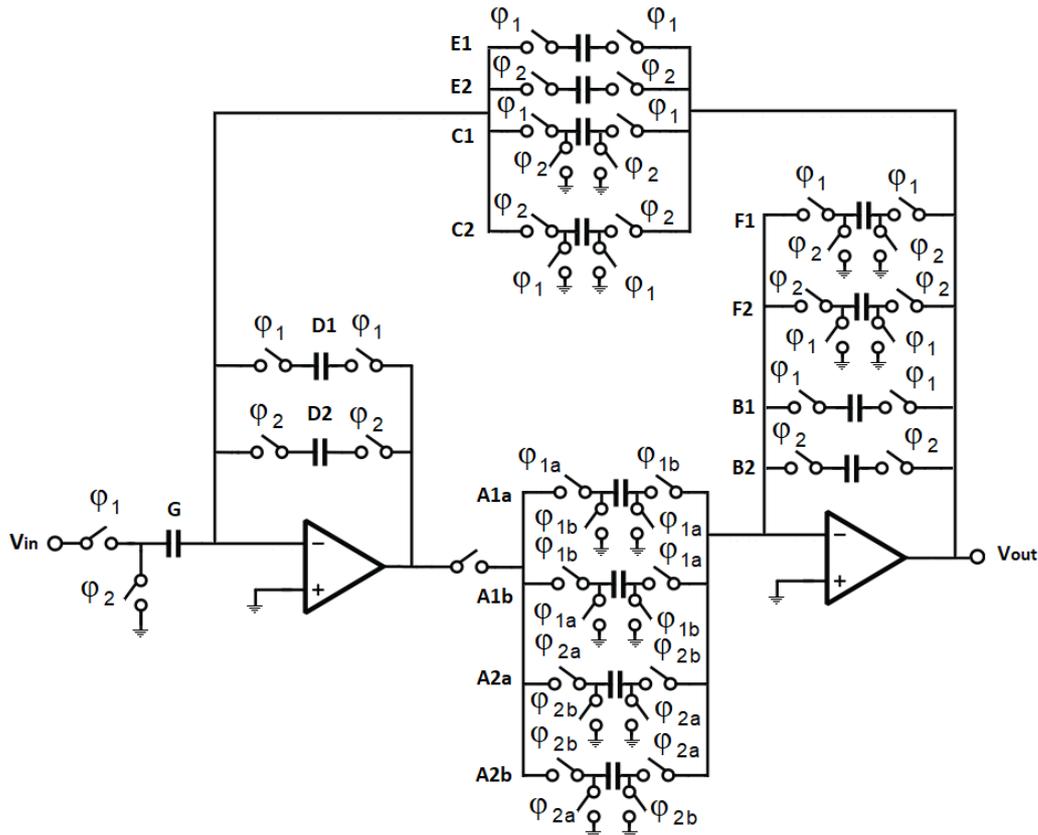


Figura 4: Sección bicuadrática Fleisher-Laker empleando la técnica P2D en ambos integradores.

En la figura 5 se han representado las diferentes señales de control de los switches del circuito de la figura 4. Las capacidades D, E, C, F, B y A se han duplicado para alojar la carga de la fase positiva en las capacidades

numeradas como '1' y la carga de la fase negativa en las capacidades numeradas como '2'. En el caso de la capacidad A, se ha duplicado una vez más para introducir el retraso de un ciclo que existe en el bucle de realimentación, empleando un par de capacidades para almacenar las cargas correspondientes a una muestra mientras se extrae la carga del otro par de capacidades. De esta forma, cada muestra estará almacenada durante un ciclo.

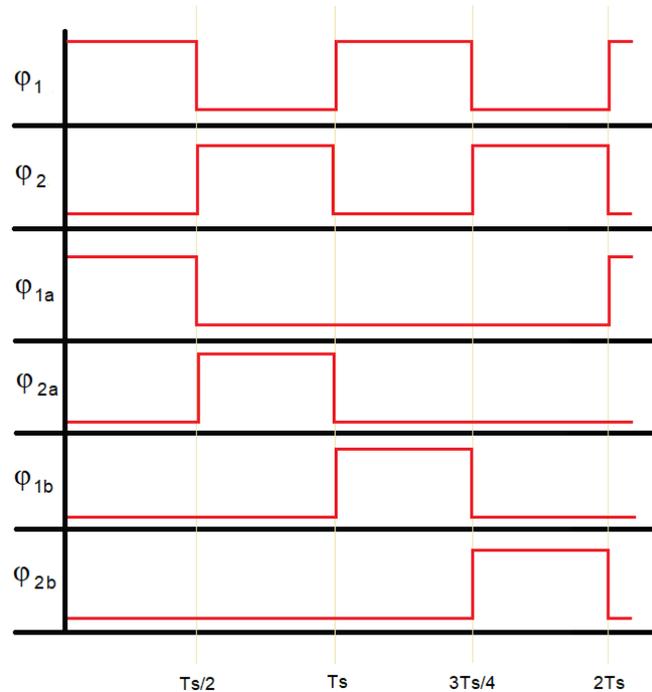


Figura 5: Señales de control de los switches del circuito de la figura 4.  $T_s$  será el tiempo de muestreo. El valor máximo coincidirá con la tensión de alimentación y el mínimo con la tensión de tierra.

Si comparamos el circuito de la figura 4 con la sección bicuadrática genérica presentada en [6] (ver figura 6), se puede observar que faltan las capacidades H, I, J K y L. La capacidad I se podría añadir de la misma manera que el condensador G. Sin embargo, para una entrada unipolar, no es posible añadir las demás capacidades sin emplear un nuevo amplificador, por lo que se ha descartado su inclusión. La carencia de estos condensadores se traducirá en la limitación de las funciones de transferencia sintetizables con esta estructura, como se verá más adelante.

## 2.3 Limitaciones en la función de transferencia

La función de transferencia en Z del filtro de la figura 4 será:

$$H(z) = \frac{AG \cdot z^{-1}}{D \cdot (F + B) - [2DB - A \cdot (C + E) + DF] \cdot z^{-1} + [DB - AE] \cdot z^{-2}}$$

Teniendo en cuenta que la salida será  $V_{out}^{\phi 1} - V_{out}^{\phi 2}$  y que la entrada será  $V_{in}^{\phi 1}$ .

La limitación en la función de transferencia antes referida es que solo puede existir un cero en ella y, además, debe estar situado en el origen del plano complejo. Cualquier función de transferencia que no cumpla este requisito no será sintetizable mediante esta estructura, aunque sea de segundo orden.

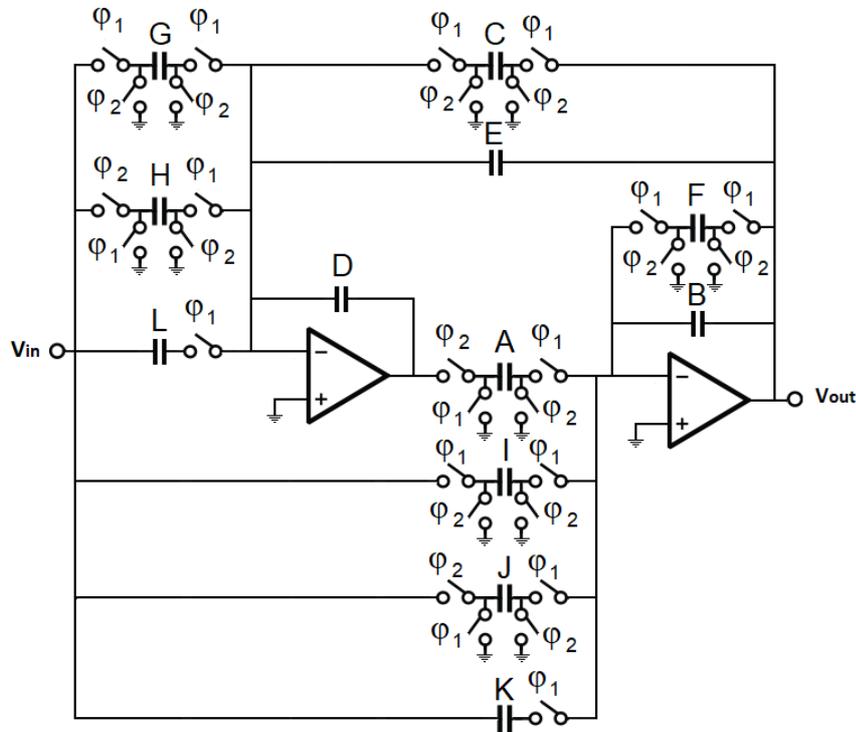


Figura 6: Sección bicuadrática genérica Fleisher-Laker. Figura obtenida de [6].

## 2.4 Consideraciones sobre ruido

El principal motivo por el que se pretende emplear esta estructura, a pesar de las limitaciones que presenta, es la reducción del ruido de baja frecuencia que permite. Tradicionalmente se ha ignorado el ruido flicker en los circuitos SC. Sin embargo, con la reducción de los tamaños en las tecnologías empleadas ya no se puede despreciar si se desean buenos resultados [7], [8]. Al emplear la estructura propuesta en la sección 2.2, solo se toma una muestra de la señal de entrada, que se empleará para ambas partes de procesado diferencial. Además, los amplificadores empleados para procesar las partes positiva y negativa de cada muestra son los mismos, por lo que las fuentes del ruido flicker en ambas partes serán físicamente las mismas. Por este motivo, al ser el ruido flicker dominante a bajas frecuencias, si la frecuencia de muestreo es suficientemente elevada, el ruido flicker añadido en las fases positiva y negativa del procesado estará correlacionado. De hecho, serán prácticamente el mismo, llegando casi a su completa eliminación al restar las contribuciones positiva y negativa [5].

# 3 ESPECIFICACIONES Y FUNCIÓN DE TRANSFERENCIA SINTETIZADA

---

Tras la presentación de la sección bicuadrática a emplear en la sección anterior, estableceremos una serie de especificaciones que el filtro que se pretende diseñar en este trabajo deberá cumplir. Después sintetizaremos una función de transferencia que permita cumplirlas.

## 3.1 Especificaciones

Las especificaciones del filtro serán:

- El filtro será paso de baja.
- El filtro deberá ser Butterworth de 2º orden.
- La frecuencia central será de  $F_c = 2$  kHz.
- La frecuencia de muestreo será  $F_s = 120$  kHz.
- La ganancia del filtro será de 0 dB.
- El filtro se implementará en una tecnología CMOS estándar de 180 nm, en concreto, del fabricante TSMC.
- Emplear una capacidad mínima de 200 fF, para asegurar que el efecto de las capacidades parásitas pueda considerarse despreciable.
- La capacidad máxima será de 5 pF.
- El error máximo a la salida de los amplificadores será del 2%.

## 3.2 Función de transferencia

Empleando la herramienta Filter Designer de Matlab, obtenemos la función de transferencia en  $z$  de un filtro Butterworth que cumpla las especificaciones anteriores:

$$H(z) = \frac{1}{392} \cdot \frac{1 + 2 \cdot z^{-1} + z^{-2}}{1 - 1,852146 \cdot z^{-1} + 0,862348 \cdot z^{-2}}$$

Sin embargo, una función de transferencia Butterworth no será sintetizable con la estructura propuesta debido a las limitaciones señaladas en el apartado 2.3. Con el objetivo de obtener una función de transferencia sintetizable, modificamos la obtenida. En concreto, sustituimos los dos ceros por un único cero en el origen del plano complejo. Después, reajustamos la posición de los polos conjugados para que la frecuencia 3dB esté en 2kHz. Por último, ajustamos la ganancia para que sea de 0dB. De este modo, obtenemos la siguiente función de transferencia:

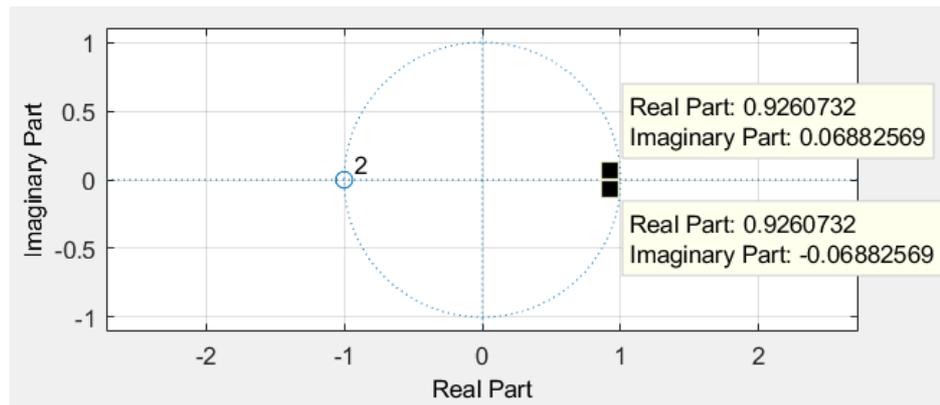


Figura 7: Situación de los polos y ceros de la función de transferencia Butterworth obtenida.

$$H(z) = \frac{1}{187,5} \cdot \frac{1 \cdot z^{-1}}{1 - 1,85216 \cdot z^{-1} + 0,862355 \cdot z^{-2}}$$

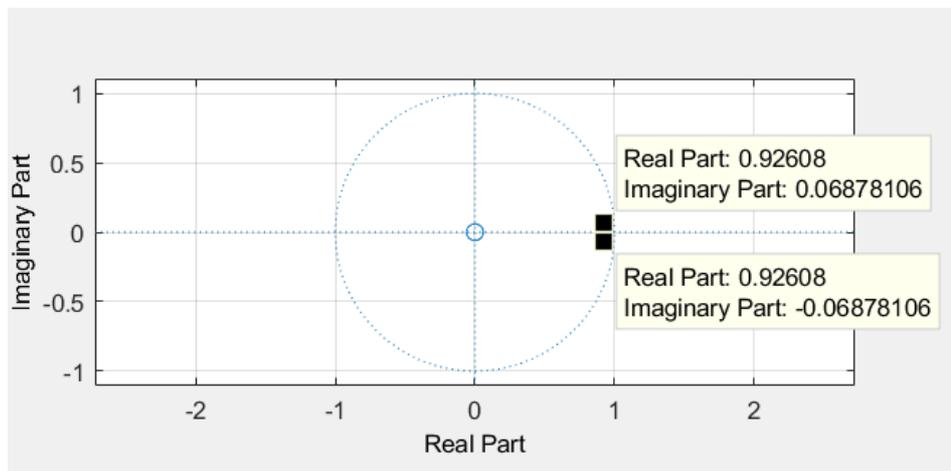


Figura 8: Situación de los polos de la función de transferencia obtenida.

En la figura 8 se puede ver la representación de los polos en el plano complejo, cuya posición se ha señalado, y el cero en el origen de coordenadas.

### 3.3 Asignación de valores a las capacidades

Atendiendo a la función de transferencia del apartado 2.3, realizamos la asignación de valores a las capacidades. La realizaremos de modo que obtengamos un filtro tipo F (con  $E = 0$ ) y con la capacidad más grande de 5 pF.

De esta forma, identificando valores entre ambas funciones de transferencia quedará:

- A = 393 fF
- G = 393 fF
- F = 798 fF
- C = 752 fF
- D = 5 pF
- B = 5 pF

Las capacidades más pequeñas, A y G, son superiores a la capacidad mínima establecida, permitiendo cierto margen para el reescalado que se realizará más adelante.

### 3.4 Comparación de las funciones de transferencia

Comparamos la respuesta en magnitud y en fase de la función de transferencia Butterworth y la aproximada con un cero en el origen. En la figura 9 se pueden comparar las respuestas en magnitud y en la figura 10 sus respuestas en fase.

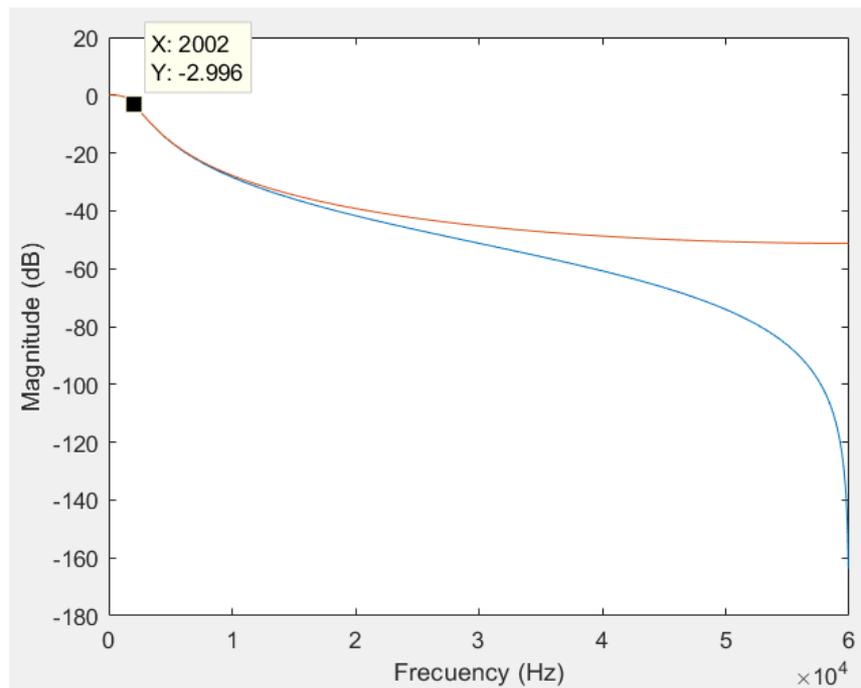


Figura 9: Respuesta en magnitud del filtro Butterworth obtenido (azul) y del filtro aproximado (naranja).

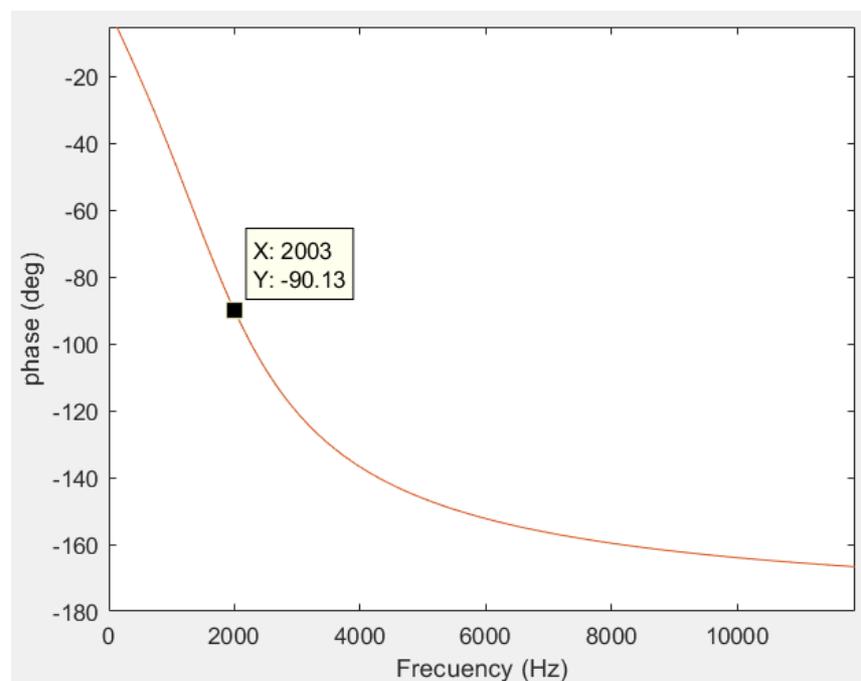


Figura 10: Respuesta en fase del filtro Butterworth (azul) y del aproximado (naranja).

### 3.5 Simulación de la función aproximada

Realizaremos una simulación ‘pac’ del circuito de la figura 4 que implemente la función de transferencia aproximada. Para ello emplearemos el software Cadence, en el que se ha realizado el esquemático pertinente, sustituyendo los amplificadores operacionales por fuentes de tensión controladas por tensión con ganancia 500 y los interruptores por el modelo de switch ideal de la biblioteca ‘AnalogLib’ de Cadence.

En la figura 11 se ha representado el diagrama de Bode obtenido. Se puede apreciar que en magnitud responde según lo esperado hasta los 60 kHz, donde se empiezan a notar los efectos de aliasing. En fase, su comportamiento se separa de lo esperado en torno a los 20 kHz (ver figuras 9-11).

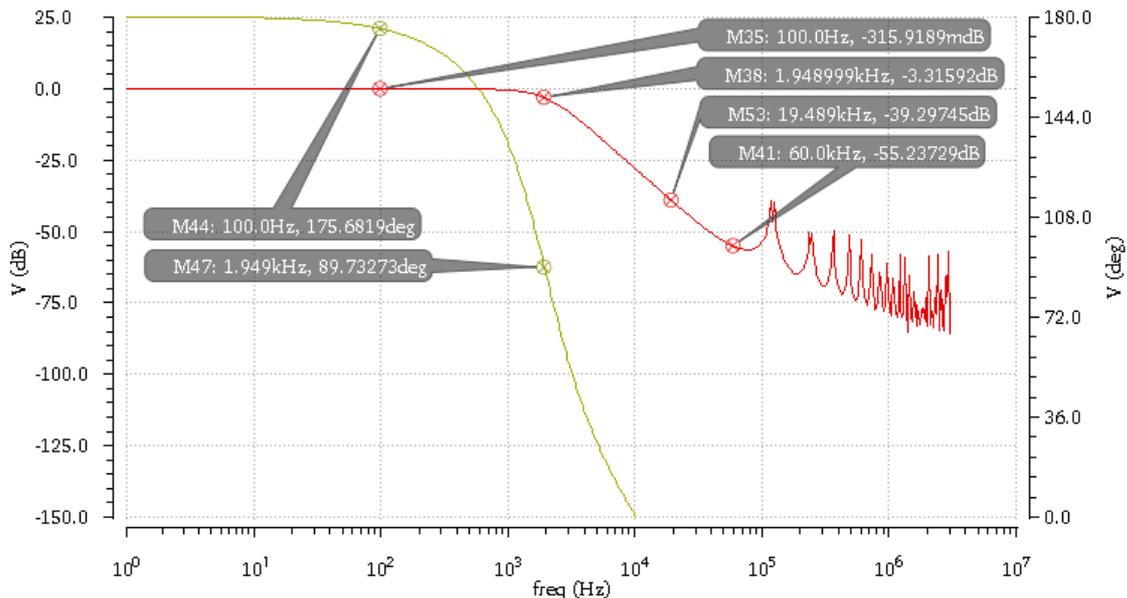


Figura 11: Respuesta del filtro implementado idealmente en magnitud (rojo) y en fase (amarillo).

### 3.6 Reasignación de valores a las capacidades

Con el objetivo de tener el mismo rango dinámico a la salida de los dos amplificadores, comparamos las ganancias en el nodo de salida del primer amplificador y en el nodo de salida del segundo, que coincide con la salida del circuito. Después reescalamos las capacidades G y C para que ambas ganancias sean lo más similares posibles, pero sin que la capacidad G baje de los 200 fF. De esta forma las capacidades quedarán:

- A = 786 fF
- G = 196.5fF
- F = 798 fF
- C = 376 fF
- D = 5 pF
- B = 5 pF

Para de reducir el desapareamiento entre los condensadores, redondeamos sus valores hasta el múltiplo de 100 fF más cercano para poder hacer un condensador unidad de 200 fF, por lo que obtendremos las capacidades:

- A = 800 fF
- G = 200 fF
- F = 800 fF
- C = 400 fF

- $D = 5 \text{ pF}$
- $B = 5 \text{ pF}$

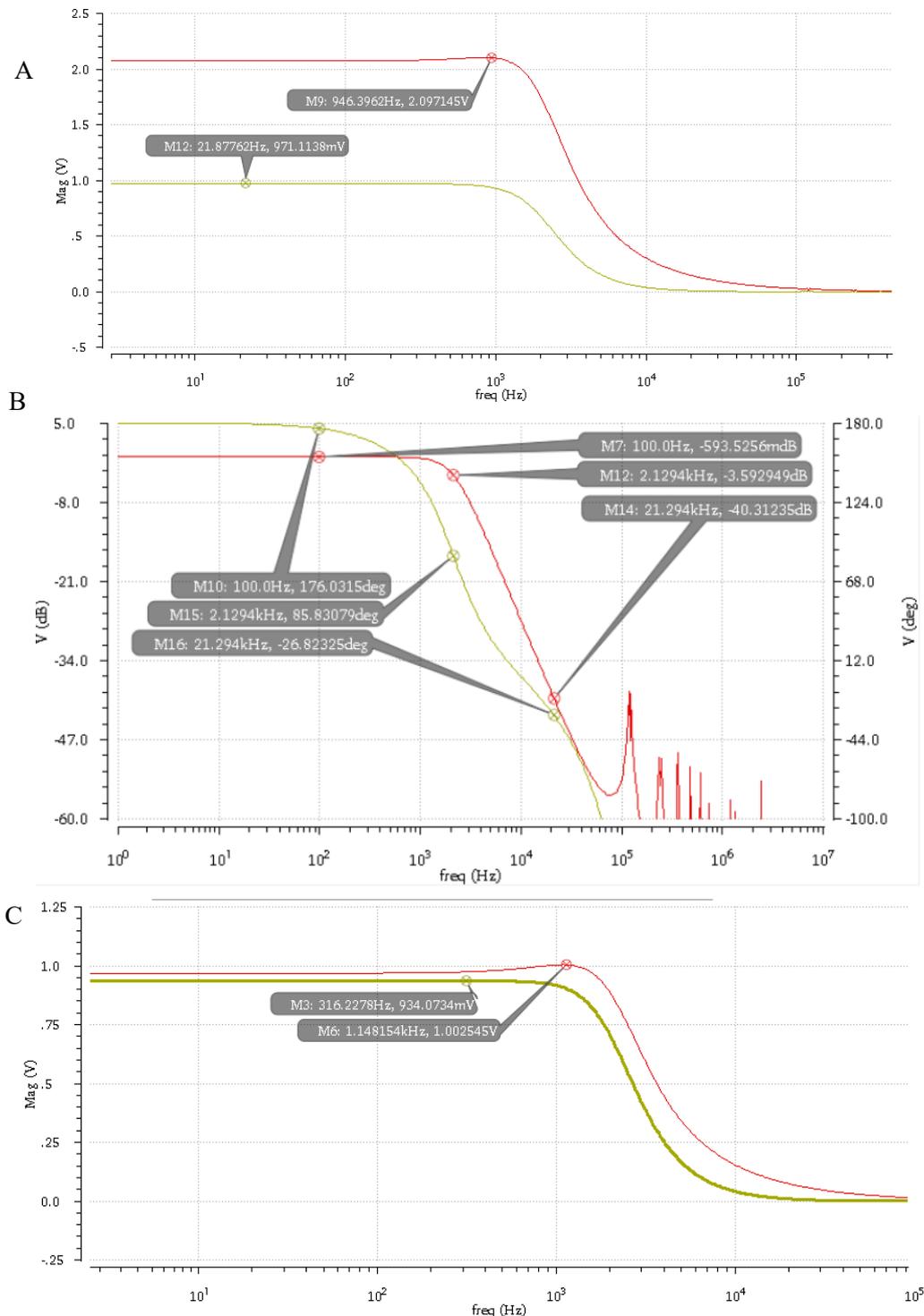


Figura 12: A) Comparación de la respuesta en magnitud de las salidas del primer amplificador (rojo) y del segundo (amarillo) antes de reescalar las capacidades, se aprecia una diferencia de 6,193 dB entre ellas. B) Diagrama de Bode del filtro al modificar las capacidades como se ha indicado, en rojo la magnitud y en amarillo la fase. C) Comparación de la respuesta en magnitud de las salidas del primer amplificador (rojo) y del segundo (amarillo) tras reescalar las capacidades y redondear sus valores.

Observando la figura 12 se aprecia que tras el reescalado y el redondeo de las capacidades la frecuencia de 3dB se desvía hasta 2,13 kHz. Sin embargo, como la diferencia entre las respuestas en magnitud entre las salidas de

los dos amplificadores se reduce a menos de 70 mV, en adelante emplearemos los valores obtenidos en este apartado para las capacidades.

# 4 AMPLIFICADOR OPERACIONAL

Para realizar la implementación del filtro, en primer lugar, se debe diseñar un amplificador operacional que cumpla unas mínimas prestaciones para el buen funcionamiento del circuito. En este capítulo estableceremos las especificaciones que el amplificador deberá satisfacer y diseñaremos un amplificador operacional que las cumpla.

## 4.1 Especificaciones del amplificador

### 4.1.1 Ganancia

Deseamos que el error a la salida de cada amplificador no supere el 2%. Este requisito nos fijará la ganancia que debe tener el amplificador (ver figura 13) según las ecuaciones:

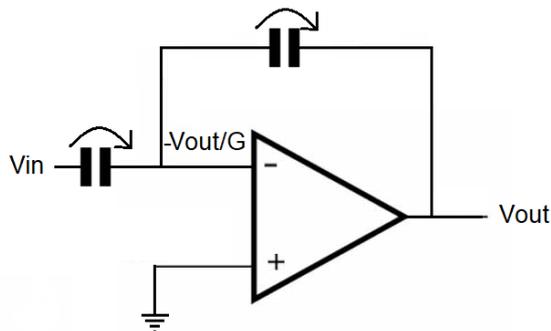


Figura 13: Valor de la tierra virtual en función de la ganancia del amplificador.

$$V_{out} = -0,98 \cdot V_{in}$$

$$V_{out} = V_{in} - 2 \cdot \left( V_{in} - \frac{V_{out}}{G_{min}} \right)$$

De lo que se deduce:

$$0,98 = \frac{1}{1 + \frac{2}{G_{min}}}$$

Por lo tanto:

$$G_{min} = \frac{2}{\frac{1}{0,98} - 1} = 98$$

### 4.1.2 Estructura del amplificador

Debemos elegir una estructura para el amplificador que nos permita superar la ganancia mínima calculada en el apartado anterior. Si empleásemos un par diferencial simple, la ganancia vendría dada por:

$$G = g_m \cdot (r_{o1} || r_{o2})$$

Que en la tecnología que estamos empleando es del orden de:

$$G = g_m \cdot (r_{o1} || r_{o2}) \rightarrow G \cong 30\mu \cdot 670K \cong 20$$

Por lo que no alcanzaríamos el mínimo de ganancia necesario. Para aumentar la ganancia, sería necesario emplear dos etapas o introducir cascodos. Si optásemos por emplear un amplificador de dos etapas nos veríamos obligados a compensar los polos del amplificador, por lo que emplearemos cascodos. Esta elección reduciría el rango de señal a la salida, por lo que optaremos por un amplificador cascodo plegado con salida unipolar, polarizado mediante una corriente de referencia. Esta configuración nos permitirá alcanzar la ganancia suficiente para cumplir la especificación de ganancia. En la figura 14 se puede ver la estructura mencionada.

Se ha optado por una entrada p porque de esta manera se reduce el ruido flicker en el amplificador.

$I_b$  es la corriente de polarización.  $V_{cp}$  es la tensión de puerta de polarización de los transistores p en configuración cascodo y  $V_{cn}$  es la de los transistores n en configuración cascodo.  $V_{cm}$  será la tensión de modo común. Para minimizar el consumo, tomaremos una  $I_b$  lo más reducida posible, pero teniendo en cuenta la limitación de Slew Rate (SR) que tenemos. Este tema se tratará en el apartado 4.3. La elección de estos parámetros determinará la máxima amplitud que el amplificador podrá dar.

## 4.2 Polarización de los transistores

Debemos escoger la tensión de modo común y las tensiones de polarización. Para escoger el modo común, tomaremos la tensión que maximice el rango de salida del amplificador. En el nodo de salida, para que todos los transistores estén en saturación, debemos respetar la tensión  $V_{ds}$  de saturación de los transistores M7, M9, M11 y M12. Supondremos que la tensión  $V_{ds}$  de saturación de los transistores tipo p y tipo n será la misma, ya que ajustaremos sus tamaños para obtener la misma tensión efectiva, y por consiguiente, como la limitación es igual desde alimentación a  $V_{out}$  y desde  $V_{out}$  a la referencia de tierra, tomaremos la tensión de modo común  $V_{cm} = \frac{1}{2}V_{cc} = 0,9\text{ V}$ .

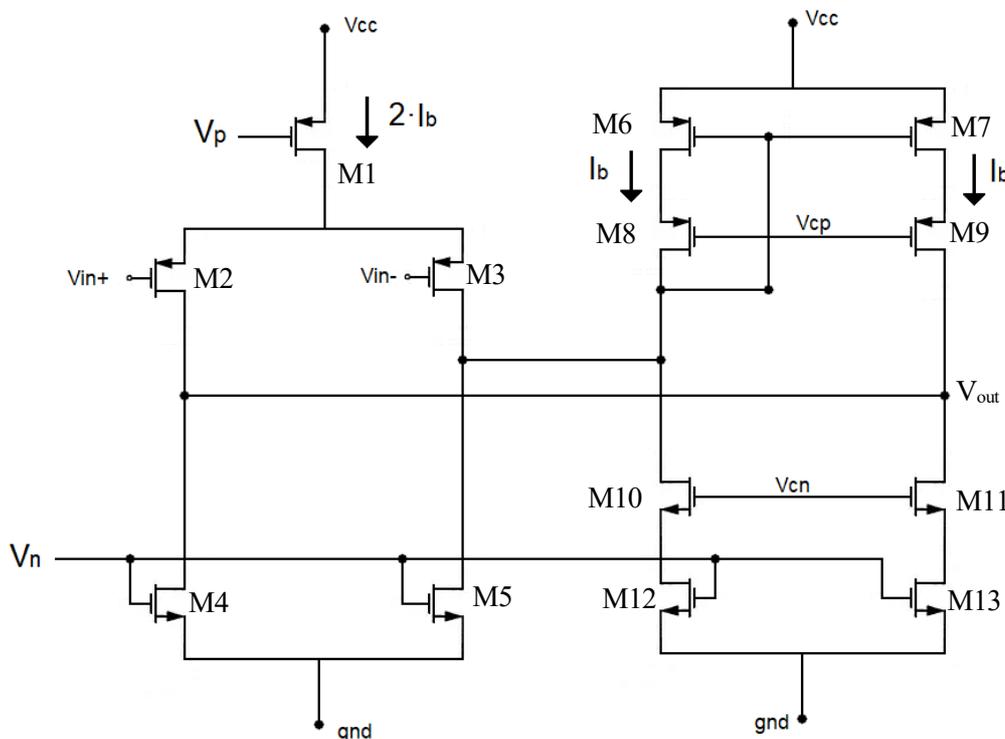


Figura 14: Estructura del amplificador.

Con respecto a las tensiones de polarización, al elegir  $V_{cn}$  se debe respetar la tensión  $V_{th}$  de M10 y la tensión  $V_{ds}$  de saturación de M12, además de la tensión eficaz ( $V_{ef} = V_{gs} - V_{th}$ ) de M10. Tomaremos  $V_{ef} = 0,1 V$  para que la tensión de saturación sea aproximadamente  $0,1 V$ , aunque cabe esperar que sea ligeramente superior. La tensión umbral para los transistores tipo n con efector sustrato es  $0,6 V$  aproximadamente, por lo que tomamos:

$$V_{cn} = V_{ds SAT} + V_{th} + V_{ef} = 0,1 V + 0,1 V + 0,6 V = 0,8 V$$

Para elegir  $V_{cp}$  razonaremos de la misma manera, Al ser la  $V_{th}$  de los transistores tipo p  $0,58 V$  aproximadamente, obtenemos:

$$V_{cp} = V_{cc} - V_{ds SAT} - V_{th} - V_{ef} = 1,8 V - 0,1 V - 0,1 V - 0,6 V = 1,02 V$$

Para respetar las tensiones de saturación de los transistores, se tomará como amplitud máxima:

$$A_{max} = 0,5 V$$

Las tensiones  $V_n$  y  $V_p$  serán fijadas más adelante mediante un espejo de corriente (ver figura 15), de forma que se garantice el paso de  $I_b$  por cada rama, como se indica en la figura 14.

### 4.3 Elección de $I_b$

La elección de la corriente de polarización de las diferentes ramas,  $I_b$ , está condicionada por las especificaciones que hemos puesto al amplificador. En particular, las especificaciones impuestas se traducen en un mínimo Slew Rate (SR) para el amplificador:

$$SR \geq 2 \frac{A_{max}}{T_m}$$

El SR está relacionado con la corriente de polarización de la siguiente manera:

$$SR = \frac{I_b}{C_L}$$

Siendo  $C_L$  la capacidad de carga. Por lo tanto:

$$2 \frac{A_{max}}{T_m} \leq \frac{I_b}{C_L} \rightarrow I_b \geq \frac{2 \cdot A_{max} \cdot C_L}{T_m} \rightarrow I_b \geq 0,875 \mu A$$

Para asegurar el cumplimiento de las especificaciones tomamos:

$$I_b = 2,5 \mu A$$

### 4.4 Dimensionamiento de los transistores

Deseamos que las cuatro ramas del amplificador sean polarizadas por  $I_b$ . Esto condicionará la relación  $W/L$  de los transistores según la expresión:

$$I_{ds} = \frac{1}{2} \cdot K \cdot \frac{W}{L} \cdot V_{ef}^2$$

La  $K$  viene fijada por la tecnología y la  $V_{ef}$  fue elegida en el apartado 4.3. En la tecnología que emplearemos para  $I_{ds} = I_b$ , con las tensiones que ya se han fijado, en los transistores tipo n obtenemos  $W/L = 1$  y, en los de tipo p,  $W/L = 3$ . Para evitar posibles problemas, fijaremos  $L$  a dos veces la  $L$  mínima de la tecnología, es decir:

$$L = 2 \cdot L_{min} = 360 nm$$

Por lo que obtenemos los valores de  $W$  como:

$$W_n = 360 nm$$

$$W_p = 1,08 \mu m$$

La excepción a esta regla será el transistor M1, ya que será atravesado por la corriente de dos ramas, por lo que

será el doble de ancho:

$$W_{M1} = 2 \cdot W_p = 2,16 \mu m$$

De esta manera quedan fijados los tamaños de todos los transistores de la figura 14.

### 4.5 Generación de las tensiones de polarización.

Con el objetivo de hacer que el circuito sea robusto frente a las tolerancias de fabricación, las tensiones de polarización antes mencionadas ( $V_{cp}$  y  $V_{cn}$ ) las generaremos a partir de la misma referencia de corriente de la figura 14.

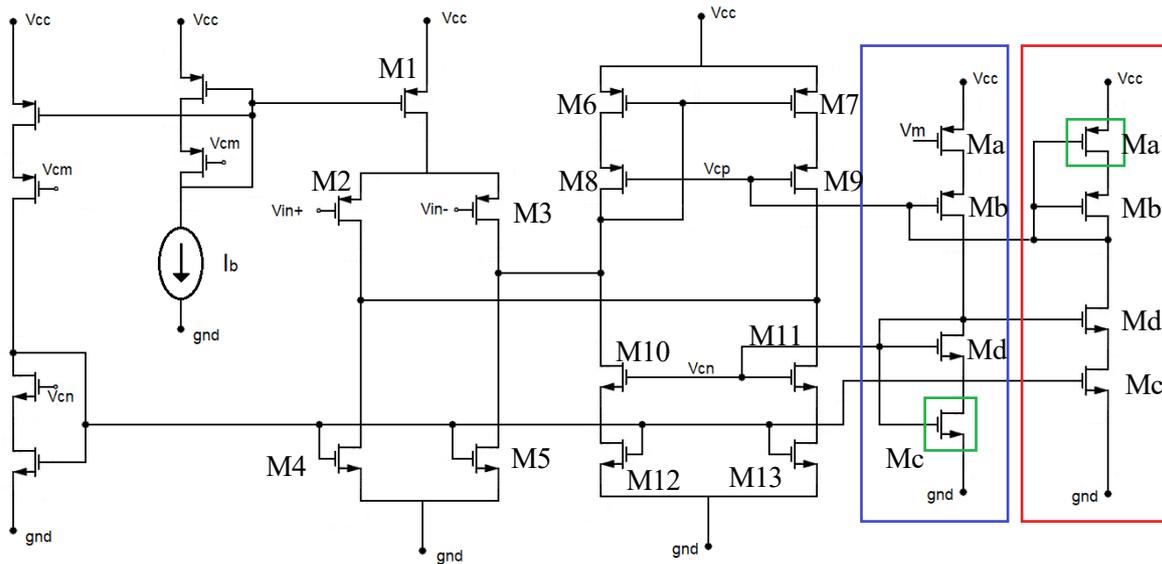


Figura 15: Parte del amplificador que aparece en la figura 13 junto con las estructuras de generación de corrientes de polarización del amplificador, recuadradas en azul y rojo.

En la figura 15 se puede observar recuadrado en azul el circuito que genera la tensión de polarización  $V_{cn}$  y en rojo el circuito que genera  $V_{cp}$ . Los transistores  $Ma$ ,  $Ma'$ ,  $Mb$ ,  $Mb'$ ,  $Mc$  y  $Mc'$  serán de los tamaños indicados anteriormente en función de si son de tipo n o de tipo p. Para generar la tensión correspondiente en cada nodo, se variará la  $L$  de los transistores  $Md$  y  $Md'$ , manteniendo la  $W$  en ambos casos a  $360nm$ . En el espejo de corriente de la izquierda se ha elegido la tensión de modo común para polarizar el cascode porque la entrada positiva está fijada a  $V_{cm}$  en todos los casos en los que se emplea el amplificador y la entrada negativa variará poco en torno a  $V_{cm}$ , ya que siempre se emplea para generar un nodo de tierra virtual.

Para obtener  $V_{cn} = 0,8 V$  se ha fijado  $L_{Md} = 1,8 \mu m$ . En el caso de  $Md'$  se ha fijado  $L_{Md'} = 450 nm$ , obteniendo  $V_{cp} = 1,02 V$ .

### 4.6 Simulación del amplificador

Para comprobar que el amplificador cumple los requisitos establecidos al principio de este capítulo, vamos a simular la respuesta del amplificador al colocarlo en la situación de la figura 16, con bucle de realimentación capacitivo, en el que las capacidades sean de  $6,2 pF$ . Se le conectará a la entrada un tren de pulsos como el de la figura 17. De esta manera podremos comprobar si es capaz de satisfacer las especificaciones.

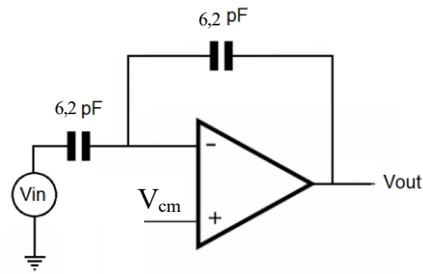


Figura 16: Amplificador con bucle de realimentación capacitivo.

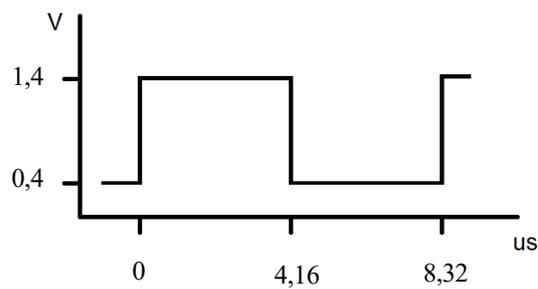


Figura 17: Forma de onda de  $V_{in}$  en el montaje de la figura 14.

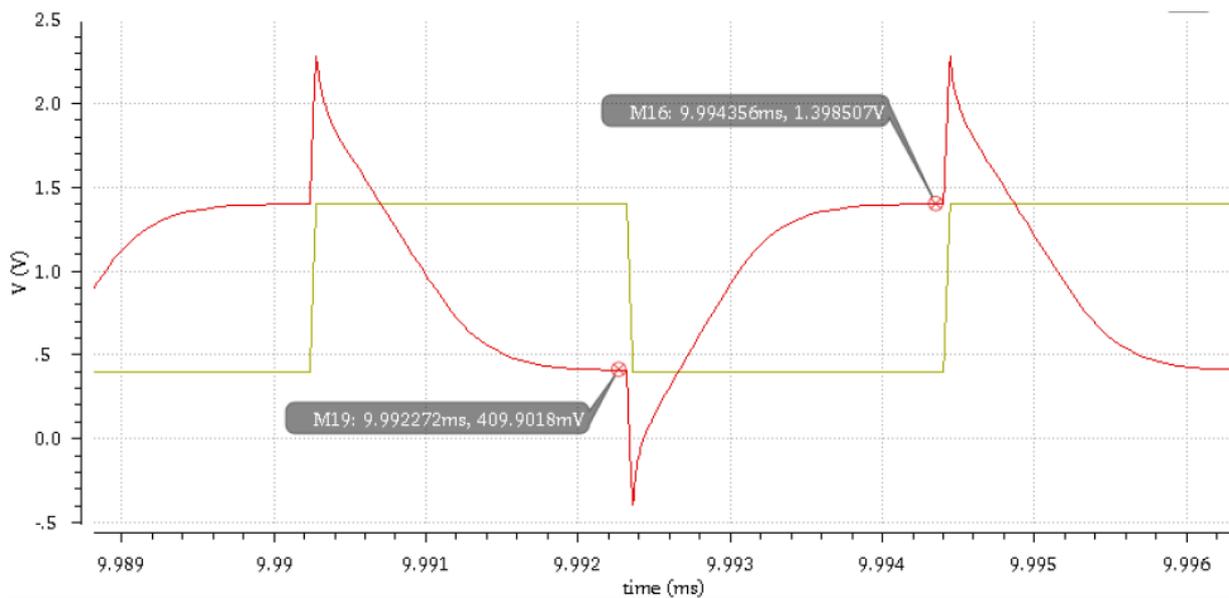


Figura 18: Resultado de la simulación del circuito de la figura 16 al inyectarle como entrada la señal de la figura 17. La entrada se ha representado en rojo y la salida en amarillo.

En la figura 18 se ha representado el resultado de la simulación. El error en tanto por ciento cuando la entrada es de 0,4 V será de:

$$error(\%) = \frac{409,9 \text{ mV} - 400 \text{ mV}}{500 \text{ mV}} \cdot 100 = 1,98\%$$

En el caso de  $V_{in} = 1,4 \text{ V}$  será:

$$error(\%) = \frac{1,4 \text{ V} - 1,398 \text{ V}}{0,5 \text{ V}} \cdot 100 = 0,4\%$$

## 4.7 Reajuste del amplificador

Para reducir el error cuando la salida del amplificador es mínima, aumentamos  $V_{cm}$  a 1,02 V, haciéndola igual a  $V_{cp}$ . Además, aumentamos  $V_{cn}$  hasta 0,85 V (por lo que la  $L$  de  $M_c$  la modificamos:  $L_{Mc} = 2,4 \mu m$ ). De esta manera obtenemos el resultado de la figura 20.

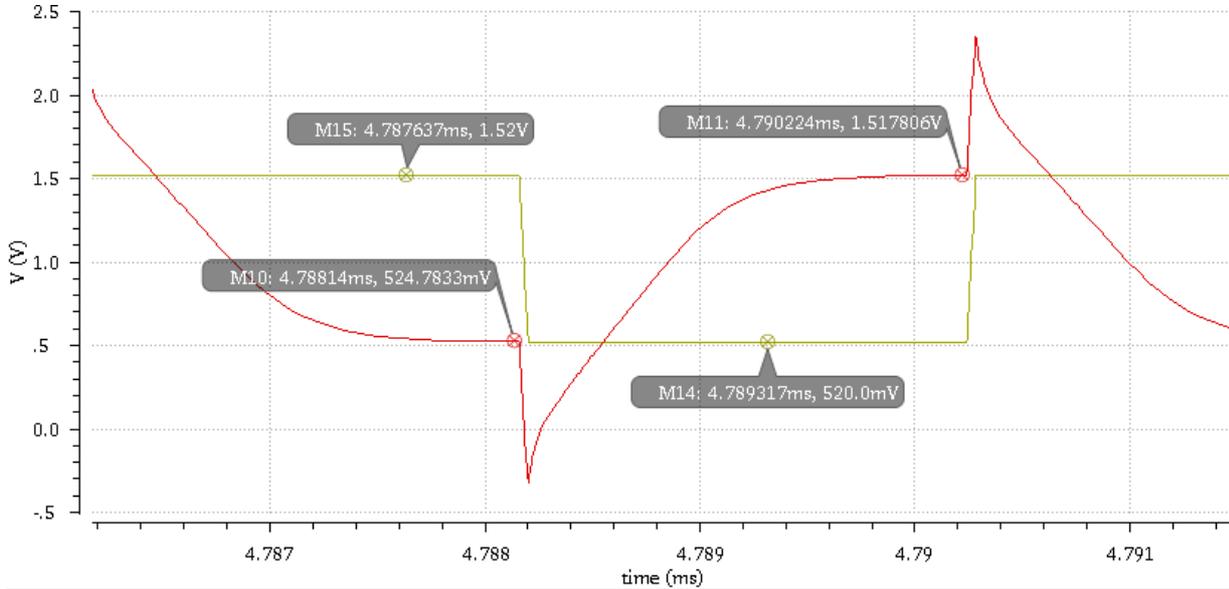


Figura 19: Salida del amplificador (rojo) al inyectar la entrada representada al circuito de la figura 16.

Recalculamos los errores porcentuales del amplificador, en el caso de  $V_{in} = 0,52V$  obtenemos:

$$error(\%) = \frac{524,78 \text{ mV} - 520 \text{ mV}}{500 \text{ mV}} \cdot 100 = 0,956\%$$

En el caso de  $V_{in} = 1,52 \text{ V}$  será:

$$error(\%) = \frac{1,52 \text{ V} - 1,5178 \text{ V}}{0,5 \text{ V}} \cdot 100 = 0,44\%$$

De esta manera superamos holgadamente la especificación. Tras estas simulaciones, podemos concluir que el amplificador diseñado cumple las especificaciones establecidas, ya que su error ante  $A_{max}$  no supera el 2% establecido.

## 4.8 Diagrama de Bode del amplificador

Una vez polarizado el amplificador, realizaremos un análisis AC del mismo en un montaje en bucle abierto, con una capacidad de carga  $C_L = 5p$ , para obtener su diagrama de Bode, que se ha representado en la figura 20. Se puede apreciar que la frecuencia de corte del amplificador es de 1,22 kHz aproximadamente. El amplificador tiene una ganancia  $G = 56,5 \text{ dB}$  aproximadamente, lo que en unidades naturales corresponde a  $G = 550$ , mayor a la necesaria. Esto nos asegura que, en 2 kHz, la ganancia sea superior a 98.

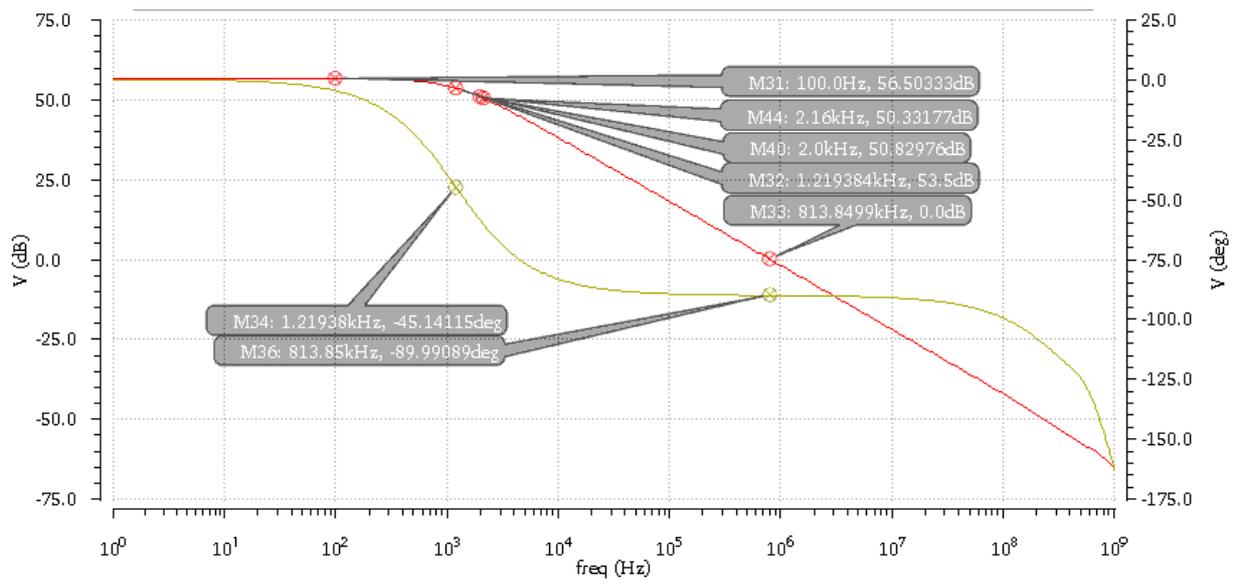


Figura 20: Diagrama de Bode del amplificador con una capacidad de carga de 5 pF, inferior a la carga de ambos amplificadores.



# 5 ANÁLISIS DEL FILTRO

---

En este capítulo se analizará y simulará el comportamiento del filtro empleando elementos reales. Para ello, se sustituirán las fuentes de tensión controladas por tensión que se han empleado en capítulos anteriores por el amplificador diseñado en el capítulo anterior. A continuación, se sustituirá el modelo ideal por switches contruidos a partir de transistores. Estos switches se diseñarán en el apartado siguiente.

## 5.1 Diseño de los switches

Para el diseño de los switches tendremos en cuenta dos posibles casos (ver figura 4):

- Primer caso: Que el switch en cuestión en ningún caso vaya a tener que copiar una tensión cercana a la tensión de alimentación  $V_{cc}$ , entendiendo por cercana que esté separada de ésta por menos de la  $V_{th}$  de los transistores de tipo n.
- Segundo caso: Que el switch pueda enfrentarse a una situación en la que deba copiar una tensión que diste menos de  $V_{th}$  de  $V_{cc}$ .

### 5.1.1 Primer caso

En estos casos si se emplea un transistor tipo n en la configuración mostrada en la figura 21, el transistor nunca estará en corte, cuando la tensión de la señal de control del switch sea de 1,8 V, que es la tensión de alimentación del circuito.

De esta forma, garantizamos que el transistor esté polarizado en saturación, permitiendo que la copia de tensión sea buena. Se ha representado este tipo de switches en la figura 21 a.

### 5.1.2 Segundo caso

Dadas las circunstancias de este tipo de switches, si se emplease únicamente un transistor de tipo n se podría dar el caso de que la tensión de la puerta menos la tensión de la fuente del transistor fuese inferior a  $V_{th}$ , y que el transistor entrase en corte. Si se diese el caso, la copia de tensión no sería la deseada. Por esto, se ha optado por emplear un transistor de tipo n junto con uno de tipo p conectados en paralelo formando una puerta de transmisión. De esta forma, si el transistor p entrase en zona de corte, el n estaría en zona de saturación y viceversa. Al ser la relación  $K_n/K_p = 3$  en esta tecnología, se ha decidido la siguiente relación:

$$W_p = 3 \cdot W_n = 1,08 \mu m$$

$$L_p = L_n = 2 \cdot L_{min} = 360 nm$$

De esta manera se maximizará la linealidad de los switches. Este tipo de switch se ha representado en la figura 21 b. En la figura 21 c se han representado las señales de reloj de los switches.

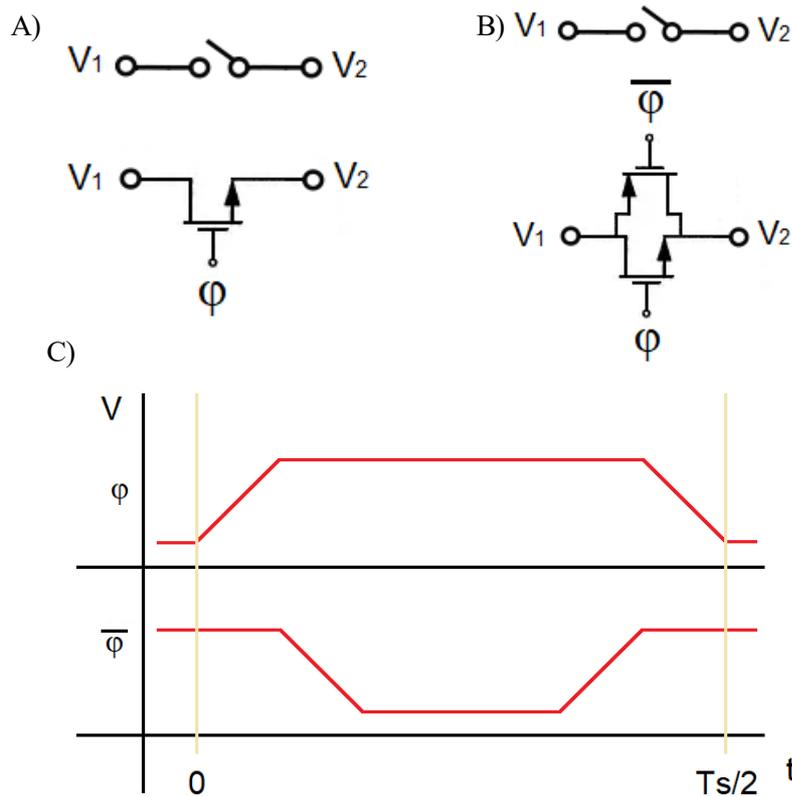


Figura 21: A) Switch tipo 1, solo es un transistor tipo n. B) Switch tipo 2, con un transistor tipo n y otro tipo p. C) Señales de control de los switches.

### 5.1.3 Simulación del funcionamiento de los switches

Simularemos el montaje de la figura 22 para comprobar que los switches responden correctamente. La tensión de entrada máxima será de 1,55 V y la mínima será de 0,25 V, ya que son tensiones que sobrepasan los límites que se emplearán a lo largo de este trabajo.

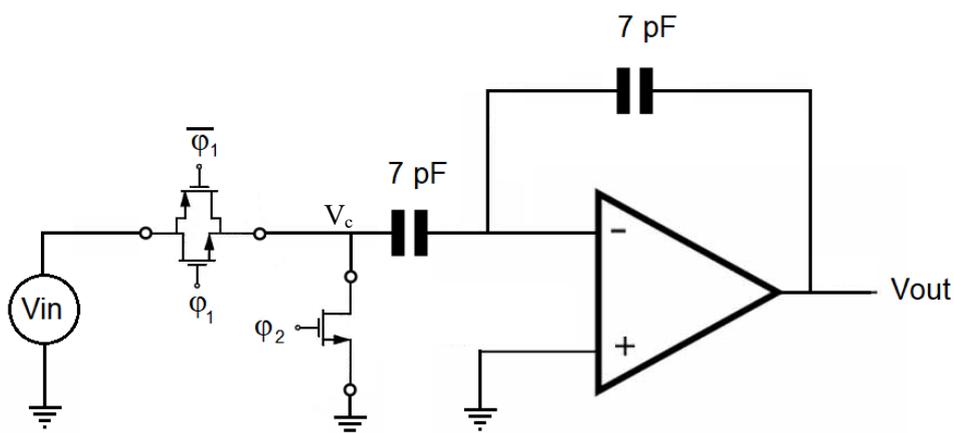


Figura 22: montaje empleado para comprobar el funcionamiento de los switches diseñados.

En la figura 23 se puede observar el resultado de la simulación del esquemático de la figura 22.

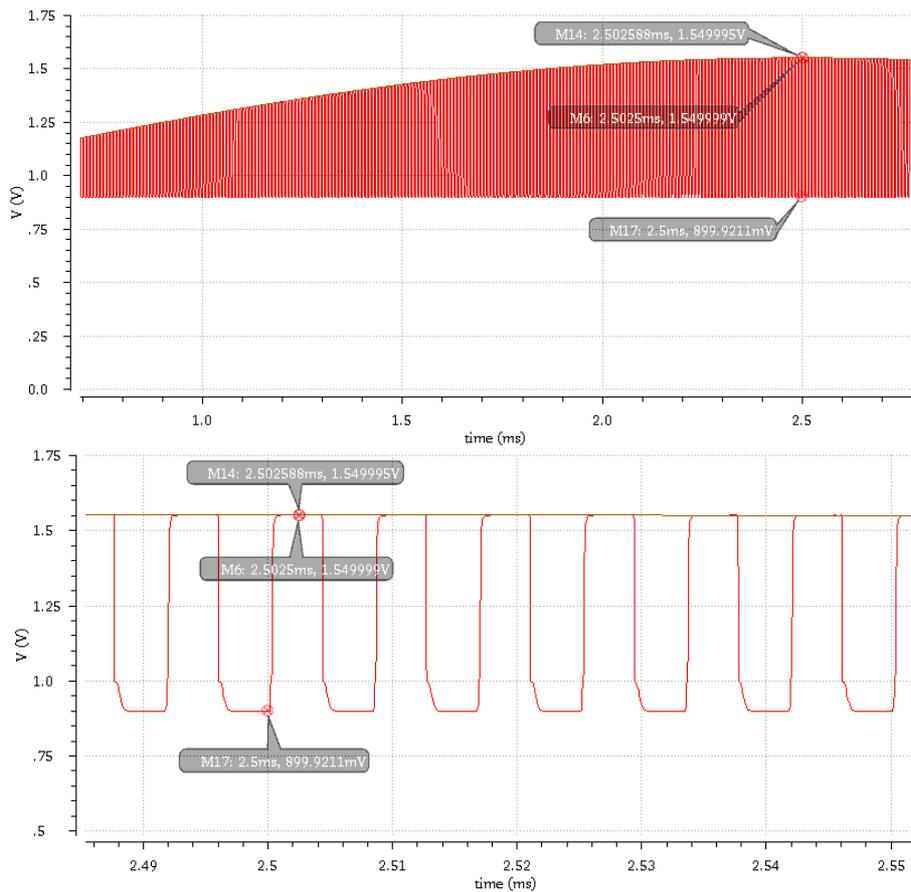


Figura 23: Arriba: Tensión de entrada (marrón) y tensión en el nodo  $V_c$ . Abajo: detalle en la zona de máxima amplitud de la entrada. Se puede observar que el error al copiar una tensión de 1,55 V el error es mínimo. Lo mismo sucede al copiar la tensión de modo común.

Tras ver los resultados de la figura 23, podemos concluir que los switches propuestos funcionan correctamente en el rango de tensiones que vamos a emplear.

### 5.2 Etapa de salida

La salida del filtro será de tipo diferencial, pero saldrá en serie por un único nodo (ver figura 24). Con el objetivo de convertir la salida del filtro a unipolar para poder realizar los análisis pertinentes se propone la etapa de la figura 25, que se conectará al terminal de salida del filtro (ver figura 4).

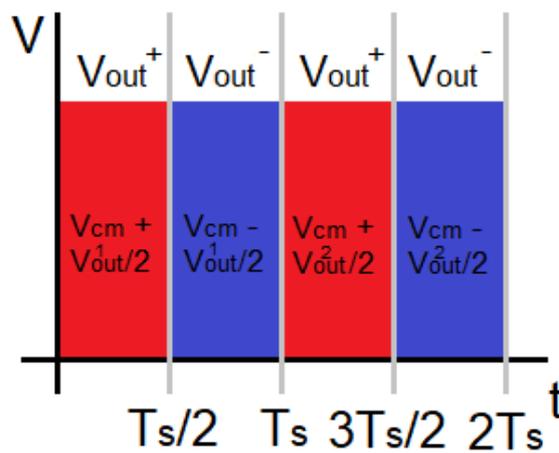


Figura 24: Forma de la salida del filtro.

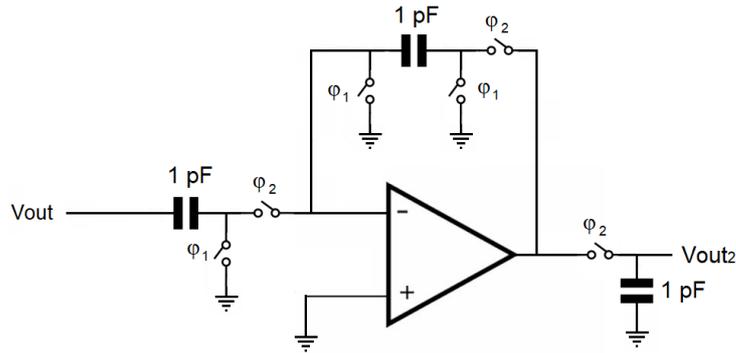


Figura 25: Etapa de salida que permite convertir la señal de salida del filtro a unipolar.

### 5.2.1 Implementación en el integrado

La etapa de la figura 25 admite dos posibilidades de cara a su implementación. La primera sería que su implementación se realizase en el propio circuito integrado del filtro, con la ventaja de que la salida desde el integrado sería directamente en unipolar. En este caso la amplitud de salida máxima sería la mitad del rango dinámico del amplificador, que sería el mismo de los empleados en el filtro, por lo que la amplitud de salida deberá cumplir:

$$V_{out} \leq A_{max} = 0,5 V$$

### 5.2.2 Implementación externa

Otra opción sería que la salida del integrado fuera de tipo SeP-D, del modo indicado en la figura 24. En este caso, la etapa de la figura 25 debería implementarse en un circuito externo al integrado. La salida del integrado podría tener de dos veces el rango dinámico del amplificador de esta forma. Esto se debe a que, al estar su salida sin restar las contribuciones positiva y negativa, la tensión de salida será, durante la fase  $\phi_1$ :

$$V_{out+} = V_{cm} + \frac{V_{out}}{2} \leq 1,52 V$$

Y durante la fase  $\phi_2$ :

$$V_{out-} = V_{cm} - \frac{V_{out}}{2} \geq 0,52 V$$

De este modo, si se emplease un amplificador operacional externo convenientemente alimentado, la amplitud de salida sería:

$$V_{out} \leq 2 \cdot A_{max} = 1 V$$

## 5.3 Simulación del funcionamiento del filtro

Los switches tipo 1 y 2 se distribuirán en el circuito siguiendo los criterios descritos al principio del apartado anterior. Tras el montaje de este esquemático en Cadence, se realizará un análisis pac. Basándonos en los resultados obtenidos, identificaremos la frecuencia de corte del filtro. Después, realizaremos un análisis transitorio al inyectarle una entrada de 100 Hz, de la frecuencia de corte, una década por encima de la frecuencia de corte y una década por debajo de la frecuencia de corte, para comprobar las disparidades entre las amplitudes de salida obtenida en estas simulaciones y la que dicta el diagrama de bode que obtengamos tras el análisis pac.

### 5.3.1 Simulación con etapa de salida integrada

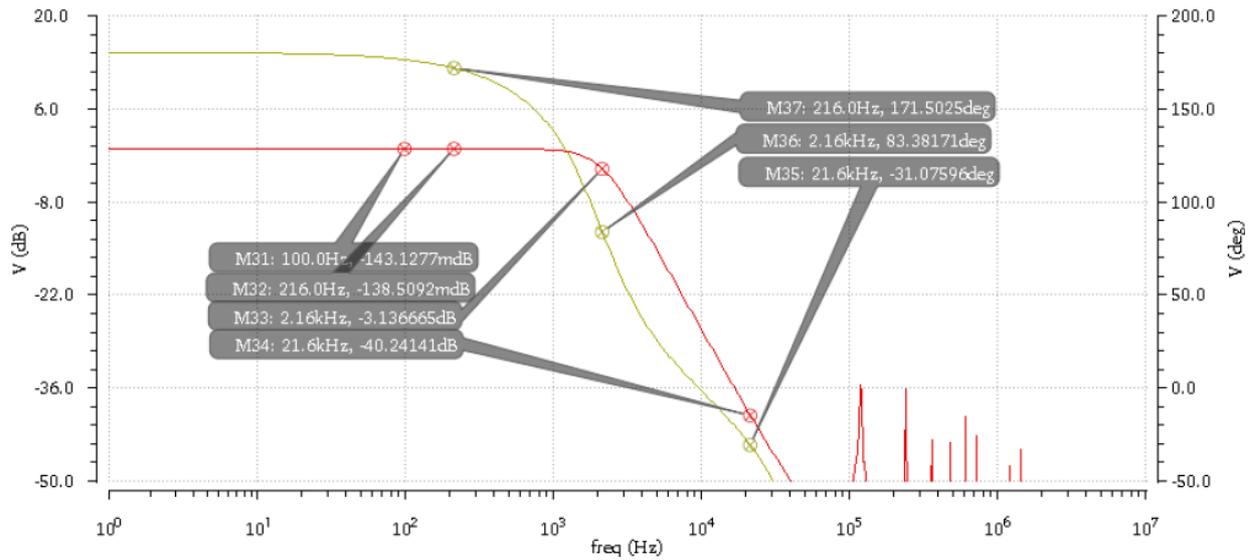


Figura 26: Diagrama de Bode del filtro con los switches y amplificador diseñados tras realizar un análisis pac.

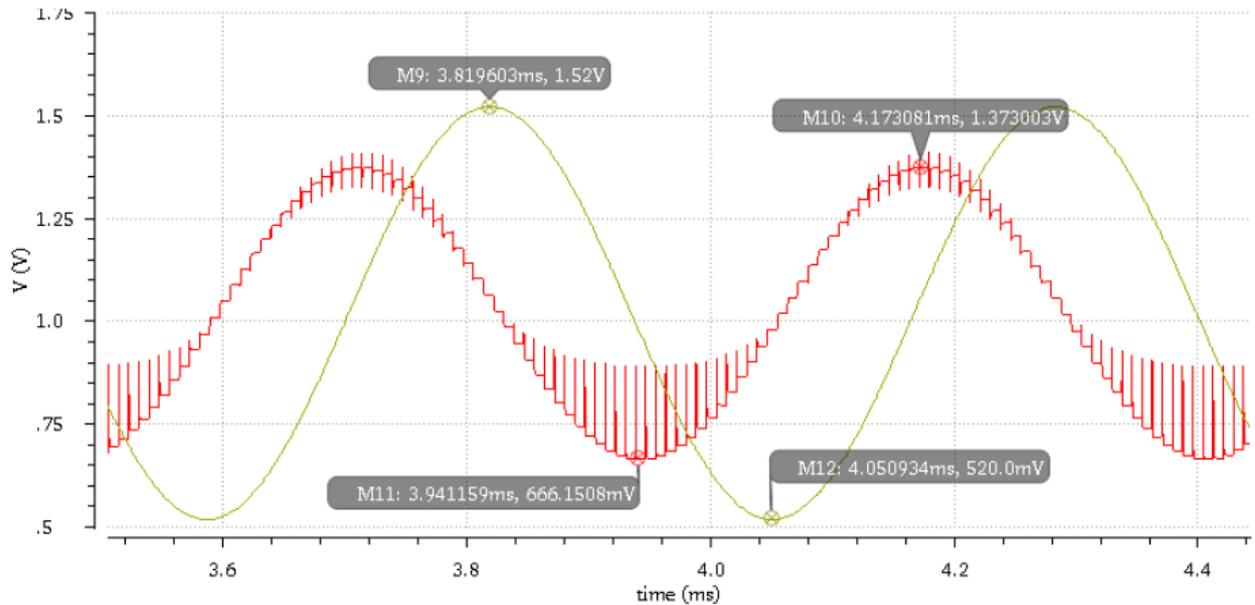


Figura 27: Entrada de 2,1kHz y 0,65 V de amplitud (amarillo) y su salida correspondiente (rojo).

En la figura 27 se ha representado el resultado de la simulación del filtro completo al inyectarle una señal de máxima amplitud a la frecuencia de corte del filtro. Se han realizado simulaciones similares a 100 Hz, 211 Hz, 21,1 kHz con 0,5 V de amplitud en todos los casos. Los resultados obtenidos en estas simulaciones se han presentado en la tabla 1. Estas salidas se han obtenido empleando la etapa de salida integrada del apartado 5.2.1.

Tabla 1: Comparación de resultados entre el análisis pac y los transitorios a diferentes frecuencias empleando la etapa de salida integrada.

$F_{in}$	Amplitud pac	Amplitud transitorio	Error (%)
100 Hz	491,8 mV	511,8 mV	4,1 %
216 Hz	492,1 mV	508,0 mV	3,23 %
2,16 kHz	348,4 mV	353,3 mV	1,40 %
21,6 kHz	4,86 mV	5,1 mV	4,94 %

### 5.3.2 Simulación con etapa de salida externa

En este apartado realizaremos las mismas simulaciones, pero sustituyendo la etapa propuesta en la figura 25 por un restador ideal.

En la figura 28 se ha representado el diagrama de bode del filtro resultante al emplear un restador ideal a la salida. En la figura 29 se puede observar la salida del filtro al inyectar una entrada de 2,16 kHz.

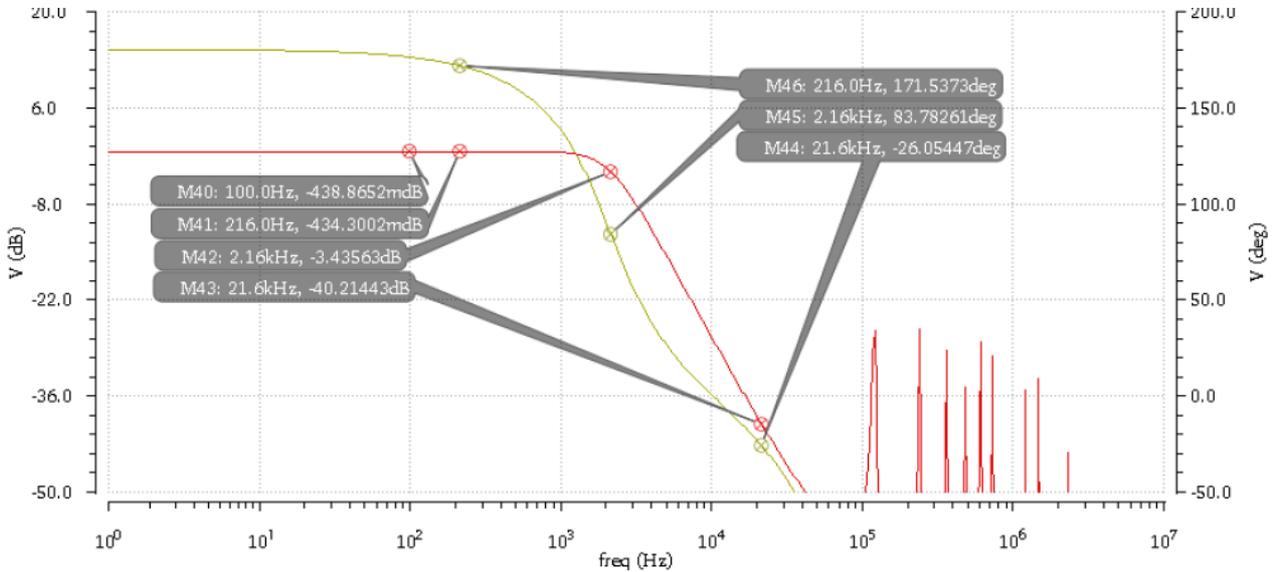


Figura 28: Diagrama de Bode del filtro con etapa de salida ideal.

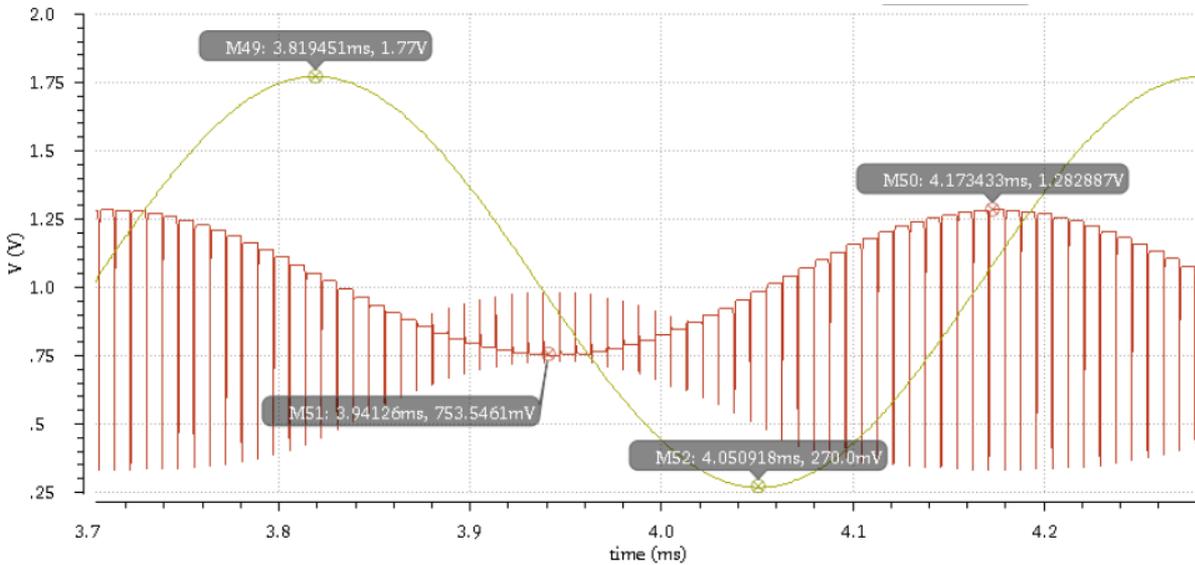


Figura 29: Salida del filtro al inyectar una entrada de 2,16 kHz (Rojo) y la tensión de entrada (amarillo)

En este caso la amplitud de la señal de entrada será de 0,5 voltios. Aunque la amplitud de la señal de salida podría llegar hasta 1 voltio según los cálculos del apartado 5.2.2, no es posible que la entrada llegue a tener tensiones inferiores al voltaje de tierra, ya que la tensión del terminal Bulk de los transistores del switch de entrada sería inferior que el de la fuente de estos, cosa que generaría problemas en el funcionamiento del dispositivo. También serían problemáticos, en este sentido, los switches de las capacidades de integración, cuyos picos de tensión podrían superar los 1,8 V, provocando fugas de carga y no linealidades en la señal de salida.

En la tabla 2 se han representado los mismos resultado que en el apartado anterior, pero cambiando la etapa de salida.

Tabla 2: Comparación de resultados entre el análisis pac y los transitorios a diferentes frecuencias empleando la etapa de salida ideal con entrada de 0,5 mV.

$F_{in}$	Amplitud pac	Amplitud transitorio	Error (%)
100 Hz	475,4 mV	513,0 mV	7,9 %
216 Hz	475,6 mV	508,8 mV	7,0 %
2,16 kHz	336,7 mV	354,3 mV	5,2 %
21,6 kHz	4,9 mV	5,1 mV	4,1 %



# 6 CONCLUSIONES

---

El problema que se planteaba al principio de este trabajo era la posibilidad de desarrollar una sección bicuadrática genérica Fleisher-Laker con empleando técnicas P2D en todos sus integradores. En concreto, se pretendía sintetizar un filtro Butterworth paso de baja. Este problema no estaba aún resuelto en la bibliografía consultada, en la que se proponen las técnicas P2D. A lo largo de este trabajo se ha llegado a una posible solución del problema, de la que ahora expondremos las conclusiones.

## 6.1 Interés

El ruido flicker, por el escalado de las tecnologías de fabricación y las relativamente bajas frecuencias empleadas en los circuitos SC es hoy en día una de las principales fuentes de ruido en este tipo de circuitos. Una implementación completamente P2D de un circuito SC permitiría, en principio, eliminar casi completamente el ruido flicker.

Por otro lado, al emplear los mismos amplificadores para las señales positivas y negativas de un procesado diferencial, aumentaría la linealidad además de reducirse el área necesaria para un mismo circuito, reduciendo el coste.

## 6.2 Solución propuesta

Se ha propuesto una posible implementación, basada en la estructura de la figura 4. Se ha conseguido cumplir el objetivo de implementar una sección bicuadrática Fleisher-Laker empleando sólo integradores P2D. Sin embargo, esta solución presenta ciertas limitaciones en las funciones de transferencia sintetizables en ella. Estas limitaciones se han estudiado en el apartado 2.3 de este trabajo. La función de transferencia que se ha sintetizado es una aproximación de un filtro Butterworth, debido a estas limitaciones.

## 6.3 Resultados obtenidos

Tras las simulaciones realizadas en el capítulo 4, se puede afirmar que el amplificador cumple con las especificaciones dadas. En el capítulo 5 se ha analizado el comportamiento del filtro en conjunto. Mediante los análisis pac, en el filtro con etapa de salida ideal, se han extraído las siguientes características:

Filtro paso de baja

$$F_c = 2,16 \text{ kHz}$$

$$G = -0,434 \text{ dB}$$

$$F_s = 120 \text{ kHz}$$

Implementado en la tecnología de 180 nm de TSMC

$$C_{\min} = 200 \text{ fF}$$

La función de transferencia es una aproximación de un filtro Butterworth

Estas características son aproximadas a las especificaciones originales del filtro. En el caso de la función de transferencia, la caída por década es aproximadamente la de un filtro Butterworth y es constante hasta los 60 kHz, donde aparecen los efectos del aliasing propio de los circuitos SC. Los -0,434 dB de ganancia se deben a

la aproximación que el análisis pac supone, ya que en los análisis transitorios se ha obtenido una amplitud mayor.

En el caso del filtro con salida integrada, la ganancia del filtro es  $G = 0,1385$  dB, lo demás parámetros permanecen constantes.

En las tablas 1 y 2 se puede ver el error existente entre la amplitud esperada al realizar los análisis pac y al simular el transitorio del filtro. Esto se debe a que, debido al tipo de circuito, los análisis pac no son exactos.

## 6.4 Trabajos futuros

Se mencionan a continuación algunos posibles desarrollos de este trabajo que mejorarían sus resultados de entre los muchos posibles.

### 6.4.1 Reducción de las limitaciones en la función de transferencia

Una de las principales mejoras en el circuito propuesto sería la posibilidad de añadir algunas de las entradas de la sección bicuadrática genérica [6] que no se han conseguido implementar. De esta forma se reducirían o, incluso, eliminarían las restricciones explicadas en la sección 2.3 de esta memoria. Una posibilidad para añadir la capacidad L podría ser muestrear la señal en una etapa anterior al filtro.

### 6.4.2 Mejora de las prestaciones del amplificador y los switches

Como se ha sugerido en la sección 5.2.2, teóricamente es posible que la señal de entrada llegue a ser superior a  $V_{cc}$  e inferior a la tensión de tierra del circuito. Esto plantea la dificultad de que ciertos transistores en los switches puedan entrar en la zona de conducción, provocando un mal funcionamiento en el circuito. El estudio del modo de solventar estas dificultades es una mejora que este circuito admite.

Por otra parte, los amplificadores empleados admiten un rango de señal a la salida de  $1 V_{pp}$  con un error de 1%. Se podrían sustituir por amplificadores que presenten mejores rendimientos para los circuitos SC, como los de clase AB. Otra opción sería sustituirlos por ‘transportadores de carga’ (charge conveyors, CC), lo que mejoraría la linealidad del circuito [5]. Estas opciones facilitarían el escalado en tecnología.

### 6.4.3 Fabricación y medición

El circuito se ha desarrollado a nivel de esquemático, por lo que se podrían realizar análisis de esquinas y el layout del circuito, llevando a cabo su fabricación.

### 6.4.4 Cambio de tecnología

El circuito desarrollado está implementado en una tecnología de 180 nm. Actualmente existen tecnologías de tamaños más reducidos. Una posible mejora sería desarrollar esta estructura en una tecnología más moderna que permita menores tamaños de transistores y capacidades.

# 7 REFERENCIAS

---

- [1] T. He, M. Kareppagoudr, U.-K. Moon, G. C. Temes, and Y. Zhang, “Pseudo-pseudo-differential circuits,” in *2017 IEEE 60th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2017, pp. 1517–1520.
- [2] P. Payandehnia, J. L. Ceballos, and G. C. Temes, “Noise-shaped filter implementation,” *Electron. Lett.*, vol. 54, no. 1, pp. 20–21, Jan. 2018.
- [3] P. E. Fleischer and K. R. Laker, “A Family of Active Switched Capacitor Biquad Building Blocks,” *Bell Syst. Tech. J.*, vol. 58, no. 10, pp. 2235–2269, Dec. 1979.
- [4] T. He and G. C. Temes, “System-level noise filtering and linearization,” in *2018 IEEE Custom Integrated Circuits Conference (CICC)*, 2018, pp. 1–8.
- [5] E. C. Bernal, “Performance enhancement in the design of amplifier and amplifier-less circuits in modern CMOS technologies,” Higher Technical School of Engineering University of Seville, 2018.
- [6] A. Torralba Silgado, “Tema 7. Diseño de filtros SC mediante secciones bicuadráticas,” in *Apuntes de Diseño de Circuitos y Sistemas Electrónicos, GITT.*, E. T. S. de Ingeniería, Ed. Sevilla.
- [7] E. Simoen and C. Claeys, “On the flicker noise in submicron silicon MOSFETs,” *Solid. State. Electron.*, vol. 43, no. 5, pp. 865–882, May 1999.
- [8] Ming-Horn Tsai and Tso-Ping Ma, “The impact of device scaling on the current fluctuations in MOSFET’s,” *IEEE Trans. Electron Devices*, vol. 41, no. 11, pp. 2061–2068, 1994.