

Un nuevo modelo de retraso para puertas lógicas CMOS

M. Bellido¹, A.J. Acosta², R. Nuñez, A. Barriga² y M. Valencia¹

Dpto. de Diseño de Circuitos Analógicos, Centro Nacional de Microelectrónica,
Edificio CICA, Avda. Reina Mercedes s/n, 41012-Sevilla

¹ también con el Dpto. de Tecnología Electrónica de la Universidad de Sevilla

² también con el Dpto. de Electrónica y Electromagnetismo de la Universidad de Sevilla

Tf: (95) 462 38 11, FAX: (95) 462 45 06
e-mail: bellido@cnm.us.es

1. Resumen

Los modelos de retraso para puertas lógicas, que usan la mayoría de los simuladores lógicos, carecen de la suficiente precisión. En este trabajo proponemos un nuevo modelo de retraso para las puertas lógicas, que surge directamente del análisis del comportamiento de las mismas. Con este modelo de retraso se obtienen resultados de simulación mucho más próximos a los obtenidos a nivel eléctrico (tipo SPICE) ganando, por tanto, en precisión, mientras mantiene la gran velocidad de los simuladores del nivel lógico temporal.

2. Introducción

Disponer de buenas herramientas de simulación es esencial en el proceso de diseño de circuitos VLSI. En relación a su eficacia, dos de las características más importantes de los simuladores son la velocidad en la obtención de los resultados de simulación y el grado de precisión o de proximidad de esos resultados en relación a la conducta real del circuito simulado. En este trabajo estamos interesados en la simulación de los circuitos digitales en el dominio lógico-temporal, para lo que se utilizan dos tipos de simuladores, según se desee precisión (simulador eléctrico tipo SPICE), o velocidad (usando simuladores lógicos tipo HILO o VERILOG). Centrándonos en los simuladores lógicos a nivel de puertas, la razón fundamental de la gran velocidad y de la relativamente poca precisión es el modelo de puertas que implementan. Este modelo consta básicamente de una puerta ideal, que realiza la función lógica, en cascada con un bloque o elemento de retraso que modela el comportamiento dinámico. Así, la gran velocidad está motivada por el uso de señales binarias (0, 1) exclusivamente, mientras que la falta de precisión se relaciona con la escasa precisión del elemento de retraso implementado, el

cual es básicamente, el modelo clásico que contiene sólo componentes pura e inercial [1].

El objetivo de este trabajo es presentar un modelo de retraso para puertas CMOS que permanezca en el ámbito binario (sólo señales 0 y 1) pero proporcionando una precisión más próxima a la suministrada a nivel eléctrico. El nuevo modelo que presentamos tiene como precedente inmediato al modelo PID [2], al que mejora sustancialmente en precisión. El modelo resultante es, además, más simple, al tener menos parámetros.

Esta comunicación está organizada de la siguiente forma: En el apartado 2 se presenta el modelo PID de [2] relacionándolo con el modelo de retraso clásico, así como se introduce una representación que muestra las principales divergencias entre estos modelos y el comportamiento real de las puertas. Basado en este comportamiento, presentamos en el apartado 3 el nuevo modelo al que nos referimos como PID2. En el apartado 4 se describe la medida de los parámetros de las puertas y algunas aplicaciones del modelo que muestran su precisión. Por último, apartado 5, se hace un resumen de los resultados exponiendo las principales conclusiones.

3. Modelo PID1

Los modelos clásicos de retraso en puertas lógicas [1] consideran exclusivamente las componentes pura (D_p) e inercial (D_i) del retraso. La suma de ambos es el retraso de propagación total ($D_t = D_p + D_i$). Con estos parámetros se modelan dos regiones de comportamiento distinto en función de la anchura del pulso de entrada (T_x). Pulsos menores que D_i son eliminados, mientras que pulsos mayores que D_i son propagados con un retraso de propagación igual a D_p . Las señales son puramente binarias (0, 1), lo cual permite realizar análisis en el dominio lógico-temporal.

Las anchuras del pulso de salida (T_z) y de entrada (T_x) coinciden en la región de propagación de pulsos, según este modelo. Sin embargo, en las puertas reales existe una tercera región en la que los pulsos de entrada ni son eliminados completamente, ni son transmitidos en su totalidad. En esta región, denominada de degradación la anchura del pulso de salida es menor que la del pulso de entrada.

El modelo de retraso PID1 (Puro, Inercial y Degradación) [1] es una primera aproximación en el modelado del efecto de degradación en los pulsos manteniendo los parámetros clásicos (D_p y D_i). El modelo PID1, que se transforma en el modelo clásico de retraso puro e inercial, para $A=D_i$, distingue los siguientes intervalos en función de la anchura de entrada T_x :

$T_x \leq D_i$ Región de comportamiento inercial. (No hay pulso de salida, $T_z=0$).

$D_i < T_x < A$: Región de efecto de degradación. (La anchura del pulso de salida es $T_z=T_x-r$).

$A \leq T_x$: Región de propagación normal. (La anchura del pulso de salida es $T_z=T_x$).

Una forma útil de visualizar el comportamiento de ambos modelos es la representación del valor del recorte del pulso durante la propagación ($R=T_z-T_x$), frente a la anchura del pulso de entrada, T_x . En la Figura 1 mostramos esta representación para el modelo clásico (Figura 1.b) y el modelo PID1 (Figura 1.c). El modelado del efecto de degradación introducido por PID1 es muy simple: Los pulsos son

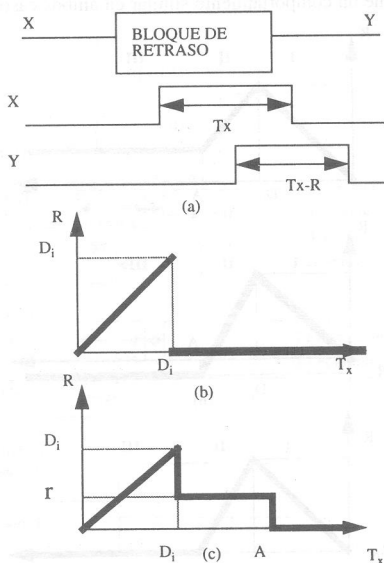


Figura 1. a) Bloque de retraso: T_x pulso, R recorte del pulso en la salida. b) Representación de R frente a T_x según el modelo clásico. c) Representación según modelo PID1

recortados en una cantidad constante "r", que es independiente del pulso de entrada.

En [2] no se presenta la verificación del modelo ni se aportan valores numéricos de los parámetros de PID1 aunque se aplica para caracterizar la operación metaestable en función de los retrasos de puertas. Nosotros estamos interesados en cubrir este vacío para el caso de puertas CMOS estáticas realizadas con tecnología VLSI. Para ello hemos analizado el comportamiento temporal de múltiples puertas mediante simulación eléctrica con SPICE. La representación de R frente a T_x proporciona, en todos los casos de puertas inversoras, curvas como las mostradas en la Figura 2.

En estas curvas, se distinguen tres regiones de comportamiento claramente distinto: La región I corresponde a valores bajos de T_x y en ella el pulso de entrada es completamente eliminado en la salida de la puerta (región inercial). En la región II, que ocurre para valores intermedios de T_x , existe una degradación en el pulso cuyo valor depende de la anchura del pulso de entrada (a mayor anchura del pulso, menor degradación). Por último, en la tercera región, para valores grandes de T_x , el valor del recorte es independiente de la anchura del pulso, aunque no es nulo (región de propagación normal). Cualitativamente, el comportamiento real de las puertas es similar al obtenido con el modelo PID1, existiendo las tres regiones indicadas: de efecto inercial, de efecto de degradación y de propagación normal. En cambio, cuantitativamente, PID1 no modela adecuadamente el efecto de degradación (región II). Según el modelo PID1 el valor de degradación es el mismo en toda la región, independiente de la anchura del pulso. En cambio,

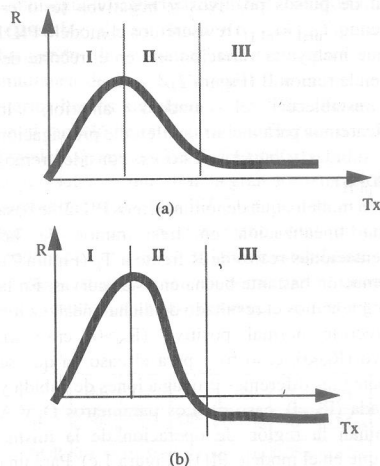


Figura 2. Comportamiento de las puertas CMOS a) Pulsos de entrada positivos. b) Pulsos de entrada negativos.

como se observa en la Figura 2, la magnitud de la degradación depende de la anchura del pulso. Así, para anchuras, T_x , próximas a D_i la degradación es bastante grande (próxima a D_i), mientras que, a medida que la anchura T_x aumenta, la degradación va siendo menor hasta acabar estabilizándose en un valor constante (positivo o negativo) en la región de propagación normal (región III).

El recorte constante que se observa en la región III significa que la anchura del pulso de salida de la puerta es menor (recorte positivo) o mayor (recorte negativo) en una cantidad fija que la del pulso de entrada. La causa de este recorte es la diferencia en los tiempos de propagación de la salida según esta suba o baje (i.e., $t_{pHL} \neq t_{pLH}$). Este recorte constante en la región de propagación normal puede justificarse con todos los modelos de retraso mencionados sin más que contemplar unos valores para los parámetros de retraso total en la subida (D_H) y otros para los de bajada (D_L). De aquí que cuando se busque precisión se deberán considerar valores distintos de los parámetros del modelo según sea el pulso positivo o negativo. En este caso se duplicará el número de parámetros del modelo de retraso asociado a la puerta.

4. Modelo PID2

Con el fin de obtener un modelo de retraso que, siendo puramente binario, se aproxime lo más posible al comportamiento real de las puertas (Figura 2), vamos a proceder realizando dos aproximaciones ligeramente distintas:

Despreciando la diferencia en la propagación normal de pulsos positivos y negativos (esto es, asumiendo, $t_{pHL} = t_{pLH}$) revisaremos el modelo PID1 para que incluya la variación real en el recorte del pulso en la región II (Figura 2).

Tras establecer el modelo anterior, lo modificaremos para incluir la diferente propagación de las subidas y bajadas (esto es, consideraremos $t_{pHL} \neq t_{pLH}$).

El nuevo modelo, que denominaremos PID2, se basa en una linealización en tres tramos de las representaciones reales de R frente a T_x (Figura 2), aproximación bastante buena en estas curvas. En la Figura 3 tenemos el resultado de dicha linealización para recorte normal positivo ($R_N > 0$, caso a), negativo ($R_N < 0$, caso b) y para el caso en que se desprecien las diferentes propagaciones de subida y de bajada ($R_N = 0$, caso c). Los parámetros D_i y A determinan la región de operación de la misma forma que en el modelo PID1 (Figura 1.c). Para una completa caracterización de la representación R frente a T_x necesitamos incluir la dependencia de R frente a T_x en la región de degradación (región II).

Bajo la aproximación 1ª (Figura 3.c) esta dependencia es lineal y puede expresarse por:

$$R = -mT_x + R_0$$

donde:

$$m = \frac{D_i}{A - D_i} \quad \text{y} \quad R_0 = D_i + mD_i$$

Puede observarse que el modelo PID2 (aproximación 1ª) está caracterizado por sólo tres parámetros (frente a los cuatro del modelo PID1), que son: D_i y A , que modelan las regiones inercial y con degradación, y el retraso de componente pura D_p que, junto a D_i , proporciona el retraso total ($D_t = D_p + D_i$) de la propagación de señal.

Además del conjunto de parámetros, PID2 debe incluir las "reglas" de funcionamiento. El caso más problemático es el de la operación de la puerta cuando por la entrada se recibe un tren de pulsos "estrechos". En el modelo PID1 se postula que para que un pulso sea degradado se precisa que el pulso anterior no lo haya sido. Esta regla desvía la exactitud del modelo PID1 ya que da lugar a comportamientos muy diferentes para señales de entrada muy similares. En la Figura 4 se muestran dos casos (A y B) en los que la señal de entrada solo se diferencia de un caso a otro en el valor de T_1 , que es menor en el caso A que el B en 2ϵ , pudiendo considerarse tan pequeño como se quiera. Nótese que existe una discontinuidad en el comportamiento predicho por el modelo PID1, hecho que no ocurre en las puertas reales. Usando el modelo PID2 se obtiene un comportamiento similar en ambos casos

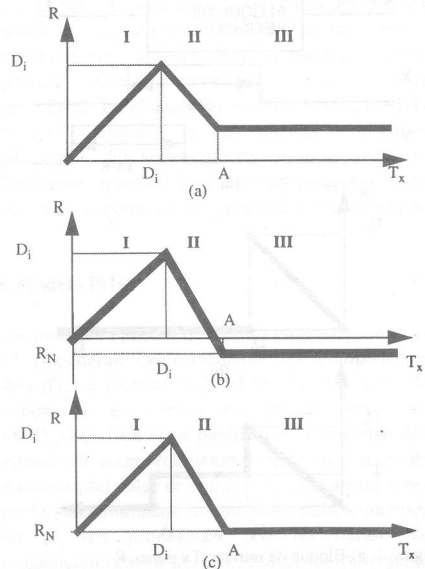


Figura 3. Linealización de las curvas de la Figura 2: a) Pulsos de entrada positivos. b) Pulsos de entrada negativos. c) Aproximación para $t_{pLH} = t_{pHL}$

(Figura 4.c), incluyendo una regla de operación que modifica la correspondiente regla de PID1.

Por último, si se incluye el diferente valor de t_{pHL} y t_{pLH} (aproximación 2ª, Figuras 3.a y b), los cambios en el modelo son:

Cada parámetro (D_p , D_i y A) tienen dos valores asociados: uno para pulsos positivos (D_{pH} , D_{iH} y A_H) y otro para pulsos negativos (D_{pL} , D_{iL} y A_L). El valor de recorte en la propagación normal no es nulo sino que vale:

$$R_{NH} = (D_{pH} + D_{iH}) - (D_{pL} + D_{iL})$$

$$R_{NL} = (D_{pL} + D_{iL}) - (D_{pH} + D_{iH})$$

El valor de la ecuación 1 sigue siendo correcto, pero se desdoblán los valores de m (H y L) y R_0 (H y L) y sus expresiones son:

$$m = \frac{D_i - R_N}{A - D} \quad \text{y} \quad R_0 = D_i + mD_i$$

Con todo lo anterior podemos caracterizar el nuevo modelo PID2 de la siguiente manera:

Elemento de retraso PID2: " El elemento de retraso PID2 definido exclusivamente para señales binarias es un bloque de una entrada y una salida caracterizado por tres parámetros (D_p , D_i y A) (alternativamente con valores desdoblados) que, ante un pulso que persista un tiempo T_x , responde con las siguientes reglas:

1. Como un bloque con componente pura e inercial (D_p y D_i).
2. Como un bloque de degradación de una entrada y una salida en cascada con el anterior. La salida

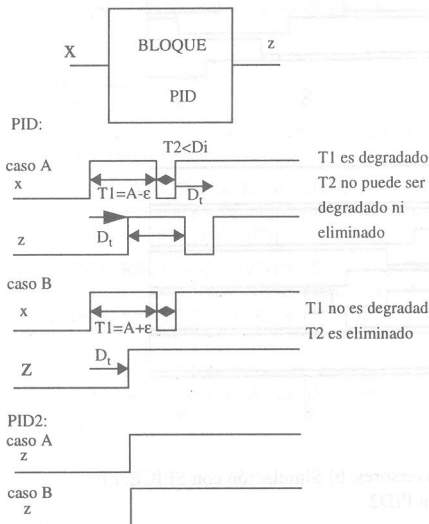


Figura 4. Discontinuidad en el comportamiento predicho por el modelo PID1. Dos señales de entrada prácticamente iguales (x en caso A y x en caso B) dan salidas totalmente distintas.

tiene una anchura $T_z = T_x - R$. Donde el valor R es el siguiente:

Si $T_x > A$; $R = R_N$

Si $T_x < A$ y:

i) El cambio de entrada no fue degradado o, si lo fue, el cambio final de salida correspondiente al mismo es posterior a la transición final de la entrada al bloque de retraso, R es el de la ecuación 1.

ii) En cualquier otro caso $R = R_N$.

5. Medida de los parámetros y aplicaciones del modelo PID2

La medida de los parámetros de PID2 se realiza obteniendo en primer lugar las curvas de R frente a T_x correspondientes a cada puerta mediante su simulación a nivel eléctrico con SPICE. Posteriormente se linealizan esas curvas y se determinan los parámetros. En la Tabla 1 se muestran esos valores para un inversor y una puerta NOR en tecnología CMOS ES2 de 1.5µm.

Como ejemplos de la utilidad del modelo PID2, presentamos dos resultados distintos. Por una parte, en la Figura 5.a mostramos la propagación de un pulso de corta duración a través de una cadena de inversores (Figura 5.a) y las salidas que proporciona la simulación con SPICE (Figura 5.b), la simulación lógica usando el modelo de retraso clásico (Figura 5.c) y usando el modelo de retraso PID2 (Figura 5.d). Observamos que, al igual que en la simulación con SPICE usando PID2, el pulso va degradándose hasta que en el inversor 8 acaba siendo eliminado, mientras que con el modelo clásico el pulso se propaga indefinidamente.

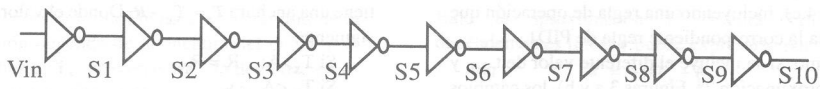
Como segundo caracterizaremos el comportamiento metaestable de un latch RS [3,4] (Figura 6.a) obteniendo la ventana marginal para bajada simultánea de R y S . Al igual que en el ejemplo anterior hemos simulado con SPICE (Figura 6.b), con el modelo de retraso clásico (Figura 6.c) y con el modelo de retraso PID2 (Figura 6.d).

Estos resultados muestran la gran aproximación que proporciona el modelo PID2, incluso en el estudio cuantitativo de un fenómeno tan difícil de caracterizar como es el de la metaestabilidad.

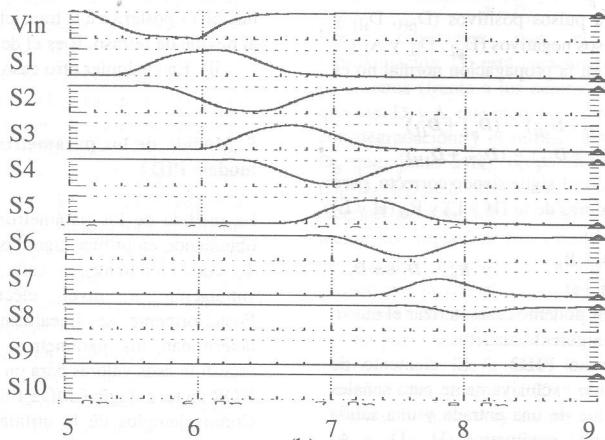
El tiempo de simulación necesario para la obtención de los resultados ha sido del orden de 100 segundos

	D_{iH}	D_{pH}	A_H	D_{iL}	D_{pL}	A_L
INV	0.29ns	0	0.82ns	0.37ns	0	0.85ns
NOR	0.45ns	0.04ns	0.84ns	0.33ns	0.05ns	0.87ns

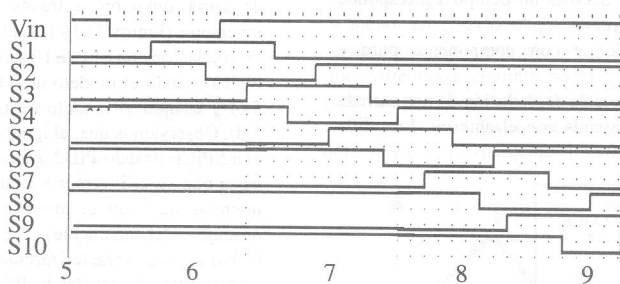
Tabla 1. Parámetros del modelo de retraso PID2 para un inversor y una puerta NOR en tecnología CMOS de 1.5µm.



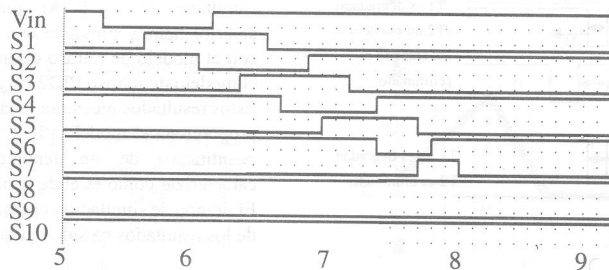
(a)



(b)



(c)



(d)

Figura 5. Propagación de un pulso a través de una cadena de inversores. b) Simulación con SPICE. c) Simulación lógica con retraso clásico. d) Simulación lógica con PID2.

por simulación usando SPICE y del orden de 0.3 segundos por simulación usando PID2.

6. Conclusiones

Se ha presentado un nuevo modelo de retraso, PID2, basado en la propagación de pulsos por puertas lógicas, que incluye los efectos de retraso puro e inercial, así como el de degradación, para puertas CMOS. PID2 mejora sustancialmente al modelo PID1 en dos aspectos principales: el modelado de la degradación y las reglas de funcionamiento ante trenes de pulsos estrechos. Con ello se evitan las discontinuidades funcionales de PID1. El modelo PID2 no sólo es más realista que su predecesor PID1, sino que posee un parámetro menos.

Por otra parte, se ha introducido una forma de representación (i.e., de R frente a T_x) que permite la medida de los parámetros de las puertas. En nuestro caso, puertas de tecnología VLSI, la obtención de las curvas se realiza con SPICE. Con un instrumental adecuado estas curvas pueden obtenerse, en otros casos, experimentalmente.

Por último, se ha aplicado el modelo PID2 al análisis de dos circuitos digitales en condiciones de operación extremas. Los resultados muestran la gran proximidad de PID2 con SPICE. Teniendo en cuenta la diferencia en más de 2 ordenes de magnitud en cuanto a la velocidad de obtención de resultados, podemos concluir que PID2 proporciona un compromiso muy satisfactorio en el análisis lógico temporal de circuitos a nivel de puertas.

7. Referencias

- [1] UNGER, S.H.: "The essence of logic circuits". Prentice-Hall International. 1989.
- [2] CALVO, J., VALENCIA, M. and HUERTAS, J.L.: "Metastable operation in RS flip-flops", Int. J. Electronics, Vol. 70., No 6, pp. 1073-1091. 1991.
- [3] ROSEMBERG, F. and CHANEY, T. J.: "Flip-Flop Resolving Time Test Circuit", IEEE Journal of Solid-State Circuits, Vol. SC-17, No. 4, pp. 731-738. August 1982.
- [4] STOLL, P.A. : "How to avoid synchronization problems". VLSI Design, p.56-58, Nov/Dec. 1982.

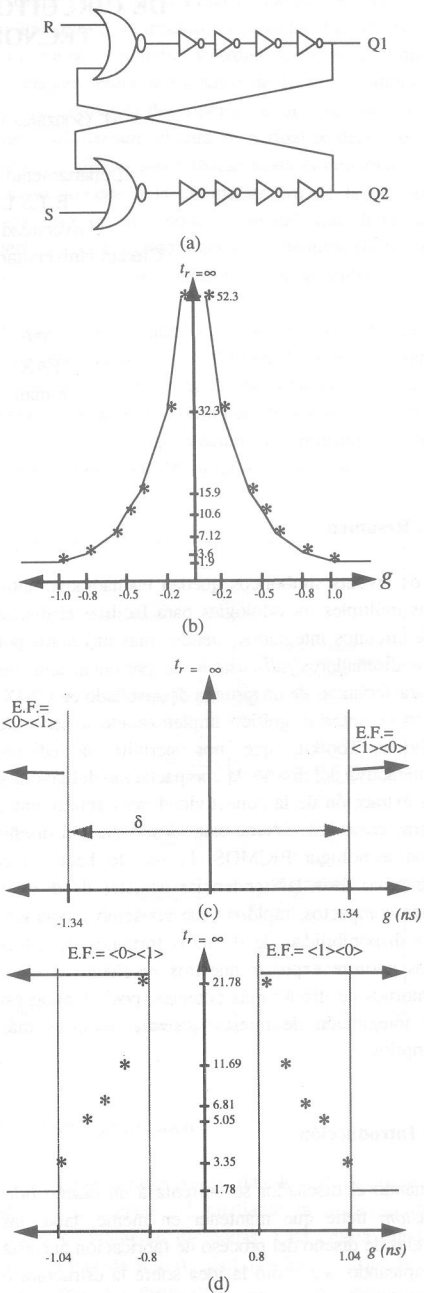


Figura 6. Ventana marginal del latch de (a). b) simulación con HSPICE. c) Simulación con clásico. d) Simulación con PID2