

Determinación del Coeficiente de Resolución en Biestables RS CMOS

M. J. Bellido*, M. Valencia*, A. J. Acosta** y A. Barriga**.

Dpto. de Diseño de Circuitos Analógicos, Centro Nacional de Microelectrónica.
Edificio CICA, Avda. Reina Mercedes s/n, 41012-Sevilla

* Dpto. de Ingeniería Electrónica, de Sistemas y Automática, Universidad de Sevilla.

** Dpto. de Electrónica y Electromagnetismo, Universidad de Sevilla.

Tf: (95) 462 38 11 FAX: (95) 462 45 06

e-mail: bellido@cnm.us.es

1. Resumen

El diseño de biestables con riesgo de metaestabilidad requiere que posean coeficientes de resolución adecuados. En este trabajo, se introducen dos métodos para su medida y se comparan con otro previamente reportado. Uno de nuestros métodos mejora en dos ordenes de magnitud los tiempos de medida.

2. Introducción

La operación metaestable de un biestable ocurre cuando éste opera en un punto de equilibrio inestable (estado metaestable) no definido a nivel lógico. La lectura del estado del biestable durante metaestabilidad es causa de errores fatales en el sistema. La operación metaestable es inevitable [1] en biestables que operen bajo excitaciones no restringidas, como ocurre, p. ej., en los sincronizadores y en los arbitrajes asíncronos [2]. Al integrar un sistema que incluya biestables con riesgo de metaestabilidad, el diseñador debe tener como objetivo de diseño para ellos la minimización de los efectos perniciosos de su operación metaestable. En particular, deberá construir el biestable de forma tal que se reduzca la duración de su operación metaestable en la medida que lo requiera su sistema. El propósito de esta comunicación es presentar un nuevo método de evaluación de la respuesta temporal de biestables RS CMOS. Este método es comparado con otros existentes y su principal logro es la rapidez con que se realiza la evaluación.

3. Resumen del trabajo

Para la caracterización de la respuesta metaestable de un biestable hay dos modelos principales:

- 1.-El utilizado en [3] [4], que se basa en calcular un conjunto de parámetros estadísticos, para lo que se necesita conocer la respuesta del biestable ante un conjunto de excitaciones suficientemente amplio.
- 2.-El utilizado en [5] [6] [7], que se basa en el hecho

de que la diferencia entre las tensiones de las salidas crece exponencialmente con el tiempo durante la fase de resolución. Esta fase abarca desde que el biestable opera en su estado metaestable hasta que alcanza uno de sus estados estables. La tarea de caracterización suele realizarse a través de la simulación eléctrica del biestable, en nuestro caso utilizando HSPICE.

El cálculo de los parámetros estadísticos (modelo 1) ha sido realizado para varios biestables en [8], presentando dos serios inconvenientes. En primer lugar, requiere múltiples simulaciones lo que lo hace lento y engorroso. En segundo lugar, los resultados que se obtienen dependen significativamente de las opciones del simulador y hacen muy difícil una clara aplicación del modelo. En relación al segundo modelo, la tarea se centra en medir la constante de tiempo de la exponencial o coeficiente de resolución (α). Este parámetro proporciona una medida de la rapidez en la resolución de un biestable desde su estado metaestable a uno de los estados estables: mientras mayor sea α , es menor la duración de la metaestabilidad (para unas condiciones de operación concretas). Nuestro trabajo se centra en los métodos de medida de α . Discutiremos tres métodos: 1) el propuesto en [9]; 2) una modificación que proponemos al anterior; y 3) el nuevo método que presentamos.

El método 1 [9] consiste en simular la evolución de un biestable desde su estado metaestable. Para ello, el biestable es conducido a ese estado mediante una llave que lo autopolariza. Tras eliminar la autopolarización, el biestable resuelve. Los datos de salida son entonces procesados para obtener el valor de α . La modificación que proponemos al método de [9] tiene como objetivo eliminar la llave de paso para la autopolarización. Esta llave es un dispositivo adicional incluido en el biestable que incrementa la capacidad de las puertas y en consecuencia introduce un error en la medida de α : el valor de α es menor (más lento) que el que tiene el biestable real. En nuestra modificación, la introducción en el estado metaestable se realiza mediante el cambio simultáneo en R y S. El resto del método coincide con el de [9].

El método 3 se fundamenta en los siguientes puntos: 1) Durante la resolución, el biestable estudiado es equivalente a una pareja de inversores enlazados entre sí, ya que $RS=00$ si el biestable está construido con puertas NOR y $RS=11$ si está construido con NAND. 2) En las proximidades del estado metaestable, los inversores pueden ser modelados por amplificadores, siendo la aproximación de un solo polo suficientemente precisa; y 3) los polos de ambos amplificadores coinciden. Este último punto es rigurosamente cierto cuando ambas puertas son idénticas (en implementación y en carga) y es razonablemente válida cuando ambas puertas se diseñan iguales, que es la hipótesis usual para el biestable RS. El análisis de la función de transferencia del circuito en lazo abierto muestra que posee un polo. Este polo coincide con el coeficiente de resolución α . En consecuencia, el valor de α puede medirse a través de dicho polo. El simulador HSPICE incluye la determinación de polos y ceros entre sus tipos de análisis que nos proporciona el valor de α buscado.

4. Resumen de resultados

Se han medido los coeficientes de resolución de distintos tipos de biestables RS (incluyendo los formados por puertas NOR y los de puertas NAND) bajo diferentes condiciones de carga utilizando los tres métodos considerados. A modo de ilustración de los resultados, presentamos en la Tabla 1 un reducido grupo de los datos obtenidos para un biestable RS-NOR con geometrías $L=1.6\mu\text{m}$ y $W=3\mu\text{m}$. Las principales conclusiones del análisis de resultados son:

a) Los tres métodos proporcionan valores de α muy próximos. Las diferencias de los datos obtenidos por los métodos 2 y 3 representan aproximadamente el 1% en el peor de los casos y son prácticamente nulas en muchos de ellos. Por otra parte, entre los métodos 1 y 3 las diferencias son más apreciables, rondando el 20% en el peor de los casos. Este corresponde al caso de carga nula, que es donde influye más poderosamente la carga adicional de la llave de paso. La diferencia entre los valores va disminuyendo conforme la carga de las puertas aumenta (la carga adicional de la llave se hace menos significativa), siendo de sólo el 1.5% para una carga de 0.5pF.

b) En el peor de los casos, el tiempo de CPU de las simulaciones con HSPICE es inferior en dos órdenes de magnitud con el método que proponemos (3) con respecto a los otros dos. La diferencia es mayor teniendo en cuenta que, además, los métodos 1 y 2 exigen un tiempo de procesamiento adicional para obtener α a partir de los datos de simulación.

En consecuencia, el método presentado constituye un procedimiento de suma utilidad en el diseño de biestables RS CMOS con requerimientos de corta duración en la respuesta metaestable.

Método	Carga	α (ns ⁻¹)	t CPU
[9]	0	3.03	163 s
[9] modif.	0	3.73	153 s
propuesto	0	3.75	1.68 s
[9]	0.5 pf	0.260	245 s
[9] modif.	0.5 pf	0.261	>250 s
propuesto	0.5 pf	0.264	1.68 s

Table 1: Resultados prácticos.

5. Referencias

- [1] Marino, L.R.: "General Theory of Metastable Operation". IEEE Trans. on Computers, C-30 n.2, pp.107-115, Feb. 1981.
- [2] Tinder, R.F.: "Digital Engineering Design". Prentice-Hall. 1991.
- [3] Rosemberg, F. y Chaney, T.J.: "Flip-Flop Resolving Time Test Circuit". IEEE J. of Solid-State, SC-17 n. 4, pp. 731-738, Aug. 1982.
- [4] Chaney, T.J.: "Measured Flip-Flop Responses to Marginal Triggering". IEEE Trans. Computers, C-28 n.10, pp. 802-804, Oct.1979.
- [5] Hohl, J., Larsen, R.W. y Schooley, L.C.: "Prediction of Error Probabilities for Integrated Digital Synchronizers". IEEE J. of Solid-State Cir. SC-19, n. 2, April 1984.
- [6] Flannagan, S.T.: "Synchronization Reliability in CMOS Technology". IEEE J. of Solid-State Cir., SC-20 n.4, pp.880-882, Aug.1985.
- [7] Kacprzap, T. y Albicki, A.: "Analysis of Metastable Operation in RS CMOS Flip-Flops". IEEE J. of Solid-State Circuits, SC-22 n. 1, pp.57-64, Feb.1987.
- [8] Bellido, M. J.: "Metaestabilidad en Biestables RS CMOS". Tesina de Licenciatura. Universidad de Sevilla, Sept. 1989.
- [9] Sakurai, T.: "Optimization of CMOS Arbiter and Synchronizer Circuits with Submicrometer MOSFET's". IEEE J. of Solid-State Circuits, Vol. 23 No. 4, Aug. 1988.