

UNIVERSIDAD DE SEVILLA

ESCUELA SUPERIOR DE INGENIEROS
DEPARTAMENTO DE INGENIERÍA ELECTRÓNICA



Tesis Doctoral

Diseño de convertidores A/D pipeline de baja tensión de alimentación y bajo consumo

Bernardo Palomo Vázquez

Directores: Dr. Fernando Muñoz Chavero
 Dr. Ramón González Carvajal

Julio 2012

UNIVERSIDAD DE SEVILLA

ESCUELA SUPERIOR DE INGENIEROS

DEPARTAMENTO DE INGENIERÍA ELECTRÓNICA



Tesis Doctoral

Presentada en la

Escuela Superior de Ingenieros

Para la obtención del título de

Doctor Ingeniero de Telecomunicación

Diseño de convertidores A/D pipeline de baja tensión de alimentación y bajo consumo

Bernardo Palomo Vázquez

Directores: Dr. Fernando Muñoz Chavero
Dr. Ramón González Carvajal

Julio 2012

A Lina y a Dante,
por las sonrisas robadas.

A mi madre.

AGRADECIMIENTOS

Cuando echo la vista atrás me doy cuenta que desde que comencé este trabajo se han producido cambios en mi vida que la mayoría de las personas suelen considerar fundamentales, como irse de casa de los padres, mudarse, casarse o tener un hijo. Así, no creo que falte a la verdad si afirmo que la persona que inició esta tesis no tiene demasiado que ver con la persona que la ha finalizado, y que la realización de la misma supone en cierta forma el fin de una etapa.

Me gustaría agradecer a Fernando Muñoz Chavero, codirector de esta tesis, su guía en este trabajo. Encontrarme con él en un pasillo cuando venía de solicitar un proyecto fin de carrera en otro departamento que nunca realicé, es una de mis experiencias más palpables con el concepto de azar. Fernando fue la persona que me introdujo en el equipo de trabajo al que pertenezco y sin él mi carrera profesional hubiera sido muy distinta a la que es hoy en día. Por otra parte, ha tenido mucho que ver en que esta tesis haya podido llegar a su conclusión.

A Ramón González Carvajal, también codirector de esta tesis, por las oportunidades que me ha brindado y por hacer fácil un tema tan complejo como es la investigación cuando se trabaja a su lado. Todo lo que sé sobre diseño de amplificadores lo he aprendido de él.

A Antonio Jesús Torralba Silgado, director del grupo de investigación de ingeniería electrónica, el tercer hombre, por su interés mostrado en determinadas partes de este trabajo, sus consejos y su ayuda.

Este trabajo de investigación no se ha llevado a cabo de forma aislada encerrado en un garaje. Muchas personas han intervenido en él de alguna forma y lo han hecho posible. A Marta Laguna García, con la que empecé en este Departamento y con la que colaboré en mis inicios en la microelectrónica. A Hendrik van der Ploeg, mi tutor durante mi estancia de seis meses en Philips Electronics Nederland B.V, con el que tomé contacto en la forma de trabajar de un importante centro de investigación privado. A Hakim El Gmili, que Allah lo acoja en su paraíso, con el que investigué de forma más especializada en diversos aspectos de diseño y topologías de ADC pipeline. A José Ramón García Oya, Fernando Márquez Lasso y Enrique López Morillo, que me asesoraron al final en aspectos relacionados con la fabricación de la placa de prueba, el manejo de los aparatos de medidas y la obtención de resultados experimentales del prototipo. Obviamente, hay bastante más personas que me echaron una mano en momento puntuales de un trabajo que ha durado varios años. Pido disculpas a aquellos a los que he omitido por olvido o concisión.

Por último, me gustaría expresar un agradecimiento especial a mi familia, a mi esposa Lina y a mi hijo Dante, por su apoyo diario y su comprensión. Son estas personas las que al final dan sentido a todo lo que hacemos.

Muchas gracias a todos.

LISTA DE ACRÓNIMOS

- ADC:** Convertidor analógico digital.
- AGC:** Amplificador de ganancia controlable.
- CCD** Dispositivo de carga acoplada
- CDS** Correlated double sampling
- CMFC** Circuito de realimentación de modo común.
- CMRR** Relación de rechazo al modo común
- DAC:** Convertidor digital analógico.
- DNL:** Máxima no linealidad diferencial
- DSP:** Procesamiento digital de la señal.
- DR:** Rango dinámico.
- DVB-T:** Video digital terrestre
- ENOB:** Número efectivo de bits
- ERB** Ancho de banda efectivo
- FA** Amplificador de realimentación
- FFT** Transformada rápida de Fourier
- FFT** Transformada rápida de Fourier
- FIR** Respuesta infinita al impulso
- FOM:** Figura de mérito.
- FSPI:** Técnica de inversión de la polaridad de la señal.
- GBCA** Amplificador cascode con elevación de ganancia
- GBW:** Producto ganancia ancho de banda.
- HD_k** Distorsión armónica con respecto al armónico k-ésimo

- HDMI** Interfaz multimedia de alta definición
- HDTV** Televisión de alta definición
- INL:** Máxima no linealidad integral
- LSB:** Bit menos significativo.
- MDAC:** Amplificador de residuo
- MHz:** Megahercios.
- MSB** Bit más significativo
- MSB:** Bit más significativo.
- OFDM:** Multiplexación por división de frecuencias ortogonales.
- OA:** Amplificador operacional.
- OTA** Amplificador de transconductancia.
- RMS:** Media cuadrática.
- RSD:** Algoritmo de corrección de error por dígito redundante.
- S/H:** Muestro y retención.
- SAW:** Filtro de onda superficial acústica.
- SC:** Condensadores conmutados
- SC-CMFB** Circuito de realimentación de modo común de condensadores conmutados.
- SFDR:** Rango dinámico libre de espúreos.
- SHA:** Amplificador de muestreo y retención.
- SNDR:** Relación señal a ruido-distorsión.
- SNR** Relación señal a ruido.
- THD:** Distorsión armónica total.

LISTA DE SÍMBOLOS

- A_0** : Ganancia finita del amplificador.
- C_F** : Capacidad de realimentación.
- CLK**: Señal de control.
- C_{ov}** : Capacidad de desacoplo.
- C_{ox}** : Capacidad del óxido.
- C_S** : Capacidad de muestreo.
- D_{OUT}** : Señal digital cuantizada.
- e_q** : Error de cuantización.
- f_s** : Frecuencia de muestreo.
- FS**: Fondo de escala
- G_i** : Ganancia de la etapa i .
- kT**: Energía térmica.
- L**: Longitud del canal.
- M**: Número de canales en un convertidor entrelazado en el tiempo.
- n_i** : Número de bits de salida de la etapa i .
- N_i** : Número de códigos de salida de la etapa i .
- P**: Potencia consumida.
- Q_{Ch}** : Carga total en el canal.
- $V_{DAC(i)}$** : Tensión de salida del sub-DAC de la etapa i .
- V_{DD}** : Tensión de alimentación.
- V_{dsat}** : Tensión de saturación.

V_{GS} : Tensión puerta-fuente.

$(V_{gs}-V_{th})$: Tensión de overdrive.

$V_{IN(i)}$: Tensión de entrada de la etapa i.

V_{IN} : Tensión de entrada.

V_{LSB} : Tamaño de un escalón ideal.

V_{max} : Máxima amplitud pico a pico.

V_n : Tensión de ruido.

$V_{OUT(i)}$: Tensión de salida de la etapa i.

V_{OUT} : Tensión de salida.

V_{Ref} : Tensión de referencia.

$\frac{V_{REF}}{4}$: Tensión umbral positiva.

$-\frac{V_{REF}}{4}$: Tensión umbral negativa.

V_{SB} : Tensión fuente-sustrato.

V_{SS} : Tensión de tierra analógica.

V_{TH} : Tensión umbral.

W/L : Relación de aspecto.

W : Ancho de un transistor.

Δ : Tamaño del paso

ΔV : Offset permitido a la salida de una etapa pipeline.

γ : Factor de escalado de capacidades.

γ_{OA} : Factor de ruido de un amplificador operacional

η : Factor de velocidad de conversión.

μ : Movilidad.

Φ_1 : Fase de muestreo.

Φ_2 : Fase de cálculo del residuo.

INDICE

1. Introducción	3
1.1 Introducción.....	3
1.2 Objetivos	4
1.3 Metodología y plan de trabajo	4
1.4 Estructura de la tesis.....	5
2. Convertidores analógico digitales tipo pipeline.....	9
2.1 Función básica de los convertidores digitales analógicos y analógicos digitales	9
2.2 Repaso de las arquitecturas de convertidores analógicos digitales	12
2.2.1 Convertidores flash	12
2.2.2 Convertidores flash de dos pasos	13
2.2.3 Convertidores de subrango.....	14
2.2.4 Convertidores pipeline.....	14
2.3 Principio de funcionamiento de la conversión analógica digital pipeline	16
2.4 Corrección digital	19
2.5 Parámetros de comportamiento de un convertidor analógico digital	22
2.5.1 No linealidad diferencial y no linealidad integral	22
2.5.2 Relación señal a ruido	23
2.5.3 Relación señal a ruido y distorsión	24
2.5.4 Número efectivo de bits	24
2.5.5 Rango dinámico libre de espúreos.....	24
2.5.6 Distorsión armónica total	24
2.6 Elección del número de bits por etapa	25
2.7 Técnicas de reducción del consumo de potencia	26
2.7.1 El ADC pipeline pseudo-diferencial.....	27
2.7.2 El ADC pipeline con entrelazado en el tiempo.....	27
2.7.3 El ADC pipeline con compartición de amplificadores	29
2.7.4 El ADC pipeline CDS con desplazamiento en el tiempo	30
2.7.5 El ADC pipeline con amplificadores operacionales conmutados.....	31

2.7.6	Estado del arte de ADC pipeline	32
3.	Diseño de un convertidor analógico digital pipeline de 8 bits y 19 MS/s.....	41
3.1	Especificaciones del convertidor	41
3.2	Convertidor analógico digital pipeline.....	42
3.3	Simulaciones a nivel de sistema	45
3.3.1	<i>Ganancia DC del amplificador operacional.....</i>	45
3.3.2	<i>Slew-rate y ancho de banda del amplificador operacional.....</i>	47
3.3.3	<i>Tamaño de las capacidades</i>	49
3.4	Técnicas de reducción de potencia.....	52
3.4.1	El amplificador de muestreo y retención.....	52
3.4.2	Escalado de capacidades.....	55
3.4.3	Topología del amplificador operacional	57
3.4.4	Convertidor analógico digital.....	60
3.4.5	Compartir el amplificador operacional entre dos etapas consecutivas	69
3.5	Detalles de la implementación.	71
3.5.1	El convertidor digital analógico.....	71
3.5.2	Fases de reloj	73
3.6	Arquitectura elegida.	75
3.7	Consideraciones del layout.....	75
3.8	Resultados de simulación.	78
3.9	Resultados experimentales.....	80
4.	Amplificador de transconductancia	95
4.1	Especificaciones para amplificadores operacionales en aplicaciones SC.....	95
4.1.1	Impedancia de salida	95
4.1.2	Rango de tensión a la salida.....	95
4.1.3	Rango de modo común a la entrada.....	95
4.1.4	Ganancia DC.....	96
4.1.5	Ancho de banda y margen de fase.....	96
4.1.6	Slew rate	96
4.1.7	Ruido	97
4.2	Amplificador de transconductancia de una etapa con elevada ganancia	98
4.2.1	OTA folded cascode	98
4.2.2	Etapas cascode con preamplificación de baja ganancia	100
4.2.3	OTA telescópico	101

4.2.4	Comparativa entre OTAs de una etapa.....	102
4.3	Circuito de realimentación de modo común	103
4.4	Técnicas de elevación de ganancia	105
4.5	Modelado del amplificador cascode con elevación de ganancia	107
4.6	Tiempo de establecimiento en el amplificador cascode con elevación de ganancia.....	110
4.7	OTA telescópico con elevación de ganancia y amplio rango de salida.....	112
4.8	OTA folded cascode con transistores ‘super-cascode’	114
5.	Interruptores analógicos para aplicaciones de baja tensión	125
5.1	Fuentes de error en interruptores CMOS.....	125
5.1.1	La inyección de carga	125
5.1.2	Clock Feedthrough	126
5.1.3	Reducción de la inyección de carga y Clock Feedthrough	127
5.2	La resistencia de encendido en aplicaciones de baja tensión de alimentación	129
5.3	Técnicas para la mejora del problema de la baja tensión de alimentación	131
5.4	Técnicas para la mejora de la linealidad.....	132
5.5	Técnicas para la mejora del problema de la inyección de carga y el Clock Feedthrough.....	136
5.6	El transistor de puerta flotante en circuitos analógicos de baja tensión	137
5.7	El transistor de puerta casi flotante.....	139
5.8	Diseño de un interruptor CMOS basado en transistores de puerta casi flotante	141
5.8.1	Aplicación digital: Puerta NAND de baja tensión.....	144
5.8.2	Interruptor CMOS basado en transistores de puerta casi flotante alternativo.....	145
6.	Conclusiones.....	155
6.1	Conclusiones	155
6.2	Líneas futuras de investigación.....	155
A.	Diseño de una etapa de 1.5 bits con doble residuo	159
B.	Contribuciones en revistas y congreso. Patentes	175
B.1.	Publicaciones en revistas	175
B.2.	Aportaciones a Congresos	175
B.3.	Patentes	176

LISTA DE FIGURAS

Figura 2-1. Diagrama de bloques de un convertidor digital analógico.....	9
Figura 2-2. Diagrama de bloques de un convertidor analógico digital.....	10
Figura 2-3. Diagrama de bloques de un convertidor analógico digital de Nyquist.....	11
Figura 2-4. Diagrama de bloques de un convertidor analógico digital sobremuestreado.....	11
Figura 2-5. Convertidor analógico digital simple de 3 bits.	12
Figura 2-6. Convertidor analógico digital Flash de dos pasos.	13
Figura 2-7. Convertidor analógico digital de subrango.	14
Figura 2-8. Diagrama de bloques de un ADC pipeline.....	15
Figura 2-9. Comparativa entre diferentes arquitecturas de ADC.....	16
Figura 2-10. Salida analógica y códigos de salida correspondientes para un ADC de dos etapas.	18
Figura 2-11. Mover el nivel de decisión no provoca saturación en la siguiente etapa cuando se reduce la ganancia del residuo.....	19
Figura 2-12. Salida de una etapa con offsets ($N_i = 4$).....	21
Figura 2-13. Salida simétrica con un comparador menos.....	21
Figura 2-14. Curva característica de un ADC de 3 bits.....	22
Figura 2-15. Errores de INL y DNL en un ADC de 3 bits.	23
Figura 2-16. Representación del residuo (a) ideal (b) con un offset en el comparador de ΔV	26
Figura 2-17. Diagrama de bloques de un ADC pipeline pseudo-diferencial.	27
Figura 2-18. ADC entrelazados en el tiempo y diagrama correspondiente.	28
Figura 2-19. Diagrama de bloques del ADC pipeline con entrelazado en el tiempo.	29
Figura 2-20. ADC con compartición de amplificadores.....	29
Figura 2-21. Arquitectura ADC pipeline empleando una técnica CDS con desplazamiento en el tiempo.	30
Figura 2-22. Integrador de capacidades conmutadas.....	31
Figura 2-23. FOM vs. ENOB para CAD reportados recientemente en la revista IEEE J.Solid-State Circuits.....	32

Figura 3-1. Front-end analógico para DVB	41
Figura 3-2. Efecto del submuestreo.	42
Figura 3-3. Diagrama de bloques del convertidor.	43
Figura 3-4. Arquitectura de una etapa pipeline.	43
Figura 3-5. Realización de una etapa pipeline.	44
Figura 3-6. Circuito utilizado para deducir el modelo con ganancia finita del amplificador operacional.....	45
Figura 3-7. Representación de INL frente a la ganancia DC del amplificador de las dos primeras etapas.	46
Figura 3-8. Representación de INL frente a la ganancia DC del amplificador de las dos primeras etapas.	46
Figura 3-9. Modelo para calcular la influencia del SR y BW del amplificador operacional en el cálculo del residuo.	47
Figura 3-10. Máxima INL en función del ancho de banda del amplificador y el Slew-Rate.....	49
Figura 3-11. Máxima INL frente al desapareamiento entre las capacidades de la primera etapa.	51
Figura 3-12. Máxima INL frente al desapareamiento entre las capacidades de la segunda etapa.....	51
Figura 3-13. Principio de la técnica de elevación de tensión	53
Figura 3-14. Circuito S/H con elevación de la tensión de reloj y funcionamiento en el rango completo de la señal de entrada.	53
Figura 3-15. Layout del Circuito S/H con elevación de la tensión de reloj y funcionamiento en el rango completo de la señal de entrada.	54
Figura 3-16. Modelo empleado para el amplificador operacional en el análisis de pequeña señal.	55
Figura 3-17. Topología del amplificador telescópico con elevación de ganancia y amplio rango de salida	57
Figura 3-18. Circuito elevador de ganancia con un amplio rango de variación.....	58
Figura 3-19. Layout del circuito amplificador telescópico con elevación de ganancia y amplio rango de salida. .	59
Figura 3-20. Característica de transferencia de un comparador ideal.....	60
Figura 3-21. Característica de transferencia de un amplificador de alta ganancia.....	60
Figura 3-22. Arquitectura típica de un comparador.....	61
Figura 3-23. ADC de 1.5 bits.....	61
Figura 3-24. Comparador diferencial.....	62
Figura 3-25. Comparador latch propuesto en [Yukawa85].	64
Figura 3-26. Comparador latch propuesto en [Song93].....	64
Figura 3-27. Comparador dinámico sin preamplificador.	65
Figura 3-28. Layout del circuito comparador dinámico sin preamplificador.....	67

Figura 3-29. Simulación del ADC en el rango completo de entrada. (b) Detalle del flanco de subida para una tensión de entrada de 3mV.....	68
Figura 3-30. Última etapa del convertidor.....	68
Figura 3-31. Layout de la última etapa del convertidor.....	69
Figura 3-32. Técnica para compartir el amplificador operacional a) Fase Φ_1 b) Fase Φ_2	70
Figura 3-33. Residuo de las dos primeras etapas del convertidor. La entrada es una rampa entre $-V_{ref}$ y V_{ref}	71
Figura 3-34. DAC de 1.5bits.....	72
Figura 3-35. Layout del DAC de 1.5bits.....	72
Figura 3-36. Simulación del DAC aplicando una señal de entrada al ADC de rango completo.....	73
Figura 3-37. Fases de reloj.....	73
Figura 3-38. Circuito generador de fases de reloj.....	74
Figura 3-39. Distribución de la señal de reloj.....	74
Figura 3-40. Circuito generador de fases de reloj. Layout CADENCE.....	75
Figura 3-41. Diagrama de situación de interruptores, capacidades y parte analógica en un circuito de capacidades conmutadas genérico.....	76
Figura 3-42. Plano para el layout de una etapa del ADC pipeline.....	76
Figura 3-43. Dos etapas consecutivas del convertidor. Fotografía.....	77
Figura 3-44. ADC pipeline completo. Fotografía.....	77
Figura 3-45. Densidad espectral de potencia para una señal de entrada sinusoidal de 2.2 MHz de frecuencia y 1 V de amplitud con una señal de reloj de una frecuencia de 16 MHz (1024 puntos).....	78
Figura 3-46. No linealidad diferencial (2560 puntos).....	79
Figura 3-47. No linealidad integral (2560 puntos).....	79
Figura 3-48. Fotografía de la placa de prueba para la obtención de resultados experimentales.....	81
Figura 3-49. Diagrama de bloques del sistema de medidas.....	81
Figura 3-50. No linealidad diferencial medida (62516 puntos).....	82
Figura 3-51. No linealidad integral medida (62516 puntos).....	83
Figura 3-52. Prestaciones dinámicas del ADC. Densidad espectral de potencia para una frecuencia de entrada de 1.1MHz y una frecuencia de muestreo de 19MHz (62532 puntos).....	83
Figura 3-53. Prestaciones dinámicas del ADC. SNDR ('o') -THD ('x') y SFDR ('+')(62532 puntos).....	84
Figura 3-54. Prestaciones dinámicas del ADC. SNDR para diferentes frecuencias de entrada (62532 puntos).....	85
Figura 3-55. Prestaciones dinámicas del ADC. SNDR para diferentes amplitudes de entrada y una frecuencia de entrada de 1.1MHz (62532 puntos).....	85

Figura 3-56. Prestaciones dinámicas del ADC. SNDR para diferentes tensiones analógicas de polarización y una frecuencia de entrada de 1.1MHz (62532 puntos)	86
Figura 3-57. FOM vs. ENOB para ADC reportados recientemente.	87
Figura 4-1. OTA folded cascode.	99
Figura 4-2. Etapa cascode con preamplificador de baja ganancia.	101
Figura 4-3. OTA telescópico.....	101
Figura 4-4. Generación de una tensión de modo común y desplazamiento de nivel.	103
Figura 4-5. Implementación de un circuito SC-CMFC.	104
Figura 4-6. Configuración alternativa de SC-CMFC con carga simétrica.	105
Figura 4-7. Fuente de corriente con GBCA.....	105
Figura 4-8. Fuente de corriente con GBCA: tres implementaciones.	106
Figura 4-9. Fuente de corriente con GBCA en configuración folded cascode.....	107
Figura 4-10. Modelo de pequeña señal GBCA.	108
Figura 4-11. Bode de un OTA folded-cascode convencional (A_{OTA}), una etapa adicional (A_{ad}) y el OTA propuesto (A_{TOT}).....	110
Figura 4-12. Impedancia de salida normalizada en función de la frecuencia.....	111
Figura 4-13. Rango seguro para la frecuencia de ganancia unidad de la etapa adicional.....	112
Figura 4-14. Topología del amplificador telescópico con gain-boosting y amplio rango de salida.....	113
Figura 4-15. Circuito de polarización.....	113
Figura 4-16. OTA propuesto usando transistores ‘super-cascode’.....	114
Figura 4-17. Transistor ‘super-cascode’.....	115
Figura 4-18. Circuito de pequeña señal para el cálculo de la r_{out} vista desde el drenador.....	115
Figura 4-19. Modelo en bucle abierto del transistor ‘super-cascode’.	116
Figura 4-20. Simulación transitoria del OTA folded cascode propuesto.....	118
Figura 5-1. Circuito de muestreo MOS.....	125
Figura 5-2. Ilustración del “clock-feedthrough”.....	126
Figura 5-3. Circuito de muestreo MOS con interruptor dummy.	127
Figura 5-4. Puerta de transmisión MOS.....	127
Figura 5-5. Circuito de muestreo MOS diferencial.	128
Figura 5-6. Circuito de muestreo con una técnica de muestreo de placa inferior y sus correspondientes fases de reloj.	129

Figura 5-7. Resistencia de los interruptores.....	129
Figura 5-8. Conductancia de interruptores MOS.....	130
Figura 5-9. Generador de tensión para interruptores.....	131
Figura 5-10. Principio de la técnica de elevación de tensión.....	132
Figura 5-11. Salida conceptual del circuito interruptor con elevación de tensión.....	133
Figura 5-12. Implementación del principio de la técnica de elevación de tensión con un circuito de condensadores conmutados.....	133
Figura 5-13. Implementación de un circuito interruptor con elevación de tensión.....	134
Figura 5-14. Interruptor con elevación de la tensión de reloj usado en un circuito de muestreo a la entrada de un convertidor analógico digital.	135
Figura 5-15. Interruptor con elevación de la tensión de reloj sin inyección de carga.	136
Figura 5-16. Interruptor con elevación de la tensión de reloj con reducción de clock feedthrough.....	137
Figura 5-17. Transistor de puerta flotante y entrada múltiple. Símbolo y Circuito equivalente..	138
Figura 5-18. Implementación de una resistencia de gran valor usando una unión PN de pozo N.....	139
Figura 5-19. Implementación de una resistencia de gran valor usando un transistor PMOS en conexión diodo..	140
Figura 5-20. Transistor de puerta casi-flotante.	140
Figura 5-21. Circuito de muestreo y retención con el innovador interruptor propuesto y funcionamiento a casi rango completo (a) y rango completo (b).....	142
Figura 5-22. Formas de ondas experimentales de la entrada y la salida del sample-and-hold de rango completo de la figura 4.19b para $V_{DD}=0.8$ V (escala vertical 0.2 V/div).	143
Figura 5-23. Circuito de muestreo y retención con elevación de tensión y funcionamiento en el rango completo de la señal de entrada.	143
Figura 5-24. Resultados experimentales del circuito de muestreo y retención con elevación de tensión de la Figura 5-23.....	144
Figura 5-25. Puerta NAND de baja tensión con carga resistiva.....	144
Figura 5-26. Resultados experimentales de la puerta NAND de baja tensión de la Figura 5-25. De arriba abajo: señales de entrada V_1 y V_2 y señal de salida. Escala vertical 0.2V/div.....	145
Figura 5-27. Circuito de muestreo y retención basado en transistores de puerta casi flotante alternativo.	145
Figura 5-28. FFT del circuito basado en transistores de puerta casi flotante con una velocidad de muestreo de 100 KHz, una frecuencia de entrada de 2343.75 KHz y una amplitud de señal de 1 V_{PP} para una $V_{DD}=1.2$ V	146
Figura 5-29. Circuito de muestreo y retención basado en la arquitectura “flip-around” con técnica de autocero	146
Figura A-1. Diagrama explicativo del funcionamiento de un amplificador de residuo doble diferencial.....	160

Figura A-2. Configuraciones de los amplificadores operacionales con realimentación negativa durante la fase de retención y diferentes valores de los bits d y e. 161

Figura A-3. Rango completo de variación de las señales de entrada (A1P, A1N, B1P y B1N).. 163

Figura A-4. Detalle de la característica de salida obtenida (VO) y característica de salida esperada (VI) para la señal de entrada de la Figura A-3..... 164

Figura A-5. Residuo de la última etapa (RES) después de 6 etapas para la señal de entrada de la Figura A-3. 165

Figura A-6. Parámetro D correspondiente a una entrada analógica de una rampa muestreada. 166

Figura A-7. Parámetro D correspondiente a una entrada analógica de un escalón en todo el rango de señal de entrada. 166

Figura A-8. Parámetro D correspondiente a una entrada analógica de una señal senoidal muestreada de 39 MHz. 167

Figura A-9. Parámetro D correspondiente a una entrada analógica de una rampa muestreada para amplificadores operacionales con 30 dB de ganancia en bucle abierto..... 167

Figura A-10. Parámetro D correspondiente a una entrada analógica de una rampa muestreada para amplificadores operacionales con 40 dB de ganancia en bucle abierto..... 168

Figura A-11. Parámetro D correspondiente a una entrada analógica de una rampa muestreada para amplificadores operacionales con 50 dB de ganancia en bucle abierto..... 168

LISTA DE TABLAS

Tabla 2-1. Código digital de salida de un ADC pipeline de tres etapas de resoluciones 4,3 y 2 bits respectivamente.....	19
Tabla 2-2. Código digital de salida de un ADC pipeline de tres etapas de resoluciones 3,4 y 5 bits respectivamente con corrección digital.....	20
Tabla 2-3. Comparativa de CAD pipeline de 10-bit publicados en IEEE J. Solid-State Circuits en los últimos años.	33
Tabla 3-1. Especificaciones del ADC	42
Tabla 3-2. Valores del circuito diseñado a partir de la Figura 3-14.....	54
Tabla 3-3. Escalado de capacidades en el ADC propuesto.....	57
Tabla 3-4. Tamaño de los transistores del amplificador operacional cascode telescópico (Etapas 3-6)	58
Tabla 3-5. Tamaño de los transistores del circuito elevador de ganancia.....	58
Tabla 3-6. Resumen de las especificaciones del amplificador operacional (2.5 V de tensión de alimentación)...	59
Tabla 3-7. Resumen de las especificaciones del comparador dinámico sin preamplificador.....	66
Tabla 3-8. Niveles de salida del DAC.....	71
Tabla 3-9. Resumen de las especificaciones del DAC de 1.5bits.	72
Tabla 3-10. Resumen del comportamiento del ADC a nivel de transistor (esquemático).	80
Tabla 3-11. Resumen del comportamiento del ADC en simulaciones post-layout.	80
Tabla 3-12. Resumen de los resultados experimentales.....	82
Tabla 4-1. Comparación entre los OTAs de una etapa mencionados.	102
Tabla 4-2. Tamaño para los transistores ‘super-cascode’ usados en el OTA propuesto.	117
Tabla 4-3. Especificaciones del OTA folded cascode propuesto.....	117
Tabla 5-1. Resultados de simulación del número efectivo de bits para una frecuencia de reloj de 4KHz	147
Tabla 5-2. Resultados de simulación del número efectivo de bits para una frecuencia de reloj de 4KHz	147
Tabla A-1. Relación entre la salida de los comparadores y la salida de los bits d y e.	163
Tabla A-2. Resumen de las especificaciones del ADC diseñado	169

INTRODUCCIÓN

1.1 Introducción

1.2 Objetivos

1.3 Metodología y plan de trabajo

1.4 Estructura de la tesis

1. Introducción

1.1 Introducción

En la actualidad, la escala de integración ha aumentado hasta el orden de los nanómetros debido a los avances de la tecnología CMOS. Este escalado ha llevado a un mayor nivel de integración de los sistemas, así como una mayor complejidad de la funcionalidad implementada en un solo circuito. Por tanto, esta tendencia está empujando tanto el consumo de potencia como la tensión de alimentación a un valor cada vez más bajo, dos aspectos claves para la mejora de la portabilidad empleando una tecnología CMOS de bajo coste.

La tendencia a incorporar los interfaces analógicos digitales como una celda de complejos circuitos integrados que contienen en su mayoría bloques digitales para el procesamiento digital de la señal (DSP) y control, implica el uso de la misma fuente de alimentación para ambos tipos de circuitos ya que elimina la necesidad de generar múltiples tensiones, lo que puede resultar ventajoso a la hora de reducir el coste del sistema completo. Los circuitos digitales ofrecen más velocidad y menor consumo de potencia con cada nueva generación en la tecnología, sin embargo, los circuitos analógicos no ven favorecidas sus prestaciones en este caso. El principal motivo es que las tensiones necesitan ser escaladas para evitar un posible camino de conducción en la puerta del transistor debido a un óxido extremadamente delgado, comprometiendo la fiabilidad a largo plazo del dispositivo. Por tanto, se hace necesario desarrollar técnicas de diseño adecuadas para aplicaciones de baja tensión.

En un circuito integrado predominantemente analógico, reducir la tensión de alimentación no mejora necesariamente el comportamiento del circuito desde el punto de vista del consumo de potencia. La tensión umbral del transistor no puede escalarse en la misma proporción que la tensión de alimentación para evitar corrientes de fuga. Así, el rango de señal disponible es menor y se requiere una reducción del ruido del circuito para mantener el mismo rango dinámico. El consumo de potencia se incrementa así por la reducción del ruido térmico. Además, la resistencia de salida de los transistores MOS también se ve afectada, lo que se traduce en ganancias más bajas y en una necesidad de aumentar la complejidad de los circuitos para mantener las prestaciones. Por tanto, las tendencias actuales en la tecnología CMOS han degradado la calidad de los dispositivos analógicos y de señal mixta (peor modelado, dispositivos menos precisos y ruidosos, compatibilidad completa con los procesos estándar digitales, etc)

Muchas de las aplicaciones comerciales que se fabrican actualmente contienen, al menos, un convertidor analógico-digital (ADC). Estos sistemas tendrán una entrada proveniente del mundo real y será necesaria una conversión analógica-digital para llevar a cabo una cierta funcionalidad mediante DSP. Entre estas aplicaciones se encuentran equipos de medida, sistemas de instrumentación, redes de comunicación, video digital y dispositivos móviles. Para especificaciones de velocidad y precisión que se corresponden con una resolución moderada (8-12 bits) y frecuencias de muestreo hasta 50-100 MHz, la estructura pipeline han probado ser arquitecturas muy eficientes. Estas resoluciones y velocidades de conversión son apropiadas para un gran número de aplicaciones, incluyendo dispositivos de carga acoplada (CCD) e imágenes médicas ultrasónicas, receptores digitales, estaciones base, video digital de alta definición, como HDTV y HDMI, así como, estándar de transmisión de alta velocidad (WBDSL y Ethernet).

Arquitecturas flash o de aproximaciones sucesivas no resultan apropiadas puesto que requieren incrementos exponenciales en área a medida que aumenta su resolución y tienen un elevado consumo. Arquitecturas en dos pasos emplean un número de comparadores menor, comparado con la arquitectura flash, y carecen también de amplificadores operacionales para el muestreo y retención (S/H), sin embargo, el ancho de banda a la entrada, sin el uso de un circuito S/H de entrada dedicado, está normalmente limitado a una frecuencia de la señal de entrada relativamente baja. Los ADC pipeline conjugan los requisitos de baja disipación de potencia y ancho de banda elevado de la señal de entrada. El área y el consiguiente coste de fabricación es pequeño comparado con el de los convertidores flash, ya que requieren menos comparadores que estos últimos. Además, las arquitecturas pipeline se implementan en CMOS empleando condensadores conmutados (SC), lo que hace que sean fáciles de integrar.

En los ADC pipeline la reducción del consumo de potencia y la tensión de alimentación puede obtenerse mediante técnicas que sacan provecho tanto de la estructura de funcionamiento del propio convertidor como del diseño de las celdas básicas que lo componen. Una combinación adecuada de ambos

tipos de técnicas puede optimizar de forma importante el ADC desde el punto de vista de la alimentación y el consumo.

1.2 Objetivos

El objetivo principal de esta tesis es el diseño del prototipo de un ADC pipeline de bajo consumo para aplicaciones OFDM DVB-T en una tecnología 0.35 μm CMOS de AMS. Para la consecución de este objetivo, definimos los siguientes objetivos parciales.

- Establecer las especificaciones que debe cumplir el prototipo para poder ser incluido en un front-end analógico de DVB-T, a partir de las características del estándar.
- Desarrollar modelos matemáticos que determinen las especificaciones mínimas impuestas por las no linealidades del circuito.
- Realizar un estudio del estado del arte en cuanto a técnicas de reducción del consumo de potencia en ADC pipeline se refiere, que nos permitirá seleccionar y combinar aquellas técnicas para nuestro prototipo que presenten mejores resultados.
- Extrapolar las decisiones de diseño del convertidor completo a las especificaciones que deben cumplir cada uno de los bloques que lo componen. Proponer y desarrollar celdas que puedan derivar en aportaciones originales para aplicaciones de baja tensión y bajo consumo.
- Caracterizar el circuito propuesto mediante simulaciones post-layout. Determinación de las limitaciones que puedan surgir de decisiones tomadas en pasos anteriores.
- Obtener los resultados experimentales del circuito fabricado. Comprobar que se han alcanzado las especificaciones buscadas.

1.3 Metodología y plan de trabajo

1. Modelado de un ADC para DVB

El DVB (Digital Video Broadcasting) es un organismo encargado de crear y proponer los procedimientos de estandarización para la televisión digital compatible. Está constituido por más de 270 instituciones y empresas de todo el mundo. Los estándares propuestos han sido ampliamente aceptados en Europa y casi todos los continentes. Todos los procedimientos de codificación de las fuentes de vídeo y audio están basados en los estándares definidos por MPEG. Sin embargo, este estándar no cubre los sistemas de modulación de señal que se utilizarán para los distintos tipos de radiodifusión, los tipos de códigos de protección frente a errores y los mecanismos de acceso condicional a los servicios y programas. El DVB ha elaborado distintos estándares en función de las características del sistema de radiodifusión.

A este nivel de la investigación se realizará el estudio del estado del arte para determinar las técnicas de bajo consumo que permitan la implementación de un convertidor que proporcione prestaciones deseadas. Se determinarán las especificaciones del ADC a partir del estándar DVB y del esquema del receptor utilizado. Estas especificaciones supondrán el punto de partida para determinar la arquitectura óptima (es decir, el número de bits de cada etapa del pipeline) respecto a potencia consumida y área.

2. Realización de los bloques básicos

Una vez seleccionada la arquitectura del sistema, fijadas las especificaciones iniciales a satisfacer por cada uno de los subsistemas y bloques fundamentales, se pasará al diseño y realización física de tales bloques. Se pretende desarrollar las celdas básicas, amplificadores operacionales de transconductancia (OTA), comparadores, interruptores, etc., capaces de cumplir con los requisitos de los bloques definidos y con las especificaciones básicas.

Asimismo, se evaluará la tecnología o tecnologías de integración más adecuadas para la realización física, que se implementarán en forma de uno o varios circuitos integrados en función de las tecnologías a emplear.

3. Realización del convertidor A/D

- Diseño de cada una de las etapas de convertidor pipeline utilizando macromodelos.

- Diseño y simulación de cada una de las etapas del pipeline.
- Diseño y simulación del convertidor pipeline completo.
- Generación del layout y envío a fabricación.

En este punto del plan de trabajo se habrán detectado los principales problemas de diseño del convertidor, lo que nos permitirá proponer y desarrollar celdas que puedan derivar en aportaciones originales tanto para aplicaciones de baja tensión y bajo consumo.

4. Test del sistema

Se realizarán las placas de circuito impreso y se preparará un sistema de test que permita la medida completa de las prestaciones del convertidor implementado.

5. Diseminación de resultados

Aunque durante la realización del proyecto se enviará para su publicación los resultados parciales más significativos que se vayan obteniendo, será en esta fase cuando se realice un esfuerzo de síntesis de los beneficios obtenidos y del estudio de las posibles mejoras a partir del análisis de los resultados.

1.4 Estructura de la tesis

La organización de la tesis está fuertemente influida por los objetivos perseguidos en esta investigación. Consta de seis capítulos, que se describen brevemente a continuación.

- El primer capítulo establece la estructura de la tesis. Introduce al lector en la problemática del bajo consumo y la baja tensión de alimentación para circuitos analógicos y mixtos, además de resaltar la importancia del ADC pipeline en multitud de aplicaciones comerciales. Se definen los objetivos buscados y el plan de trabajo a seguir para la consecución de los mismos.
- El segundo capítulo proporciona los conceptos básicos sobre funcionamiento y arquitectura de ADC pipeline. También se realiza un estudio del estado del arte de los ADC pipeline en cuanto a técnicas de reducción del consumo de potencia se refiere.
- El tercer capítulo explica de forma detallada el diseño de un ADC pipeline de bajo consumo para aplicaciones OFDM DVB-T con una frecuencia de muestreo de 19 MS/s y una resolución de 8 bits, empleando una tecnología de 0.35 μm CMOS de AMS. Se deja para los capítulos posteriores los aspectos relacionados con el diseño de los amplificadores de transconductancia (OTA) y los interruptores.
- El cuarto capítulo describe la arquitectura del OTA empleado en el ADC pipeline presentado, además de proponer un OTA de elevada ganancia y completamente diferencial para aplicaciones de baja tensión.
- El quinto capítulo propone algunas aplicaciones para baja tensión de un interruptor CMOS basado en transistores de puerta casi flotante, aparte de su utilidad como circuito S/H con elevación de tensión en el ADC pipeline diseñado en esta tesis.
- El capítulo final recoge las conclusiones, las nuevas líneas de investigación abiertas y las aportaciones realizadas.

CONVERTIDORES ANALÓGICO DIGITALES TIPO PIPELINE

2.1 Función básica de los convertidores digitales analógicos y analógicos digitales

2.2 Repaso de las arquitecturas de convertidores analógicos digitales

2.3 Principio de funcionamiento de la conversión analógica digital pipeline

2.4 Corrección digital

2.5 Parámetros de comportamiento de un convertidor analógico digital

2.6 Elección del número de bits por etapa

2.7 Técnicas de reducción del consumo de potencia

El auge experimentado por los equipos portátiles en un gran número de aplicaciones, como en equipos de medidas, sistemas de instrumentación, redes de comunicación, video digital y dispositivos móviles, han creado una gran demanda de convertidores analógicos digitales (ADC) de baja tensión de alimentación y baja consumo. Para estas aplicaciones, la arquitectura ADC pipeline ofrece una ventaja indudable, ya que combina alta resolución y frecuencia de conversión con facilidad de integración en un proceso CMOS estándar. De esta forma, la estructura pipeline es la opción más atractiva para resoluciones superiores a 8 bits y frecuencias de muestreo hasta 50-100 MHz. Estas resoluciones y velocidades de conversión son apropiadas para un gran número de aplicaciones, incluyendo dispositivos de carga acoplada (CCD) e imágenes médicas ultrasónicas, receptores digitales, estaciones base, video digital de alta definición, como HDTV y HDMI, así como, estándar de transmisión de alta velocidad (WBDSL y Ethernet).

Los ADC pipeline tienen una estructura iterativa con múltiples etapas que resuelven parte de la resolución final. Sus prestaciones están prácticamente limitadas por los efectos no-ideales en los bloques

analógicos. Algunos convertidores añaden métodos de calibración para aliviar las diferentes fuentes de error [Sumanen01] [Jamal02]. Estos métodos pueden ser analógicos o digitales. En la calibración analógica, el offset se mide desde una salida digital y luego se añade una señal de cancelación en el canal de entrada generada a partir de un convertidor digital analógico [Tseng12]. En la calibración digital, la cancelación se lleva a cabo en el dominio digital simplemente restando el offset medido en cada muestra [Moon97], [Verma09]. La ventaja del método analógico es que no reduce el rango de la señal. Sin embargo, la robustez conseguida con la calibración digital la hace un método preferible en muchas ocasiones. De cualquier forma, ninguna de las técnicas de calibración resulta deseable desde el punto de vista del consumo de potencia.

Por otra parte, el aumento progresivo de la escala de integración para los circuitos analógicos trae beneficios desde el punto de vista de la velocidad y el consumo. Sin embargo, aparecen nuevos inconvenientes, tales como la reducción del rango de variación de la señal y la degradación del comportamiento de interruptores y amplificadores.

En este capítulo de la tesis se describe la función básica de los convertidores analógicos digitales (ADC) y convertidores digitales analógicos (DAC) y, dentro de los ADC, se establecen las características fundamentales de la arquitectura pipeline. El capítulo se completa con una descripción de los parámetros fundamentales que establecen la bondad del comportamiento del convertidor, así como una reflexión sobre los diferentes factores que influyen en la elección del número de bits por etapa en un ADC pipeline y un estudio sobre diferentes técnicas de reducción del consumo de potencia. Para llevar a cabo este estudio, se han analizado los ADCs pipeline de 10-bit de resolución publicados en el IEEE J. Solid-State circuits en la última década.

Con este capítulo, se pretende sentar las bases para abordar el diseño completo de un ADC pipeline en el capítulo 3 de la presente tesis doctoral. En este sentido, el capítulo 2 proporciona tanto la información necesaria para comprender el funcionamiento de esta arquitectura de convertidores, como la explicación a ciertas decisiones en cuanto a especificaciones en el diseño se refiere.

2. Convertidores analógico digitales tipo pipeline

2.1 Función básica de los convertidores digitales analógicos y analógicos digitales

Un convertidor digital analógico (DAC) es un dispositivo que transforma datos digitales en señales de corriente o de tensión analógica. En la Figura 2-1 se muestra su diagrama de bloques [VandePlassche03]. Las señales digitales se aplican al convertidor como señales en paralelo. Suponiendo que tenemos un convertidor con una codificación binaria, entonces el valor de la entrada digital se convierte a un valor analógico mediante la ecuación (2.1)

$$V_{out} = \sum_{m=0}^{n-1} B_m 2^m \Delta \quad (2.1)$$

En esta ecuación V_{out} representa el valor de la salida analógica y Δ el tamaño del paso, que es igual al valor analógico del bit menos significativo (LSB). El tamaño del paso puede definirse según la ecuación (2.2)

$$\Delta = \frac{FS}{2^n} \quad (2.2)$$

En esta expresión, el rango de conversión sin que se produzca saturación está referido al fondo de escala (FS) y n representa la resolución del convertidor.

La entrada digital del DAC está representada por el código binario de n bits $B_{n-1} \dots B_0$. B_{n-1} representa el bit más significativo (MSB) y B_0 el bit menos significativo (LSB) del convertidor. El factor 2^m indica la contribución de cada uno de los bits en función de la variable m . $B_m=1$ en el caso de que el valor del bit m se añada a la señal de salida y $B_m=0$ cuando este bit no se añade.

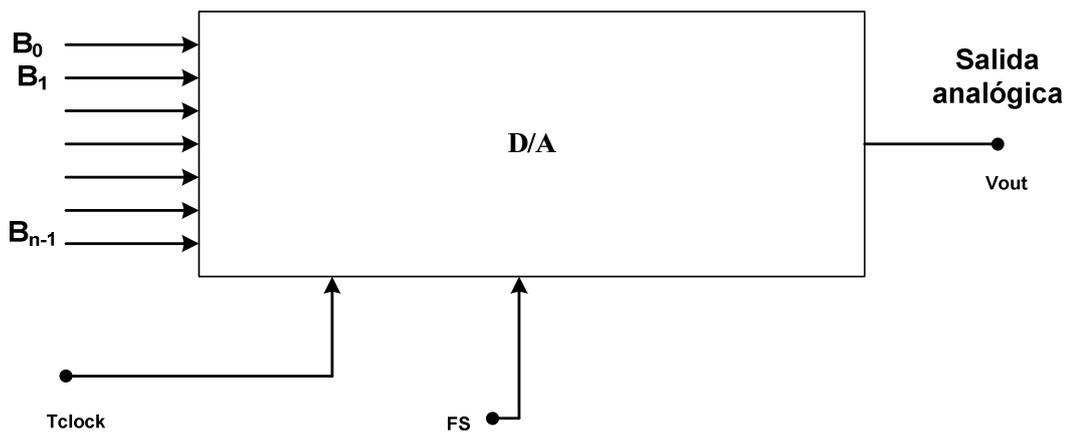


Figura 2-1. Diagrama de bloques de un convertidor digital analógico.

Un convertidor analógico digital (ADC) es un dispositivo electrónico capaz de convertir una entrada analógica de corriente o de tensión en un valor digital binario. Su diagrama de bloques se muestra en la Figura 2-2 [VandePlassche03]. Se añade un amplificador de muestreo y retención para muestrear la señal de entrada y mantener la señal de información al valor muestreado durante el tiempo en el cual se lleva a cabo la conversión a un número digital.

Esta conversión comprende dos procesos:

- Un muestreo en el que se genera señales en tiempo discreto mediante la captura de la señal analógica de entrada a intervalos regulares determinados por la frecuencia de reloj
- Una cuantización que supone la reducción de los diferentes valores de la señal en tiempo discreto a un conjunto discreto de amplitudes.

En un ADC la ecuación (2.1) cambia a la ecuación (2.3)

$$V_{in} = D_{out} \cdot \Delta + e_q = \sum_{m=0}^{n-1} B_m 2^m \cdot \Delta + e_q \quad (2.3)$$

En la ecuación (2.3), D_{out} representa el valor digitalizado de la señal de entrada analógica V_{in} , cuyo valor viene dado por la ecuación (2.4)

$$D_{out} = \sum_{m=0}^{n-1} B_m 2^m \quad (2.4)$$

El error de cuantización e_q , error irreversible resultado del proceso de cuantización, es la diferencia entre la señal de entrada analógica V_{in} y el valor analógico de la señal digital cuantizada D_{out} cuando se usa un número finito n de niveles de cuantización. Este error determina en última instancia la resolución del ADC y el rango dinámico.

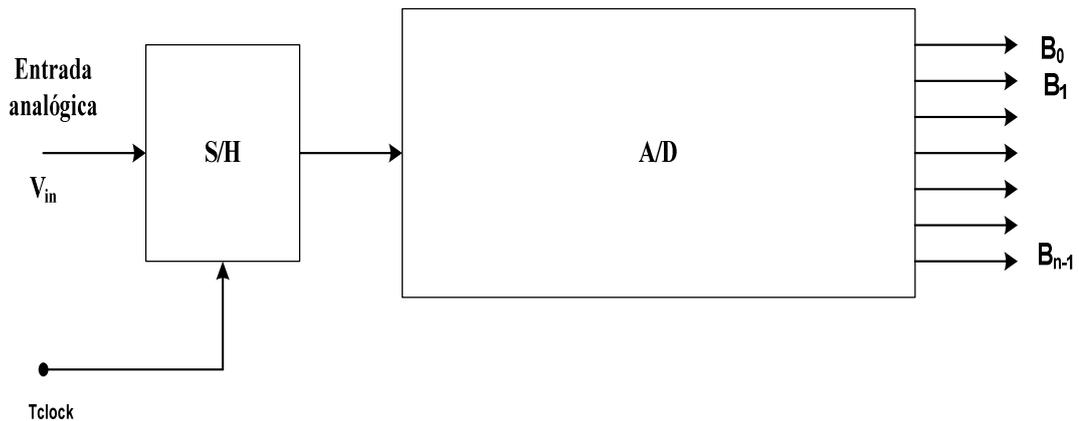


Figura 2-2. Diagrama de bloques de un convertidor analógico digital.

La operación de muestreo de la señal de entrada analógica introduce una repetición en el espectro de la señal de entrada a la frecuencia de muestreo y en frecuencias múltiplos de esta. Para evitar el efecto de aliasing en el espectro, debe cumplirse el teorema de Nyquist [Nyquist24], según el cual la frecuencia de muestreo del ADC debe ser al menos dos veces la frecuencia máxima de la señal de entrada. Sin embargo, es posible que aparezcan señales de mayor frecuencia en esta señal de entrada. Por este motivo, se incluye en el diagrama de bloques de la Figura 2-2 un filtro anti-aliasing que limita la frecuencia de la señal de entrada, como se indica en la Figura 2-3, y evita que señales de mayor frecuencia distorsionen la salida del convertidor.

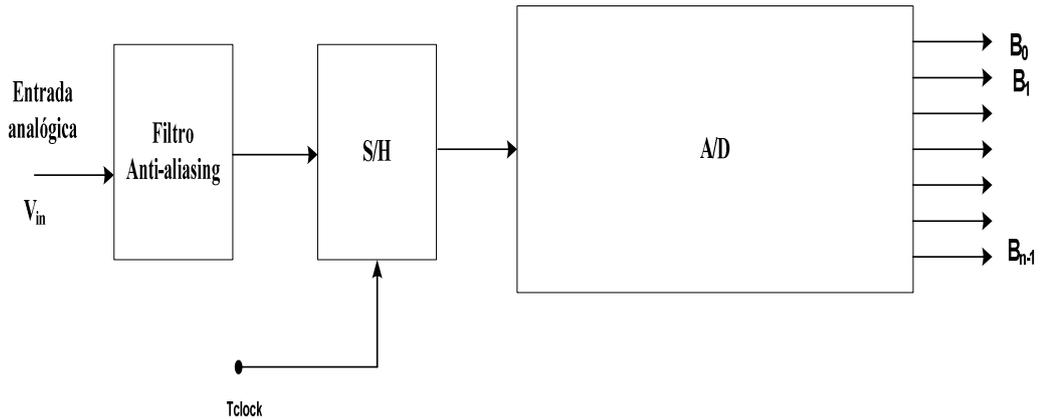


Figura 2-3. Diagrama de bloques de un convertidor analógico digital de Nyquist.

Una alternativa a los convertidores de Nyquist se encuentra en los convertidores sobremuestreados, como es el caso de los convertidores sigma-delta, cuyo principio de funcionamiento se basa en una modulación del ruido que desplaza parte del ruido de cuantización a altas frecuencias. La potencia de ruido dentro de la banda base de señal del convertidor queda así muy reducida. El diagrama de bloques de un convertidor de este tipo se muestra en la Figura 2-4.

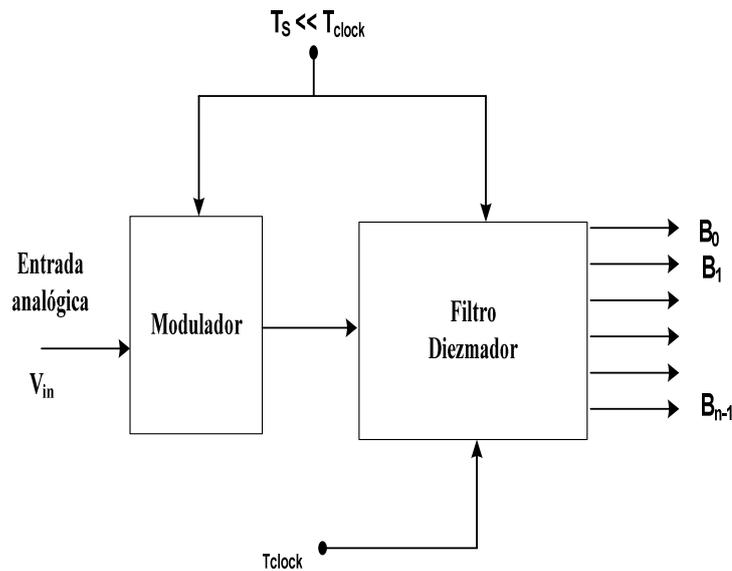


Figura 2-4. Diagrama de bloques de un convertidor analógico digital sobremuestreado.

El convertidor sobremuestreado consta de los mismos bloques que un convertidor de Nyquist, pero organizados de forma diferente. En la entrada se encuentra el modulador que realiza la cuantización de la señal y la modulación del ruido. Este bloque trabaja a una frecuencia muy superior a la frecuencia de la señal de entrada (de ahí el nombre de "sobremuestreado"). El modulador se suele realizar por medio de filtros paso-bajo introducidos dentro del bucle de realimentación [Can74]. Este desplaza el ruido de cuantización a altas frecuencias sin alterar la señal de entrada. Seguidamente, se encuentra un filtro digital que solo deja pasar las señales dentro de la banda base. Finalmente, se incluye un diezmador [Can86] que coge muestras a la frecuencia de Nyquist.

2.2 Repaso de las arquitecturas de convertidores analógicos digitales

Se ha investigado mucho en la implementación de ADCs y, como resultado de ello, se han desarrollado un gran número de técnicas para la conversión analógica-digital. Cada una de ellas tiene sus ventajas y sus inconvenientes y resultará adecuada para una determinada resolución y velocidad. El orden de las arquitecturas presentadas ha sido escogido de acuerdo a la conveniencia del autor de esta tesis, de forma que permita llegar a la idea detrás de los ADC pipeline, objetivo último de esta tesis, desde una arquitectura intuitiva como es la de los convertidores flash. De ningún modo pretende ser un repaso exhaustivo o cronológico acerca de la evolución de los convertidores analógicos digitales.

2.2.1 Convertidores flash

Es la arquitectura más rápida y la más sencilla de comprender. Un convertidor flash [Mangelsdorf90] [McCall92] de n -bits consiste en un conjunto de $2^n - 1$ comparadores y $2^n - 1$ valores de referencia. Cada comparador compara la señal de entrada, previamente muestreada, con uno de los valores de referencia, generando a continuación una salida. El valor obtenido indica si la señal de entrada es mayor o menor que la referencia asignada al comparador.

La colección de las $2^n - 1$ salidas resultantes se denomina código termométrico. El nombre proviene del hecho de que si las salidas de los comparadores se colocaran en una columna y se ordenaran de acuerdo a los valores de referencia asociados con el comparador que las produce, entonces, los “unos” estarían en la parte baja de la columna y los “ceros” arriba. Del mismo modo que el nivel de mercurio en un termómetro indica la temperatura, el nivel de la frontera entre los “unos” y los “ceros” indicaría el valor de la señal. Este código termométrico se suele convertir en un código digital binario o gray mediante un codificador situado al final del circuito.

La Figura 2-5 muestra un convertidor flash simple de tres bits. Como puede observarse, todos los comparadores operan en paralelo. Por tanto, la velocidad de conversión está limitada únicamente por la velocidad del comparador o del muestreador. Por esta razón, el convertidor analógico digital flash es capaz de alcanzar una velocidad alta.

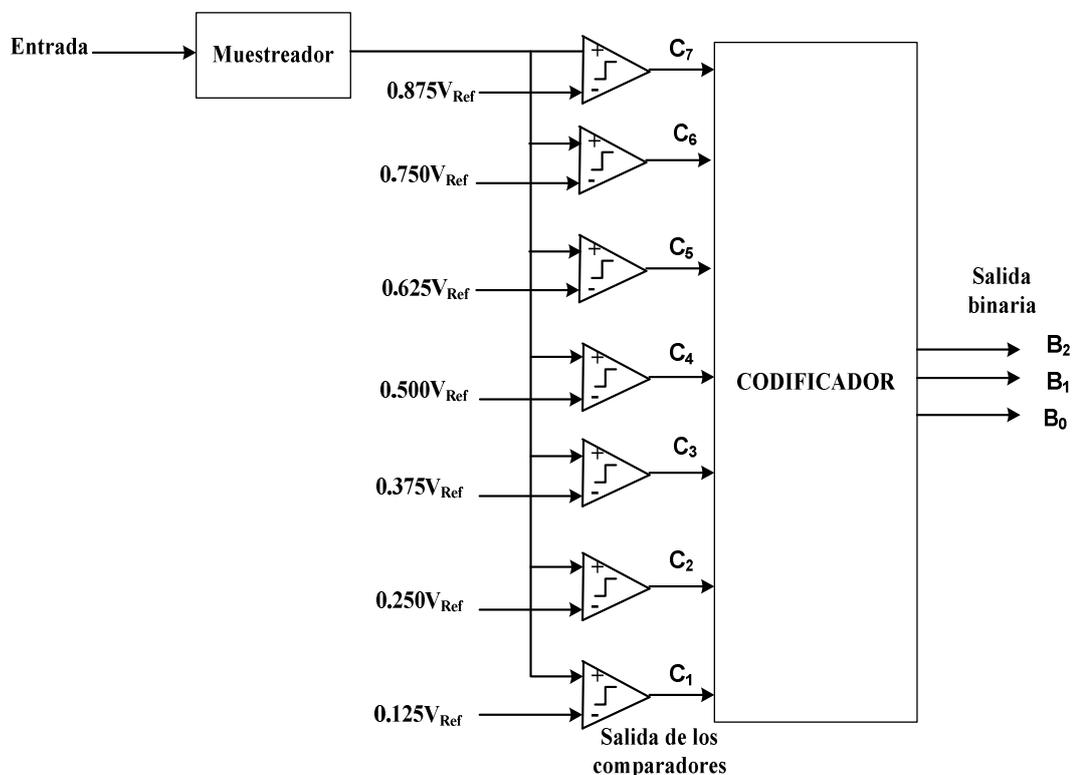


Figura 2-5. Convertidor analógico digital simple de 3 bits.

Los dos inconvenientes principales de los convertidores flash son los altos requerimientos hardware y la sensibilidad al offset de los comparadores. Dado que un convertidor de n-bits requiere $2^n - 1$ comparadores, un convertidor de este tipo con una alta resolución será grande y disipará mucha potencia. Por otra parte, a resoluciones altas el offset requerido se vuelve muy pequeño y, por tanto, difícil de conseguir. A modo de ejemplo, para construir un ADC de 10-bits basado en una arquitectura flash se necesitarían más de 1023 comparadores y cada comparador debería tener un offset menor a $V_{Ref}/2^{10}$. Por eso, es raro encontrar arquitecturas flash para convertidores de resoluciones mayores de 6 bits.

2.2.2 Convertidores flash de dos pasos

Un convertidor flash de dos pasos [Doernberg89], [Razavi92] consiste en dos etapas, cada una de las cuales contiene un convertidor flash. El diagrama de bloques de la Figura 2-6 ilustra la mencionada estructura, que consiste en dos ADCs flash de baja resolución, un DAC y un restador. En este tipo de convertidores, la conversión no sucede de una vez como en los convertidores flash, sino que se realiza en dos pasos. Durante el primer paso, la señal analógica muestreada se digitaliza a través de la primera etapa del convertidor que produce los N_1 MSB. Este código digital es convertido de nuevo en una señal analógica por medio del DAC y restado de la señal analógica muestreada, dando lugar a la señal de residuo. La señal de residuo será digitalizada por la segunda etapa del convertidor durante el segundo paso, produciendo los N_2 LSB.

El tiempo de conversión, aunque rápido, es mayor que el de un convertidor flash simple. Sin embargo, el convertidor flash de dos pasos requiere sólo $2 \cdot 2^{n/2}$ comparadores frente a los $2^n - 1$ comparadores del convertidor flash simple, para un ADC de n-bits de resolución. Si la resolución total del convertidor es de 10 bits, el número de comparadores requeridos por periodo es de 2^5 , y el número total de comparadores es de 64 frente a los 1024 requeridos por el ADC flash. Así, podemos ahorrar un número considerable de comparadores a costa de añadir un ciclo de reloj extra.

El mayor inconveniente del ADC flash de dos pasos se encuentra en el bloque DAC, puesto que debe tener una precisión igual a la resolución del ADC completo, lo que puede llegar a comprometer la velocidad de conversión del circuito.

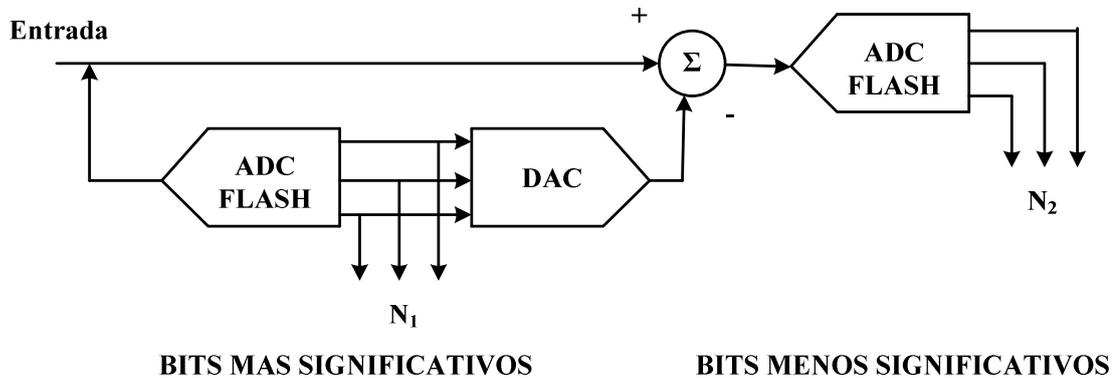


Figura 2-6. Convertidor analógico digital Flash de dos pasos.

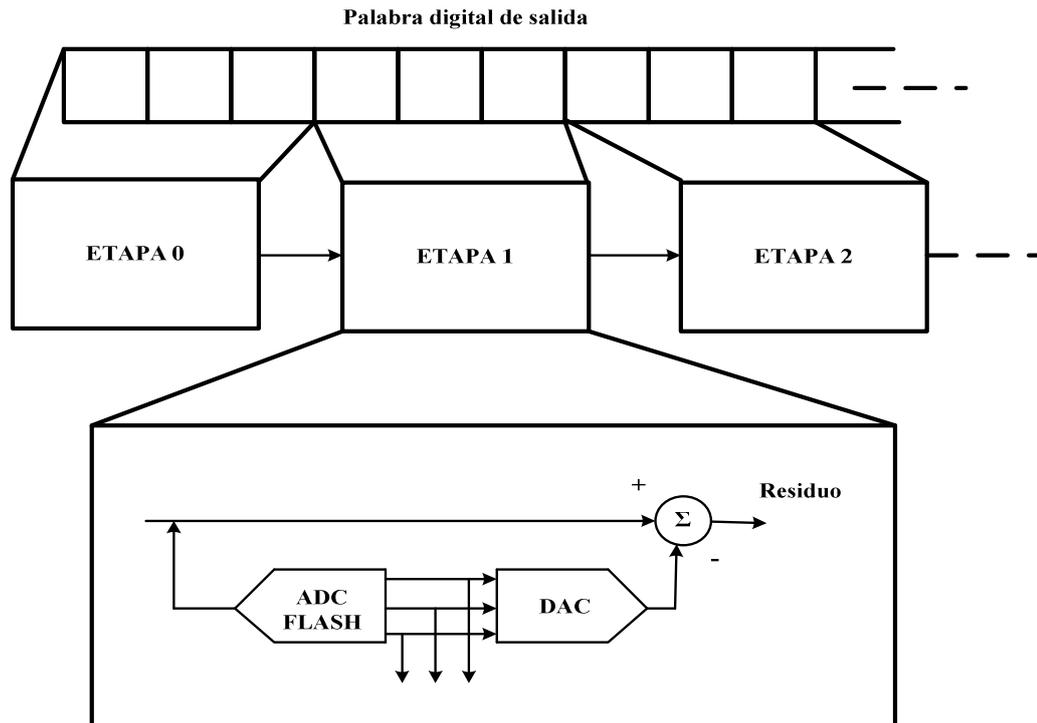


Figura 2-7. Convertidor analógico digital de subrango.

2.2.3 Convertidores de subrango

La arquitectura de subrango [Petschacher90], [Mercer91] es una arquitectura que extiende el concepto de de un convertidor flash de dos pasos a un mayor número de pasos. Dividiendo el proceso de conversión en múltiples pasos, el número de comparadores requeridos es cada vez menor, pero el tiempo de conversión es cada vez más largo.

El número total de comparadores es $2^{N/M} \times M$, donde N es la resolución total del ADC y M es el número de etapas. Para un ADC subrango de 10 bits y 5 etapas, se requerirá únicamente 20 comparadores en lugar de los 1024 comparadores del ADC flash. Sin embargo, la conversión en esta arquitectura subrango se hace en 5 ciclos de reloj, en lugar de uno.

El diagrama de bloques de la Figura 2-7 ilustra la estructura de un convertidor de subrango. Cada etapa es responsable de resolver alguna parte de la palabra digital de salida, y de entregar el residuo a la siguiente etapa. El tiempo de conversión requerido aumenta con el número de etapas mientras que el hardware necesario disminuye. Por tanto, hay un compromiso entre velocidad y área.

2.2.4 Convertidores pipeline

Un convertidor pipeline [Cho95], [Nakamura95] es un tipo de los convertidores de subrango que tiene la propiedad de mejorar la tolerancia a los errores de los comparadores y la frecuencia o tasa de muestreo del convertidor completo. El diagrama de bloques en la Figura 2-8 muestra su estructura. Cada una de las etapas de las que se compone este tipo de convertidor contiene cuatro elementos, un convertidor analógico digital (sub-ADC), un convertidor digital analógico (sub-DAC), un restador y un amplificador de residuo (MDAC, del inglés "Multiplying Digital-to-Analog Converter").

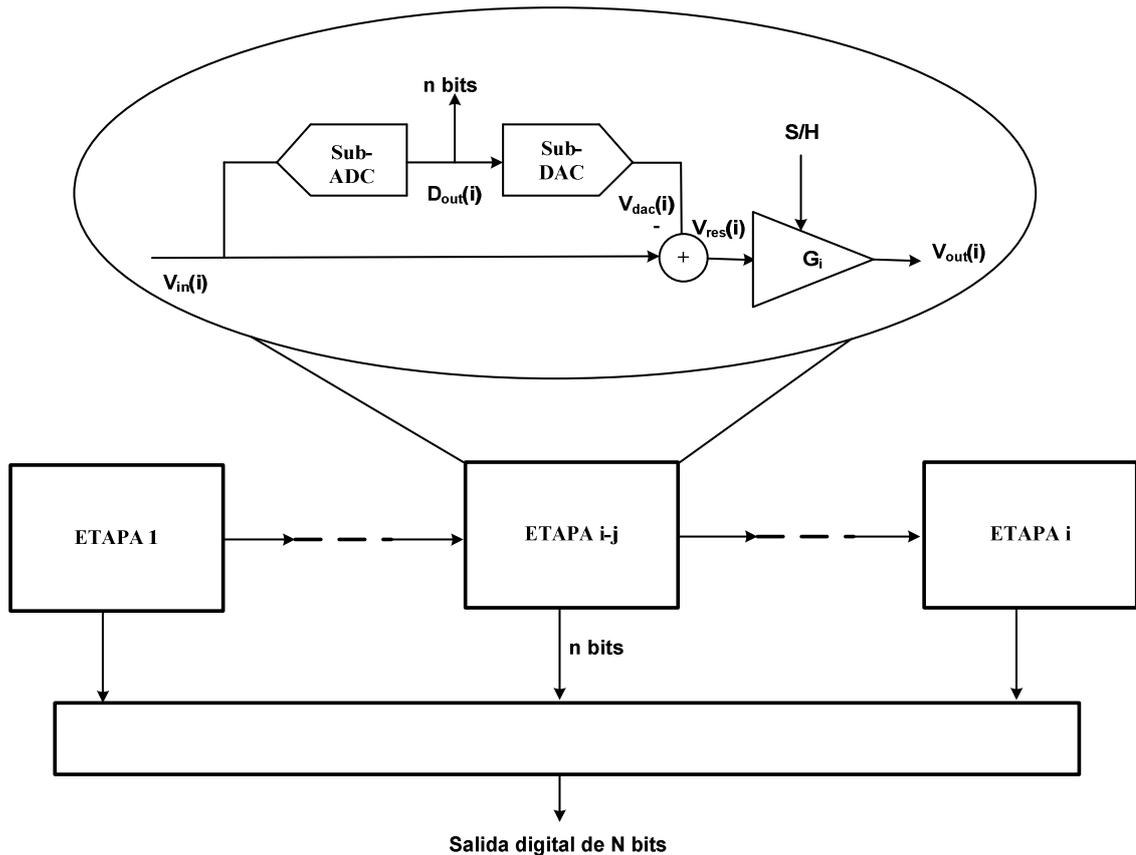


Figura 2-8. Diagrama de bloques de un ADC pipeline.

En el convertidor pipeline se ha añadido un circuito de muestreo y retención (S/H) y un amplificador (G) a cada una de las etapas, con respecto a los ADC presentados previamente. El circuito de S/H se usa en la primera etapa para muestrear y mantener la señal de entrada y en las siguientes etapas para hacer lo mismo con el residuo de la etapa anterior. Esta propiedad permite que cada etapa del pipeline comience a procesar una nueva muestra tan pronto como el residuo sea capturado por la siguiente etapa, de forma que los convertidores pipeline pueden operar a tasas de muestreo mayores a los de otros convertidores de subrango.

Explicaremos más detenidamente las implicaciones de esta última característica. Para un ADC pipeline de n etapas, una determinada señal a la entrada empleará n ciclos de reloj en pasar por todas las etapas que componen el convertidor y completar la palabra digital de salida. Este hecho se traduce en una latencia de n ciclos de reloj. La siguiente muestra tendrá también una latencia de n ciclos de reloj, pero empezará a ser procesada por la primera etapa tan sólo un ciclo de reloj después, por lo que obtendremos una salida digital de dicha muestra $n-1$ ciclos de reloj después de haber obtenido la salida de la primera muestra. Una vez transcurridos n ciclos de reloj, tendremos una salida digital completa cada ciclo de reloj. Por tanto, el tiempo de conversión no depende del número de etapas y la velocidad total viene determinada por la velocidad de cada una de las etapas.

El amplificador (G) se utiliza para amplificar el residuo antes de que pase a la siguiente etapa. Al hacer esto, las especificaciones de resolución para las siguientes etapas se relajan y los comparadores de las últimas etapas del pipeline no necesitan ser tan precisos como la resolución completa del convertidor como si ocurre en otros convertidores de subrango. El inconveniente de añadir bloques de ganancia es que suelen ser la fuente dominante de consumo de potencia del convertidor.

A modo de resumen, la Figura 2-9 muestra una comparativa entre diferentes arquitecturas de ADC desde el punto de vista de la relación señal a ruido distorsión (SNDR) y la frecuencia de funcionamiento, a partir de un estudio sobre el comportamiento de los ADC presentados en los congresos ISSCC y VLSI . De

esta gráfica, podemos sacar algunas conclusiones acerca de las aplicaciones típicas para cada una de las técnicas presentadas. Los convertidores flash resultan apropiados para aplicaciones de baja resolución pero que requieren de frecuencias de muestreo muy elevadas, mientras que los convertidores sigma-delta dan mejor resultado para aplicaciones de baja frecuencia que precisan de una resolución muy elevada. Los convertidores pipeline han probado ser arquitecturas muy eficientes en aplicaciones con especificaciones intermedias, de resoluciones moderadas (8-12 bits) y frecuencias de muestreo del orden de decenas de Megahercios (MHz).

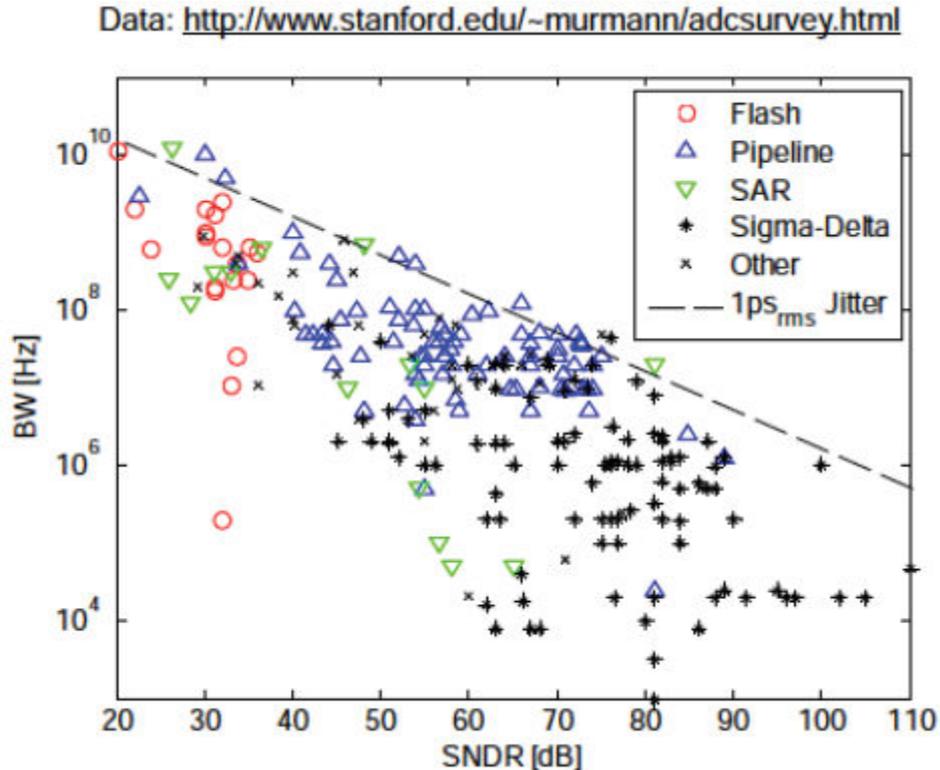


Figura 2-9. Comparativa entre diferentes arquitecturas de ADC.

2.3 Principio de funcionamiento de la conversión analógica digital pipeline

Una etapa genérica i , como la que se muestra en la Figura 2-8, procesa la señal de entrada en dos fases y es responsable de la extracción de un conjunto n_i de bits del resultado final [Gustavsson02]. En la primera fase, la tensión de entrada $V_{in}(i)$ es muestreada y almacenada en el MDAC mientras que el sub-ADC determina los n_i bits de la etapa. En la segunda fase, la tensión de residuo $V_{res}(i)$, obtenida mediante la resta de la reconstrucción llevada a cabo por el sub-DAC $V_{dac}(i)$ y de la tensión mantenida en la entrada $V_{in}(i)$, es amplificadas por una determinada ganancia G_i . El resultado de esta amplificación será la tensión de salida $V_{out}(i)$ que actuará como entrada de la siguiente etapa, donde se llevará a cabo un proceso idéntico al explicado.

El ADC en la etapa i tendrá $N_i=2^{n_i}$ códigos de salida (números enteros en el rango que va desde 0 a $N_i - 1$). La salida digital correspondiente a la etapa i , vendrá dada por la ecuación (2.5), que se obtiene a partir de una reescritura de la ecuación (2.4).

$$D_{out}(i) = \sum_{l=0}^{n_i-1} B_{i,l} 2^l \quad (2.5)$$

Donde $B_{i,l}$ es el l -ésimo bit en la salida binaria de la etapa i . Asumimos que el rango de la señal de entrada está comprendido entre $-FS/2$ y $+FS/2$, donde R_{ref} es el valor de referencia, y que los niveles de decisión están igualmente espaciados en todo el rango de entrada. Por tanto, el valor analógico correspondiente a un LSB está determinado por la ecuación (2.6).

$$LSB_i = \frac{FS}{N_i} \quad (2.6)$$

Como se indica en la ecuación (2.7), se llama tensión de residuo a la diferencia entre la entrada analógica de la etapa pipeline y la salida del DAC.

$$V_{res}(i) = V_{in}(i) - V_{dac}(i) \quad (2.7)$$

Un vistazo a la función de transferencia nos revela que la variación del residuo es N_i veces más pequeña que la variación de la señal de entrada a la etapa, asumiendo, eso sí, que el valor de referencia de todas las etapas es el mismo. Se hace necesario, por tanto, amplificar el residuo con el fin de utilizar el rango completo de la siguiente etapa, escogiendo para ello un valor de ganancia igual a N_i . La tensión de salida $V_{out}(i)$ de la etapa i , una vez amplificada, viene dada por la ecuación (2.8)

$$V_{out}(i) = V_{res}(i) \cdot G_i \quad (2.8)$$

La salida digital de las diferentes etapas, $D_{out}(i)$, deben combinarse para generar el código de salida del convertidor pipeline completo. Nótese que la señal de salida de la primera etapa es la señal de entrada de la segunda etapa, lo que implica que cada segmento de la curva en forma de dientes de sierra que es la función de transferencia de la primera etapa, va a ser cuantizada por la segunda etapa. Como ejemplo, en la Figura 2-10 se muestra la salida analógica de un convertidor de dos etapas con una resolución de 2 bits en cada una de ellas por lo que se podrá distinguir entre 16 niveles diferentes.

Del razonamiento anterior se deduce que, el número de códigos en un ADC pipeline N_{tot} , siempre que $G_i = N_i$, siendo N_i el número de códigos de salida en el ADC $_i$, vendrá dado por la ecuación (2.9), donde m es el número de etapas, y el número total de bits n_{tot} , si todas las resoluciones se escogen como $N_i=2^{n_i}$, con n_i representando el número de bits de salida de la etapa i , vendrá dado por la ecuación (2.10).

$$N_{tot} = \prod_{i=1}^m N_i \quad (2.9)$$

$$n_{tot} = \sum_{i=1}^m n_i \quad (2.10)$$

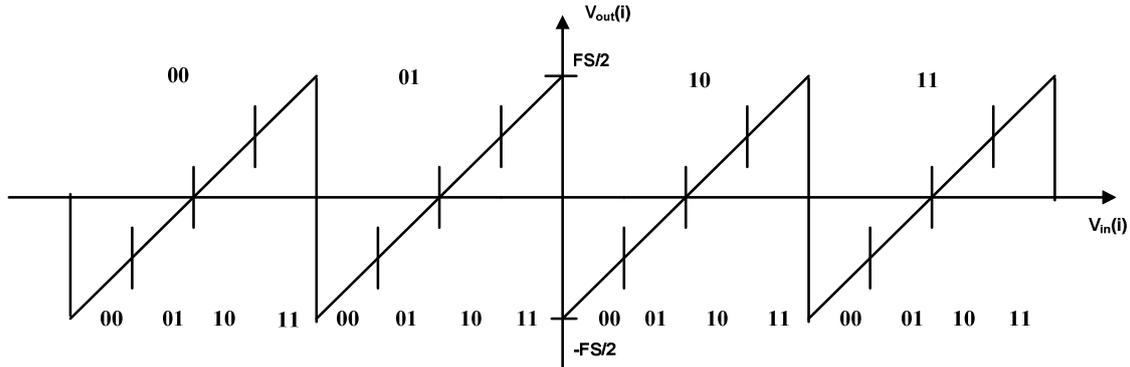


Figura 2-10. Salida analógica y códigos de salida correspondientes para un ADC de dos etapas.

Combinando la ecuación (2.7) y la ecuación (2.8), la señal de entrada en la primera etapa pipeline puede representarse según la ecuación (2.11).

$$V_{in}(1) = V_{dac}(1) + \frac{V_{out}(1)}{G_1} \quad (2.11)$$

Como $V_{in}(2) = V_{out}(1)$, y así sucesivamente, de forma recursiva puede obtenerse la ecuación (2.12).

$$V_{in}(1) = V_{dac}(1) + \frac{V_{dac}(2)}{G_1} + \dots + \frac{V_{dac}(i)}{G_1 \dots G_{i-1}} + \dots + \frac{V_{dac}(m)}{G_1 \dots G_{m-1}} + V_{res}(m) \quad (2.12)$$

donde $V_{res}(m)$, el residuo de la última etapa, corresponde al error de cuantización del convertidor [Gustavsson02]. A partir la ecuación (2.12) puede deducirse la ecuación (2.13), que representa una expresión para calcular el código total de salida:

$$D_{out} = \sum_{i=1}^m \left(D_{out}(i) \cdot \frac{N_m}{N_i} \cdot \prod_{K=i}^{m-1} G_K \right) \quad (2.13)$$

Si escogemos la ganancia del residuo como $G_k = N_i$, podemos simplificar la ecuación (2.13) en la ecuación (2.14).

$$D_{out} = \sum_{i=1}^m \left(D_{out}(i) \cdot \prod_{k=i+1}^m N_k \right) \quad (2.14)$$

Ilustramos el uso de la ecuación (2.14) con un ejemplo. Sea un convertidor pipeline de tres etapas de resoluciones 4, 3 y 2 bits, respectivamente, es decir, $N_1 = G_1 = 16$, $N_2 = G_2 = 8$ y $N_3 = G_3 = 4$. El código de salida se calcularía según la ecuación (2.15)

$$\begin{aligned} D_{out} &= N_2 \cdot N_3 \cdot D_{out}(1) + N_3 \cdot D_{out}(2) + D_{out}(3) \\ &= 32 \cdot D_{out}(1) + 4 \cdot D_{out}(2) + D_{out}(3) \end{aligned} \quad (2.15)$$

La multiplicación por dos en el dominio digital es fácilmente representable con un desplazamiento. La obtención del código anterior supondría desplazar $D_{out}(1)$ 5 posiciones a la izquierda, $D_{out}(2)$ 2 posiciones y $D_{out}(3)$ ninguna, sumándolo luego todo junto. Esta idea se indica gráficamente en la Tabla 2-1

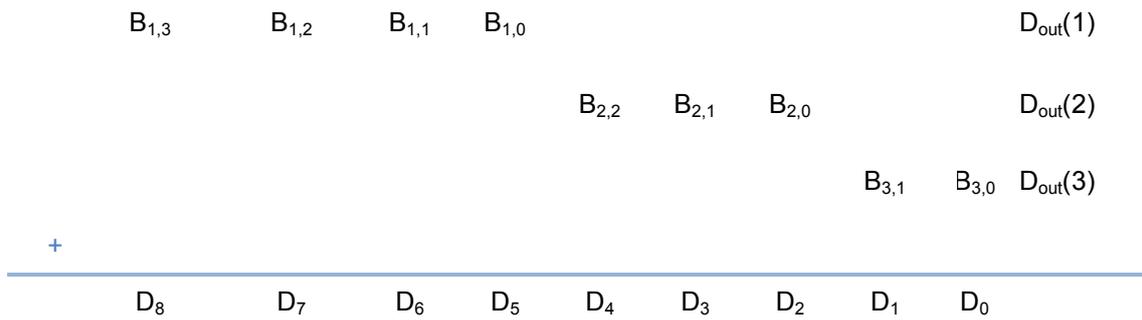


Tabla 2-1. Código digital de salida de un ADC pipeline de tres etapas de resoluciones 4,3 y 2 bits respectivamente.

Como puede observarse no se requiere de ningún procesado digital, exceptuando el desplazamiento, para conseguir el código de salida. Se puede subrayar, por tanto, como una ventaja de este tipo de convertidores la facilidad de obtención de su salida. [Gustavsson02]

2.4 Corrección digital

Un convertidor pipeline donde $G_i = N_i$, requerirá unos comparadores muy precisos, ya que si el nivel de decisión en el ADC de la etapa i se desplaza, la variación de la señal de salida será mayor que R_{Ref} y se producirá una saturación de la salida en la siguiente etapa. En este caso la resolución efectiva del convertidor se vería reducida. Con la corrección digital, la ganancia del amplificador de residuo se reduce para introducir redundancia.

Supongamos, por ejemplo, un convertidor de dos etapas donde la primera etapa tiene 4 niveles y la segunda 8, como el que se muestra en la Figura 2-11. La ganancia del residuo ha sido reducida de 4 a 2. El rango de salida de la primera etapa es ahora la mitad del rango de la siguiente etapa. En este caso, los códigos 0,1, 6 y 7 de la etapa 2 son redundantes y el desplazamiento del nivel de decisión no causaría la saturación de la siguiente etapa. Mientras más pequeña sea la ganancia del residuo, mayores errores pueden permitirse. La máxima desviación permitida, sin causar errores de conversión, si la ganancia se reduce en un factor 2, viene dada por la ecuación (2.16).

$$\Delta V = \pm \frac{FS}{2 \cdot N_i} = \pm \frac{LSB_i}{2} \tag{2.16}$$

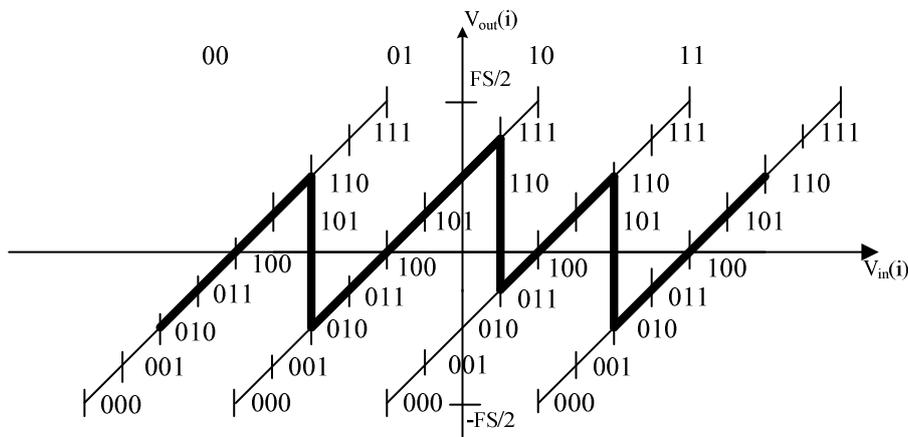


Figura 2-11. Mover el nivel de decisión no provoca saturación en la siguiente etapa cuando se reduce la ganancia del residuo.

Nótese que la resolución total del convertidor se reduce al introducir corrección digital, a menos que se añadan más etapas, pues se usan todos los códigos de la primera etapa, pero sólo $N_2 G_1 / N_1$ códigos de la segunda etapa serán usados y en la i -ésima etapa. $N_i G_{i-1} / N_{i-1}$. El número total de códigos del convertidor se calculará siguiendo la ecuación (2.17)

$$N_{tot} = \prod_{i=1}^{m-1} G_i \cdot N_m \tag{2.17}$$

El código total de salida se calcularía según la ecuación (2.13) [Gustavsson02]. Por ejemplo, sea un convertidor pipeline de tres etapas de resoluciones 3, 4 y 5 bits, respectivamente, reduciendo la ganancia de las dos primera etapas por un factor 2 e introduciendo la corrección digital, es decir, $N_1=8$, $G_1=4$, $N_2=16$, $G_2=8$, $N_3=32$ y $G_3=16$ daría como resultado la ecuación:

$$\begin{aligned} D_{out} &= \frac{N_3}{N_1} \cdot G_1 \cdot G_2 \cdot D_{out}(1) + \frac{N_3}{N_2} \cdot G_2 \cdot D_{out}(2) + D_{out}(3) \\ &= 128 \cdot D_{out}(1) + 16 \cdot D_{out}(2) + D_{out}(3) \end{aligned} \tag{2.18}$$

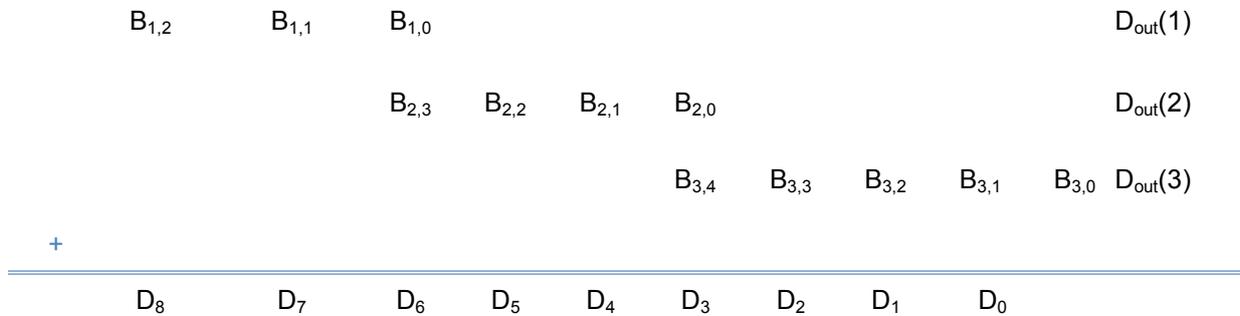


Tabla 2-2. Código digital de salida de un ADC pipeline de tres etapas de resoluciones 3,4 y 5 bits respectivamente con corrección digital.

En la Tabla 2-2 se representa gráficamente la idea de la corrección digital para un ADC pipeline de tres etapas de resoluciones 3,4 y 5 bits, respectivamente. La obtención de la salida digital se vuelve un poco más compleja en el sentido de que debe propagarse el acarreo en la suma.

Como ya hemos señalado, introducir la corrección digital supone añadir redundancia. Volviendo al ejemplo de convertidor de dos etapas de 4 y 8 niveles, cuatro códigos de la segunda etapa se usan para la corrección digital. Esto significa que para la señal de entrada más pequeña posible, la salida de las dos etapas será 0 y 2 respectivamente. Aplicando la ecuación (2.13) el código total de salida del convertidor será $D_{out} = 2$. Por otro lado, la entrada más grande posible da una salida de 3 en la primera etapa y 5 en la segunda etapa. Usando de nuevo la ecuación (2.13) el código total de salida obtenido es $D_{out} = 17$.

Es decir, hay 16 códigos de salida, que corresponden a un convertidor de 4 bits, pero hay un offset digital que hay que eliminar, puesto que el código más pequeño es 2 y los códigos 16 y 17 no pueden representarse usando 4 bits. Una forma de solucionar el problema es introducir un offset en la primera etapa, tal como se muestra en la Figura 2-12. Debido a este offset, la función de transferencia se verá desplazada hacia la derecha. Si mantenemos la codificación de la segunda etapa con los valores variando de 0 a 7, el código de salida variará ahora de 0 a 15, que puede ser representado con 4 bits.

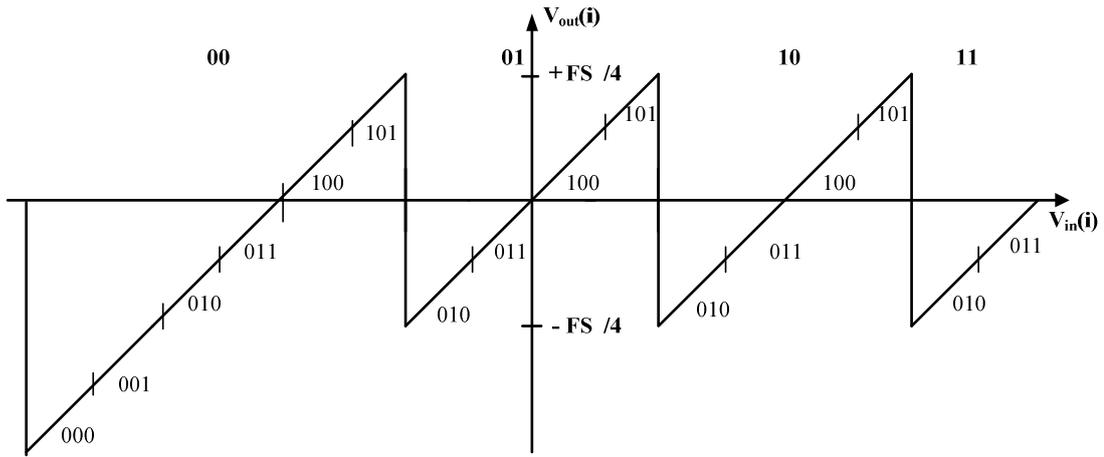


Figura 2-12. Salida de una etapa con offsets ($N_i=4$).

Nótese que la función de transferencia ya no es simétrica, pero esto puede arreglarse eliminando el nivel de decisión situado más a la derecha, tal como se muestra en la Figura 2-13 [Gustavsson02]. Ahora sólo hay 3 códigos en la etapa pero el rango de salida se ha incrementado, con lo que número total de códigos sigue siendo el mismo. Esta técnica de introducir un offset y eliminar un comparador puede usarse para cualquier número de bits en la etapa.

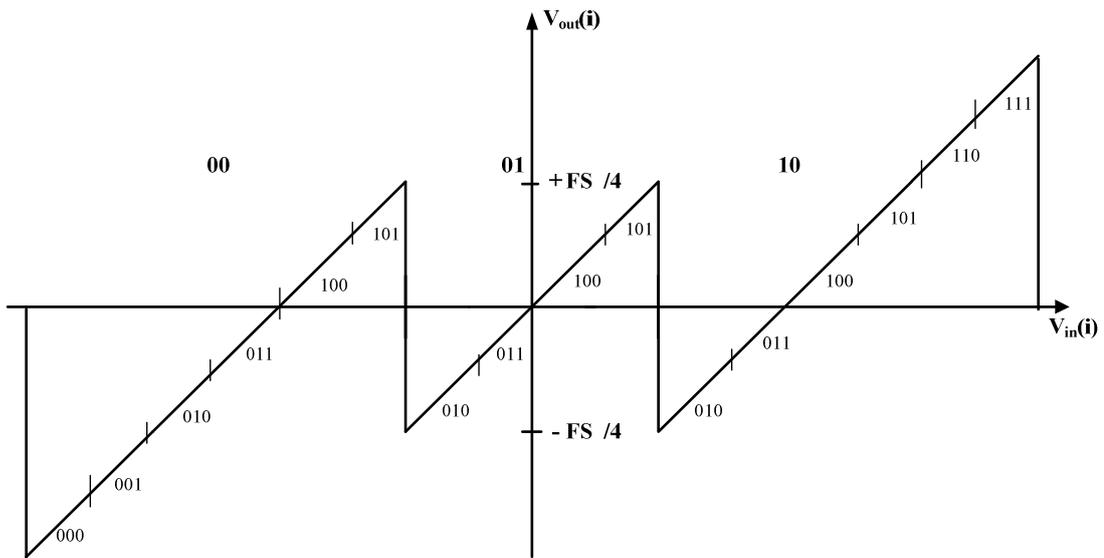


Figura 2-13. Salida simétrica con un comparador menos.

La última etapa pipeline es una excepción. Esta etapa sólo contiene un sub-ADC ya que no necesita generarse un residuo, por lo que no será necesario añadir el offset para corregir el código.

2.5 Parámetros de comportamiento de un convertidor analógico digital

Los parámetros de comportamiento de un ADC pueden clasificarse en dos grupos, medidas estáticas y medidas dinámicas. Los primeros proporcionan información sobre los errores de cuantización, offset, ganancia y no linealidades, mientras que los segundos vienen determinados por los errores dependientes de la señal, jitter de la señal de muestreo, el 'clock feedthrough' y errores de establecimiento. A continuación, vamos a definir los parámetros más importantes en la caracterización de un ADC. Para una definición más exhaustiva, emplazamos al lector de esta tesis a la literatura y a los manuales de los diferentes fabricantes [Razavi95],[Gustavsson02],[IEEE01].

2.5.1 No linealidad diferencial y no linealidad integral

Un ejemplo de curva característica de un ADC de 3 bits se muestra en la Figura 2-14. Un convertidor ideal de N bits convierte una señal analógica continua, una línea recta, en una palabra digital cuantizada en tiempo discreto, una función escalera. El error debido a la diferencia entre ambas curvas corresponde al error de cuantización.

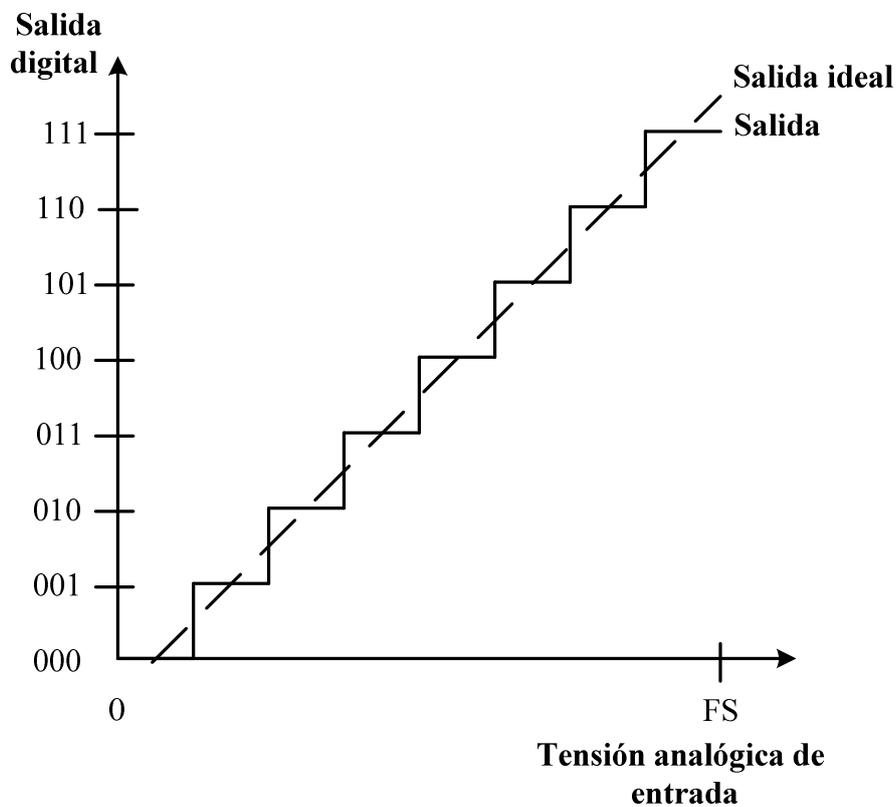


Figura 2-14. Curva característica de un ADC de 3 bits.

La no linealidad diferencial (DNL) correspondiente al escalón del código k se define como la diferencia entre los tamaños de un escalón ideal y un escalón real. El tamaño de paso ideal es igual a 1 LSB, donde LSB se ha definido según la ecuación (2.2). DNL puede expresarse así según la ecuación (2.19):

$$DNL(k) = [\text{tamaño del escalón del código } (k) - \Delta] / \Delta \quad (2.19)$$

DNL no puede ser más pequeño que -1. Si el DNL para un código k es -1, entonces el convertidor no puede generar el código k. Es lo que se denomina código perdido. Por tanto, si el DNL para cada código es mayor que -1, el convertidor será monotónico, lo que significa que la salida de convertidor se incrementa a medida que la entrada se incrementa.

La no linealidad integral (INL) se define como la desviación de la función de transferencia real de una línea recta que conecte los dos puntos extremos de la función de transferencia del convertidor. Esta desviación no debería ser mayor que $\pm 0.5\text{LSB}$ si se quiere mantener el comportamiento monotónico del convertidor. Los errores de INL Y DNL sobre la característica de conversión de entrada y salida de la Figura 2-14 se muestra en la Figura 2-15.

Hay otra manera de calcular el INL, que viene dada por la ecuación (2.20)

$$INL(k) = \sum_{i=0}^k DNL(i) \tag{2.20}$$

Esta ecuación viene a decir que el INL para el código k es igual a la integración de DNL desde el código 0 al código k.

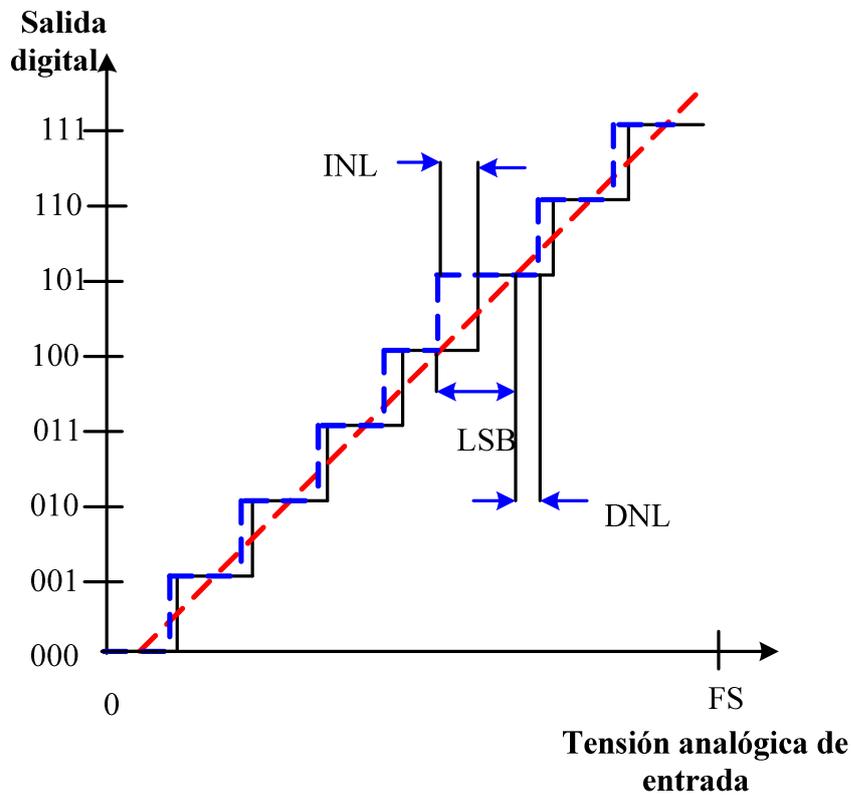


Figura 2-15. Errores de INL y DNL en un ADC de 3 bits.

2.5.2 Relación señal a ruido

La relación señal a ruido (SNR) es la relación entre la potencia proporcionada por la señal de entrada y la potencia total de ruido en la banda de señal. La SNR incluye el ruido de cuantización y el ruido del circuito, pero no los armónicos de la señal. Puede medirse aplicando una señal senoidal al convertidor y realizando una transformada rápida de Fourier (FFT) de la salida digital. La SNR vendrá dada en este caso por la ecuación (2.21)

$$SNR = 10 \cdot \log \left(\frac{\text{Potencia_de_la_señal}}{\text{Potencia_total_del_ruido}} \right) (dB) \quad (2.21)$$

El máximo teórico de la SNR viene dado por la ecuación (2.22), siendo N la resolución del ADC y considerando sólo el ruido de cuantización.

$$SNR = 6.02 \cdot N + 1.76 \text{ (dB)} \quad (2.22)$$

2.5.3 Relación señal a ruido y distorsión

La relación señal a ruido y distorsión (SNDR) es la relación entre la potencia proporcionada por la señal de entrada y la potencia total del ruido incluyendo los armónicos y puede escribirse según la ecuación (2.23)

$$SNDR = 10 \cdot \log \left(\frac{\text{Potencia_de_la_señal}}{\text{Potencia_del_ruido_y_la_distorsión}} \right) (dB) \quad (2.23)$$

2.5.4 Número efectivo de bits

El número efectivo de bits (ENOB) puede obtenerse a partir del rango dinámico (DR), según la ecuación (2.24)

$$ENOB = \frac{DR - 1.76}{6.02} \text{ (bits)} \quad (2.24)$$

DR se define como el rango de potencia de la señal de entrada desde FS hasta la señal detectable más pequeña, que suele ser SNDR = 0 [Gustavsson02]. No es inusual definir el límite inferior de la señal de entrada con otro criterio diferente, como puede ser una caída de 3 dB en el máximo valor de la SNDR. El DR se obtendrá midiendo la SNDR en función de la potencia de la señal de entrada.

2.5.5 Rango dinámico libre de espúreos

El rango dinámico libre de espúreos (SFDR) es la relación entre la potencia de la señal y la potencia del espúreo de mayor valor dentro de una cierta banda de frecuencia y puede escribirse según la ecuación (2.25)

$$SFDR = 10 \cdot \log \left(\frac{\text{Potencia_de_la_señal}}{\text{Potencia_del_espúreo_de_mayor_valor}} \right) (dB) \quad (2.25)$$

Este parámetro resulta especialmente relevante cuando los convertidores utilizan elevadas tasas de sobremuestreo o la pureza espectral del convertidor es importante

2.5.6 Distorsión armónica total

La distorsión armónica con respecto al armónico k-ésimo (HD_k) es la relación entre la potencia del armónico k-ésimo y el armónico fundamental y puede escribirse según la ecuación (2.26)

$$HD_k = 10 \cdot \log \left(\frac{\text{Potencia_del_armónico_k-ésimo}}{\text{Potencia_de_la_señal}} \right) (dB) \quad (2.26)$$

Con esta definición, la distorsión armónica es un número negativo. La distorsión armónica total (THD) es la relación entre la suma de la potencia de los diferentes armónicos y la potencia de la frecuencia fundamental en una determinada banda de frecuencia y puede escribirse según la ecuación (2.27)

$$THD = 10 \cdot \log \left(\frac{\sum_{k=2}^{\infty} Potencia_del_armónico_k-ésimo}{Potencia_de_la_señal} \right) (dB) \quad (2.27)$$

Dado que hay un número infinito de armónicos, la THD se calcula habitualmente usando los primeros 10-20 armónicos, o hasta que los armónicos sean indistinguibles con respecto al suelo de ruido.

2.6 Elección del número de bits por etapa

En arquitecturas pipeline, el número de bits convertidos por etapa (n_i) afecta significativamente al comportamiento del convertidor completo. Para pocos bits de resolución por etapa, las especificaciones del sub-ADC se relajan, y la velocidad de la etapa es mayor debido a un mayor factor de realimentación. Sin embargo, se necesitarán más etapas y esto se traducirá en que si n_i se hace demasiado pequeño, el consumo total del convertidor puede aumentar.

Por el contrario, aumentar n_i , supone disminuir el número de etapas del pipeline completo. Las fuentes de error de cada una de las etapas referidas a la entrada del convertidor total, por estar escaladas por un factor igual al producto de la ganancia de las etapas precedentes, también se verían minimizadas. Además, un valor alto de n_i en la primera etapa reduciría la dependencia del convertidor al desapareamiento entre capacidades. Sin embargo, más bits por etapa también implica que el sub-ADC necesitará más precisión y un mayor número de comparadores y que el amplificador operacional de la etapa necesitará mayor ancho de banda. Por tanto, si el número de bits por etapa es demasiado grande, el consumo total de potencia también aumenta.

La resolución óptima por etapa debe estar en algún punto entre ambas pero la respuesta exacta depende de la velocidad de conversión, de la tecnología y la topología utilizada y de layout específico.

En [Cline96], se realiza por primera vez un análisis cualitativo de este problema en busca de una guía que ofrecer a los diseñadores. Se parte de que la resolución efectiva por etapa de un ADC pipeline está determinada por la ganancia entre etapas según la relación $G = 2^n$, donde G es la ganancia entre etapas y n la resolución por etapa, asumiendo que los niveles de señal en el pipeline permanecen constantes de una etapa a otra.

En los convertidores de alta resolución, la capacidad de carga a la salida de los amplificadores operacionales en las primeras etapas estará determinada por las capacidades de muestreo de la siguiente etapa, en lugar de las capacidades parasitas de entrada a los comparadores. A causa de esto, el óptimo de n_i tiende a aumentar a medida que la resolución del ADC pipeline aumenta.

En [Chiu04], se realizó un estudio para optimizar n_i , teniendo en cuenta el ruido tanto de los interruptores como del amplificador. Este estudio incluye el efecto de las capacidades parásitas en los amplificadores de residuo.

Para una resolución uniforme por etapa de n y un factor uniforme de escalado de capacidades γ , el consumo de potencia puede expresarse según la ecuación (2.28)

$$P \propto SNR \cdot kT \cdot f_s \cdot \left(\frac{V_{gs} - V_{th}}{V_{dd}} \right) \cdot g(n, \gamma, \eta) \quad (2.28)$$

Siendo kT la energía térmica, f_s la frecuencia de muestreo, $(V_{gs} - V_{th})$ la tensión efectiva de los transistores de entrada del amplificador operacional y V_{dd} la tensión de alimentación. La función $g(\cdot)$ captura

la dependencia con respecto a la potencia consumida de la resolución por etapa n , el factor de escalado γ y el factor de velocidad η . Las conclusiones del estudio se resumen en los siguientes puntos

- Para casos de baja velocidad de conversión (η próximo a cero), una resolución por etapa alta siempre se traduce en un menor consumo de potencia.
- Cuando η se aproxima a uno, para el caso de altas velocidades, el amplificador aumenta su carga debido a parásitos. El consumo total de potencia se eleva rápidamente cuando la resolución por etapa excede el valor 3.

La resolución óptima se traduce a 2 o 3 bits por etapa, correspondientes a los valores típicos que se encuentran en los diseños prácticos. La resolución de 1.5 bits por etapa se corresponde con una etapa de 2 bits a la que se le ha introducido un offset y se ha eliminado un comparador tal como se explicó en el apartado 2.4. Las etapas con esta resolución, a las que se hace referencia como etapas con un algoritmo de corrección de error por dígito redundante (RDS), son muy populares en ADC pipeline de resoluciones en el rango de los 10 bits básicamente por dos razones.

La primera es que maximiza la velocidad del amplificador de residuo. Para conseguir un procesamiento rápido de la señal entre etapas, la salida del amplificador operacional debe llegar a su valor final en la mitad de un periodo de reloj de forma que pueda ser muestreado correctamente por la siguiente etapa. Dado que el ancho de banda del amplificador dependerá de la ganancia de la etapa, se hace necesario escoger una resolución por etapa que permita una configuración con una baja ganancia del lazo de realimentación. Con una resolución de 1.5 bits por etapa, una ganancia de bucle cerrado de 2 permite una configuración de una baja capacidad de carga y un elevado factor de realimentación (del orden de 1/3) y, por tanto, se puede conseguir un elevado ancho de banda comparado con etapas de resoluciones mayores.

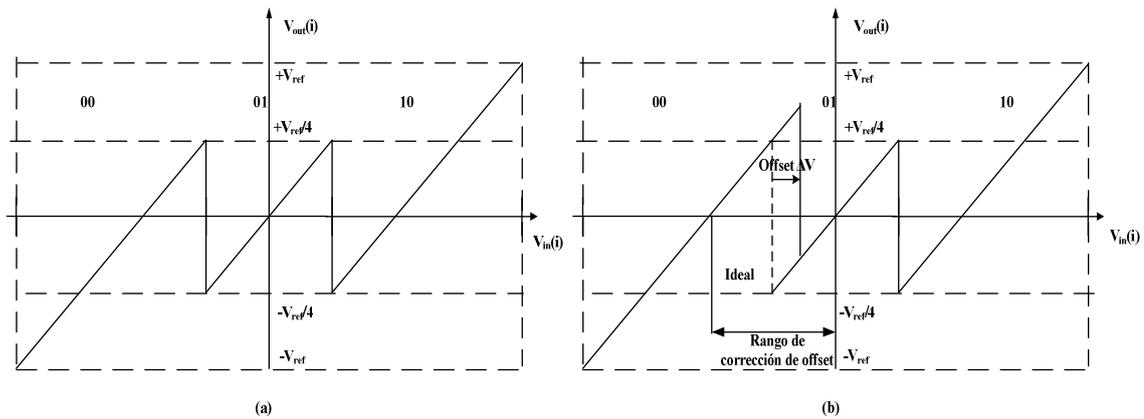


Figura 2-16. Representación del residuo (a) ideal (b) con un offset en el comparador de ΔV .

La segunda razón es el elevado rango de corrección para el offset de los comparadores, característica del ADC pipeline que ya se analizó en detalle en el apartado 2.4. La Figura 2-16 muestra la salida de una etapa de 1.5 bits con offset cero (a), y con el residuo desplazado debido a un offset de ΔV (b). El rango de entrada y salida de cada etapa es de $\pm V_{ref}$. Con el uso de la corrección digital en una arquitectura pipeline de 1.5 bits por etapa se puede prevenir el desbordamiento de la salida de la etapa existiendo un offset para el comparador hasta de $\pm V_{ref}/4$.

2.7 Técnicas de reducción del consumo de potencia

El diseño de convertidores analógico digitales de alta velocidad y baja potencia es uno de los objetivos principales en muchas aplicaciones, sobre todo, si van a funcionar en dispositivos portátiles alimentados con batería. En el caso de los ADC pipeline, el consumo de potencia depende fundamentalmente de la topología utilizada.

2.7.1 El ADC pipeline pseudo-diferencial

Uno de los esquemas posibles es la arquitectura pseudo-diferencial [Miyazaki03], [Chang03], [Li04], cuyo diagrama de bloques se muestra en la Figura 2-17. El esquema pseudo-diferencial permite suprimir los armónicos de orden par y reducir el ruido procedente de la fuente de alimentación y el sustrato, de forma similar a los circuitos completamente diferenciales. Sin embargo, lleva asociado un consumo de potencia inferior. El motivo es que permite polarizar los amplificadores operacionales de cada una de las etapas del ADC con corrientes menores, para alcanzar las especificaciones requeridas en cuanto a ganancia, rango de salida y velocidad de conmutación.

El funcionamiento de una etapa pseudo-diferencial amplificadora por dos es casi el mismo que el del esquema completamente diferencial, sin embargo, en una etapa pseudo-diferencial nos encontramos con el problema de que las variaciones en el modo común de entrada, ΔV_c , son amplificadas. Por tanto, pequeñas desviaciones en el modo común de entrada del ADC pipeline pueden provocar importantes desplazamientos del nivel de modo común en las últimas etapas. Concretamente, la desviación de la n-ésima etapa se convierte en $2^n \times \Delta V_c$. Para solucionar este problema, [Miyazaki03], propone amplificadores completamente diferenciales para las etapas tercera y séptima, como se muestra en la Figura 2-17.

Otro inconveniente de las arquitecturas pseudo-diferenciales es una mayor sensibilidad a la tensión de sustrato o al ruido producido por la fuente de alimentación, comparado con los esquemas completamente diferenciales.

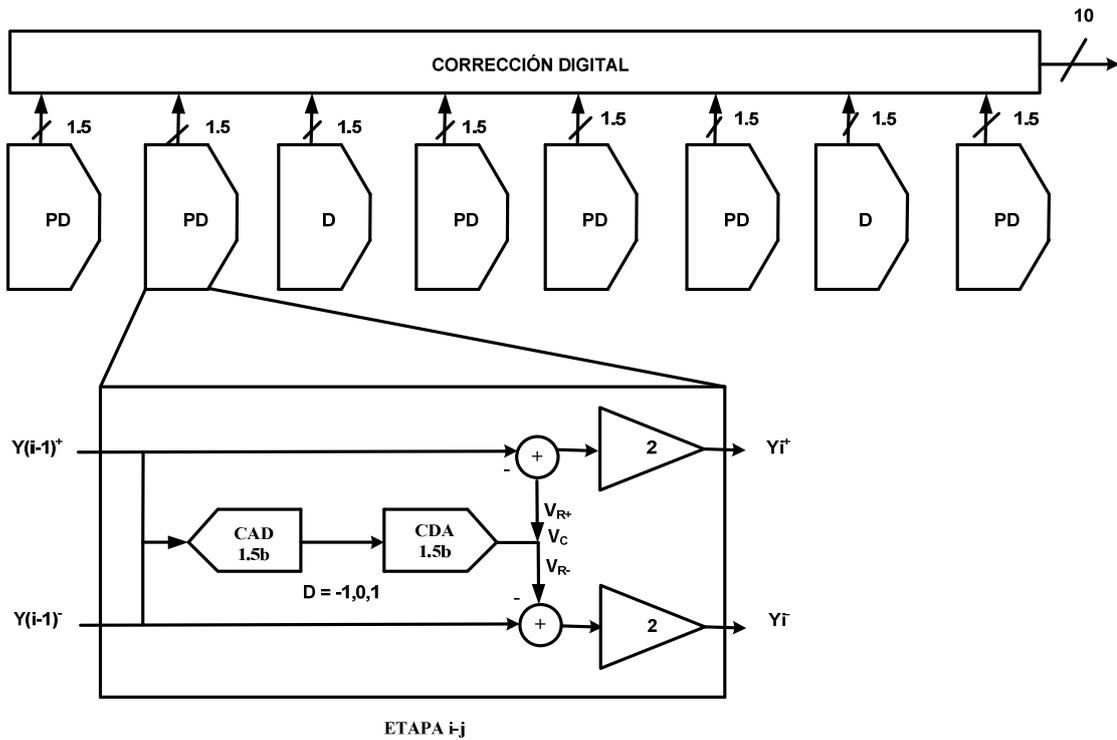


Figura 2-17. Diagrama de bloques de un ADC pipeline pseudo-diferencial.

2.7.2 El ADC pipeline con entrelazado en el tiempo

En [Arias04] se presenta un ADC a una tensión de alimentación de 2.5V y un reloj de 20 MHz y dos fases no solapadas que consiguen una frecuencia de muestreo de 40 MHz, a partir de una técnica de entrelazado de tiempo, con la que se pretende obtener una elevada tasa de muestreo mientras que, por otra parte, el consumo de potencia se mantiene a un nivel bajo.

El concepto de entrelazado en el tiempo, que puede ser extendido a cualquier topología, se ilustra en la Figura 2-18. Los convertidores operan a f_s/M donde f_s es la frecuencia de muestreo total del ADC entrelazado en el tiempo y M es el número de canales. Los requerimientos de velocidad de cada convertidor se relajan por un factor M aunque, como contrapartida, el número de convertidores se ve incrementado por el mismo factor, lo que podría conducir, si no se tiene cuidado en el diseño, a una elevada área en el chip y un elevado consumo de potencia.

El comportamiento del ADC entrelazado en el tiempo está limitado por la precisión de cada canal y las tres principales fuentes de error de "phase skew", el error de ganancia y el error de offset.

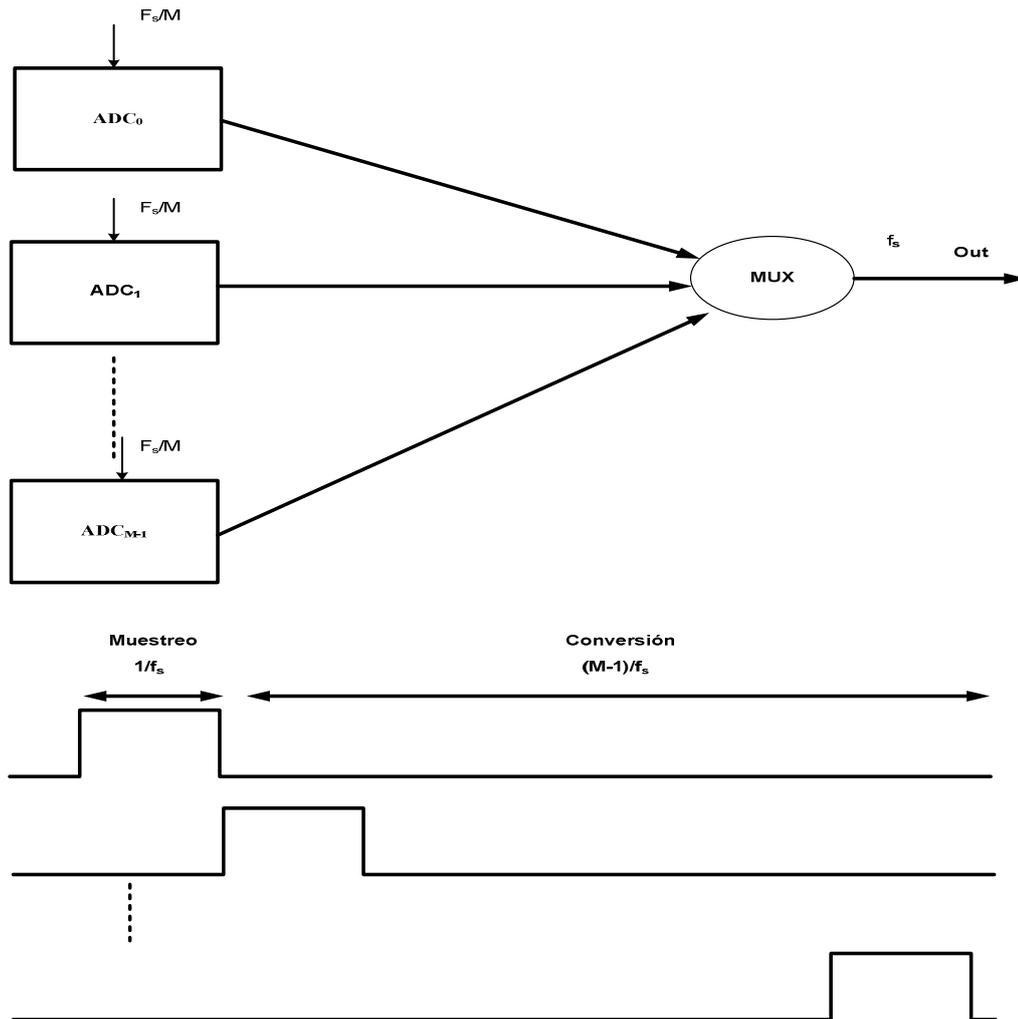


Figura 2-18. ADC entrelazados en el tiempo y diagrama correspondiente.

El diagrama de bloques del ADC propuesto en [Arias04] se muestra en la Figura 2-19. Se trata de un ADC pipeline dual con entrelazado en el tiempo de nueve etapas y 1.5-bit/etapa. Un ADC pipeline procesa las muestras pares, mientras que el otro trabaja con las muestras impares. Ambos ADC pipeline comparten sus amplificadores operacionales. Esto constituye un importante ahorro de potencia, puesto que los amplificadores son los bloques más exigentes desde este punto de vista, además de minimizar el offset y las desviaciones de ganancia que podrían degradar el comportamiento de los ADC.

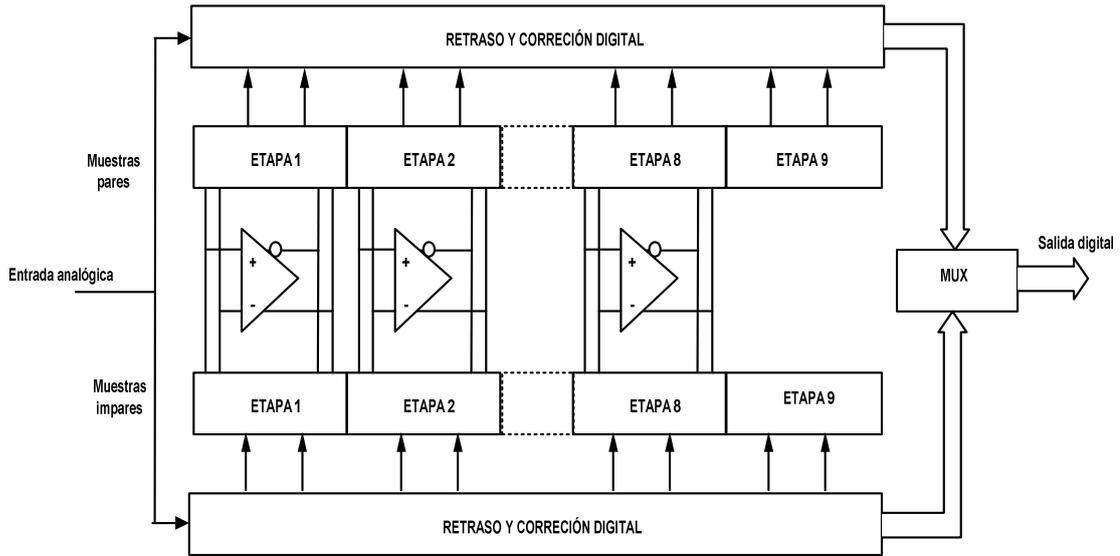


Figura 2-19. Diagrama de bloques del ADC pipeline con entrelazado en el tiempo.

Una variante de esta técnica se propone en [Kurose06] para ADC pipeline aplicados a receptores inalámbricos, donde la compartición de amplificadores se lleva a cabo entre el canal I y el canal Q del convertidor.

2.7.3 El ADC pipeline con compartición de amplificadores

A partir del ADC propuesto en [Arias04] del apartado anterior, es fácil deducir que otra forma de obtener una disminución de la disipación de potencia es mediante la compartición de amplificadores [Min03], de forma que es posible reducir el número de amplificadores si un amplificador es usado alternativamente entre dos etapas de conversión adyacentes. La Figura 2-20 muestra la mencionada técnica en un ADC pipeline de 10 bits y 1.5 bits por etapa. Comparado con un ADC pipeline básico, el número de amplificadores en un ADC con compartición de amplificadores se reduce a la mitad.

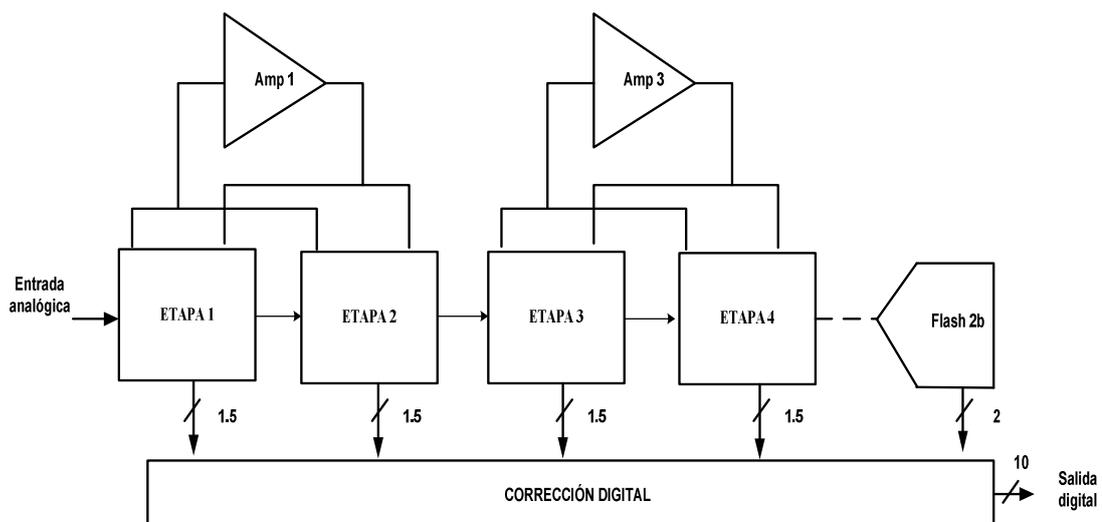


Figura 2-20. ADC con compartición de amplificadores.

2.7.4 El ADC pipeline CDS con desplazamiento en el tiempo

En [Li04] se propone una técnica CDS (“correlated double sampling”) con desplazamiento en el tiempo. Este método reduce los errores de offset y ganancia debido al amplificador operacional, como la técnica CDS tradicional, pero además mejora el consumo de potencia del convertidor completo.

La técnica CDS tradicional reduce el error debido a la ganancia finita del amplificador operacional, A_o , por un factor $1/A_o^2$, aunque a un cierto precio. Primero, se requiere una fase de reloj adicional con respecto al esquema convencional de capacidades conmutadas (SC) con dos fases de reloj no superpuestas. Esto implica que el tiempo de establecimiento del amplificador debe ser menor, es decir, el amplificador operacional debe ser más rápido, lo que se traduce en un consumo de potencia mayor. Por otro lado, los amplificadores operacionales se encuentran doblemente cargados, puesto que a las capacidades reales de muestreo hay que añadirles capacidades de muestreo que predicen la señal de salida. Una vez más, el consumo de potencia o la velocidad de conversión quedan comprometidos.

Los principales logros de la técnica CDS con desplazamiento de tiempo son los de eliminar la fase de reloj extra y la de realizar el premuestreo y el muestreo real en diferentes fases de reloj para evitar duplicar la carga capacitiva.

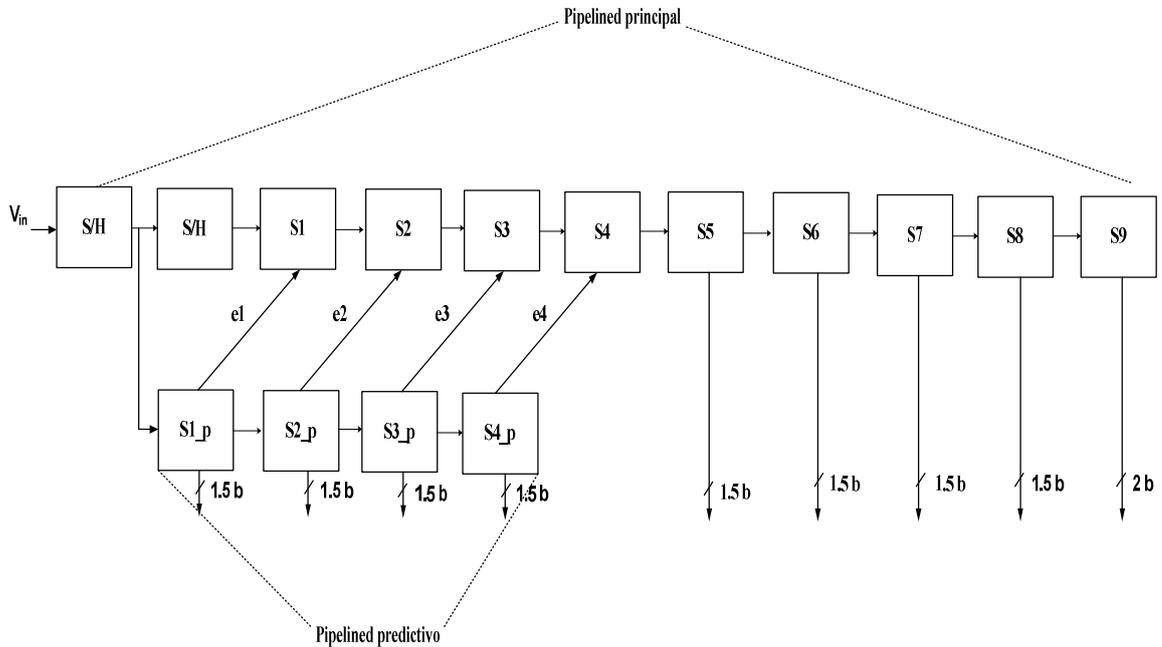


Figura 2-21. Arquitectura ADC pipeline empleando una técnica CDS con desplazamiento en el tiempo.

La Figura 2-21 muestra la arquitectura ADC pipeline propuesta empleando la técnica CDS con desplazamiento en el tiempo propuesto en [Li04]. Conceptualmente, la arquitectura desarrolla dos caminos pipeline trabajando en paralelo para las primeras etapas. Un camino representa la vía predictiva para las cuatro primeras etapas y el otro camino representa la vía de señal que opera para todas las etapas necesarias para la conversión de todos los bits. Las etapas predictivas y las de señal son muy similares, y comparten el mismo grupo de dispositivos activos (amplificadores y comparadores), por lo que no hay duplicación, más allá de unos pocos interruptores y capacidades. Ambos caminos de señal procesan la misma señal de entrada con un retraso de medio ciclo de reloj (una fase). La señal de entrada es procesada primero por el ADC pipeline predictivo y el error de ganancia finita del amplificador es almacenado. Luego, este error se utiliza para corregir la etapa correspondiente del ADC pipeline principal en la siguiente fase de reloj.

2.7.5 El ADC pipeline con amplificadores operacionales conmutados

La técnica de amplificadores operacionales conmutados no es una técnica de reducción de consumo de potencia sino de funcionamiento a baja tensión y da buenos resultados a la hora de solucionar los problemas derivados de una tensión puerta-fuente insuficiente en los transistores que funcionan como interruptores. Como inconveniente, esta técnica tiende a disminuir la velocidad de operación debido a las transiciones en el amplificador operacional al ser encendido y apagado. Además, el modo de operación de este tipo de amplificadores operacionales afecta también al factor de realimentación por lo que el comportamiento en la ganancia de los mismos empeora.

Para explicar someramente el principio de operación, echemos un vistazo al integrador implementado en un circuito SC estándar, como el que se describe en la Figura 2-22. Se pueden identificar dos tipos de interruptores, los interruptores que dejan pasar una señal cuyo nivel varía en todo el rango de tensiones (S_1 y S_5) y que, por tanto, tienen una tensión de overdrive limitada, y los interruptores conectados a una tensión fija (el resto), ya sea una tensión de referencia, tierra o tierra virtual.

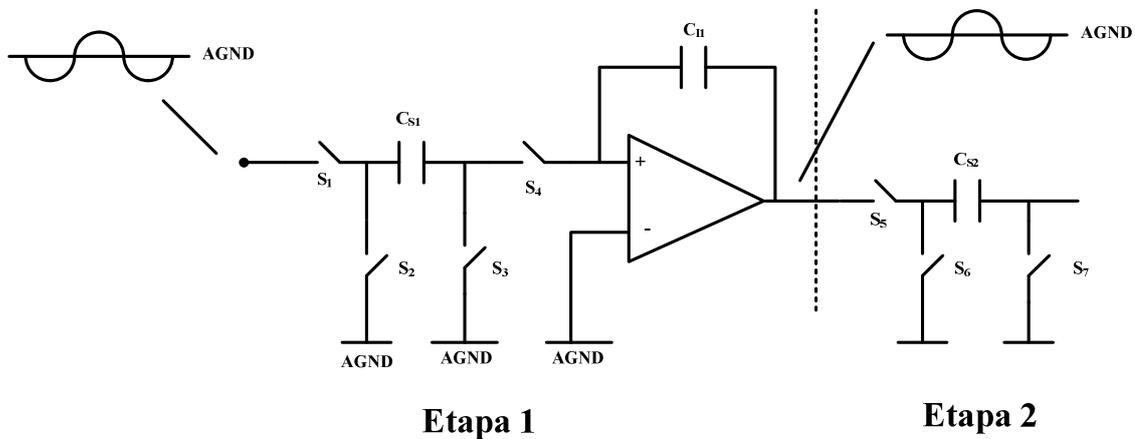


Figura 2-22. Integrador de capacidades conmutadas.

Los interruptores del primer tipo están conectados a la salida de amplificador operacional, donde el nivel de modo común de la señal está fijado a $V_{DD}/2$ para maximizar el rango de señal. Consecuentemente, la tensión de overdrive, independientemente del tipo de interruptor, es solo de $V_{DD}/2 - V_T$ en el peor de los casos.

La principal idea detrás de la técnica de amplificadores conmutados es eliminar estos interruptores. La función de este tipo de interruptores, por ejemplo, S_5 es la de desconectar el amplificador operacional de la capacidad de muestreo C_{S2} de la siguiente etapa en la fase Φ , cuando el terminal izquierdo de la capacidad está conectado a tierra. Si el amplificador operacional no estuviera desconectado, habría un camino desde la salida de amplificador a tierra. En un circuito de amplificadores conmutados, se evita esta situación al hacer que la salida del amplificador se encuentre en alta impedancia durante la fase Φ . De este modo, el interruptor serie S_5 ya no es necesario.

En [Ahmed05] se propone una variante de este método en el que se ha aumentado la velocidad de conmutación del amplificador mediante un esquema realimentado, que tiene la ventaja adicional de aumentar la ganancia con respecto a un amplificador no realimentado. En [Chang03] se emplea una técnica denominada "Opamp-Reset switching" que evita la reducción de la velocidad derivada del encendido / apagado del amplificador operacional mediante una fase de reset en realimentación unitaria. Como los factores de realimentación del amplificador durante la fase de reset y la fase de amplificación son comparables, se mantiene una dinámica similar en el tiempo de establecimiento del circuito.

En [Ryu07] se propone una técnica de reducción de consumo de potencia y área que combina los conceptos de compartición de amplificadores y de amplificadores operacionales conmutados.

2.7.6 Estado del arte de ADC pipeline

En la Tabla 2-3 se muestra una comparativa de ADC pipeline de 10-bit publicados en la revista IEEE J. Solid-State Circuits en los últimos años. Para comparar el comportamiento total de diferentes convertidores analógicos digitales analizados, se utiliza un único parámetro denominado figura de mérito. Según el autor, hay diferentes maneras de formular este factor. La figura de mérito normalizada del consumo de potencia más utilizada se define como la potencia consumida, en vatios, dividida por el producto de los niveles de cuantización efectivos y la frecuencia de muestreo, en Hercios, como se indica en la ecuación (2.29)

$$FOM = \frac{P_{dis}}{2^{ENOB} \cdot f_{smp}} \quad (\text{pJ}) \quad (2.29)$$

La Figura 2-23 muestra el valor de la figura de mérito (FOM) definida sobre los convertidores analógicos digitales mencionados en la Tabla 2-3 frente al número efectivo de bits (ENOB).

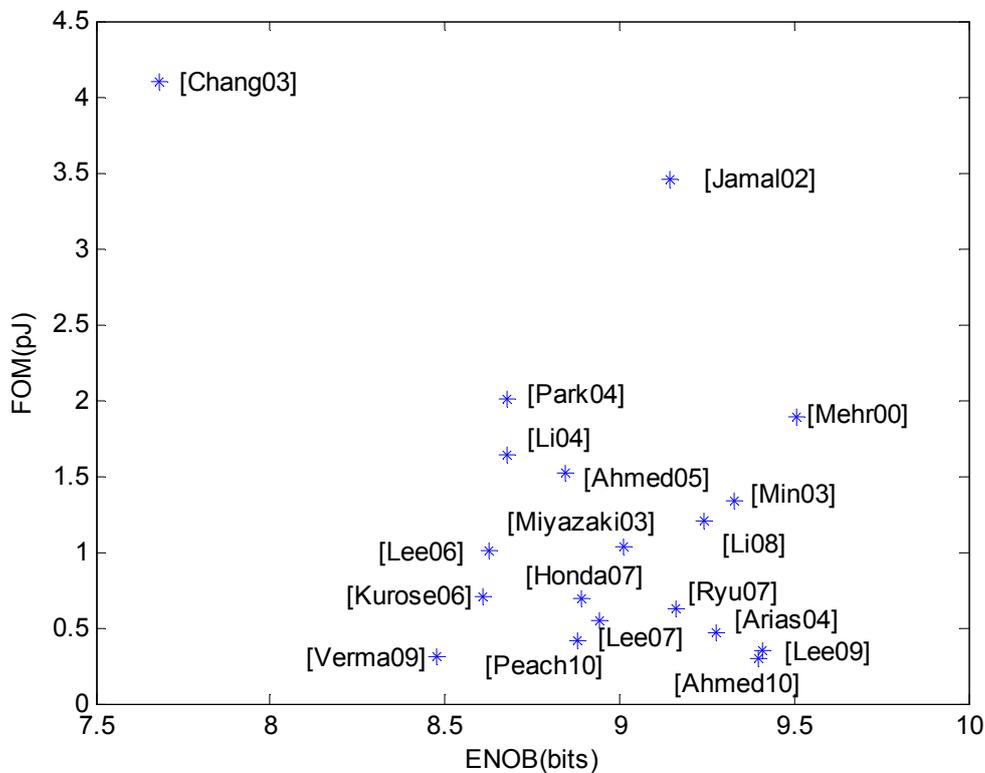


Figura 2-23. FOM vs. ENOB para CAD reportados recientemente en la revista IEEE J. Solid-State Circuits.

	Tecnología	Técnica empleada	Tensión (V)	Potencia (mW)	Frec. (MHz)	SNDR (dB)	INL (LSB)	DNL (LSB)	FOM (pJ)
[Li08]	0.18µm CMOS	Elevación de tensión	1.8	22	30	57.41	0.8	0.57	1.21
[Honda07]	90nm digital CMOS	Acoplamiento de capacidades	1	33	100	55.3	0.7	0.7	0.69
[Lee07]	90nm 1P6M CMOS	Arquitect. Multibit por etapa	1	40	205	55.2	0.5	0.5	0.42
[Ryu07]	0.18µm CMOS	Compartición+ OA conmut.	1.8	18	50	56.9	0.4	0.2	0.63

[Kurose06]	90nm 1P7M CMOS	Comparti- ción de amplifica- dores	1.2	55	200	53.6	1	0.66	0.70
[Lee06]	0.13µm 1P8M CMOS	Arquitect. de doble canal	1.2	160	400	53.7	0.3	0.4	1.01
[Ahmed05]	0.18µm CMOS	OA escalable en poten.	1.8	35	50	55	1.2	0.91	1.52
[Arias04]	0.25µm CMOS (MOM cap)	Entrelaza- do en el tiempo	2.5	11.7	40	57.6	1.15	0.77	0.47
[Li04]	0.18µm CMOS	CDS con desplaza. en el tiem.	1.8	67	100	54	1.6	0.8	1.64
[Park04]	0.18µm CMOS	Elevación de tensión	1.8	123	150	54	1.5	0.69	2.00
[Miyazaki03]	0.3µm 2P3M CMOS	Pseudo- diferencial	2	16	30	56	0.5	0.4	1.03
[Chang03]	0.35µm 1P5M CMOS	OA conmuta- -dos	1.4	21	25	48	3.3	0.9	4.09
[Min03]	0.18µm 2P5M DGO CMOS	Comparti- ción de amplifica- dores	3	69	80	57.92	0.5	0.25	1.34
[Jamal02]	0.35µm doublepoly CMOS	Entrelaza- do en el tiempo	3.3	234	120	56.8	0.88	0.44	3.45
[Verma09]	90nm CMOS	OA de baja potencia	1.2	55	500	52.8	1	0.4	0.31
[Mehr00]	0.35µm DPTM CMOS	Arquitect. Multibit por etapa	3	55	40	59	0.75	0.3	1.89
[Lee09]	0.18µm CMOS	Compart. de capacid.	1.8	12	50	56.2	0.81	0.39	0.35
[Peach10]	0.18µm CMOS	Establec. en dos pasos	1.8	11.1	42	55.6			0.54
[Ahmed10]	0.18µm CMOS	Seguidor tensión + inyección de carga	1.8	9.9	50	58.2	0.8	0.35	0.3

Tabla 2-3. Comparativa de CAD pipeline de 10-bit publicados en IEEE J. Solid-State Circuits en los últimos años.

La resolución de 1.5 bits por etapa es muy popular en ADC pipeline de resoluciones en el rango de los 10 bits, porque maximiza el ancho de banda del circuito amplificador de residuo y porque permite un rango de corrección de offset de los comparadores de hasta $\pm V_{ref}/4$, lo que relaja sus especificaciones y simplifica su diseño de forma importante. La arquitectura de 1.5 bits por etapa basada en el algoritmo de corrección de error por dígito redundante (RDS) se usa en [Li08], [Honda07], [Kurose06], [Ahmed05], [Arias04], [Li04], [Miyazaki03], [Chang03], [Min03], [Jamal02], [Verma09], [Ahmed10].

Diferentes autores han desarrollado técnicas de reducción del consumo de potencia en los ADC pipeline, aprovechando el propio funcionamiento del circuito para proponer diferentes modificaciones en la

arquitectura. Entre las técnicas más destacadas se encuentran el escalado de capacidades [Li08] , [Honda07] , [Kurose06] , [Lee06] , [Arias04] , [Miyazaki03] , [Min03] , [Jamal02] , [Verma09] , [Ahmed10], la supresión del S/H dedicado [Li08] , [Arias04] , [Mehro0] , [Lee09] , las técnicas de elevación de ganancia para el OA [Ryu07] , [Kurose06] , [Ahmed05] , [Miyazaki03] , [Min03] el uso de comparadores dinámicos sin preamplificación para obtener la salida digital [Ahmed05] , [Min03] , [Lee09] , [Ahmed10], la compartición del amplificador entre dos etapas consecutivas del convertidor pipeline [Li08] , [Kurose06] , [Arias04] , [Min03] , [Lee09] , [Peach10] y la utilización de una técnica FSPI para la reducción del ruido flicker y el offset [Min03].

Estas técnicas se aplicarán de forma combinada en el diseño de un ADC pipeline para una frecuencia de 19 MS/s y 8 bits de resolución en una tecnología CMOS de 0.35 μm con el objetivo de obtener un convertidor de una FOM menor que la de aquellos que usan dichas técnicas por separado.

Referencias

- [Ahmed05] Imran Ahmed and David A. Johns "A 50-MS/s (35mW) to 1-kS/S (15 μ W) Power Scaleable 10-bit Pipelined ADC Using Rapid Power-On Opamps And Minimal Bias Current Variation" IEEE J. of Solid-State Circuits, vol. 40, no.12, pp. 2446- 2455, December 2005.
- [Ahmed10] Ahmed,I.;Mulder,J.;Johns,D.A.; "A low-power capacitive charge pump based pipelined ADC" IEEE of Solid-State Circuits, vol. 45, n°5, pp. 1016-1027, May 2010
- [Arias04] J. Arias, V. Boccuzzi, L. Quintanilla, L. Enríquez, D. Bisbal, M. Banu and J.Barbolla "Low-Power Pipeline ADC for Wireless LANs" IEEE J. of Solid-State Circuits,vol.39, no.8, p.1338-1340, August 2004
- [Bidari99] E. Bidari, M. Keskin, F. Maloberti, U. Moon, J. Steensgaard, and G. Temes "Low-voltage switched-capacitor circuits" in Proc. IEEE Int. Symp. Circuits Syst., vol. II, May 1999, pp. 49-52.
- [Can74] J.C. Candy "A Use of Limit Cycle Oscillations to Obtain Robust Analog-to-Digital Converters", IEEE Transactions on Communications, Vol. COM-20, pp. 298-305, 1974
- [Can86] J.C. Candy "Decimation for sigma-Delta Modulation", IEEE Transactions on Communications, Vol. COM-34, No.1, pp. 72-76, 1986
- [Chang03] Dong-Young Chang and Un-ku Moon"A 1.4-V 10-bit 25-MS/s Pipelined ADC Using Opamp-Reset Switching Technique" IEEE J. Solid-State Circuits, vol. 38, no.8, August 2003, pp. 1401-1404
- [Chiu04] Yun Chiu, Paul R. Gray and Borivoje Nikolic "A 14-b 12-MS/s CMOS Pipeline ADC With Over 100-dB SFDR" IEEE J. Solid-State Circuits, vol.39, no.12, December 2004, pp.2139-2151
- [Cho95] Thomas Byunghak Cho and Paul R. Gray "A 10b, 20 Msample/s, 35mW Pipeline A/D Converter" IEEE J. Solid-State Circuits, vol.30, no.3, March 1995, pp.166-172
- [Cho05] Chang-Hyuk Cho "A power optimized pipelined analog-to-digital converter design in deep sub-micron CMOS technology" Tesis doctoral,2005
- [Cline95] David William Cline "Noise, Speed, and Power Trade-offs in Pipelined Analog" to Digital Converters. Tesis doctoral,1995
- [Cline96] David W. Cline and Paul R. Gray "A power optimized 13-b 5 Msamples/s Pipelined Analog-to-Digital Converter in 1.2 μ m CMOS" IEEE J. Solid-State Circuits, vol.31, no.3, March 1996, pp.294- 303
- [Doernberg89] Joey Doernberg, Paul R. Gray, David A. Hodges, "A 10-bit 5-Msample/s CMOS Two-Step Flash ADC" IEEE J. Solid-State Circuits, vol.24, no.2, April 1989, pp.241-249
- [Gines08] Antonio José Ginés Arteaga "Calibración digital concurrente en convertidores A/D de tipo Pipeline" Tesis doctoral,2008
- [Gustavsson02] Gustavsson, M.; Wikner, J.J. and Tan, N.N., "CMOS Data Converters For Communications", Kluwer Academic Publisher,2002
- [Honda07] Kazutaka Honda, Masanori Furuta, Shoji Kawahito "A Low-Power Low-voltage 10-bit 100-MSample/s Pipeline A/D Converter Using Capacitance Coupling Techniques" IEEE J. Solid-State Circuits, vol.42, no.4, April 2007, pp.757- 765
- [IEEE01] "IEEE standard for terminology and test methods for analog-to-digital converters", IEEE Std 1241-2000, 2001.

- [Ingino98] Ingino Joseph et al. "A continuously calibrated 12-bit, 10-MS/s, 3.3-V A/D converter" IEEE Journal of Solid State Circuits; vol. 36; No. 12; Dec. 2001; pp.1931-1936
- [Ion98] Opris Ion E. et al "A single-ended 12-bit 20 Msample/s self-calibrating pipeline A/D converter" IEEE Journal of Solid-State Circuits; vol. 33, No.12; Dec 1998, pp. 1893-1903
- [Jamal02] Shafiq M. Jamal, Daihong Fu, Nick C.-J. Chang, Paul J. Hurst and Stephen H. Lewis "A 10-b 120-MSample/s Time-Interleaved Analog-to-Digital Converter With Digital Background Calibration" IEEE J. Solid-State Circuits, vol. 37, no.12, December 2002, pp. 1618-1627
- [Kurose06] Daisuke Kurose, Tomohiko Ito, Takeshi Ueno, Takafumi Yamaji and Tetsuro Itakura "55-mW 200-MSPS 10-bit Pipeline ADCs for Wireless Receivers" IEEE J. Solid-State Circuits, vol 41, no.7, July 2006, pp.1589-1595
- [Lee06] Seung-Chul Lee, Kwi-Dong Kim, Jong-Kee Kwon, Jongdae Kim and Seung-Hoon Lee "A 10-bit 400-MS/s 160-mW 0.13 μm CMOS Dual-Channel Pipeline ADC Without Channel Mismatch Calibration" IEEE J. Solid-State Circuits, vol 41, no.7, July 2006, pp.1596-1605
- [Lee07] Seung-Chul Lee, Young-Deuk Jeon, Jong-Kee Kwon and Jongdae Kim "A 10-bit 205-MS/s 1.0 mm² 90-nm CMOS Pipeline ADC for Flat Panel Display Applications" IEEE J. Solid-State Circuits, vol.42, no.12, December 2007, pp.2688- 2695
- [Lee09] Byung-Geun Lee; Tsang, R.M.; "A 10-bit 50 MS/s Pipelined ADC with capacitor-sharing and variable-gm opamp" IEEE of Solid-State Circuits, vol. 44, n°3, pp. 883-890, March 2009
- [Lewis87] S.H. Lewis and P.R. Gray "A Pipelined 5-Msample/s 9-bit Analog-to-Digital Converter" IEEE J. of Solid-State Circuits, vol.SC-22, no.6, pp. 954-61, Dec. 1987.
- [Lewis92] S.H. Lewis "Optimizing the Stage Resolution in Pipelined, Multistage, Analog-to-Digital Converters for Video-Rate Applications", IEEE Trans. On Circuits and Systems-II, vol. 39, no.8, pp 516-23, Aug.1992
- [Li04] Jipeng Li and Un-ku Moon "A 1.8-V 67-mW 10-bit 100-MS/s Pipelined ADC Using Time-Shifted CDS Technique" IEEE J. of Solid-State Circuits, vol.39, no.9, p.1468-1476, September 2004
- [Li08] Jian Li, Xiaoyang Zeng, Lei Xie, Jun Chen, Jianyun Zhang and Yawei Guo "A 1.8-V 22-mW 10-bit 30-MS/s Pipelined CMOS ADC for Low-Power Subsampling Applications" IEEE J. Solid-State Circuits, vol.43, no.2, February 2008, pp.321- 329
- [Mangelsdorf90] Christopher W. Mangelsdorf "A 400-MHz Input Flash Converter with Error Correction" IEEE J. Solid-State Circuits, vol.25, no. 1, Feb.1990, pp.184-191
- [Matsuzawa90] Matsuzawa, A., et al. "A 10b 30 MHz Two-Step Parallel BiCMOS ADC with internal S/H" ISSCC digest of technical papers pp. 162-163, Feb. 1990
- [McCall92] K.J. McCall, M.J. Demler, and M.W. Plante, "A 6-bit 125 MHz CMOS A/D Converter" in Proc. CICC, May 1992, pp. 16.8.1-16.8.4
- [Mehr00] Iuri Mehr and Larry Singer "A 55-mW, 10-bit, 40-MSample/s Nyquist-Rate CMOS ADC" IEEE J. Solid-State Circuits, vol. 35, no.3, March 2000, pp. 318- 325
- [Mercer91] Douglas A. Mercer "A 12-b 750-ns Subranging A/D Converter with Self-Correcting S/H" IEEE J. Solid-State Circuits, vol.26, no.12, Dec. 1991, pp.1790-1799
- [Mercer94] Douglas A. Mercer, "A 14-b 2.5 MSPS Pipelined ADC With On Chip EPROM" Proc. 1994 Bipolar/BiCMOS Circuits and Technology Meeting, Sept. 1994, pp.15-18

- [Min03] Byung-Moo Min, Peter Kim, Frederick W. Bowman, David M. Boisvert and Arlo J. Aude "A 69-mW 10-bit 80-MSample/s Pipelined CMOS ADC" IEEE J. Solid-State Circuits, vol. 38, no.12, December 2003, pp. 2031-2039
- [Miyazaki03] Daisuke Miyazaki, Sholi Kawahito and Masanori Furuta "A 10-b 30-MS/s Low-Power Pipelined CMOS A/D Converter Using Pseudodifferential architecture" IEEE J. Solid-State Circuits, vol. 38, no.2, February 2003, pp. 369-373
- [Moon97] U.K. Moon and B. S. Song "Background digital calibration techniques for pipelined ADC's" IEEE Trans. Circuits Syst. II, vol. 44, pp. 102-109, Feb.
- [Murmann12] B. Murmann "ADC Performance Survey 1997-2012" [Online]
- [Nakamura95] Katsifumi Nakamura, Masao Hotta, L. Richard Carley, David J. Allstot, "An 85mW, 10b, 40 Msample/s CMOS Parallel-Pipelined ADC" IEEE J. Solid-State Circuits, vol. 30, no.3, March 1995
- [Nyquist24] H. Nyquist, "Certain Topics in Telegraph Transmission Theory" Trans. Am. Inst. Electr. Eng., vol. 47, pp. 617-644, Feb. 1924
- [Park04] Jong-Bum Park, Sang-Min Yoo, Se- Won Kim, Young-Jae Cho and Seung-Hoon Lee "A 10-b 150 Msample/s 1.8V 123-mW CMOS A/D Converter With 400-MHz Input Bandwidth" IEEE J. Solid-State Circuits, vol.39, no.8, August 2004, pp.1335-1337
- [Peach10] Peach, C.T.; Un-ku Moon;Allstot. D.J.; "An 11.1 mW 42 MS/s 10b ADC with Two-step settling in 0.18 μ m CMOS" IEEE of Solid-State Circuits, vol. 45, n^o2, pp. 391-400, February 2010
- [Petschacher90] "A 10-b 75-MSPS Subranging A/D Converter with Integrated Sample and Hold" IEEE J. Solid-State Circuits, vol.25, no6, Dec.1990,pp.1339-1346
- [Razavi92] Behzad Razavi and Bruce A. Wooley "A 12-b 5-Msample/s Two-Step CMOS A/D Converter" IEEE J. Solid-State Circuits, vol. 27, no.12, Dec.1992, pp.1667-1678.
- [Razavi95] B. Razavi "Principles of data conversion system design" IEEE press, 1995
- [Razavi00] B. Razavi "Design of Analog CMOS Integrated Circuits" McGraw Hill, 2000
- [Ryu07] Seung-Tak Ryu, Bang-Sup Song and Kantilal Bacrania "A 10-bit 50-MS/s Pipelined ADC With Opamp Current Reuse" IEEE J. Solid-State Circuits, vol.42, no.3, March 2007, pp.475-485
- [Sumanen01] Lauri Sumanen, Mikko Waltari and kari A.I. Halonen "A 10-bit 200-MSample/s CMOS Parallel Pipeline A/D Converter" IEEE J. Solid-State Circuits, vol. 36, no.7, July 2001, pp. 1048-1055
- [Sumanen02] Lauri Sumanen "Pipeline Analog-to-Digital Converters for wide-band Wireless communications" Tesis doctoral,2002
- [Tseng12] C.J. Tseng, H.W. Chen; W.T. Shen,W.C: Cheng, H.S: Shen " A 10-b 320-MS/s Stage-Gain-Error Self-Calibration Pipeline ADC" IEEE Journal of Solid-State circuits, vol.47, n^o8,2012 pp.1334-1343
- [Van de Plassche03] Rudy van de Plassche "CMOS integrated analog-to-digital and digital-to-analog converters" 2nd edition. Kluwer Academic Publisher, 2003
- [Verma09] Verma, A.; Razavi, B.; "A 10-bit 500 MS/s 55-mW CMOS ADC" IEEE of Solid-State Circuits, vol. 44, n^o11, pp. 3039-3050, November 2009

- [Waltari02] Mikko E. Waltari and Kari A. I. Halonen "Circuit Techniques for low-voltage and high-speed A/D Converters" Kluwer Academic Publisher,2002
- [Yang01] Yang Wenhua et al : " A 3-V 340-mW 14-B 75 MSample/s CMOS ADC with 85-dB SFDR at Nyquist input" IEEE Journal of Solid State Circuits; vol. 36; No. 12; Dec. 2001; pp. 1931-1936
- [Yu96] P.C. Yu and S. Lee "A 2.5-V, 12-b, 5-Msample/s Pipelined CMOS ADC" IEEE J. of Solid-State Circuits,vol.31, no.12, p.1854-61, Dec.1996
- [Yu01] Yu Paul et al.:"A 14b 40 Msample/s Pipelined ADC with DFCA " ISSCC 2001/Session 8 / NYQUIST ADCS / 8.6; IEEE International Solid State circuits Conference; 2001; Dallas TX; pp. 136-137, 439-440

DISEÑO DE UN CONVERTIDOR ANALÓGICO DIGITAL PIPELINE DE 8 BITS Y 19 MS/s

- 3.1 Especificaciones del convertidor**
- 3.2 Convertidor analógico digital pipeline**
- 3.3 Simulaciones a nivel de sistema**
- 3.4 Técnicas de reducción de potencia**
- 3.5 Detalles de la implementación.**
- 3.6 Arquitectura elegida.**
- 3.7 Consideraciones del layout.**
- 3.8 Resultados de simulación.**
- 3.9 Resultados experimentales.**

El capítulo 2 titulado Convertidores analógico digitales tipo pipeline definió este tipo de convertidores analógico digitales situándolo en su contexto como un convertidor de Nyquist tipo subrango. A partir de su diagrama de bloques, profundizó en determinados conceptos específicos de su arquitectura, como es la corrección digital y la elección del número de bits por etapas. Finalmente, presentó un estudio de los convertidores analógicos digitales pipeline publicados en la última década con el objetivo de plantear las diferentes soluciones adoptadas desde el punto de vista de la topología de estos circuitos en la búsqueda de una optimización del consumo de potencia.

Como se mencionó en dicho capítulo 2, los convertidores pipeline han probado ser arquitecturas muy eficientes para conjugar los requisitos de baja disipación de potencia y ancho de banda elevado de la señal de entrada. El consumo de potencia puede optimizarse mediante una adecuada combinación de técnicas tales como el escalado de capacidades en etapas sucesivas [Cline96] o la compartición de amplificadores operacionales entre etapas [Chiu08], entre otras. Las tasas de muestreo típicas de este tipo de convertidores son del orden de las decenas de MHz (Megahertz) [Ahmed05][Yu08]. Dichas tasas se han

visto incrementadas en la actualidad por el empuje de las tecnologías nanométricas hasta los 200 MHz [Lee07]. Las arquitecturas pipeline se implementan en CMOS empleando técnicas de condensadores conmutados SC (switch capacitor), lo que hace que sean fáciles de integrar.

En este capítulo de la tesis se explica el diseño de un ADC pipeline para bajo consumo que combina técnicas ya conocidas mencionadas en el capítulo anterior con el objetivo de conseguir una FOM (figure of merit) mejor de la obtenida con las técnicas propuestas por separado. Dicho convertidor supondrá el punto de partida para futuras adaptaciones a baja tensión y a aplicaciones WLAN. El convertidor pipeline se desarrollará para aplicaciones de multiplexación por división de frecuencias ortogonales OFDM (orthogonal frequency division multiplexing) y difusión de video digital-terrestre DVB-T (digital video broadcasting terrestrial) para una frecuencia de 19MS/s y 8 bits de resolución. La tecnología utilizada ha sido 0.35 μm CMOS de AMS.

3. Diseño de un convertidor analógico digital pipeline de 8 bits y 19 MS/s

3.1 Especificaciones del convertidor

En la Figura 3-1 se muestra el diagrama de bloques de un front-end analógico para DVB-T en que será incluido el ADC presentado. Podemos ver que el sintonizador realiza la conversión a frecuencia intermedia de aproximadamente 36MHz. Posteriormente, un filtro de onda superficial acústica SAW (*surface acoustic wave*) y un AGC (amplificador de ganancia controlable) realizan un filtrado paso banda previo al convertidor analógico-digital.

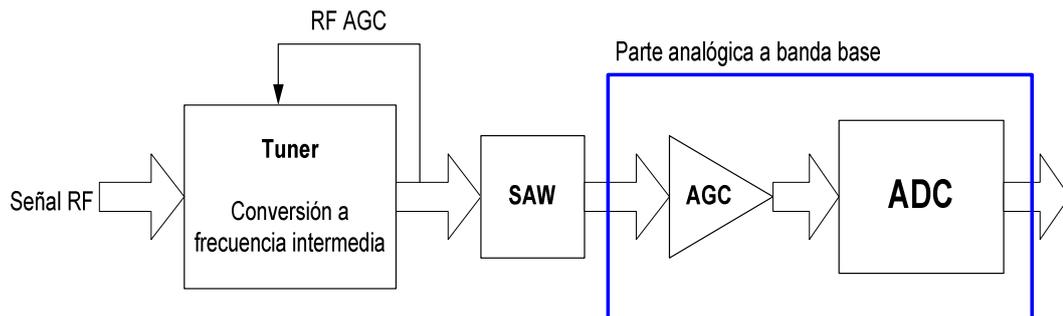


Figura 3-1. Front-end analógico para DVB

Mediante la técnica de submuestreo puede realizarse simultáneamente el muestreo y el mezclado a baja frecuencia intermedia aprovechando el efecto de solapamiento entre bandas propio del proceso de muestreo. Esta solución, representada en la Figura 3-2, resulta eficiente desde el punto de vista del consumo de potencia [Li08].

Atendiendo al estándar DVB-T y utilizando un receptor con submuestreo a 20.3 MHz, el convertidor necesario será de 9 0 10 bits. Para un valor de frecuencia intermedia de 34 MHz y el ancho de banda de señal máximo definido en el estándar DVB (8 MHz), el valor óptimo de la frecuencia de muestreo es próximo a los 19 MHz. De acuerdo con el MBRAI ("*Mobile and Portable DVB-T Radio Access Interface*") de EICTA, la relación señal a ruido (SNR) para el proceso de demodulación en el peor caso debería ser de 27 dB. Un ADC de 8 bits se ajusta a las especificaciones e incluye un margen de seguridad para paliar la influencia de posibles componentes interferentes. En esta fase del diseño en la que se definen las especificaciones se consideró la opción de fijar una resolución para el ADC tanto de 10 bits como de 8 bits.

Se pretende como aspecto prioritario minimizar el consumo de potencia. Para ello, se utilizará de forma combinada una serie de técnicas ya presentadas en el Capítulo 2 como son incluir un número mínimo de amplificadores operacionales compartiendo su uso entre diferentes etapas del convertidor, realizar simultáneamente el muestreo y retención y el cálculo del residuo, y eliminar el circuito de muestreo y retención (S/H) dedicado a la entrada del ADC, entre otras.

El empleo de técnicas de reducción de potencia y dado que la especificación de 10 bits de resolución para un ADC se encuentra en el límite de la linealidad que puede conseguirse en este tipo de convertidores sin emplear ningún tipo de calibración ([Fan11], [Wang09]) desaconsejaron fijar la resolución en 10 bits y se optó por la elección de 8 bits de resolución. Las simulaciones post-layout realizadas durante el diseño del ADC pipeline reafirmaron la validez de la opción elegida.

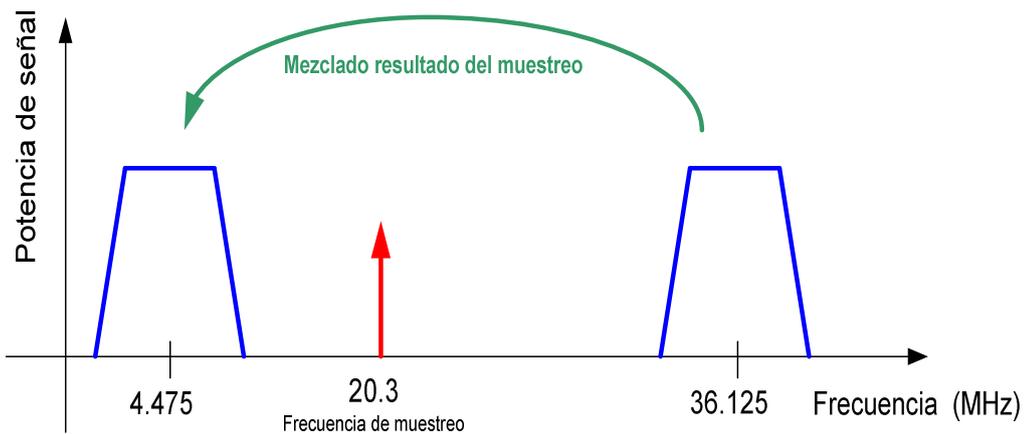


Figura 3-2. Efecto del submuestreo.

En la Tabla 3-1 se resumen las especificaciones principales de convertidor.

Resolución	8 ENOB
Frecuencia de muestreo	20.3MHz
Tensión de alimentación	2.5V
Rango de señal de entrada	2V diferencial
Tecnología	0.35 μm CMOS AMS
Consumo de potencia	MINIMIZAR

Tabla 3-1. Especificaciones del ADC

3.2 Convertidor analógico digital pipeline

Tal como se estableció en el Capítulo 2, un ADC pipeline es un convertidor en el que el proceso de conversión se ha dividido en múltiples pasos y en cada uno de ellos se resuelve alguna parte de la palabra digital de salida y se entrega un residuo para el siguiente paso o etapa. De esta manera se reduce la complejidad del hardware necesario además de obtener importantes beneficios en cuanto a la tolerancia de los errores y rendimiento del convertidor completo se refiere.

En la Figura 3-3 se puede observar el diagrama de bloques general del convertidor de 8 bits de resolución cuyo diseño se propone en este capítulo. La arquitectura elegida por las razones expuestas en el Capítulo 2 es la arquitectura de 1.5 bits de resolución por etapa basada en el algoritmo de corrección de error por dígito redundante RSD (*redundant signed digit*). Cada una de las etapas realiza una conversión con dos bits de resolución y transmite el residuo a la siguiente etapa. Los 14 bits resultantes de las 7 conversiones se combinan mediante la corrección digital para obtener los 8 bits buscados. La redundancia existente permite la utilización de convertidores de 1.5 bits de resolución y simplifica enormemente el diseño de los comparadores.

En la Figura 3-4 se describe la arquitectura de cada una de las etapas que componen el ADC pipeline. Dicha etapa se compone de un ADC, un convertidor digital analógico DAC (*digital-to-analog converter*), un amplificador de muestreo y retención SHA (*sample and hold amplifier*) y un circuito de resta para el cálculo de residuo.

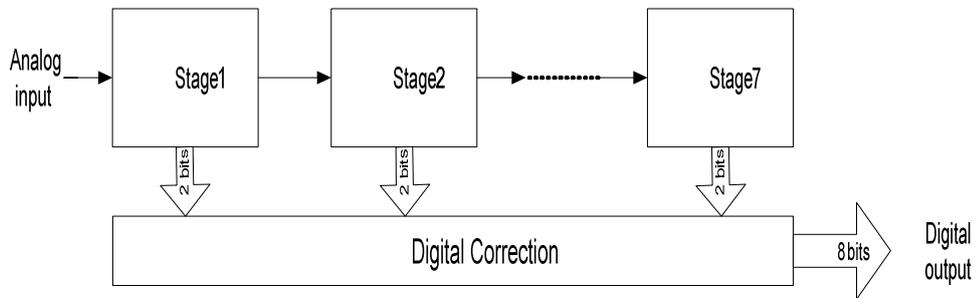


Figura 3-3. Diagrama de bloques del convertidor.

La Figura 3-5 muestra el circuito clásico SC que implementa físicamente el diagrama de bloques de la Figura 3-4. [Abo99]. Por simplicidad, en todas las figuras se mostrarán circuitos *single-ended*, utilizándose arquitecturas completamente diferenciales en el diseño real. Las implementaciones diferenciales, a pesar de requerir amplificadores operacionales diferenciales y el doble de capacidades e interruptores que la versión *single-ended*, permiten una variación del rango de entrada del doble y son menos sensibles a la distorsión armónica y al ruido del sustrato.

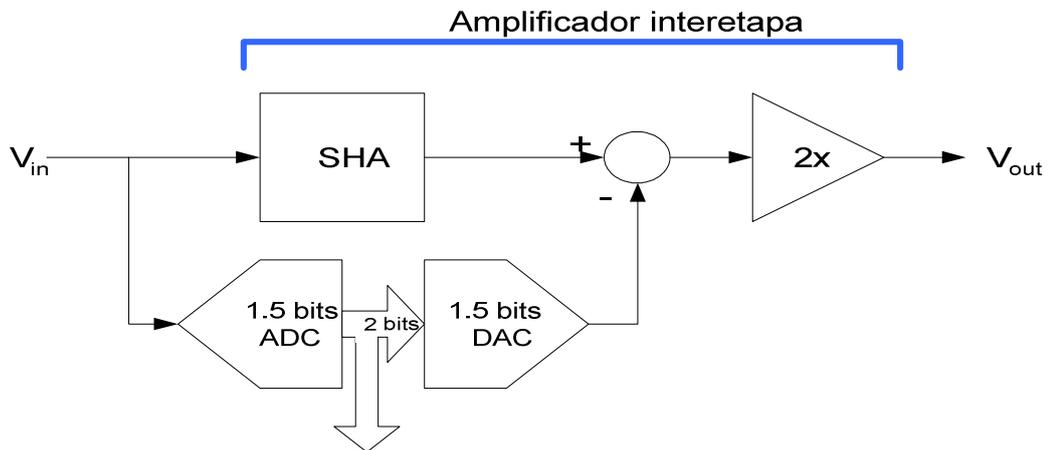


Figura 3-4. Arquitectura de una etapa pipeline.

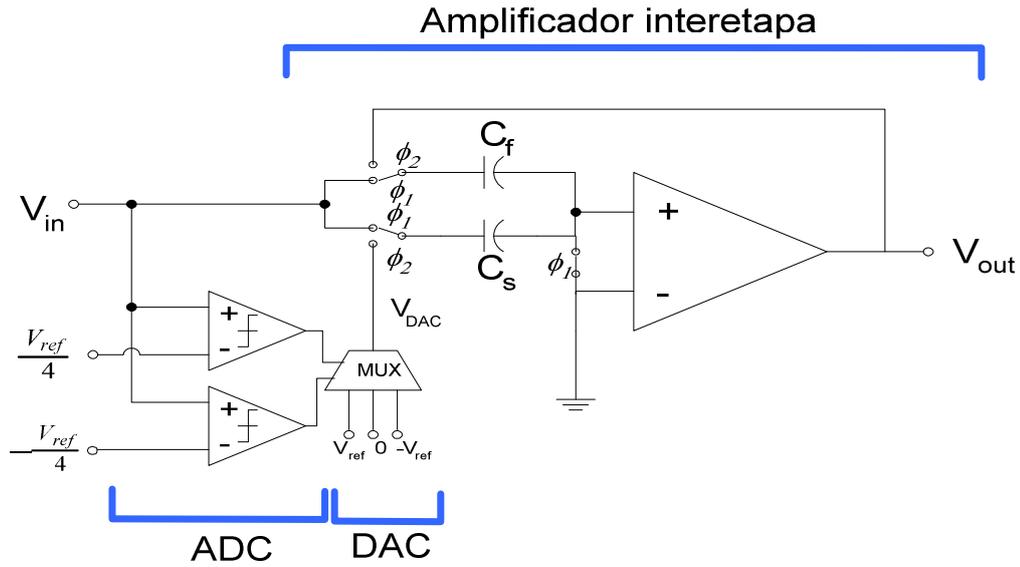


Figura 3-5. Realización de una etapa pipeline.

Dado que se utiliza un bit para la corrección digital, la ganancia del amplificador de residuo debe ser de 2. Para la explicación del circuito dividiremos la funcionalidad en dos fases:

- Fase de muestreo (Φ_1):

Se almacena la tensión de entrada V_{in} en las capacidades C_f y C_s . Simultáneamente se aplica dicha tensión a los comparadores con umbral $V_{ref}/4$ y $-V_{ref}/4$ que realizan la conversión analógica digital de 1.5bits, estando la señal de entrada comprendida entre V_{ref} y $-V_{ref}$. Al finalizar la fase se habrá realizado el muestreo de la señal de entrada en ambas capacidades y se activarán los *latches* de los comparadores.

- Fase de cálculo del residuo (Φ_2):

Se cierra el bucle de realimentación del amplificador operacional utilizando C_f , mientras que el terminal negativo de C_s se conecta a la salida del DAC (V_{ref} , $-V_{ref}$ ó 0). De esta forma, una carga igual a $C_s \cdot (V_{in} - V_{DAC})$ se traspassa de C_s a C_f , obteniéndose una de las siguientes tensiones de salida en función de las decisiones de los comparadores:

$$\left\{ \begin{array}{l} V_{out} = \left(1 + \frac{C_s}{C_f}\right) \cdot V_{in} - V_{ref} \quad \text{si } V_{in} > \frac{V_{ref}}{4} \\ V_{out} = \left(1 + \frac{C_s}{C_f}\right) \cdot V_{in} \quad \text{si } \frac{-V_{ref}}{4} \leq V_{in} \leq \frac{+V_{ref}}{4} \\ V_{out} = \left(1 + \frac{C_s}{C_f}\right) \cdot V_{in} + V_{ref} \quad \text{si } V_{in} < \frac{-V_{ref}}{4} \end{array} \right. \quad (3.1)$$

Si se escogen los valores de las capacidades de forma que $C_f = C_s$ se obtiene una ganancia de 2 en el cálculo del residuo.

La última etapa carece de todos los componentes antes mencionados a excepción del ADC, puesto que no necesita generar residuo alguno ni añadir offset para corregir el código. Este ADC consta de tres comparadores, frente a los dos comparadores de las etapas anteriores y, de acuerdo con el proceso de corrección digital detallado en el Capítulo 2, la resolución de esta etapa será de 2 bits en lugar de 1.5 bits.

3.3 Simulaciones a nivel de sistema

Se ha desarrollado una serie de modelos matemáticos para considerar las no linealidades más importantes en el diseño de un convertidor pipeline. El procedimiento seguido consiste en sustituir un bloque ideal por otro no ideal, determinando así las especificaciones mínimas que deben cumplir cada uno de los bloques constructivos.

Las no idealidades que pueden compensarse con la corrección digital, como por ejemplo la desviación de los umbrales del comparador, quedan fuera del presente estudio.

3.3.1 Ganancia DC del amplificador operacional

En el presente apartado se estudia la influencia de la ganancia finita del amplificador operacional sobre la resolución del convertidor. La Figura 3-6 presenta el circuito utilizado para desarrollar el modelo en la fase de cálculo del residuo.

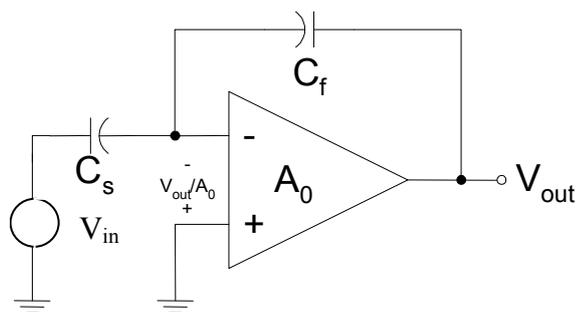


Figura 3-6. Circuito utilizado para deducir el modelo con ganancia finita del amplificador operacional.

Debido a la ganancia finita del amplificador (A_0), la ganancia del amplificador de residuo se ve modificada según la siguiente expresión:

$$V_{out} = \frac{2}{1 + \frac{2}{A_0}} V_{in} \quad (3.2)$$

Esta desviación de la ganancia del amplificador de residuo no es compensada por la corrección digital, por lo que es necesario estudiar en detalle la sensibilidad de INL respecto A_0 . La Figura 3-7 representa la máxima INL (medida en LSBs para 10 bits de resolución) frente a la ganancia del amplificador utilizado en las dos primeras etapas. Para realizar esta simulación se ha aplicado a la entrada del modulador una rampa en todo el rango de entrada, midiéndose el INL en todo el rango de funcionamiento del convertidor.

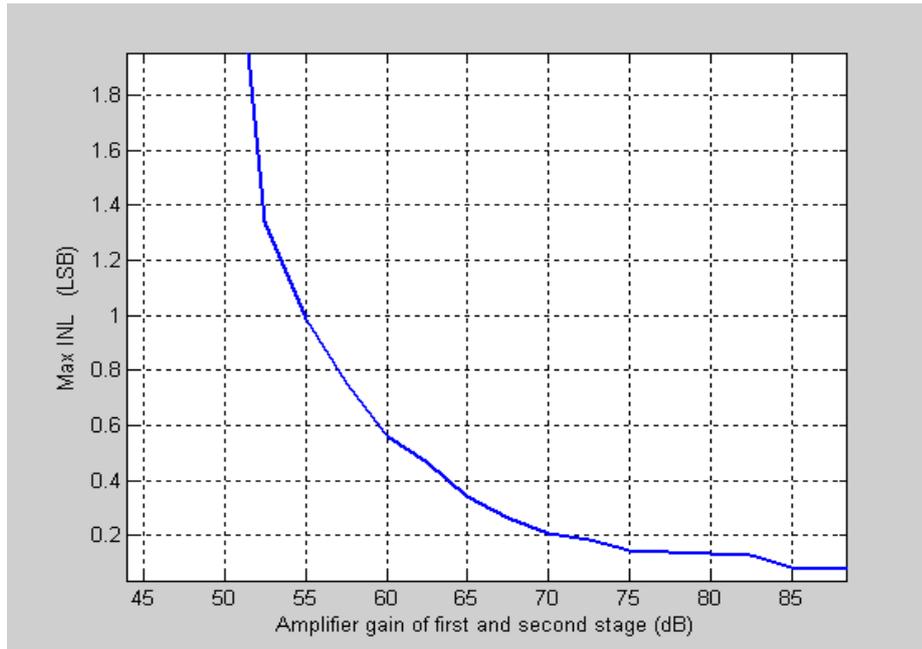


Figura 3-7. Representación de INL frente a la ganancia DC del amplificador de las dos primeras etapas.

Podemos comprobar que para que INL sea menor de 0.25 LSBs, la ganancia del amplificador utilizado para las dos primeras etapas debe ser superior a 70dB. La Figura 3-8 representa un estudio similar al de la Figura 3-7 realizando para la tercera y cuarta etapa. Se puede observar que para este caso se requiere una ganancia superior a 60dB. La linealidad de la primera etapa de un ADC pipeline debe cumplir las especificaciones para la resolución total del convertidor y, a medida que vamos avanzando en el número de etapas, esta restricción se modifica según el número de bits que quedan por convertir. Así, la ganancia DC de 60 dB sería la especificación de ganancia del OA en el caso de una resolución de 8 bits.

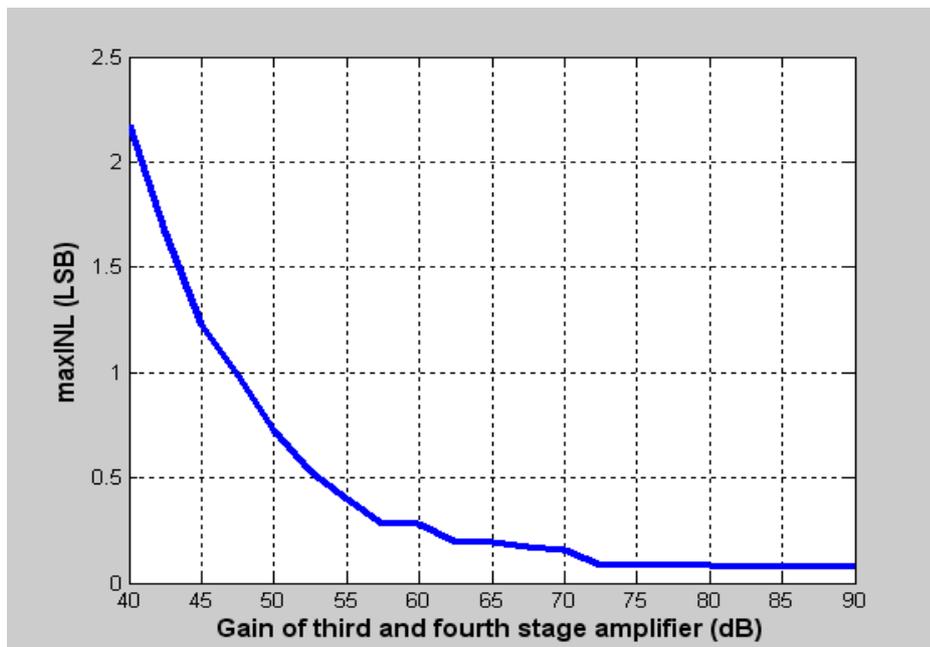


Figura 3-8. Representación de INL frente a la ganancia DC del amplificador de las dos primeras etapas.

3.3.2 Slew-rate y ancho de banda del amplificador operacional

En este apartado estudiaremos la influencia de la velocidad del amplificador operacional en la resolución del convertidor, definiendo sus especificaciones dinámicas, es decir, su *slew-rate* y ancho de banda.

Estudiaremos el circuito en la fase de amplificación del residuo (Figura 3-5), en la cual la carga almacenada en C_s pasa a C_f . En la práctica, este traspaso de carga nunca se realiza completamente, no alcanzando la salida del MDAC el valor deseado, debido a las limitaciones dinámicas del amplificador.

El proceso de carga estará limitado por dos efectos. Por un lado, si el cambio de tensión a la salida es muy abrupto el amplificador entrará en una zona de funcionamiento en la que la pendiente estará limitada por el *slew-rate*. Por otro lado, cuando el amplificador opera en una zona de funcionamiento lineal (asumimos un comportamiento de primer orden) la carga de la capacidad se producirá siguiendo una característica exponencial considerando un modelo de un polo para el amplificador A1 de la Figura 3-9.

Normalmente, para conseguir una resolución correcta en un circuito SC, la frecuencia de ganancia unidad de los amplificadores debe estar, como mínimo, un orden de magnitud por encima de la frecuencia de muestreo. A continuación se desarrollará un modelo para determinar el *slew-rate* y ancho de banda de los amplificadores de un convertidor *pipeline* de 20MHz y 10 bits de resolución.

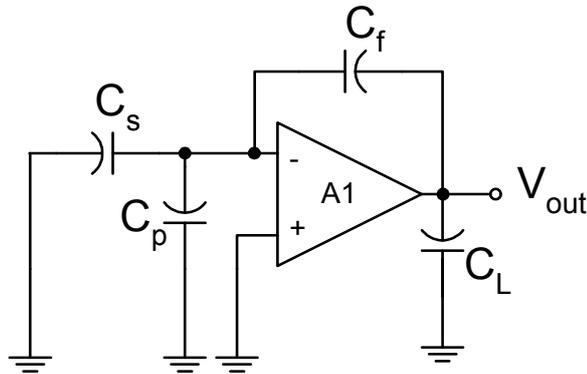


Figura 3-9. Modelo para calcular la influencia del SR y BW del amplificador operacional en el cálculo del residuo.

La Figura 3-9 muestra el modelo utilizado para calcular la influencia del *slew-rate* y el ancho de banda del amplificador operacional en el cálculo del residuo. Asumimos un amplificador cuya respuesta en frecuencia de primer orden viene dada por:

$$A(s) = \frac{A_0}{1 - \frac{s}{p_1}} \quad (3.3)$$

Donde, A_0 es la ganancia DC del amplificador y p_1 la frecuencia del polo, definidos como:

$$A_0 = g_m r_{out} \quad (3.4)$$

$$p_1 = -\frac{1}{r_{out} C_{Leff}} \quad (3.5)$$

La capacidad C_{Leff} es la capacidad efectiva que ve el amplificador en bucle abierto a la salida y r_{out} es la impedancia de salida del amplificador operacional. Es decir:

$$C_{Leff} = C_L + \frac{C_f(C_p + C_s)}{C_f + C_p + C_s} \quad (3.6)$$

El factor de realimentación viene dado por el divisor capacitivo compuesto por C_f y C_s :

$$\beta = \frac{C_f}{C_s + C_f + C_p} \approx \frac{1}{2} \quad (3.7)$$

Para conocer la respuesta transitoria del sistema calculamos la función de transferencia en bucle cerrado:

$$A_{cl}(s) = \frac{A}{1 - A\beta} = \frac{r_{out}g_m}{1 + r_{out}C_{Leff}s - \frac{C_f}{C_f + C_p + C_s}g_m r_{out}} \approx \frac{g_m}{C_{Leff}s - \frac{C_f}{C_f + C_p + C_s}g_m} \quad (3.8)$$

Al ser un sistema de primer orden, la constante de tiempo se corresponde con la inversa de la frecuencia del polo:

$$\tau = 2 \frac{C_{Leff}}{g_m} \quad (3.9)$$

Nótese que se corresponde con la constante de tiempo de un sistema con ancho de banda la mitad del producto ganancia ancho de banda del amplificador con una capacidad de carga C_{Leff} .

Es posible hacer un estudio más detallado del proceso de carga del condensador teniendo en cuenta también el *slew-rate* del amplificador. La ecuación que rige el comportamiento del MDAC es la siguiente:

$$V_{out} = V_{in} + g(V_{in} - 2V_{DAC}) \quad (3.10)$$

Siendo $g(x)$ la función que modela el efecto del *slew-rate* y el ancho de banda del amplificador sobre el proceso de carga, y tiene la siguiente forma:

$$\left\{ \begin{array}{l} g(x) = x \cdot \left(1 - e^{-\frac{T_s}{2\tau}} \right) \quad \text{si } |x| \leq \tau\xi \\ g(x) = x - \text{sgn}(x)\tau\xi e^{-\left(\frac{|x|}{\tau\xi} - 1\right)\frac{T_s}{2\tau}} \quad \text{si } \tau\xi < |x| \leq (\tau + T_s)\xi \\ g(x) = \text{sgn}(x)\xi \frac{T_s}{2} \quad \text{si } (\tau + T_s)\xi < |x| \end{array} \right. \quad (3.11)$$

Donde τ representa el tiempo de establecimiento, ξ el *slew-rate* del amplificador y T_s el tiempo de muestreo. La Figura 3-10 muestra los resultados de simulación obtenidos utilizando el modelo de la ecuación (3.11).

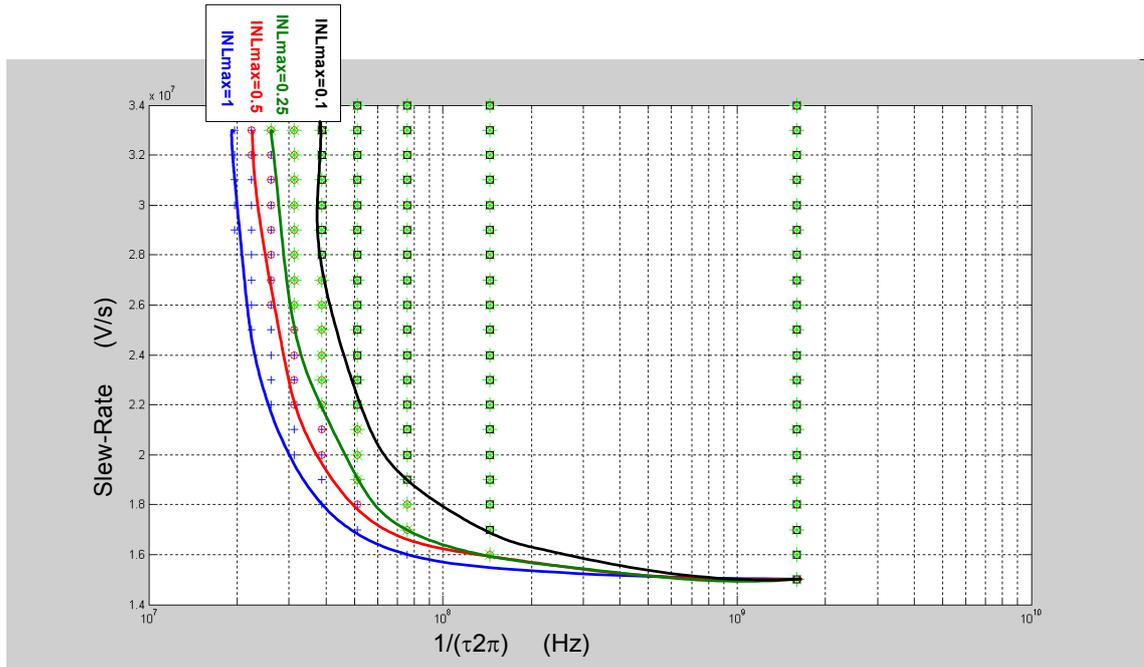


Figura 3-10. Máxima INL en función del ancho de banda del amplificador y el Slew-Rate.

Utilizando la gráfica anterior se puede determinar el ancho de banda necesario en función del *slew-rate* del amplificador. Por ejemplo, con un *slew-rate* de 20V/μs, necesitaremos unos 100MHz de producto ganancia ancho de banda (el doble de $\frac{1}{\tau 2\pi}$) para una INL menor de 0.25 LSBs.

3.3.3 Tamaño de las capacidades

El tamaño de las capacidades utilizadas en el cálculo del residuo determina el consumo del amplificador operacional, y por tanto, del convertidor completo. Por esa razón, las capacidades deben ser lo menores posible. Sin embargo, existen dos factores que limitan el tamaño de estas capacidades:

3.3.3.1 Ruido térmico

En un circuito de capacidades conmutadas el ruido $\frac{KT}{C}$ introducido durante el proceso de muestreo es inversamente proporcional al tamaño de la capacidad. Basándonos en este principio, y teniendo en cuenta que el ruido máximo admitido viene dado por la resolución del convertidor, es posible calcular la capacidad de muestreo mínima.

La potencia total de ruido debida al proceso de muestreo viene dada por la siguiente ecuación:

$$\overline{v_{out}^2} = \frac{kT}{C_s} \tag{3.12}$$

Por otra parte, la potencia correspondiente al ruido de cuantización para una entrada senoidal, bajo supuesto de ruido blanco, puede expresarse como:

$$\varepsilon_q^2 = \frac{\Delta^2}{12} \tag{3.13}$$

donde $\Delta = \frac{V_{REF}}{2^n}$ se corresponde con el tamaño del escalón de cuantización de un convertidor de n bits y V_{REF} representa la tensión de fondo de escala. Para un convertidor de 10 bits de resolución y una tensión de fondo de escala de 2V, $\Delta=1.9531$ mV y $\epsilon_q^2=0.3179$ μ W y para un convertidor de 8 bits y una misma FS, $\Delta=7.8125$ mV y $\epsilon_q^2=5.0863$ μ W.

La relación señal a ruido a la salida para una entrada analógica senoidal de amplitud $\frac{V_{REF}}{2}$, expresada en decibelios, viene dada por la expresión:

$$SNR=6.02 n+1.76 \quad (3.14)$$

donde n representa, como se ha mencionado, el número de bits de resolución. En nuestro caso, SNR=61.96 para 10 bits y SNR=49.92 dB para 8 bits. Si asumimos una desviación de 1 dB respecto a la relación señal a ruido ideal, la capacidad de carga permitida a la salida del amplificador será de $CL \geq 49.91$ fF para 10 bits y $C_L \geq 3.12$ fF para 8 bits, valor suficientemente bajo para concluir que el ruido térmico no es un factor determinante a la hora de fijar el tamaño mínimo de las capacidades empleadas en el cálculo del residuo en ninguna de las dos resoluciones consideradas.

3.3.3.2 Desapareamiento entre capacidades

Cualquier variación en el cociente C_f/C_s producirá una desviación en la ganancia del residuo, que no se compensaría en la corrección digital. Por otro lado, mientras más pequeña sean las capacidades peor es el apareamiento entre ellas. En nuestro caso, el mínimo valor de las capacidades vendrá limitado por este efecto.

Para desarrollar el modelo se ha utilizado la ecuación (3.1), teniendo en cuenta que $V_{REF}=2V_{DAC}$, siendo V_{ref} la tensión de referencia utilizada en el circuito de capacidades conmutadas de la Figura 3-5 y V_{DAC} la salida del DAC en el modelo ideal de la Figura 3-4.

El desapareamiento entre capacidades se medirá mediante el parámetro ϵ , que viene dado por la siguiente ecuación:

$$\frac{C_s}{C_f} = 1 + \epsilon \quad (3.15)$$

La tensión de salida considerando el desapareamiento entre capacidades queda:

$$V_{out} = 2(V_{in} - V_{DAC}) + \epsilon(V_{in} - V_{DAC}) \quad (3.16)$$

La Figura 3-11 representa la máxima INL medido (en LSB) en función del desapareamiento de las capacidades de la primera etapa (ϵ) en tanto por ciento. La Figura 3-12 representa la misma gráfica en función del desapareamiento de las capacidades de la segunda etapa. Se puede comprobar que el máximo desapareamiento permitido en la primera etapa es de 0.05%, mientras que en la segunda es de 0.1%.

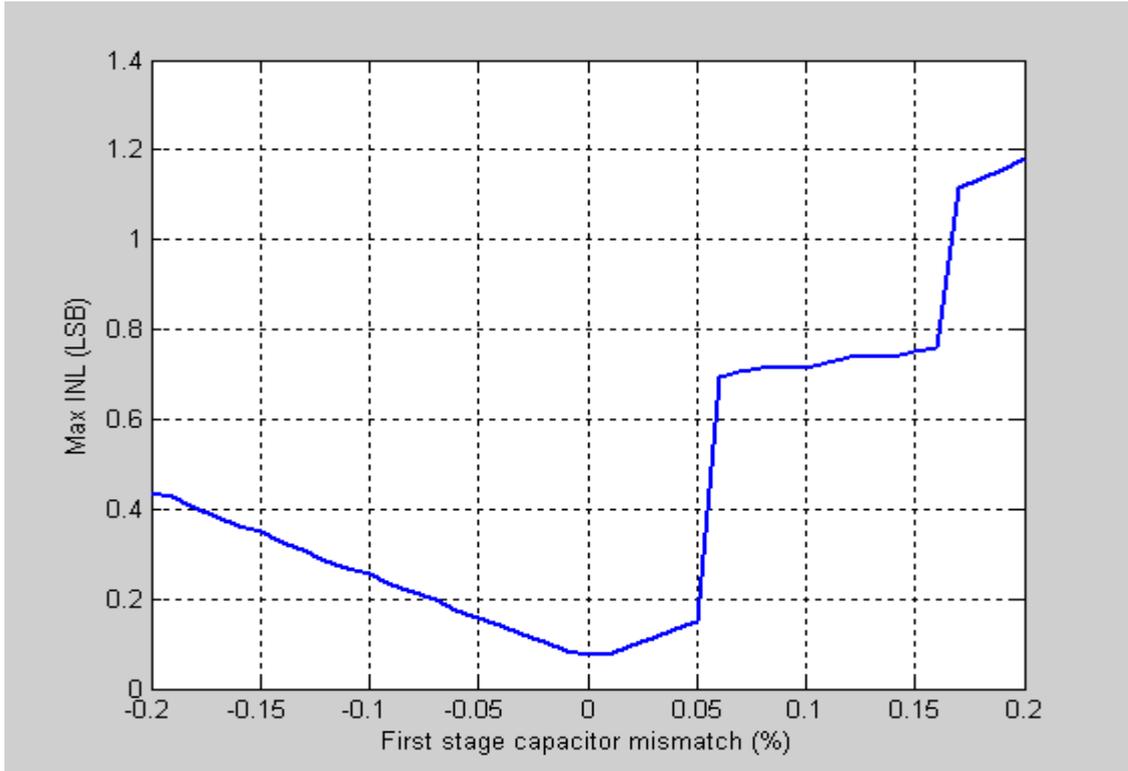


Figura 3-11. Máxima INL frente al desapareamiento entre las capacidades de la primera etapa.

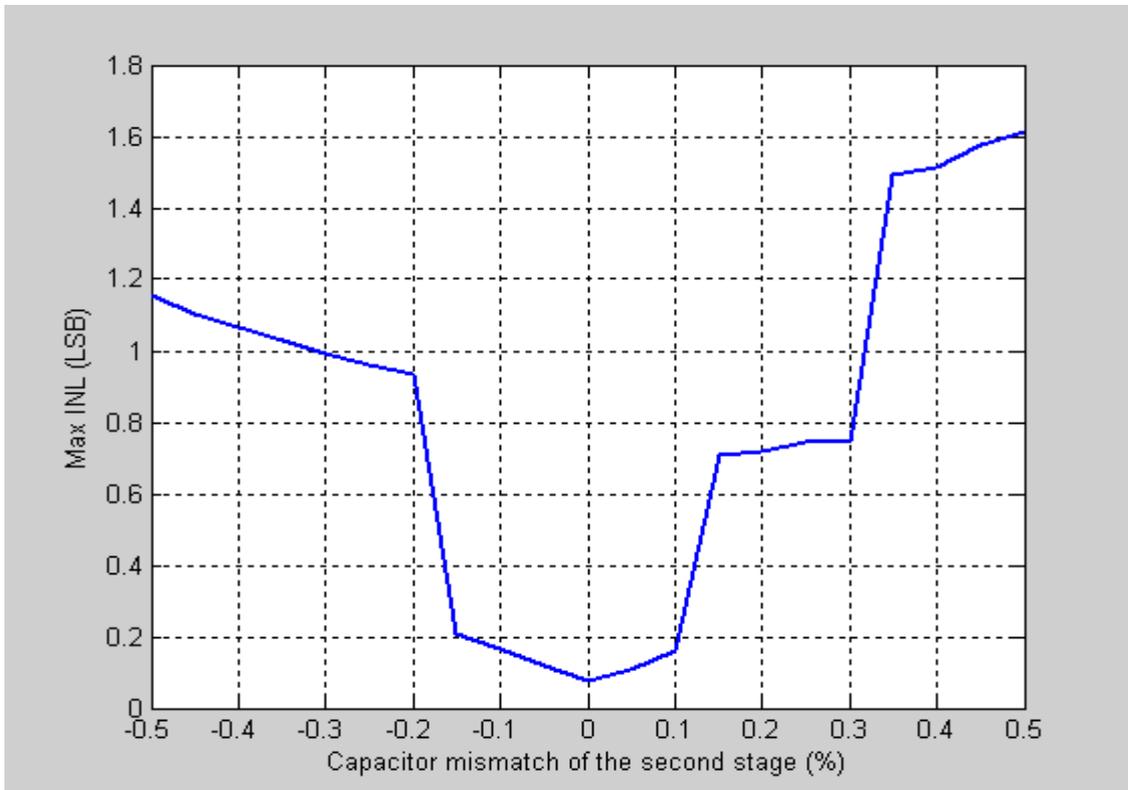


Figura 3-12. Máxima INL frente al desapareamiento entre las capacidades de la segunda etapa

A continuación se calculará el valor mínimo de la capacidad utilizando los parámetros de apareamiento proporcionados por el fabricante. En [ENG228] se presentan los parámetros principales de apareamiento entre transistores MOS, resistencia y condensadores para los valores típicos de la tecnología. El apareamiento entre condensadores sigue una distribución normal de media cero y desviación típica σ dada por:

$$\sigma\left(\frac{\Delta C}{C}\right) = \frac{A_c}{\sqrt{WL}} \quad (3.17)$$

Donde A_c es un parámetro tecnológico de valor 1.2 para las capacidades de doble polisilicio. W y L son la anchura y longitud de la capacidad medida en μm .

La diferencia relativa de las capacidades viene dada en tanto por ciento y se define en la siguiente ecuación.

$$\frac{\Delta C}{C} = \frac{200(C_1 - C_2)}{C_1 + C_2} \quad (3.18)$$

De (3.15) y (3.18) se deduce que:

$$\frac{\Delta C}{C} = 200 \frac{\varepsilon}{1 + \varepsilon} \approx 200\varepsilon \quad (3.19)$$

Por tanto, para la primera etapa $\frac{\Delta C}{C}$ debe ser menor que 0.05% en el caso de una resolución de 10

bits. Considerando una distribución gaussiana podemos deducir que la probabilidad de que $\frac{\Delta C}{C}$ sea menor que 3σ es del 99.8%, quedando un área de $36\mu\text{m}$ por $36\mu\text{m}$ que se corresponde con un valor de 1.12pF. Se pueden llevar a cabo cálculos similares para el caso de una resolución de 8 bits, obteniéndose un valor de capacidades de unos 500fF, la mitad que el caso de un convertidor de 10 bits.

3.4 Técnicas de reducción de potencia

La principal aportación de esta tesis doctoral es la combinación de diferentes técnicas para reducir el consumo de potencia [Palomo08] en el convertidor pipeline de la Figura 3-5. A continuación se detalla la implementación de dichas técnicas de reducción del consumo.

3.4.1 El amplificador de muestreo y retención

En la mayor parte de los ADC pipeline publicados se utiliza un SHA a la entrada de la cadena con una linealidad suficientemente buena. Esta etapa suele ser una de las mayores contribuyentes al consumo total del sistema, con un valor de una tercera parte del consumo aproximadamente [Min03].

El SHA dedicado ha sido eliminado en nuestro diseño [Cline96] de forma que la operación de muestreo se lleva a cabo por las capacidades conmutadas del amplificador de residuo MDAC (*multiplying digital-to-analog converter*) de la primera etapa. En este caso, es necesario prestar especial atención a los interruptores de entrada implicados en el proceso de muestreo.

En el capítulo 5 de esta tesis doctoral se analizarán las fuentes de errores propias de los interruptores CMOS, las limitaciones que presentan en las aplicaciones de baja tensión y, a partir de ellas, se mencionan técnicas existentes para mejorar la linealidad, finalmente se propone alguna técnica nueva basándose en el transistor de puerta casi flotante. En el diseño propuesto en el presente capítulo se ha aplicado una técnica

especial denominada 'clock-boosting' o elevación de la tensión de reloj [Abo99] para aumentar la linealidad hasta el valor requerido por las especificaciones del diseño.

La idea básica de esta técnica se basa en la expresión de la conductancia de un interruptor MOS, que viene dada por la expresión:

$$g_m = \frac{1}{2} K \frac{W}{L} (V_{GS} - V_T - V_{DS}) \quad (3.20)$$

Donde puede observarse que la linealidad mejora significativamente si la tensión puerta-fuente V_{GS} se mantiene constante e independiente del valor de la tensión de entrada. La Figura 3-13 ilustra el principio de la técnica de elevación de tensión.

La Figura 3-14 muestra una posible implementación de la idea mediante un Circuito S/H con elevación de la tensión de reloj y funcionamiento en el rango completo de la señal de entrada descrito en [Brooks97]. En este circuito, en el estado de encendido la tensión de puerta V_G será siempre $(V_{DD}+V_S)$ por lo que la tensión puerta-fuente V_{GS} será constante y el valor de resistencia del interruptor independiente de la señal de entrada.

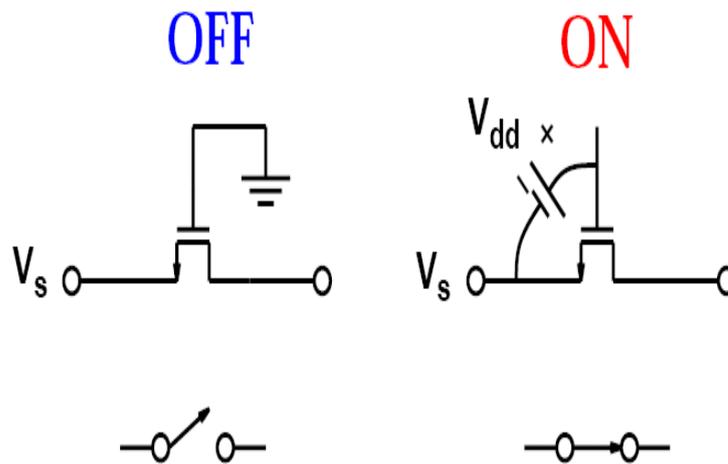


Figura 3-13. Principio de la técnica de elevación de tensión

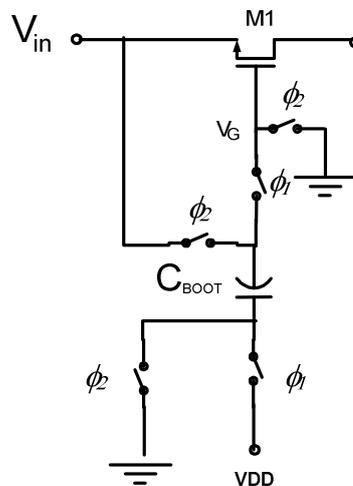


Figura 3-14. Circuito S/H con elevación de la tensión de reloj y funcionamiento en el rango completo de la señal de entrada.

La Tabla 3-2 muestra los tamaños de los diferentes transistores con los que se ha diseñado el circuito de la Figura 3-14.

0.35 μm AMS-CMOS	W (μm)	L (μm)
Interruptor M1	30	0,35
Transistores n	3	0,35
Transistores p	9	0,35
C_{BOOT}	1 pF	

Tabla 3-2. Valores del circuito diseñado a partir de la Figura 3-14

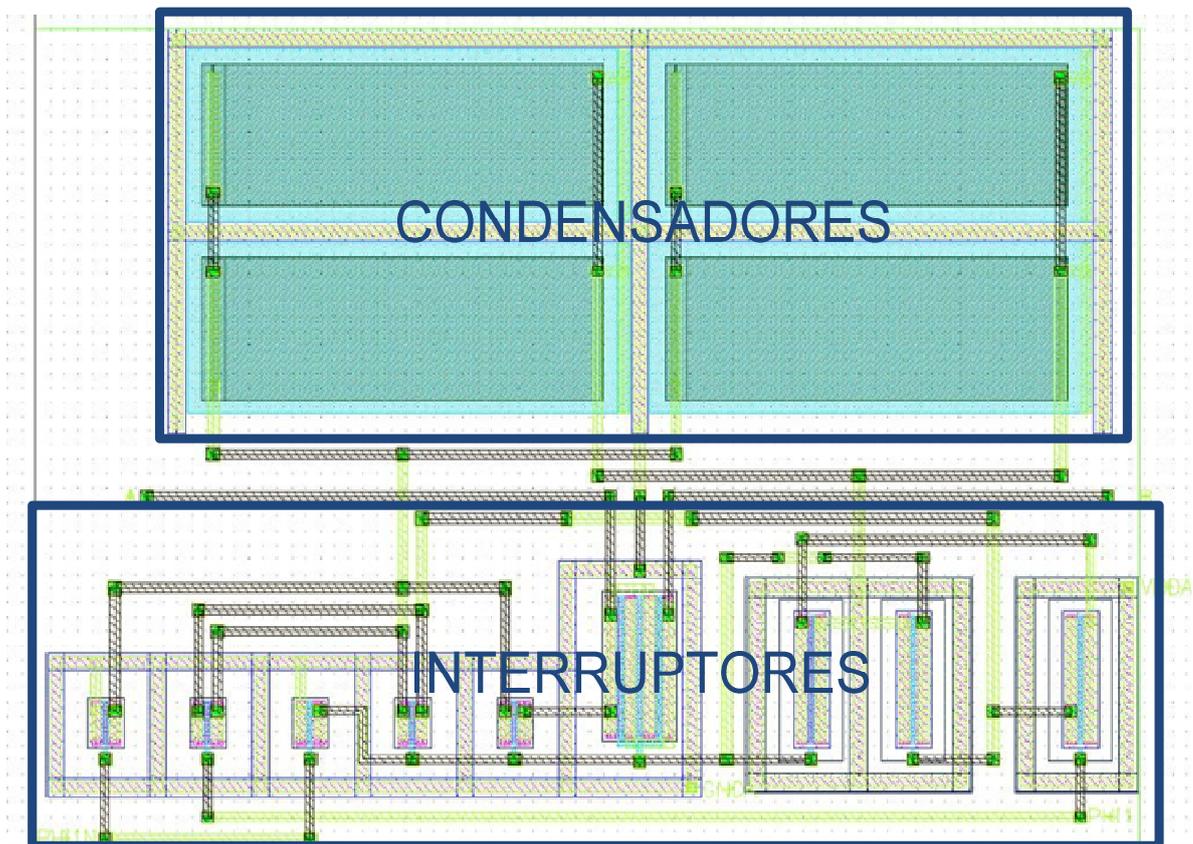


Figura 3-15. Layout del Circuito S/H con elevación de la tensión de reloj y funcionamiento en el rango completo de la señal de entrada.

La Figura 3-15 muestra el layout descrito en la Figura 3-14 y en la Tabla 3-2, donde se han agrupado los interruptores por un lado y las capacidades por otro siguiendo el diagrama de situación genérico de un circuito de condensadores conmutados.

3.4.2 Escalado de capacidades

Tal como analizamos en el apartado 3.3.3 del presente capítulo, el tamaño de las capacidades se encuentra limitado por el desapareamiento entre capacidades en lugar del ruido térmico. Por una parte, el desapareamiento empeora a medida que el tamaño de las capacidades en el MDAC se reduce. Por otro lado, un tamaño de capacidades demasiado grande se traduciría en un mayor consumo de potencia y una velocidad más baja.

La linealidad de la primera etapa en un ADC pipeline debe corresponderse con la resolución total de convertidor, en nuestro caso 8 bits. A medida que vamos avanzando en la cadena, las especificaciones con respecto a la linealidad se relajan al no tener en cuenta los bits ya convertidos. Por tanto, las especificaciones de las diferentes etapas serán cada vez menos restrictivas, lo que permite dividir la capacidad por un determinado factor de escalado entre una etapa y la siguiente.

En [Cline96] se desarrolla un estudio analítico para determinar, asumiendo una serie de simplificaciones, el factor de escalado óptimo que minimiza el consumo de potencia de un ADC pipeline completo. El análisis se centra en dos parámetros fundamentales, el tiempo de establecimiento y el ruido total referido a la entrada. En nuestro caso, nos encontramos con una resolución por etapa constante para todas las etapas. El factor de escalado (s) se define como la relación entre los condensadores de muestreo de dos etapas consecutivas. El procedimiento a seguir consta de dos pasos, en primer lugar se determina el valor óptimo de s en función de la resolución por etapa y, a continuación, se obtiene el valor óptimo de la resolución por etapa (n).

La Figura 3-16 muestra el modelo simplificado resultante del SHA durante la fase de cálculo de residuo, donde C_{Sk} y C_{Fk} representan, respectivamente, la capacidad de muestreo y la capacidad de realimentación asociada a la etapa k -ésima. Se han considerado las siguientes simplificaciones:

- La resistencia en conducción de los interruptores MOS se considera despreciable
- El amplificador operacional se modela como un amplificador de transconductancia OTA (*Operational transconductance amplifier*) con una transconductancia g_{mk} y una capacidad de entrada equivalente de C_{Gk} .
- Asumimos que el tiempo de establecimiento del amplificador está limitado por el ancho de banda del OTA en lugar de el *slew-rate*, por lo que efecto del *slew-rate* se considera despreciable. Esta simplificación se considera razonable para frecuencias de muestreo del orden de MHz en la que trabaja nuestro ADC.

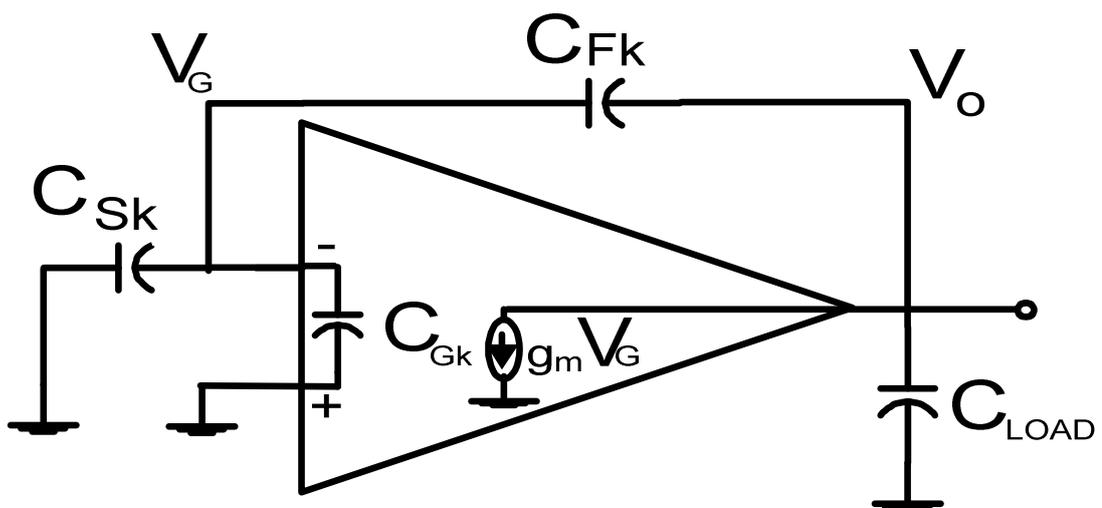


Figura 3-16. Modelo empleado para el amplificador operacional en el análisis de pequeña señal.

A partir de la Figura 3-16, la transconductancia g_{mk} requerida para la etapa k -ésima del ADC pipeline, y por ende la potencia requerida, es proporcional a la siguiente fórmula:

$$g_{mk} \approx \frac{C_{LOAD}}{t_S} \left(2^n + \frac{C_{Gk}}{C_{Fk}} \right) \quad (3.21)$$

Donde C_{LOAD} es la capacidad de carga (el paralelo de la capacidad de muestreo de la siguiente etapa, la capacidad de entrada de los comparadores y la capacidad parásita, en nuestro caso), t_S es el tiempo de establecimiento y n es la resolución por etapa.

Para comprender de manera intuitiva la tendencia básica, consideremos en primer lugar que cada OA tiene como carga únicamente su red de realimentación, despreciando las capacidades incluidas en el término C_{LOAD} . Bajo este supuesto, el consumo de potencia se puede aproximar por la ecuación (3.22) donde la potencia es proporcional a la suma de las capacidades de muestreo de todo el ADC pipeline.

$$\text{Consumo del convertidor} \propto \sum C_{Sk} \quad (3.22)$$

Si representamos este consumo frente al parámetro denominado factor de estrechamiento (x) definido por la ecuación (3.23), que relaciona la resolución por etapa (n) y el factor de escala (s), obtenemos unas curvas parabólicas [Cline96] de las que podemos inferir algunas conclusiones.

$$S=2^{nx} \quad (3.23)$$

El valor de $x=0$ equivale al caso donde cada etapa es idéntica ($S=1$, no existe escalado alguno). En esta situación, todas las etapas contribuyen de la misma forma al consumo del convertidor, pero el ruido térmico dominante es el de la primera etapa. El valor de $x=2$ ($S=2^{2n}$) equivale al caso donde el escalado utilizado es muy agresivo. En este ejemplo, cada etapa contribuye de la misma forma al ruido térmico, pero el consumo de la primera etapa es dominante en el consumo del convertidor completo. El caso óptimo, un consumo de potencia mínimo, deberá encontrarse en un punto intermedio. Bajo las suposiciones anteriores, corresponde al valor $x=1$ ($s=2^n$) donde el ruido térmico y el consumo de potencia predominante es el de la primera etapa del ADC pipeline.

Podemos llegar a una expresión más exacta de (3.22) si incluimos el término C_{LOAD} . La ecuación (3.24) tiene en cuenta este condensador y relaciona el consumo con la resolución por etapa (n) y el factor de estrechamiento (x).

$$\text{Consumo del convertidor} \propto \left[2^{n(1-x)} + 1 - \frac{1}{2^n} \right] \sum C_{Sk} \quad (3.24)$$

Si representamos el consumo del convertidor descrito por la ecuación (3.24) en función de x , el valor óptimo de x en las curvas obtenidas [Cline96] es algo mayor que en el caso anterior, resultando un número comprendido entre 1 y 1.5. Además, se llega a la conclusión de que el valor óptimo es mayor cuanto mayor sea la resolución por etapa (n).

Por tanto, en nuestro caso particular en el que todas las etapas se han escogido con una resolución de 1.5 bits RSD, el mínimo del consumo de potencia se consigue si el factor de escalado de las capacidades de muestreo es próximo a la ganancia del amplificador de residuo de la etapa. En nuestro diseño, el tamaño de las capacidades de muestreo se divide por la mitad al avanzar una etapa en la cadena, puesto que la ganancia de nuestro MDAC es de 2. El valor de las capacidades del ADC propuesto se muestra en la Tabla 3-3. El tamaño mínimo para las capacidades se ha escogido de forma que las capacidades parásitas del circuito una vez fabricado no influyan en el normal funcionamiento del circuito, estableciéndose que no haya en el diseño ningún condensador con un valor por debajo de los 100 fF.

0.35 μm AMS-CMOS	C (fF)
Etapa 1	250
Etapa 2-6	125

Tabla 3-3. Escalado de capacidades en el ADC propuesto

3.4.3 Topología del amplificador operacional

El amplificador operacional es el bloque crítico en el diseño por ser el contribuyente principal a la potencia consumida del convertidor. En el capítulo 4 de esta tesis doctoral se analizarán los amplificadores de transconductancia en aplicaciones SC desde el punto de vista del consumo de potencia, además de introducir diferentes técnicas de elevación de ganancia y sus limitaciones. Finalmente, se presenta una nueva técnica de elevación de ganancia apropiada a las especificaciones que se están buscando para el ADC propuesto.

Como se requiere bajo consumo, se ha elegido la topología de cascodo telescópico, puesto que presenta solo dos ramas cuyas corrientes están relacionadas con las capacidades de carga. Además, este tipo de amplificadores proporcionan un excelente producto ancho de banda (GBW) y un bajo ruido [Razavi01]. Para conseguir suficiente ganancia DC, se ha aplicado una técnica de elevación de ganancia a los transistores cascodo del amplificador telescópico. Para obtener suficiente rango de salida en el amplificador, se ha elegido un circuito elevador con un amplio rango de variación [Liu04].

La Figura 3-17 muestra la topología del amplificador telescópico con elevación de ganancia y amplio rango de salida escogida para el ADC pipeline, mientras que la Figura 3-18 recoge en detalle el esquema del circuito elevador de ganancia empleado en la Figura 3-17.

La Tabla 3-4 y la Tabla 3-5 muestran los tamaños de los diferentes transistores con los que se ha diseñado las arquitecturas descritas en la Figura 3-17 y en la Figura 3-18, respectivamente.

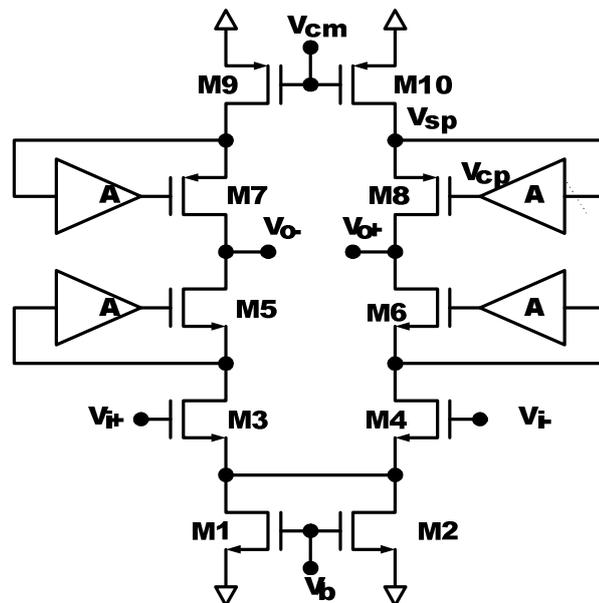


Figura 3-17. Topología del amplificador telescópico con elevación de ganancia y amplio rango de salida

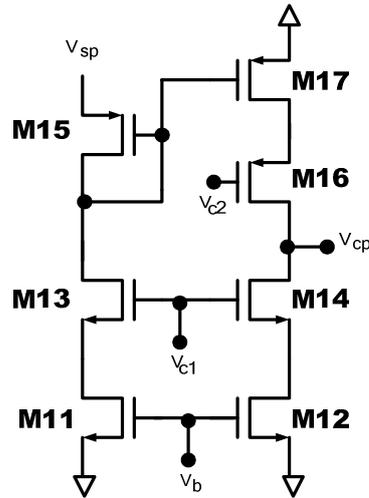


Figura 3-18. Circuito elevador de ganancia con un amplio rango de variación

0.35 μm AMS-CMOS	W (μm)	L (μm)
M1,M2	25	0,35
M3,M4	25	0,35
M5,M6	25	0,35
M7,M8	75	0,35
M9,M10	75	0,35

Tabla 3-4. Tamaño de los transistores del amplificador operacional cascado telescópico (Etapas 3-6)

0.35 μm AMS-CMOS	W (μm)	L (μm)
Transistores p	6	0,35
Transistores n	2	0,35

Tabla 3-5. Tamaño de los transistores del circuito elevador de ganancia

La Figura 3-19 muestra el layout del circuito de la Figura 3-17, incluyendo el circuito elevador de ganancia de la Figura 3-18, donde se ha hecho un especial esfuerzo en buscar la simetría para un correcto apareamiento entre componentes.

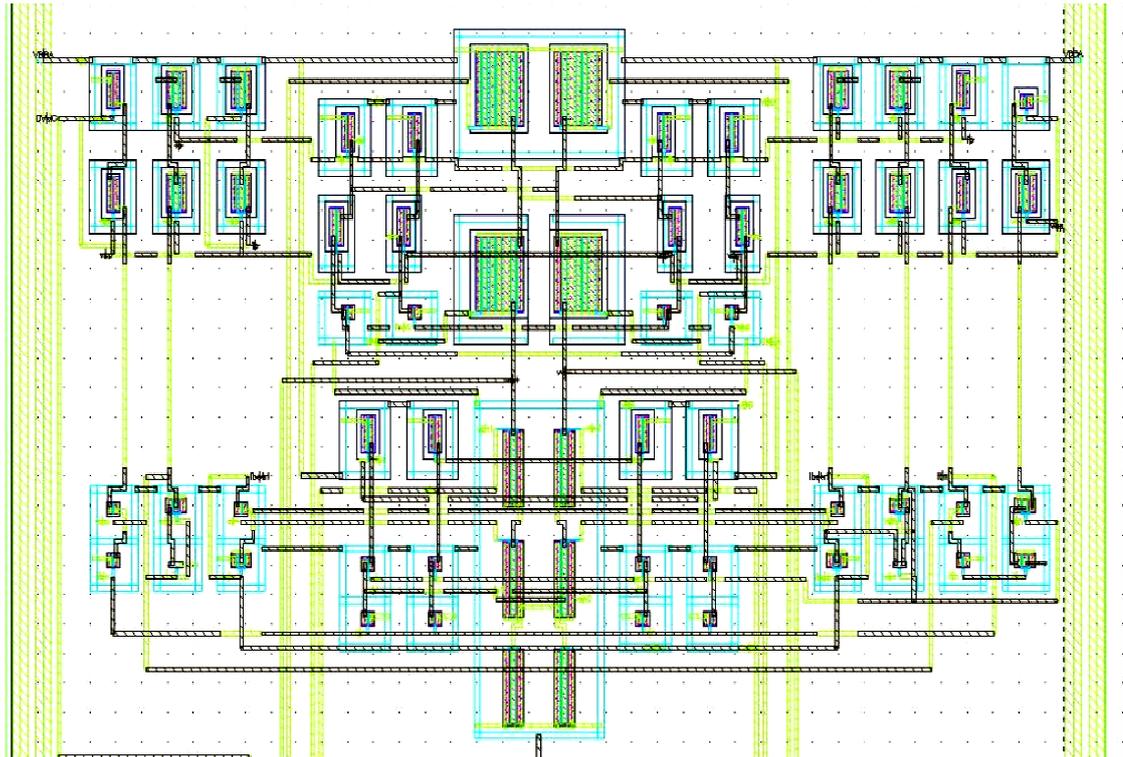


Figura 3-19. Layout del circuito amplificador telescópico con elevación de ganancia y amplio rango de salida.

	Valores	Unidades
Ganancia DC	80	dB
Frecuencia unidad	430	MHz
Margen de fase	78	°
Rango de señal de entrada/señal de salida	0,9-1,9	V
Consumo de potencia	1,35	mW

Tabla 3-6. Resumen de las especificaciones del amplificador operacional (2.5 V de tensión de alimentación)

En la Tabla 3-6 se describe el comportamiento del amplificador operacional. Como se puede observar, para una capacidad de carga igual al máximo valor de capacidad escogido (250fF), el amplificador diseñado puede conseguir una ganancia DC de 80dB y un producto ganancia ancho de banda unidad de 430 MHz. Estos valores se ajustan a las especificaciones requeridas según las simulaciones a nivel de sistema desarrolladas en el apartado 3.3.1 y 3.3.2.

3.4.4 Convertidor analógico digital

3.4.4.1 Comparador basado en un divisor de tensión capacitivo

El comparador es un bloque funcional clave en el ADC. Una comparación es en realidad la amplificación de una determinada señal de entrada, en general pequeña, a un nivel suficientemente alto, una salida lógica de UNO o CERO, para ser detectado por un circuito de lógica digital. La Figura 3-20 describe la característica de transferencia de un comparador ideal, donde se produce una transición abrupta equivalente a una ganancia infinita para $V_{IN,1}-V_{IN,2}=0$. Esta función de transferencia no lineal puede aproximarse por la de un amplificador de alta ganancia como se describe en la Figura 3-21. En este caso, la pendiente de la curva característica alrededor de $V_{IN,1}=V_{IN,2}$ es igual a la ganancia de pequeña señal del amplificador en su zona activa (A_V) y la salida alcanza el nivel de saturación si $|V_{IN,1}-V_{IN,2}|$ es suficientemente elevado. Por tanto, una forma sencilla de aumentar la resolución del comparador sería aumentar su ganancia A_V .

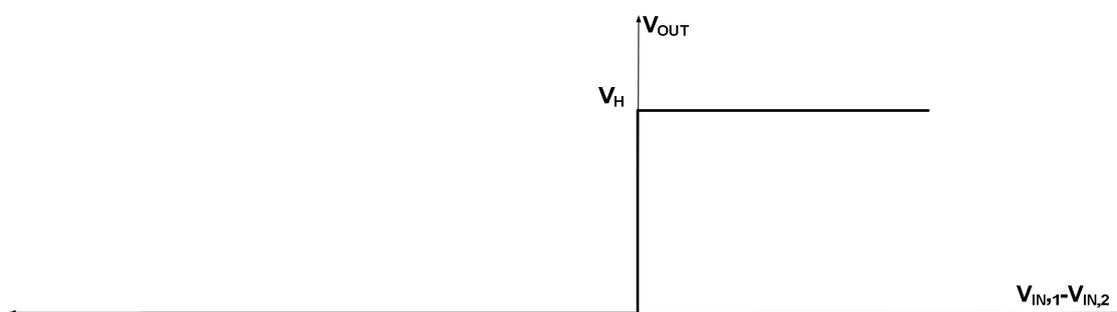


Figura 3-20. Característica de transferencia de un comparador ideal.

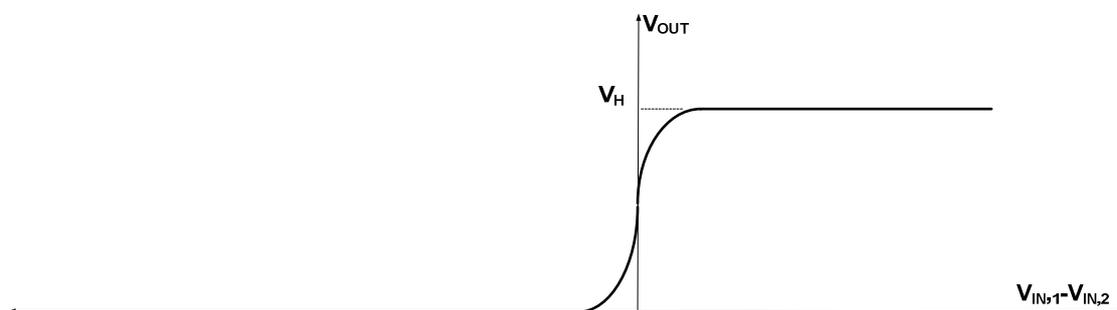


Figura 3-21. Característica de transferencia de un amplificador de alta ganancia.

Como los amplificadores empleados en los comparadores no trabajan en zona lineal o realimentados, es posible aplicar una realimentación positiva para conseguir una ganancia elevada. Sin embargo, si se quiere evitar el efecto de *latch-up*, la realimentación debería activarse en el momento adecuado. Es decir, la ganancia del comparador debe cambiar bajo demanda de un valor relativamente bajo a un valor elevado.

La Figura 3-22 ilustra una arquitectura típica de comparador, muy utilizada en ADCs. Consiste en un preamplificador A_1 y un *latch* y tiene dos modos de funcionamiento: seguimiento y conmutación. En seguimiento, A_1 está habilitado para amplificar la diferencia de tensiones a la entrada. Se dice así que la salida "sigue" a la entrada mientras que el *latch* está deshabilitado. En conmutación, A_1 está deshabilitado y la salida instantánea de A_1 es regenerativamente amplificada hasta producir un nivel lógico en la salida V_{OUT} . Nótese que hemos asumido que el flanco de reloj es suficientemente rápido para que la salida de A_1 no cambie durante la transición de la fase de seguimiento a la de conmutación.

Una ventaja adicional asociada a la arquitectura de la Figura 3-22 frente a un amplificador de alta ganancia simple es que la señal de *strobe* (CK) puede servir para definir el instante de muestreo en el que el valor de la entrada es almacenado, concepto ampliamente utilizado en aplicaciones SC, como es nuestro caso.

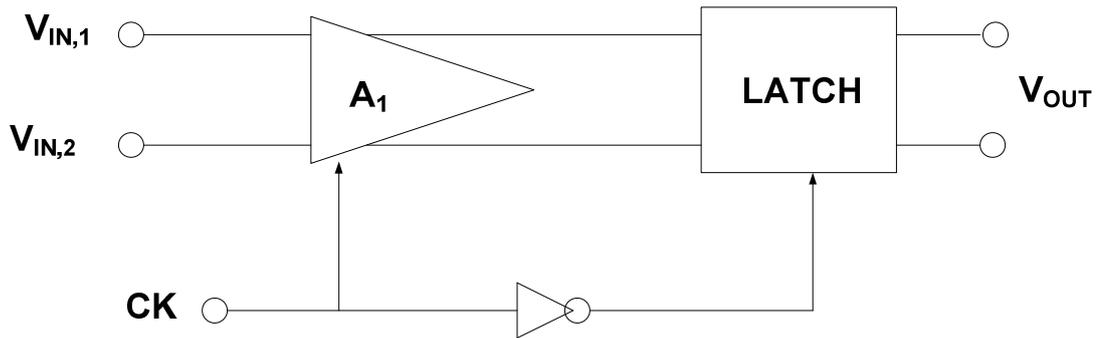


Figura 3-22. Arquitectura típica de un comparador.

Antes de describir la topología del comparador escogido, vamos a comentar algunos aspectos de su comportamiento a tener en cuenta en el diseño.

- La metaestabilidad es un fenómeno relacionado con la salida del comparador en presencia de una entrada pequeña. Dado que tiempo de regeneración del *latch* es función de la constante de tiempo de los inversores que lo componen, además de estar relacionado en forma logarítmica con las tensiones a su entrada [Razavi95], si en el instante de muestreo la tensión diferencial de entrada es muy pequeña, como la ganancia del *latch* no es infinita, el tiempo de regeneración puede ser bastante largo. Para atenuar este efecto, se busca una ganancia elevada o una constante de tiempo pequeña.
- El offset del comparador aparece debido al desapareamiento entre transistores que deberían ser idénticos, en cada una de las ramas del circuito. El mismatch relativo es, por tanto, un factor que también debería tenerse en cuenta.
- Histéresis es la cualidad de un comparador de modificar su umbral de decisión en función de la tensión de entrada [Allen02]. Explicado de una forma más clara, cuando la entrada supera el umbral de decisión, la salida del comparador cambia y el umbral de decisión se reduce de forma que la tensión de entrada tenga que alcanzar un valor de tensión menor antes del que la salida del comparador cambie otra vez de estado. Este tipo de comportamiento es deseable porque supone una protección contra el ruido a la entrada.
- El *kickback noise* es la potencia de ruido transitorio observado a la entrada del comparador como consecuencia de la conmutación del comparador.

El ADC de cada etapa pipeline consiste en dos comparadores completamente diferenciales (Figura 3-23).

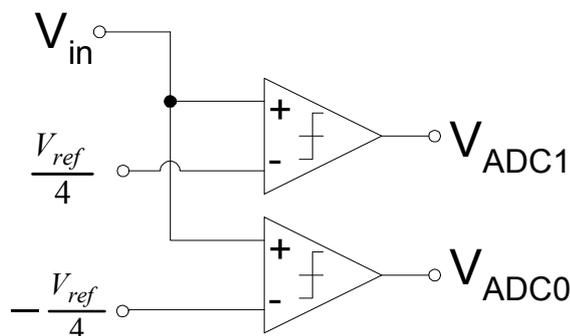


Figura 3-23. ADC de 1.5 bits.

En la Figura 3-23, el umbral de comparación está en $V_{ref}/4$ y $-V_{ref}/4$, y el rango de entrada varía de V_{ref} a $-V_{ref}$ diferencial. Para generar el umbral de comparación, la mayoría de los convertidores generan una fracción de la tensión de referencia utilizando un divisor de tensión resistivo. Dado que dicha configuración

no es óptima desde el punto de vista del consumo de potencia, es preferible usar un divisor de tensión capacitivo [Mangelsdorf93] como el que se muestra en la Figura 3-24.

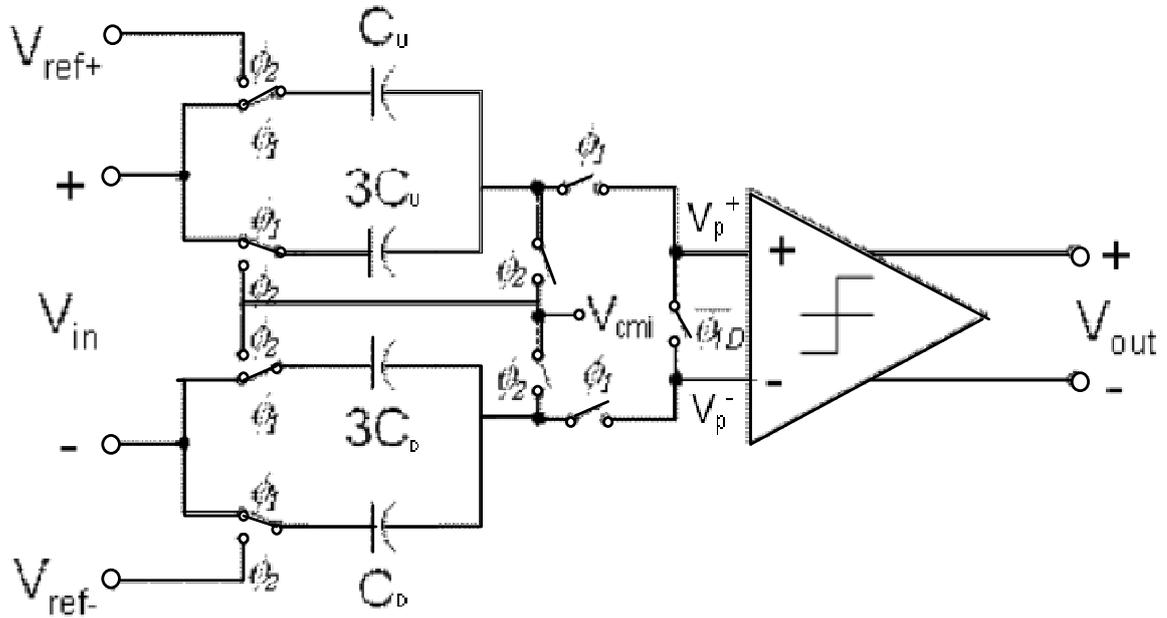


Figura 3-24. Comparador diferencial

Este comparador SC opera en dos fases de reloj no solapadas. Durante la fase ϕ_2 (instante $n-1/2$, semiperiodo par) V_{ref} es muestreada en la capacidad C , mientras que la entrada de la capacidad $3C$ es cortocircuitada al modo común. Las ecuaciones (3.25) a (3.28) muestran las tensiones almacenadas en las capacidades, tanto en la capacidad superior, como la inferior del montaje diferencial.

$$V_{Cu}^e(n - \frac{1}{2}) = V_{cmi} - V_{ref}^+ \quad (3.25)$$

$$V_{3Cu}^e(n - \frac{1}{2}) = 0 \quad (3.26)$$

$$V_{Cd}^e(n - \frac{1}{2}) = V_{cmi} - V_{ref}^- \quad (3.27)$$

$$V_{3Cd}^e(n - \frac{1}{2}) = 0 \quad (3.28)$$

Durante la fase ϕ_1 (instante $n-1$, semiperiodo impar), las capacidades C y $3C$ se conectan entre sí y la carga se distribuye entre ellas. Las ecuaciones(3.29) a (3.32) muestran la tensión aplicada a cada uno de los condensadores en función de la tensión de entrada diferencial V_{in}^+ y V_{in}^- , así como la tensión a la entrada del comparador V_p^+ y V_p^- .

$$V_{Cu}^o(n-1) = V_p^{+o}(n-1) - V_{in}^{+o}(n-1) \quad (3.29)$$

$$V_{3Cu}^o(n-1) = V_p^{+o}(n-1) - V_{in}^{+o}(n-1) \quad (3.30)$$

$$V_{Cd}^o(n-1) = V_p^{-o}(n-1) - V_{in}^{-o}(n-1) \quad (3.31)$$

$$V_{3Cd}^o(n-1) = V_p^{-o}(n-1) - V_{in}^{-o}(n-1) \quad (3.32)$$

Las ecuaciones (3.33) y (3.34) muestran como queda la tensión almacenada después de aplicar el principio de conservación de carga en cada una de las entradas del comparador.

$$C_u [V_p^{+o}(n-1) - V_{in}^{+o}(n-1)] + 3C_u [V_p^{+o}(n-1) - V_{in}^{+o}(n-1)] = C_u [V_{cmi} - V_{ref}^+] \quad (3.33)$$

$$C_d [V_p^{-o}(n-1) - V_{in}^{-o}(n-1)] + 3C_d [V_p^{-o}(n-1) - V_{in}^{-o}(n-1)] = C_d [V_{cmi} - V_{ref}^-] \quad (3.34)$$

La tensión que aparecerá en cada una de las entradas del comparador queda reflejada en las ecuaciones (3.35) y (3.36), obtenidas a partir de las ecuaciones (3.33) y (3.34) respectivamente. La tensión diferencial se muestra en la ecuación (3.37)

$$V_p^{+o}(n-1) = V_{in}^{+o}(n-1) + \frac{(V_{cmi} - V_{ref}^+)}{4} \quad (3.35)$$

$$V_p^{-o}(n-1) = V_{in}^{-o}(n-1) + \frac{(V_{cmi} - V_{ref}^-)}{4} \quad (3.36)$$

$$V_0^o(n-1) = V_p^{+o}(n-1) - V_p^{-o}(n-1) = (V_{in}^{+o}(n-1) - V_{in}^{-o}(n-1)) - \frac{(V_{ref}^+ - V_{ref}^-)}{4} \quad (3.37)$$

Al final de la fase Φ_1 , el biestable conmuta para hacer la comparación y produce los niveles digitales a la salida V_{out} . Gracias a la técnica de corrección digital que incorporan los ADC pipeline, que permite en el caso de etapas de 1.5 bits variaciones de hasta $\pm V_{REF}/4$ en el umbral del comparador, la sensibilidad del ADC a dichas variaciones es muy baja, permitiendo emplear capacidades de valores muy bajos. C y 3C se escogieron próximos al valor mínimo permitido por la tecnología, aproximadamente 25fF y 75fF (75fF para los comparadores de la última etapa del convertidor).

3.4.4.2 Comparador dinámico sin preamplificador

Una forma de reducir la potencia consumida a costa de perder precisión es por medio del uso de comparadores dinámicos, que se desconectan cuando están inactivos y en los que no se lleva a cabo ningún tipo de preamplificación [Surtaja88], [Kobayashi93]. En este caso, son inevitables elevados valores de offset como resultado del desapareamiento entre transistores y enfatizados por la conmutación entre fases [Uthaichana03].

Esto podría ser un factor limitante en el comportamiento de nuestro ADC. Sin embargo, como se ha comentado en el apartado anterior, los ADC pipeline son muy tolerantes a las especificaciones del comparador, especialmente al offset [Singer00], por el uso de la corrección digital. Este simple algoritmo de corrección permite tolerar el offset hasta $+V_{ref}/2b$ en una etapa con b bits efectivos cuando la tensión de referencia es V_{ref} . Incluso para un diseño de baja tensión este valor es del orden de cientos de milivoltios si

En [Cho95], [Sumanen00], y [Waltari01] se proponen topologías de comparadores dinámicos como las descritas anteriormente. Estas disipan potencia solo cuando conmutan y su punto de disparo puede ser ajustado bien introduciendo un desequilibrio en el transistor de entrada [Cho95], [Sumanen00] o bien mediante escalado de capacidades [Walatri01].

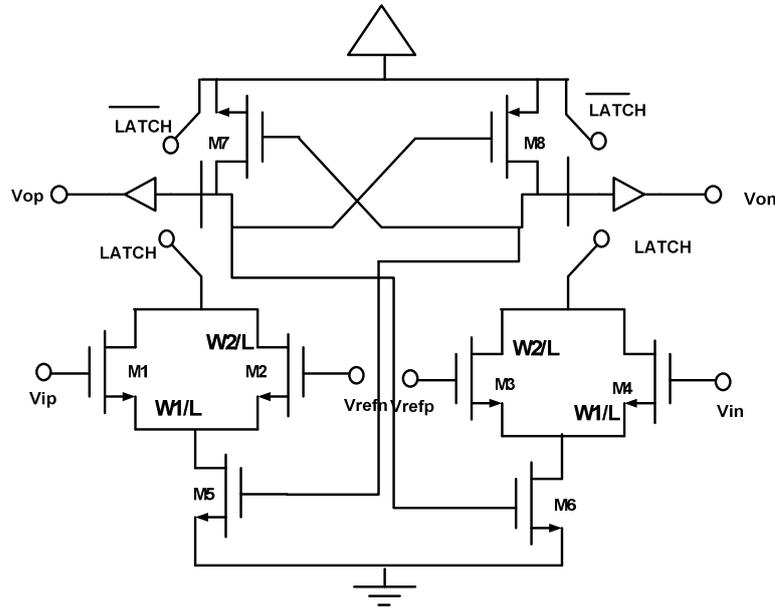


Figura 3-27. Comparador dinámico sin preamplificador.

El comparador seleccionado en el ADC diseñado para las etapas 2 a 6 del ADC pipeline completo es el comparador latch dinámico sin preamplificador que se muestra en la Figura 3-27 [Sumanen02].

Cuando la señal de control LATCH se encuentra a nivel bajo, los interruptores asociados a $\overline{\text{LATCH}}$ se cierran y los interruptores asociados a LATCH se cortan, lo que fuerza ambas salidas diferenciales a V_{DD} y no existe camino de corriente entre los extremos de alimentación. Simultáneamente, M7 y M8 están cortados y los transistores M5 y M6 conducen. Cuando la señal de control LATCH se encuentra a nivel alto, las puertas de los transistores M5 y M6 permanecen aún a V_{DD} y entran en saturación. Si asumimos que todos los transistores M5-M8 están perfectamente apareados, el desequilibrio entre las conductancias de la rama derecha e izquierda, compuesta por M1-M2 y M3-M4, determina qué salida se inclina hasta V_{DD} y qué salida se inclina a 0V. Después de que se alcance una situación estática, ambas ramas se cortan y las salidas mantienen sus valores hasta que el comparador sea reseteado de nuevo conmutando la señal de control LATCH a 0V.

Los buffers invierten la salida y restablecen los niveles lógicos. Las tensiones umbrales de los comparadores se obtienen mediante el escalado de los transistores M1, M2, M3 y M4, cuya transconductancia viene descrita por las ecuaciones (3.38) y (3.39) .

$$\frac{1}{R_1} = K_n \left[\frac{W_1}{L} (V_{ip} - V_{th}) + \frac{W_2}{L} (V_{refn} - V_{th}) \right] \quad (3.38)$$

$$\frac{1}{R_2} = K_n \left[\frac{W_1}{L} (V_{in} - V_{th}) + \frac{W_2}{L} (V_{refp} - V_{th}) \right] \quad (3.39)$$

La relación entre la tensión umbral y el ancho de los transistores viene dada por la ecuación (3.40).

$$(V_{ip} - V_{in}) = \frac{W_2}{W_1} (V_{refp} - V_{refn}) \quad (3.40)$$

De este modo, se puede conseguir el umbral que sea necesario sin más que seleccionar una relación adecuada del ancho de los transistores (W_1/W_2).

La mayor ventaja de este circuito radica en su consumo de potencia. El consumo estático es nulo, mientras que el consumo dinámico obtenido mediante simulaciones a nivel de transistor para una frecuencia de funcionamiento igual a la frecuencia de muestreo del convertidor completo (19 MHz) es de sólo 0.055mW por comparador, lo que equivale a aproximadamente 1mW de consumo debido a todos los subADC del ADC pipeline.

0.35 μ m AMS-CMOS	W (μ m)	DVB-SH
M1,M4	4	0,35
M2,M3	1	0,35
M5,M6 LATCH	10	0,35
M7,M8	30	0,35
LATCH	5	0,35

Tabla 3-7. Resumen de las especificaciones del comparador dinámico sin preamplificador.

La Tabla 3-7 describe el tamaño de los transistores que componen el comparador dinámico sin preamplificador de la Figura 3-27. Los transistores del latch se ajustan de tal forma que el tiempo de subida a la salida en la fase de comparación fuera mínimo. El latch realimentado positivamente formado por los transistores P M7 y M8, se dimensionó con una W el triple del par N, M5 y M6. Para conseguir un umbral de comparación a $V_{REF}/4$, el tamaño de M1 y M4 se ha escogido cuatro veces mayor que el de M2 y M3.

La Figura 3-28 muestra el layout del circuito mostrado en la Figura 3-27. Los interruptores se han agrupado y separado de la parte analógica del latch colocando las capacidades del circuito entre ambos bloques, según se recomienda para los circuitos SC [Barlow89], [Zbinden92].

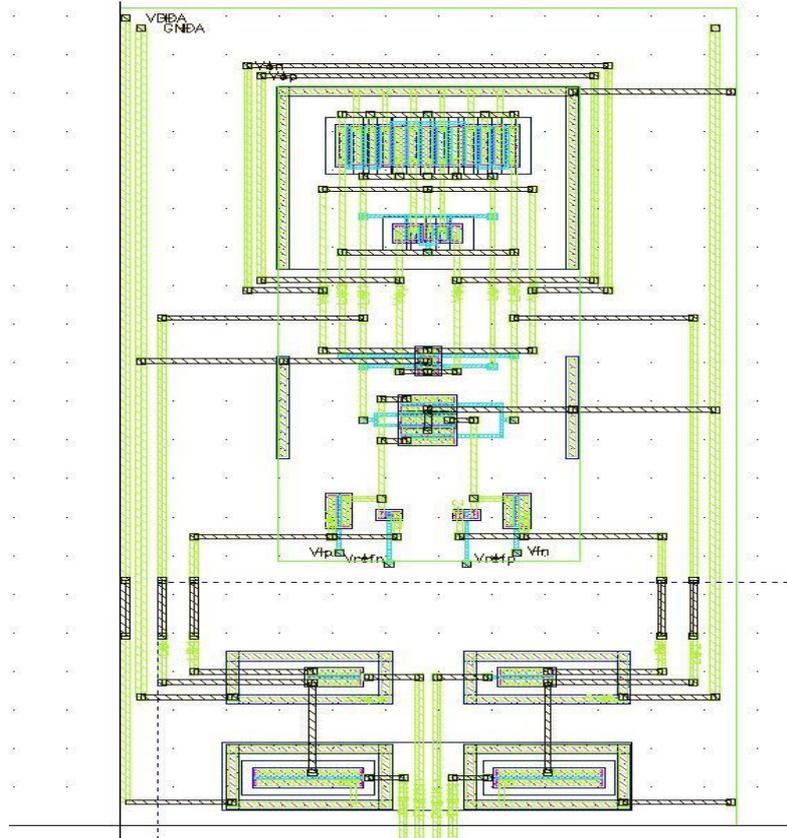
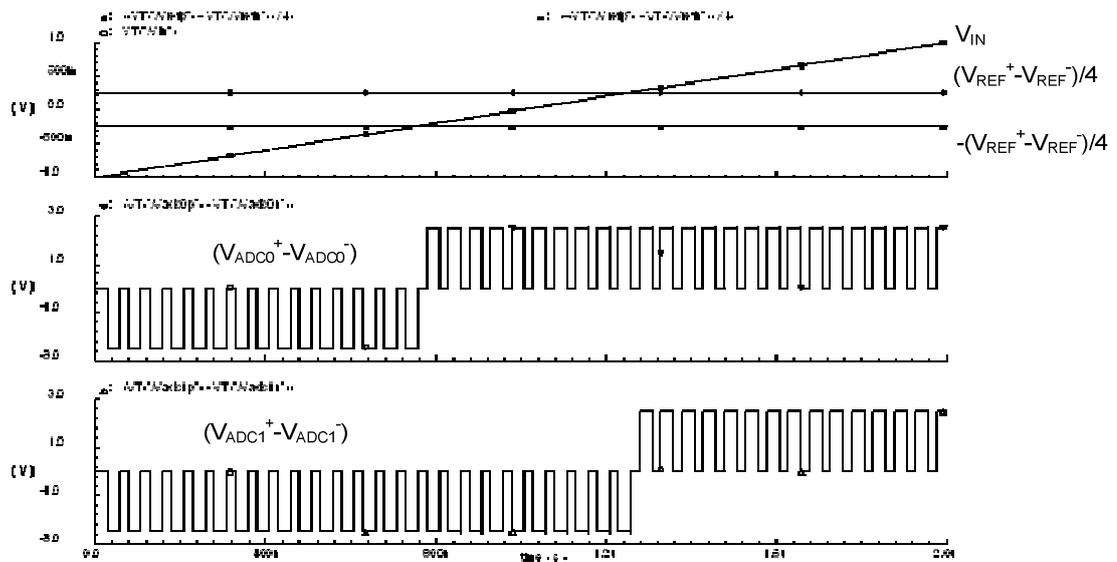


Figura 3-28. Layout del circuito comparador dinámico sin preamplificador.

En la Figura 3-29 a) se muestra una simulación a nivel de transistor del ADC en todo el rango de entrada, se puede comprobar que las tensión umbrales se sitúan en $V_{ref}/4$ y $-V_{ref}/4$. En la Figura 3-29 b) se representa un detalle del proceso de comparación para una señal de entrada débil (3mV), y se puede observar que el tiempo de comparación es menor de 1.5ns.



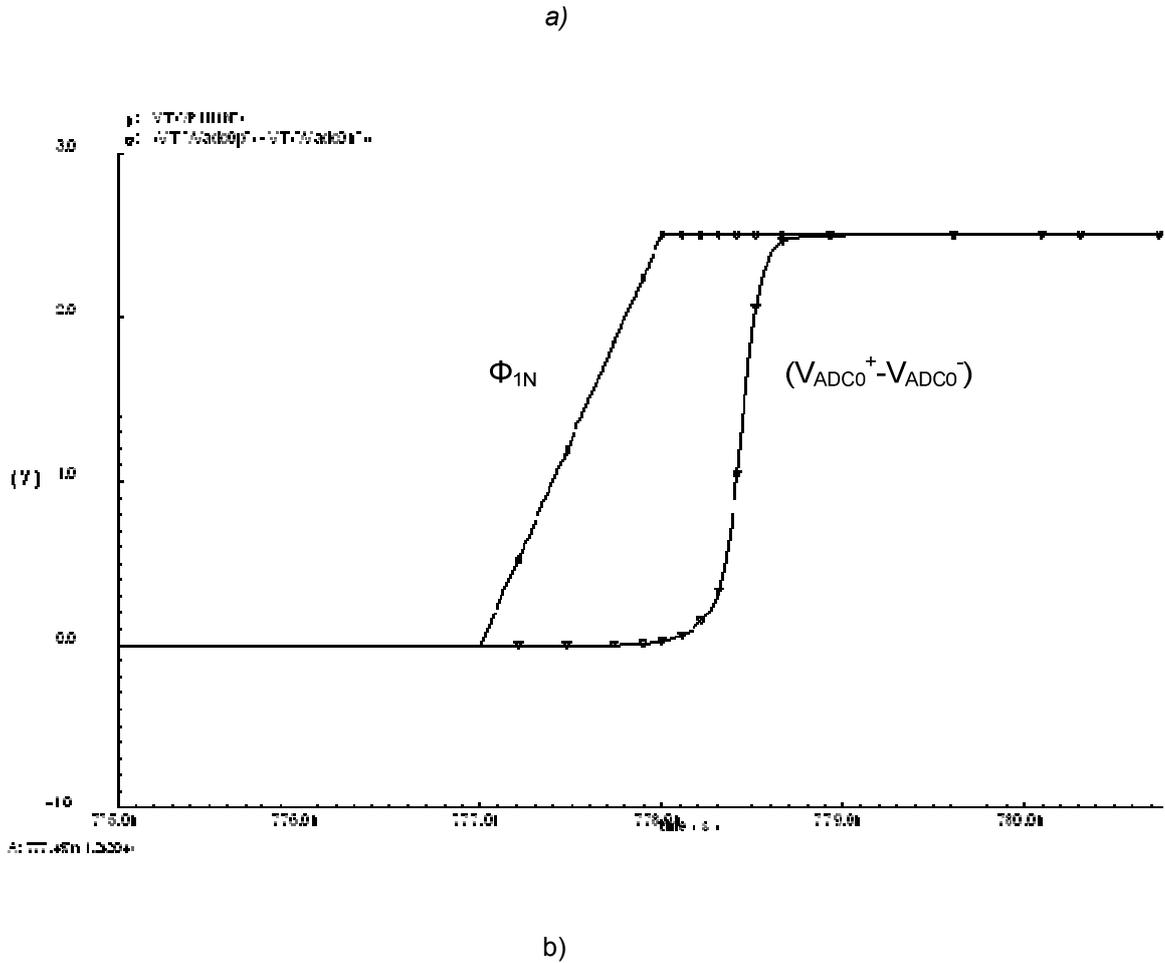


Figura 3-29. Simulación del ADC en el rango completo de entrada. (b) Detalle del flanco de subida para una tensión de entrada de 3mV.

La última etapa del convertidor no se ve afectada por la corrección digital, por tanto, el convertidor analógico digital debe ser de dos bits de resolución. El esquema utilizado está representado en la Figura 3-30.

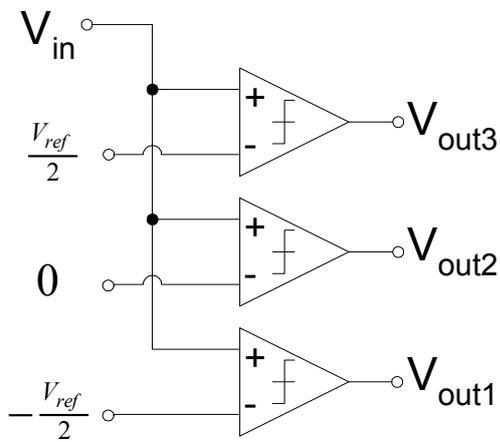


Figura 3-30. Última etapa del convertidor.

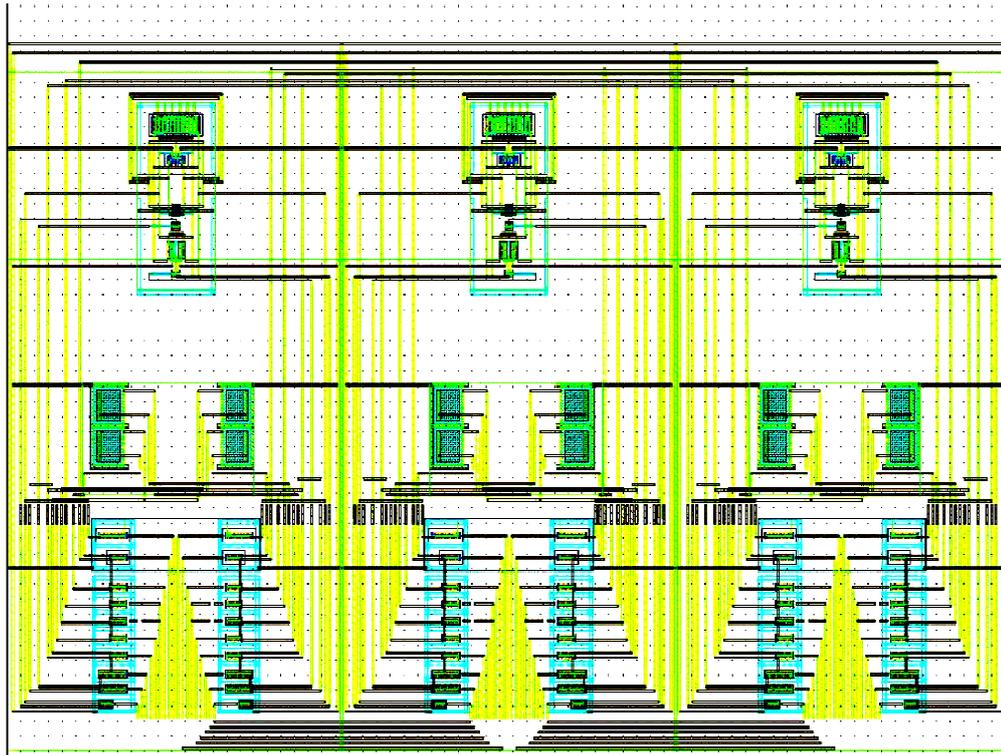


Figura 3-31. Layout de la última etapa del convertidor.

La Figura 3-31 muestra el layout descrito en la Figura 3-30, donde el umbral de comparación buscado se encuentra en $V_{ref}/2$, 0 y $-V_{ref}/2$ y el valor de todas las capacidades es igual a 75fF. De nuevo, se ha seguido la colocación recomendada para los circuitos SC, con las capacidades del circuito separando los interruptores de la parte analógica.

3.4.5 Compartir el amplificador operacional entre dos etapas consecutivas

Se puede reducir la potencia de una forma muy importante si se comparte un amplificador operacional entre dos etapas consecutivas del ADC pipeline, tal como se muestra en la Figura 3-32 [Nagaraj97]. Para implementar esta técnica, basta con advertir que en la fase de muestreo (Φ_1) del circuito clásico SC de la Figura 3-5 se lleva a cabo únicamente el almacenamiento de la tensión de entrada V_{IN} y la conversión analógica-digital de 1.5 bits de dicha tensión, estando el amplificador operacional inactivo durante toda la fase. De esta forma, es posible utilizar el amplificador para el cálculo del residuo de la segunda etapa durante la fase de muestreo de la primera, y viceversa.

Si observamos con detalle ambas fases de reloj:

1. Fase Φ_1 :
 - a. La primera etapa, en la parte inferior de la figura, realiza el muestreo y conversión de la señal de entrada.
 - b. El amplificador operacional está conectado a la segunda etapa, realizándose el cálculo del residuo.

2. Fase Φ_2 :

- a. El amplificador operacional está conectado a la primera etapa, obteniéndose el residuo en V_{out} al final de la fase.
- b. Esta tensión de salida, el residuo de la primera etapa, es muestreada por la segunda etapa.

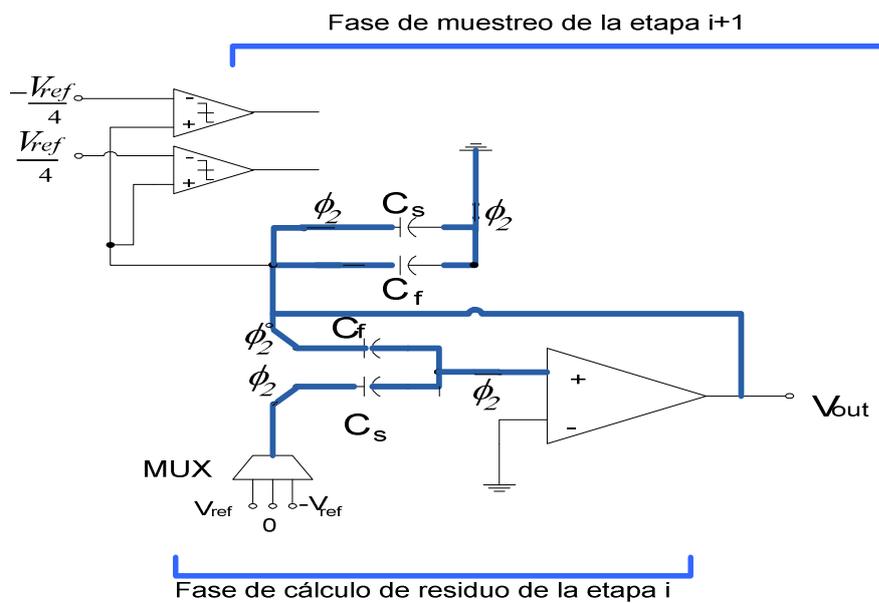
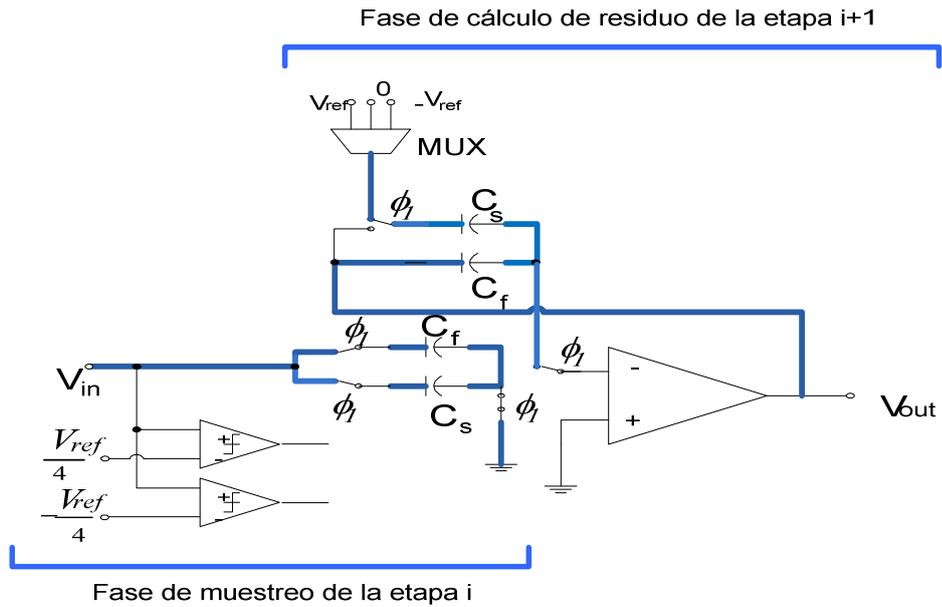


Figura 3-32. Técnica para compartir el amplificador operacional a) Fase Φ_1 b) Fase Φ_2 .

El principal inconveniente de compartir el amplificador operacional es la imposibilidad de implementar técnica alguna de corrección de offset del amplificador debido a que éste está siempre activo. Por tanto, el residuo calculado en la etapa i se ve afectado por dicho offset, el error debido a la ganancia finita del amplificador y el ruido flicker del amplificador de todas las etapas precedentes. En [Min03] se presenta una técnica de inversión de la polaridad de la señal FSPI (*feedback signal polarity inverting*) entre las dos fases consecutivas que consigue aliviar este problema. La técnica consiste en invertir la salida de amplificador de una fase a la siguiente, de forma que los errores combinados debido al ruido flicker ($1/f$), offset y la ganancia finita de la muestra k -ésima a la salida de la segunda etapa será $V_{err}(1,k)$ en lugar de $3V_{err}(1,k)$, obteniéndose una reducción de dicho error en un factor tres.

En definitiva, compartiendo el amplificador operacional entre dos etapas consecutivas del convertidor pipeline, es posible conseguir una resolución de 8 bits utilizando sólo tres amplificadores, reduciendo de un modo muy significativo el consumo del convertidor.

En la Figura 3-33 se muestra la simulación, a nivel de transistor, de las dos primeras etapas del convertidor pipeline. Como se puede observar, la salida sigue la función de transferencia descrita por la ecuación (3.1).

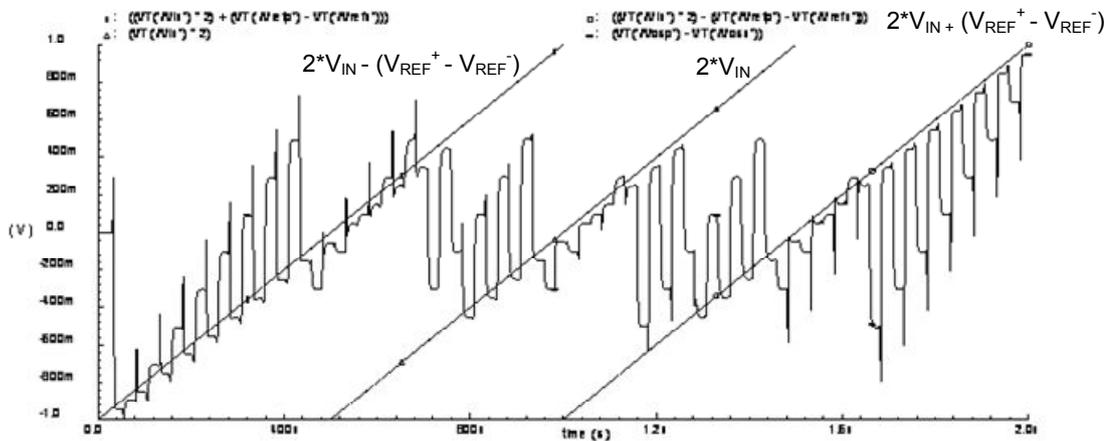


Figura 3-33. Residuo de las dos primeras etapas del convertidor. La entrada es una rampa entre $-V_{ref}$ y V_{ref} .

3.5 Detalles de la implementación.

3.5.1 El convertidor digital analógico

La resolución del DAC de cada etapa pipeline es de 1.5 bits, por lo que sólo tendremos que distinguir entre 3 niveles analógicos de salida, expresados en la Tabla 3-8

VADC1	VADC0	V_{dac}
0	0	$-V_{ref}$
0	1	0
1	1	$+V_{ref}$

Tabla 3-8. Niveles de salida del DAC.

Para el diseño del DAC de 1.5 bits se ha utilizado el circuito de la Figura 3-34. Consiste básicamente en un banco de interruptores, controlados por el ADC, de forma que dependiendo de las tensiones de salida de los comparadores V_{ADC1} y V_{ADC0} , generará una tensión V_{DAC} diferente, según la Tabla 3-8.

La Tabla 3-9 describe el tamaño de los transistores que componen los interruptores del DAC. Se ha escogido transistores P para los interruptores conectados a la tensión más alta (V_{ref+}) y transistores N para los interruptores conectados a la tensión más baja (V_{ref-}). Para los interruptores que cortocircuitan las salidas del DAC (V_{ADC1} , V_{ADC0}) utilizamos dos puertas de transmisión.

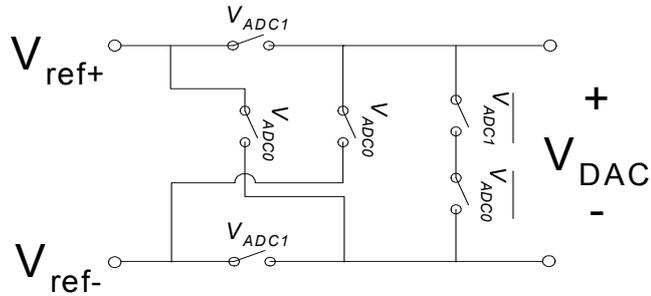


Figura 3-34. DAC de 1.5bits.

0.35 μm AMS-CMOS	W (μm)	L (μm)
Interruptores (V_{ADC1} , V_{ADC0})	20	0,35
Interruptores (V_{ADC1} , V_{ADC0})	80	0,35

Tabla 3-9. Resumen de las especificaciones del DAC de 1.5bits.

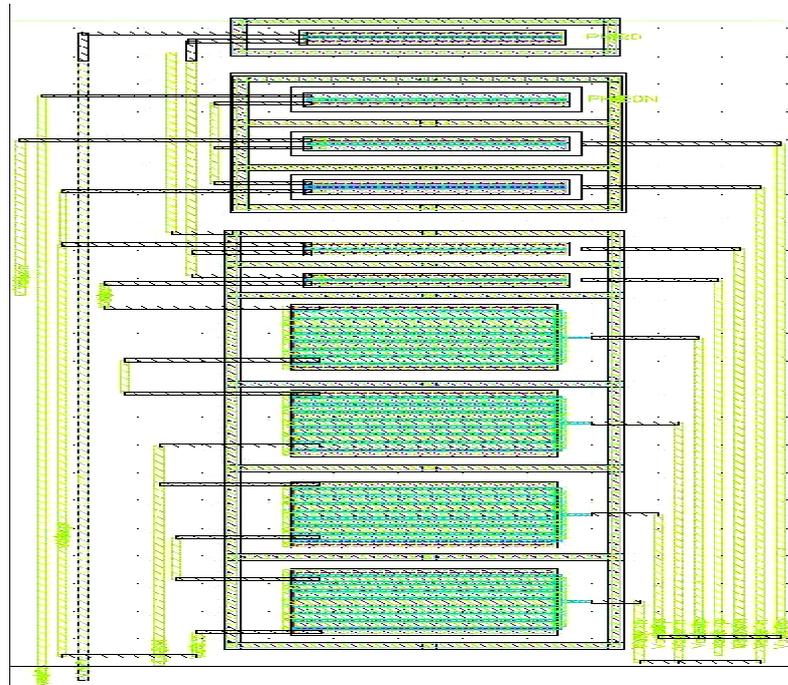


Figura 3-35. Layout del DAC de 1.5bits.

La Figura 3-35 muestra el layout del circuito mostrado en la Figura 3-34, donde los transistores MOS que implementan los diferentes interruptores se han agrupado en función del tipo, P o N, y se ha creado un anillo de guarda alrededor de cada uno ellos.

En la Figura 3-36 se muestra una simulación del ADC junto con el DAC a nivel de transistor. Se ha aplicado como entrada la salida del ADC representada en la Figura 3-29, correspondiente al rango completo. Se puede comprobar que la salida va cambiando desde $-V_{ref}$, a 0 y a V_{ref} a medida que sube la señal de entrada.

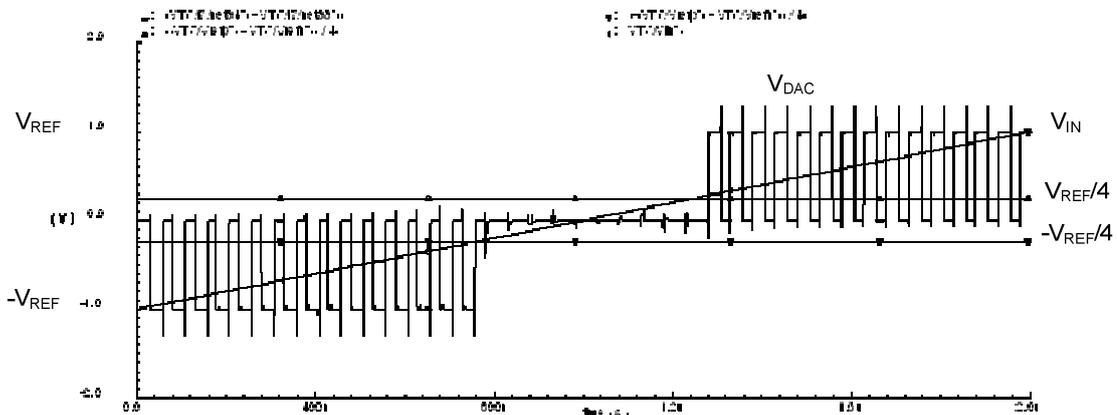


Figura 3-36. Simulación del DAC aplicando una señal de entrada al ADC de rango completo.

3.5.2 Fases de reloj

El ADC pipeline desarrollado en la presente tesis doctoral necesita de dos fases de reloj no solapadas para su funcionamiento (Φ_1 y Φ_2). Cada una de estas fases requiere dos señales de reloj, estando en una de ellas el flanco de bajada ligeramente retrasado, como puede verse en Figura 3-37. Esta popular técnica, conocida con el nombre de técnica de muestreo de placa inferior¹ [Haigh83], reduce el error debido al fenómeno de la inyección de carga realizando primero la desconexión de los interruptores conectados a tensiones fijas. El error generado al desconectar el interruptor sería constante y puede ser minimizado empleando topologías diferenciales y balanceadas.

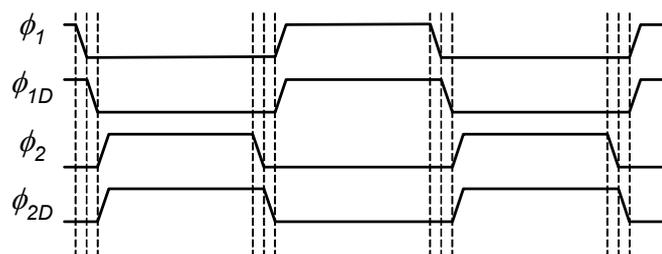


Figura 3-37. Fases de reloj.

En la Figura 3-38. se muestra el circuito generador de fases de reloj, el cual, a partir de una señal de reloj maestra genera las cuatro señales de la Figura 3-37. Para simplificar el rutado del reloj del sistema, el convertidor tendrá dos generadores de fases de reloj, como se describe en la Figura 3-39, estando el reloj maestro localizado cerca de la última etapa. Dado que las arquitecturas pipeline tienen la característica de que existe un cierto retraso desde que aparece una muestra analógica en la entrada de la primera etapa hasta que dicha muestra es procesada por la última etapa, se dispone de un pequeño margen para la correcta temporización entre las etapas del ADC pipeline, si la última etapa es la primera en conmutar.

¹ Del inglés *bottom plate sampling*, o bien, *series sampling*

La Figura 3-40 muestra el layout descrito en la Figura 3-38. Al tratarse de un circuito completamente digital compuesto únicamente de puertas lógicas, ha sido posible una realización más compacta del layout.

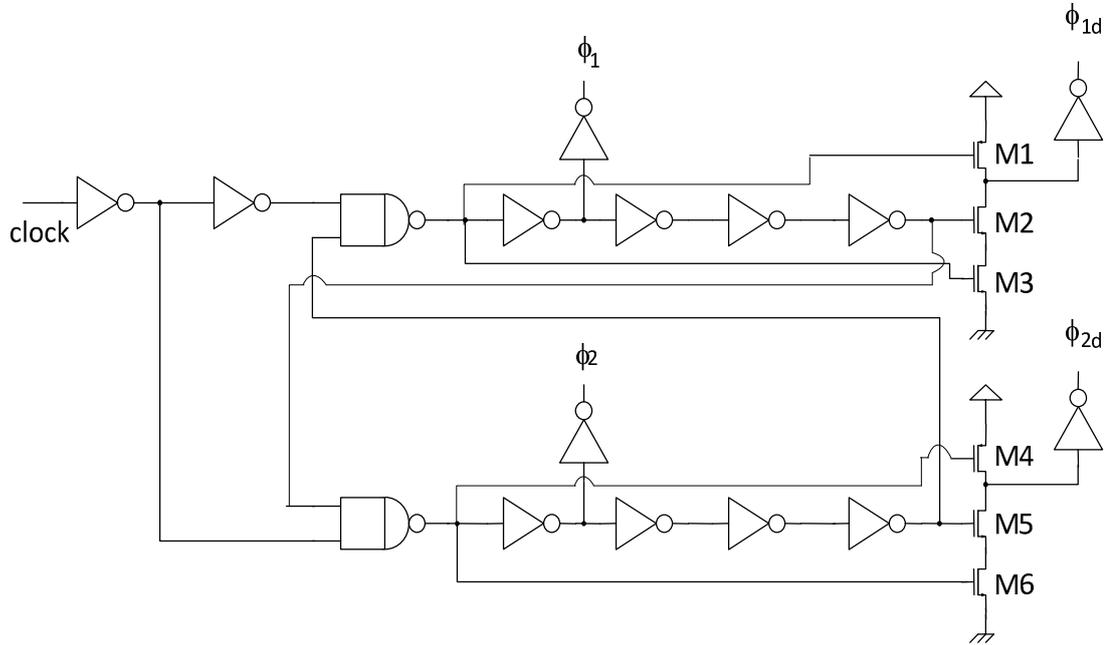


Figura 3-38. Circuito generador de fases de reloj.

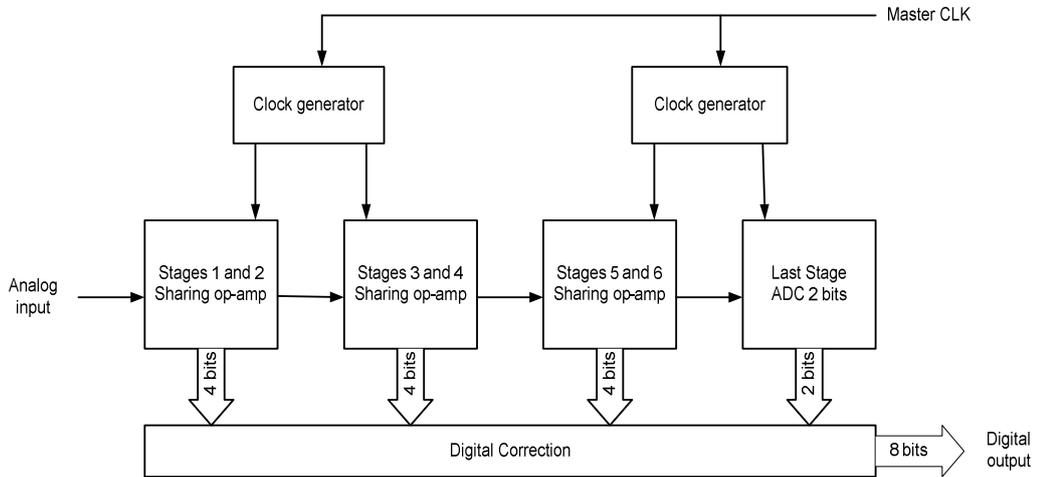


Figura 3-39. Distribución de la señal de reloj.

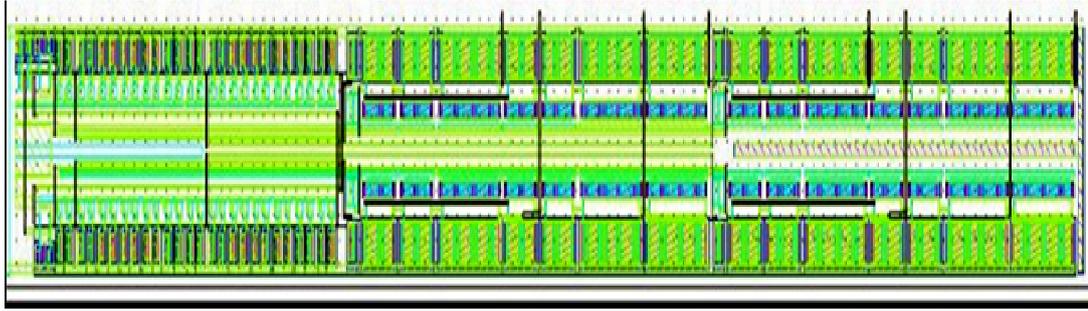


Figura 3-40. Circuito generador de fases de reloj. Layout CADENCE.

3.6 Arquitectura elegida.

A modo de resumen se enumeran las distintas decisiones realizadas a nivel de sistema para el diseño del convertidor de 8 bits y 19MHz:

1. Se ha escogido una arquitectura pipeline de siete etapas con corrección digital basada en el algoritmo de corrección de error por dígito redundante (RSD).
2. La resolución de cada etapa será de 1.5 bits, a excepción de la última que será de dos bits.
3. Las capacidades entre etapas serán escaladas con un factor de dos.
4. Se diseñará el SHA de la primera etapa de forma que sea posible prescindir del S/H dedicado en la entrada del convertidor.
5. El amplificador utilizado es un cascodo telescópico para todas las etapas, con técnicas de elevación de ganancia para alcanzar las especificaciones deseadas.
6. Se escogerá una topología de comparador dinámico para diseñar los ADC de 1.5 bits de cada una de las etapas que componen el convertidor completo.
7. Se compartirá un amplificador entre dos etapas consecutivas del convertidor pipeline.
8. Se utilizará una técnica FSPI entre las dos etapas que comparten el amplificador para reducir su sensibilidad al ruido flicker y al offset.

3.7 Consideraciones del layout.

Todo circuito integrado mixto se ve afectado por la interferencia debida al ruido entre las secciones analógicas y digitales. Entre los posibles problemas que pueden aparecer debido a esta causa se encuentran el acoplamiento a través del sustrato compartido y las conexiones con el mundo exterior, el acoplamiento parásito procedente de las inductancias y el acoplamiento de capacidades parásitas entre elementos adyacentes.

Por eso, es recomendable proteger todo circuito o dispositivo sensible y líneas de interconexión. Además, debe evitarse cualquier proximidad entre elementos que puedan interferir entre ellos. Otra medida que podría ayudar a reducir el ruido sería el uso de circuitos completamente diferenciales siempre que fuera posible.

Por otro lado, el proceso de conmutación en un circuito SC puede causar ruido, y este ruido será mayor cuanto mayor sea las magnitudes de las tensiones e intensidades implicadas, el número de interruptores en el circuito y la frecuencia de funcionamiento.

El diagrama de situación propuesto en la Figura 3-41 tiene en cuenta estas consideraciones, separando lo más posible la parte analógica de los interruptores y añadiendo un anillo de guarda a las capacidades del circuito. La Figura 3-42 adapta el diagrama de la Figura 3-41 para nuestro caso particular en el que cada una de las etapas del ADC pipeline se va a colocar una junto a otra, de forma que nunca se produzca la intersección de líneas analógicas y digitales.

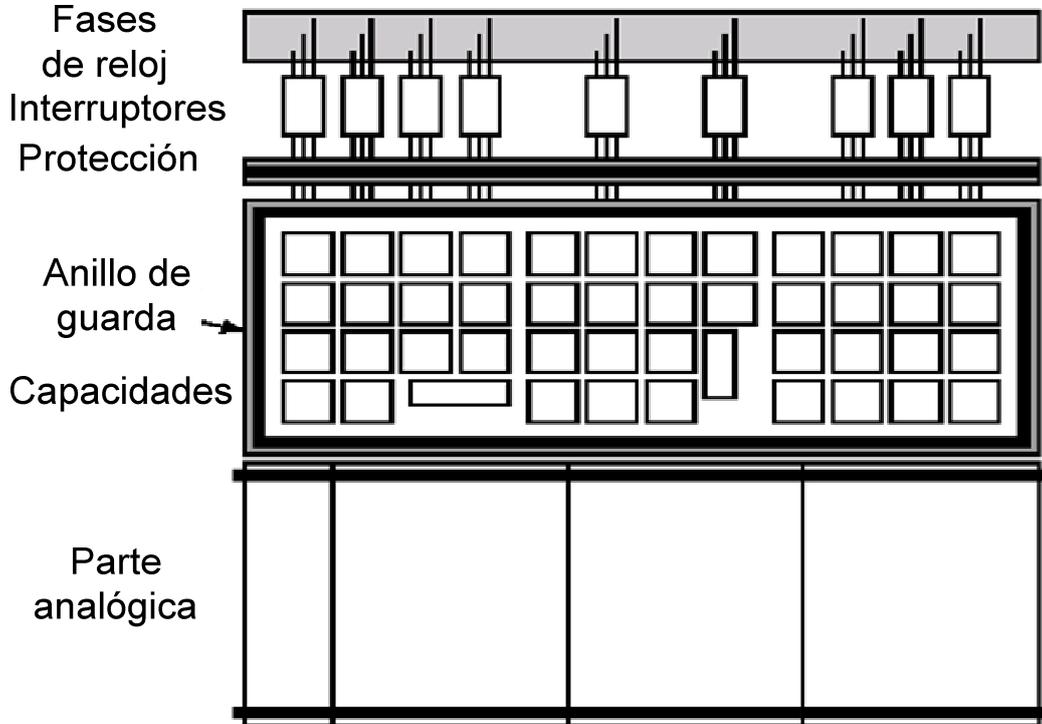


Figura 3-41. Diagrama de situación de interruptores, capacidades y parte analógica en un circuito de capacidades conmutadas genérico.

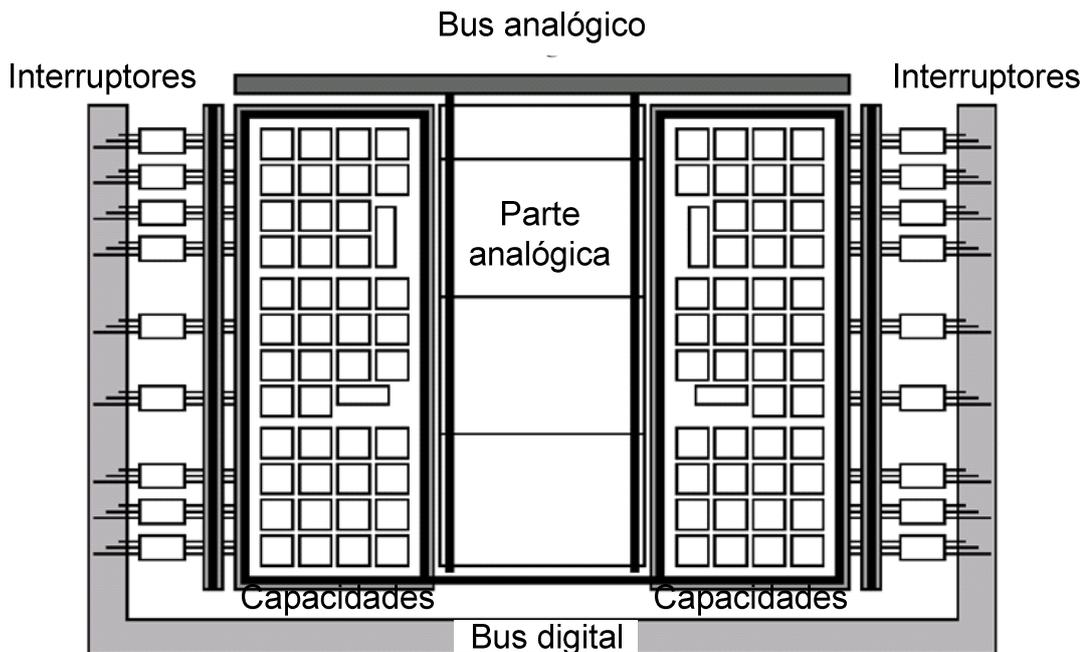


Figura 3-42. Plano para el layout de una etapa del ADC pipeline.

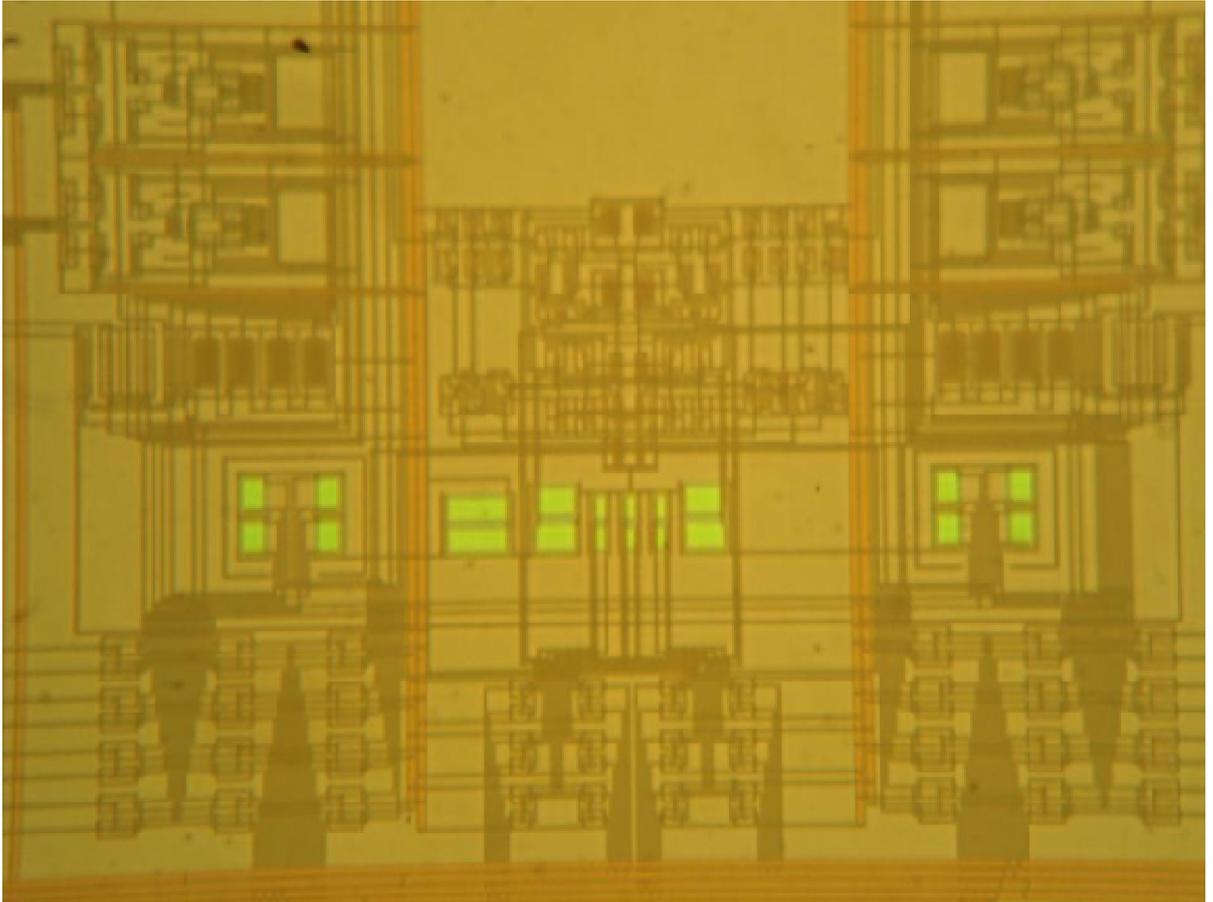


Figura 3-43. Dos etapas consecutivas del convertidor. Fotografía.

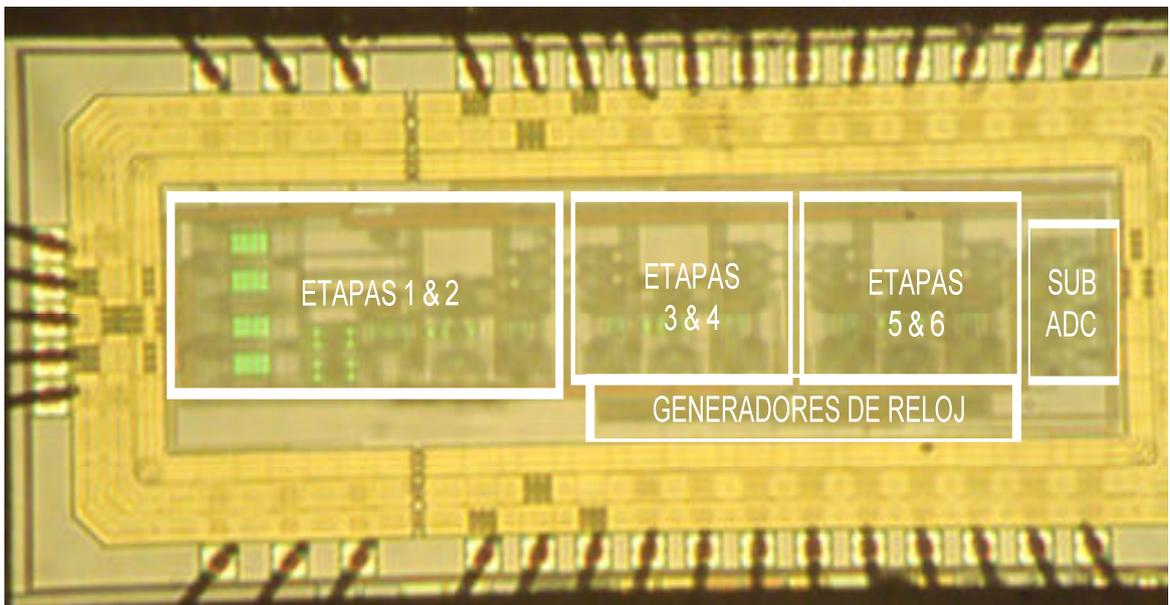


Figura 3-44. ADC pipeline completo. Fotografía.

La Figura 3-43 es una fotografía tomada con un microscopio electrónico del layout de las dos primeras etapas del convertidor, siguiendo la ubicación propuesta por la Figura 3-42. El ADC ha sido diseñado utilizando una tecnología CMOS convencional de 0.35 μ m de AMS. El layout simétrico ha sido implementado mediante la técnica del centroide común para un correcto apareamiento de componentes. Las líneas analógicas de señal y de reloj nunca se cruzan, para evitar la aparición de ruido de alta frecuencia en la señal analógica procedente de la entrada de reloj. Por otra parte, ninguna de los condensadores en el diseño tiene un valor por debajo de los 100fF para evitar la influencia de las capacidades parásitas. El área activa de layout es de 4.78 mm².

La Figura 3-44 muestra una fotografía del ADC pipeline completo incluyendo PADs. En ella se han señalado la situación de cada una de las etapas, agrupadas de dos en dos al aplicar la técnica de reducción de potencia basada en compartir el amplificador operacional entre dos etapas consecutivas del apartado 3.4.5. El bloque descrito como SUB ADC es la última etapa del convertidor, tal como se describió en el apartado 3.4.4 y en la Figura 3-31. Layout de la última etapa del convertidor. Figura 3-31 y el bloque descrito como CLOCK GEN es el generador de fases de reloj, a partir de una señal de reloj maestra externa, descrito en el apartado 3.5.2.

3.8 Resultados de simulación.

La implementación propuesta se ha caracterizado mediante simulaciones post-layout. Los datos obtenidos se han procesado con MATLAB para llevar a cabo la corrección digital y obtener los parámetros de comportamiento del convertidor.

Los parámetros dinámicos del ADC se han determinado mediante el análisis de la transformada de Fourier de los códigos de salida simulados para un tono simple de entrada de 2.2 MHz de frecuencia con una frecuencia de reloj de 16 MHz (Figura 3-45). El pico de la SNDR se ha medido a 48.51 dB.

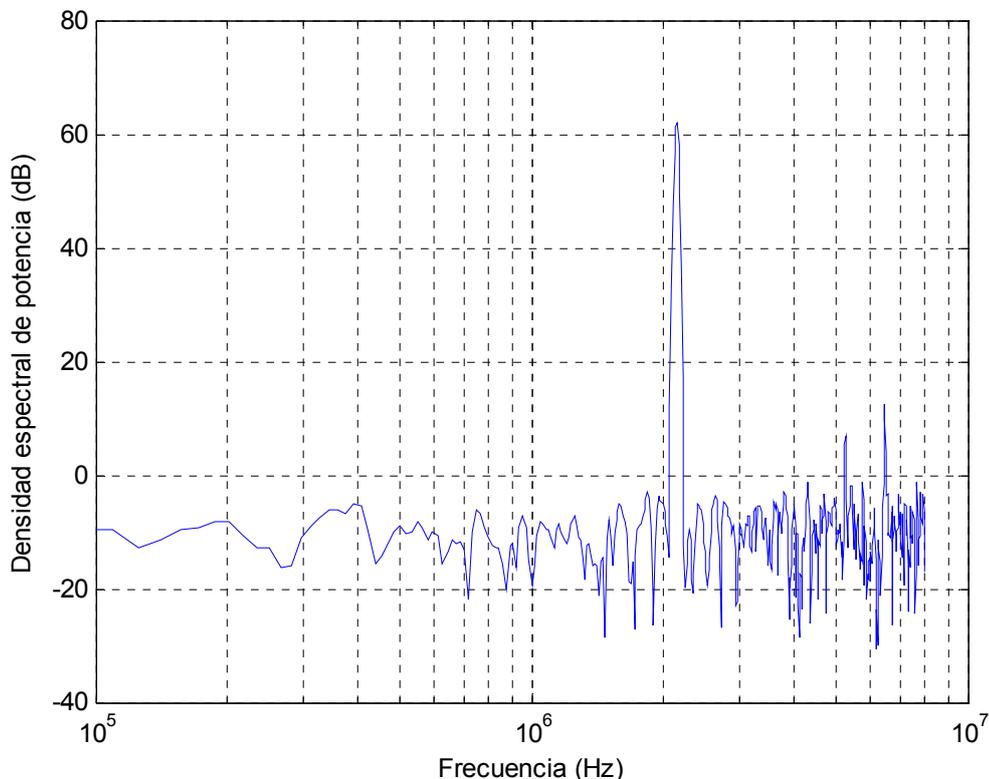


Figura 3-45. Densidad espectral de potencia para una señal de entrada sinusoidal de 2.2 MHz de frecuencia y 1 V de amplitud con una señal de reloj de una frecuencia de 16 MHz (1024 puntos).

Los parámetros estáticos del ADC se han obtenido mediante la excitación a la entrada con una rampa lenta desde -1V a 1V. Para estas pruebas, se ha obtenido una DNL máxima de 0.40 LSB y un INL máximo de 1.06 LSB. La Figura 3-46 y Figura 3-47 muestran, respectivamente, la DNL y la INL simulada. El consumo de potencia obtenido a una frecuencia de reloj de 16MHz ha sido de solo 4mW para una tensión de alimentación de 2.5 V.

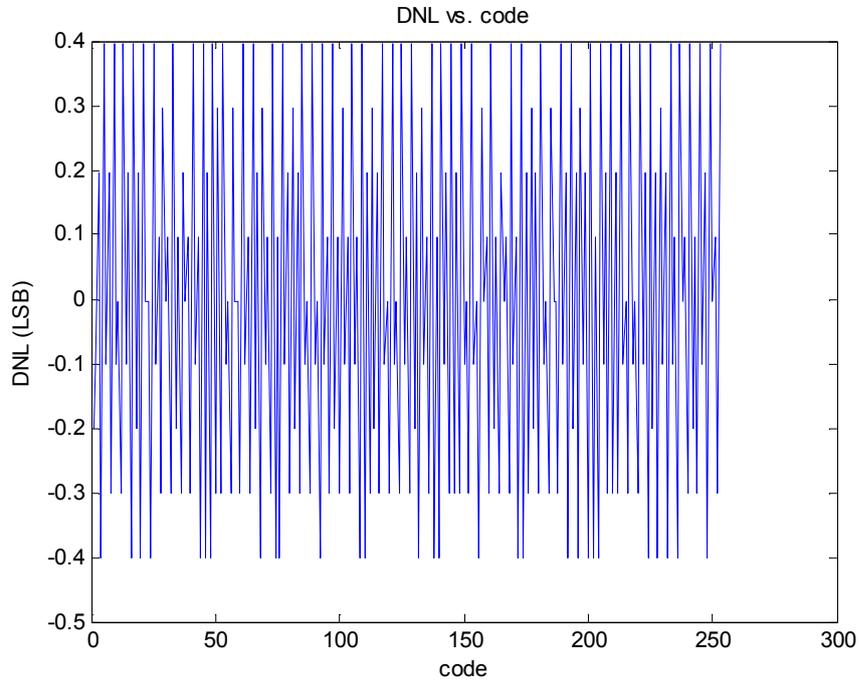


Figura 3-46. No linealidad diferencial (2560 puntos).

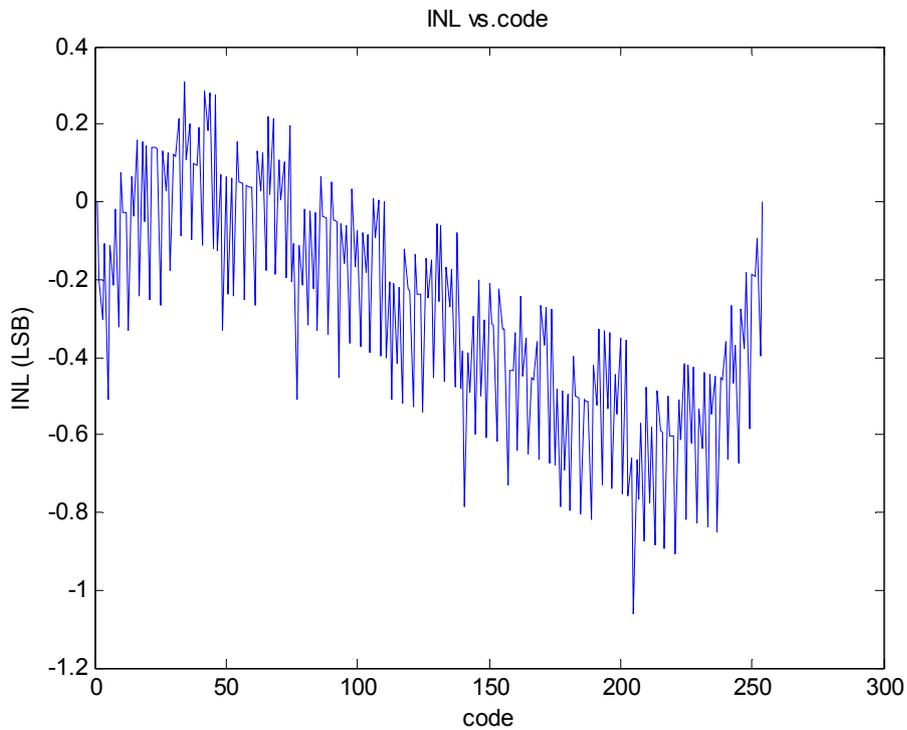


Figura 3-47. No linealidad integral (2560 puntos).

La Tabla 3-10 y Tabla 3-11 resumen el comportamiento del ADC obtenido a nivel de transistor y en simulaciones post-layout respectivamente.

Tensión de alimentación	2,5 V
Tecnología	0,35 μ m CMOS AMS
Resolución	8,15 ENOB
Frecuencia de muestreo	20 MS/s
Rango de la señal de entrada	\pm 1V diferencial
DNL	0,10 LSB
INL	0,13 LSB
SNDR	50,83 dB (f_{in} =3 MHz)
SNDR (Peor caso)	48,48 dB (7.76 ENOB)

Tabla 3-10. Resumen del comportamiento del ADC a nivel de transistor (esquemático).

Tensión de alimentación	2,5 V
Tecnología	0,35 μ m CMOS AMS
Resolución	7,76 ENOB
Frecuencia de muestreo	16 MS/s
Rango de la señal de entrada	\pm 1V diferencial
DNL	0,40 LSB
INL	1,06 LSB
SNDR	48,51 dB (f_{in} =2.2 MHz)
SNDR (Peor caso)	40,80 dB (6.49 ENOB)
Área total	4,78 mm ²
Consumo de potencia	\approx 4mW

Tabla 3-11. Resumen del comportamiento del ADC en simulaciones post-layout.

3.9 Resultados experimentales.

Para llevar a cabo la caracterización del ADC se ha fabricado un circuito impreso (PCB) de dos caras, como se muestra en la figura Figura 3-48. La Figura 3-49 representa el diagrama de bloques del sistema de medida.

Los datos digitales de salida del convertidor han sido capturados por medio del analizador lógico modelo 16902B de Agilent y procesados con MATLAB para llevar a cabo la corrección digital y obtener los diferentes parámetros del ADC. Se ha calculado con la ayuda de un diagrama de ojos el punto óptimo de captura de cada una de las señales digitales.

Para generar las señales de excitación se han empleado dos generadores de señal Rohde & Schwarz. El AM300 se ha utilizado para la generación de la señal de entrada, puesto que permite llegar

hasta frecuencias de 100 Ms/s y, lo que es más importante, dispone de dos canales con una relación precisa en la fase entre ellos y, por tanto, resulta útil para la generación de señales diferenciales. Por otro lado, el generador de señales Rhode and Schwarz SMIQ03B 300kHz-3.3GHz ha permitido generar la señal de reloj que ataca al circuito diseñado.

Los resultados experimentales se resumen en la Tabla 3-12.

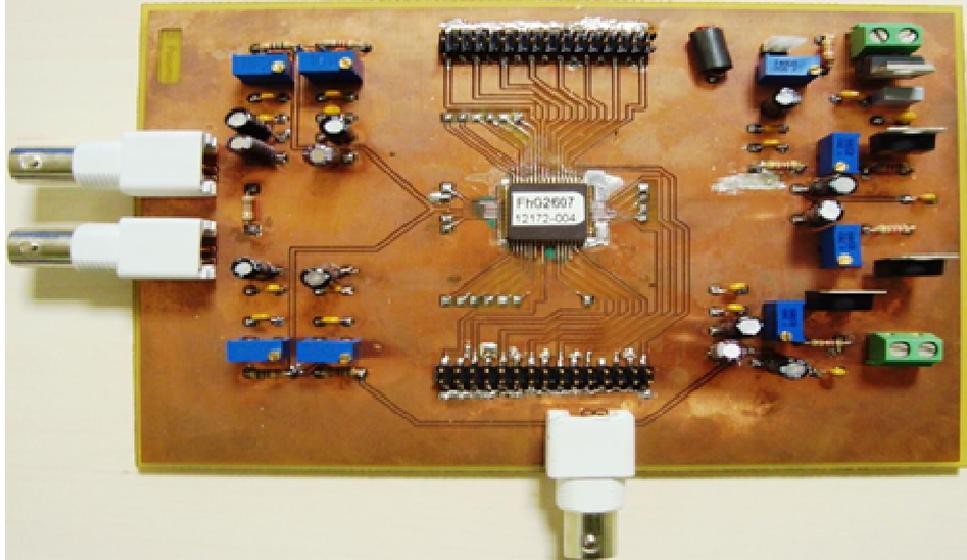


Figura 3-48. Fotografía de la placa de prueba para la obtención de resultados experimentales.

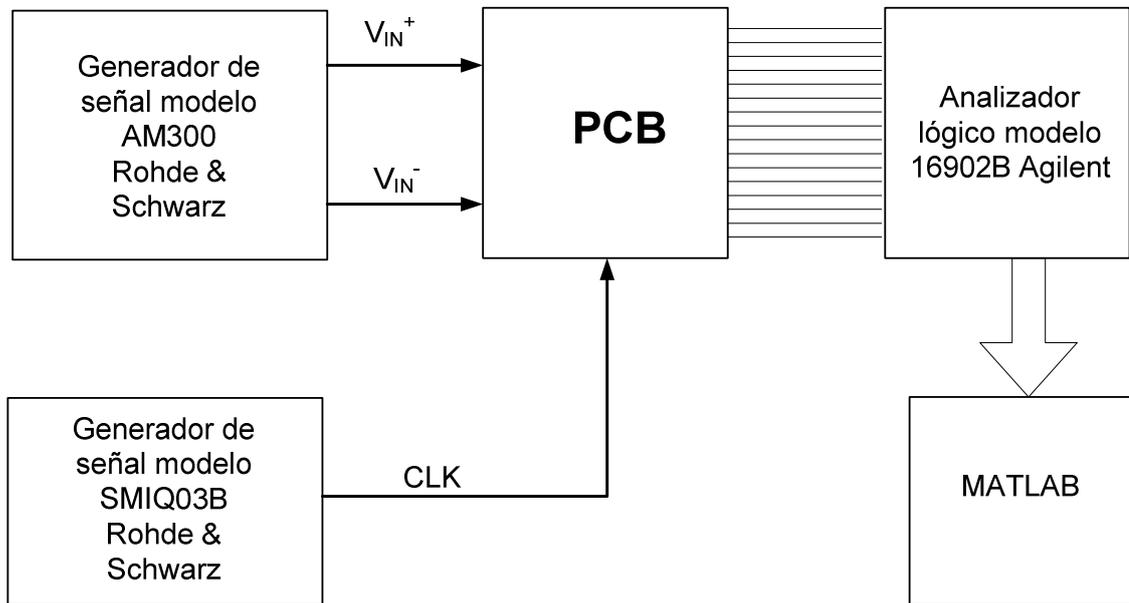


Figura 3-49. Diagrama de bloques del sistema de medidas.

Resolución	8 bits
Frecuencia de muestreo	19 MS/s
Tecnología	0,35 μ m CMOS AMS
Rango de la señal de entrada	± 1 V diferencial
Tensión de alimentación	2,5 V
Área total	4,78 mm ²
Resolución	6,81 ENOB
SNDR (@1.1MHz,0dBFS)	42,76 dB
SFDR(@1.1MHz,0dBFS)	51,57 dB
THD(@1.1MHz,0dBFS)	-58,48 dB
DNL	-0,59/0,63 LSB
INL	-0,19/0,58 LSB

Tabla 3-12. Resumen de los resultados experimentales..

Las prestaciones estáticas del ADC se midieron excitando dicho convertidor con una rampa lenta, de una frecuencia de 200 Hz. Como se muestra en la Tabla 3-12 y en la Figura 3-50 y Figura 3-51, mediante este análisis se obtiene que el ADC fabricado presenta una DNL=+0,63/-0,59 LSB y una INL=+0,58/-0,19 LSB para una frecuencia de muestreo de 19 MHz.

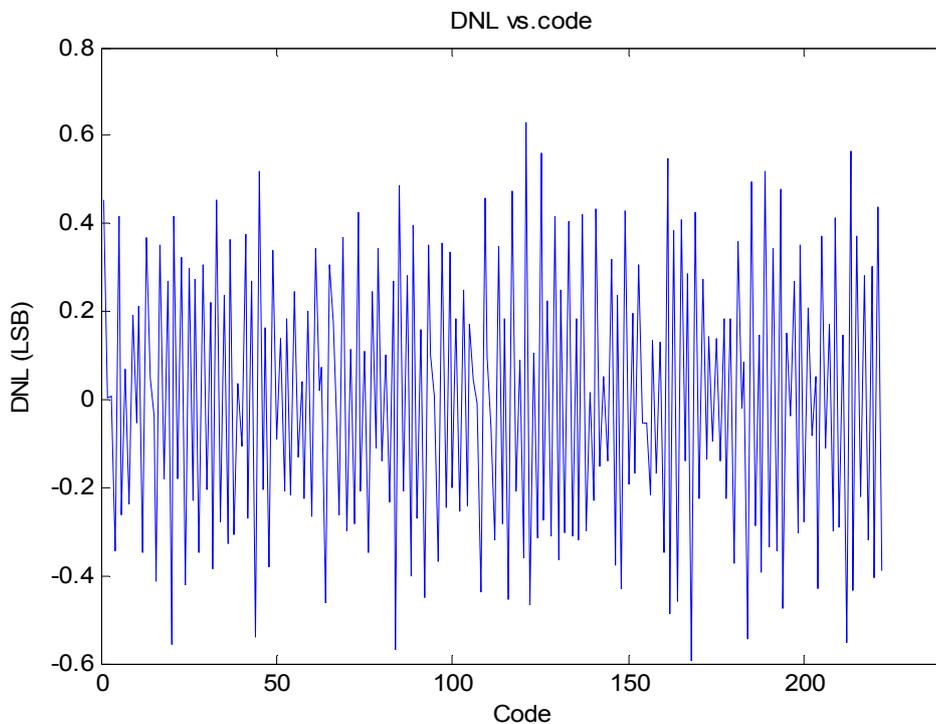


Figura 3-50. No linealidad diferencial medida (62516 puntos).

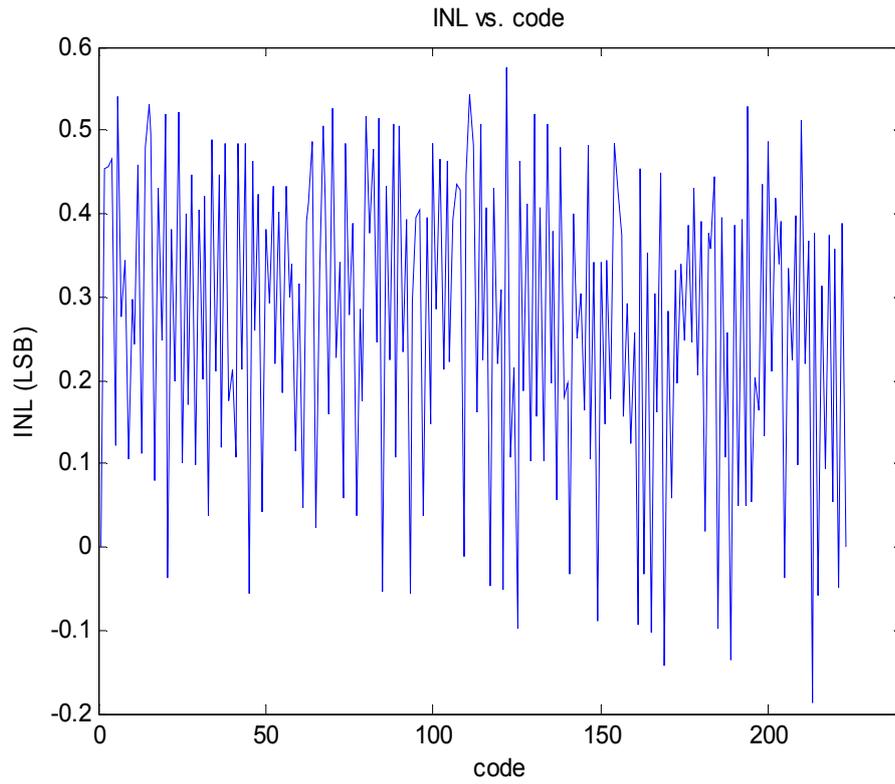


Figura 3-51. No linealidad integral medida (62516 puntos).

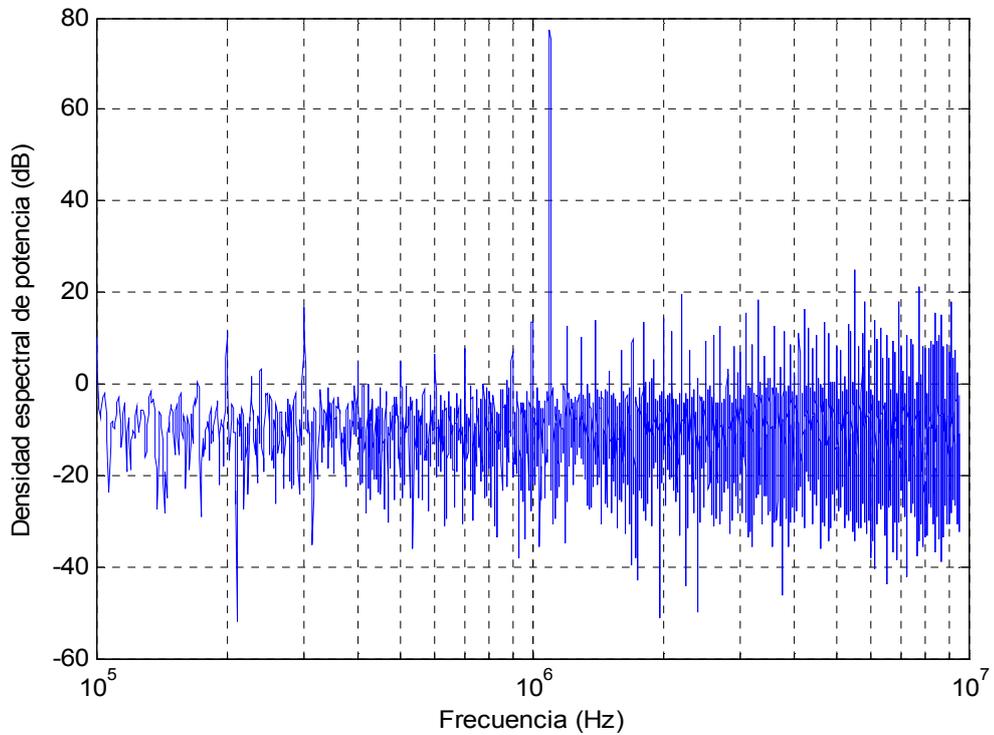


Figura 3-52. Prestaciones dinámicas del ADC. Densidad espectral de potencia para una frecuencia de entrada de 1.1MHz y una frecuencia de muestreo de 19MHz (62532 puntos).

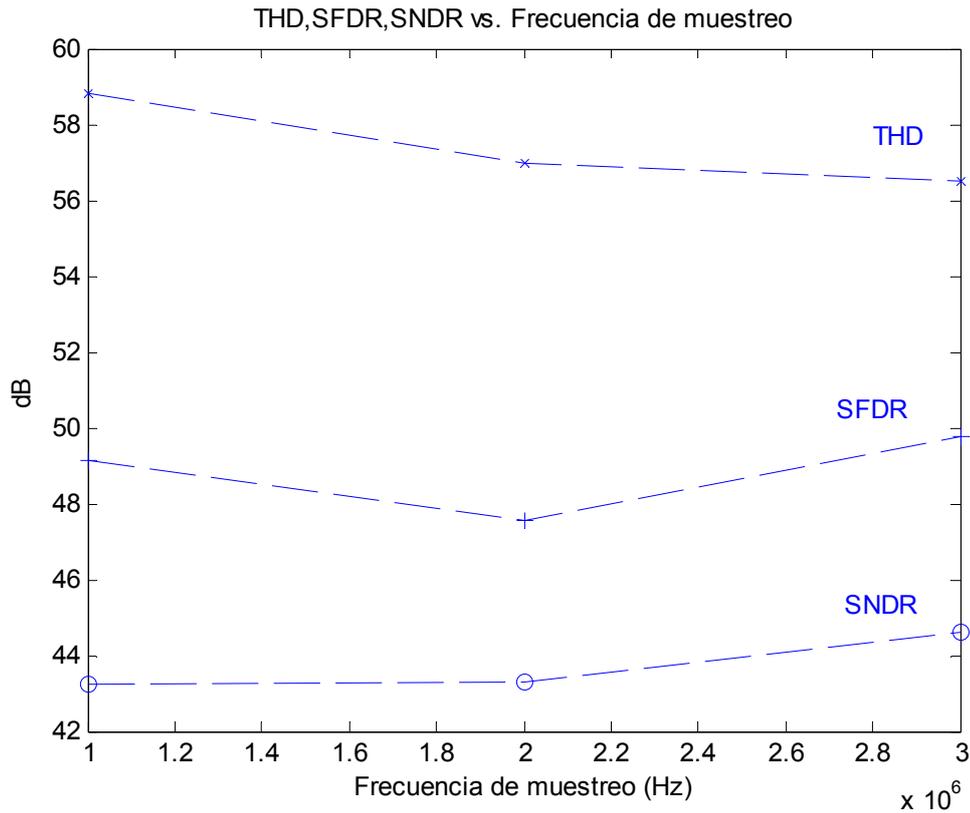


Figura 3-53. Prestaciones dinámicas del ADC. SNDR ('o') -THD ('x') y SFDR ('+') (62532 puntos).

Para llevar a cabo el análisis de las prestaciones dinámicas de ADC se ha empleado una frecuencia de muestreo de 19 MHz y se ha variado la frecuencia de la señal de entrada desde bajas frecuencias hasta la frecuencia de Nyquist. El nivel de la señal de entrada empleado es de $1V_{PP}$ (0dBFS). La Figura 3-52 muestra la transformada rápida de Fourier de los datos digitales de salida para un tono simple de un 1.1MHz con una frecuencia de reloj de 19 MHz.

Las prestaciones dinámicas del ADC se muestran en la Figura 3-53. En este caso, el rango dinámico libre de espúreos SFDR (*spurious-free dynamic range*) es siempre mayor que 51,57 dB, la distorsión armónica total THD (*total harmonic distortion*) mayor que -58,48 dB y la SNDR mayor de 42,76 dB incluso para frecuencias de señal de entrada cercanas a la frecuencia de Nyquist, como se puede ver en la Figura 3-54.

Otro análisis que se ha llevado a cabo consiste en medir la SNDR del convertidor, operando a una frecuencia de muestreo de 19 MHz y a una frecuencia de entrada de 1.1MHz, variando el nivel de la señal de entrada. Los resultados obtenidos se presentan en la Figura 3-55.

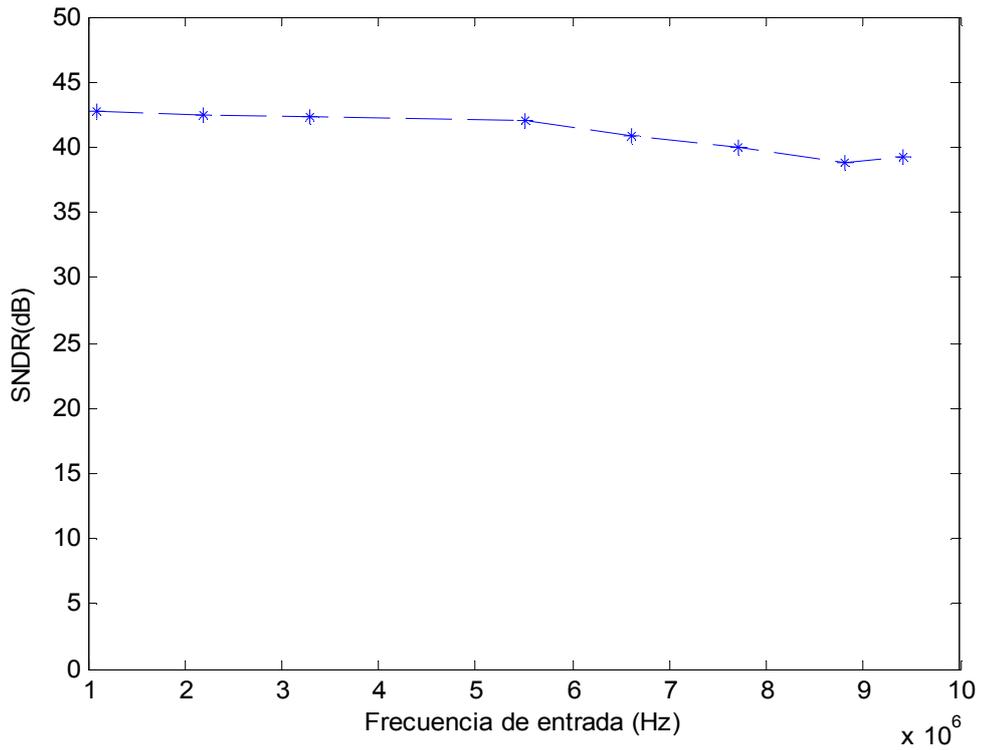


Figura 3-54. Prestaciones dinámicas del ADC. SNDR para diferentes frecuencias de entrada (62532 puntos).

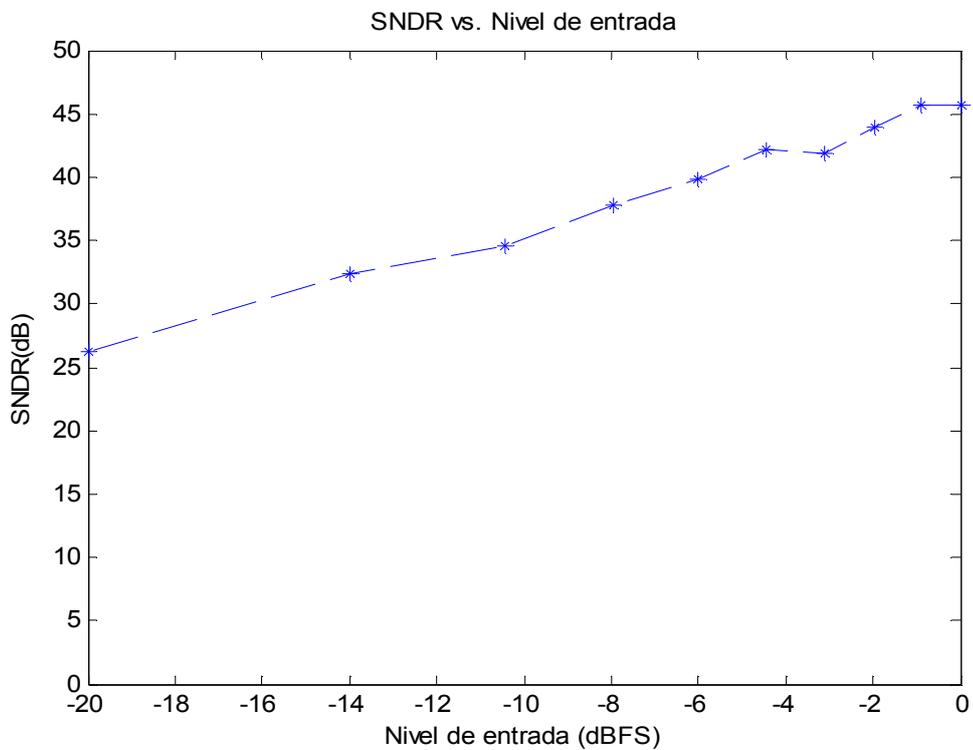


Figura 3-55. Prestaciones dinámicas del ADC. SNDR para diferentes amplitudes de entrada y una frecuencia de entrada de 1.1MHz (62532 puntos).

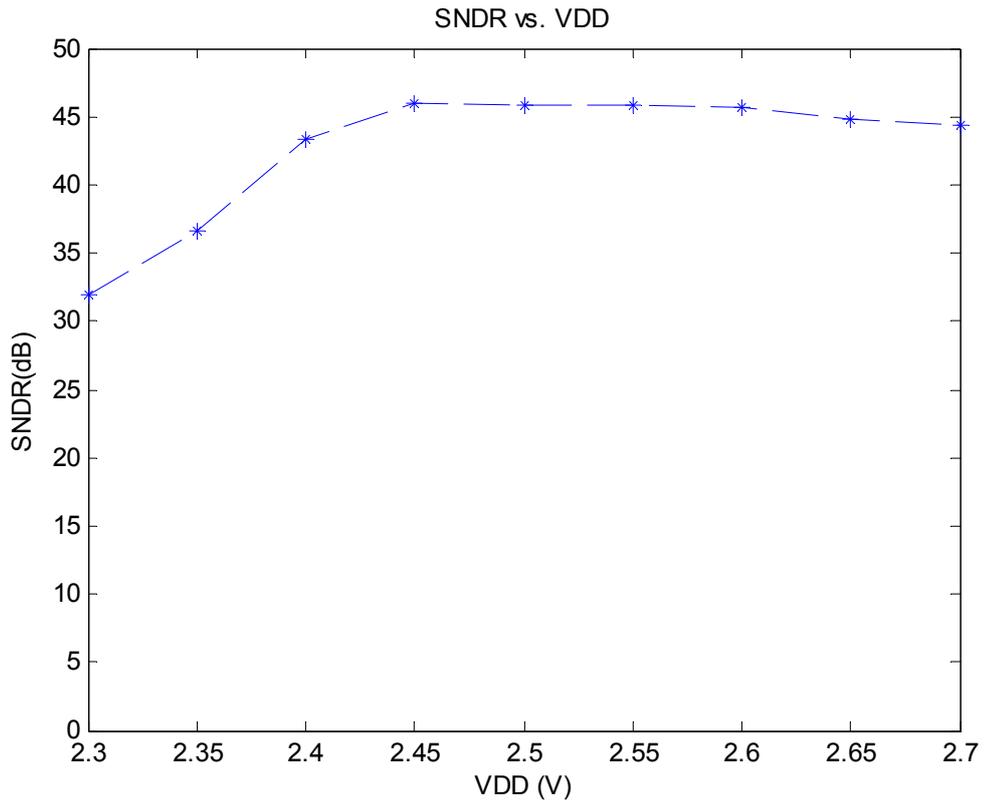


Figura 3-56. Prestaciones dinámicas del ADC. SNDR para diferentes tensiones analógicas de polarización y una frecuencia de entrada de 1.1MHz (62532 puntos)

Finalmente, se ha llevado a cabo un análisis de la variación de la tensión de alimentación V_{DD} , desde los 2,3 V a los 2,7 V para una frecuencia de entrada de 1.1 MHz y una frecuencia de muestreo de 19 MHz. La Figura 3-56 muestra que el ADC puede operar con variaciones de tensiones de polarización relativamente elevadas sin presentar una degradación significativa en su resolución.

Para comparar el comportamiento total del convertidor fabricado frente a otros ADC pipeline ya publicados utilizamos un único parámetro denominado figura de mérito FOM ya definido en el capítulo 2. Esta figura se define como la potencia consumida (en Watios) dividida entre el producto del valor efectivo de niveles de cuantización y la tasa de muestreo (en Hz). Matemáticamente, queda expresada según la siguiente ecuación

$$FOM = \frac{P_{dis}}{2^{ENOB} \cdot f_{smp}} \quad (3.41)$$

La figura Figura 3-57 compara el valor de FOM del convertidor propuesto con los valores FOM obtenidos sobre los ADC de la comparativa realizada en el capítulo 2. Esta comparativa seleccionaba ADC pipeline de 10 bits publicados en la revista IEEE J. Solid-State Circuits en los últimos años. En esta figura, se muestra los valores de FOM frente al número efectivo de bits (ENOB). Nótese que el ADC propuesto, a pesar de haber sido fabricado en una tecnología relativamente antigua, se encuentra entre uno de los que tiene un valor más bajo de FOM normalizado con respecto al consumo de potencia.

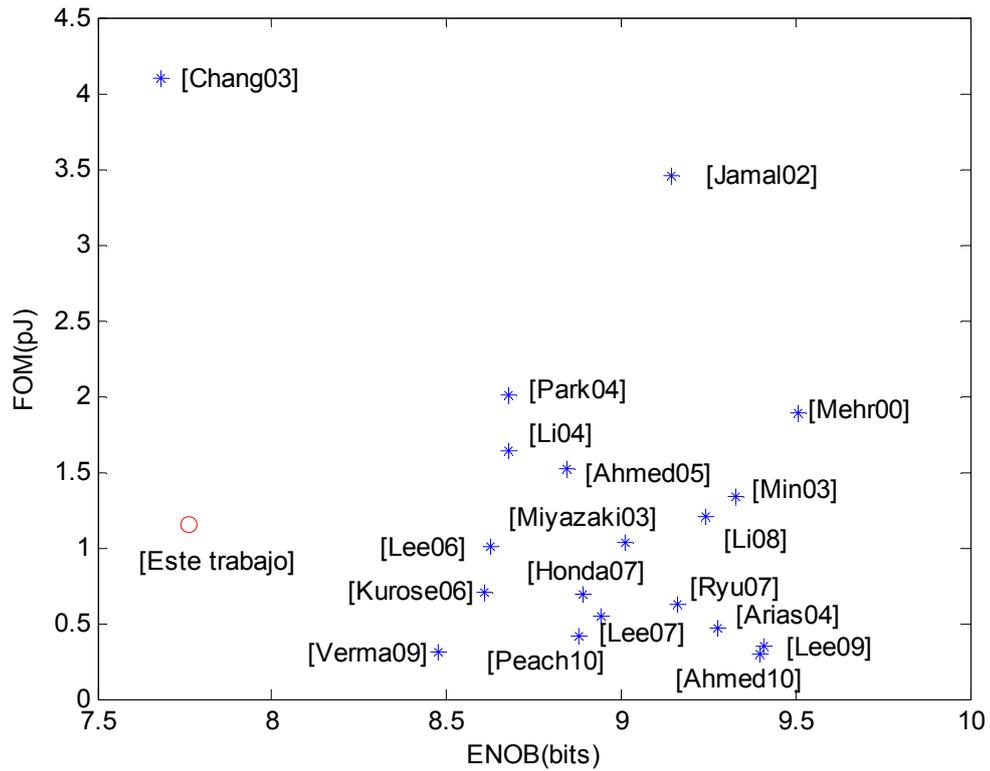


Figura 3-57. FOM vs. ENOB para ADC reportados recientemente.

Este capítulo describe de manera exhaustiva el diseño de un ADC pipeline para una frecuencia de 19 MS/s y 8 bits de resolución implementado en una tecnología CMOS estándar de 0.35 μm y aplicaciones de baja potencia.

El capítulo se detiene en cada uno de los pasos del diseño, desde el desarrollo de modelos matemáticos para establecer las especificaciones a partir de las limitaciones impuestas por las no linealidades del circuito, hasta la fabricación del PCB y la obtención de los resultados experimentales, pasando por la enumeración de las diferentes técnicas aplicadas para reducir el consumo de potencia del convertidor, la realización del layout y la caracterización del diseño propuesto mediante simulaciones post layout.

El ADC prototipo medido presenta una SNDR y SFDR máxima de 42.76 y 51.57 dB a 19 MS/s, respectivamente, tiene un área activa de 4.78 mm² y consume 4mW de potencia para una frecuencia de funcionamiento de 19 MS/s y 2.5 V de tensión de alimentación. El ADC propuesto se encuentra entre los que tiene un valor más bajo de FOM normalizado con respecto al consumo de potencia.

Referencias

- [Abo99] Abo, A.M.; Gray, P.R. "A 1.5-V, 10-bit, 14.3-MS/S CMOS pipeline analog-to-digital converter" IEEE Journal of Solid-State Circuits, vol. 34, Iss:5, pp:599-606, May 1999
- [Ahmed05] Imran Ahmed and David A. Johns "A 50-MS/s (35mW) to 1-kS/S (15 μ W) Power Scaleable 10-bit Pipelined ADC Using Rapid Power-On Opamps And Minimal Bias Current Variation" IEEE J. of Solid-State Circuits, vol. 40, no.12, pp. 2446- 2455, December 2005.
- [Allen02] Phillip E. Allen, Douglas R. Holberg, "CMOS Analog Circuit Design" Oxford University Press, 2002
- [Amaral02] P. Amaral, J. Goes, N. Paulino and A. Steiger-Garcia "An Improved Low-Voltage Low-Power CMOS Comparator to be used in High-Speed Pipeline ADCs" IEEE International Symposium on Circuits and Systems 2002 ISCAS 2002, vol.5, pp:V-141-V-144, May 2002
- [Annema99] A.J. Annema; "Analog circuit performance and process scaling" IEEE Trans. Circuits. Syst. II, vol. 46, pp.711-725, June 1999
- [Arias04] J. Arias, V. Boccuzzi, L. Quintanilla, L. Enríquez, D. Bisbal, M. Banu and J.Barbolla "Low-Power Pipeline ADC for Wireless LANs" IEEE J. of Solid-State Circuits, vol.39, no.8, p.1338-1340, August 2004
- [Aslanzadeh03] Aslanzadeh, H. A.; Mehrmanesh, S.; Vahidfar, M. B.; Safarian, A. Q.; "A low power 25 Ms/s 12-bit pipelined analog to digital converter for wireless applications" Southwest Symposium on Mixed-Signal Design 2003, pp. 38-42, Feb. 2003
- [Barlow89] Barlow A., Takasuka K., Nambu Y., Adachi T., Konno J. "An Integrated Switched Capacitor Filter Design System"; IEEE Custom Integrated Circuits Conference 1989
- [Brooks97] Brooks, T. L., Robertson, D. H., Nelly, D.F., Del Muro, A., and Harston, S.W. "A cascaded sigma-delta pipeline A/D converter with 1.25 MHz signal bandwidth and 89 dB SNR" IEEE J. Solid-State Circuits, 1997, 32, (12), pp.1896-1906
- [Carvajal01] R.G. Carvajal, A. Torralba, J. Ramírez-Angulo, J. Tombs and F. Muñoz "Low voltage class AB output stages for CMOS op-amps using floating capacitors" IEEE International Symposium on Circuits and Systems, ISCAS'2001, Sydney, Australia.
- [Chang03] Dong-Young Chang and Un-ku Moon "A 1.4-V 10-bit 25-MS/s Pipelined ADC Using Opamp-Reset Switching Technique" IEEE J. Solid-State Circuits, vol. 38, no.8, August 2003, pp. 1401-1404
- [Cho95] T.B. Cho, P.R. Gray "A 10 b, 20 Msample/s, 35 mW Pipeline A/D Converter" IEEE J. Solid-State Circuits, vol. 30, n°3, pp. 166-172, Mar. 1995
- [Choi00] Hee Cheol Choi; Ho-Jin Park; Shin-kyu Bae; Jae-Whui Kim; Chung, P. "A 1.4V 10-bit 20MSPS pipelined A/D converter" IEEE International Symposium on Circuits and Systems, ISCAS 2000. Gineva, Vol:1, May 2000, Pages:439-442
- [Cline96] D.W. Cline and P.R. Gray "A power optimized 13-b 5 Msample/s pipelined analog-to-digital converter in 1.2 μ m CMOS" IEEE J. Solid-State Circuits, vol.31, pp. 294-303, Mar.1996
- [ENG228] "0.35 μ m CMOS C-% Matching Parameters"; Document Number:ENG-228.Revision number:1.0. Austrian Microsystem.
- [Fan11] Kai Fan; Xiaoming Liu and A. Lee "Digital calibration technique for a 14-bit 125-MS/S pipelined ADC using PN dithering" ISPACS 2011, pp. 1-4 Dec. 2011

- [Fiedler81] H. Fiedler et al. "A 5-bit building-block for 20 MHz A/D converters" IEEE Journal of Solid-State Circuits, vol. SC-16, n°3, pp.151-155, Sept 1981
- [Garcia-Gonzalez08] J.M. Garcia-Gonzalez, F. Muñoz, R. G. Carvajal, E. López-Morillo, H. ElGmili and E. Aguilar-Pelaez "A 1.2V 1.5 μ W 4kS/s 10b Pipelined ADC for Electroencephalogram Applications" IEEE Engineering in Medicine and Biology Society EMBC'08, August 2008
- [Haigh83] D.G. Haigh, B. Singh " A switching scheme for switched capacitor filters which reduces the effect of parasitic capacitances associated with switch control terminals" in Proc. IEEE International Symposium on circuits and Systems, pp. 586-589, 1983.
- [Honda07] Kazutaka Honda, Masanori Furuta, Shoji Kawahito "A Low-Power Low-voltage 10-bit 100-MSample/s Pipeline A/D Converter Using Capacitance Coupling Techniques" IEEE J. Solid-State Circuits, vol.42, no.4, April 2007, pp.757- 765
- [Jamal02] Shafiq M. Jamal, Daihong Fu, Nick C.-J. Chang, Paul J. Hurst and Stephen H. Lewis "A 10-b 120-MSample/s Time-Interleaved Analog-to-Digital Converter With Digital Background Calibration" IEEE J. Solid-State Circuits, vol. 37, no.12, December 2002, pp. 1618-1627
- [Kobayashi93] T. Kobayashi et. al. "A current-controlled latch sense amplifier and a static power-saving input buffer for low-power architectures" IEEE J. of Solid-S. Circuits, vol. 28, n°4, pp. 523-527, April 1993.
- [Kurose06] Daisuke Kurose, Tomohiko Ito, Takeshi Ueno, Takafumi Yamaji and Tetsuro Itakura "55-mW 200-MSPS 10-bit Pipeline ADCs for Wireless Receivers" IEEE J. Solid-State Circuits, vol 41,no.7, July 2006, pp.1589-1595
- [Kusumoto93] K. Kusumoto et al. "A 10-b 20-MHz 30-mW pipelined interpolating CMOS ADC" ISSCC Dig.Tech. Pap., pp. 62-63, Feb. 1993
- [Lampaert99] Koen Lampaert, Georges Gielen and Willy Sansen " Analog Layout Generation for Performance and Manufacturability" Kluwer Academic Publishers 1999
- [Lee06] Seung-Chul Lee, Kwi-Dong Kim, Jong-Kee Kwon, Jongdae Kim and Seung-Hoon Lee " A 10-bit 400-MS/s 160-mW 0.13 μ m CMOS Dual-Channel Pipeline ADC Without Channel Mismatch Calibration" IEEE J. Solid-State Circuits, vol 41,no.7, July 2006, pp.1596-1605
- [Lee07] Seung-Chul Lee, Young-Deuk Jeon, Jong-Kee Kwon and Jongdae Kim "A 10-bit 205-MS/s 1.0 mm² 90-nm CMOS Pipeline ADC for Flat Panel Display Applications" IEEE J. Solid-State Circuits, vol.42, no.12, December 2007, pp.2688- 2695
- [Lewis92] S. H. Lewis et. al. "A 10-b 20-Msample/s Analog-to-Digital Converter" IEEE Journal of Solid-State Circuits, vol. 27, n°3, pp.351-358, March 1992
- [Li04] Jipeng Li and Un-ku Moon "A 1.8-V 67-mW 10-bit 100-MS/s Pipelined ADC Using Time-Shifted CDS Technique" IEEE J. of Solid-State Circuits,vol.39, no.9, p.1468-1476, September 2004
- [Li08] Jian Li, Xiaoyang Zeng, Lei Xie, Jun Chen, Jianyun Zhang and Yawei Guo "A 1.8-V 22-mW 10-bit 30-MS/s Pipelined CMOS ADC for Low-Power Subsampling Applications" IEEE J. Solid-State Circuits, vol.43, no.2, February 2008, pp.321- 329
- [Liu04] M-H Liu, K-C Huang, W-Y Ou, T-Y Su, S-I Liu "A Low Voltage-Power 13-Bit 16 MSPS CMOS Pipelined ADC" IEEE Journal of Solid-State Circuits, Vol. 39, No 5, May 2004
- [Mangelsdorf93] C. Mangelsdorf, H. Malik, S. Lee, S. Hisano, and M. Martin "A two-residue architecture for multistage ADCs" in Dig. IEEE Int. Solid-State Circuits Conf., Feb.1993, pp.64.

- [Mehr00] Iuri Mehr and Larry Singer "A 55-mW, 10-bit, 40-MSample/s Nyquist-Rate CMOS ADC" IEEE J. Solid-State Circuits, vol. 35, no.3, March 2000, pp. 318- 325
- [Min03] Byung-Moo Min; Kim, P.; Bowman, F.W.; Boisvert, D.M.; Aude, A.J.; "A 69-mW 10-bit 80-MSample/s pipelined CMOS ADC" IEEE Journal of Solid-State Circuits, Vol:38, Iss:12, Dex 2003, Pages: 2031-2039
- [Miyazaki03] Daisuke Miyazaki, Sholi Kawahito and Masanori Furuta "A 10-b 30-MS/s Low-Power Pipelined CMOS A/D Converter Using Pseudodifferential architecture" IEEE J. Solid-State Circuits, vol. 38, no.2, February 2003, pp. 369-373
- [Muñoz03] F. Muñoz, J. Ramírez-angulo, A. López-Martin, R.G.Carvajal, A.Torralba, B. Palomo and M. Kachare "Analogue switch for very low-voltage applications" Electronics Letters, Vol. 39, No. 9, May 2003
- [Nagaraj97] Nagaraj K.,Fetterman H.S., AnidjarJ.,Lewis S.H.,Renninger R.G., "A 250-mW, 8-b,52-Msamples/s parallel-pipelined A/D converter with reduced number of amplifiers" IEEE Journal of Solid-State Circuits, pp.312-320, vol.32, n°3,1997
- [Nauta96] B. Nauta and A. G. W. Venes "An 80MHz 80mW 8b CMOS folding A/D converter with distributed T/H preprocessing" IEEE International Solid-State Circuits Conference, pp. 318-319, 1996.
- [Ockey01] Rachele Ockey and Marek Syrzycki "Analysis of Manufacturability Factors for Analog CMOS ADC Building Blocks" Analog Integrated Circuits and Signal Processing 26, 239-255, Kluwer Academic Publisher 2001
- [Palomo03] B.Palomo, F. Muñoz, R.G. Carvajal, A. Torralba and J. Ramírez-Angulo " A 1.5V, 8-bit, 10MS/s CMOS Pipeline Analog-to-Digital Converter" Proc. Of the XVIII design on circuits and integrated systems conference (DCIS'03) pp:22-26, Nov 2003.
- [Palomo08] B. Palomo, F. Muñoz, R.G. Carvajal, J.R. García, H. EIGmili and A. Torralba "A very low power 8-bit 16Msample/s CMOS pipelined converter for DVB-H" DCIS 2008 Nov. 2008
- [Palomo11] *B.Palomo, F.Muñoz, R.G.Carvajal, J.R. García F.Marquez "An 8-bit 19 MS/s low-power 0.35 μm CMOS pipelined ADC for DVB-H" Integration, the VLSI Journal (2011) doi:10.1016/j.vlsi.2011.10.003*
- [Park04] Jong-Bum Park, Sang-Min Yoo, Se- Won Kim, Young-Jae Cho and Seung-Hoon Lee "A 10-b 150 Msample/s 1.8V 123-mW CMOS A/D Converter With 400-MHz Input Bandwidth" IEEE J. Solid-State Circuits, vol.39, no.8, August 2004, pp.1335-1337
- [Razavi95] B.Razavi "Principles of Data Conversion System Design" IEEE Press, 1995
- [Razavi01] B. Razavi "Design of Analog CMOS Integrated Circuits" McGraw Hill, 2001
- [Robert87] J. Robert, et. al. "A 16-bit Low-Voltage CMOS A/D Converter" IEEE Journal of Solid-State Circuits, vol. SC-22, n°2, pp. 157-163, April 1987
- [Ryu07] Seung-Tak Ryu, Bang-Sup Song and Kantilal Bacrania "A 10-bit 50-MS/s Pipelined ADC With Opamp Current Reuse" IEEE J. Solid-State Circuits, vol.42, no.3, March 2007, pp.475-485
- [Singer00] L. Singer, S. Ho, M. Timko, and D. Kelly, "A 12-b 65-MS/s CMOS ADC with 82-dB SFDR at 120 MHz" in ISSCC Dig. Tech. Papers, Feb. 2000
- [Song90] B.-S. Song, S.-H Lee and M.F. Tompset "A 10-b 15-MHz CMOS Recycling Two-Step A/D Converter" IEEE Journal of Solid-State Circuits, vol. 25, n°6, pp.1328-1338, December1990

- [Song93] W. Song et al., "A low-power dynamic comparator" Korean Patent pending, File N°. 26314, Dec 3, 1993
- [Song95] Won-Chul Song, Hae-Wook Choi, Sung-Ung Kwak, And Bang-Sup Song "A 10-b 20-Msample/s Low-Power CMOS ADC" IEEE Journal of Solid-State Circuits, Vol. 30, No 5, May 1995
- [Sumanen00] L. Sumanen, M. Waltari, K. Halonen, "A Mismatch Insensitive CMOS Dynamic Comparator for Pipeline A/D Converters" in Proc. ICECS'00, Dec. 2000, pp. I-32-35
- [Sumanen02] Sumanen, L.; Waltari, M.; Hakkarainen, V.; Halonen, K.;"CMOS dynamic comparators for pipeline A/D converters" IEEE International Symposium on Circuits and Systems 2002, ISCAS 2002, vol. 5, pp:V-157-V-160, May 2002
- [Surtaja88] S. Surtaja and P. R. Gray "A Pipelined 13-bit 250 ks/s 5-V analog-to-digital converter" IEEE Journal of Solid-State Circuits, vol. SC-23, n°6, pp.1316-1323, December 1988
- [Uthaichana03] Uthaichana P., Leelarasmee E. "Low power CMOS dynamic latch comparators" TECON 2003 pp. 605-608, vol.2, 2003
- [Wang09] Haoyue Wang; Xiaoyue Wang; P.J. Hurst and S.H. Lewis "Nested Digital Background Calibration of a 12-bit Pipelined ADC without an input SHA" IEEE Journal of Solid-State Circuits, vol. 44, n°10, pp. 2780-2789, October 2009.
- [Waltari01] M. Waltari, K. Halonen, "1-V, 9-bit pipelined Switched-Opamp ADC" IEEE J. Solid-State Circuits, vol.36, n°1, pp. 129-134, Jan.2001
- [Yang06] H.Y. Yang and R. Sarpeshkar, "A Bio-Inspired Ultra-Energy-Efficient Analog-to-Digital Converter for Biomedical Applications" IEEE Transactions on Circuits And Systems-I: Regular Papers, vol.53, no11, pp.2349-2356, November 2006
- [Yu08] Yu, H.; Chin, S.W.; Wong, B. C. "A 12b 50MSPS 34mW pipelined ADC" Custom Integrated Circuits Conference, 2008. CICC 2008. IEEE pp.297-300, Sept. 2008
- [Yukawa85] Akira Yukawa "A CMOS 8-Bit High-Speed A/D Converter IC" IEEE J. Solid-State Circuits, vol. SC-20, pp.775-779, June 1985*
- [Zbinden92] Zbinden P.,Knecht C.,Moschytz, G.S. "SC-tool: a layout-generation CAD program for general SC-circuits and filters" ISCAS'92, pp 2260-2263, vol.5,1992

AMPLIFICADOR DE TRANSCONDUCTANCIA

4.1 Especificaciones para amplificadores operacionales en aplicaciones SC

4.2 Amplificador de transconductancia de una etapa con elevada ganancia

4.3 Circuito de realimentación de modo común

4.4 Técnicas de elevación de ganancia

4.5 Modelado del amplificador cascado con elevación de ganancia

4.6 Tiempo de establecimiento en el amplificador cascado con elevación de ganancia

4.7 OTA telescópico con elevación de ganancia y amplio rango de salida

4.8 OTA folded cascado con transistores ‘super-cascodo’

El amplificador operacional (OA) es un bloque constructivo ampliamente utilizado en muchos tipos de circuitos analógicos. En muchas ocasiones, es el punto donde primero se pone de manifiesto los límites de la tecnología, al intentar mejorar las especificaciones de velocidad o consumo de potencia. En la técnica de condensadores conmutados (SC) y en los convertidores analógicos digitales (ADC) pipeline el opamp se convierte en un componente principal.

La metodología de diseño de los amplificadores operacionales y sus diferentes topologías han sido estudiadas en profundidad. Sin embargo, mostrar un estudio exhaustivo en el contexto de esta tesis, además de la complejidad que entraña, quizás no tenga demasiado interés. En su lugar, este capítulo se concentra en discutir los aspectos relacionados con la baja tensión y el bajo consumo aplicado a los circuitos SC. A partir de los requisitos de los opamps en este tipo de circuitos, revisados en el apartado 1 del presente capítulo, se muestran las topologías que mejor se adaptan a las necesidades buscadas, con sus pros y sus contras, en el apartado 2.

Después del apartado 3, donde se explica el principio básico de funcionamiento del circuito de realimentación de modo común específico para SC, se desarrolla de forma detallada la técnica de elevación de ganancia para amplificadores cascado (GBCA) en los apartados 4 a 6. El objetivo en este caso consiste en lograr unas especificaciones de la ganancia en DC mayores a las alcanzables en topologías de una

etapa sin necesidad de recurrir a arquitecturas multietapas, con el ahorro en consumo de potencia que lleva asociado esta decisión. El apartado 7 describe el OTA telescópico con elevación de ganancia y amplio rango de salida que se ha utilizado en el diseño de ADC pipeline de 8 bits y 19 MS/s presentado en el capítulo 3 de esta tesis doctoral.

Finalmente, el apartado 8 presenta un OTA folded cascode diferencial donde se ha implementado una técnica de elevación de ganancia diferente a partir de la estructura denominada transistor 'super-cascode'. Se trata de un amplificador apropiado para su utilización en un ADC pipeline de baja tensión.

4. Amplificador de transconductancia

4.1 Especificaciones para amplificadores operacionales en aplicaciones SC

La máxima velocidad y, en gran medida, el consumo de potencia de un circuito SC viene determinado por el amplificador operacional. Los amplificadores en circuitos SC tienen ciertos requerimientos particulares, uno de los cuales es que la impedancia de entrada debe ser puramente capacitiva para garantizar la conservación de la carga. Por tanto, la entrada del amplificador debe ser la puerta de un transistor MOS. Dado que no es posible emplear un BJT como transistor de entrada, las ventajas ofrecidas por la tecnología BiCMOS en cuanto a velocidad y consumo de potencia se refiere no pueden ser explotadas.

4.1.1 Impedancia de salida

En un opamp MOS real la impedancia de salida en bucle abierto es distinta de cero. Normalmente, es resistiva y del orden de 0.1-5 K Ω para opamps con buffer de salida y del orden de 1M Ω para opamps sin él. Esto afecta a la velocidad con la que puede cargar una capacidad conectada a su salida, y por tanto a la frecuencia más elevada de la señal a la que se puede trabajar.

Dado que la carga a la salida del amplificador en los circuitos SC, al igual que la impedancia de entrada, es puramente capacitiva, los opamps se pueden diseñar sin tener en cuenta la resistencia de salida, que puede ser alta. Por este motivo, se usan amplificadores de transconductancias (OTAs). La ventaja de esta solución es que la etapa de salida de un OTA proporciona una ganancia en tensión significativa, pudiéndose obtener la ganancia requerida con un número menor de etapas.

4.1.2 Rango de tensión a la salida

Para una señal senoidal la máxima relación señal a ruido (SNR) viene determinada por la ecuación (4.1), donde V_{\max} es la máxima amplitud pico a pico de la señal y V_n la tensión de ruido RMS. En circuitos reales, la señal nunca variará entre el raíl positivo y el raíl negativo de alimentación, por eso existe un segundo término en la expresión de V_{\max} , V_{margin} , que en los circuitos SC que emplean amplificadores es un múltiplo de la tensión de saturación V_{dsat}

$$\sqrt{SNR_{\max}} = \frac{V_{\max}}{2\sqrt{2} \cdot V_n} = \frac{V_{DD} - V_{\text{margin}}}{2\sqrt{2} \cdot V_n} \quad (4.1)$$

A partir de esta expresión se deduce que el rango de tensiones a la salida del amplificador tiene un gran impacto en la máxima relación señal a ruido (SNR). Por tanto, maximizar este rango es especialmente importante en las aplicaciones de alta resolución y baja tensión de alimentación. Desafortunadamente, una etapa de salida con un elevado rango de tensión puede ver incrementado el ruido, al no poder escalar adecuadamente las fuentes de intensidad.

En amplificadores completamente diferenciales la tensión de modo común a la salida no viene determinada automáticamente. Para llevarla al nivel deseado, habitualmente en la mitad de la tensión de alimentación (V_{DD}) hay que usar un circuito de realimentación de modo común (CMFC).

4.1.3 Rango de modo común a la entrada

Los amplificadores con una configuración de realimentación negativa proporcionan una linealidad alta y una ganancia de bucle cerrado precisa. Además, proveen de nodos de tierra virtual, necesarios cuando debe existir una transferencia de carga precisa de una capacidad a otra. Por estos motivos, los circuitos SC utilizan típicamente este tipo de configuraciones, lo que no requiere un elevado rango de modo común a la entrada del amplificador. Por tanto, se pueden construir circuitos de baja tensión con amplificadores que no varíen en un rango completo de tensiones a la entrada.

En circuitos SC, el modo común a la entrada no tiene por qué ser igual al modo común de salida, que normalmente es fijado a $V_{DD}/2$ para maximizar la variación de la señal a la salida. Se puede sacar provecho de esta libertad en circuitos de baja tensión. Si empleamos un par NMOS a la entrada, colocando el nivel de modo común cercano a V_{DD} , dispondremos de más caída de tensión para el par de entrada y la fuente de corriente. En teoría podría ser posible llevar el modo común de entrada a V_{DD} , sin embargo, en ese caso habría que tener cuidado con una posible polarización directa de las uniones pn de posibles transistores PMOS conectados a dicha entrada como interruptores.

4.1.4 Ganancia DC

La precisión está limitada en última instancia por la ganancia finita del amplificador. Aunque el error no depende únicamente de la ganancia sino también del factor de realimentación en el circuito que incorpora el amplificador. Las especificaciones de ganancia suelen ir de los 60dB a los 100dB. Es deseable también que la ganancia sea constante en todo el rango de salida del amplificador, en caso contrario tendremos una importante distorsión armónica.

4.1.5 Ancho de banda y margen de fase

El producto ganancia-ancho de banda (GBW) del amplificador y el factor de realimentación del circuito determinan el tiempo de establecimiento cuando usamos el modelo de un solo polo. Sin embargo, en la práctica, hay siempre más de un polo, aparte de ceros. En la respuesta en frecuencia, la presencia de estos polos y ceros indeseados se traduce en modificaciones en la fase a altas frecuencias. Por tanto, el margen de fase y la frecuencia de ganancia unidad también tienen un cierto efecto en el tiempo de establecimiento.

Si el amplificador no se va a emplear en una configuración de realimentación unitaria, el margen de fase requerido no viene definido por la frecuencia de ganancia unidad sino por la frecuencia de la ganancia en bucle cerrado, que es menos restrictiva.

El tiempo de establecimiento menor se obtiene cuando la respuesta al escalón alcanza el límite superior del error de tolerancia admitido a partir del valor final [Yang90]. Mientras mayor sea la precisión requerida, el valor óptimo se hace más cercano al caso de amortiguamiento crítico, que se corresponde con un margen de fase de 76° en un sistema de dos polos. Este valor es significativamente mayor de los 60° empleados habitualmente en tiempo continuo y en circuitos SC.

En ocasiones, cuando hay más de un polo no dominante, ceros, *doublets* polo-cero, o polos complejos conjugados en el circuito, el margen de fase no proporciona una buena indicación del tiempo de establecimiento; puede ser significativamente mayor o menor que en un sistema de dos polos con el mismo margen de fase.

4.1.6 Slew rate

Junto al ancho de banda del amplificador operacional, el tiempo de establecimiento está limitado por el hecho de que el amplificador puede proporcionar solo una corriente finita a la capacidad de carga. De forma que la salida no puede cambiar más rápido que el *slew rate*, que viene dado por la ecuación (4.2)

$$SR = \frac{I_{SR}}{C_L} \quad (4.2)$$

donde C_L es la capacidad de carga e I_{SR} la corriente máxima disponible a la salida del amplificador. Al diseñar un amplificador, la capacidad de carga es conocida y el slew rate requerido puede obtenerse, según la ecuación (4.3), del mayor salto de tensión (V_{max}) y el periodo de reloj (T_S), la mitad del cual es el tiempo disponible para que la salida alcance su valor final.

$$SR = \frac{k \cdot V_{max}}{T_S} \quad (4.3)$$

La corriente necesaria, por tanto, viene expresada por la ecuación (4.4), resultado de igualar las ecuaciones (4.2) y (4.3).

$$I_{SR} = \frac{k \cdot V_{\max} C_L}{T_S} \quad (4.4)$$

Esta corriente máxima es linealmente dependiente de la frecuencia de reloj, mientras que la corriente necesaria para obtener el ancho de banda del amplificador tiene una dependencia cuadrática, lo que significa que en circuitos de alta velocidad la especificación de ancho de banda es más restrictiva que la de *slew rate* [Sumanen01]. En cambio, en circuitos lentos o de velocidad media el *slew rate* mantiene la corriente a un valor innecesariamente alto. Se puede ahorrar potencia de forma considerable si se ajusta la corriente dependiendo de la necesidad, puesto que la corriente requerida para la variación de la señal limita una pequeña fracción de tiempo del periodo de reloj. Esto puede implementarse bien usando una etapa de salida clase AB o mediante polarización dinámica.

En un opamp MOS, los valores típicos de *slew rate* que pueden obtenerse oscilan entre 1-20 V/μs.

4.1.7 Ruido

En convertidores analógicos digitales (ADC) de Nyquist y alta velocidad, el ruido dominante en el amplificador operacional es el ruido térmico, mientras que el ruido 1/f es menos importante. Por tanto, no tiene sentido utilizar un par diferencial PMOS, que tiene la propiedad de proporcionar un bajo ruido 1/f, en el amplificador desde el punto de vista del ruido.

La contribución al ruido total de todos los transistores del amplificador normalmente se condensa en una única fuente de tensión a la entrada. Suponiendo que todas las fuentes de ruido son incorreladas, el ruido total se obtiene como la raíz cuadrada de la suma del cuadrado de todas las fuentes de ruidos individuales referidas a la entrada. Las fuentes de ruido referidas a los transistores de la primera etapa son las más significativas, ya que las de etapas posteriores se verán atenuadas por las ganancias de tensiones precedentes.

El ruido térmico referido a la puerta para los transistores MOS viene dado por la ecuación (4.5)

$$\overline{v_n^2} = 4\gamma \frac{kT}{g_m} \Delta f \quad (4.5)$$

Donde T es la temperatura absoluta, k es la constante de Boltzmann, Δf la frecuencia diferencial, g_m la transconductancia de pequeña señal del transistor, y γ el factor de ruido, que es 2/3 para transistores de canal largo (L > 1.7 μm). En dispositivos de canal corto el valor de γ es mayor debido al efecto de la termalización. Se ha demostrado experimentalmente [Abidi86] que para transistores de 0.7 μm de canal el valor de γ varía de 2.5 a 9, dependiendo de las condiciones de polarización. Modelos analíticos para γ se proponen en [Triantis96] y [Knoblinger01], sin embargo son demasiado complicados para cálculos a mano. En general, podemos decir que γ aumenta si la tensión puerta-fuente disminuye o la tensión drenador-fuente aumenta.

De la ecuación (4.5) inferimos que el ruido térmico referido a la entrada disminuye si aumentamos la transconductancia g_m, que puede conseguirse utilizando transistores NMOS, o en su defecto, si aumentamos la corriente o la relación de aspecto.

Cuando está referida a la entrada del amplificador, el ruido de los transistores empleados como fuentes de corrientes o espejos en las primeras etapas se multiplica por la transconductancia del propio dispositivo y se divide por la transconductancia del transistor de entrada. Así, el ruido total referido a la entrada vendrá dado por la ecuación (4.6)

$$\overline{v_{n,opamp}^2} = 4 \cdot \frac{kT\gamma_{in}}{g_{m,in}} \Delta f \cdot \left(1 + \frac{\gamma_{cs1} \cdot g_{m,cs1}}{\gamma_{in} g_{m,in}} + \frac{\gamma_{cs2} \cdot g_{m,cs2}}{\gamma_{in} g_{m,in}} + \dots \right) \quad (4.6)$$

En la ecuación anterior se sugiere de nuevo que maximizar la transconductancia del par de entrada minimiza el ruido. Podría reducirse todavía más decrementando las transconductancias de las fuentes de corriente. Dado que la corriente viene fijada por otras especificaciones, la única posibilidad será disminuir la relación de aspecto del transistor. Esto lleva a un incremento de la tensión ($V_{GS}-V_T$), lo que se traduce, como efecto positivo, en un decremento de γ . Nótese que la tensión anteriormente mencionada es igual a V_{dsat} . Por tanto, conseguir un bajo ruido con una tensión de alimentación baja es difícil, especialmente con amplificadores de una etapa, donde la variación de la señal de salida no permite que V_{dsat} sea grande. También se podría incrementar L para evitar los efectos de canal corto, pero, a relación aspecto constante, incrementaría las capacidades parásitas, reduciendo el ancho de banda del amplificador.

Los transistores cascode no aportan una contribución significativa al ruido, porque su fuente de ruido se transforma en corriente a través de una alta impedancia.

Observando la ecuación (4.6) resulta evidente que la topología del amplificador no afecta a la contribución de ruido del par de entrada excepto por el tipo de transistor (NMOS o PMOS). Por otro lado, el número de términos del paréntesis y, hasta cierto punto, la cuantía de los mismos sí son dependientes de la topología. En el caso de querer comparar varias topologías de amplificador, resulta conveniente escribir el término en paréntesis como $1+\gamma_{OA}$, donde γ_{OA} se refiere al factor de ruido del amplificador.

En un opamp MOS, en una banda de frecuencia en un rango de 10 Hz a 1MHz, el ruido a la entrada equivalente es del orden de 10 a 50 μ V RMS.

4.2 Amplificador de transconductancia de una etapa con elevada ganancia

Para una rápida y completa transferencia de carga, los amplificadores de transconductancia (OTA) tienen que cumplir tres requisitos: elevado *slew-rate*, gran ancho de banda y alta ganancia. Sin embargo, resulta difícil mejorar las especificaciones de velocidad y precisión a la vez. Un tiempo de establecimiento corto requiere una alta frecuencia de ganancia unidad y un comportamiento similar al de un amplificador de un solo polo, mientras que un valor final preciso requiere una elevada ganancia en DC. Esto se traduce en un diseño multietapa con transistores de canal ancho polarizados con corrientes bajas en el caso de una alta ganancia y en diseños de una etapa con transistores de canal estrecho polarizados con elevadas corrientes en el caso de un gran ancho de banda.

OTAs de etapa simple se emplean con frecuencia en circuitos SC [Thandri06], [Carvajal02], [Adut06]. Una alta impedancia de salida proporciona una ganancia DC adecuada, que incluso puede ser incrementada con técnicas de elevación de ganancia. Arquitecturas de una etapa proporcionan elevado ancho de banda y un buen margen de fase con un pequeño consumo de potencia. Además, no es necesario utilizar compensación de frecuencia ya que el polo dominante viene determinado por la capacidad de carga.

4.2.1 OTA folded cascode

El OTA folded cascode [Choi83] de la Figura 4-1 es probablemente la arquitectura de amplificador más común en circuitos SC [Daoud08], [Lei10]. Proporciona un rango de salida y un rango de modo común de entrada alto sin unas pérdidas importantes de velocidad. El rango de salida, $V_{DD}-4V_{dsat}$, no está ligado al rango de modo común de entrada, que es $V_{DD}-V_T-2V_{dsat}$ (obtenido usando $V_{GS}=V_T+V_{dsat}$).

La elección entre un par de entrada NMOS y PMOS debe hacerse en función del compromiso entre el producto ganancia ancho de banda (GBW) y la posición del segundo polo. La arquitectura de entrada NMOS ofrece un elevado GBW (g_{m1}/C_L) gracias a los transistores NMOS de entrada, pero el polo no dominante más bajo (g_{m6}/C_1) asociado al nodo n1 viene determinado por la baja transconductancia PMOS y las capacidades de las fuentes de corriente PMOS y el dispositivo cascode. Por el contrario, usar un par de entrada PMOS da un GBW menor, pero el polo no dominante es mayor, gracias al dispositivo cascode NMOS.

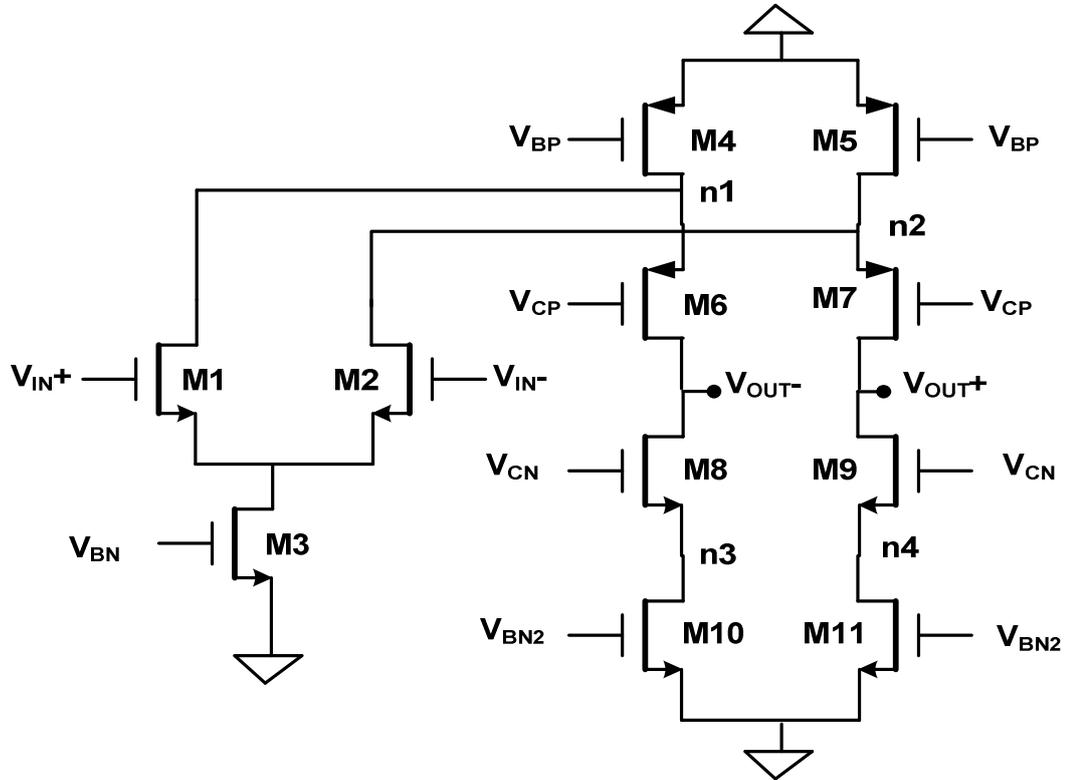


Figura 4-1. OTA folded cascode.

Se pueden utilizar capacidades de realimentación *feedforward* para mejorar el margen de fase de los transistores cascode a altas frecuencias [Sansen90]. En principio, la técnica produce un cero, que cancela el polo asociado con el nodo cascode. Sin embargo, como ocurre en todas las técnicas de cancelación polo-cero, no es posible colocar exactamente este cero encima del polo. Por tanto, hay un par polo-cero suficientemente cercano entre sí para crear un *doublet*, que introducirá una componente lenta a la respuesta al escalón [Kamath74], de forma que estas técnicas deben ser empleadas con cuidado.

También sería posible utilizar un par de entrada PMOS y otro NMOS en paralelo [Vallee94] lo cual incrementa el *slew rate* en 1/3 (con el mismo consumo total de corriente) pero al mismo tiempo incrementa la capacidad de entrada y el ruido térmico y decremента el polo no dominante. Otra posible forma de incrementar el *slew rate* y asegurar que todos los transistores permanecen en saturación es fijar la tensión de los nodos cascode con transistores en conexión diodo [Johns97].

Un detalle importante que no es tenido en cuenta en la mayoría de las ocasiones es que la impedancia vista en el nodo intermedio de una topología cascode (n_1, n_2, n_3 y n_4 en la Figura 4-1) es alta en DC. La impedancia de salida del OTA folded cascode [Abidi88] en el nodo V_{OUT+} o V_{OUT-} viene dada por la ecuación (4.7)

$$\frac{v}{i} = r_{ds} + \frac{(1 + g_{mc} \cdot r_{ds})}{g_{dsc}} \quad (4.7)$$

donde g_m representa la transconductancia del transistor, r_{ds} su resistencia de salida y el subíndice c se refiere al transistor cascode. De dicha expresión se deduce que la impedancia de salida del amplificador operacional se ve modificada por la ganancia del dispositivo cascode en un factor (g_m/g_{ds}). Por tanto, en una estructura folded cascode la impedancia del nodo intermedio n_i será del orden de ($2/g_{ds}$).

A frecuencias mayores la capacidad de carga en el nodo de salida hará decrecer la ganancia en tensión del circuito. La presencia de esta capacidad se transmite a M_1 (y a M_2) a través de r_{dsc} lo que provoca que las variaciones de tensión en los nodos n_i también se reduzcan. El efecto Miller de la capacidad puerta-drenador de la entrada del amplificador operacional adquiere así mayor relevancia en el funcionamiento del circuito, de forma que una cantidad de carga significativa se escapa por dicha capacidad provocando un error de ganancia.

El efecto Miller puede suprimirse insertando transistores cascode extras encima del par diferencial [Pärssinen99]. En el caso de un par de entrada NMOS, el polo no dominante añadido es mucho mayor que el que ya está presente en la función de transferencia y por tanto el margen de fase no se ve reducido significativamente. Un método alternativo para solucionar el efecto Miller es poner capacidades, pareadas con la capacidad puerta-drenador del transistor de entrada, entre la puerta del transistor de entrada y el drenador del transistor de entrada complementario [Song88].

4.2.2 Etapa cascode con preamplificación de baja ganancia

Otra forma de conseguir que la corriente del par de entrada se propague a una etapa cascode de salida es mediante espejos de corriente. El circuito resultante proporciona un mejor slew rate que el folded cascode, pero introduce otro polo no dominante, que se hace incluso menor a medida que la relación de aspecto entre los transistores del espejo de corriente se incrementa.

Un ejemplo relacionado con esta solución se muestra en la Figura 4-2. En lugar de un espejo de corriente, la carga del preamplificador es un par de transistores NMOS (M_3 y M_4) con sus puertas conectadas entre sí y la señal se lleva hasta la salida cascode desde el lado NMOS. En consecuencia, hemos evitado el uso de transistores PMOS en el camino de señal, consiguiendo un elevado GBW y empujando los polos no dominantes hacia frecuencias altas. Existe, sin embargo, dos polos no dominantes, uno asociado con la salida del preamplificador y otro con el nodo cascode, que provocan una caída abrupta en la fase. Para asegurarnos que el primero de estos polos es suficientemente alto, la transconductancia g_m de M_3 y M_4 debe ser suficientemente alta, limitando la ganancia del preamplificador (o la relación de aspecto entre espejos de corrientes) a valores pequeños, menores a dos. Desafortunadamente, el ruido térmico aumenta a medida que dicha ganancia disminuye y por tanto esta topología no es adecuada cuando se requiere bajo ruido. Además, el rango del modo común de entrada está bastante limitado.

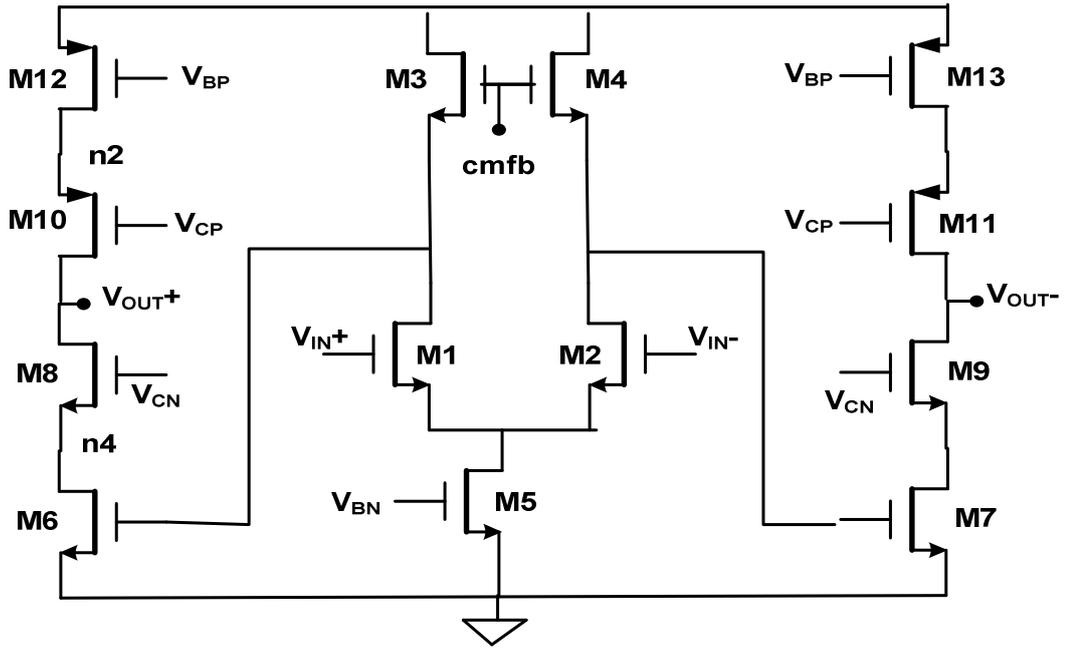


Figura 4-2. Etapa cascode con preamplificador de baja ganancia.

4.2.3 OTA telescópico

Dado que el consumo de potencia es un aspecto prioritario en nuestro diseño y que el amplificador operacional es un bloque crítico en dicho consumo, la topología escogida para el diseño del ADC pipeline es la de un cascode telescópico. Este tipo de amplificador consta únicamente dos ramas, frente a otras topologías con más ramas ya comentadas como la folded cascode o la multietapa, lo que proporciona una disipación de potencia menor. Otras ventajas del amplificador escogido son un excelente ancho de banda y un bajo ruido, aún a costa de una ganancia y un rango de salida moderados.

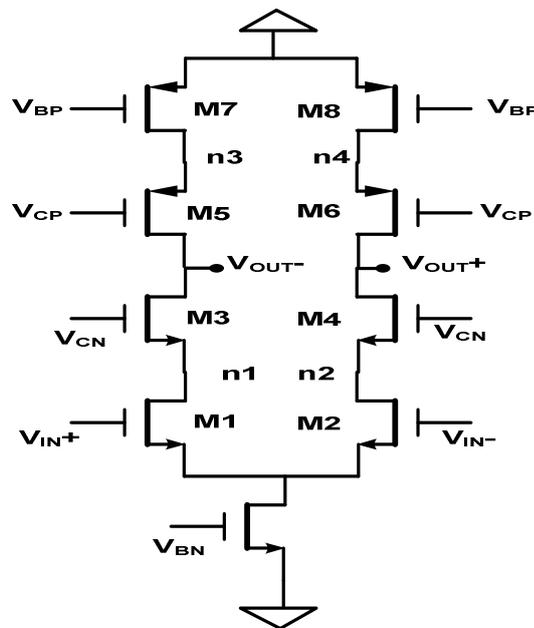


Figura 4-3. OTA telescópico.

El OTA telescópico de la Figura 4-3 [Nicollini89] es probablemente la arquitectura de alta ganancia más rápida posible. Tanto el producto GBW como el polo no dominante más bajo están determinados por los transistores NMOS, dando lugar a un elevado ancho de banda y un buen margen de fase. El número de ramas de corriente es de sólo dos, por lo que el consumo de potencia es pequeño.

El inconveniente más importante de esta arquitectura es el rango de salida limitado, tanto a la entrada como a la salida del amplificador operacional. El extremo superior de la tensión de salida se encuentra limitada por $V_{DD}-2V_{dsat}$ y el extremo inferior por $3V_{dsat}-V_{SS}$. Con este rango máximo posible de salida, el rango del modo común a la entrada es cero. En la práctica, incluir algún rango de variación en el modo común para permitir imprecisiones y variaciones transitorias reduce aún más el rango de variación a la salida. Con tensiones de alimentación de 5V o superior, el rango de tensión a la salida es más que suficiente, así que incluso se puede insertar una pareja extra de cascodos en el lado NMOS o PMOS para incrementar la ganancia DC. Sin embargo, cuando la tensión es de 3 voltios o inferior, el rango se vuelve demasiado pequeño para la mayoría de las aplicaciones SC.

4.2.4 Comparativa entre OTAs de una etapa

Las características principales de los OTAs presentados en los apartados anteriores se reúnen en la Tabla 4-1, donde se usa la siguiente notación. g_{mx} es la transconductancia del transistor M_x , C_L es la capacidad de carga, C_{nx} es la capacidad parásita asociada con el nodo n_x e I_S es la fuente de corriente del par de entrada. Para el caso del OTA con preamplificador, m es el cociente entre las relaciones de aspectos de M_6 y M_3 , y n el cociente entre la corriente de la salida cascodo y la corriente del preamplificador. El ruido viene dado por el factor de ruido del amplificador γ_{OA} .

	OTA folded cascodo (4.2.1)	Etapa cascodo con preamplificador (4.2.2)	OTA telescópico (4.2.3)
Ganancia DC	$\frac{g_m \cdot g_m}{g_{ds} \cdot g_{ds}}$	$\frac{g_{m1}}{g_{m3}} \cdot \frac{g_m \cdot g_m}{g_{ds} \cdot g_{ds}}$	$\frac{g_m \cdot g_m}{g_{ds} \cdot g_{ds}}$
GBW	$\frac{g_{m1}}{C_L}$	$\frac{g_{m1}}{g_{m3}} \cdot \frac{g_{m6}}{C_L}$	$\frac{g_{m1}}{C_L}$
Segundo polo	$\frac{g_{m6}}{C_{n1}}$	$\frac{g_{m3}}{C_{n1}}, \frac{g_{m7}}{C_{n3}}$	$\frac{g_{m3}}{C_{n1}}$
Corriente máxima a la salida	I_S	mI_S	I_S
Fuente de corriente	$2I_S$	I_S+nI_S	I_S
Ruido (γ_{OA})	$\frac{\gamma_4 g_{m4}}{\gamma_1 g_{m1}} + \frac{\gamma_{10} g_{m10}}{\gamma_1 g_{m1}}$	$\frac{g_{m3}}{\gamma_1 g_{m1}} (\gamma_3 + \frac{g_{m3}}{g_{m6}} (\gamma_6 + \frac{\gamma_{12} g_{m12}}{g_{m6}}))$	$\frac{\gamma_7 g_{m7}}{\gamma_1 g_{m1}}$
Rango de tensión a la salida	$V_{DD}-4V_{dsat}$	$V_{DD}-4V_{dsat}$	$V_{DD}-5V_{dsat}-V_{incm}$
Rango del modo común a la entrada	$V_{DD}-V_T-2V_{dsat}$	V_T-V_{dsat}	De 0 a $V_{DD}-5V_{dsat}$
Mínima tensión de alimentación	V_T+2V_{dsat}	$2V_T+2V_{dsat}$	$2V_T+2V_{dsat}$ o $5V_{dsat}$

Tabla 4-1. Comparación entre los OTAs de una etapa mencionados.

4.3 Circuito de realimentación de modo común

El principal inconveniente asociado con los circuitos diferenciales y balanceados, como quedó establecido en el apartado, 4.1.2 es que requieren de un circuito de realimentación de modo común (CMFC). Además de un consumo y un área adicional, el CMFC limita el rango de salida, incrementa el ruido y afecta negativamente a la velocidad del amplificador operacional. Estos efectos son especialmente no deseables en sistemas de baja tensión y baja potencia.

Por otra parte, para una buena estabilidad de CMFC el número de polos parásitos en el bucle debe minimizarse. También la ganancia de modo común debe ser suficientemente grande para obtener la tensión de modo común dentro de la precisión buscada.

La principal ventaja de un circuito de realimentación de modo común de condensadores conmutados (SC-CMFC), como el que se usa en el diseño del ADC pipeline que se presenta en esta tesis, es que no impone restricciones en la máxima señal de entrada permitida, no tiene polos parásitos adicionales en el bucle de modo común y que es altamente lineal. Sin embargo, SC-CMFC introduce inyección de carga y ruido en los nodos de salida del amplificador operacional. Esta es la razón de que se use en aplicaciones de condensadores conmutados más que en aplicaciones de tiempo continuo.

En general, un CMFC consiste en un circuito de detección del modo común y un amplificador comparador. La tensión de salida del circuito de detección es comparada con la tensión de modo común deseada y se genera la tensión de polarización requerida para controlar las fuentes de corriente del amplificador operacional.

El principio básico utilizado en un SC-CMFC es el siguiente. La capacidad C_1 y C_2 son precargadas a una tensión constante V_{DC} con la polaridad que se muestra en la Figura 4-4 a). Las tensiones de salida V_{op} y V_{on} son sumadas a V_{DC} y luego promediadas por las capacidades C_1 y C_2 para generar la tensión de polarización deseada, tal como se representa en la Figura 4-4 b)

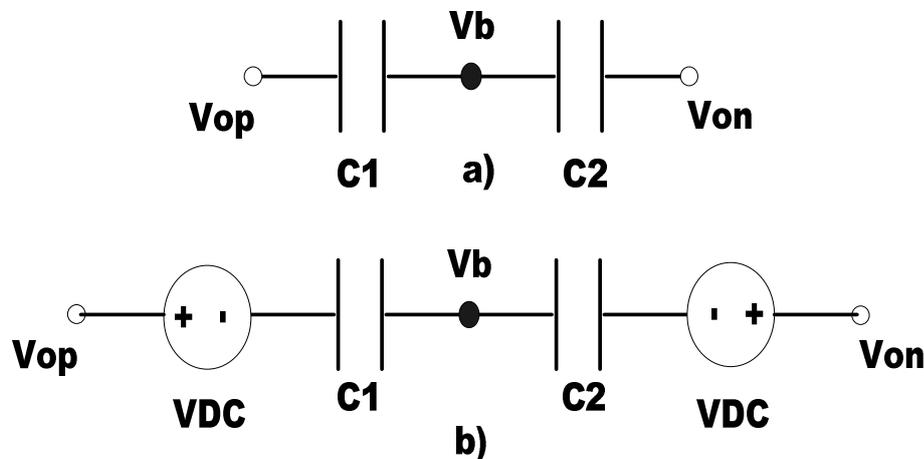


Figura 4-4. Generación de una tensión de modo común y desplazamiento de nivel.

Igualando las corrientes que circulan por los condensadores C_1 y C_2 , se obtiene una expresión para V_b que viene dada por la ecuación (4.8)

$$V_b = \frac{(C_1 V_1 + C_2 V_2)}{C_1 + C_2} \quad (4.8)$$

Sustituyendo el valor de V_1 y V_2 de las ecuaciones (4.9) y (4.10), usando la igualdad de la ecuación (4.11) y definiendo la tensión de modo común de salida V_{cm} según la ecuación (4.12)

$$V_1 = V_{op} - V_{DC} \tag{4.9}$$

$$V_2 = V_{on} - V_{DC} \tag{4.10}$$

$$C_1 = C_2 \tag{4.11}$$

$$V_{cm} = \frac{(V_{op} + V_{on})}{2} \tag{4.12}$$

La expresión de la ecuación (4.8) queda rescrita según la ecuación (4.13)

$$V_b = V_{cm} - V_{DC} \tag{4.13}$$

La implementación detallada de un SC-CMFC se muestra en la Figura 4-5. Durante la fase de reloj PHI2, las capacidades C_{1+} y C_{1-} están conectadas a las capacidades C_{2+} y C_{2-} , respectivamente. La tensión DC a través de C_{2+} y C_{2-} viene determinada por C_{1+} y C_{1-} y es refrescada cada fase de reloj PHI2. Durante la fase de reloj PHI1, C_{1+} y C_{1-} se cargan a $V_{cmref} - V_{bias}$ y las capacidades C_{2+} y C_{2-} generan la tensión de control V_b , elevando la tensión media de salida a $V_{cmref} - V_{bias}$ tal como se muestra en las ecuaciones anteriores. En resumen, los interruptores $S_{1+}, S_{1-}, S_{2+}, S_{2-}, S_{3+}, S_{3-}$ y S_{4+}, S_{4-} junto con las capacidades C_{1+} y C_{1-} actúan como un simple filtro paso bajo con una tensión de entrada DC igual a $V_{DC} = V_{cmref} - V_{bias}$.

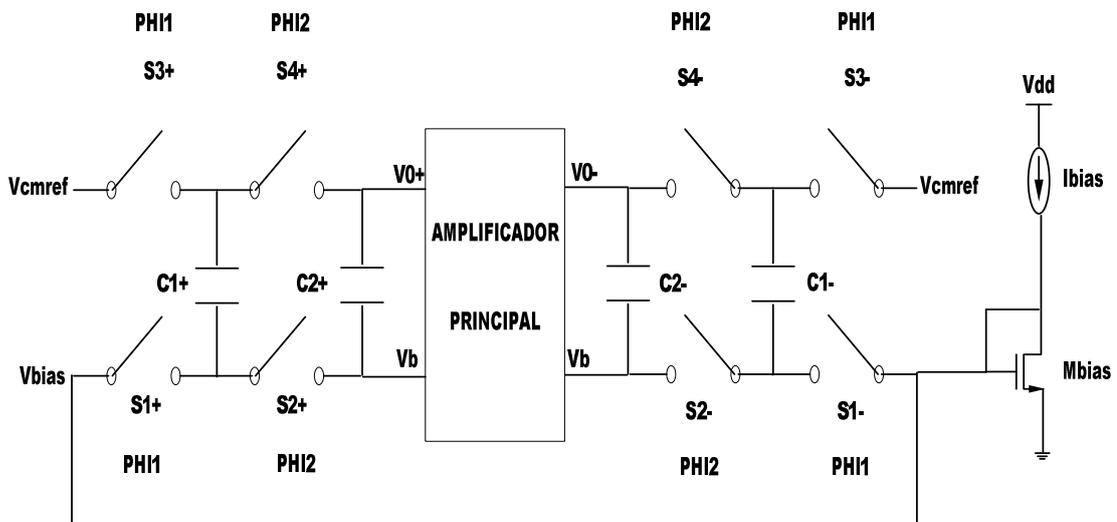


Figura 4-5. Implementación de un circuito SC-CMFC.

Este CMFC es particularmente adecuado para aplicaciones de baja tensión y baja potencia por dos razones principales. Primero, porque no requiere consumo extra, con la excepción del circuito de polarización que define el valor apropiado de V_b , que, por otro lado, es compartido por todos los amplificadores. En segundo lugar no degrada el rango de salida diferencial porque el desplazamiento de nivel llevado a cabo por las capacidades C_{2+} y C_{2-} no está limitado por las tensiones de alimentación.

Una versión mejorada del circuito SC-CMFC, empleado en el diseño del ADC pipeline propuesto y que puede ser utilizado en aplicaciones de tiempo continuo, se muestra en la Figura 4-6. En este circuito, se añade un conjunto extra de capacidades C_1 y un conjunto extra de interruptores. Los interruptores de la parte izquierda del eje de simetría alrededor del nodo V_{0+} y V_{0-} , operan en fases opuestas de reloj en comparación con los del lado derecho. Por tanto, cada fase de reloj, la carga total en el bucle diferencial debido al bucle del modo común es $C_T = C_1 + C_2$. Puede demostrarse [Ahmadi06] que el circuito descrito

alcanza su valor final mucho más rápido que la implementación tradicional, casi el doble de rápido, y presenta un error de inyección de carga mucho menor, a costa de ocupar mayor área.

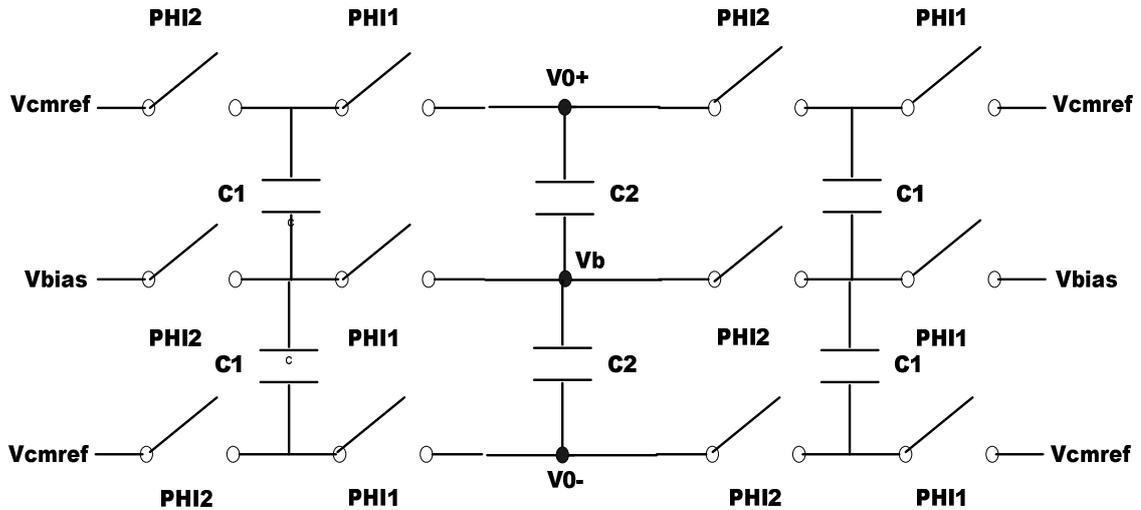


Figura 4-6. Configuración alternativa de SC-CMFC con carga simétrica.

4.4 Técnicas de elevación de ganancia

En aplicaciones en las que las especificaciones de ganancia del amplificador son mayores de las que se pueden conseguir con topologías de una etapa, se introducen ciertas técnicas que mejoran este aspecto sin necesidad de recurrir a arquitecturas multietapas. Este tipo de técnicas resultan especialmente interesantes en circuitos de alta velocidad, donde los altos niveles de corrientes hacen que la transconductancia g_{ds} del transistor sea grande.

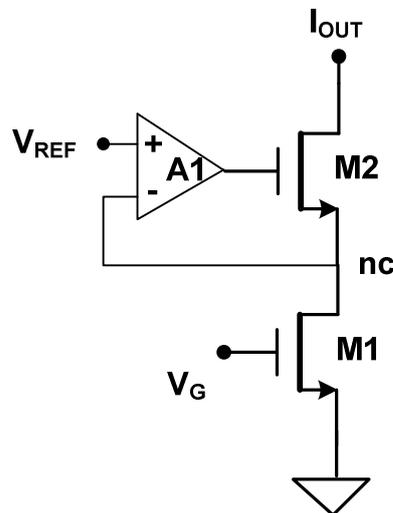


Figura 4-7. Fuente de corriente con GBCA.

Un método muy utilizado para mejorar el efecto cascode en un transistor MOS es aplicar la realimentación negativa de forma local [Hosticka79]. El circuito resultante, denominado amplificador cascode con elevación de ganancia (GBCA), es utilizado en la fuente de corriente de la Figura 4-7. En esta figura, el amplificador auxiliar crea un bucle de realimentación alrededor del transistor M2, haciendo que la tensión del nodo de fuente sea prácticamente constante. De forma que la impedancia de salida de la fuente de corriente vendrá dada por la ecuación (4.14)

$$r_{out} \approx \frac{A_1 g_{m2} g_{m1}}{g_{ds2} g_{ds1}} \quad (4.14)$$

Por tanto, si se compara la ecuación (4.14) con la ecuación (4.7), podemos llegar a la conclusión de que la elevación de ganancia mejora la impedancia por un factor igual a la ganancia del GBCA, A_1 , y si la fuente de corriente es utilizada en un OTA, la ganancia DC se incrementa la misma cantidad.

La Figura 4-8 muestra tres implementaciones diferentes de este amplificador de regulación. El primero [Säckinger90] es una estructura básica, pero la topología presenta un rango de salida limitado para bajas tensiones de alimentación. Este problema puede explicarse del siguiente modo. De la Figura 4-8 a), el límite inferior de salida está limitado por $V_{GS3} + V_{DS2,sat}$, que está alrededor de 0.8 V en una tecnología típica de 0.18 μm . Aparte, para que el método de elevación de ganancia sea efectivo, debe existir una fuente de corriente I_{OUT} , por lo que aparece una limitación similar en el extremo superior de salida. Suponiendo una tensión de alimentación de 1.8 V, el rango de salida permitido es de unos 0.2 V, lo que resulta insuficiente para la mayoría de las aplicaciones.

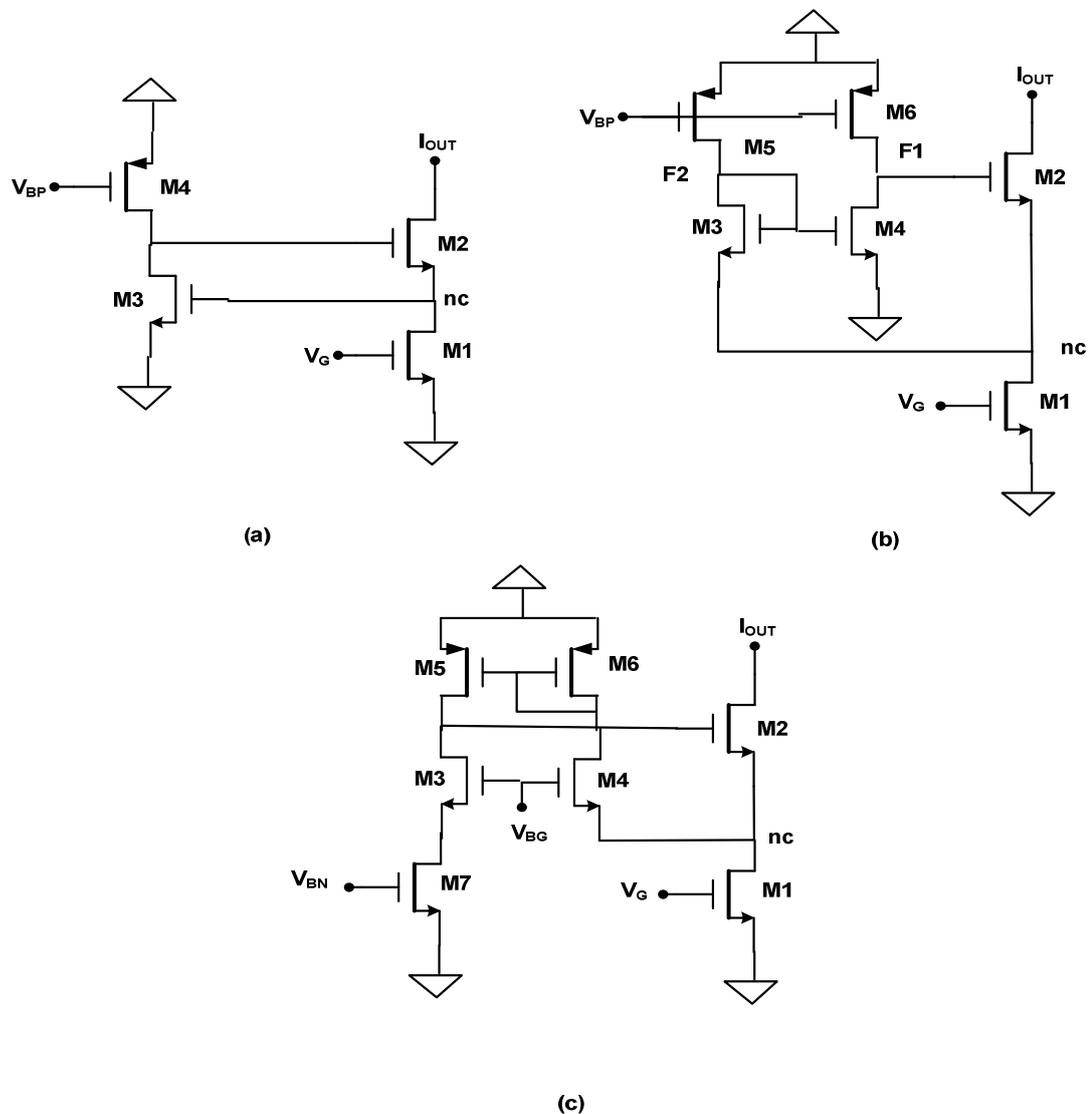


Figura 4-8. Fuente de corriente con GBCA: tres implementaciones.

El segundo circuito [Gatti90] utiliza un elevador de nivel y el último [Zarabadi94] es un amplificador en puerta común que permite la polarización del nodo cascodo a una tensión más baja. También es posible un amplificador GBCA más complicado, por ejemplo un OTA folded cascodo, como el que se muestra en la Figura 4-9.

Hay otras estructuras GBCA en las que el amplificador de realimentación (FA) no impone ninguna restricción sobre el rango de salida. Sin embargo, suelen presentar problemas de estabilidad. Los cascodos GBCA se emplearon por primera vez en un amplificador operacional en [Bult90], donde la ganancia DC de un OTA folded cascodo fue incrementada hasta 90 dB.

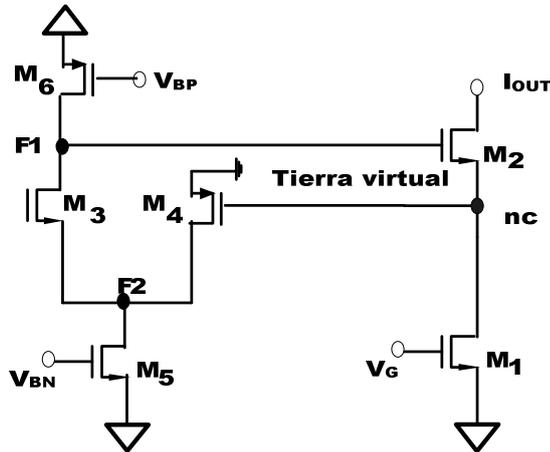


Figura 4-9. Fuente de corriente con GBCA en configuración folded cascodo.

Además de la estructura GBCA también se han propuesto otras técnicas para incrementar la ganancia DC, como la elevación de tensión con realimentación positiva [Laber88] o polarización dinámica [Hosticka80].

En la configuración con realimentación positiva, la entrada del amplificador no es una tierra virtual perfecta debido a la ganancia finita del amplificador, lo que fija el valor de dicha tensión a $-V_{OUT}/A_0$. La técnica aprovecha que reducir este valor dependiente de la señal tiene el mismo efecto que incrementar la ganancia. En la polarización dinámica, la corriente del amplificador se reduce al final de fase de establecimiento. En este caso, se saca partido de que reducción de la corriente produce una disminución de la g_{ds} del transistor y, por tanto, un aumento de la ganancia DC.

En [Yu93] un circuito réplica compuesto de un amplificador más un circuito de realimentación es empleado para generar la tensión diferencial entre los terminales de entrada. Un segundo amplificador réplica, con su salida conectada a la salida del amplificador principal, emplea la tensión generada como entrada para la carga. El amplificador principal solo necesita ajustar la tensión de salida y, en consecuencia, la ganancia efectiva se ve mejorada por un factor $A_0/(1+\beta)$, donde β es el factor de realimentación. Esta técnica es también adecuada para circuitos con una carga resistiva.

En circuitos SC el mismo principio puede aplicarse en el dominio del tiempo añadiendo una fase de reloj extra antes de la fase de amplificación para muestrear la tensión de entrada en una capacidad en serie con el amplificador de entrada [Yotsuyasagi93]

4.5 Modelado del amplificador cascodo con elevación de ganancia

La estructura normalmente usada en FA cuando se pretende un amplio rango a la salida es un amplificador de dos polos o uno que pueda ser modelado como tal. Por tanto, si definimos P_{F1} como el polo dominante del amplificador de realimentación, P_{F2} representa el polo no dominante, A_1 la ganancia en bucle abierto y ω_u el producto ganancia ancho de banda ($A_1 P_{F1}$), su función de transferencia puede expresarse según la ecuación (4.15)

$$FA(S) = \frac{A_1}{\left(1 + \frac{s}{P_{F1}}\right)\left(1 + \frac{s}{P_{F2}}\right)} = \frac{A_1}{\left(1 + \frac{A_1 s}{\omega_u}\right)\left(1 + \frac{s}{P_{F2}}\right)} \quad (4.15)$$

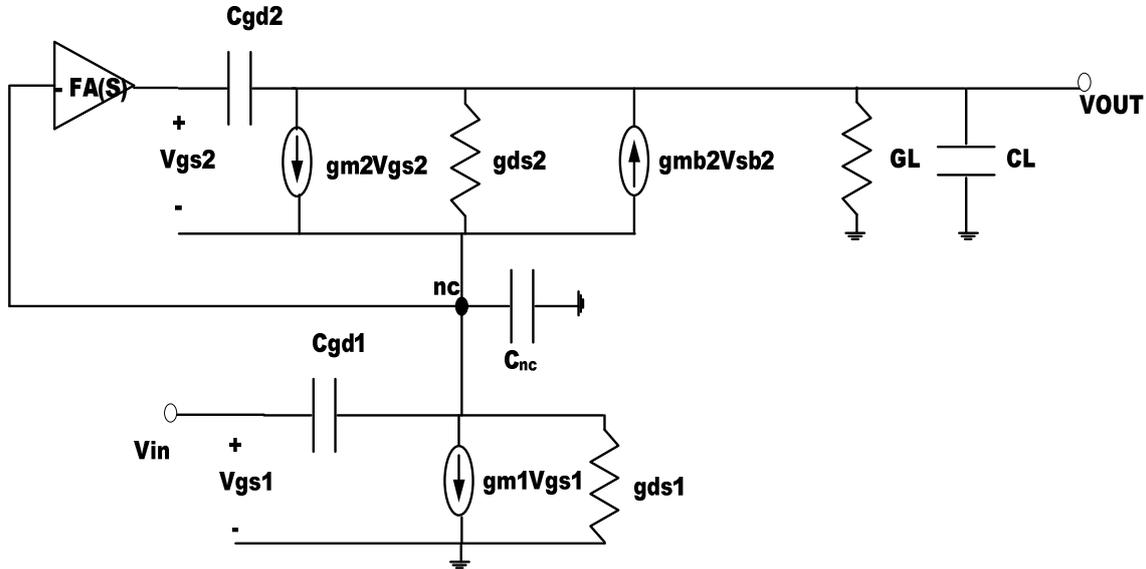


Figura 4-10. Modelo de pequeña señal GBCA.

La Figura 4-10 muestra el circuito equivalente de pequeña señal de GBCA de la Figura 4-7. A partir de ella, la función de transferencia en bucle abierto, $A(s)$, puede calcularse por la expresión indicada en la ecuación (4.16)

$$A(s) = \frac{V_{out}}{V_{in}} = \frac{(g_{m1}[g_{m2}FA(s) + (g_{m2} + g_{ds2} + g_{mb2})])}{\left(C_{nc}C_L S^2 + g_{m2}(G_L + C_L S)FA(s) + ((g_{ds1} + g_{ds2} + g_{mb2} + g_{m2})C_L S + (g_{ds2} + G_L)C_{nc}S) + g_{ds1}g_{ds2} + g_{ds1}G_L + g_{ds2}G_L + g_{mb2}G_L + g_{m2}G_L \right)} \quad (4.16)$$

En esta ecuación g_m , g_{ds} y g_{mb} definen la transconductancia, transconductancia de salida y la transconductancia de sustrato de un transistor MOS respectivamente. C_{nc} y C_L es la capacidad en el nodo nc y la capacidad a la salida, respectivamente, y G_L es la conductancia de salida de la fuente de corriente I_B .

$FA(S)$ es una función de transferencia de dos polos, por lo que el numerador de $A(S)$ es de segundo orden, es decir, tiene dos ceros en la función de transferencia, y el denominador de $A(S)$ es de cuarto orden, es decir, tiene cuatro polos en la función de transferencia.

La capacidad C_{GD1} crea un cero en el semiplano derecho en la frecuencia representada por la ecuación (4.17), mientras que C_{GD2} crea un cero en el semiplano izquierdo definido por la frecuencia de la ecuación (4.18)

$$Z_1 = \frac{g_{m1}}{C_{GD1}} \quad (4.17)$$

$$Z_2 = \frac{g_{m1}}{C_{GD1}} \quad (4.18)$$

Estos ceros se encuentran localizados a muy alta frecuencia y su efecto puede ser ignorado en el estudio del comportamiento del circuito.

Para un bajo valor de ω_u hay dos polos individuales (P_1 y P_3) y dos *doublets* polo-cero (Z_1, P_2 y Z_2, P_4), en la función de transferencia. La frecuencia del polo dominante puede aproximarse por la ecuación (4.19)

$$P_1 = \frac{g_{ds1}g_{ds2}}{A_1g_{m1}g_{m2}C_L} \quad (4.19)$$

A baja frecuencia, el *doublet* Z_1 y P_2 se localiza en las proximidades de ω_u , un *doublet* Z_2 y P_4 en las proximidades de P_{F2} y un polo de alta frecuencia aislado P_3 en las proximidades del segundo polo del amplificador cascodo principal. De hecho, P_3 , es igual al segundo polo dominante del amplificador cascodo principal localizado en el nodo nc cuando ω_u es muy bajo.

Si definimos η según la expresión dada por la ecuación (4.20), entonces el polo del nodo nc viene dado por la expresión de la ecuación (4.21)

$$\eta = \frac{g_{mb2}}{g_{m2}} \quad (4.20)$$

$$P_{nc} = \frac{g_{m2} + g_{mb2}}{C_{nc}} = \frac{g_{m2}(1 + \eta)}{C_{nc}} \quad (4.21)$$

Incrementando ω_u , el *doublet* a baja frecuencia se mueve hacia altas frecuencia hasta combinarse con P_3 y formar un polo complejo conjugado. Antes de esta situación, el *doublet* se cancela en dos puntos, D_1 y D_2 .

Si definimos ω_{D1} y ω_{D2} como el valor de ω_u en los puntos $D1$ y $D2$, respectivamente, el valor de ω_u en esos dos puntos viene dado por las ecuaciones (4.22) y (4.23)

$$\omega_{D1} = \frac{g_{ds2}(1 + \eta)}{C_L} \quad (4.22)$$

$$\omega_{D2} = \frac{g_{ds1}(1 + \eta)}{C_{nc}} \quad (4.23)$$

Estos valores parecen anchos de banda apropiados para el FA, sin embargo, en estos puntos, el tiempo de establecimiento es muy sensible al valor de ω_u . Además, según (4.22) y (4.23), dicho valor es proporcional a la conductancia de salida g_{ds} de los transistores M_1 y M_2 . La conductancia g_{ds} de un transistor de una tecnología MOS típica está sujeta a grandes cambios debido a variaciones en el proceso de fabricación, de forma que el parámetro ω_u es muy difícil de ajustar a un valor concreto.

Si seguimos incrementando ω_u , el *doublet* es sustituido por un polo complejo conjugado. Este punto, $D3$, sí sería un valor óptimo para ω_u . Si aumentamos aún más ω_u , el par complejo conjugado creado de la unión de $P3$ y el *doublet* Z_2, P_4 es empujando al semiplano derecho del plano complejo, hasta hacer inestable el amplificador.

4.6 Tiempo de establecimiento en el amplificador cascado con elevación de ganancia

Como se ha explicado anteriormente, la técnica de elevación de ganancia incrementa el efecto cascado añadiendo una etapa de ganancia adicional. En este caso, la impedancia de salida del circuito se incrementa por la ganancia de la etapa de ganancia adicional, según la ecuación (4.24)

$$r_{out} = r_{ds2} + \frac{1 + \frac{(1 + A_1)g_{m2}}{g_{ds2}}}{g_{ds1}} \quad (4.24)$$

De este modo, la ganancia DC puede incrementarse en varios órdenes de magnitud, como indica la ecuación (4.25)

$$A = \frac{g_{m1} \left(1 + \frac{(1 + A_1)g_{m2}}{g_{ds2}} \right)}{g_{ds1}} \quad (4.25)$$

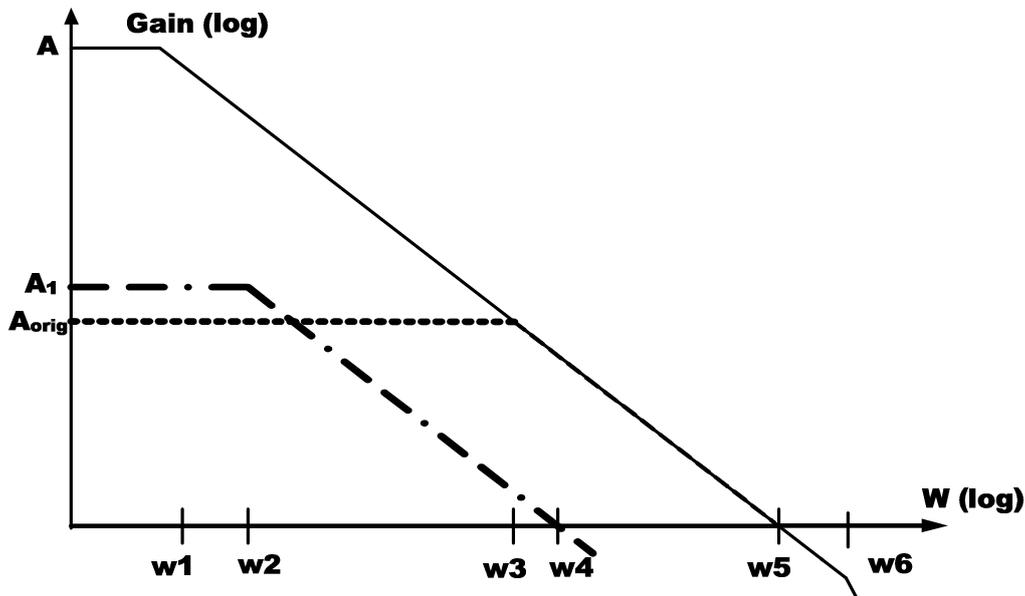


Figura 4-11. Bode de un OTA folded-cascode convencional (A_{OTA}), una etapa adicional (A_{ad}) y el OTA propuesto (A_{TOT}).

Para conseguir un comportamiento de primer orden, la etapa adicional necesita ser lenta con respecto a la frecuencia de ganancia unidad del diseño completo. En la Figura 4-11 se muestra el diagrama de Bode en magnitud de la etapa cascode original (A_{orig}), la etapa de ganancia adicional (A_1) y la etapa cascode con la ganancia mejorada de la Figura 4-7 (A). De acuerdo con la ecuación (4.25), el incremento de ganancia en continua entre A y A_{orig} es aproximadamente igual a $[1+A_1]$. Para $\omega > \omega_1$, la impedancia de salida viene determinada fundamentalmente por C_{load} , lo que se traduce en un comportamiento de primer orden de $A(\omega)$. Además, esto implica que $AF(\omega)$ debe tener un comportamiento de primer orden para $\omega > \omega_2$ donde $\omega_2 > \omega_1$. Esto es equivalente a la condición de que la ganancia de frecuencia unidad (ω_4) de la etapa de ganancia adicional tiene que ser mayor que el ancho de banda de 3 dB (ω_3) de la etapa original. Por razones de estabilidad, fijamos la ganancia de frecuencia unidad de la etapa adicional a un valor menor que la frecuencia del segundo polo (ω_6) de la etapa principal. La frecuencia de ganancia unidad de la etapa de ganancia mejorada y de la etapa de ganancia original es la misma. Como conclusión, un rango seguro para la localización de la frecuencia de ganancia unidad ω_4 de la etapa original sería el rango expresado por la desigualdad (4.26)

$$\omega_3 < \omega_4 < \omega_6 \tag{4.26}$$

Obsérvese que el uso de técnicas de elevación de ganancia en amplificadores produce un desacoplo entre la ganancia DC y la frecuencia de ganancia unidad.

De la ecuación(4.24), la técnica de elevación de ganancia incrementa la impedancia de salida Z_{OUT} por un factor aproximadamente igual a (A_1+1) . La ganancia de la etapa adicional, AF, decrece para frecuencias por encima de ω_2 , como queda patente en la Figura 4-11 con una pendiente de -20 dB/decada. Para frecuencias superiores a ω_4 , AF es menor que uno, y la impedancia de salida normal Z_{orig} de una etapa cascode sin elevación de ganancia permanece constante. Esto se muestra en la Figura 4-12, donde se indica además la impedancia de la capacidad de carga Z_{load} y el circuito paralelo que forma la impedancia total Z en el nodo de salida.

Una observación más detallada del dibujo revela la presencia de un *doublet* polo-cero en las proximidades de ω_4 . Un *doublet* polo-cero puede degradar de forma apreciable el tiempo de establecimiento de un amplificador operacional debido a un componente de establecimiento lento.

El tiempo de establecimiento de un amplificador se puede dividir en dos componentes distintas. La primera se denomina tiempo de subida, durante la cual la salida del amplificador realiza una transición desde la tensión de salida inicial hasta las proximidades del nuevo valor. Durante este periodo, el amplificador actúa de un modo no lineal y la longitud del mismo viene determinado en general por la corriente disponible para cargar la capacidad de compensación del amplificador. La segunda parte del tiempo de establecimiento es aquella donde la salida del circuito está próxima a su valor final y el circuito actúa de un modo casi lineal. Es este último periodo el que se ve afectado significativamente por la presencia de un *doublet* polo-cero en la función de transferencia del amplificador.

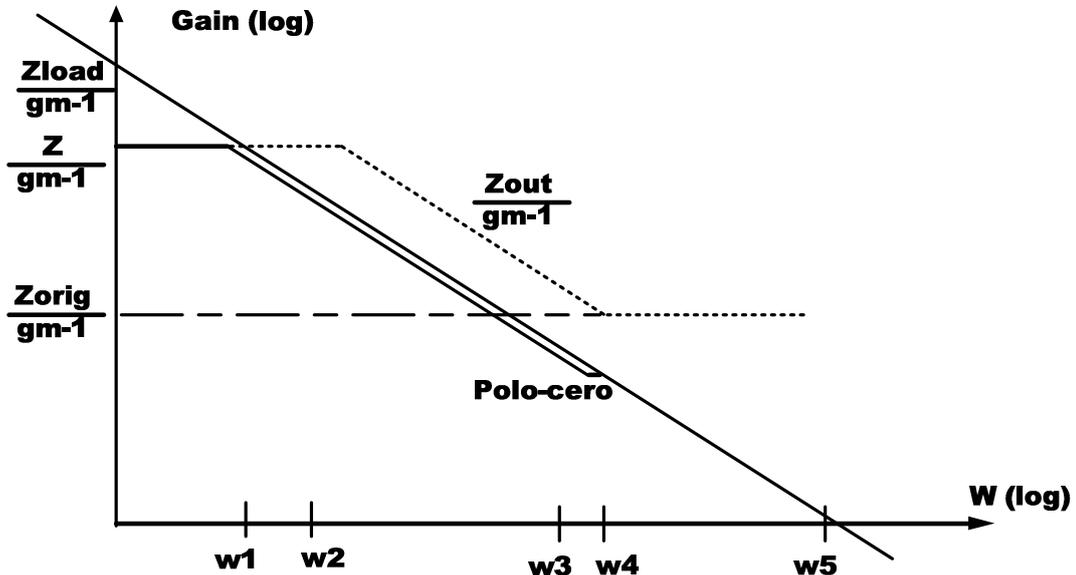


Figura 4-12. Impedancia de salida normalizada en función de la frecuencia..

Para hacer esta componente en el tiempo de establecimiento suficientemente rápida, modificaremos el rango de localización de la frecuencia unidad del siguiente modo. Si la constante de tiempo del doblete ($1/\omega_{z1}$) es más pequeña que la constante de tiempo principal ($1/\beta\omega_{u1}$) del bucle cerrado siendo β el factor de realimentación, el tiempo de establecimiento no se verá incrementado por el *doublet*. Esta situación se alcanza cuando la frecuencia de ganancia unidad de la etapa adicional es mayor que el ancho de banda de 3 dB del circuito. Por otra parte, por razones de estabilidad, la frecuencia de ganancia unidad debe ser

menor que la frecuencia del segundo polo del amplificador principal, como se indica en la Figura 4-13. De esta forma el área segura para la frecuencia de ganancia unidad se ve reducida al rango expresado por la desigualdad (4.27)

$$\beta\omega_5 < \omega_4 < \omega_6 \quad (4.27)$$

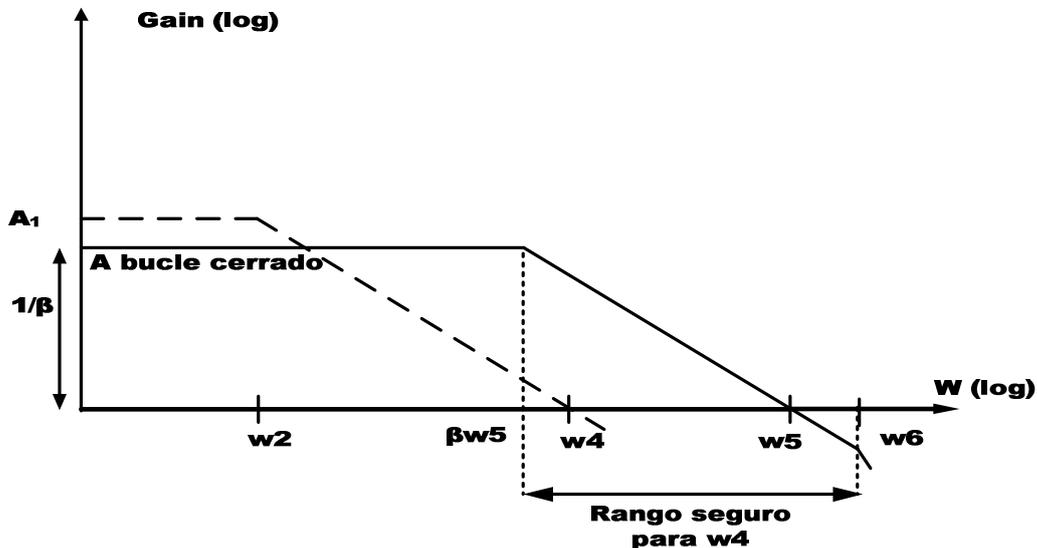


Figura 4-13. Rango seguro para la frecuencia de ganancia unidad de la etapa adicional.

El rango sigue siendo factible en tanto que la capacidad de carga de la etapa adicional que determina ω_4 es menor que la capacidad de carga del amplificador operacional que determina ω_5 .

El efecto del *doublet* polo-cero depende tanto de su frecuencia como de la distancia polo-cero. La reducción de la distancia polo-cero disminuye su efecto, pero incluso para separaciones pequeñas el incremento en el tiempo de establecimiento es significativo. El efecto de la frecuencia del *doublet* polo-cero es más complejo y depende de la proximidad al valor final de la salida del circuito. Para un rango del 0.01% del valor final, un *doublet* polo-cero a baja frecuencia puede provocar un peor comportamiento a causa de una constante de tiempo elevada. Sin embargo, para un rango del 0.1% del valor final, como la amplitud es más pequeña, la señal se encuentra siempre dentro de la banda de error y apenas se aprecia el efecto. En un *doublet* polo-cero a alta frecuencia, en cambio, se produce mayor degradación del tiempo de establecimiento, aunque decae más rápidamente.

En nuestro caso, al tratarse de un *doublet* polo-cero de baja frecuencia, puede observarse que no existe un efecto considerable en el tiempo de establecimiento en la banda de error de 0.1% y que degrada drásticamente la banda del 0.01%.

4.7 OTA telescópico con elevación de ganancia y amplio rango de salida

El principio de funcionamiento del amplificador cascodo telescópico con elevación de ganancia utilizado en el diseño del ADC pipeline es bastante simple. Los transistores MN implementan una fuente de corriente, mientras que los transistores MP se utilizan como control de modo común. Esta tensión de control puede generarse mediante un circuito SC clásico, la principal diferencia en este caso, radica en que el modo común necesita ser controlado en ambos ciclos de reloj, ya que la señal es amplificada en todas las fases de funcionamiento [Choksi03].

Los transistores cascodo MPC y MNC, junto con la técnica de elevación de ganancia detallada en los apartados 4.4 a 4.6, proporcionan alta ganancia al OTA telescópico. Los amplificadores de clase A que implementan la elevación de ganancia detectan la tensión de fuente de los transistores cascodo mediante la fuente de otro transistor en lugar de usar la puerta. De este modo, no se imponen restricciones en el rango

de tensión, como ocurre en el caso de los transistores cascode clásicos, permitiendo amplias variaciones en los nodos de salida V_{o+} and V_{o-} .

La Figura 4-14 muestra la arquitectura descrita. La rama principal es un OTA telescópico con 5 transistores cascode, MP, MPC, MNC, MNi y MN. Los transistores Ma1-Ma7 constituyen el amplificador que lleva a cabo la elevación de ganancia.

La topología presentada viene acompañada de un circuito de polarización constituido por Mg1-Mg6 y mostrado en la Figura 4-15. La idea principal de este último es la de ajustar la tensión de polarización en las puertas de MN, de forma que la corriente que circula por estos transistores permanezca constante independientemente de las variaciones del nivel de tensión de modo común a la entrada. Mg2 y Mg3 detectan dicha tensión a la entrada del par diferencial MNi.

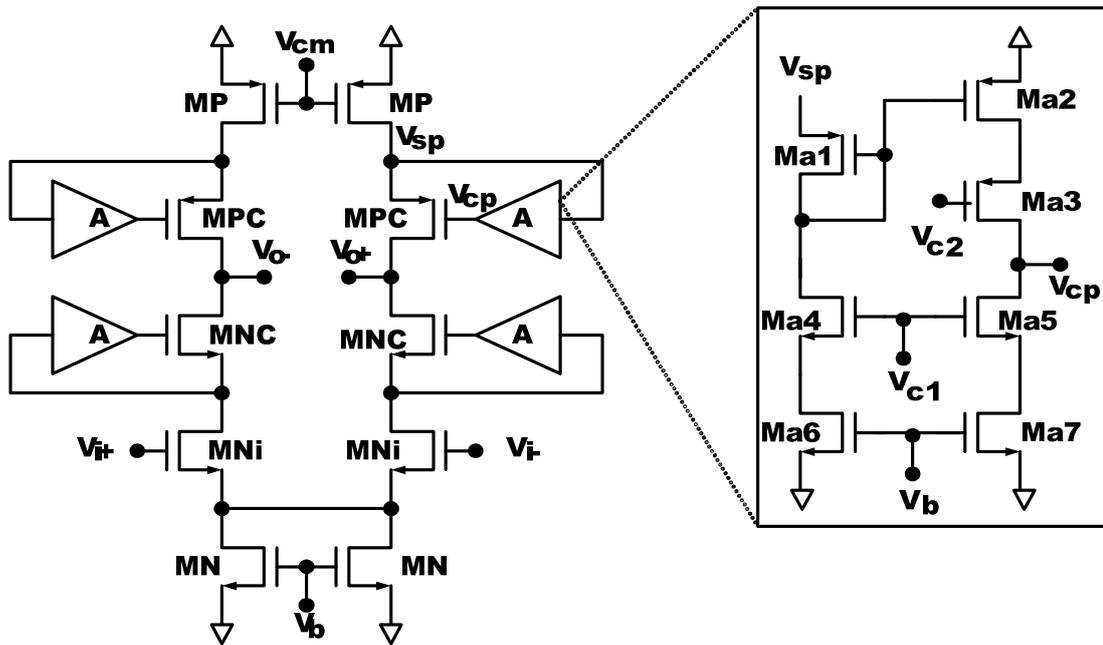


Figura 4-14. Topología del amplificador telescópico con gain-boosting y amplio rango de salida.

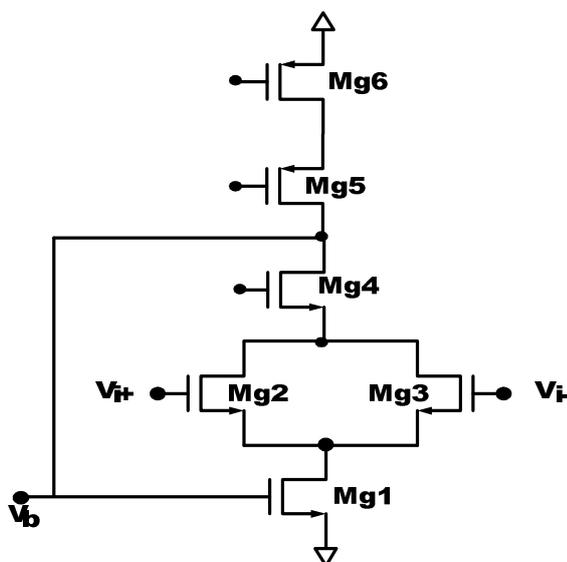


Figura 4-15. Circuito de polarización.

Si la tensión de modo común desciende, la tensión de drenador de Mg1 decrece hasta hacerlo entrar en zona lineal. Sin embargo, su tensión de puerta será incrementada debido al bucle de realimentación negativa del circuito de polarización para mantener la misma tensión de continua en Mg5 y Mg6. Mediante este mecanismo, la corriente que circula por MN será polarizada en zona lineal con una resistencia de salida grande que vendrá representada por la ecuación (4.28)

$$R_o = \left(1 + (g_{m_{Mg1}} \cdot R_{o_{Mg1}})\right) \cdot (g_{m_{Mg2,Mg3}} \cdot R_{o_{Mg2,Mg3}}) \cdot (g_{m_{Mg4}} \cdot R_{o_{Mg4}}) R_{o_{Mg1,Mr1}} \quad (4.28)$$

De esta forma se consigue una mejora de 50 a 60 dB con respecto al caso sin elevación de ganancia. Los transistores cascode compuestos por MNC y MPC se polarizarán en inversión moderada, lo que se traduce en un mejor comportamiento en lo que a g_m se refiere. Sus valores de V_{DS} se mantendrán alrededor de los 100mV, y no será necesario añadir un margen de seguridad, V_{margin} , que asegure la saturación del transistor. Esto se traduce en una mejora del rango de variación a la salida.

MP se polariza en inversión fuerte para reducir su contribución al ruido del sistema. Sus valores de saturación tendrán así un valor de al menos a 150 mV. Si reservamos un rango dinámico a la salida de 0.8 V, el mínimo valor de tensión de alimentación podría ser tan bajo como 1.3 V.

4.8 OTA folded cascode con transistores ‘super-cascodo’

Otro OTA diferencial que se presenta como aportación a la presente tesis doctoral para su aplicación a un ADC pipeline de baja tensión es el de la Figura 4-16. Se basa en un OTA *folded* cascode convencional en el que los transistores ST_P y ST_N se han implementado como transistores ‘super-cascodo’ [Torralba02], técnica alternativa al GBCA que también proporciona elevación de ganancia.

La tensión V_{bias} se copia de un circuito de polarización y se escoge de forma que la corriente que circule por el par diferencial de entrada y la etapa folded-cascode sea la misma en condiciones quiescentes. La tensión de modo común de salida puede controlarse por medio del transistor M_c y la tensión de control T_c .

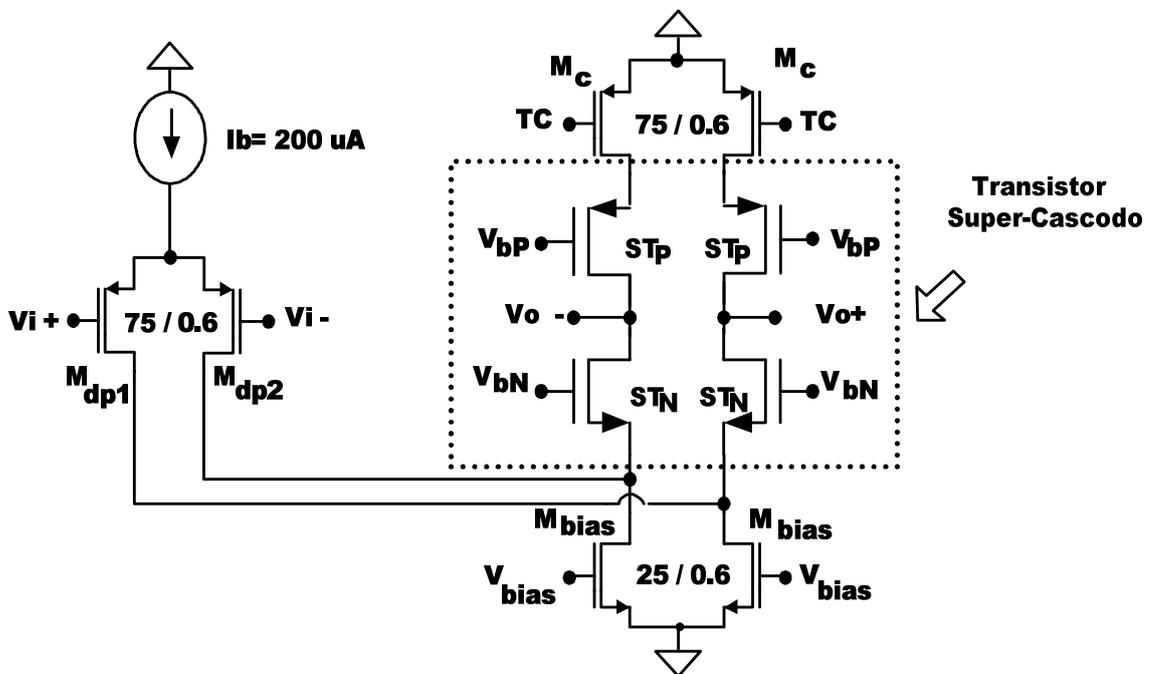


Figura 4-16. OTA propuesto usando transistores ‘super-cascodo’.

El transistor ‘super-cascodo’ se compone de los transistores M_1 , M_2 y M_3 junto con sus corrientes de polarización I_{b1} e I_{b2} , como se muestra en la Figura 4-17. Su funcionamiento se detalla a continuación. La

tensión de puerta del transistor M_3 viene determinada por dos transistores en fuente común, donde el segundo de ellos, M_2 , funciona como etapa inversora para una correcta polarización de M_3 por el drenador de M_1 . Usando este circuito como parte de la etapa de salida de un OTA folded cascode, la impedancia de salida se incrementa [Bult90] [Bult91], al estar multiplicada por un factor $g_{m1}r_{o1}g_{m2}r_{o2}g_{m3}r_{o3}$, y por tanto, el valor de la ganancia también aumenta.

Si en el nodo V_S suponemos conectadas una resistencia R_S , el circuito de pequeña señal para el cálculo de la resistencia equivalente vista desde el drenador $r_{out,D}$ sería el de la Figura 4-18, donde g_{mi} y r_{oi} son la transconductancia y resistencia de salida del transistor M_i , respectivamente.

Aplicando el método de nudos se obtienen las ecuaciones (4.29), (4.30), (4.31) y (4.32)

$$I_P = -g_{m1} \cdot (v_Z - v_S) + i_1 = 0 \tag{4.29}$$

$$I_P = i_2 + g_{m1} \cdot v_S + i_3 \tag{4.30}$$

$$g_{m1} \cdot v_S + i_3 = i_4 \tag{4.31}$$

$$v_Z = -g_{m1} \cdot v_Y \cdot (r_{o2} \parallel r_{oB2}) \tag{4.32}$$

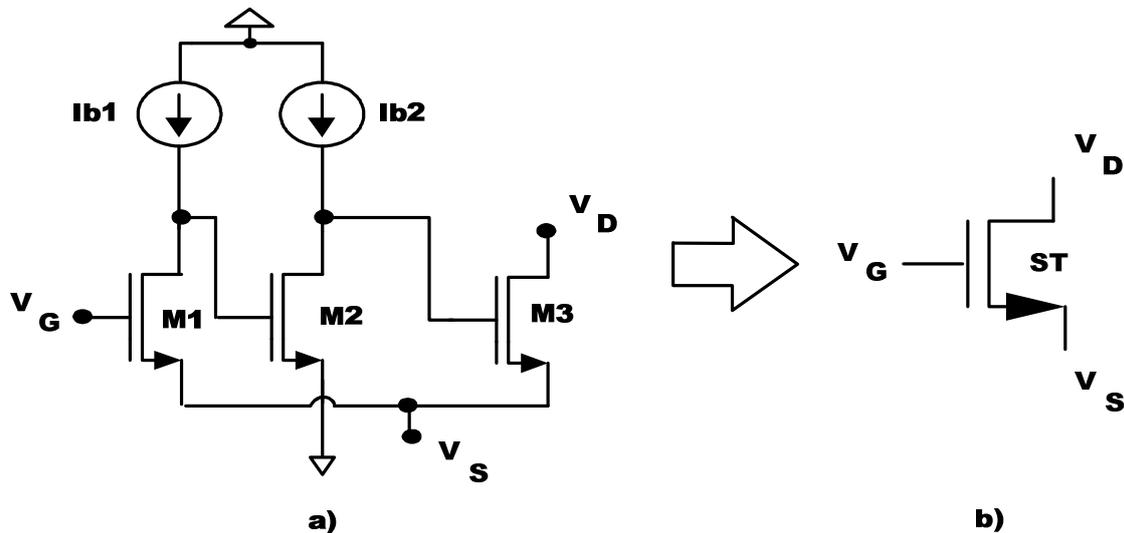


Figura 4-17. Transistor 'super-cascode'.

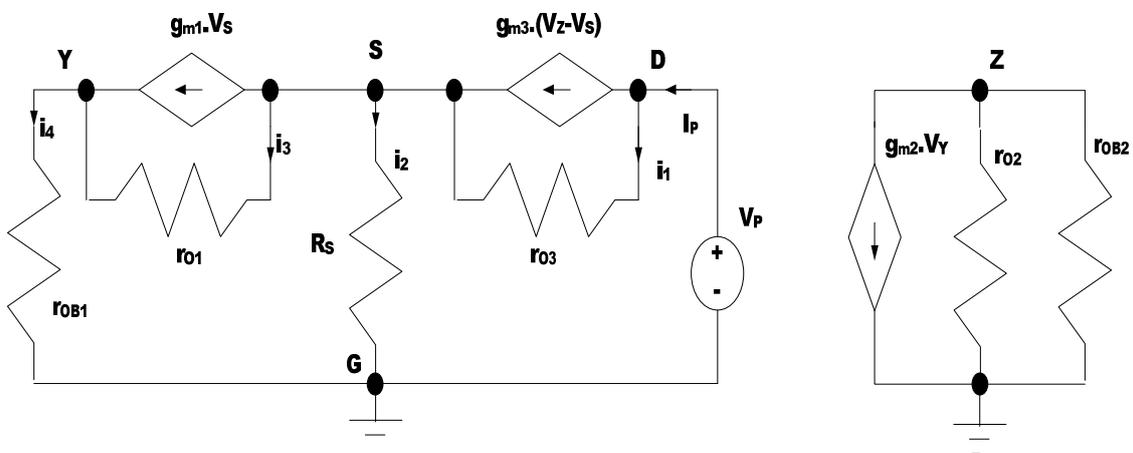


Figura 4-18. Circuito de pequeña señal para el cálculo de la r_{out} vista desde el drenador.

Teniendo en cuenta que $r_{oA}^{-1} \ll g_{mA}$, se llega a una expresión de la resistencia de drenador dada por la ecuación (4.33)

$$r_{out,D} = g_{m1}(r_{o1} \parallel r_{oB1}) \cdot g_{m2}(r_{o2} \parallel r_{oB2}) \cdot g_{m3}r_{o3}R_S \cdot \frac{1}{1 + g_{m1}R_S \frac{r_{o1} \parallel r_{oB1}}{r_{oB1}}} \quad (4.33)$$

Que, para valores típicos, alcanza un valor en el rango de los gigaohmios (GΩ).

Hay tres polos importantes en el análisis del transistor ‘super-cascodo’, como puede observarse en el modelo en bucle abierto de la Figura 4-19. Uno es el polo en la fuente de M3 y los otros dos son los polos en el drenador de M1 y M2. La ganancia en bucle abierto viene dada de forma aproximada por la ecuación (4.34). Para asegurar la estabilidad con una ganancia en bucle abierto tan alta es necesario tener un polo dominante y el resto de polos a alta frecuencia. El polo localizado en el nodo X, definido por la ecuación (4.35), es un polo de alta frecuencia con el mismo valor que el segundo polo del OTA original, pero los otros dos polos podrían estar a una frecuencia más próxima, por lo que es necesario alejar en frecuencia estos dos últimos polos.

$$A_L \approx -g_{m1}r_{o1}g_{m2}r_{o2} \quad (4.34)$$

$$p_x \approx (g_{m1} + g_{m3})/C_x \quad (4.35)$$

Las estrategias seguidas para ello incluyen una capacidad Miller de compensación entre los drenadores de M1 y M2, un valor elevado de la corriente de polarización I_{b2} en comparación a I_{b1} y el uso de transistores de longitud de canal no mínima para implementar la fuente de corriente I_{b1} y el transistor M1 junto con transistores de longitud de canal mínima para implementar la fuente de corriente I_{b2} y el transistor M2. Esta última técnica busca hacer la resistencia equivalente del nodo Y muy alta y la resistencia equivalente del nodo Z muy baja.

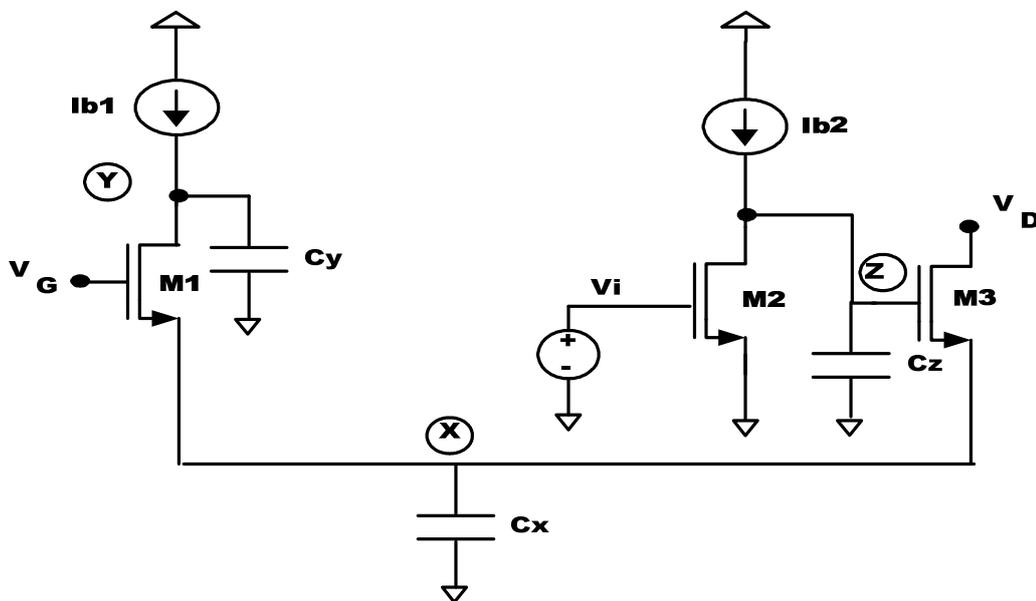


Figura 4-19. Modelo en bucle abierto del transistor ‘super-cascodo’.

La elevada resistencia de drenador de la estructura ‘super-cascodo’ se puede aprovechar en OTAs para conseguir una alta resistencia de salida, como el caso analizado en esta tesis. Otras aplicaciones de la estructura, tales como seguidores de tensión y baterías flotantes estáticas y dinámicas, aprovechan la propiedad de que, siempre que la tensión drenador-fuente V_{DS} no sea demasiado pequeña, la caída de

tensión puerta-fuente V_{GS} es constante e independiente de la zona de funcionamiento del ‘super-cascodo’ (inversión débil, moderada o fuerte). Finalmente, la resistencia de fuente del ‘super-cascodo’ es muy reducida lo que permite su uso en buffers de salida de amplificadores operacionales o en seguidores de tensión.

El tamaño de los transistores ‘super-cascodo’, escogidos según las consideraciones anteriores y para una tecnología AMS de 0.35 μm , se recogen en la Tabla 4-2

	M1	M2	M3
ST_P	1.5/2	18/0.6	37.5/0.6
ST_N	1/2	12/0.6	12.5/0.6

Tabla 4-2. Tamaño para los transistores ‘super-cascodo’ usados en el OTA propuesto.

El OTA descrito tiene como ventajas fundamentales que presenta un valor elevado de ganancia DC y que resulta apropiado para aplicaciones de baja tensión, funcionando con una tensión de alimentación inferior a dos veces la tensión umbral de un transistor

La Tabla 4-3 resume las especificaciones alcanzadas por el amplificador de transconductancia folded cascodo con transistores ‘super-cascodo’ propuesto.

Especificaciones	
GBW	75 MHz
Ganancia DC	100 dB
Margen de fase	85°

Tabla 4-3. Especificaciones del OTA folded cascodo propuesto.

La Figura 4-20 muestra la simulación en el transitorio de un montaje integrador en el que se ha utilizado el OTA folded cascodo estudiado, con una señal de entrada cuadrada de 1.67 MHz a una frecuencia de muestreo de 10 MHz. Las corrientes que circulan por los transistores ‘super-cascodo’ son aproximadamente $I_{b1}=1 \mu\text{A}$ e $I_{b2}=10 \mu\text{A}$, de forma que la relación 10 a 1 entre I_{b2} e I_{b1} asegura que se satisfacen las restricciones de estabilidad. El tiempo de establecimiento para alcanzar el 1% del valor final y el consumo de potencia medido son 26.17 ns y 750 μW , respectivamente.

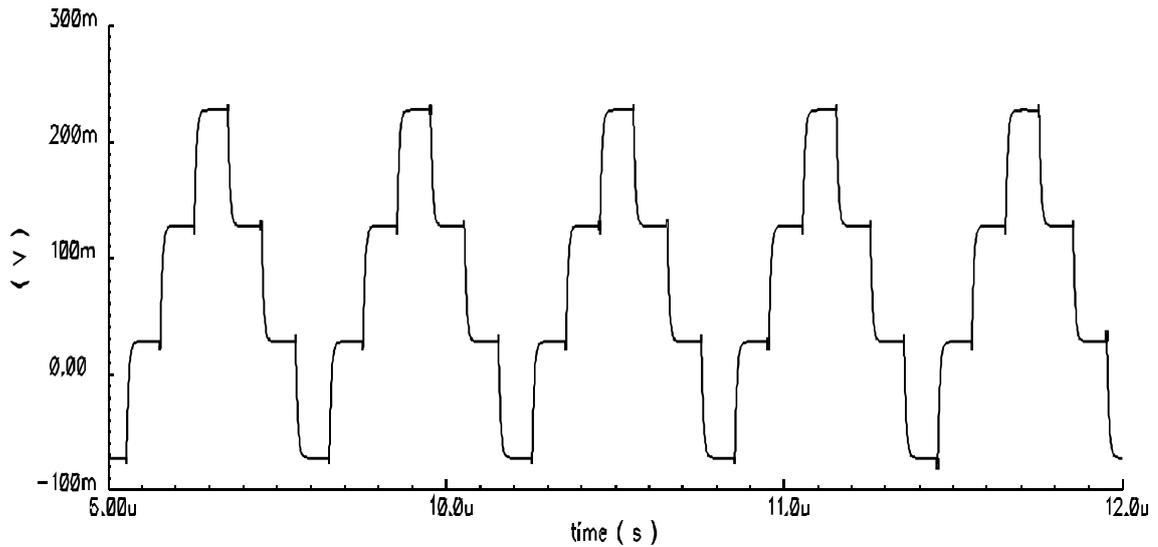


Figura 4-20. Simulación transitoria del OTA folded cascode propuesto.

Este capítulo muestra la arquitectura y el fundamento teórico detrás del OTA telescópico con elevación de ganancia y amplio rango de salida que forma parte del ADC pipeline de 8 bits y 19 MS/s diseñado en el capítulo 3 de la presente tesis doctoral. Para una capacidad de carga igual a 250 fF, este amplificador puede conseguir una ganancia DC de 80 dB, una GBW de 430 MHz y un margen de fase de 78°. El consumo de potencia obtenido es de sólo 1,35 mW.

Se presenta además como aportación al capítulo, un OTA simple, folded cascode, de elevada ganancia y completamente diferencial para aplicaciones de baja tensión. El OTA propuesto alcanza una ganancia DC de 100 dB, una GBW de 75 MHz y un margen de fase de 85°. Este diseño se ha probado en un montaje SC integrador que muestra un buen funcionamiento a una frecuencia de muestreo de 10 MHz con un consumo de potencia de 750 μ W.

Referencias

- [Abidi86] A.A. Abidi "High-Frequency Noise Measurements on FET's with Small Dimensions" IEEE Trans. Electron Devices, vol. 33, pp. 1801-1805, Nov. 1986.
- [Abidi88] A.A. Abidi "On the Operation of Cascode Gain Stages" IEEE Solid-State Circuits, vol. 23, pp. 1434-1437, Dec. 1988
- [Adut06] Adut, J.; Silva-Martinez, J.; Rocha-Perez, M. "A 10.7-MHz sixth-order SC ladder filter in 0.35 μm CMOS Technology" IEEE Transactions on Circuits and Systems I, vol. 53, n^o8, pp. 1625-1635, 2006
- [Ahmadi06] Ahmadi, M.M. "A new modelling and optimization of gain-boosted cascade amplifier for high-speed and low-voltage applications" Transactions on Circuits and Systems II: Express Briefs, volume 53, issue 3, page 169-173, March 2006
- [Baschirotto97] A. Baschirotto, R. Castello "A 1-V 1.8-MHz CMOS Switched-Opamp SC Filter with Rail-to-Rail Output Swing" 1997 IEEE International Solid-State Circuits Conference, Dig. Tech. Pap., pp 58-59, Feb. 1997
- [Bult90] K. Bult, G.J.G.M. Geelen "A Fast-Settling CMOS Op Amp for SC Circuits with 90-dB DC Gain" IEEE J. Solid-State Circuits, vol. 25, pp. 1379-1384, Dec. 1990
- [Bult91] K. Bult, G.J.G.M. Geelen "The CMOS gain-boosting technique" Analog Integrated Circuits and Signal Processing, vol. 1, n^o2, pp. 119-135, Apr. 1991
- [Castello85] Castello, R.; Gray, P.R.; "A high-performance micropower switched-capacitor filter" IEEE Journal of Solid-State Circuits, volume 20, issue 6, Dec. 1985, page: 1122-1132
- [Carvajal02] Carvajal, R.G.; Galan, J.; Ramirez-Angulo, J.; Torralba, A. "Low-power low-voltage differential class-AB OTAs for SC circuits" Electronics Letters, vol. 38, n^o22, pp. 1304-1305, 2002
- [Carvajal03] Carvajal, R.G.; Palomo, B.; Torralba, A.; Munoz, F.; Ramirez-Angulo, J.; "Low-voltage high-gain differential OTA for SC circuits" Electronics Letters, volume 39, issue 16, page 1159-1160, August 2003
- [Cho95] T.B. Cho, P.R. Gray "A 10b, 20 Msample/s, 35 mW pipeline A/D Converter" IEEE J. Solid-State Circuits, vol. 30, pp. 166-172, Mar. 1995
- [Choi83] T.C. Choi, R.T. Kaneshiro, W. Brodersen, P.R. Gray, W.B. Jett, M. Wilcox "High-Frequency CMOS Switched-Capacitor Filters for Communications Applications" IEEE J. Solid-State Circuits, vol. SC-18 pp. 652-664, Dec. 1983
- [Choksi03] Choksi, O.; Carley, L.R.; "Analysis of switched-capacitor common-mode feedback circuit" IEEE Transactions on Circuits and Systems II, volume 50, issue 12, page 906-917, Dec. 2003
- [Crols94] J. Crols, M. Steyaert "Switched-opamp: an approach to realize full CMOS switched capacitor circuits at very low power supply voltages" IEEE J. Solid-State Circuits, vol. 29, pp. 924-936, August 1994.
- [Daoud08] Daoud, H.; Bennour, S.; BenSalem, S.; Loulou, M. "Low power SC CMFB folded cascade OTA optimization" ICECS 2008, pp. 570-573, 2008
- [Garrity99] D. Garrity and P. Rakers, "Common-mode output sensing circuit" U.S. Patent 5 894284, Apr. 13, 1999

- [Gatti90] U. Gatti, F. Maloberti, G. Toreli "A novel CMOS linear transconductance cell for continuous-time filters" IEEE International Symposium on circuits and Systems, vol. 2, pp. 1173-1176, May 1990
- [Gregorian86] R.Gregorian, G.C. Temes "Analog MOS Integrated Circuits For Signal Processing" John Wiley and Sons, 1986
- [Gulati98] Gulati, K.; Hae-Seung Lee; "A high-swing CMOS telescopic operational amplifier" IEEE Journal of Solid-State Circuits, volume 33, issue 12, page 2010-2019, Dec. 1998
- [Hosticka79] B.J. Hosticka "Improvement of the Gain of MOS Amplifiers" IEEE J. Solid-State Circuits, vol. 14, pp. 1111-1114, Dec.1979
- [Hosticka80] B.J. Hosticka "Dynamic CMOS Amplifier" IEEE J. Solid-State Circuits, vol.15, pp.887-894
- [Johns97] D.A. Johns, K. Martin "Analog Integrated Circuits Design" John Wiley and Sons, 1997
- [Kamath74] B.Y. Kamath, R.G. Meyer, P.R. Gray "Relationship Between Frequency Response and Settling Time of Operational Amplifiers" IEEE Journal of Solid-State Circuits, vol.9, pp.347-352, Dec 1974
- [Knoblinger01] G. Knoblinger, P. Klein, M. Tiebout, "A New Model for Thermal Channel Noise of Deep-Submicron MOSFETS and its Application in RF-CMOS Design" IEEE J. Solid-State Circuits, vol.36, pp. 831- 837, May 2001
- [Laber88] C.A. Laber, P.R. Gray, "A Positive-Feedback Transconductance Amplifier with Applications to High-Frequency, High-Q CMOS Switched-Capacitor Filters" IEEE J. Solid-state Circuits, vol. 23, pp.1370-1378, Dec.1988
- [Lei10] Ma Lei; Ding Ying-tao; Wang Xing-hua "A folded cascade OTA using current-mode gain-boost amplifier" ICSE 2010, pp. 92-95,2010.
- [Lewis87] S.H. Lewis, P.R. Gray "A Pipelined 5-Msample/s 9-bit Analog-to-Digital Converter" IEEE Journal of Solid-State Circuits, Vol. SC-22,No6, December 1987
- [Liu04] M-H Liu, K-C Huang, W-Y Ou, T-Y Su, S-I Liu "A Low Voltage-Power 13-Bit 16 MSPS CMOS Pipelined ADC" IEEE Journal of Solid-State Circuits, Vol. 39, No 5, May 2004
- [Marques98] A.M. Marques, V. Peluso, M.S. J. Steyaert,W.Sansen "A 15-b Resolution 2-MHz Nyquist Rate $\Delta\Sigma$ ADC in a 1- μm CMOS Technology" IEEE J. Solid-STATE Circuits, vol. 33, pp. 1065-1075, Jul. 1998
- [Nicollini89] G. Nicollini, P. Confalonieri, D. Senderowicz "A Fully Differential Simple-and-Hold Circuit for High-Speed Applications" IEEE J. Solid-State Circuits, vol.24, pp.1461-1465, Oct. 1989
- [Pärssinen99] A. Pärssinen,J.Jussila,J.Ryynänen,L.Sumanen,K.Halonen "A 2-GHz Wide-Band Direct Conversion Receiver for WCDMA Applications" IEEE J. Solid-State Circuits, vol.34, pp.1893-1903, Dec.1999
- [Peluso97] V. Peluso, P. Vancorenland, M. Steyaert, W. Sansen "900mV differential class AB OTA for switched opamp applications" IEE Electronics Letters, vol. 33, n°17, pp. 1455-1456, Aug. 14, 1997.
- [Razavi95] B. Razavi "Principles of Data Conversion System Design" IEEE Press, 1995
- [Säckinger90] E. Säckinger, W. Guggenbühl, "A High-Swing, High-Impedance MOS Cascode Circuit"IEEE J. Solid-STATE Circuits, vol. 25, pp. 289-297, Feb 1990
- [Sansen90] W.Sansen, Z. Y. Chang "Feedforward Compensation Techniques for High-Frequency CMOS Amplifiers" IEEE Journal of Solid-State Circuits, vol. 25, pp.1590-1595, Dec. 1990

- [Senderowicz82] Senderowicz, D.;Dreyer,S.F.;Huggons, J.H;Rahim, C. F. ; Laber, C. A.; "Afamily of differential NMOS analog circuits for a PCM codec filter chip" IEEE Journal of Solid-State Circuits, volume 17, issue 6, Dec. 1982, pag 1014-1023
- [Song88] B.-S. Song, M. F. Tompsett, K. R. Lakshmikumar "A 12-bit 1-Msample/s Capacitor Error-Avariging Pipelined A/D Converter" IEEE J. Solid-State Circuits, vol.23, pp.1324-1333, Dec.1988
- [Sumanen01] L. Sumanen, M. Waltari, K.Halonen "A 10-bit 200MS/s CMOS Parallel Pipeline A/D Converter" IEEE J. Solid-State Circuits, vol.36, pp. 1048-1055,Jul. 2001
- [Thandri06] Thandri, B.K.,Silva-Martinez, J. "A 92-MHz 13-bit IF digitizer using optimized SC integrators in 0.35- μ m CMOS technology" IEEE Transactions on Circuits and Systems II, vol. 53,n^o5, pp.412-416, 2006
- [Torralba02] Torralba, A.;Carvajal, R.G.; Ramrez-Angulo, J.;Munoz, F. "Output stage for low supply voltage, high-performance CMOS current mirrors" Electronics Letters, volume 38, issue 24, page 1528-1529, Nov. 2002
- [Triantis96] D.P. Triantis, A.N. Birbas, D. Kondis "Thermal Noise Modeling for Short-Channel MOSFET's" IEEE Trans. Electron Devices, vol. 43, pp. 1950-1955, Nov. 1996
- [Vallee94] R.E. Vallee,E.I. El-Masry, "A very High-Frequency CMOS Complementary Folded Cascode Amplifier" IEEE Journal of Solid-State Circuits, vol. 29, pp. 130-133, Feb. 1994
- [Waltari02] M. E. Waltari, K.A.I. Halonen "Circuit techniques for low-voltage and high-speed A/D converters" Kluwer Academic Publisher,2002
- [Yang90] H.C. Yang, D. J. Allstot, "Considerations for Fast Settling Operational Amplifiers" IEEE Trans. Circuits and Systems, vol. 37, pp. 326-334, Mar. 1990
- [Yotsuyasagi93] M. Yotsuyasagi, T. Etoh, K. Hirata "A 10-b 50-MHz Pipelined CMOS A/D Converter with S/H" IEEE J. Solid-State Circuits, vol.28, pp. 292-300, Mar.1993
- [Yu93] P.C. Yu, H.-S. Lee "A High-Swing 2-V CMOS Operational Amplifier with Replica-Amp Gain Enhancement" IEEE J. Solid-state Circuits, vol. 28, pp. 1265-1272. Dec. 1993
- [Zaravadi94] S. Zarabadi, M. Ismail "High density integrated circuit with high output impedance" U.S. Patent 5 337 021, Aug. 9, 1994

INTERRUPTORES ANALÓGICOS PARA APLICACIONES DE BAJA TENSIÓN

5.1 Fuentes de error en interruptores CMOS

5.2 La resistencia de encendido en aplicaciones de baja tensión de alimentación

5.3 Técnicas para la mejora del problema de la baja tensión de alimentación

5.4 Técnicas para la mejora de la linealidad

5.5 Técnicas para la mejora del problema de la inyección de carga y el Clock Feedthrough

5.6 El transistor de puerta flotante en circuitos analógicos de baja tensión

5.7 El transistor de puerta casi flotante

5.8 Diseño de un interruptor CMOS basado en transistores de puerta casi flotante

En los últimos años se ha observado una importante tendencia hacia los dispositivos electrónicos portátiles, lo que unido a los avances en la tecnología CMOS ha llevado a los diseñadores hacia sistemas de baja tensión y baja potencia. Normalmente, los circuitos de capacidades conmutadas (SC) son utilizados para la implementación de la parte analógica en sistemas mixtos. A baja tensión, el rango de variación de tensiones en la puerta de los transistores usados como interruptores puede no ser suficiente para encenderlos en todo el rango de señal. Esto es especialmente crítico en aquellos interruptores colocados a la entrada del circuito y a la salida de los amplificadores de transconductancia (OTA). Las aproximaciones a la solución de este problema basadas en amplificadores operacionales conmutados ("switched-opamp") [Crols94] adolecen de una reducción en la velocidad del circuito.

Una forma de reducir el consumo en convertidores analógicos digitales (ADC) pipeline de manera significativa consiste en eliminar el amplificador de muestreo y retención (SHA) dedicado de forma que la operación de muestreo se lleve a cabo por las propias capacidades conmutadas del amplificador de residuo (MDAC) de la primera etapa. En este caso, es necesario prestar especial atención a los interruptores de entrada implicados en el proceso de muestreo.

El objetivo de este capítulo de la tesis es el de presentar un interruptor analógico que pueda operar a bajas tensiones de alimentación para una tecnología CMOS estándar. El interruptor propuesto se basa en un transistor de puerta casi flotante y tiene una estructura simple y compacta.

Entre las principales fuentes de error de los interruptores MOS se encuentran el "clock feedthrough", la inyección de carga y la no linealidad de la resistencia de encendido. Los dos primeros apartados del capítulo están dedicados a definir estos errores y a explicar su origen desde el punto de vista de la física del estado sólido. A continuación, en los apartados 3 a 5, se muestran diferentes técnicas propuestas por otros autores que eliminan o reducen dichos errores. Este estudio es esencial para la decisión de la topología del circuito utilizado como interruptor a la entrada del ADC pipeline de bajo consumo diseñado en el capítulo 2. Los apartados 6 y 7 están orientados a mostrar el principio de funcionamiento de los transistores MOS de puerta casi flotante. Finalmente, se explica el diseño de un circuito de muestreo y retención (S/H) para baja tensión con funcionamiento a rango completo basado en transistores de puerta casi flotante.

5. Interruptores analógicos para aplicaciones de baja tensión

5.1 Fuentes de error en interruptores CMOS

La mayoría de los convertidores analógicos digitales (ADC) pipeline se implementan con circuitos de condensadores conmutados (SC) y los transistores MOS se emplean como interruptores, con su tensión de puerta controlando la resistencia entre su fuente y su drenador. En un dispositivo NMOS que opere en zona lineal, esta resistencia viene dada por la ecuación (5.1)

$$R_{ON} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{TH})} \quad (5.1)$$

Donde μ_n es la movilidad de los electrones en el canal, C_{ox} la capacidad del óxido por unidad de área, W y L el ancho y la longitud efectiva del dispositivo, respectivamente, V_{GS} es la tensión puerta-fuente y V_{TH} la tensión umbral.

Sin embargo, estos interruptores MOS provocan errores y no linealidades ([Gregorian86], [Waltari02]), y requieren cierta consideración antes de introducirse en el diseño del ADC pipeline SC. Las principales fuentes de error de los interruptores MOS son el "clock feedthrough", la inyección de carga y la no linealidad de la resistencia de encendido.

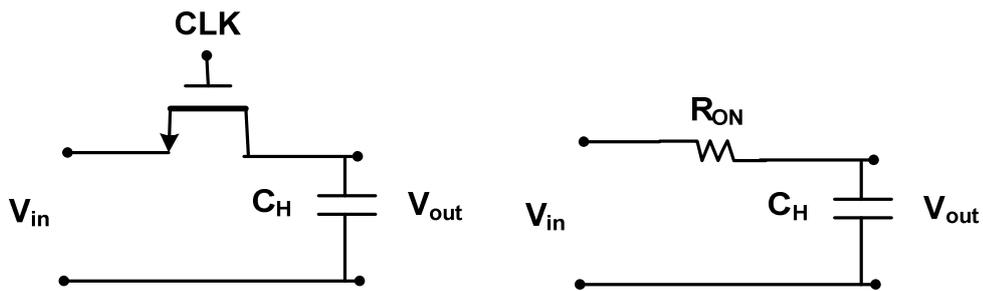


Figura 5-1. Circuito de muestreo MOS.

5.1.1 La inyección de carga

La Figura 5-1 muestra un circuito de muestreo que utiliza un transistor MOS como interruptor, así como el circuito equivalente durante la fase de muestreo. Cuando el interruptor está encendido, debería existir un canal entre la fuente y el drenador para hacer V_{in} prácticamente igual a V_{out} . La carga total en el canal, bajo las condiciones de inversión fuerte, puede expresarse según la ecuación (5.2)

$$Q_{ch} = WL \cdot C_{ox} \cdot (V_{GS} - V_{TH}) \quad (5.2)$$

Cuando el interruptor se apaga, la carga en el canal se inyecta en el drenador y en la fuente. Dado que la carga inyectada a la entrada es absorbida por la fuente de entrada, no se crea error alguno. Sin embargo, la carga inyectada en el lado de salida es almacenada en una capacidad de muestreo, lo que alterará cualquier tensión almacenada en dicha capacidad. Si Q_{ch} es constante este error aparecería como un offset y si Q_{ch} es proporcional a la tensión de entrada, como un error de ganancia. Estos tipos de error podría ser tolerables según la aplicación, sin embargo, el error será un término no lineal si Q_{ch} tiene una dependencia no lineal con la señal de entrada. En este último caso la linealidad del circuito se vería comprometida y la distorsión armónica aumentaría por este motivo.

$$V_{Th} = V_{Thn0} + \gamma(\sqrt{|2\phi_F| + V_{SB}} - \sqrt{|2\phi_F|}) \quad (5.3)$$

Dado que la tensión umbral V_{TH} puede ser sustituida por la ecuación (5.3), donde Φ_F representa el nivel de Fermi, y el coeficiente efecto sustrato y V_{SB} la tensión fuente-sustrato, existirá una componente no lineal en Q_{ch} a causa del efecto sustrato.

El mecanismo de la inyección de carga en transistores MOS ha sido caracterizado en diferentes estudios ([Sheu84],[Wilson85],[Shieh87],[Wegmann87],[Eichenberger90]). Estos estudios establecen que la fracción de carga inyectada en los terminales de fuente y drenador es difícil de determinar puesto que dependerá tanto de la impedancia de dichos nodos como del tiempo de transición de la señal de reloj. Aunque existen descripciones matemáticas del efecto de inyección de carga, dado la dependencia de estos modelos con respecto a la topología utilizada, se han inventado multitud de técnicas que buscan suprimir los errores de inyección de carga independientemente del valor exacto de dichos errores.

5.1.2 Clock Feedthrough

Otra fuente de error en los interruptores MOS es el “clock feedthrough”, provocado por la capacidad finita de acoplo entre los terminales de puerta y fuente o los terminales puerta y drenador del transistor. Cuando la señal de control CLK sube a nivel alto, el interruptor se enciende y la señal de entrada V_{in} se conecta a la capacidad C_H del circuito de muestreo. El resultado es que C_H se carga a V_{IN} y las capacidades de acoplo no tienen efecto alguno sobre el valor final de V_{OUT} .

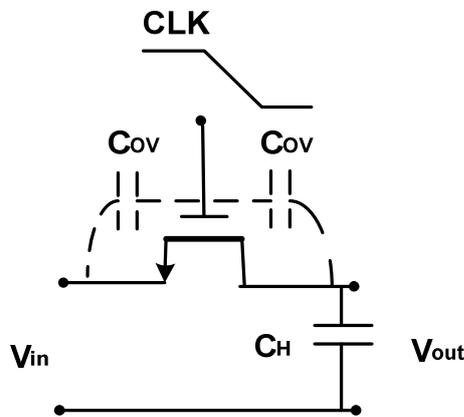


Figura 5-2. Ilustración del “clock-feedthrough”.

Sin embargo, como se ilustra en la Figura 5-2, cuando la tensión de control CLK cambia de estado y apaga el interruptor, la capacidad de desacoplo C_{OV} conduce durante la transición y cambia el valor almacenado en C_H . Puede verse que aparece un divisor de tensiones capacitivo entre la capacidad puerta-drenador (o puerta-fuente) y la capacidad de carga. A causa de esto, una porción de la señal de reloj aparecerá en C_H según la ecuación (5.4), donde C_{ov} viene expresada por la ecuación (5.5) y LD es la longitud de la puerta que se superpone con el drenador o la fuente.

$$\Delta V = \frac{C_{ov}}{C_{ov} + C_H} \cdot CLK \tag{5.4}$$

$$C_{ov} = C_{ox} \cdot W \cdot LD \tag{5.5}$$

La ecuación (5.4) indica que el clock feedthrough es independiente de la señal de entrada si C_{OV} es constante y, por tanto, aparecerá como un offset en la característica de entrada.

5.1.3 Reducción de la inyección de carga y Clock Feedthrough

Tanto la inyección de carga como el “clock feedthrough” pueden minimizarse empleando las mismas técnicas circuitales. Una de las más usadas es el interruptor dummy ([Allen02], [Waltari02]) tal como se muestran en la Figura 5-3. El transistor M_2 es utilizado como dummy, por lo que se coloca en serie con el interruptor real M_1 y su drenador y su fuente se encuentran cortocircuitados. El tamaño del interruptor M_2 es la mitad del interruptor M_1 y el interruptor dummy es controlado por un reloj complementario al que controla al interruptor real.

Cuando M_1 se apaga, la mitad de la carga del canal se inyecta en el transistor M_2 en lugar de en el condensador de muestreo, cancelando el error de inyección de carga. Por eso, el tamaño del transistor M_2 es la mitad del tamaño del transistor M_1 . Cuando M_2 se apaga, como el drenador y la fuente se encuentran cortocircuitados y M_1 está encendido, toda la carga de M_2 será inyectada en el nodo de baja impedancia que es el nodo de conexión a M_1 , con lo que la inyección de carga no afectará al valor de la tensión en C_H .

Con este método, el efecto del “clock feedthrough” se puede cancelar parcialmente, incluso se puede diseñar M_2 con un área que minimice dicho efecto. Desafortunadamente, no elimina completamente el “clock feedthrough” y, según que casos, podría incluso empeorarlo.

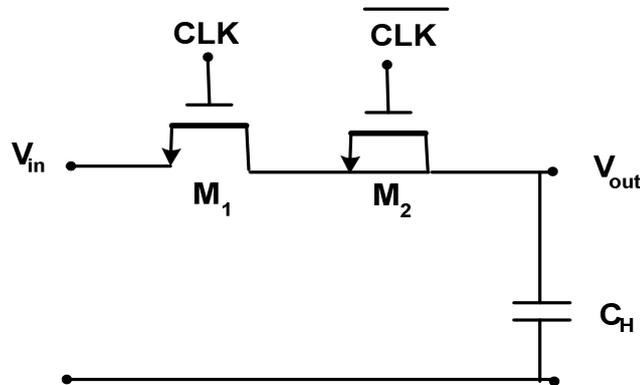


Figura 5-3. Circuito de muestreo MOS con interruptor dummy.

Otro método utilizado para contrarrestar la inyección de carga y el “clock feedthrough” se muestra en la Figura 5-4 y consiste en sustituir el interruptor por una puerta de transmisión CMOS, compuesta por un par de transistores NMOS y PMOS del mismo tamaño conectados en paralelo. Esto se traduce en una menor variación en V_{OUT} , porque como una puerta de transmisión emplea señales de control complementarias, el error de carga inyectado por ambos transistores al apagarse tendrá signo opuesto. Sin embargo, esta aproximación requiere que los relojes complementarios conmuten exactamente al mismo tiempo y asume que la señal de entrada V_{IN} es pequeña ya que la simetría de las formas de onda de encendido y apagado es dependiente de la señal de entrada.

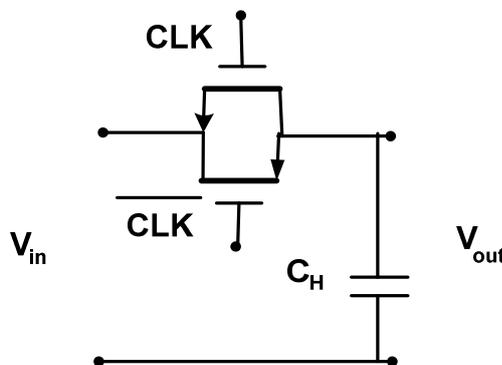


Figura 5-4. Puerta de transmisión MOS.

El uso de topologías completamente diferenciales cancela los efectos de primer orden, por lo que el problema de la inyección de carga y el "clock feedthrough" podría verse aliviado en este tipo de circuitos. Como se muestra en la Figura 5-5, podemos suponer que la inyección de carga aparece como una alteración del modo común. La ecuación (5.6) formula la diferencia de carga inyectada en la capacidad de muestreo por los transistores M_1 y M_2 . Esta expresión indica que el error total no desaparece para las señales diferenciales, sin embargo, sí elimina el offset constante y minimiza la componente no lineal, porque la no linealidad debida al efecto sustrato aparece en ambos términos de la raíz cuadrada y la distorsión será sólo de orden impar.

$$\Delta q_1 - \Delta q_2 = WLC_{ox} \left[V_{in2} - V_{in1} + \gamma \left(\sqrt{2\phi_F + V_{in2}} - \sqrt{2\phi_F + V_{in1}} \right) \right] \quad (5.6)$$

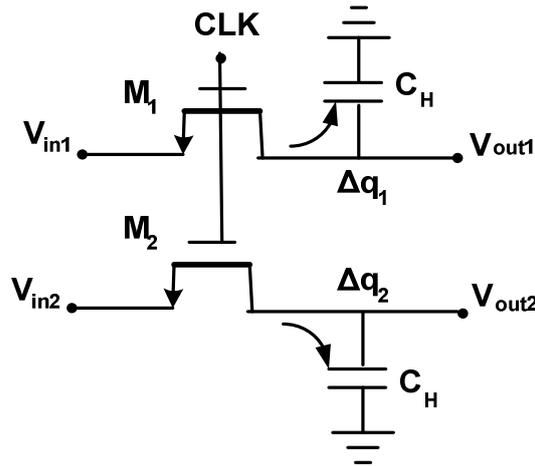


Figura 5-5. Circuito de muestreo MOS diferencial.

Una de las formas más populares de reducir el error de inyección de carga emplea una técnica de muestreo de placa inferior [Haigh83], lo que implica implementar dos fases más de reloj.

Un circuito de muestreo con una técnica de muestreo de placa inferior y sus correspondientes fases de reloj se muestran en la Figura 5-6. Para estudiar el funcionamiento del circuito consideramos por separado la fase de muestreo y la fase de retención. En la primera (1), los interruptores S_1 y S_3 están encendidos y los interruptores S_2 y S_4 apagados, permitiendo que la tensión almacenada en la capacidad de muestreo siga la señal de entrada. En el instante (2), que supone la transición a la fase de retención, el interruptor S_3 se apaga primero, inyectando una carga constante en la capacidad, el interruptor S_1 se apaga después y, finalmente, en el fase de retención (3) se desconectan S_2 y S_4 . La carga inyectada por el interruptor S_3 introduce un error constante que puede ser eliminado en un funcionamiento diferencial. Además, la carga del canal del interruptor S_1 no es inyectada en la capacidad porque no hay camino DC desde el nodo B. El interruptor S_2 , al igual que S_3 , está conectado a tierra e introduce un error constante. Finalmente, el interruptor S_4 está normalmente conectado a la tierra virtual de entrada de un amplificador operacional y la carga inyectada o absorbida es constante e independiente de V_{in} .

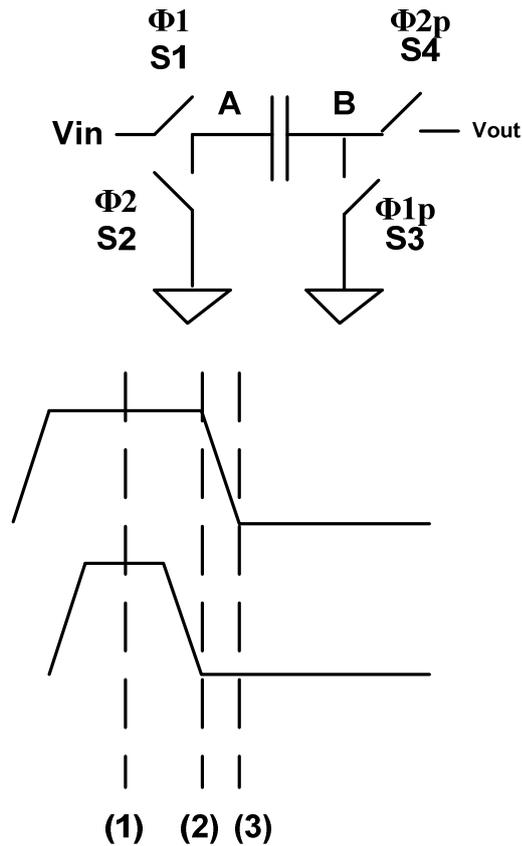


Figura 5-6. Circuito de muestreo con una técnica de muestreo de placa inferior y sus correspondientes fases de reloj.

5.2 La resistencia de encendido en aplicaciones de baja tensión de alimentación

En el diseño de circuitos SC, la señal analógica es muestreada a través de un interruptor MOS o una puerta de transmisión como la que se muestra en la Figura 5-4. De la ecuación (5.1) se obtiene la Figura 5-7 que representa la resistencia de un interruptor, ya sea NMOS, CMOS o una puerta de transmisión. Se puede observar que la resistencia de los interruptores es no lineal, ya que su valor es dependiente del valor de V_{GS} , que no es el mismo en todo el rango de señal, lo cual implicará distorsión.

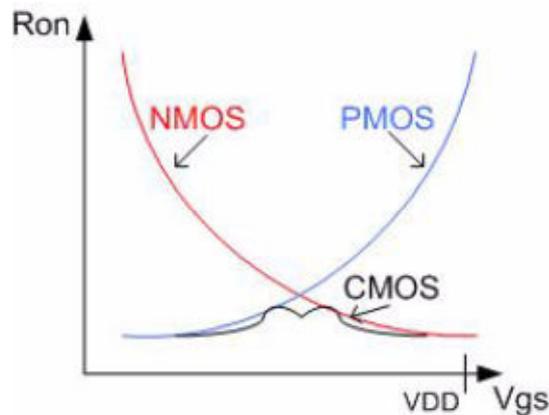


Figura 5-7. Resistencia de los interruptores.

Aumentar el tamaño del interruptor puede compensar el incremento de la resistividad producido por la reducción (transistor NMOS) o el aumento (transistor PMOS) de V_{GS} . Sin embargo, como se explicó en el apartado anterior, interruptores de mayor tamaño conducen a mayores inyecciones de carga. Por otro lado, el valor de la resistencia en combinación con la capacidad tiene una gran influencia en el comportamiento en velocidad en circuitos SC. Así, se debe llegar a una solución de compromiso en la elección del tamaño de los transistores entre alta velocidad y gran inyección de carga o baja velocidad y baja inyección de carga.

Idealmente, un interruptor encendido actúa como una conductancia lineal y fija g_{DS} . En la práctica, esta conductancia varía con la señal de tensión. Las ecuaciones (5.7) y (5.8) muestran la conductividad del transistor en función de la tensión de control CLK y la tensión de fuente V_{IN} , que es igual a la señal que debe ser conmutada.

$$g_{DSn} = KP_n \frac{W}{L} \cdot \left[CLK - V_{IN} - V_{Tn0} - \gamma_n \left(\sqrt{2\Phi_f + V_{IN}} - \sqrt{2\Phi_f} \right) \right] \quad (5.7)$$

$$g_{DSp} = KP_p \frac{W}{L} \cdot \left[CLK - V_{IN} - V_{Tp0} - \gamma_p \left(\sqrt{2\Phi_f + CLK - V_{IN}} - \sqrt{2\Phi_f} \right) \right] \quad (5.8)$$

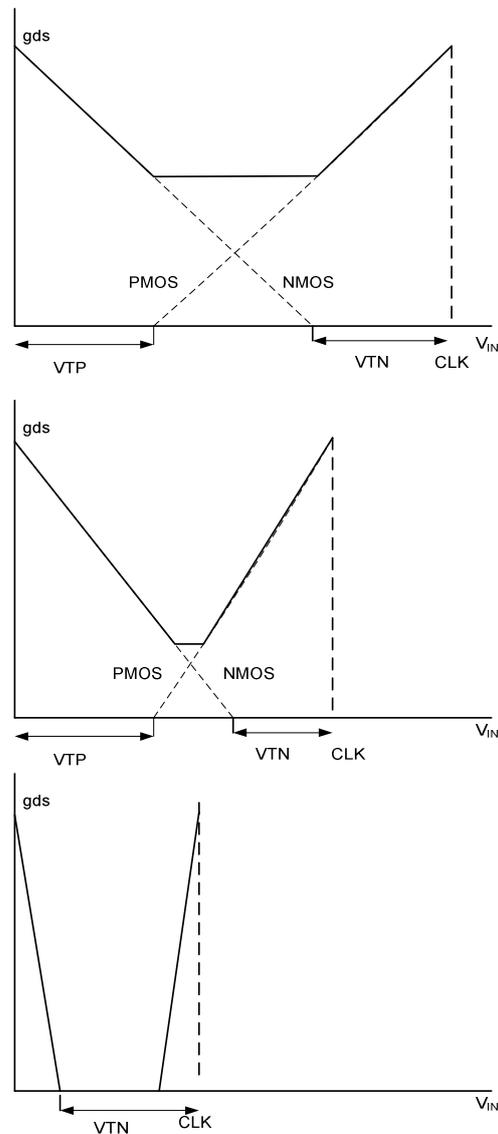


Figura 5-8. Conductancia de interruptores MOS.

El circuito más empleado para aumentar la señal de reloj [Cho95] [Wu95] se muestra en la Figura 5-9. Aplicando una señal de entrada cuadrada de 3.3 V, C1 y C2 son cargados alternativamente a 3.3 V a través de los transistores NMOS, M1 y M2. Cuando la señal de reloj está a nivel bajo, el inversor conectado a C2 hará que quede cargado a dos veces 3.3 V y la tensión de la fuente M1 alcanzará los 6.6V cuando la señal de reloj pase a nivel alto.

Una señal cuadrada invertida a la salida de 5 V se genera de acuerdo a la ecuación (5.9), donde $C_{gate,M5}$ es la capacidad de puerta del transistor M5 y $C_{parasitic}$ el condensador parásito conectado al nudo superior de C2.

$$V_{hi} = 2 \cdot 3.3V \cdot \frac{C_2}{C_{gate,M5} + C_2 + C_{parasitic}} \quad (5.9)$$

En estos circuitos los interruptores son siempre transistores NMOS. Como no es necesario que todo el circuito SC funcione a una tensión elevada, sino tan solo los interruptores, el diseño del multiplicador de tensión se simplifica y hace que su tamaño aceptable. El inconveniente de esta técnica, por tanto, sería la necesidad de un consumo de área y potencia mayor a causa del multiplicador de tensión. Además, esta solución somete al transistor a una tensión de puerta elevada, lo que introduce problemas de fiabilidad a largo plazo.

5.4 Técnicas para la mejora de la linealidad

Para minimizar el efecto de la no linealidad de los interruptores existen dos técnicas esenciales; implementar el circuito de forma completamente diferencial, para suprimir el tercer armónico, y emplear la técnica de elevación de tensión o “bootstrap” [Dessouky99], que linealiza la resistencia del interruptor manteniendo el voltaje entre la puerta y la fuente constante.

La idea básica proviene de la expresión de la resistencia de encendido de un interruptor MOS. Según la ecuación (5.1), la linealidad puede ser mejorada significativamente si V_{GS} se mantiene constante independientemente del valor de V_{IN} . Como V_{GS} nunca excede la tensión de alimentación, las reglas referentes a la fiabilidad y a la tensión de ruptura se respetan. Esta idea se ilustra en la Figura 5-10. Una fuente de tensión V_{dd} puede ser añadida entre la puerta y la fuente de un interruptor. Cuando el interruptor está encendido, la tensión de puerta V_G será siempre $(V_{dd}+V_s)$, lo que hace que la tensión puerta fuente V_{GS} sea constante.

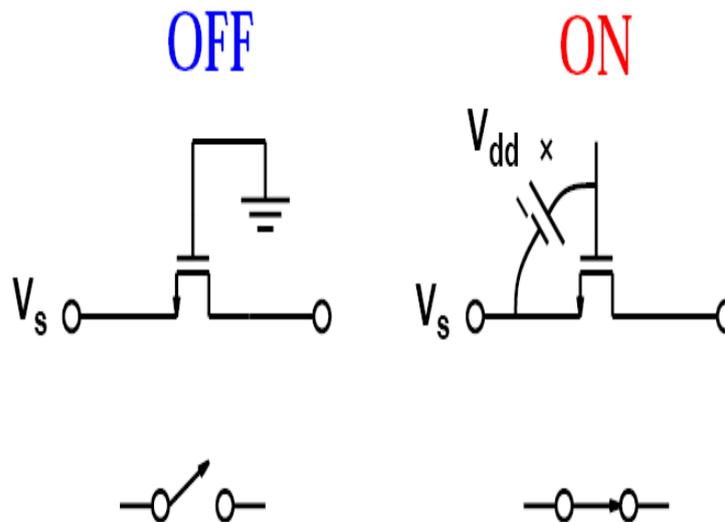


Figura 5-10. Principio de la técnica de elevación de tensión.

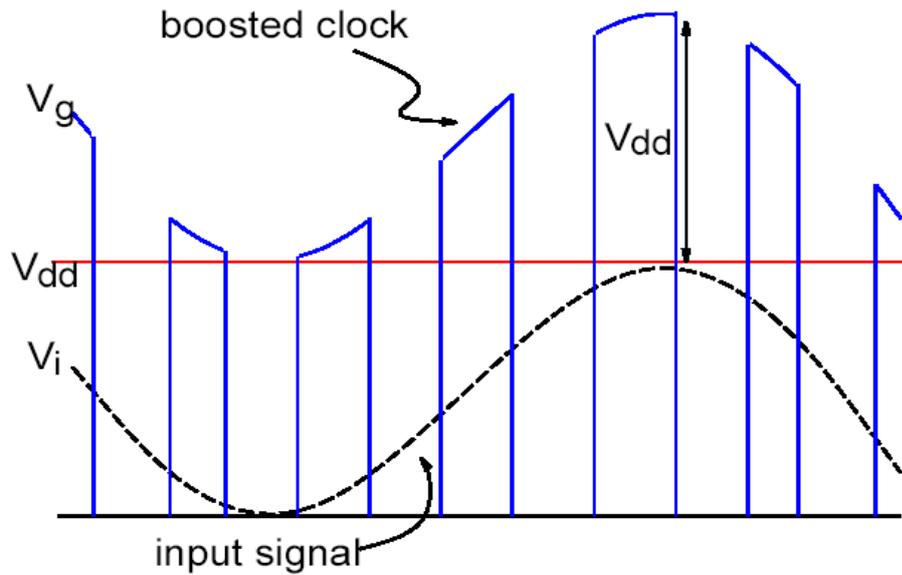


Figura 5-11. Salida conceptual del circuito interruptor con elevación de tensión

La Figura 5-11 muestra la forma de onda de salida del circuito de elevación de tensión. Como V_{GS} es independiente de la señal, pueden usarse señales de rango completo, aspecto importante desde el punto de vista del consumo de potencia. Se reduce además la inyección de carga dependiente de la señal. No pueden ser eliminadas, sin embargo, las variaciones en el valor de la resistencia del interruptor encendido debido al efecto cuerpo.

La cuestión ahora es como implementar la fuente de tensión. Dicha fuente puede ser implementada mediante un circuito SC como se ilustra en la Figura 5-12. Un interruptor NMOS es conectado a tierra mientras el condensador C_1 se carga a un valor $V_{dd} = V_1 - V_2$. En la siguiente fase de reloj, la capacidad C_1 , ahora cargada a V_{dd} , se conecta entre la puerta y la fuente del interruptor y actúa como una tensión DC constante.

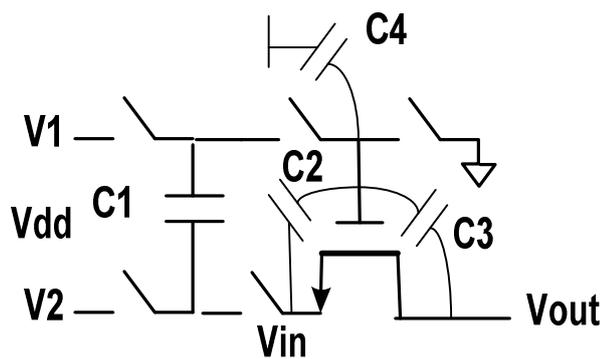


Figura 5-12. Implementación del principio de la técnica de elevación de tensión con un circuito de condensadores conmutados.

La tensión de puerta, sin embargo, no es exactamente la suma de la tensión de entrada y la tensión precargada, ya que las capacidades parásitas asociadas con el transistor que funciona como interruptor pueden causar algún cambio en la tensión almacenada. Teniendo en cuenta este efecto, la tensión de puerta viene dada por la ecuación (5.10) y simplificada en la ecuación (5.11)

$$V_G = \frac{C_1(V_1 - V_2)}{C_{tot}} + \frac{(C_1 + C_2 + C_3)V_{IN}(t)}{C_{tot}} - \frac{C_2V_{IN}(t_0)}{C_{tot}} - \frac{C_3V_{OUT}(t_0)}{C_{tot}} \quad (5.10)$$

$$= V_O + V_{IN}(t) - \frac{C_4V_{IN}(t)}{C_{tot}} - \frac{C_2V_{IN}(t_0)}{C_{tot}} - \frac{C_3V_{OUT}(t_0)}{C_{tot}} \quad (5.11)$$

$$C_{tot} = C_1 + C_2 + C_3 + C_4 \quad (5.12)$$

C_{tot} , la capacidad total, viene dada por la ecuación (5.12). En la ecuación (5.11), los primeros dos términos -la tensión de offset V_0 y la tensión de entrada $V_{IN}(t)$ - son los esperados, mientras que los tres términos restantes son no deseados. La división capacitiva entre las capacidades del nodo de entrada y la puerta y la de puerta a tierra dan como resultado un término proporcional a C_4 . Los últimos dos términos, proporcionales a las capacidades desde la puerta al drenador y a la fuente, provienen del hecho de que al final de la fase de apagado del interruptor (instante t_0) las tensiones de fuente y drenador son almacenadas en las capacidades parásitas C_2 y C_3 , respectivamente. Para minimizar la distorsión, la capacidad que funciona como batería C_1 debe tener un valor suficientemente grande en comparación con el resto de capacidades.

La Figura 5-13 [Abo99] muestra la implementación de un circuito con elevación de tensión. Opera con una señal de control CLK, que apaga y enciende el interruptor M11, y su complementaria CLKN.

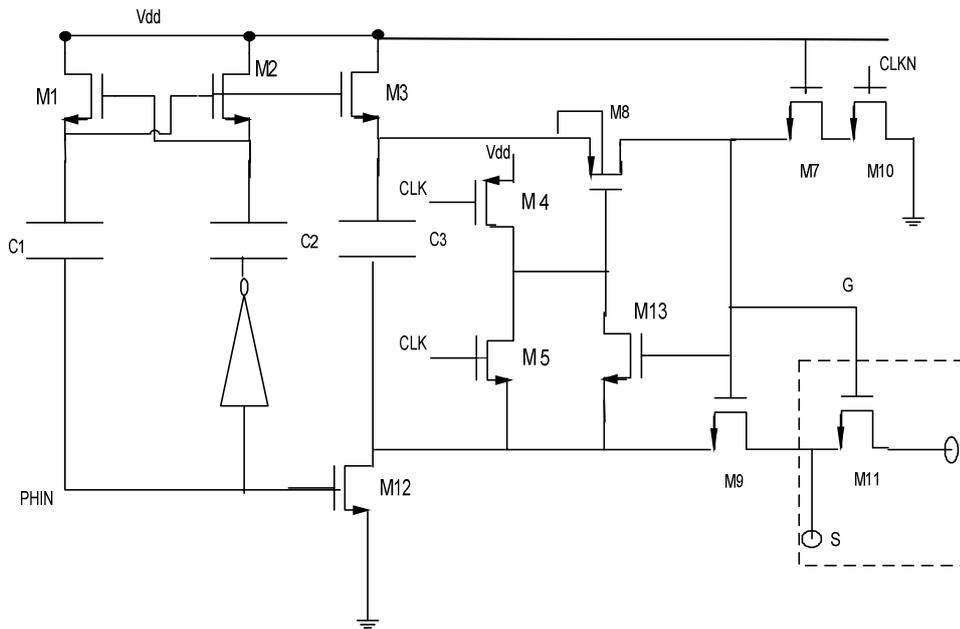


Figura 5-13. Implementación de un circuito interruptor con elevación de tensión.

Durante la fase de apagado, CLK está a nivel bajo. Los interruptores M7 y M10 descargan la puerta de M11 conectándola a tierra. Al mismo tiempo, la tensión de alimentación V_{DD} se aplica a través de la capacidad C_3 mediante M3 y M12. Será esta capacidad la que actúe como una batería entre la puerta y la fuente durante la fase de encendido. Los transistores M8 y M9 aíslan el interruptor de C_3 mientras este condensador se está cargando. Cuando CLK pasa a nivel alto, M5 baja la tensión de la puerta de M8, permitiendo que la carga de la C_3 fluya hacia la puerta G del interruptor. Esto enciende tanto M9 como M11. El transistor M9 permite que la puerta G muestree la señal de entrada S desplazada V_{DD} , manteniendo la tensión de puerta-fuente constante e insensible a la señal de entrada. Los transistores M7 y M13 no son imprescindibles, pero mejoran la fiabilidad del circuito, M7 reduce V_{DS} y V_{GD} de M10 cuando $CLK = "0"$ y M13 asegura que V_{GS8} no supere la tensión V_{DD} .

Tal como se comentó a partir de la Figura 5-12 y las ecuaciones (5.10), (5.11) y (5.12), el condensador C3 debe ser suficientemente grande para que la tensión cargada en la puerta del dispositivo que funciona como conmutador no se vea afectada por las capacidades parásitas que aparecen en el camino de carga. Así, el voltaje de la puerta del interruptor cuando CLK está a nivel alto vendrá dado por la ecuación (5.13), donde Cp es la capacidad parásita total conectada al nudo superior de C3 mientras se encuentra conectada a M11.

$$V_g = V_s + \frac{C_3}{C_3 + C_p} V_{dd} \quad (5.13)$$

M1, M2, C1 y C2 constituyen un multiplicador de reloj como el mostrado en la Figura 5-9, que permite a M3 cargar C3 de forma unidireccional durante la fase de apagado. Aunque la tensión absoluta aplicada a la puerta puede exceder V_{DD}, ninguna de las tensiones diferenciales entre dos terminales excede dicha tensión, de forma que presenta un mejor comportamiento que el circuito multiplicador de tensión anterior desde el punto de vista de la fiabilidad del dispositivo. El inconveniente que presenta el uso del interruptor de la Figura 5-13 es la necesidad de implementar tres capacidades por interruptor, lo que implica un gran consumo de área.

La Figura 5-14 muestra el esquema simplificado de un interruptor con elevación de la tensión de reloj de un solo condensador usado en el circuito de muestreo a la entrada del ADC propuesto en [Brooks97]. Este interruptor reduce de forma importante la distorsión producida en el muestreo de la señal de entrada. Los cambios en V_{in}, de una fase de reloj a la siguiente, son pequeños y la tensión V_{GS} del transistor M1 permanece casi constante e igual a V_{DD}. Esta elevada y relativamente constante tensión puerta-fuente se traduce en una resistencia pequeña y casi constante en el interruptor.

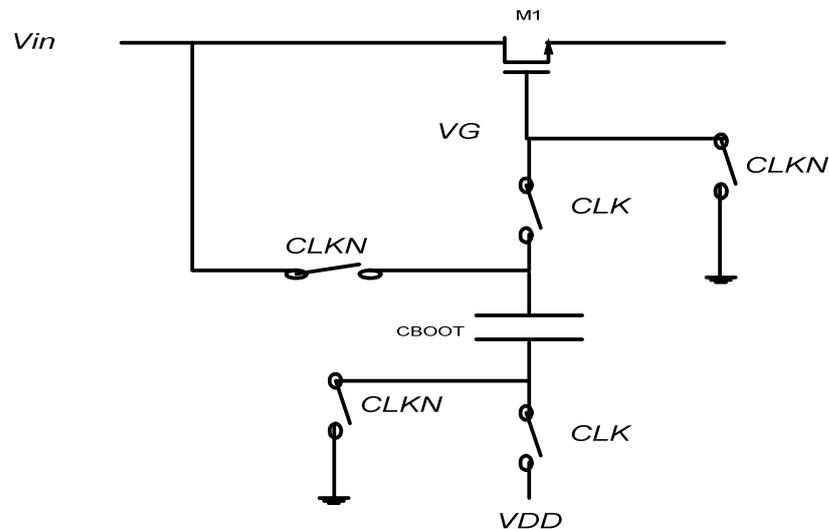


Figura 5-14. Interruptor con elevación de la tensión de reloj usado en un circuito de muestreo a la entrada de un convertidor analógico digital.

El interruptor de la Figura 5-14 funciona con una señal de control CLK y su complementaria CLKN, no superpuestas, que son las mismas que las que utiliza el resto de interruptores del convertidor. El transistor M1 constituye el interruptor, encendido durante la fase CLK y apagado durante la fase CLKN. La capacidad C_{BOOT} se comporta como una batería flotante. Durante la fase CLKN el nodo V_G se conecta a tierra para apagar M1 y la capacidad C_{BOOT} se conecta entre V_{in} y tierra, estableciendo un voltaje igual a V_{in} entre los terminales de C_{BOOT}. Durante la fase CLK, la placa inferior de C_{BOOT} se conecta a la tensión de alimentación positiva V_{DD}, añadiendo la caída de tensión en serie con V_{DD}. La tensión aplicada a la placa superior de C_{BOOT} y en la puerta de M1 durante la fase CLK es igual a la suma de V_{DD} y el valor de V_{in} muestreado previamente en C_{BOOT} durante CLKN.

5.5 Técnicas para la mejora del problema de la inyección de carga y el Clock Feedthrough

En el apartado 5.1.3 se propuso como solución clásica al problema de inyección de carga el empleo de interruptores dummies a ambos lados del interruptor principal y con la mitad de su área, controlados por la señal inversa a la que controla al interruptor principal. Sin embargo la compensación de la inyección de carga para interruptores con elevación de tensión de reloj no es tan simple, debido a que la señal que controla a los interruptores dummies debe ser la complementaria a la señal que controla el interruptor principal.

La Figura 5-15 muestra un interruptor con elevación de la tensión de reloj que suprime la inyección de carga propuesto en [Garcia-Gonzalez09]. El circuito que incrementa el nivel alto de la señal de control CLK de los interruptores dummies, M10b y M10c, que suprimen la inyección de carga del interruptor principal es una réplica del circuito que desempeña la misma función para el interruptor principal, controlado por la señal de reloj complementaria. Los transistores M10b y M10c tendrán la mitad de tamaño que el interruptor principal M10. El inconveniente que presenta el circuito de la Figura 5-15 es que para tecnologías nanométricas, donde el ancho del óxido de puerta es muy pequeño, las corrientes de túneles de los transistores dummies pueden degradar el comportamiento del circuito.

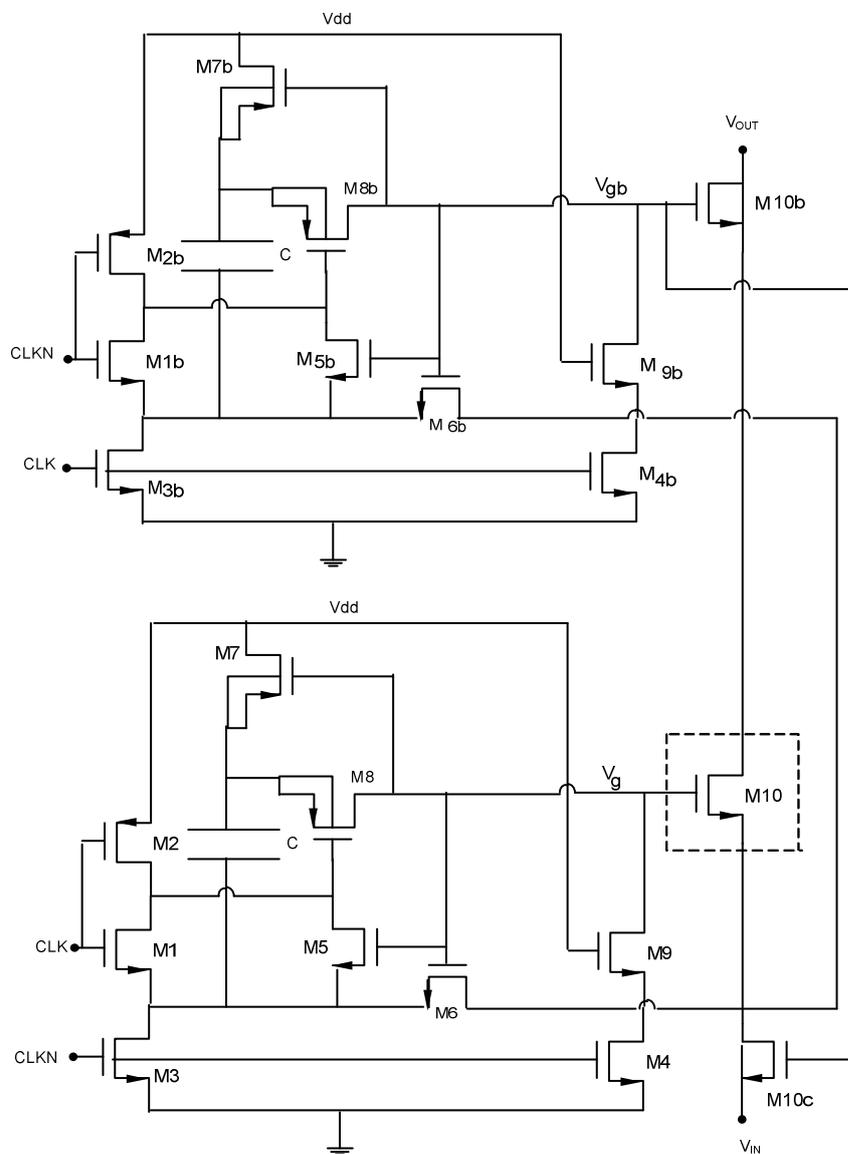


Figura 5-15. Interruptor con elevación de la tensión de reloj sin inyección de carga.

En aplicaciones de alta resolución y alta frecuencia los interruptores suelen tener un gran tamaño, incluso si se emplean técnicas de elevación de tensión. Un transistor de gran tamaño tiene elevadas capacidades parásitas entre los terminales de puerta y fuente y los terminales de puerta y drenador del transistor, lo que implica un mayor “clock feedthrough”. Este problema podría ser importante en los circuitos S/H, donde una señal de alta frecuencia está presente en la entrada tanto si el interruptor está apagado o encendido.

La Figura 5-16 muestra una técnica para reducir el “clock feedthrough” propuesta en [Waltari02]. Este circuito se basa tanto en el uso de topologías completamente diferenciales como en el uso de un transistor dummy, que compensa la carga almacenada en las capacidades parásitas del interruptor principal mediante señales de entrada complementarias. Dado que el valor de la capacidad del transistor dummy es dependiente de la tensión, la cancelación de “clock feedthrough” en este caso será notable, aunque no perfecta.

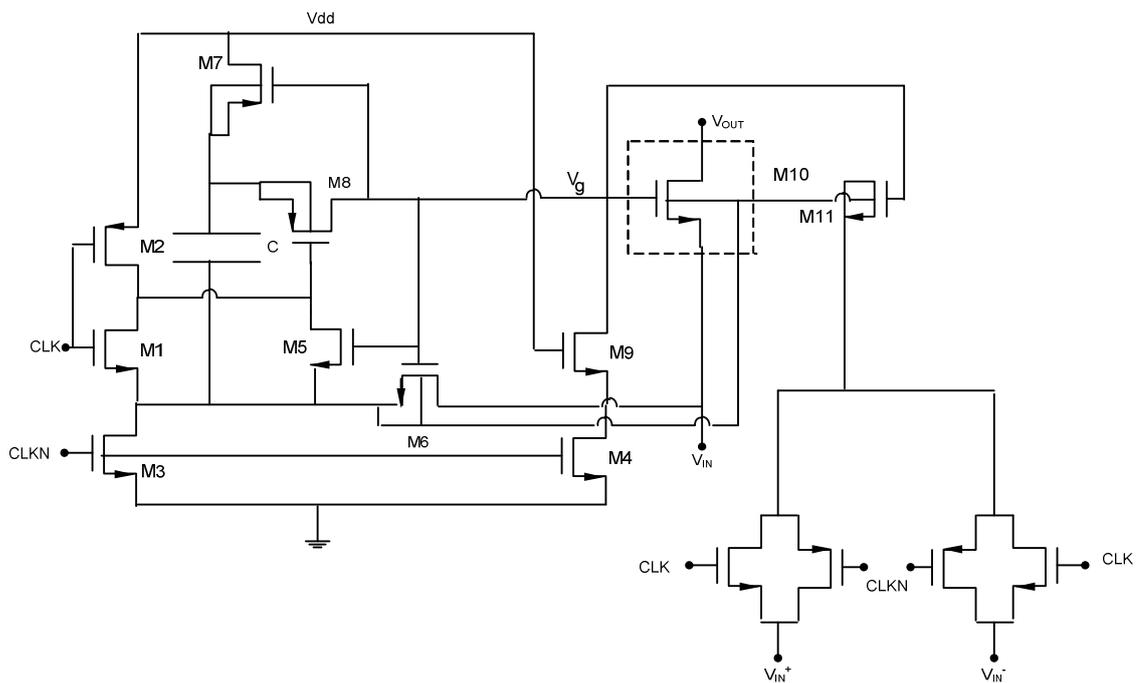


Figura 5-16. Interruptor con elevación de la tensión de reloj con reducción de clock feedthrough.

5.6 El transistor de puerta flotante en circuitos analógicos de baja tensión

En 1967, Kahng y Sze mostraron la primera estructura de puerta flotante como un mecanismo para el almacenamiento de información no volátil. Desde entonces, la mayoría de las aplicaciones de los transistores de puerta flotante se han centrado en almacenar información digital en memorias tales como EPROMs, EEPROMs y memorias Flash [Masuoka91]. En los últimos años, los dispositivos de puerta flotante han encontrado aplicaciones en memorias analógicas, elementos de circuitos analógicos y digitales [Charles03] y elementos de procesamiento adaptativo.

La importancia de los dispositivos de puerta flotante reside en que se fabrican utilizando una tecnología estándar, frente a los procesos especializados para la fabricación de memorias y circuitos analógicos.

Las aplicaciones se basan, por un lado, en las propiedades de almacenamiento a largo plazo de la carga introducida en la puerta flotante de un transistor MOS, y por otro lado, en la suma de las señales de entrada aplicadas a los terminales de un transistor de puerta flotante de múltiples entradas. Esta suma se produce por el hecho de que cada terminal de entrada puede inducir carga en la puerta flotante común.

La Figura 5-17 muestra el símbolo de un transistor de puerta flotante de dos entradas, así como el modelo equivalente, donde C1 y C2 son las capacidades entre las puertas de entrada (normalmente poly II) y la puerta flotante (normalmente poly I). C0 es la capacidad entre la puerta flotante y el canal.

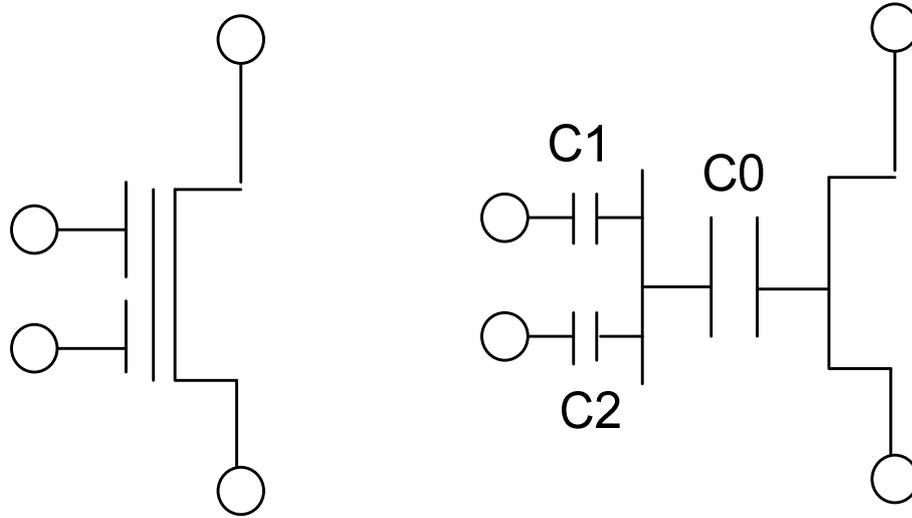


Figura 5-17. Transistor de puerta flotante y entrada múltiple. Símbolo y Circuito equivalente..

La posibilidad de decrementar la tensión umbral relativa de uno de los terminales de entrada resulta útil en el diseño de circuitos de baja tensión. La idea es la de utilizar uno de los terminales de entrada de un transistor de puerta flotante para polarizar el circuito, y usar el otro terminal como entrada de la señal. Esto permite reducir, e incluso cancelar, la tensión umbral para el terminal o terminales de entrada.

La tensión umbral del transistor MOS, V_{TH1} , con respecto al terminal de entrada 1, depende de la tensión umbral de la puerta flotante, V_{TH} , que es la tensión umbral de transistor MOS convencional y de la tensión aplicada a la segunda entrada, V_2 , de acuerdo a la ecuación (5.14). Si la condición $C_0 \ll C_2$ se satisface entonces la ecuación (5.14) puede expresarse como la ecuación (5.15)

$$V_{TH1} = \frac{C_1 + C_2 + C_0}{C_1} V_{TH} - \frac{C_2}{C_1} V_2 \quad (5.14)$$

$$V_{TH1} = V_{TH} + \frac{C_2}{C_1} (V_{TH} - V_2) \quad (5.15)$$

Habitualmente, la capacidad por unidad de área entre las puertas de entrada y la puerta flotante es de un valor similar. Para satisfacer la condición $C_0 \ll C_2$, el tamaño de C_2 debe ser al menos un orden de magnitud mayor que la del área del canal del transistor MOS ($W.L$). Para valores de C_2 al menos un factor 2 mayor que C_1 y para $V_2 > V_{TH}$, puede obtenerse una reducción importante de V_{TH1} .

Para el caso de n entradas, podemos extender la ecuación (5.15) según la ecuación (5.16), donde Q_{FG} sería la carga almacenada en la puerta flotante, V_{FG} la tensión de la puerta flotante y V_{Gi} la tensión de la i -ésima puerta de control. C_{TOTAL} viene definida por la ecuación (5.17)

$$V_{FG} = \left(Q_{FG} + C_{FGS}V_S + C_{FGB}V_B + \sum_{i=1}^n C_{Gi}V_{Gi} \right) / C_{TOTAL} \quad (5.16)$$

$$C_{TOTAL} = C_{FGD} + C_{FGS} + C_{FGB} + \sum_{i=1}^n C_{Gi} \quad (5.17)$$

Las aplicaciones de los transistores de puerta flotante de múltiples entradas en el diseño de circuitos analógicos incluyen espejos de corrientes, pares diferenciales y OTAS [Ramírez-Angulo96]. Otras aplicaciones más recientes se encuentran en [Rodríguez-Villegas04], donde se describe un transconductor para implementar filtros analógicos en tiempo continuo, en [Corbishley05], que describe una celda programable de corriente conmutada aplicada a un filtro FIR de segundo orden, o en [Rodríguez-Villegas09], que presenta el diseño de un modulador $\Sigma\Delta$ de segundo orden en tiempo continuo para baja tensión y bajo consumo

5.7 El transistor de puerta casi flotante

Los circuitos de puerta casi flotante, de forma similar a los transistores de puerta flotante de múltiples entradas, son circuitos cuyas entradas están acopladas de forma capacitiva a la puerta del transistor, pero, además, dicho terminal se encuentra “débilmente” conectado a uno de los extremos de alimentación, ya sea V_{DD} o tierra, a través de una resistencia de gran valor. Por tanto, estas resistencias mantienen el valor DC del terminal de puerta del transistor MOS de entrada a un nivel de tensión que evita los problemas derivados de la carga inicial a la vez que minimiza las especificaciones de tensión de alimentación del circuito [Ramírez-Angulo04]. Entre las ventajas que proporciona esta topología con respecto al transistor de puerta flotante se incluyen un mejor comportamiento en frecuencia, por prescindir de la capacidad de polarización de la puerta, y un mejor comportamiento a baja tensión, ya que la señal de entrada se superpone al extremo de realimentación seleccionado. Además, el transistor de puerta casi flotante es capaz de operar en tiempo continuo [Ramírez-Angulo01].

Una de las formas de implementar estas resistencias de valor elevado consiste en utilizar la resistencia de fuga de una unión PN inversamente polarizada o bien un transistor PMOS en conexión diodo como se muestra en la Figura 5-18 y la Figura 5-19, respectivamente. Este transistor funciona en la región de corte de forma que la resistencia es suficientemente grande. Mientras que la unión fuente sustrato del transistor no se convierta en directamente polarizada, este método de transferencia de señal no crea ningún problema.

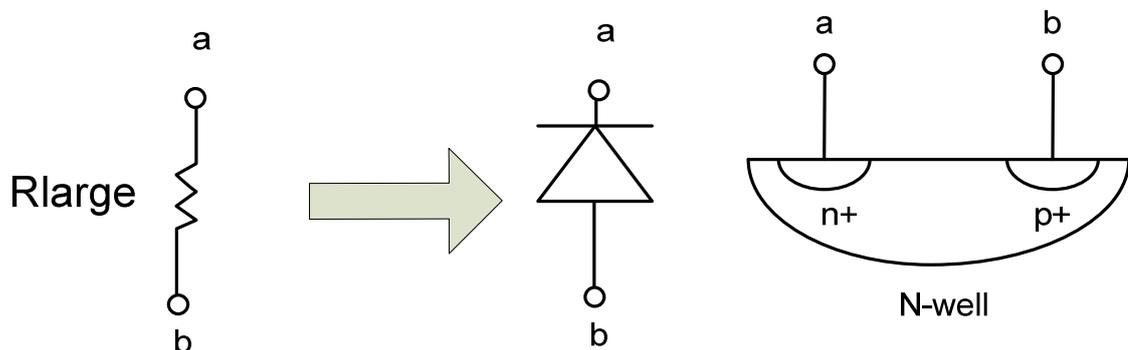


Figura 5-18. Implementación de una resistencia de gran valor usando una unión PN de pozo N.

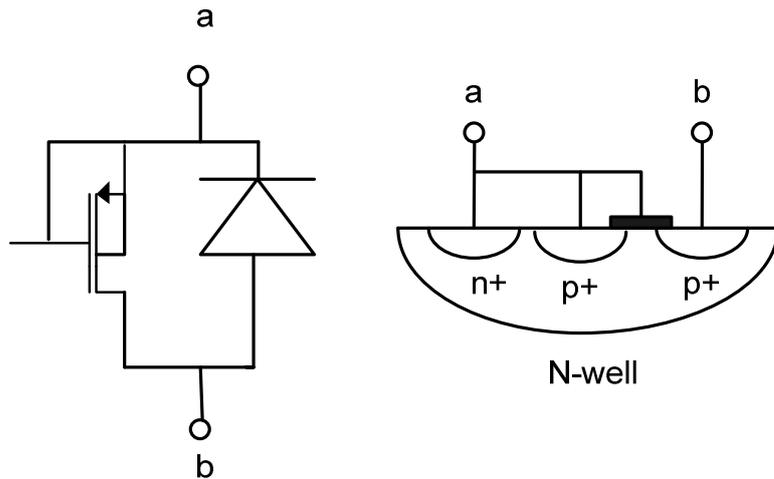


Figura 5-19. Implementación de una resistencia de gran valor usando un transistor PMOS en conexión diodo..

Como ejemplo, la tensión a la puerta del transistor M_1 de la Figura 5-20 viene dada por la ecuación (5.18), donde V_{DD} es la tensión de alimentación y V_{in1a} y V_{in2a} la tensión aplicada a cada uno de los terminales de entrada. Así, las tensiones de puerta de los transistores de puerta casi flotante pueden tomar valores mayores que la tensión de alimentación V_{DD} .

$$V_{G1} = V_{DD} + (V_{in1a} + V_{in2a}) / 2 \quad (5.18)$$

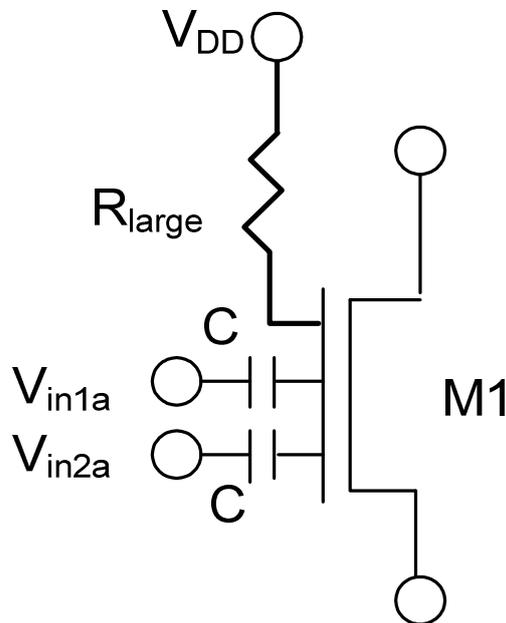


Figura 5-20. Transistor de puerta casi-flotante.

Dado que los circuitos de puerta casi flotante están acoplados en alterna, la tensión de offset en DC asociada a las tensiones de entrada V_{in1a} y V_{in2a} están bloqueadas y el ruido $1/f$ de estas fuentes es atenuado. La tensión AC en la puerta del transistor puede obtenerse por simple inspección de la tensión de las capacidades de entrada y de las capacidades parásitas del transistor. El circuito puede ser simplificado a una frecuencia dependiente del circuito divisor de tensión usando la resistencia de fuga, R_{large} , y la

capacidad total C_T . La tensión de puerta, V_G , puede ser expresada como el circuito divisor de tensión de la ecuación (5.19)

$$V_G = V_{in} \frac{sR_{large} C_T}{1 + sR_{large} C_T} \quad (5.19)$$

$$C_T = \sum_{k=1}^{N+1} C_k + C_{GS} + C_{GD} + C_{GB} + C'_{GD} \quad (5.20)$$

La ecuación (5.20) expresa la capacidad total C_T , donde C_k es la k-ésima capacidad de entrada. Sustituyendo la tensión de entrada V_{in} , que viene dada por la ecuación (5.21), en V_G se obtiene la ecuación (5.22)

$$V_{in} = \left(\sum_{k=1}^N C_k V_k + C_{GD} V_D + C_{GB} V_B + C_{GS} V_S \right) / C_T \quad (5.21)$$

$$v_G \approx \frac{sR_{large}}{1 + sR_{large} C_T} \left(\sum_{k=1}^N C_k v_k + C_{GS} v_S + C_{GD} v_D + C_{GB} v_B \right) \quad (5.22)$$

El circuito equivalente creado es un filtro paso alto con una frecuencia de corte igual a la ecuación (5.23). En realidad, el valor exacto de R_{large} , así como el de la capacidad C_T carecen de importancia. La única consideración para el valor de R_{large} es que sea suficientemente grande para que no cree distorsión en el circuito a la frecuencia más pequeña requerida.

$$f_c = \frac{1}{2\pi R_{large} C_T} \quad (5.23)$$

Los transistores de puerta casi flotante han probado tener una respuesta en frecuencia adecuada a frecuencias muy bajas y resultados experimentales acordes con lo esperado [Urquidi02]

5.8 Diseño de un interruptor CMOS basado en transistores de puerta casi flotante

En esta tesis se propone un nuevo interruptor en tecnología CMOS estándar para su uso a muy baja tensión de alimentación. Su estructura está basada en transistores de puertas casi flotante. La Figura 5-21a) muestra el transistor de puerta casi flotante M_{SWITCH} usado como interruptor analógico en un circuito de muestreo y retención. Como se ha comentado en el apartado anterior, un transistor de puerta casi flotante tiene su puerta fijada débilmente a una tensión dada, la tensión de alimentación positiva en la Figura 5-21 a), a través de una resistencia elevada. Esta resistencia se implementa usando un transistor PMOS en corte (M_{RLARGE}). El transistor PMOS está conectado como diodo y tiene el terminal de fuente a V_{DD} , así como su drenador unido a la puerta del transistor de puerta casi flotante. El sustrato se conecta también a la puerta, lo que evita que la unión PN compuesta por el pozo N y la difusión de fuente P+ esté directamente polarizada y que existan rangos de tensión superiores a la tensión de alimentación. La puerta de M_{SWITCH} está acoplada a la señal de reloj a través de una capacidad de valor pequeño (C).

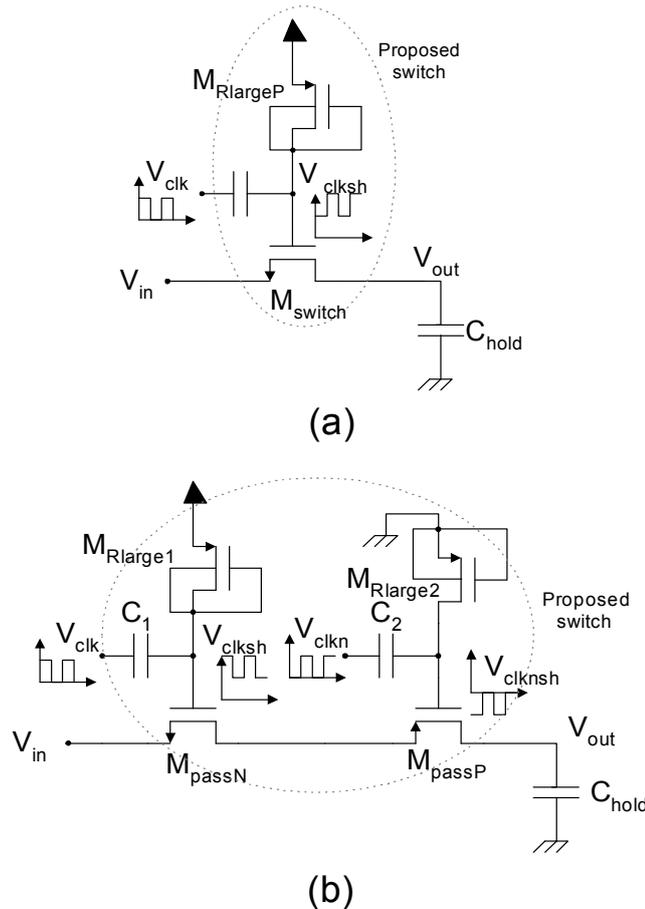


Figura 5-21. Circuito de muestreo y retención con el innovador interruptor propuesto y funcionamiento a casi rango completo (a) y rango completo (b).

Si la resistencia elevada implementada fuera constante, el comportamiento del circuito de la Figura 5-21a) podría explicarse como un acoplamiento DC convencional, y el desplazamiento de tensión en la puerta proporcionado por la capacidad C sería de aproximadamente V_{DD} . Sin embargo, el valor de la resistencia implementada mediante $M_{RLARGE P}$ depende de la tensión entre la fuente y la puerta, por lo que será mayor a medida que la tensión de la puerta aumenta. Como consecuencia, la tensión en la puerta del transistor M_{SWITCH} oscilará entre V_{DD} y $2V_{DD}$, y el desplazamiento que sufre la señal de reloj obtenido mediante simulación es de $1.8V_{DD}$. Así, el transistor se mantiene encendido en condiciones de muy baja tensión. Como inconveniente señalar que no es posible apagar el transistor M_{SWITCH} para valores bajos de la tensión de entrada.

La Figura 5-21b) muestra un interruptor analógico de baja tensión y rango completo compuesto por la conexión en serie de dos transistores de puerta casi flotante complementarios, M_{passN} and M_{passP} . El principio de funcionamiento del interruptor de puerta casi flotante PMOS es similar al de su contrapartida NMOS descrita anteriormente. La puerta de M_{passP} está conectada a V_{SS} (tierra) a través del transistor PMOS $M_{Rlarge2}$, que actúa como una resistencia grande dependiente de la tensión.

Obsérvese que no es posible implementar esta resistencia grande usando un transistor NMOS en tecnología de pozo N, ya que la variación de tensión en la puerta flotante estaría limitada por la unión PN constituida por el sustrato y la difusión de fuente N+.

Las señales de reloj complementarias, V_{CLK} y V_{CLKN} , conmutando entre 0 y V_{DD} , se aplican a uno de los terminales de las capacidades C_1 y C_2 , respectivamente. El otro terminal se conecta al nodo de puerta casi flotante correspondiente.

De este modo, en la fase de retención, para señales de entrada próximas al límite inferior de tensión, el transistor M_{passN} entra en corte, mientras que para señales de entrada próximas al límite superior será el transistor M_{passP} el que esté cortado, lo que permite un funcionamiento en todo el rango de señal.

La Figura 5-22 muestra los resultados experimentales de una implementación del circuito de la Figura 5-21b) en tecnología CMOS estándar de $1.5\ \mu\text{m}$ y unas tensiones umbrales de aproximadamente $0.65\ \text{V}$ y $0.90\ \text{V}$ para los transistores NMOS y PMOS, respectivamente. El circuito opera con una tensión de alimentación de $0.8\ \text{V}$. La figura muestra la evolución de la señal de entrada y la señal de salida. Como era de esperar, la salida es una versión muestreada de la entrada en todo el rango de señal (de 0 a $0.8\ \text{V}$).

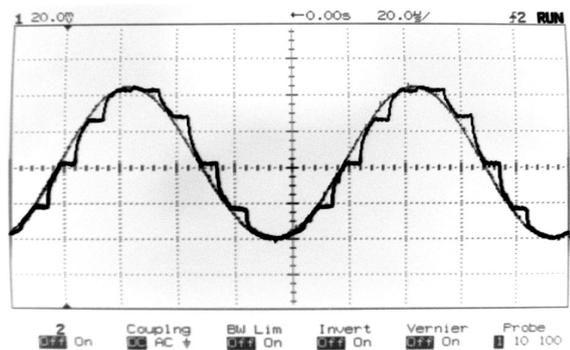


Figura 5-22. Formas de ondas experimentales de la entrada y la salida del sample-and-hold de rango completo de la figura 4.19b para $V_{\text{DD}}=0.8\ \text{V}$ (escala vertical $0.2\ \text{V/div}$).

El circuito de la Figura 5-23 es un interruptor analógico con elevación de tensión de reloj descrito anteriormente en la Figura 5-14, en el que se ha introducido de forma innovadora en su implementación transistores de puerta casi flotante para que pueda operar a tensiones próximas a la tensión umbral del transistor.

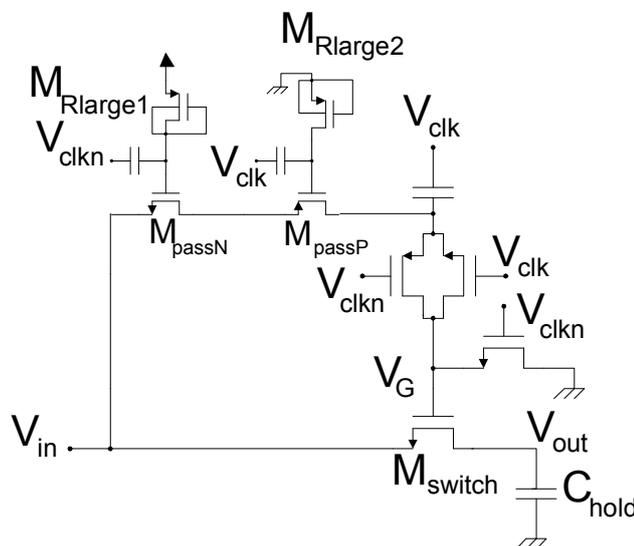


Figura 5-23. Circuito de muestreo y retención con elevación de tensión y funcionamiento en el rango completo de la señal de entrada.

La Figura 5-24 muestra los resultados experimentales obtenidos a partir de un prototipo de la Figura 5-23, usando una tecnología CMOS estándar de $1.5\ \mu\text{m}$. El circuito opera con una tensión de alimentación de $V_{\text{DD}}=0.8\ \text{V}$. La figura muestra las señales de entrada y salida, así como la tensión en el interruptor M_{switch} . Nótese que la tensión puerta-fuente es siempre V_{DD} cuando el interruptor está encendido, por lo que la resistencia que presenta es prácticamente constante independientemente del valor de la entrada.

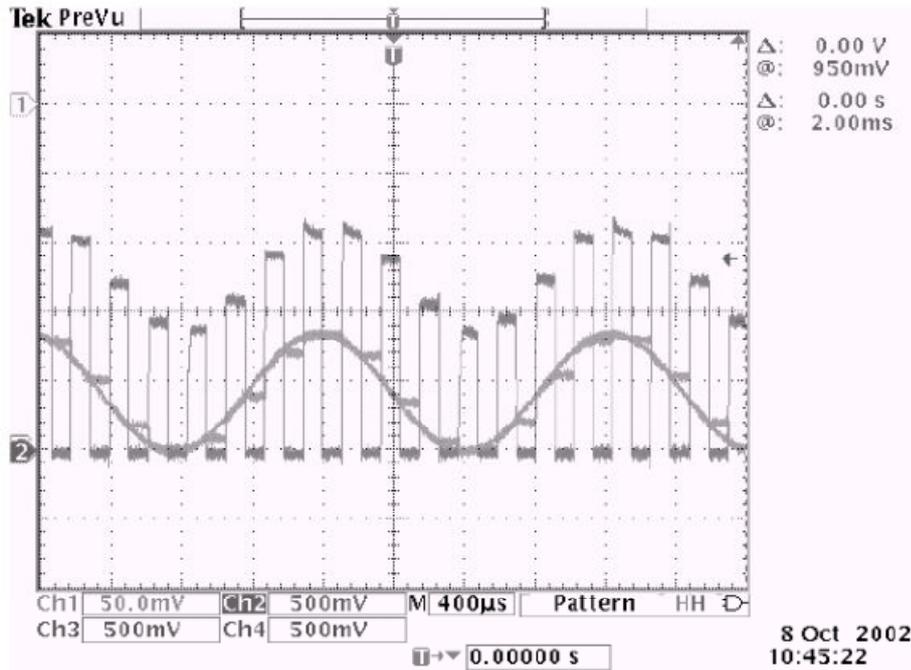


Figura 5-24. Resultados experimentales del circuito de muestreo y retención con elevación de tensión de la Figura 5-23.

Los transistores de puerta casi flotante, además de en interruptores analógicos, han sido empleados en diferentes tipos de circuitos [Ramírez-Angulo04] entre los que se incluyen mezcladores, amplificadores de ganancia programables, circuitos de seguimiento y retención y convertidores analógicos digitales (ADC).

5.8.1 Aplicación digital: Puerta NAND de baja tensión

La Figura 5-25 es el esquema de una puerta NAND de dos entradas compuesta por dos transistores NMOS de puerta casi flotante y una carga resistiva [Muñoz03]. El circuito está alimentado a una tensión de $V_{DD}=0.4V$, situada ligeramente por encima de la mitad de la tensión umbral del transistor. Las señales de entrada V_1 y V_2 varían de 0 a $0.4V$ y está tensión aparece desplazada aproximadamente $0.4V$ en la puerta de M_1 y M_2 , lo que permite una salida lógica '0' cuando V_1 y V_2 están a nivel alto.

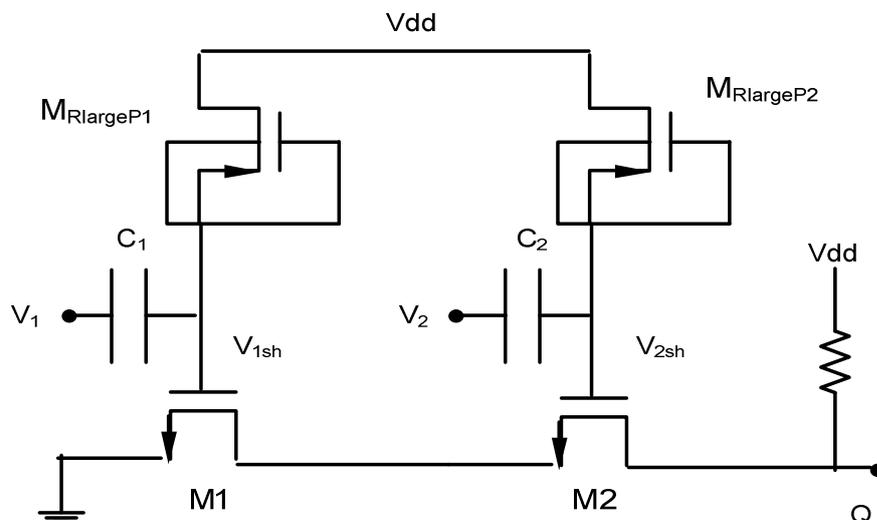


Figura 5-25. Puerta NAND de baja tensión con carga resistiva.

Nótese que en una NAND convencional una señal de entrada de 0.4V de amplitud no sería capaz de encender un transistor NMOS. La Figura 5-26 muestra los resultados experimentales del circuito de la Figura 5-25. Dicho circuito emplea una resistencia de 5KΩ y una tensión de VDD=0.4V. La tensión umbral para el transistor NMOS en la tecnología utilizada es de aproximadamente 0.65V.

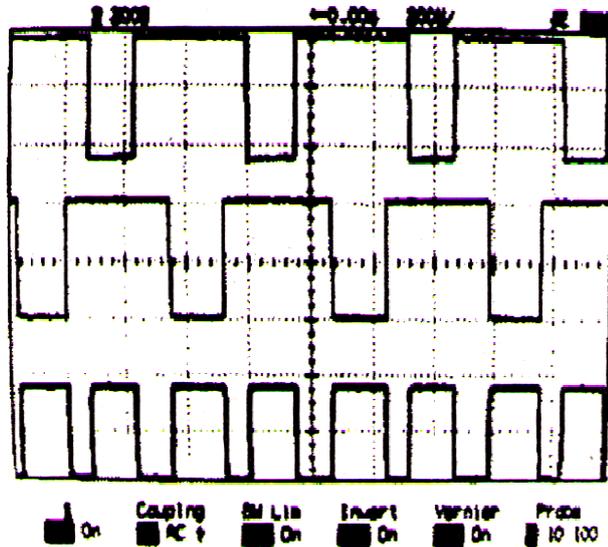


Figura 5-26. Resultados experimentales de la puerta NAND de baja tensión de la Figura 5-25. De arriba abajo: señales de entrada V_1 y V_2 y señal de salida. Escala vertical 0.2V/div.

5.8.2 Interruptor CMOS basado en transistores de puerta casi flotante alternativo

La Figura 5-27 refleja una alternativa al circuito de muestreo y retención de rango completo con transistores de puerta casi flotante de la Figura 5-21, donde la tensión de puerta del transistor M_{passN} está acoplada capacitivamente no sólo a la señal de reloj sino también a la tensión de entrada [Palomo10].

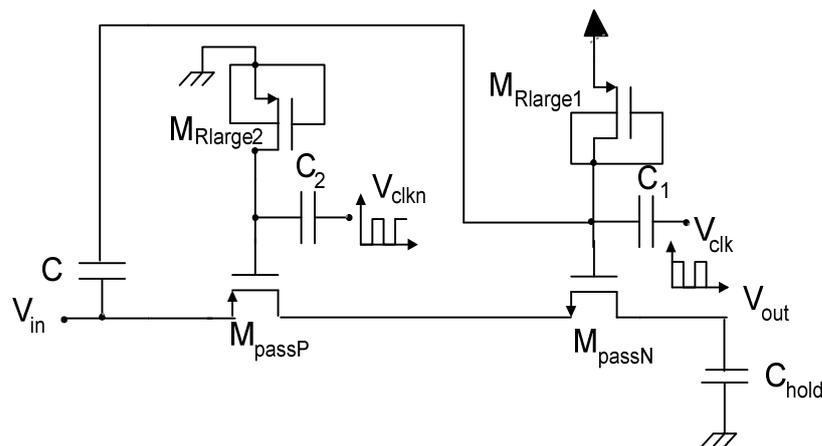


Figura 5-27. Circuito de muestreo y retención basado en transistores de puerta casi flotante alternativo.

En este caso, además de añadir una elevación de tensión adicional en comparación con el primer circuito de muestreo y retención propuesto, la dependencia de V_{GS} con V_{IN} se reduce significativamente, lo que se traduce en una mayor linealidad. La Figura 5-28 muestra la transformada rápida de Fourier (FFT) para una onda senoidal de entrada de 2343.75 KHz y una frecuencia de muestreo de 100 KHz, de donde se obtiene un número efectivo de bits (ENOB) de 9.2964 para la arquitectura propuesta.

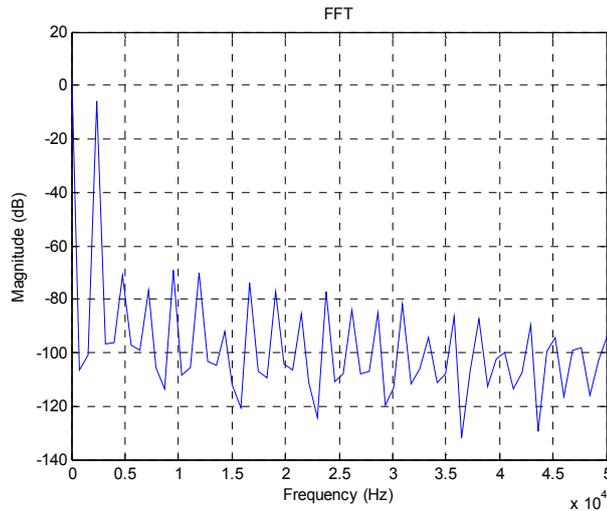


Figura 5-28. FFT del circuito basado en transistores de puerta casi flotante con una velocidad de muestreo de 100 KHz, una frecuencia de entrada de 2343.75 KHz y una amplitud de señal de 1 V_{PP} para una V_{DD}=1.2V

El interruptor descrito se ha probado en el circuito de muestreo y retención basado en la arquitectura “flip-around” con técnica de autocero de la Figura 5-29 [Centurelli08]. Durante la fase de muestreo (Φ_{1D}) el circuito adquiere la entrada mientras que conecta las capacidades de almacenamiento (C_S) a la salida en la fase de retención (Φ_{2D}). El modo común del OTA y la tensión de offset se almacenan también en la fase de muestreo, por lo que a la salida se transfiere únicamente el modo diferencial y se cancela el ruido de baja frecuencia del amplificador. Para obtener los resultados de simulación, el diseño opera con una señal de reloj de 4KHz, una tensión de alimentación de 1.2V y una capacidad de carga de 2pF. La señal de entrada aplicada al interruptor de puerta casi flotante, que en este caso sustituye al interruptor del circuito S/H que muestrea la entrada en Φ_{1D} , es una señal senoidal de 2.3475 KHz 0.9V_{PP} y un offset de 0.6V.

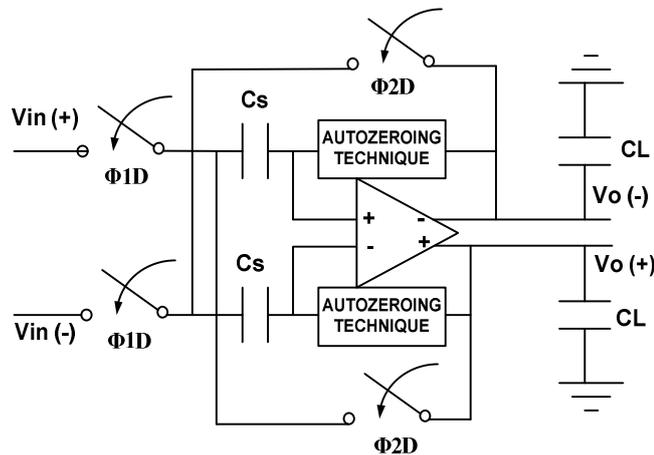


Figura 5-29. Circuito de muestreo y retención basado en la arquitectura “flip-around” con técnica de autocero

La Tabla 3-3 resume el ENOB de este circuito para una frecuencia de entrada baja, próxima a $f_s/4$ y próxima a $f_s/2$, respectivamente, donde f_s representa la frecuencia de muestreo del circuito SC. En la Tabla 5-2 se refleja el ENOB del interruptor propuesto a baja frecuencia para un valor DC de 0.6V y diferentes amplitudes de entrada, desde 0.3V hasta 0.6V.

Frecuencia de la señal de entrada (Hz)	Interruptor propuesto (ENOB)
93.75	13.76
937.5	13.85
1875	11.90

Tabla 5-1. Resultados de simulación del número efectivo de bits para una frecuencia de reloj de 4KHz

Amplitud de la señal senoidal de entrada (V)	Interruptor propuesto (ENOB)
0.3	10.68
0.4	10.83
0.5	11.21
0.6	11.15

Tabla 5-2. Resultados de simulación del número efectivo de bits para una frecuencia de reloj de 4KHz

Una de las formas más efectivas de reducir el consumo de potencia en el diseño de un ADC pipeline es la de eliminar el amplificador de muestreo y retención a la entrada y utilizar en su defecto el circuito de muestreo y retención intrínseco de su primera etapa. Sin embargo, a frecuencias elevadas, aparece distorsión armónica debido a la inyección de carga y a la dependencia de la resistencia con la señal de entrada.

Este capítulo muestra algunas aplicaciones de un interruptor CMOS basado en transistores de puerta casi flotante propuesto en esta tesis, como es un circuito S/H con elevación de tensión y otro basado en la arquitectura "flip-around" con técnica de autocero. Este interruptor, a pesar de su simplicidad, proporciona un incremento significativo en la linealidad y la relación señal ruido con un consumo de potencia despreciable, permitiendo además un correcto funcionamiento para todos los valores de las señales de entrada en circuitos SC de muy baja tensión.

Referencias

- [Abo99] Andrew Masami Abo "Design for Reliability of Low-voltage, Switched-capacitor Circuits" Ph. D. Dissertation, University of California, Berkeley
- [Abo99] A. M. Abo and P.R.Gray "A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter" IEEE Journal of Solid-State Circuits, vol. 34, No 5, May 1999
- [Adachi90] Toshio Adachi, Akira Ishikawa, Allen Barlow and Kaoru Takasuka "A 1.4V Switched Capacitor Filter" IEEE 1990 Custom Integrated Circuits Conference
- [Allen02] Phillip E. Allen, Douglas R. Holberg "CMOS Analog Circuit Design" Segunda Edición 2002
- [Baker98] R.Jacob Baker, Harry W. Li and David E. Boyce "CMOS Circuit Design, layout, and Simulation" IEEE Press 1998
- [Brooks97] T.L. Brooks, D. H. Robertson, D.F. Kelly, A. Del Muro and S.W. Harston "A Cascaded Sigma-Delta Pipeline A/D Converter with 1.25 MHz Signal Bandwidth and 89 dB SNR" IEEE Journal of Solid-State Circuits, Vol. 32, No 12, December 1997
- [Callias89] F. Callias, F.H. Salchi, and D. Girard "A set of four IC's in CMOS technology for a programmable hearing aid" IEEE Journal of Solid-State Circuits vol. 24, No 2, April 1989
- [Centurelli08] F. Centurelli, A. Simonetti, A. Trifiletti "Switched Capacitor Sample-and-hold circuit with input signal range beyond supply voltage" NORCHIP, 2008, Nov. 2008, pp.75-78
- [Charles03] C.T. Charles and R.R. Harrison "A Floating gate common mode feedback circuit for low noise amplifiers" SSMSD 2003
- [Cho95] Chang Hyuk Cho "A power optimized pipelined analog-to-digital converter design in deep sub-micron CMOS technology"
- [Cho95] T. B. Cho and P.R.Gray "A 10 b, 20 Msample/s, 35 mW Pipeline A/D Converter" IEEE Journal of Solid-State Circuits, vol. 30, No 3, March 1995
- [Corbishley05] P. Corbishley, E. Rodriguez-Villegas "Programmable Switch-Current Floating-Gate Cells" IEEE International Symposium on Circuits and Systems, ISCAS 2005, pp.1398-1401, 2005
- [Crols94] Jan Crols and Michel Steyaert "Switched-opamp: An Approach to realize full CMOS Switched-Capacitor Circuits at very low power supply voltages" IEEE Journal of solid-state circuits, vol29, No8, pp.936-942, August 1994
- [Dessouky99] M. Dessouky, A. Kaiser, "Input switch configuration for rail-to-rail operation of switched opamp circuits" Electronics Letters, vol. 35, No 1, pp. 8-10, Jan 1999
- [Eichenberger90] C. Eichenberg and W. Guggenbuhl "On Charge Injection in Analog MOS Switches and Dummy Switch Compensation Techniques" IEEE Transactions on Circuits and Systems, Vol.37, No.2, pp. 256-264, February 1990
- [Garcia-Gonzalez09] J.M. Garcia-Gonzalez "Aportaciones al Diseño de Convertidores Analógico-Digital de Bajo Consumo de Potencia y Bajo Voltaje de Polarización" Tesis doctoral, Sevilla 2009
- [Gregorian86] R. Gregorian, G. C. Temes "Analog MOS Integrated Circuits for Signal Processing" John Wiley & Sons, Singapore 1986
- [Haigh83] D.G. Haigh, B. Singh "A switching scheme for switched capacitor filters which reduces the effect of parasitic capacitances associated with switch control terminals" in Proc. IEEE International Symposium on circuits and Systems, pp. 586-589, 1983.

- [Hasler99] P.Hasler, B.A. Minch, C. Diorio, "Floating-gate devices: they are not just for digital memories anymore" Proceedings of the 1999 IEEE International Symposium on Circuits and Systems, ISCAS 99, vol. 2, pp.388-391, July 1999
- [Masuoka91] F. Masuoka, R. Shirota, and K. Sakui, "Reviews and prospects of non-volatile semiconductor memories" IEICE transactions vol. E74, No. 4, 1991, pp.868-874.
- [McCreary75] J. McCreary and P.R.Gray " All MOS Charge Redistribution Analog-to-Digital Conversion Technique-Part 1" IEEE Journal of solid State circuits, Vol.10, pp.371-379, December 1975
- [Muñoz03] F. Muñoz, J. Ramírez-angulo, A. López-Martin, R.G.Carvajal, A.Torralba, B. Palomo and M. Kachare "Analogue switch for very low-voltage applications" Electronics Letters, Vol. 39, No. 9, May 2003
- [Muñoz03] *F. Muñoz, A. Lopez-Martin, R.G. Carvajal, J. Ramirez-Angulo, A.Torralba, M.Kachare and B.Palomo "Extremely low supply voltage circuits based on quasi-floating gate supply voltage boosting" Proceedings of the 2003 International Symposium on Circuits and Systems (ISCAS'03) Vol.1, pp. 817-820,2003*
- [Palomo10] B. Palomo, J.M. Garcia-Gonzalez, H. ElGmili, F. Muñoz, R.G. Carvajal "A new low-voltage CMOS gate-bootstrapped switch based on quasi-floating gate transistors" XXV Conference on Design of Circuits and Integrated Systems- DCIS 2010 N°25.Lanzarote, Spain.2010. pp 476-479
- [Ramírez-Angulo96] J. Ramírez-Angulo, S. C. Choi and G. González-Altamiran "Low supply voltage OTA architectures using floating gate transistors"
- [Ramírez-Angulo01] J. Ramírez-Angulo and A. López, "Mite circuits: The continuous-time counterpart to switched capacitor circuits" IEEE Transactions on Circuits and Systems II, vol.48, pp.45-55, January 2001
- [Ramírez-Angulo04] J. Ramírez-Angulo, A. J. López-Martín, R.G. Carvajal, F.Muñoz , "Very Low-Voltage Analog Signal Processing Based on Quasi-floating Gate Transistors" IEEE Journal of Solid-State Circuits, vol.39, pp.434-442, March 2004
- [Razavi95] Behzad Razavi "Principles of Data Conversion System Design" IEEE Press 1995
- [Razavi01] Behzad Razavi "Design of Analog CMOS Integrated Circuits" McGraw- Hill 2001
- [Rodriguez-Villegas04] E. Rodriguez-Villegas, A. Yúfera, A. Rueda "A 1.25-V Micropower G_m -C Based on FG MOS Transistors Operating in Weak Inversion" IEEE Journal of Solid State Circuits, Vol. 39, N°1, pp.100-111, January 2004
- [Rodriguez-Villegas09] E. Rodriguez-Villegas, Min Xu "Simplifying the Design of $\Sigma\Delta$ Modulators Using FG MOS Transistors" IEEE Transactions on Circuits and Systems-I: Regular Papers, Vol. 56, N°7, pp.1313-1325, July 2009
- [Sheu84] B.J. Sheu, C. Hu " Switch-Induced Error Voltage on a Switched Capacitor" IEEE J. Solid-State Circuits, vol.sc-19, pp. 519-525, Aug. 1984
- [Shieh87] J.Shieh, M.Patil, B.Sheu "Measurement and Analysis of Charge Injection in MOS Analog Switches" IEEE Journal of Solid State Circuits, Vol. 22, N°2, pp.277-281, April 1987
- [Urquidi02] C. Urquidi, J. Ramírez-angulo, R. González-Carvajal and A. Torralba, "A new family of low-voltage circuits based on quasi-floating gate transistor" Midwest Symposium on circuits and Systems (Tulsa, OK) August 2002
- [Waltari02] Mikko E. Waltari, Kari A. I. Halonen "Circuit techniques for low-voltage and high-speed A/D converters" Kluwer Academic Publisher 2002

- [Waltari02] M. Waltari, "Circuits Techniques for Low-Voltage and High-Speed A/D Converters" Doctoral Thesis, Helsinki University of Technology, Espoo 2002
- [Wegmann87] G. Wegmann, E. Vittoz, F. Rahali, "Charge Injection in Analog MOS Switches" IEEE Journal of Solid State Circuits, Vol. 22 N°6, pp 1091-1097, December 1987
- [Wilson85] W. B. Wilson, H. Z. Massoud, E. J. Swanson, R. T. George, Jr., R. B. Fair "Measurement and Modelling of Charge Feedthrough in n-Channel MOS Analog Switches" IEEE J. Solid-State Circuits, vol sc-20, pp. 1206-1213, Dec.1985
- [Wu95] C-Y Wu, W-S Wey, T-C Yu "A 1.5V CMOS Balanced Differential Switched-Capacitor Filter with Internal Clock Boosters" Proc. IEEE International Symposium on Circuits and Systems, pp. 1025-1028, 1995

CONCLUSIONES

6.1 Conclusiones

6.2 Líneas futuras de investigación

6. Conclusiones

6.1 Conclusiones

Los resultados presentados en esta tesis han alcanzado el principal objetivo de este trabajo: el diseño de un ADC pipeline de bajo consumo para aplicaciones OFDM DVB-T. Para ello, se ha realizado un estudio detallado sobre las técnicas de reducción de consumo de potencia empleadas en convertidores ADC pipeline. A partir de este estudio, de las especificaciones del estándar DVB-T y de las limitaciones impuestas por las no linealidades consideradas mediante el desarrollo de una serie de modelos matemáticos, se ha implementado un ADC pipeline para una frecuencia de 19 MS/s y 8 bits de resolución en una tecnología CMOS estándar de 0.35 μm . La novedad del trabajo consiste en la combinación de diferentes técnicas de ahorro de potencia para conseguir un ADC que manifiesta una figura de mérito (FOM) dentro del estado del arte para la tecnología empleada. Entre estas técnicas se encuentran el escalado de capacidades, la eliminación del S/H dedicado a la entrada del convertidor, el uso de comparadores dinámicos sin preamplificación y la compartición de amplificadores entre etapas consecutivas con la aplicación de la técnica FSPI para la reducción del ruido flicker y el offset.

Siguiendo el objetivo del bajo consumo, también se ha empleado la técnica de elevación de ganancia para el OA. De este modo, se puede lograr unas especificaciones de ganancia mayores sin necesidad de recurrir a arquitecturas multietapas. Para el ADC pipeline presentado, las celdas que implementan la elevación de ganancia no imponen restricciones en el rango de tensión a la salida. Se ha propuesto además como aportación a esta tesis doctoral un OTA diferencial con una elevación de ganancia realizada con transistores 'super-cascodo' que tiene aplicaciones a baja tensión de alimentación.

El otro tipo de circuitos al que se le ha prestado especial atención en esta tesis es el interruptor. Con la eliminación del S/H a la entrada del convertidor, la operación de muestreo se lleva a cabo por la primera etapa del convertidor. Se ha desarrollado un nuevo interruptor en tecnología CMOS estándar que presenta una mejora importante en la linealidad y permite un correcto funcionamiento para baja tensión de alimentación, con una estructura basada en transistores de puertas casi flotante.

De forma complementaria al trabajo realizado, se ha explorado desde el punto de vista de simulación el concepto de ADC pipeline de doble residuo. La arquitectura de doble residuo es independiente del valor escogido para la ganancia entre etapas, insensible al desapareamiento entre capacidades y permite incrementar la velocidad de conversión sin perder linealidad. Estas ventajas reducen de forma importante las especificaciones de potencia del convertidor completo. En el Anexo A de esta tesis doctoral, se presenta el diseño de un ADC pipeline de doble residuo de 8bits y 200 MHz y una tecnología CMOS de 0.13 μm .

6.2 Líneas futuras de investigación

El trabajo de investigación desarrollado en la presente tesis sobre ADC pipeline de bajo consumo y aportaciones para aplicaciones de baja tensión dejan abiertas nuevas líneas de investigación. A medida que se reduce la escala de la tecnología, ya en el orden de los nanómetros, aparecen nuevos desafíos en el diseño de circuitos analógicos y de señal mixta, tales como la reducción del rango de variación de la señal de entrada, la elevada tensión umbral de los transistores en comparación con la tensión de alimentación y el aumento del ruido térmico. Por eso, las técnicas empleadas por la comunidad científica para reducir el

consumo de potencia en este tipo de circuitos están cambiando con respecto a las tecnologías micrométricas.

Entre ellas, se destacan varias tendencias que se proponen como continuación del trabajo realizado:

1. Diseñar circuitos analógicos con transistores polarizados en la zona de inversión débil. Tradicionalmente, el análisis de los circuitos MOS se basa en la asunción de que cada transistor opera en la zona de inversión fuerte, el motivo es el mejor conocimiento de las ecuaciones y modelos para esta región de funcionamiento. Sin embargo, existen ya estudios suficientemente exhaustivos que caracterizan modelos para el transistor MOS en los tres niveles de inversión. A pesar de que el diseño en la zona de inversión débil supone tomar ciertas precauciones, hay ventajas que hacen interesante colocar el punto de operación en esta zona, tales como mayores ganancias, menor distorsión y, sobre todo, menor consumo de potencia.
2. Utilizar técnicas asistidas digitalmente, trasladando en la medida de lo posible las limitaciones de los circuitos analógicos hacia el dominio digital, donde se pueden procesar señales a mayores frecuencias con un coste de consumo menor. El aumento de la complejidad en el procesado digital se compensa con unas especificaciones analógicas más suaves. Esta filosofía justifica la investigación de arquitecturas ADC que hagan un uso extensivo de lógica digital CMOS, tales como los ADC basados en registros de aproximaciones sucesivas, y la utilización de métodos de corrección digital combinados con arquitecturas basadas en redundancia. Desde este punto de vista también son dignas de atención las técnicas de entrelazado en el tiempo, donde existen una serie de canales en paralelo y se extrae una muestra alternativamente de cada uno de ellos.
3. Mejorar la eficiencia en el consumo mediante la simplificación de los subcircuitos analógicos. Estas técnicas incluyen no sólo estrategias de diseño a nivel de sistemas, sino también topologías básicas analógicas que pueden aplicarse a muchas arquitecturas diferentes. Algunas aproximaciones a la simplificación de la circuitería que se están estudiando actualmente incluyen la sustitución de los amplificadores operacionales por otros bloques más eficientes desde el punto de vista del consumo tales como comparadores, inversores u otras estructuras básicas basadas en realimentación local.
4. Usar circuitería adicional que relaje las especificaciones de ganancia o ancho de banda de los amplificadores, incrementando por tanto la eficiencia energética del ADC, como alternativa menos agresiva a su completa eliminación del convertidor. Esta línea de investigación incluiría el estudio de las técnicas CDS ("correlated double sampling"), la polarización dinámica y la polarización adaptativa, entre otras.

DISEÑO DE UNA ETAPA DE 1.5 BITS CON DOBLE RESIDUO

Una limitación importante en convertidores analógicos digitales (ADC) pipeline es la necesidad de introducir un elemento de ganancia entre etapas para elevar el valor del residuo hasta un nivel que pueda ser digitalizado por las etapas siguientes. El residuo en un ADC multietapa es la diferencia entre la señal analógica y el nivel de cuantización más próximo. Se podría definir un segundo residuo como la diferencia entre la señal analógica y el segundo nivel de cuantización del sub-ADC más próximo. El trabajo de las siguientes etapas consistirá en decidir donde se encuentra la señal analógica entre estos dos niveles de cuantización. Al pasar ambos residuos a las siguientes etapas, se propaga además información sobre el tamaño exacto del paso de cuantización, ya que la suma de los dos residuos es igual a la diferencia entre los dos niveles de cuantización (o un LSB). Conceptualmente, estamos diciendo que los dos residuos incluyen su propia referencia [Mangelsdorf93].

En una arquitectura con un solo residuo, la ganancia entre etapas debe ser un factor próximo a 2^{n_i} , donde n_i es el número de bits resueltos en el ADC dentro de la etapa i , para aprovechar de forma óptima el rango dinámico de la siguiente etapa. Por el contrario, la arquitectura de doble residuo funciona correctamente sin importar el valor escogido para la ganancia entre etapas, siempre que ambos canales de residuo estén suficientemente apareados. La única condición es que la amplitud de la señal en cada etapa sea suficiente para la resolución del comparador.

Cada una de las etapas de un ADC pipeline de doble residuo, a excepción de la última, utiliza un circuito de capacidades conmutadas (SC) para la generación de ambas señales de residuo. En este tipo de circuitos, la ganancia de la etapa de un convertidor pipeline con un único residuo viene determinada por la relación entre diferentes capacidades y , por tanto, es dependiente de las capacidades parásitas. En un convertidor de doble residuo la linealidad del convertidor dependerá de cómo de iguales sean los dos residuos entre sí. En otras palabras, el valor de la relación C_S/C_F de la etapa de un convertidor puede ser inexacta, incluso la relación C_S/C_F de una etapa puede ser diferente de la relación C_S/C_F de otras etapas en la cascada. Lo que es importante es que los valores C_S de las capacidades de entrada en una etapa sean suficientemente iguales entre sí y que los valores C_F de las capacidades de salida en una etapa sean suficientemente iguales entre sí.

Habitualmente, un inconveniente de usar amplificadores operacionales en ADC pipeline es que se necesita un periodo relativamente largo de tiempo para una completa transferencia de carga de las capacidades de entrada a las capacidades de salida. Esto limita la velocidad de conversión del convertidor. Sin embargo, en las implementaciones de doble residuo, no es necesario para las capacidades de salida cargarse completamente, puesto que la carga incompleta será parecida para las capacidades de salida de ambas señales de residuo. Este hecho da la posibilidad de incrementar la velocidad de conversión sin arriesgar substancialmente la pérdida de linealidad.

Por tanto, ni la ganancia ni el ancho de banda necesitan tener un valor determinado, y las especificaciones de potencia para los amplificadores operacionales se reducen de forma importante. En el presente apartado se presenta el diseño y los resultados de simulación de un ADC pipeline de doble residuo de 8 bits y 200 MHz para una tecnología CMOS de 0.13 μm .

A. Diseño de una etapa de 1.5 bits con doble residuo

El amplificador de doble residuo diferencial para una etapa pipeline de 1.5 bit opera con dos comparadores que proporcionan dos bits **d** y **e** que tiene valor 0,0 en el primer rango de entrada, 0,1 en el segundo rango y 1,0 en el tercer rango. El amplificador de residuo se compone de un circuito de salida para la señal de residuo diferencial A2P, A2N con un amplificador operacional y dos capacidades de salida $2\{Cp\}$ conectadas en realimentación entre cada salida y su correspondiente entrada inversora del amplificador operacional. La implementación introducida tiene 3 capacidades ($4\{Cp\}$, $3\{Cp\}$ y $2\{Cp\}$) para el almacenamiento de la señal de residuo de entrada A1P, dos capacidades ($\{Cp\}$ y $2\{Cp\}$) para el almacenamiento de la señal de residuo de entrada B1P, tres capacidades ($4\{Cp\}$, $3\{Cp\}$ y $2\{Cp\}$) para el almacenamiento de la señal de residuo de entrada A1N y dos capacidades ($\{Cp\}$ y $2\{Cp\}$) para el almacenamiento de la señal de residuo de entrada B1N. Un grupo de interruptores se cierran durante la fase de muestreo y se utilizan para la carga de las capacidades de entrada con el valor de las señales A1P - Z, B1P - Z, A1N - Z y B1N - Z y la descarga de las capacidades de salida durante esta fase. Otro grupo de interruptores se emplean para la transferencia de carga de las capacidades de entrada hacia las capacidades de salida. La parte del amplificador de residuo para la señal de residuo diferencial B2P, B2N es idéntica al circuito de salida descrito con la salvedad de que las indicaciones A y B deben intercambiarse.

La transferencia de carga se describe en las ecuaciones (A.1),(A.2),(A.3) y (A.4) para el caso **d=0** y **e=0**

$$A2P = Z + (A1P - Z) \frac{4 * \{Cp\}}{2 * \{Cp\}} \quad (A.1)$$

$$A2N = Z + (A1N - Z) \frac{4 * \{Cp\}}{2 * \{Cp\}} \quad (A.2)$$

$$B2P = Z + (B1P - Z) \frac{2 * \{Cp\}}{2 * \{Cp\}} + (A1P - Z) \frac{2 * \{Cp\}}{2 * \{Cp\}} \quad (A.3)$$

$$B2N = Z + (B1N - Z) \frac{2 * \{Cp\}}{2 * \{Cp\}} + (A1N - Z) \frac{2 * \{Cp\}}{2 * \{Cp\}} \quad (A.4)$$

las ecuaciones (A.5),(A.6),(A.7) y (A.8) para el caso **e=1**

$$A2P = Z + (A1P - Z) \frac{3 * \{Cp\}}{2 * \{Cp\}} + (B1P - Z) \frac{\{Cp\}}{2 * \{Cp\}} \quad (A.5)$$

$$A2N = Z + (A1N - Z) \frac{3 * \{Cp\}}{2 * \{Cp\}} + (B1N - Z) \frac{\{Cp\}}{2 * \{Cp\}} \quad (A.6)$$

$$B2P = Z + (B1P - Z) \frac{3 * \{Cp\}}{2 * \{Cp\}} + (A1P - Z) \frac{\{Cp\}}{2 * \{Cp\}} \quad (A.7)$$

$$B2N = Z + (B1N - Z) \frac{3 * \{Cp\}}{2 * \{Cp\}} + (A1N - Z) \frac{\{Cp\}}{2 * \{Cp\}} \quad (A.8)$$

Y las ecuaciones (A.9),(A.10),(A.11) y (A.12) para el caso $d=1$ y $e=0$

$$A2P = Z + (A1P - Z) \frac{2 * \{Cp\}}{2 * \{Cp\}} + (B1P - Z) \frac{2 * \{Cp\}}{2 * \{Cp\}} \quad (A.9)$$

$$A2N = Z + (A1N - Z) \frac{2 * \{Cp\}}{2 * \{Cp\}} + (B1N - Z) \frac{2 * \{Cp\}}{2 * \{Cp\}} \quad (A.10)$$

$$B2P = Z + (B1P - Z) \frac{4 * \{Cp\}}{2 * \{Cp\}} \quad (A.11)$$

$$B2N = Z + (B1N - Z) \frac{4 * \{Cp\}}{2 * \{Cp\}} \quad (A.12)$$

El funcionamiento del amplificador de residuo doble diferencial se ilustra en la Figura A-1. Se han añadido una serie de capacidades de entrada que crean un tercer rango ($e=1$) que sustituye el punto de decisión crítico determinado por los comparadores por dos puntos de decisión no críticos que serían la frontera del tercer rango. La introducción de este tercer nivel relaja el offset en DC de los comparadores.

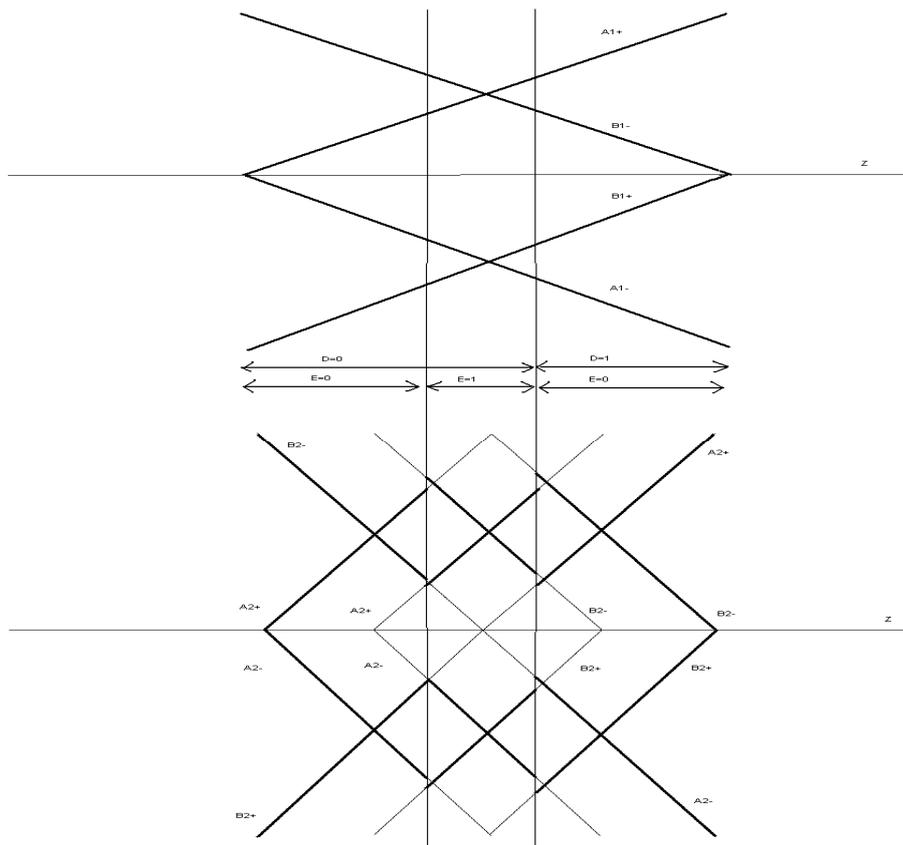
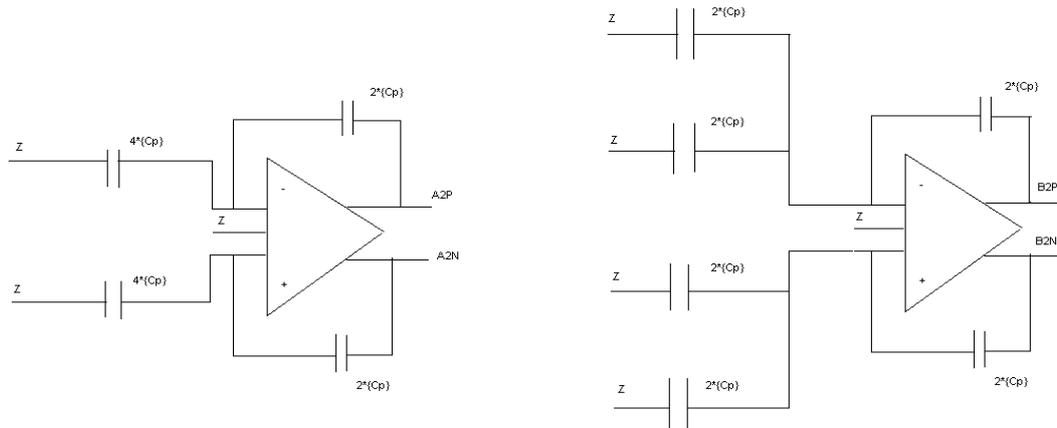
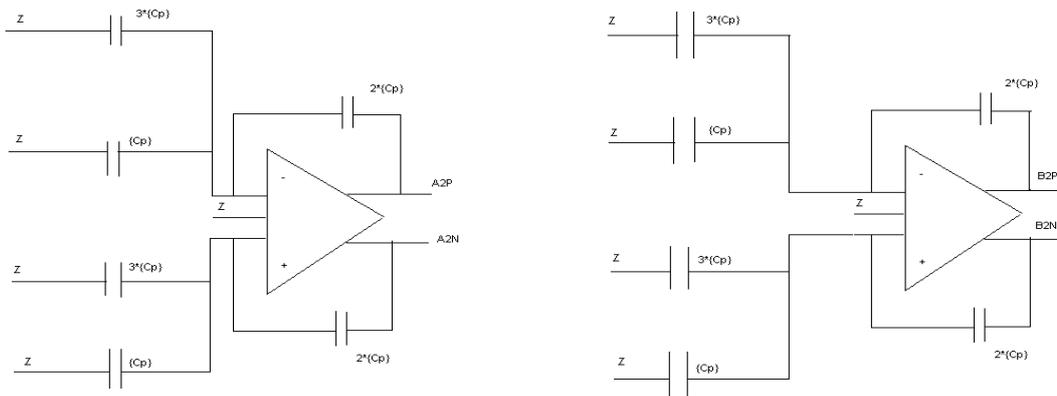


Figura A-1. Diagrama explicativo del funcionamiento de un amplificador de residuo doble diferencial.

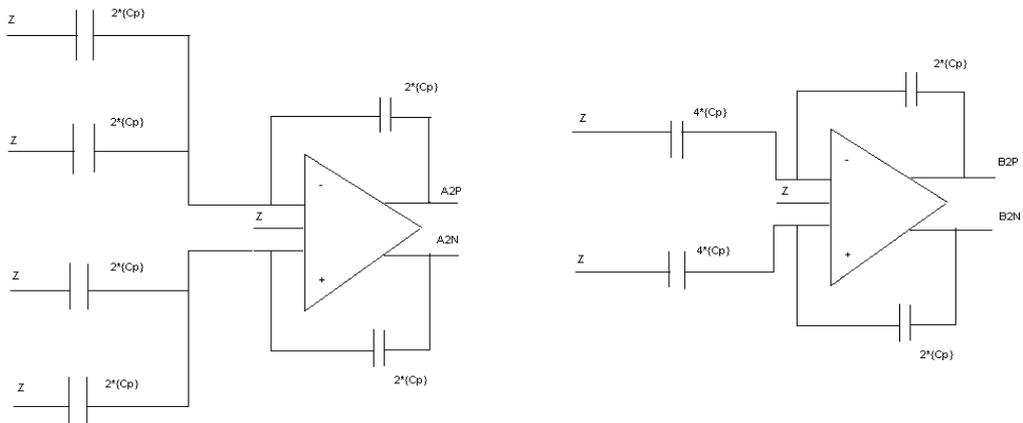
La Figura 4-4 muestra las diferentes configuraciones del circuito durante la fase de retención que generan la salida de la etapa para los diferentes valores de los bits d y e .



Caso $d=0$ y $e=0$ (fase de retención)



Caso $e=1$ (fase de retención)



Caso $d=1$ y $e=0$ (fase de retención)

Figura A-2. Configuraciones de los amplificadores operacionales con realimentación negativa durante la fase de retención y diferentes valores de los bits d y e .

El valor de las capacidades de la etapa se elige según el criterio de la minimización del consumo de potencia de forma que, para una determinada resolución por etapa, el valor de C sea tan pequeño como sea posible. El valor mínimo de las capacidades está limitado por las contribuciones del ruido KT/C en la etapa. Se puede formular el impacto del ruido KT/C en un ADC pipeline del siguiente modo. La potencia del ruido de cuantización de un ADC se puede expresar como la media cuadrática de la diferencia entre la entrada original y la salida digitalizada, denominada error de cuantización ϵ_q : $\epsilon_q = \Delta^2/12$ para una onda senoidal donde $\Delta = V_{REF}/2^m$ corresponde al bit menos significativo de la representación digital de un número binario de m bit. Para un convertidor de 8 bits y una entrada de rango 400 mV, $\Delta = 1.5625$ mV y $\epsilon_q^2 = 2.0345 \cdot 10^{-7}$. Como se indica en [Razavi95], la entrada analógica de una señal senoidal de amplitud de $V_{REF}/2$ (V_{REF} pico a pico) la relación señal a ruido a la salida, expresada en decibelios se define como $SNR = 6.02m + 1.76$ dB. Para una resolución efectiva de 8 bit, $SNR = 49.92$ dB. Si asumimos una desviación de 1 dB con respecto al valor de SNR ideal debido al ruido KT/C , se obtiene una carga capacitiva de salida de $C_T \geq 78.11$ fF. Esto se corresponde con un valor de C de 7.81 fF, suficientemente bajo para concluir que no es necesario llevar a cabo un escalado de capacidades de la primera a las últimas etapas para optimizar la disipación de potencia. En nuestro diseño, se ha escogido $C_p = 12$ fF.

Dado que la tensión de puerta de los transistores CMOS de $0.13\text{-}\mu\text{m}$ es suficientemente elevada para asegurar una apertura y cierre adecuados para los interruptores en todo el rango de tensiones, se ha elegido transistores NMOS para su implementación. La velocidad de la carga y descarga de los condensadores viene determinada por dos factores: la resistencia en encendido del interruptor R_{on} y la capacidad de carga. Como la resistencia del interruptor R_{on} viene dada por la ecuación (A.13) para conseguir una mayor velocidad, interesa aumentar la relación de aspecto W/L y disminuir el valor de la capacidad utilizada. Sin embargo, como se puede apreciar en la expresión mostrada, aparte de términos dependiente de la tecnología como son la movilidad μ_n y la capacidad del óxido C_{ox} , la resistencia del interruptor también depende de la tensión de entrada V_{in} , produciendo una constante de tiempo mayor cuando la entrada se aproxima a $V_{DD} - V_{TH}$, donde V_{DD} es la tensión de alimentación y V_{TH} la tensión umbral del transistor.

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{DD} - V_{in} - V_{TH})} \quad (\text{A.13})$$

Por otro lado, asumiendo que para que en un transistor MOS conduzca debe existir un canal en la interfaz óxido-silicio, podemos expresar la carga total Q_{ch} en la capa de inversión según la ecuación (A.14) donde L es la longitud efectiva de canal y W el ancho del transistor. Cuando el interruptor se apaga, esta carga, depositada entre los terminales de drenador y fuente, introduce un error en la tensión almacenada, produciendo el fenómeno denominado como “inyección de carga”. Este error es directamente proporcional a WLC_{ox} e inversamente proporcional al valor de la capacidad de carga.

$$Q_{ch} = WLC_{ox} (V_{DD} - V_{in} - V_{TH}) \quad (\text{A.14})$$

La mayoría de los interruptores de nuestro diseño tienen un tamaño mínimo por consideraciones de área e inyección de carga. Las excepciones las constituyen aquellos transistores que cierran el bucle de realimentación negativa de los amplificadores operacionales en la fase de retención, que son mayores para que los polos añadidos a la salida estén situados lo suficientemente lejos evitando así problemas de estabilidad. Aquellos transistores que cortocircuitan la salida y la entrada de los amplificadores operacionales en determinadas fases de reloj también tienen una relación de aspecto mayor para que la respuesta a alta frecuencia de los mismos sea más rápida.

La etapa ADC pipeline de doble residuo es una implementación SC que opera en dos fases de reloj. Durante la primera fase, la señal de entrada se aplica a la entrada de los comparadores, cuyos umbrales se encuentran a $(V_{ref2} - CM)/4$ ($(600 \text{ mV} - 400 \text{ mV})/4$) para el comparador uno y a $-(V_{ref2} - CM)/4$ ($-(600 \text{ mV} - 400 \text{ mV})/4$) para el comparador 2. La señal de entrada varía entre $-(V_{ref2} - CM)$ (-200 mV) y $(V_{ref2} - CM)$ (200 mV).

Los bits **d** y **e** se relacionan con la salida de los comparadores según se indica en la Tabla A-1

	d	e	Comparador 1	Comparador 2
	0	0	0	0
	0	1	0	1
	1	0	1	1

Tabla A-1. Relación entre la salida de los comparadores y la salida de los bits d y e.

Una caracterización completa del comportamiento de los ADCs requiere un gran número de parámetros, algunos de los cuales se definen de forma diferente según el fabricante. Algunos de los más comunes son la no linealidad diferencial (DNL), la no linealidad integral (INL), el error de offset y ganancia, en lo que respecta al comportamiento estático del convertidor y, la relación señal a ruido (SNR), relación señal a ruido-distorsión (SNDR), número efectivo de bits (ENOB) y rango dinámico, para la caracterización del comportamiento dinámico del convertidor. El método elegido para determinar la calidad de nuestra aproximación es el parámetro (D), definido como la diferencia entre la característica de salida obtenida (VO) y la característica de salida esperada (VI). Esta desviación puede verse como un tipo de estimación de la INL.

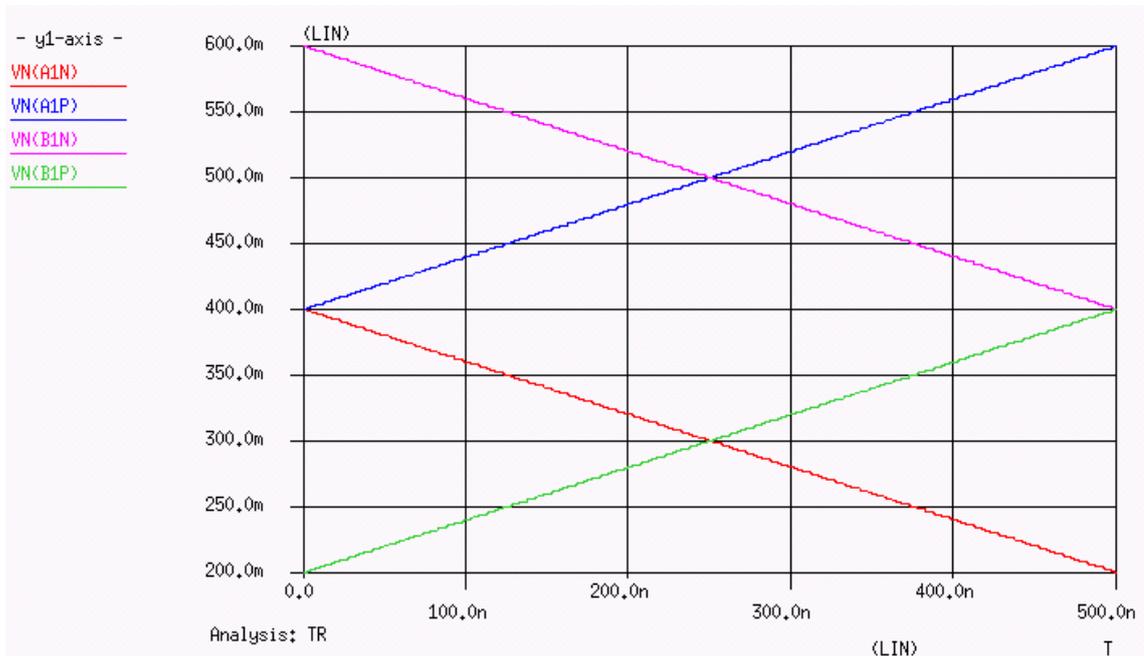


Figura A-3. Rango completo de variación de las señales de entrada (A1P, A1N, B1P y B1N).

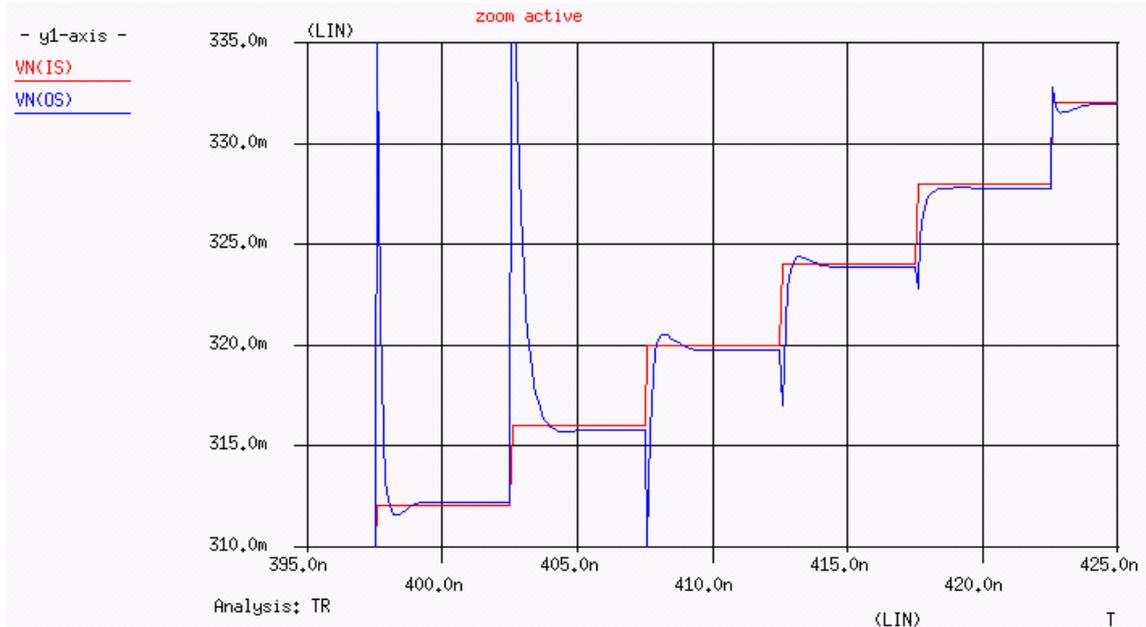


Figura A-4. Detalle de la característica de salida obtenida (VO) y característica de salida esperada (VI) para la señal de entrada de la Figura A-3.

La Figura A-3 muestra el rango completo de variación de las diferentes señales de entrada. La característica de salida esperada se calcula mediante la diferencia entre la entrada analógica del circuito aplicada a los comparadores, añadiendo un desplazamiento de la mitad del rango de tensiones para conseguir un rango de variación positivo y ser capaz así de compararla con una característica de salida no ideal ($V_I = A1P - B1N + 0.2$). La característica de salida obtenida se reconstruye a partir de la salida digital (OUT) para una determinada muestra, añadiendo el residuo de la última etapa (RES) ($V_O = \text{OUT} + \text{RES}$). La Figura A-4 muestra un detalle de la característica de salida obtenida en relación a la característica de salida esperada.

El residuo de la última etapa se calcula del mismo modo que la característica de salida esperada, sustituyendo la entrada analógica por la correspondiente salida analógica y dividiéndola por G^k , donde G es la ganancia de cada etapa y k es el número de etapas consideradas. Si A1P y B1N son las señales de entrada para la primera etapa y A2P y B2N son las señales de salida correspondientes para la misma etapa, para la etapa k puede expresarse el residuo como $\text{RES} = (A(K+1)P - B(K+1)N + 0.2) / 2^k$. Como no es posible conseguir una ganancia de 2 precisa por el desapareamiento entre capacidades y la ganancia finita del amplificador operacional, es necesario introducir un factor de corrección en la expresión del residuo (CF).

Este valor, mostrado en la ecuación (A.19), puede determinarse como la relación entre la referencia procedente de la salida analógica y la referencia procedente de la entrada analógica, a partir de las ecuaciones (A.15), (A.16), (A.17) y (A.18) dado que la arquitectura de doble residuo proporciona información acerca de su propia referencia.

$$A(K+1)P - B(K+1)P = V_{\text{ref}2} - CM \quad (\text{A.15})$$

$$B(K+1)N - A(K+1)N = CM - V_{\text{ref}1} \quad (\text{A.16})$$

$$A1P - B1P = V_{\text{ref}2} - CM \quad (\text{A.17})$$

$$B1N - A1N = CM - V_{\text{ref}1} \quad (\text{A.18})$$

$$CF = \frac{(A(K+1)P - B(K+1)P) + (B(K+1)N - A(K+1)N)}{(A1P - B1P) + (B1N - A1N)} \quad (\text{A.19})$$

Por tanto, el residuo de la última etapa puede expresarse según la ecuación (A.20)

$$RES = \frac{A(K+1)P - B(K+1)N}{CF \cdot 2^k} + \frac{0.2}{2^k} \quad (A.20)$$

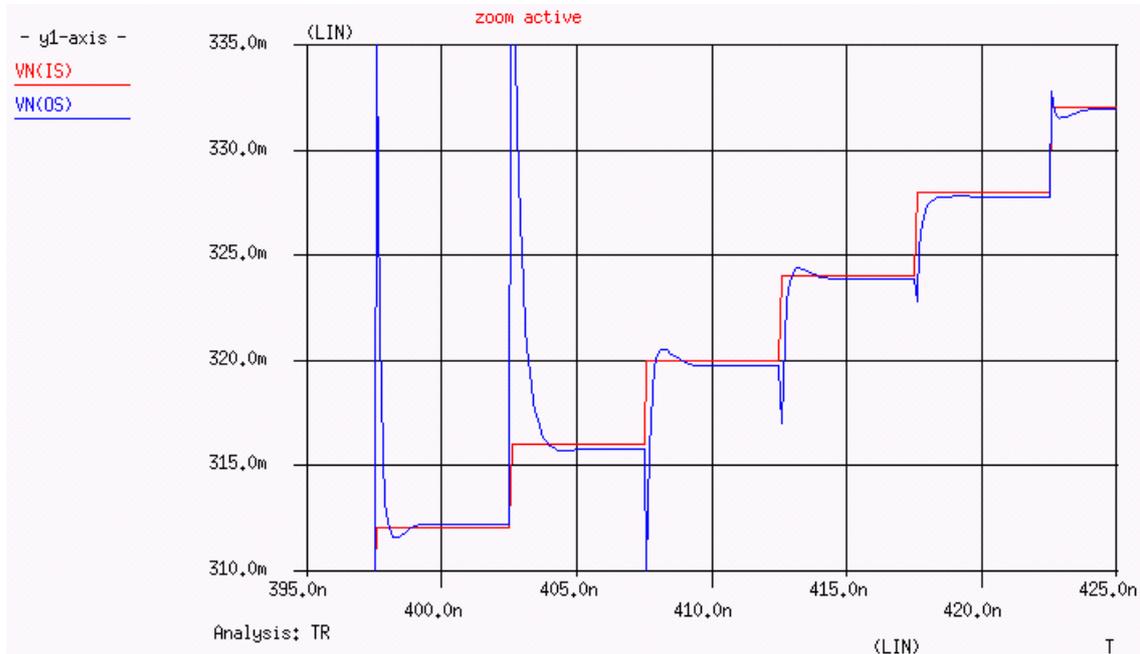


Figura A-5. Residuo de la última etapa (RES) después de 6 etapas para la señal de entrada de la Figura A-3.

El residuo de la última etapa se muestra en la Figura A-5. Hay que destacar que el valor de CF no es constante y depende de la tensión de entrada aplicada. La característica de salida esperada VI debe retrasarse para corregir la latencia del convertidor pipelined. Para un correcto funcionamiento, consideramos que D debe mantenerse por debajo de 1 LSB (1.56 mV para un convertidor de 8 bits). La ventaja de usar D como parámetro es que el procesamiento se lleva a cabo en el dominio analógico y que no es necesario simular más allá de las primeras etapas.

La Figura A-6, Figura A-7 y Figura A-8 muestran la diferencia entre la característica de salida obtenida y la característica de salida esperada, para una rampa, un escalón y una onda senoidal a la entrada, respectivamente. Valores bajos en D se obtendrían para el caso del escalón si se incrementara el tamaño de los interruptores asociados a las capacidades de muestreo mayores, corrigiendo el error introducido entre el modo común de entrada y el de salida, pero este cambio se ha rechazado porque empeora la respuesta a una onda senoidal de entrada. Una mejor respuesta a una entrada senoidal se consigue si la frecuencia de la señal de entrada es baja en comparación con la frecuencia de muestreo. Puede verse que todos los valores del parámetro D, excepto para el caso senoidal, se encuentra por debajo de 1 LSB. La Figura A-9, Figura A-10 y Figura A-11 muestran un parámetro D para una rampa, cuando se usan amplificadores operacionales ideales de ganancia 30 dB, 40 dB y 50 dB, respectivamente. Como era de esperar para la implementación de doble residuo, D no depende del valor de la ganancia del amplificador operacional.

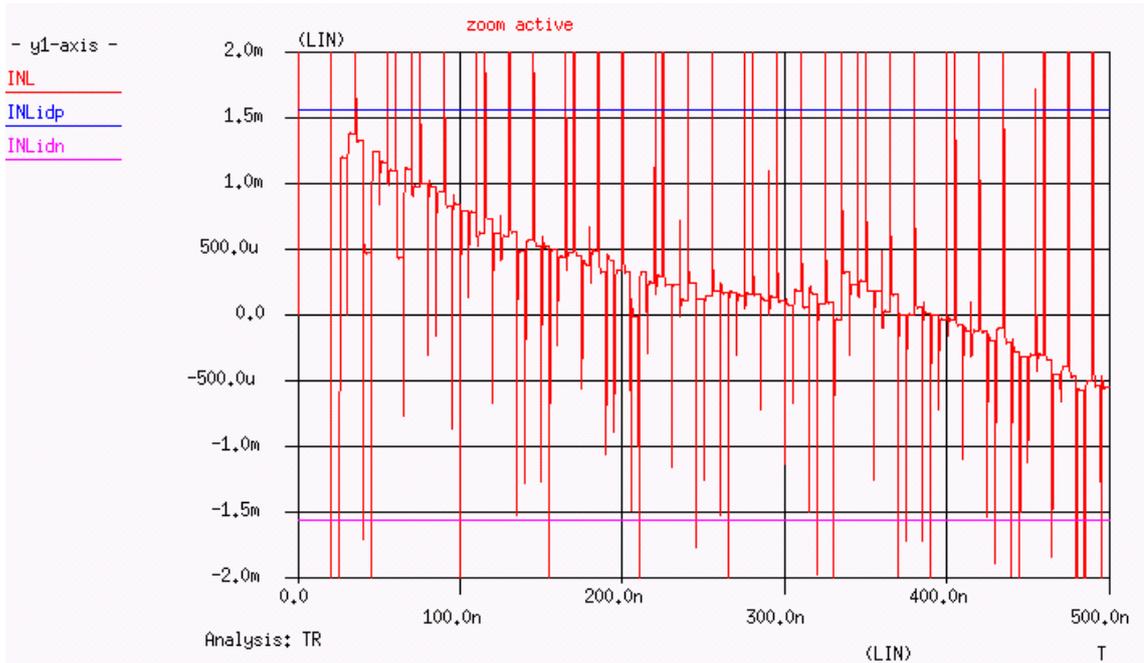


Figura A-6. Parámetro D correspondiente a una entrada analógica de una rampa muestreada.

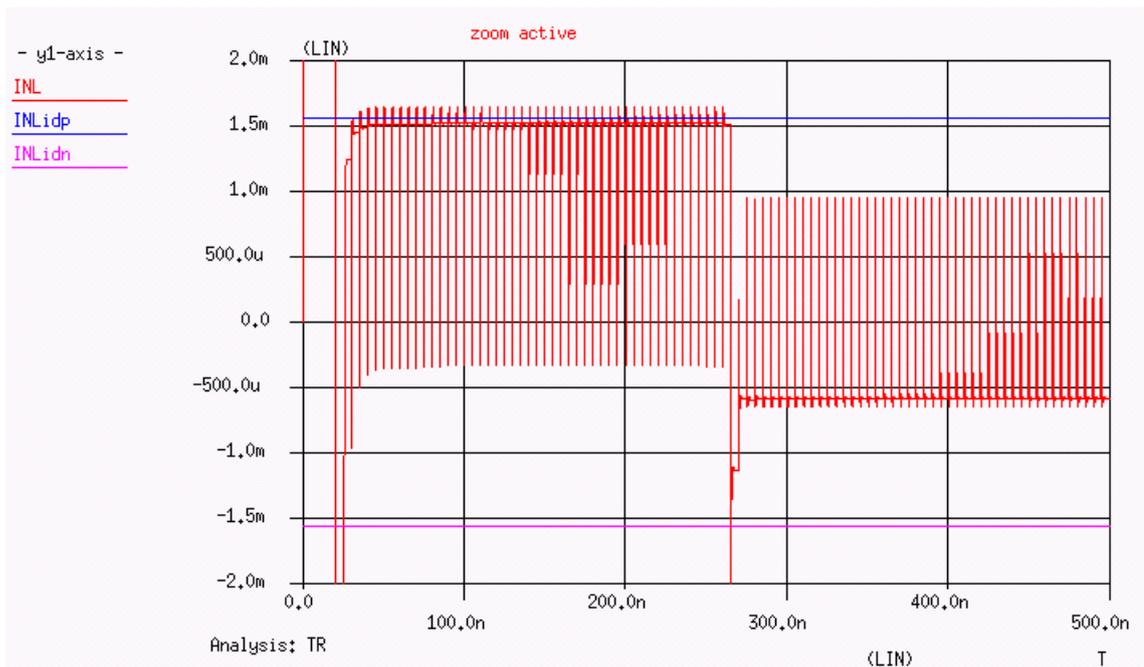


Figura A-7. Parámetro D correspondiente a una entrada analógica de un escalón en todo el rango de señal de entrada.

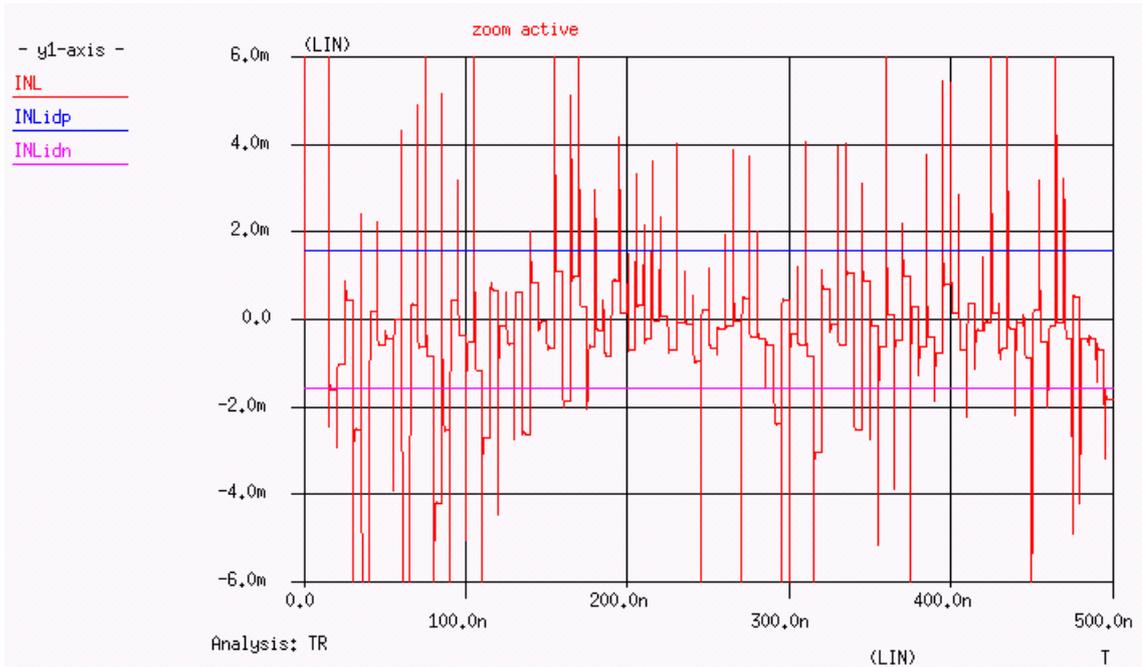


Figura A-8. Parámetro D correspondiente a una entrada analógica de una señal senoidal muestreada de 39 MHz.

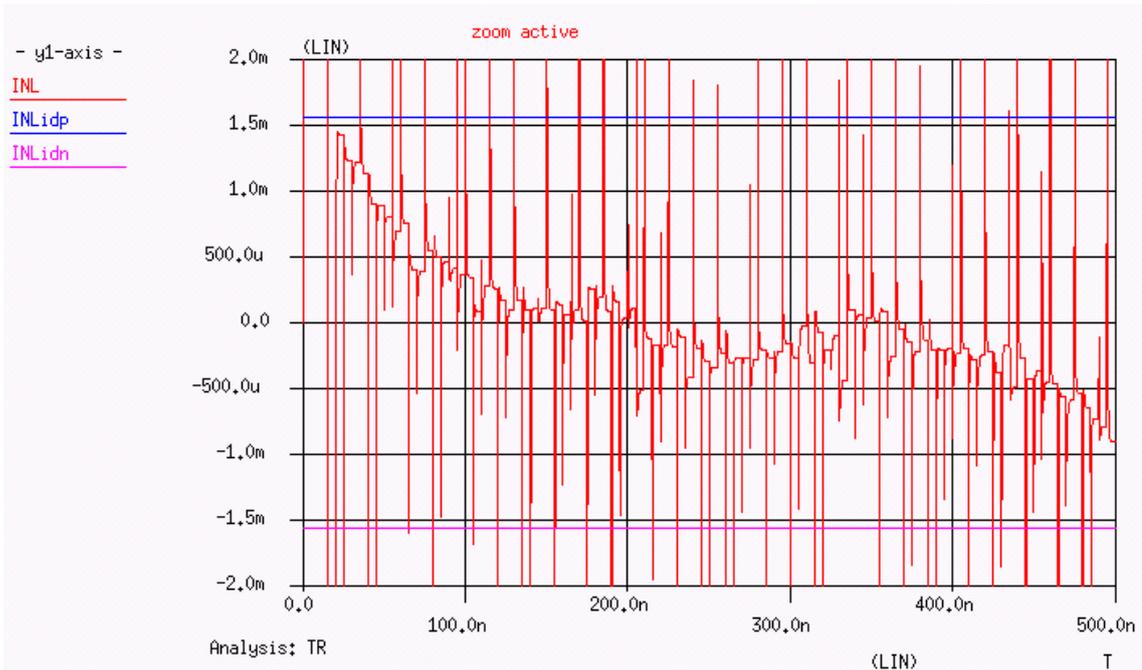


Figura A-9. Parámetro D correspondiente a una entrada analógica de una rampa muestreada para amplificadores operacionales con 30 dB de ganancia en bucle abierto.

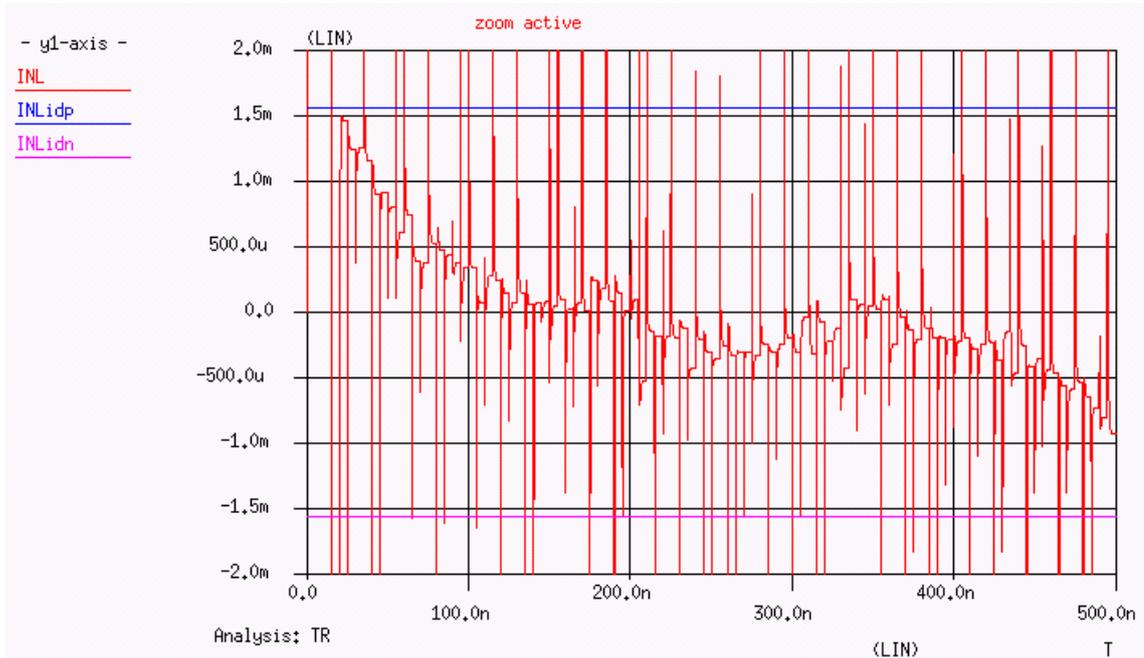


Figura A-10. Parámetro D correspondiente a una entrada analógica de una rampa muestreada para amplificadores operacionales con 40 dB de ganancia en bucle abierto.

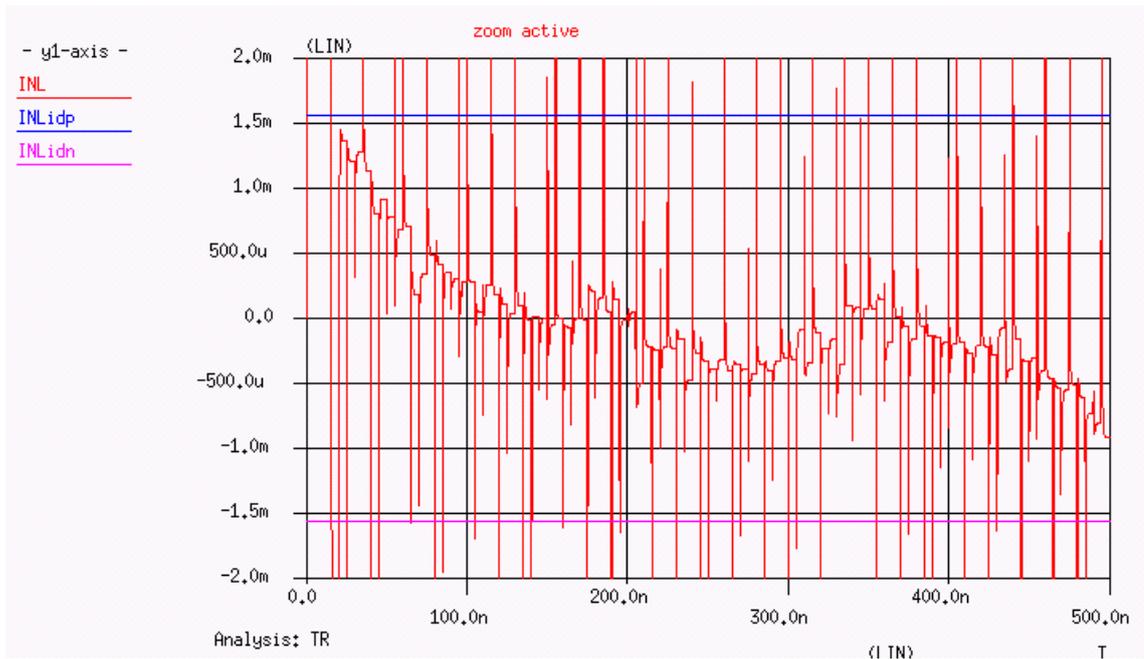


Figura A-11. Parámetro D correspondiente a una entrada analógica de una rampa muestreada para amplificadores operacionales con 50 dB de ganancia en bucle abierto.

La Tabla A-2 resume algunas especificaciones del ADC. Para evaluar y comparar el comportamiento de este convertidor con respecto a otros ya publicados empleamos la misma figura de mérito (FOM) ya definida en el capítulo 1 y 2 de esta tesis. En nuestro diseño, para un valor de ENOB de 7.5, se obtiene una figura de mérito de 0.34 pJ. A pesar de tratarse de resultados de simulación, la FOM obtenida puede considerarse un resultado optimista.

Tensión de alimentación	1.2 V
Tecnología	0.13µm CMOS
Resolución	8 bits
Tasa de muestreo	200 MS/s
Rango diferencial de entrada	±200 mV
Capacidad de entrada	120 fF (single-ended)
Consumo de potencia	12.17 mW (sin comparadores)
Arquitectura	Pipeline de doble residuo
Número de etapas con ganancia	6
Resolución por etapa	1.5 bits
Ganancia por etapa	2
Número de comparadores por etapa	2

Tabla A-2. Resumen de las especificaciones del ADC diseñado

El ancho de banda efectivo (ERB) puede definirse como la frecuencia de la señal de entrada para la cual la SNDR se reduce en 3 dB (correspondiente a un decremento de ENOB de 0.5 bits) con respecto a su valor DC, Dado que la señales de entrada de alta frecuencia deterioran rápidamente el parámetro D de nuestro diseño, se hace aconsejable encontrar una forma de relajar esta dependencia para mejorar dicho parámetro.

Este anexo presenta el diseño y la simulación de un ADC pipeline de 8bits y 200MHz, para una tecnología CMOS de 0.13 µm y un consumo de potencia de 12 mW. La aproximación de doble residuo y baja resolución de un ADC pipeline proporciona una alta velocidad y un reducido consumo de potencial sin ninguna mejora especial en la tecnología CMOS y sin usar técnicas tales como la optimización de la resolución por etapas y el escalado de capacidades o sin mejoras sobre los componente del ADC, ya sean amplificadores operacionales o comparadores. Como posible aplicación, la implementación mostrada podría formar parte de un ADC de dos pasos y alta resolución.

Referencias

- [Mangelsdorf93] C. Mangelsdorf, H. Malik, S. Lee, S. Hisano, M. Martin, "A two residue architecture for multistage ADCs", 1993 IEEE International Solid State Circuit Conference, February 24, 1993
- [Razavi95] B.Razavi "Principles of Data Conversion System Design" IEEE Press, 1995
- [VanderPloeg06] Van der Ploeg Hendrik "A dual residue pipeline AD converter" Patent publication number CN1871774

CONTRIBUCIONES EN REVISTAS Y CONGRESOS. PATENTES

B.1. Publicaciones en revistas

B.2. Aportaciones a Congresos

B.3. Patentes

Este apéndice recoge los resultados de investigación obtenidos durante la realización de la presente tesis doctoral, clasificados en publicaciones en revistas, aportaciones a congresos y patentes. El orden de presentación es cronológico, del más antiguo al más reciente.

B. Contribuciones en revistas y congreso. Patentes

B.1. Publicaciones en revistas

- F. Muñoz, J. Ramirez-Angulo, A. Lopez-Martin, R. G. Carvajal, A. Torralba, B.Palomo and M.Kachare "Analogue switch for very low-voltage applications" *Electronics Letters*, vol.39, n°9, pp. 701, May 2003
- R. G. Carvajal, B.Palomo, A. Torralba, F. Muñoz and J. Ramirez-Angulo "Low-Voltage High-Gain Differential OTA for SC circuits" *Electronics Letters*, vol.39, n°16, pp. 1159-1160, August 2003
- Sunil L. Khemchandani, Javier del Pino, Enrique López Morillo, Unai Alvarado, D. Ramos-Valido, B.Palomo, F.Muñoz "RF and Mixed Signal Circuits for a DVB-H Receiver" *Analog Integrated Circuits and Signal Processing*. Vol. 65. N°1. 2010. Pag. 1-14
- Hakim el Gmili, Fernando Muñoz Chavero, Antonio Jesus Torralba Silgado, Ramon Gonzalez Carvajal, Bernardo Palomo Vázquez: "A New Capacitor-Ratio and Offset Independent Residue Amplifier". *Analog Integrated Circuits and Signal Processing* . 2011
- B.Palomo, F.Muñoz, R.G.Carvajal, J.R. García F.Marquez "An 8-bit 19 MS/s low-power 0.35 μm CMOS pipelined ADC for DVB-H" *Integration, the VLSI Journal* (2011) doi:10.1016/j.vlsi.2011.10.003

B.2. Aportaciones a Congresos

- F. Muñoz, A. Lopez-Martin, R.G. Carvajal, J. Ramirez-Angulo, A.Torralba, M.Kachare and B.Palomo "Extremely low supply voltage circuits based on quasi-floating gate supply voltage boosting" *Proceedings of the 2003 International Symposium on Circuits and Systems (ISCAS'03)* Vol.1, pp. 817-820,2003
- R. G. Carvajal, B.Palomo, A. Torralba, F. Muñoz and J. Ramirez-Angulo "New Low-voltage High-Gain Differential OTA for SC circuits" *Conference on Design of Circuits and Integrated Systems (DCIS'03) N°18. Ciudad Real 2003*
- F. Muñoz, J. Ramirez-Angulo, A. Lopez-Martin, R.G. Carvajal, A. Torralba and B.Palomo "A Simple Alternative to Switched-Opamps or Voltage Doublers for Very Low Voltage SC Circuits" *Conference on Design of Circuits and Integrated Systems (DCIS'03) N°18. Ciudad Real 2003*
- B.Palomo, F.Muñoz, R.G.Carvajal, A. Torralba, Jaime Ramírez Angulo "A 1.5V 8.bit 10Ms/s CMOS pipeline analog-to-digital converter" *Conference on Design of Circuits and Integrated Systems. N° 18. Ciudad Real (España) 2003*
- Fernando Muñoz Chavero, Ramon Gonzalez Carvajal, Antonio Jesus Torralba Silgado, Bernardo Palomo Vázquez: "A New Capacitor-Ratio and Offset Independent Amplifier for Pipelined A/D Converters". *DCIS'2004: XIX Conference on Design of Circuits and Integrated Systems. Design of Circuits and Integrated Systems Conference. Num. 19. Bordeaux, Francia. DCIS'2004. 2004. Pag. 33-38*
- B.Palomo, F.Muñoz, R.G.Carvajal, Hakim el Gmili, A. Torralba "A very low power 8-bit 16 Msample/s pipelined converter for DVB-H" *Conference on Design of Circuits and Integrated Systems. N°23. Grenoble (Francia) 2008*
- Hakim el Gmili, Antonio Jesus Torralba Silgado, Fernando Muñoz Chavero, Bernardo Palomo Vázquez, Ramon Gonzalez Carvajal: "A New Capacitor-Ratio Independent Residue Amplifier for Pipelined Analog-to-Digital Converters". *Conference on Design of Circuits and Integrated Systems (23). Num. 23. Grenoble (Francia). 2008*
- Bernardo Palomo Vázquez, Jose Garcia Gonzalez, Hakim el Gmili, Fernando Muñoz Chavero, Ramon Gonzalez Carvajal: "A New Low-Voltage CMOS Gate-Bootstrapped Switch Based on Quasi-Floating Gate Transistors". *XXV Conference on Design of Circuits and Integrated Systems - DCIS 2010. (25). Num. 25. Lanzarote, Spain. 2010. Pag. 476-479*

B.3. Patentes

- Fernando Muñoz Chavero, Ramon Gonzalez Carvajal, Antonio Jesus Torralba Silgado, Bernardo Palomo Vázquez, Jaime Ramírez Angulo, Antonio Lopez Martin: *"Método para Conmutar Interruptores Bajo Condiciones de Baja Tensión de Alimentación e Interruptor para la Puesta en Práctica del Mismo"*, Solicitud:2003-04-24 Nr.:P200301030
- Fernando Muñoz Chavero, Ramon Gonzalez Carvajal, Antonio Jesus Torralba Silgado, Bernardo Palomo Vázquez, Hakim el Gmili, Juan Antonio Gómez Galán: *"Método para la Realización de un Amplificador de Capacidades Conmutadas Insensible a la Relación Entre las Capacidades y al Offset de los Amplificadores"*, Solicitud:2005-10-07, Nr.:PCT/ES2005/00
- Fernando Muñoz Chavero, Ramon Gonzalez Carvajal, Antonio Jesus Torralba Silgado, Bernardo Palomo Vázquez, Hakim el Gmili, Juan Antonio Gómez Galán: *"Método para la Realización de un Amplificador de Condensadores Conmutados Insensible a la Relación Entre las Capacidades y al Offset y Ganancia de Amplificadores"*, Solicitud:2005-10-15, Nr.:P200502657