

Trabajo Fin de Grado
Grado en Ingeniería Aeroespacial

Análisis, diseño y realización de un circuito cuadrático
basado en un modulador SIGMA-DELTA asíncrono.

Autor: Eduardo Roque Rodríguez

Tutor: Francisco Colodro Ruiz

Dep. Ingeniería Electrónica
Escuela Técnica Superior de Ingeniería
Universidad de Sevilla

Sevilla, 2017



Proyecto Fin de Carrera
Grado en Ingeniería Aeroespacial

Análisis, diseño y realización de un circuito cuadrático basado en un modulador SIGMA-DELTA asíncrono.

Autor:

Eduardo Roque Rodríguez

Tutor:

Francisco Colodro Ruiz

Profesor titular

Dpto. de Ingeniería Electrónica

Escuela Técnica Superior de Ingeniería

Universidad de Sevilla

Sevilla, 2017

Proyecto Fin de Carrera: Análisis, diseño y realización de un circuito cuadrático basado en un modulador SIGMA-DELTA asíncrono.

Autor: Eduardo Roque Rodríguez
Tutor: Francisco Colodro Ruiz

El tribunal nombrado para juzgar el Proyecto arriba indicado, compuesto por los siguientes miembros:

Presidente:

Vocales:

Secretario:

Acuerdan otorgarle la calificación de:

Sevilla, 2017

El Secretario del Tribunal

A mi familia
A mis amigos.

Agradecimientos

En primer lugar agradecer a todas las personas que me han ayudado en este proyecto, especialmente a mi profesor Francisco Colodro y al maestro taller Andrés. También agradecer su apoyo durante estos años a mi madre, mi padre, mi hermano y mis abuelos.

Eduardo Roque Rodríguez.

Sevilla, 2017

Resumen

El presente trabajo de fin de grado tiene como finalidad el estudio, análisis y desarrollo de un squarer basado en un modulador DELTA-SIGMA. Éste será desarrollado a partir del artículo de [1] F. Colodro, A. Torralba, J.L. Mora, y J.M. Martínez-Heredia «*An Analog Squaring Technique based on Asynchronous Sigma-Delta Modulation*», IEEE Transactions on Circuits and Systems II: Express Briefs (Volume: 56, Issue: 8, Aug. 2009) [1].

Para ello han se han realizado simulaciones mediante Simulink y Microcap para estudiar el comportamiento del circuito antes las diferentes variables que lo describen y se han determinado los parámetros de diseño. Este estudio ha permitido la obtención de un circuito con altos valores del Spurious Free Dynamic Range

También ha sido realizado el circuito con los valores de diseño, realizando pruebas experimentales ante diferentes señales sinusoidales de entrada consiguiendo como resultado valores del SFDR de hasta 58 dB.

Abstract

This current task has the purpose of the study, analysis, design and fabrication of a squarer based on a DELTA-SIGMA modulator. It will be developed based in the article written by F. Colodro, A. Torralba, J.L. Mora, y J.M. Martínez-Heredia «*An Analog Squaring Technique based on Asynchronous Sigma-Delta Modulation*», IEEE Transactions on Circuits and Systems II: Express Briefs (Volume: 56, Issue: 8, Aug. 2009) [1].

Differents simulations have been carried out using Simulink and Microcap with the purpose of studying the behavior of the different parametres of the circuit. It has helped to determine the values required to obtain results with high Spurius Free Dinamic Range.

After the simulations and the research, the circuit was built and different experimental tests were made with a performance up to 58 dB.

Índice

Agradecimientos	8
Resumen	9
Abstract	10
Índice	11
Índice de Tablas	14
Índice de Figuras	15
Notación	19
1 Introducción	23
2 Análisis teórico.	24
2.1 <i>Descripción funcional del circuito.</i>	24
2.1.1 Funcionamiento del ASDM	26
2.1.2 Funcionamiento y modelo del Zero-Crossing detector.	27
2.3. <i>Espectro a la salida del ASDM.</i>	28
2.3.1 Parámetros para la evaluación de las prestaciones del circuito.	30
2.4 <i>Conclusiones.</i>	30
3 Simulación con Matlab & Simulink® del circuito	32
3.1 <i>Análisis de las implementaciones con un solo flanco y doble flanco.</i>	32
3.2 <i>Efecto ante variaciones de los parámetros de diseño</i>	34
3.2.1 Variación del retraso	34
3.2.2 Variaciones de Δ , V_s y W_0	36
3.3. <i>Efecto ante variaciones de amplitud y de frecuencia.</i>	37
3.3.1 Variación de la amplitud	37
3.2.2 Variación de la frecuencia.	39
3.4 <i>Conclusiones.</i>	40
4 Simulación del circuito con Microcap	41
4.1 <i>Elementos del circuito</i>	41

4.1.1	Amplificador a la entrada.	42
4.1.2	Bloque del ASMD	42
4.1.3	Bloque del Zero-Crossing detector.	44
4.1.4	Diseño del filtro.	46
4.2.	<i>Efecto de las imperfecciones de los elementos.</i>	48
4.2.1	Slew-Rate	48
4.2.2	Variaciones en la salida del comparador.	50
4.2.3	Offset en el integrador.	50
4.2.4	Efecto de un ancho de banda finita y de una ganancia DC en los amplificadores.	50
4.3	<i>Comparación montaje single-ended y diferencial.</i>	51
4.4	<i>Estudio de los componentes.</i>	52
4.4.1	Estudio del comparador.	52
4.4.2	Estudio del integrador.	53
4.4.3	Zero-Crossing detector.	54
4.4.4	Implementación final del circuito.	55
4.5	<i>Variaciones en los parámetros.</i>	56
4.5.1	Variaciones en el Slew-Rate	56
4.1.5	Variaciones en el la tensión de offset del integrador.	58
4.1.6	Variación en los niveles de salida del comparador.	58
4.6	<i>Análisis de resultados ante variaciones en la frecuencia y la amplitud.</i>	59
4.7	<i>Comparación de la simulación con Microcap y Simulink.</i>	61
4.8	<i>Conclusiones</i>	61
5	Diseño de la placa de circuito impreso	63
5.1.	<i>Software utilizado</i>	63
5.2.	<i>Nuevos elementos para la implementación física del circuito.</i>	63
5.3.	<i>Diseño de la placa.</i>	64
5.4.	<i>Fabricación de la placa</i>	65
5.5	<i>Elementos necesarios para la fabricación del circuito.</i>	66
6	Resultados experimentales.	68
6.1	<i>Comparación de resultados ante diferentes amplificadores operacionales.</i>	68
6.2	<i>Resultados ante la señal de referencia.</i>	69

6.3	<i>Análisis en la salida de las diferentes etapas.</i>	72
6.3.1	Bloque del Asynchronous Sigma-Delta modulator	72
6.3.2	Salida del Zero-crossing detector	73
6.3.3	Salida del filtro	75
6.4	<i>Deterioro de la señal a lo largo del circuito.</i>	75
6.5	<i>Comparación de los resultados experimentales con simulación.</i>	77
6.6	<i>Resultados ante variaciones en la frecuencia y en la amplitud.</i>	79
6.7	<i>Conclusiones.</i>	81
7	Conclusiones y líneas futuras de investigación.	82
7.1	<i>Conclusiones.</i>	82
7.2	<i>Líneas futuras de investigación.</i>	83
	Referencias	84
	Apéndice 1. Demostración del efecto de imperfecciones a la entrada del ASDM	85
	Apéndice 2. Estructura en Microcap del ASDM de la versión diferencial	86

ÍNDICE DE TABLAS

Tabla 1. Parámetros de los Op-Amps del comparador.....	53
Tabla 2. Resultados ante diferentes Op-Amps en el comparador	53
Tabla 3. Parámetros más importantes del integrador.....	54
Tabla 4. Resultados obtenidos con Microcap ante diferentes amplificadores operacionales.....	54
Tabla 5. Resultados para implementaciones del ZCD.....	54
Tabla 6. Elementos necesarios para la fabricación de la placa.	66
Tabla 7. Diferencias de los tonos entre con la frecuencia de salida deseada para diferentes Op-Amps.	68

ÍNDICE DE FIGURAS

Figura 2.1. Diagrama de bloques del ASDM y ZCD.	24
Figura 2.2. Esquema de las variables del ASDM.	25
Figura 2.1. Esquema de los pulsos del ZCD.	26
Figura 2.4. Salidas del ASDM.	27
Figura 2.5. ZCD con doble flanco (izquierda), ZCD con flanco de subida (derecha).	28
Figura 2.6. Entradas y salidas del ZCD.	28
Figura 2.7. Esquema de la distribución del espectro a la salida.	29
Figura 2.8. Definición del SFDR	30
Figura 3.1. Salida del filtro para implementaciones del ZCD con un solo flanco y con dos flancos.	33
Figura 3.2. PSD a la salida del filtro utilizando un único flanco (izquierda) y ambos flancos (derecha).	34
Figura 3.3. Salida del circuito para diferentes valores del retraso.	35
Figura 3.4. Esquemas de los pulsos en el ZCD.	35
Figura 3.5. PSD obtenido mediante Simulink para varios valores del retraso.	36
Figura 3.6. PSD obtenido mediante Simulink para variaciones en los parámetros del circuito.	37
Figura 3.7 Frecuencia de la portadora y frecuencia mínima en relación con la amplitud.	38
Figura 3.8. PSD obtenida mediante Simulink para diferentes amplitudes de entrada.	39
Figura 3.9. PSD obtenida mediante Simulink para diferentes frecuencias.	40
Figura 4.1. Diagrama de bloques del circuito final.	42
Figura 4.2 Disposición del amplificador a la entrada.	42
Figura 4.3. Montaje del ASDM.	43
Figura 4.4. Montaje del integrador.	43
Figura 4.5. Montaje del comparador con histéresis.	44

Figura 4.6. Esquema de los pulsos en las puertas lógicas.	45
Figura 4.7. Montaje del adaptador de niveles.(izquierda) y montaje del bloque de puertas lógicas del ZCD (derecha).	46
Figura 4.8. Montaje del LM555 actuando como monoestable.	46
Figura 4.9. Implementación del filtro paso bajo con estructura Sallen-Key de cuarto orden.	47
Figura 4.10. Diagrama de bode del filtro.	48
Figura 4.11. Esquema de pulsos con el Slew Rate	48
Figura 4.12. Comparación del PSD obtenido mediante Microcap para las versiones Single-Ended y diferencial.	52
Figura 4.13. PSD obtenida mediante Microcap para la señal de referencia con los valores ideales de los componentes.	55
Figura 4.14. Comparación de la PSD obtenida mediante Microcap para una reducción del valor del Slew-Rate simétrica.	57
Figura 4.15. Comparación de la PSD obtenida mediante Microcap para una reducción del valor del Slew-Rate asimétrica.	57
Figura 4.16. PSD obtenida mediante Microcap para variaciones de la tensión de offset en el integrador.	58
Figura 4.17. Comparación del PSD ante variaciones en la salida del comparador.	59
Figura 4.18. PSD obtenida mediante Microcap para diferentes amplitudes de la señal de entrada.	60
Figura 4.19. PSD obtenida mediante Microcap para diferentes frecuencias de la señal de entrada.	60
Figura 4.20. Comparación de la PSD obtenida mediante Microcap y mediante Simulink.	61
Figura 5.1. Imagen de la cara inferior del circuito impreso.	64
Figura 2.2. Imagen de la cara superior del circuito impreso.	65
Figura 5.3. Fotografía de la placa final.	66
Figura 6.1. PSD obtenida mediante Simulink para una entrada con offset.	70
Figura 6.2. PSD obtenida experimentalmente sin corregir el offset.	70
Figura 6.3. PSD obtenida experimentalmente corrigiendo el offset.	72
Figura 6.4. Salidas experimentales del integrados y del comparador con histéresis.	73
Figura 6.5. Salidas del ASDM y del ZCD obtenidas de forma experimental.	74
Figura 3.6. Salida del ZCD.	74

Figura 6.7. Salida del circuito obtenida experimentalmente.	75
Figura 6.8. Esquema del estudio realizado.	75
Figura 6.9. Esquema de los análisis del LM555	75
Figura 6.10. PSD obtenida mediante la muestra de la salida del ASDM.	76
Figura 6.11. PSD obtenida mediante la muestra a la salida del ZCD con la envolvente de amplitud sin corregir (izquierda) y corregida (derecha).	77
Figura 6.12. Comparación de la PSD obtenida con Microcap y experimentalmente para la señal de referencia.	78
Figura 6.13. Comparación de la PSD obtenida experimentalmente y con Microcap para una señal de $A=5$ y $f_m=200$.	79
Figura 6.14. Evolución del SFDR con la amplitud para varias frecuencias.	80
Figura 6.15. Evolución del SNDR con la amplitud para varias frecuencias	80

Notación

A	Amplitud
f_{in}	Frecuencia de entrada
$ASDM$	Asynchronous SIGMA-DELTA modulator
ZCD	Zero-Crossing detector
f_m	Frecuencia máxima.
f_c	Frecuencia de la portadora
m_f	Índice de modulación
τ	Retraso
V_s	Tensión de salida del comparador
W_0	Ganancia del integrador
Δ	Diferencia entre el máximo y el mínimo en la salida del integrador
PSD	Densidad espectral de potencia
SFDR	Spurious Free Dynamic Range
SNDR	Signal to Noise plus Distortion Ratio

1 INTRODUCCIÓN

Basado en el artículo de F. Colodro, A. Torralba, J.L. Mora, y J.M. Martínez-Heredia, «*An Analog Squaring Technique based on Asynchronous Sigma-Delta Modulation*», *IEEE Transactions on Circuits and Systems II: Express Briefs* (Volume: 56, Issue: 8, Aug. 2009) [1] el presente trabajo de fin de grado se marca como objetivo el estudio, análisis y realización de un circuito cuadrático basado en un modulador delta sigma.

Los circuitos cuadráticos son ampliamente utilizados en aplicaciones tales como procesamiento de señal, de imágenes o de redes neuronales. Típicamente estos circuitos son realizados mediante la utilización de la tecnología MOS, que tienen como inconveniente que debido al proceso de escalado de los transistores presentan prestaciones limitadas.

En primer lugar será analizado el fundamento teórico, explicando cómo funciona y que factores le afectan. Posteriormente se realizará el diseño en base a los factores y se estudiará cómo afectan los mismos a los resultados obtenidos utilizando Matlab&Simulink como herramienta. Los resultados serán evaluados mediante análisis espectral de potencia.

Una vez conocidos los fundamentos y los efectos de las variaciones de los parámetros del circuito se procederá al diseño electrónico del circuito analizando diferentes posibles implementaciones. Este será analizado utilizando Microcap en primer lugar los parámetros seleccionados, y posteriormente se analizarán los resultados obtenidos utilizando en el circuito los elementos que se encontraban disponibles comercialmente. Además se analizará el posible efecto que pudieran causar en el espectro las imperfecciones en los propios elementos y, como consecuencia se realizará un estudio con el fin de conseguir una mejora de los resultados.

Una vez conocido como será el circuito, será diseñada la placa de circuito impreso. Para ello se tendrán en cuenta imperfecciones reales a la hora de introducir la señal y de suministrar la alimentación a los circuitos integrados. Además se explicará someramente el proceso de fabricación llevado a cabo.

Finalmente, en el último apartado se analizarán los resultados obtenidos de forma experimental. Para ello se tomarán datos correspondientes a diferentes amplitudes de entrada, y varias frecuencias. Se analizarán además los resultados obtenidos para diferentes amplificadores operacionales con el fin de obtener mejores resultados.

2 ANÁLISIS TEÓRICO.

2.1 Descripción funcional del circuito.

El circuito squarer está basado en un modulador Sigma-Delta. Los moduladores Sigma-Delta está tradicionalmente compuestos por un integrador, y un cuantizador. El circuito del squarer está compuesto básicamente por dos bloques principales [1]:

- Asynchronous Sigma-Delta Modulator (ASDM): este bloque está compuesto básicamente por un integrador y un comparador con histéresis. Además tendrá un bucle de realimentación negativa. Se trata del bloque basado en el modulador Sigma-Delta.
- Zero-Crossing detector (ZCD): Este bloque va colocado tras el ASDM, por lo tanto recibirá su salida como entrada. Dará un pulso en el caso de que haya un flanco de subida o de bajada.

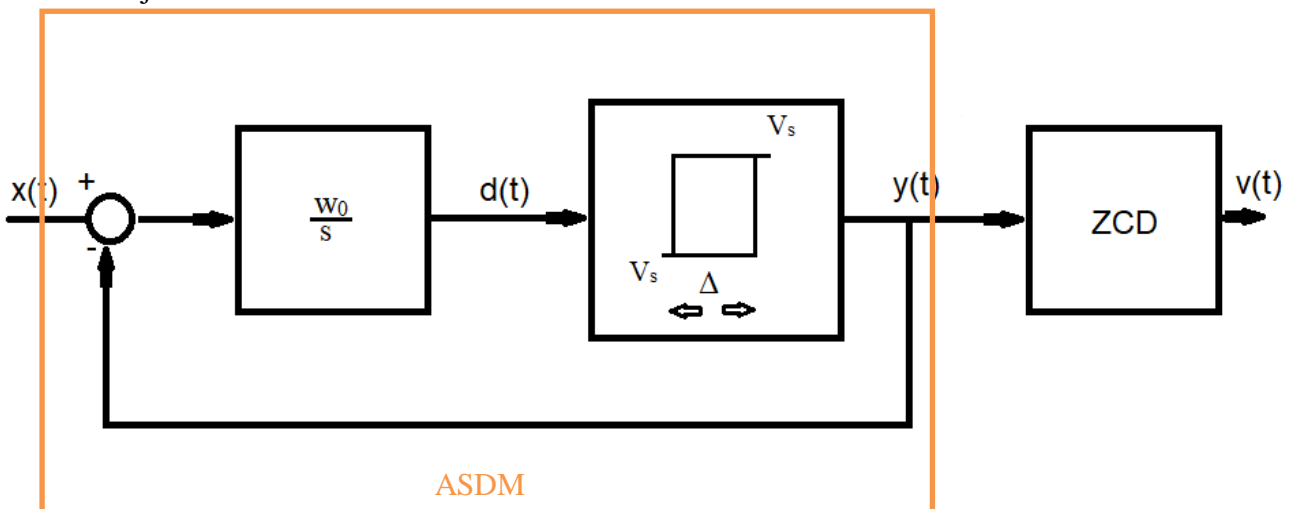


Figura 2.1. Diagrama de bloques del ASDM y ZCD.

El bloque del ASDM será el encargado de modular la señal. En él se generarán pulsos que dependerán de la amplitud de la señal y de los parámetros del bloque. Estos parámetros serán la ganancia del integrador w_0 , el valor de la salida del comparador V_s y la diferencia entre el máximo y el mínimo valor que puede alcanzar el integrador Δ . Estos estarán caracterizados por un tiempo en el que se da un valor máximo a la salida del ASDM T_p y uno en que se da un valor mínimo T_n definidos según las ecuaciones 1 y 2. En la figura 2.2 se puede observar un esquema de la definición de las variables del ASDM.

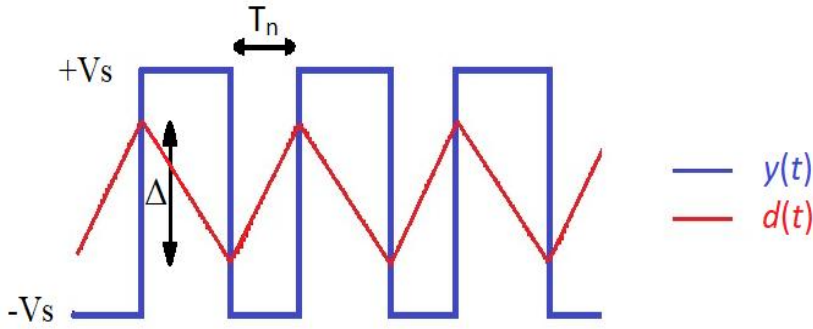


Figura 2.2. Esquema de las variables del ASDM.

$$T_p = \frac{\Delta}{w_0 \cdot (X - V_s)} \quad (1)$$

$$T_n = \frac{\Delta}{w_0 \cdot (X + V_s)} \quad (2)$$

En virtud a estos valores puede definirse una frecuencia instantánea calculada mediante el uso de las ecuaciones 1 y 2. Esta queda determinada por las ecuaciones 3 y 4.

$$f_y = \frac{1}{T_p + T_n} = \frac{1}{\frac{\Delta}{w_0 \cdot (X + V_s)} + \frac{\Delta}{w_0 \cdot (X - V_s)}} = \frac{w_0}{\frac{2 \cdot \Delta \cdot V_s}{(V_s^2 - X^2)}} \rightarrow f_y = f_m \cdot \left(1 - \left(\frac{X}{V_s}\right)^2\right) \quad (3)$$

$$\text{Siendo } f_m = \frac{V_s \cdot w_0}{2 \cdot \Delta} \quad (4)$$

Si se observa la ecuación 3, se puede deducir que el ASDM puede ser considerado como un modulador de frecuencia donde la frecuencia de la portadora es modulada por $x^2(t)$. Por lo tanto, si se demodula en frecuencia la salida del ASDM se obtendrá como resultado la señal de entrada al cuadrado. Además se puede demostrar que el valor medio de y , es igual a X . En general, cuando $x(t)$ es una señal que varía lentamente, se puede reconstruir $x(t)$ mediante $y(t)$. De hecho, x es igual en promedio a y (Ecuación 5).

$$\bar{y} = V_s \cdot \frac{T_p - T_n}{T_p + T_n} = X \quad (5)$$

Posteriormente, el ZCD será el encargado realizar la demodulación en frecuencia de la señal. Para ello el ZCD generará un pulso rectangular de anchura constante en cada flanco de la señal a su entrada como se ilustra en la figura 2.3. No obstante también podrá ser realizado utilizando un único flanco.

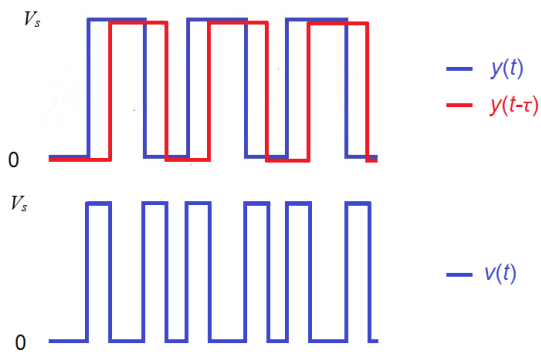


Figura 2.3. Esquema de los pulsos del ZCD.

2.1.1 Funcionamiento del ASDM

El bloque del ASDM está formado por un integrador, un comparador con histéresis y bucle con realimentación negativa. A la señal de entrada $x(t)$ se le restará el valor constante de salida del comparador, es decir $+V_s$ ó $-V_s$ respectivamente. El signo de este valor dependerá del valor de salida de integrador. Así, si $d(t)$ va aumentando y alcanza el valor $\Delta/2$, la salida del comparador saltará automáticamente a $+V_s$. En el caso de que vaya disminuyendo y alcance el valor $-\Delta/2$, $y(t)$ saltará al valor negativo. Consecuentemente, hay un ciclo en el que el ancho del pulso es modulado por la señal de entrada $x(t)$ [1].

Si la señal de entrada varía muy lentamente, se puede suponer que en un periodo de la salida apenas varía y, entonces, se puede considerar constante (análisis cuasiestático). Por tanto, asumiendo que la entrada toma un valor constante tal que $x(t)=X$ y que $X < V_s$, la señal a la salida del integrador será una rampa con pendiente creciente o decreciente dependiendo del modo de operación en que se encuentre, es decir, del signo de la salida del comparador con histéresis. En el caso de que $y(t)$ sea V_s , la entrada al integrador será $X - V_s$, siendo la salida una rampa de pendiente $\omega_0 \cdot (X - V_s) < 0$. Si $y(t) = -V_s$, entonces la salida será una rampa con pendiente $\omega_0 \cdot (X + V_s) > 0$ (figura 2.2).

Consecuentemente, la señal de salida $y(t)$ para $x(t)=X$ serán pulsos de ancho T_p y con separación T_n de tamaño dado por las ecuaciones 1 y 2. Estos pulsos se repetirán de forma periódica con frecuencia $f_y(X)$ de acuerdo con la ecuación 3. En la figura 2.4 se obtiene un ejemplo de las salidas del integrador y del comparador obtenido mediante Simulink.

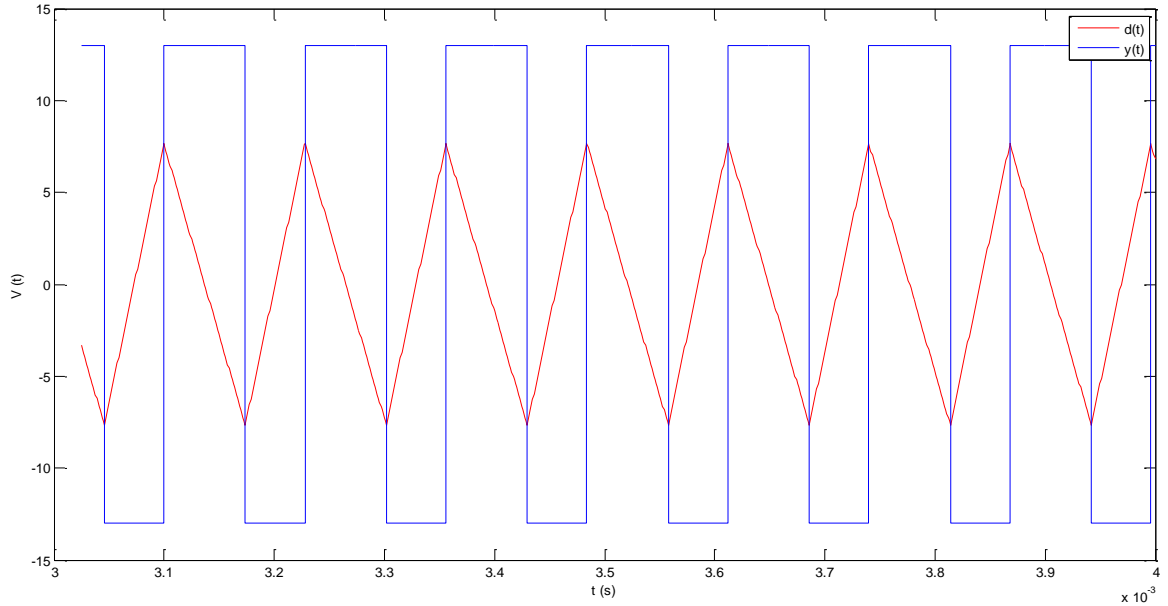


Figura 2.4. Salidas del ASDM.

2.1.2 Funcionamiento y modelo del Zero-Crossing detector.

Como se explicó en el apartado anterior, el ASDM puede ser considerado como un modulador en frecuencia con la portadora modulada por $x^2(t)$. La función del Zero-Crossing detector será realizar la demodulación. Si además se coloca a la salida de éste un filtro paso bajo, este se comportará como un convertor de frecuencia a voltaje [1].

La función del ZCD será proporcionar un pulso cuando corresponda para hacer la demodulación. Para ello se puede implementar mediante la utilización de un único flanco o de ambos. En las figura 2.6 se muestra un ejemplo de los pulsos obtenidos ante ambas implementaciones obtenidos mediante Simulink. Ambos serán realizados mediante puertas lógicas y un delay. El tipo de implementación del ZCD tendrá consecuencias tanto en la calidad de la señal obtenida como en la amplitud obtenida. De hecho, puede obtenerse matemáticamente el valor medio a la salida para ambas implementaciones, resultando el doble en el caso del uso del método con ambos flancos (ecuaciones 6 y 7).

$$\bar{v}_{doble_flanco} = V_s \cdot \frac{2 \cdot \tau}{T_p + T_n} = 2 \cdot \tau \cdot f_m \cdot V_s \cdot \left(1 - \left(\frac{X}{V_s}\right)^2\right) \quad (6)$$

$$\bar{v}_{flanco_subida} = V_s \cdot \frac{\tau}{T_p + T_n} = \tau \cdot f_m \cdot V_s \cdot \left(1 - \left(\frac{X}{V_s}\right)^2\right) \quad (7)$$

Para realizar la implementación con doble flanco bastará con usar un retraso y una puerta XOR. La figura 2.3.A. muestra el esquema. Para la realización con únicamente el flanco de subida se necesitará un delay, un inversor y una puerta AND tal como se muestra en la figura 2.3.B.

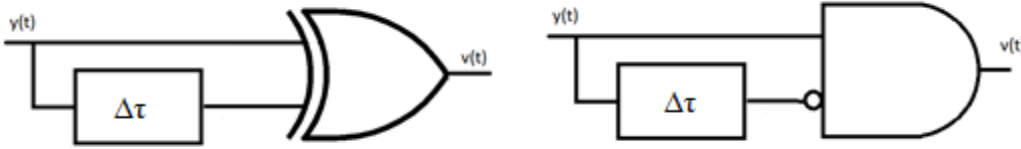


Figura 2.5. ZCD con doble flanco (izquierda). ZCD con flanco de subida (derecha).

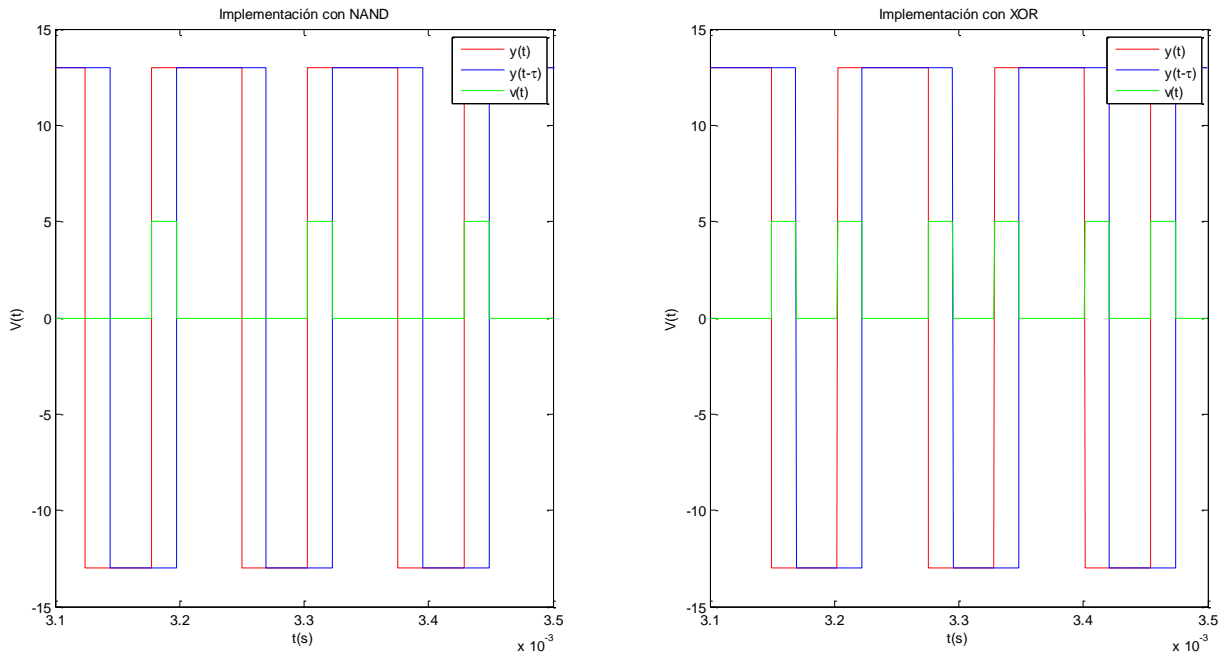


Figura 2.6. Entradas y salidas del ZCD.

2.3. Espectro a la salida del ASDM.

Si se supone que la señal de entrada es una onda sinusoidal tal que $x(t)=A \cdot \sin(2 \cdot \pi \cdot f_{in} \cdot t)$ se puede asumir que la frecuencia instantánea viene dada por $f(t)=f_c - m_f(2 \cdot f_{in}) \sin(4 \cdot \pi \cdot f_{in} \cdot t)$. Donde f_c es la frecuencia de una portadora modulada por una sinusoidal con frecuencia $2 \cdot f_{in}$ con un índice de modulación m_f cuyos valores vienen definidos por las ecuaciones 8 y 9 [1].

$$f_c = f_m \cdot \left(1 - \frac{A^2}{2 \cdot V_s^2}\right) \tag{8}$$

$$m_c = \frac{f_m \cdot A^2}{4 \cdot f_{in} \cdot V_s^2} \quad (9)$$

Idealmente, solo es deseado el armónico situado en el doble de la frecuencia de entrada, es decir $2 \cdot f_{in}$. Sin embargo, debido a las imperfecciones en los componentes aparecerán tonos no deseados entorno a $2 \cdot f_{in}$, tanto a bajas como a altas frecuencias. Por debajo de la frecuencia deseada deberán aparecer tonos en las frecuencias $2 \cdot f_{in}/n$ siendo n un número entero. El más importante será el de la frecuencia de entrada. Los tonos de que aparecen en el entorno de la frecuencia deseada con valores más altos de frecuencia se distribuirán en múltiplos de f_m . Además, debido a la propia modulación de frecuencia deberán aparecer tonos a frecuencias considerablemente más altas, las cuales deberán de ser filtradas mediante un filtro paso bajo con una frecuencia de corte adecuada. La figura 2.7 muestra un esquema del espectro que se obtendría a la salida del circuito.

Teniendo en cuenta las ecuaciones 8 y 9 los tonos debidos a la modulación aparecerán distribuidos en las frecuencias $f_c \pm 2 \cdot k \cdot f_m$, donde k es un número entero. La amplitud de los tonos dependerá también del índice k y vendrá dado por la función de Bessel de primera especie de la forma $J_k(m_f)$.

Así pues, en la zona comprendida entre los máximos y mínimos de la frecuencia instantánea los tonos aparecerán con las amplitudes más altas, decreciendo fuertemente una vez superados estos límites. En virtud a la expresión de la expresión de la frecuencia instánea estos límites vienen dados por f_m como valor máximo y $f_m \cdot (1 - \frac{A^2}{V_s^2})$ como valor mínimo.

Es importante destacar que el ancho de la zona con tonos debidos a la modulación depende exclusivamente de los valores de diseño y de la amplitud de entrada de la onda. No será así con la amplitud de los tonos de modulación, que dependerá del índice de modulación, es decir, de la relación entre la amplitud y la frecuencia de entrada y de los valores de diseño.

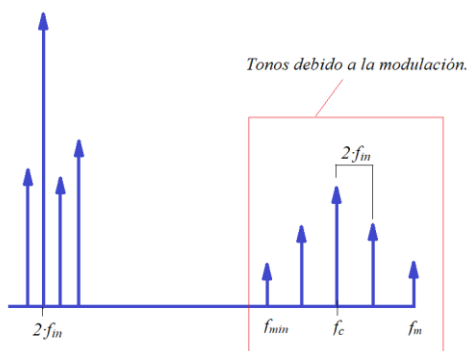


Figura 2.7. Esquema de la distribución del espectro a la salida.

2.3.1 Parámetros para la evaluación de las prestaciones del circuito.

Las prestaciones del circuito serán evaluadas mediante estudios espectrales en términos de potencia. Para ello se utilizarán básicamente los siguientes parámetros:

- Power Spectrum Density (PSD) [4]: se trata de la densidad espectral de potencia. Es una medida de la distribución de la potencia de una señal en el espectro obtenido mediante análisis en series de Fourier.
- Spurious Free Dynamic Range (SFDR) [3]: es un ratio que mide la relación entre potencia de la frecuencia fundamental y la mayor potencia de los tonos espurios tal como se define en la figura 2.8.
- Signal to Noise plus Distortion Ratio (SNDR) [2] [3]: es un ratio que mide la diferencia entre la potencia de la frecuencia fundamental y el resto de componentes espectrales sin incluir la componente DC. Se define mediante la ecuación 7:

$$SFDR = \frac{P_{2 \cdot f_{in}}}{P_{total} - P_{2 \cdot f_{in}} - P_{DC}} \quad (10)$$

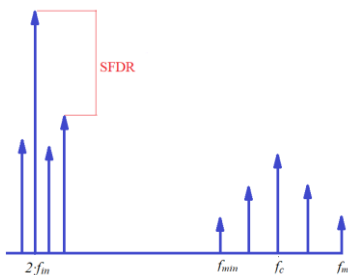


Figura 2.8. Definición del SFDR

2.4 Conclusiones.

El ASDM puede ser diseñado utilizando un integrador y un comparador con histéresis. Los parámetros W_0 , Δ y V_s determinan la frecuencia máxima. Sin embargo, la frecuencia de la portadora y la frecuencia instantánea mínima dependerán también de la amplitud de la señal de la entrada.

El ZCD puede ser diseñado mediante la utilización de un sólo flanco o de ambos. Si se coloca el ASDM seguido del ZCD y tras éste se coloca un filtro paso bajo puede obtenerse un circuito cuadrático. En él, el bloque del ASDM se comportará como un modulador en frecuencia, con frecuencia de la portadora modulada por $x^2(t)$. Mientras que ZCD seguido del filtro se comportará

como un conversor de frecuencia-voltaje. En conclusión, el circuito realiza una doble conversión: de tensión a frecuencia (donde ésta depende del cuadrado de la entrada) y de frecuencia a tensión.

3 SIMULACIÓN CON MATLAB & SIMULINK® DEL CIRCUITO

En la sección 2 se discutió el funcionamiento y posibles implementaciones básicas de los bloques que conformarán el circuito. El presente apartado tiene como objetivo cuantificar los resultados mediante simulación con Matlab & Simulink para determinar los parámetros de diseño finales que serán adoptados.

Una vez adoptados los parámetros de diseño, se analizarán los resultados ante una entrada sinusoidal. Se tomará de referencia una entrada de 10 V de amplitud con 200 Hz de frecuencia. Además, para determinar el comportamiento del circuito en un rango más amplio, también se utilizarán otras frecuencias y amplitudes.

3.1 Análisis de las implementaciones con un solo flanco y doble flanco.

En el apartado 2.1.2 se discutió dos posibles implementaciones del bloque del Zero-Crossing detector. En este apartado se estudiará el comportamiento de los montajes mediante el uso de un solo flanco o doble flanco.

Para ello, la simulación fue llevada cabo utilizando un valor $V_s=13$ debido a que es un valor característico de saturación de los amplificadores operacionales que se usarán en la realización del comparador con histéresis. Así, para seleccionar una frecuencia f_m de 8 kHz se escogió un valor de $A=15$ V y de $W_0=18818$. El retraso fue escogido con un $\tau=10^{-5}$ s por encontrarse dentro de los límites pertinentes. En la sección 3.2.1 se estudiarán los criterios para la elección de τ .

Los resultados validaron que la amplitud de salida de la onda es el doble en el caso de utilizar doble flanco. Además, en el caso de utilizar sólo uno se aprecian variaciones considerables entre los máximos consecutivos, obteniéndose los mismos valores cada dos periodos. En la figura 3.1 se observa cómo la amplitud de salida es la mitad en el caso de realizar el circuito con un solo flanco así como su valor medio. Además, en este mismo caso se puede observar a priori una peor calidad de la señal, ya que aparecen variaciones en los valores máximos cada dos periodos.

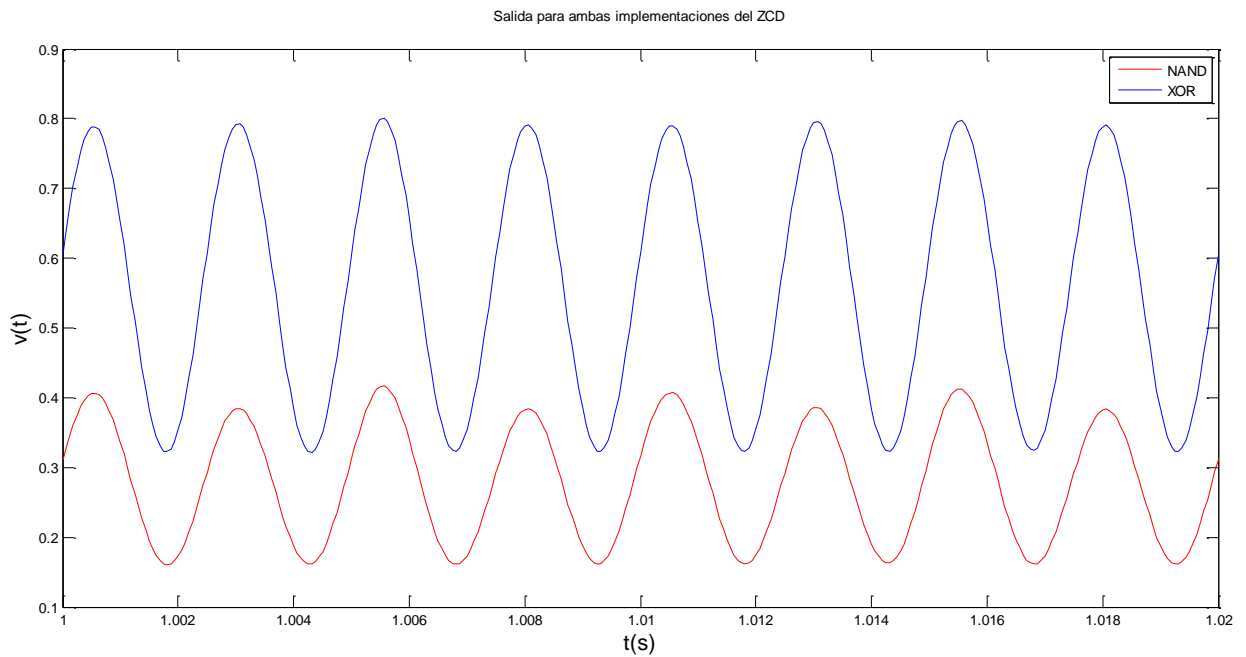


Figura 3.1. Salida del filtro para implementaciones del ZCD con un solo flanco y con dos flancos.

La figura 3.2 muestra la PSD obtenida para ambas implementaciones. Se aprecia un mejor resultado con el montaje de doble flanco. En cuanto a los tonos de baja frecuencia, el montaje XOR muestra un resultado considerablemente mejor, con una diferencia entre el tono de 400 Hz y el de 200 Hz de 82 dB frente a 18 dB en el caso de la puerta NAND. Además, es importante destacar que el tipo de implementación no afecta a el resto de tonos.

En muy altas frecuencias se aprecian los tonos debidos a la modulación. Ambos montajes presentan resultados similares en esta zona. Sin embargo, al ser considerablemente mayor el tono de 400 Hz hace que estos tonos sean más fácil de filtrar.

Los resultados obtenidos en la diferencia entre el tono deseado y los espurios, y la amplitud de salida justifican la realización del ZCD con puertas XOR. De aquí en adelante, todos los desarrollos serán con este tipo de montaje al no ser que se indique lo contrario.

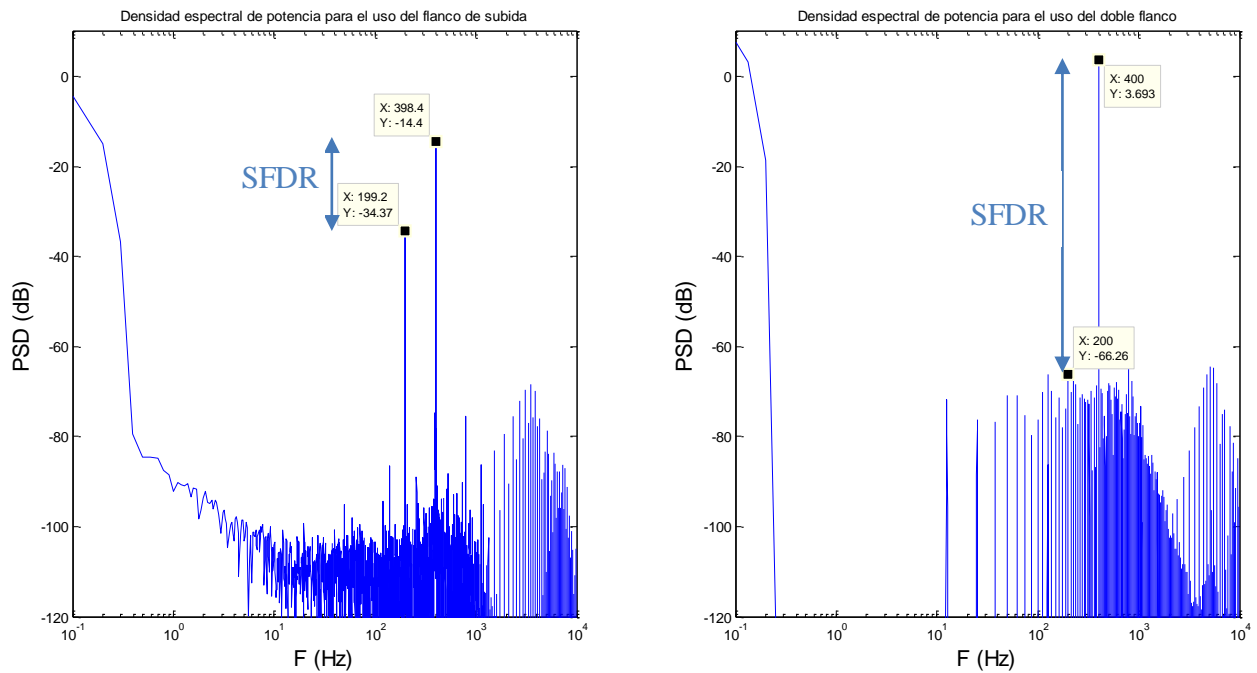


Figura 3.2. PSD a la salida del filtro utilizando un único flanco (izquierda) y ambos flancos (derecha).

3.2 Efecto ante variaciones de los parámetros de diseño

3.2.1 Variación del retraso

En el apartado 2.1 se demostró que el valor medio a la salida de la puerta XOR depende, entre otras cosas, del valor del retraso. Como consecuencia, al ser la entrada una señal sinusoidal, esto irá directamente relacionado tanto con el valor medio de la señal de salida como con su amplitud. Así, estos dos parámetros aumentarán con el valor del retraso tal como se aprecia en la figura 3.3.

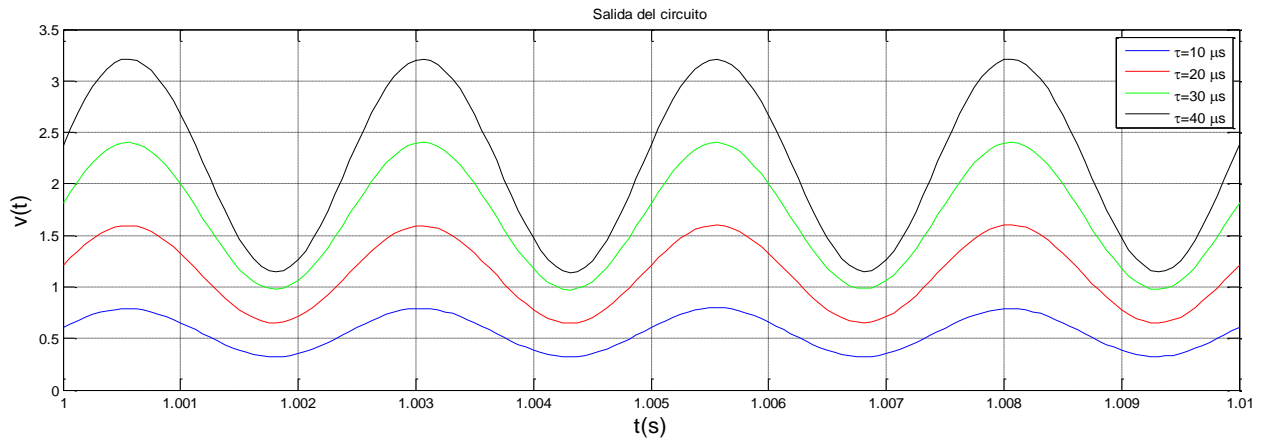


Figura 3.3. Salida del circuito para diferentes valores del retraso.

A priori podría resultar interesante un incremento en el valor del retraso. Sin embargo, es necesario estudiar el efecto que esto crea en la calidad de la señal y si este valor se encuentra limitado. Si se observan los pulsos del ZCD, se puede deducir intuitivamente que estará limitado por aquel valor que hace que no se solape las señales retrasada y sin retrasar. Esta limitación vendrá dada por el valor mínimo posible de T_p y T_n . De acuerdo con las ecuaciones 1 y 2, se deduce que el mínimo valor se produce cuando X alcanza su valor máximo y mínimo, es decir, cuando T_n y T_p alcanzan el mínimo de sus valores. Esta condición está expresada mediante la ecuación matemática 11.

$$\tau < \min \{T_p, T_n\} \quad (11)$$

En las figura 3.4 se muestra un esquema de los pulsos en el ZCD. Se puede observar cómo cuando supera este valor límite hay puntos que no proporciona la salida adecuada en uno de los flancos, dando un pulso antes del flanco de bajada. Además puede apreciarse como el tamaño de estos pulsos no permanece constante ni se dan donde deberían.

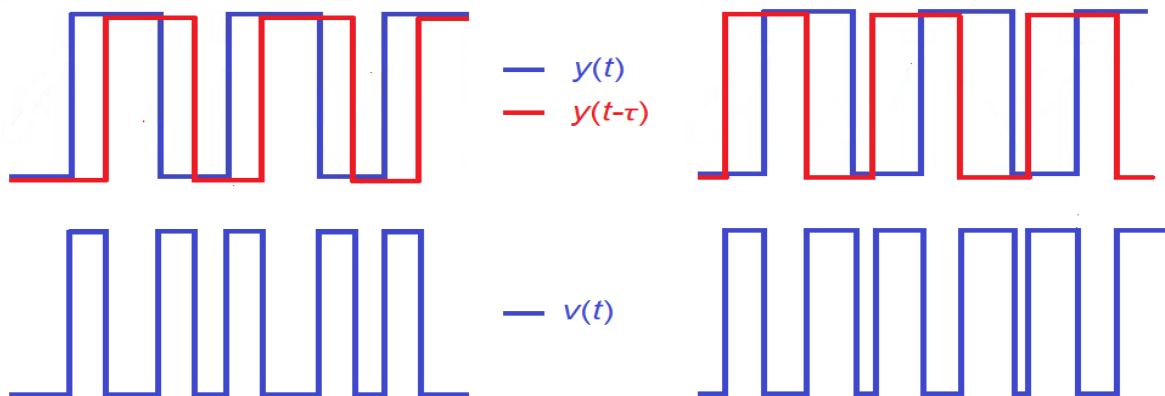


Figura 3.4. Esquemas de los pulsos en el ZCD.

Además de la limitación, resulta fundamental para hacer el diseño del circuito cómo va a afectar un aumento del retraso dentro de los márgenes permitidos a la calidad de la señal deseada. La figura 3.5 muestra la PSD obtenida en la simulación con Simulink. En ella se observa cómo la diferencia entre el tono de $2 \cdot f_{in}$ se mantiene aproximadamente constante cuando aumenta el retraso siempre y cuando sea dentro de los márgenes. De acuerdo con las ecuaciones 1 y 2, y utilizando los datos mencionados anteriormente se obtiene un valor límite de $30.5 \mu\text{s}$. La simulación muestra cómo para $\tau=30 \mu\text{s}$ que se encuentra muy cerca del valor límite, y $\tau=40 \mu\text{s}$ los resultados muestran un aumento fuerte de los tonos no deseados, especialmente el de $4 \cdot f_{in}$.

Consecuentemente, en base a los resultados obtenidos se deduce que $\tau=20 \mu\text{s}$ proporciona buenos resultados y una amplitud suficientemente alta, y además se aleja lo suficiente del valor límite para asegurar que los tonos no empeoren.

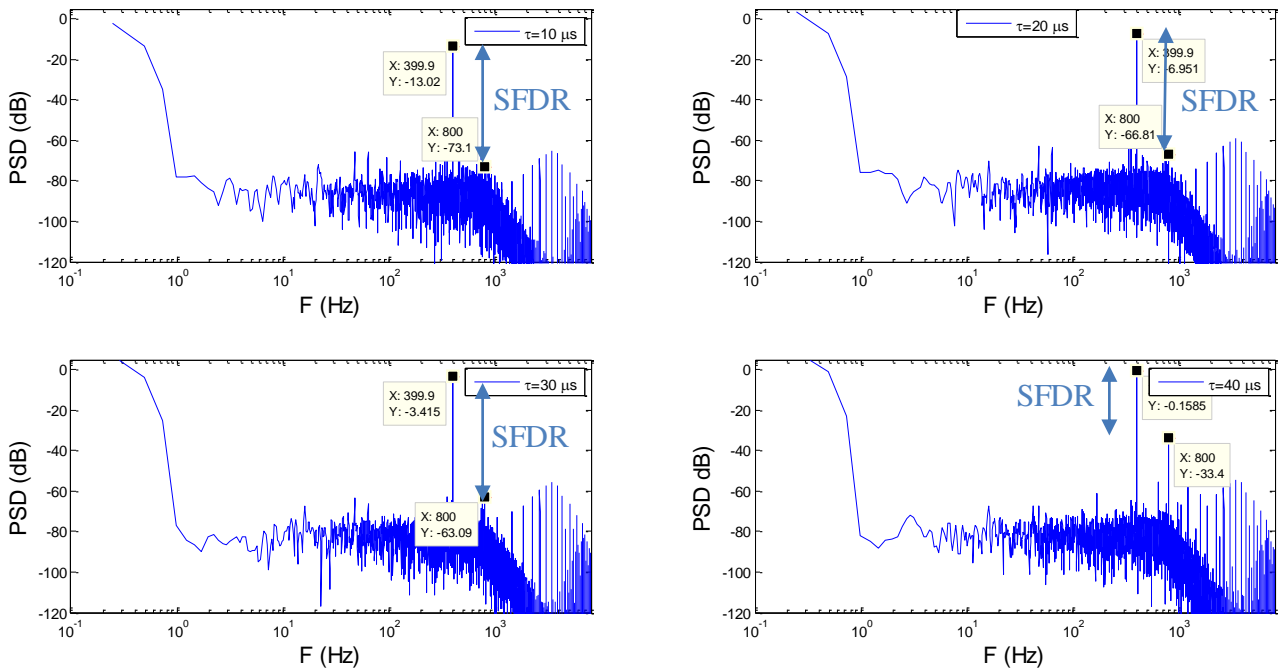


Figura 3.5. PSD obtenida mediante Simulink para varios valores del retraso.

3.2.2 Variaciones de Δ , V_s y W_0

En virtud de las ecuaciones 3 y 4 variaciones en Δ , V_s y W_0 sólo supondrán variaciones en la frecuencia f_y y f_m . De esta forma, una disminución de Δ conllevará un aumento de f_m y como consecuencia de f_y . Por el contrario, un aumento de V_s llevará a un aumento de f_m y a una disminución de $f_y(x)$. En la figura se analizan los resultados de la PSD obtenida ante variaciones de los parámetros. Se puede observar como no se obtienen variaciones apreciables considerables en el

SFDR, aunque aumenta ligeramente con la frecuencia máxima debido a que separan las zonas de los tonos. No obstante, en la zona de los tonos debidos a la modulación se observa cómo estos se desplazan a lo largo del eje de frecuencias.

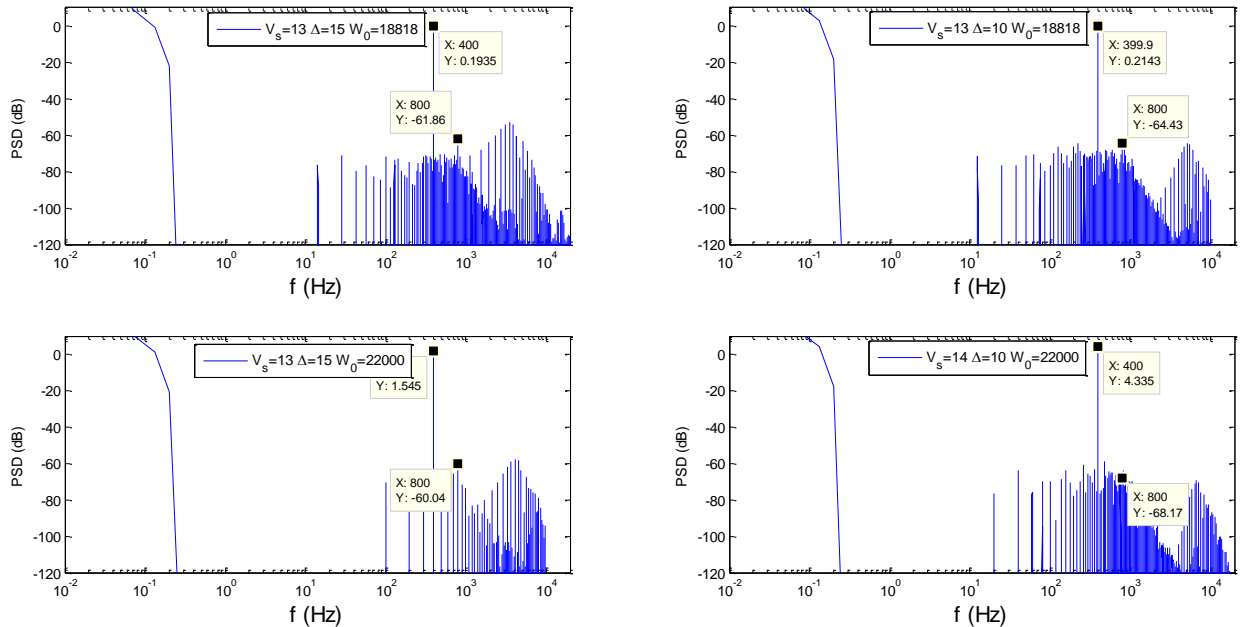


Figura 3.6. PSD obtenida mediante Simulink para variaciones en los parámetros del circuito.

3.3. Efecto ante variaciones de amplitud y de frecuencia.

Una vez conocido los parámetros de diseño del squarer, resulta fundamental conocer su comportamiento ante variaciones en las señales de entrada. Para ello, en este apartado se estudiará el comportamiento ante una señal de entrada sinusoidal ante variaciones en sus parámetros. Estos parámetros a estudiar serán la amplitud y la frecuencia.

3.3.1 Variación de la amplitud

Observando las ecuaciones 1, 2, 3 y 4 se deduce que una variación en la amplitud provocará cambios en la salida. En primer lugar en la ecuación 2 se demostró que la tensión de la señal de salida ante una entrada constante es en promedio igual a la de la entrada. Si sustituimos la entrada por una onda sinusoidal se espera un comportamiento cualitativo parecido. Así, un aumento de la amplitud en la entrada conllevará también un aumento en la de la salida y en su valor medio.

Aparte de la amplitud de salida, resulta fundamental conocer si una variación de la amplitud de entrada conllevará también consecuencias en los tonos espurios. En virtud de la ecuación 8, un aumento de la amplitud implica que la frecuencia de la portadora f_c es desplazada

hacia frecuencias más bajas y, consecuentemente, la frecuencia mínima se desplaza el doble mientras que la máxima permanece constante. Este hecho conlleva que la zona donde se dan los mayores tonos debidos a la modulación aumente y se dificulte su filtrado. Además, un aumento considerable de la amplitud, con valores cercanos a los de la salida del comparador podría hacer que esta frecuencia mínima fuera desplazada muy cerca la frecuencia de la onda de salida deseada, dificultando su posterior filtrado e incluso pudiendo hacer que se solaparan ambas zonas.

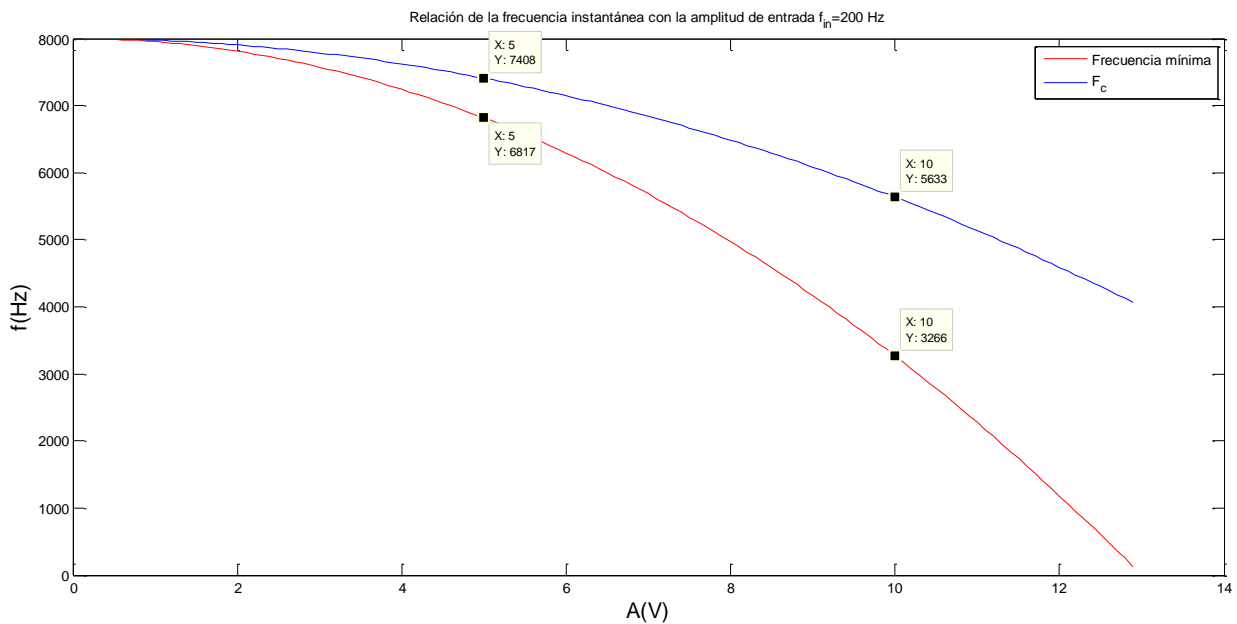


Figura 3.7 Frecuencia de la portadora y frecuencia mínima en relación con la amplitud.

La figura 3.7 muestra la relación de frecuencias f_c y mínima como función de la amplitud que se obtienen para los valores de diseño seleccionados y una entrada de 200 Hz. Atendiendo a esta relación, y teniendo en cuenta los armónicos de baja frecuencia podría determinarse una frecuencia de entrada límite en la que no se solapen las diferentes zonas y que pudiera implicar un aumento en los tonos.

Los resultados experimentales validaron la teoría. La figura 3.8 muestra la PSD al ser sometida ante una entrada sinusoidal de frecuencia $f_{in}=200$ Hz para amplitudes de 5 y 10 V respectivamente con un filtro paso bajo de orden 4 con frecuencia de corte 800 Hz. Los resultados muestran cómo la zona con los tonos de alta frecuencia es considerablemente más estrecha con amplitudes bajas.

Además, se aprecia cómo el tono de 400 Hz es mayor para 10 V, por lo que la simulación valida la explicación teórica previa. Sin embargo, hay un aspecto negativo en la disminución de la amplitud. Los tonos espurios de baja frecuencia se mantienen aproximadamente constantes ante

variaciones en este parámetro. Consecuentemente, si el tono de $2 \cdot f_{in}$ disminuye, la diferencia entre ambos también lo hará. Así, conllevaría una señal con peor calidad.

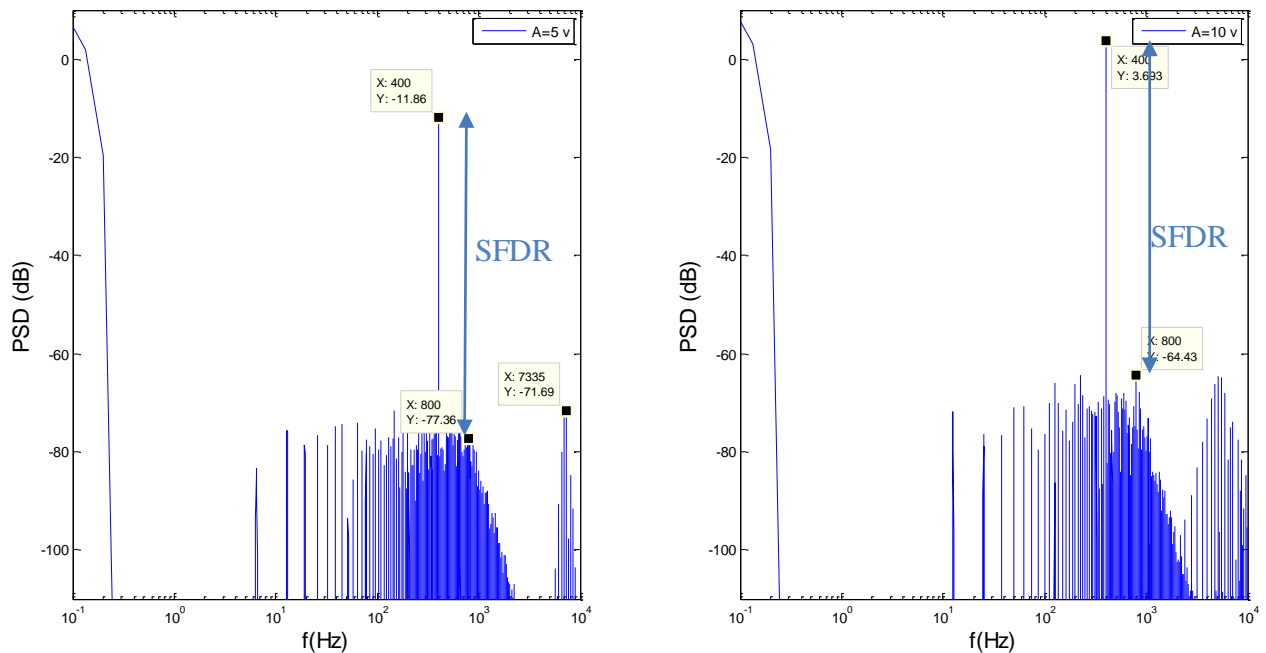


Figura 3.8. PSD obtenida mediante Simulink para diferentes amplitudes de entrada.

3.2.2 Variación de la frecuencia.

Es inmediato pensar que la frecuencia de entrada conllevará cambios en los tonos. Como se explicó en el apartado 2.3, estos se distribuyen en múltiplos de la frecuencia de entrada. Así, una disminución de ésta hará que aparezcan más tonos espurios situados más próximos entre ellos. Este hecho sucederá tanto a bajas como a altas frecuencias.

La figura 3.9 muestra cómo los tonos se distribuyen de forma más cercana en el caso de frecuencias más bajas. A pesar de que en este caso se obtienen tonos con valores ligeramente inferiores, el hecho de que se den en más frecuencias empeora considerablemente la señal en relación al SNDR.

Sin embargo, una disminución de la frecuencia a la entrada hará que la zona de los tonos debidos a la modulación se aleje. Este hecho puede facilitar el filtrado situando la frecuencia de corte con un valor más bajo y disminuyendo el orden del filtro.

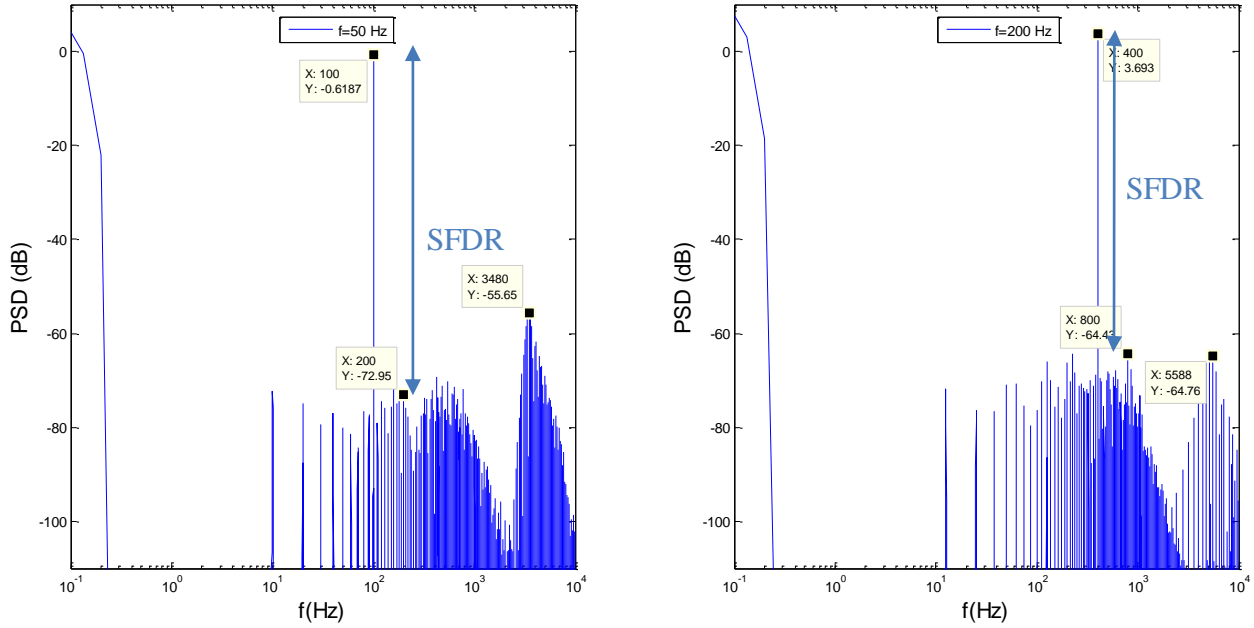


Figura 3.9. PSD obtenida mediante Simulink para diferentes frecuencias.

3.4 Conclusiones.

Se han analizado los diferentes parámetros de diseño en el circuito. Así, se ha determinado que variaciones en la anchura del pulso conlleva consecuencias en la amplitud de salida y se establece un valor límite en este parámetro. Una vez sobrepasado este parámetro, aumentan considerablemente los tonos no deseados. Además, las variaciones en Δ y V_s simplemente juegan un papel en la determinación de la frecuencia.

Los resultados obtenidos mediante Simulink demuestran un buen funcionamiento ideal del circuito. Todos estos análisis permiten determinar los parámetros de diseño de éste. Así, el delay será $\tau=20 \mu s$, y los valores Δ y V_s serán 7.5 y 13 respectivamente. Así, estos valores serán tomados como referencia, pudiendo realizar variaciones en virtud de una búsqueda de mejora de los resultados.

4 SIMULACIÓN DEL CIRCUITO CON MICROCAP

En el apartado 3 se analizaron los resultados y parámetros de diseño directo del circuito deseado mediante Simulink. Sin embargo, estos análisis no tenían en cuenta imperfecciones propias de una implementación física real de un circuito tales como el Slew-Rate y asimetrías en el mismo, las tensiones de Offset, asimetrías en la salida del comparador, ganancia DC y ancho de banda finito en los Op-Amps.

En este apartado se discutirá la implementación física del circuito y se realizarán análisis del mismo. Además, se marca como objetivo realizar un análisis más exacto mediante Microcap, teniendo en cuenta dichas imperfecciones. También se estudiarán las diferentes implementaciones posibles, así como de componentes a utilizar, de forma que se mejoren los resultados obtenidos.

4.1 Elementos del circuito

Con el fin de obtener resultados ante diferentes fuentes, se contempla dar al circuito la posibilidad de tener dos entradas diferentes que nunca serán utilizadas a la vez. Debido a que la base de este estudio es analizar la calidad del ASDM, es necesario contemplar su estudio ante señales de entrada con la suficiente precisión. Sin embargo, no todos las fuentes disponibles son capaces de suministrar una corriente alterna de 10V de amplitud con la suficiente calidad. Como consecuencia, podrá ser excitado por una fuente más precisa con amplitudes menores y amplificar esta señal desde el propio circuito ó suministrarle directamente la señal deseada.

Los elementos simulados de forma ideal en el apartado anterior serán llevados a cabo mediante amplificadores operacionales, condensadores, resistencias, un LM555 y circuitos integrados que realizan puertas lógicas. En comparación con los resultados ideales se espera que se consigan peores resultados como consecuencia de imperfecciones como el Slew-Rate y la tensión de Offset de los amplificadores operacionales.

En la figura 4.1 se muestra un esquema de los bloques de los que dispondrá el circuito. En los subapartados posteriores se discutirá la implementación de cada uno de ellos de forma detallada.

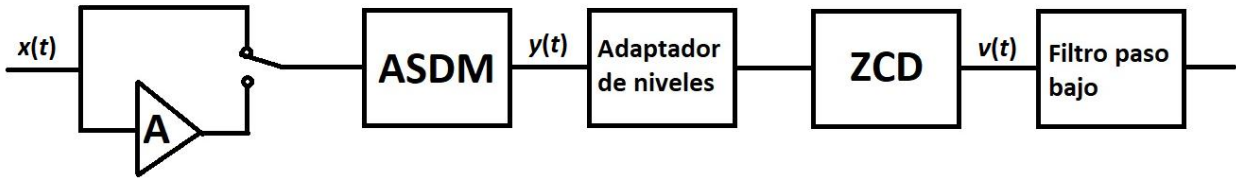


Figura 4.1. Diagrama de bloques del circuito final.

4.1.1 Amplificador a la entrada.

Como se explicó en la introducción, con el fin de medir los resultados ante una mejor calidad de entrada se decidió probar el circuito ante la fuente que genera Picoscope. Para garantizar que la señal es suficientemente buena se excitará con una amplitud de 1 voltio. Por ello será necesario amplificar la señal.

Siendo consecuentes con los apartados previos, será necesario un amplificador de ganancia 10. Para ello se hará un montaje con un amplificador operacional y las resistencias necesarias para realizar un montaje inversor. Para determinar la ganancia del amplificador, será necesario aplicar las ecuaciones de Kirchoff, resultando ésta de valor $\alpha = \frac{R_2}{R_1}$. Así, queda determinado el cociente $\frac{R_2}{R_1}=10$. Por lo que con $R_2=10\text{ k}\Omega$ y $R_1=1\text{ K}\Omega$.

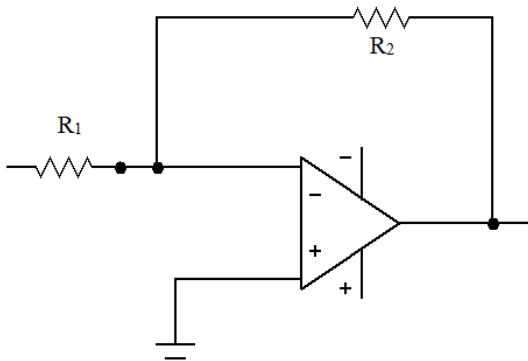


Figura 4.2 Disposición del amplificador a la entrada.

4.1.2 Bloque del ASMD

Como se explicó anteriormente, el ASMD está compuesto básicamente de un integrador y de un comparador con histéresis. La implementación de estos será llevada a cabo mediante un conjunto de resistencias, condensadores y amplificadores operacionales correctamente dispuestos.

La figura 4.3 muestra la implementación del circuito. El primer bloque con el amplificador operacional, la resistencia R_0 y el condensador C constituyen el integrador. El segundo bloque con el amplificador operacional y las resistencias R_1 y R_2 sirve de comparador con histéresis.

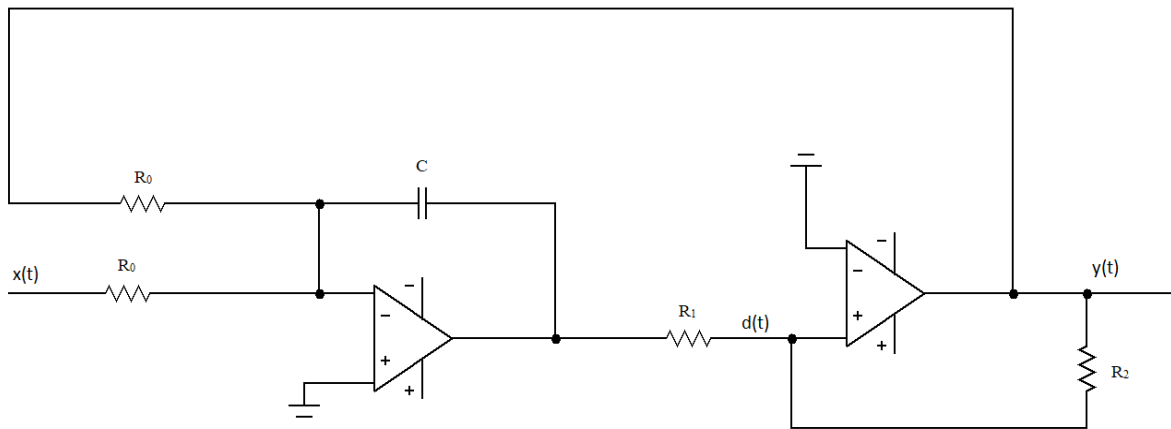


Figura 4.3. Montaje del ASDM.

4.1.2.1 Determinación de la ganancia del integrador.

El integrador estará formado por un amplificador operacional, una resistencia y un condensador. El parámetro fundamental del integrador es la ganancia W_0 , cuyo valor vendrá determinado por la resistencia y el condensador. Si se aplican las leyes de Kirchoff se puede demostrar que la ganancia del integrador viene dada por la ecuación 11.

$$v_s(t) = -\frac{1}{R \cdot C} \int_{-\infty}^t x(t) \cdot dt \rightarrow w_0 = \frac{1}{R \cdot C} \quad (11)$$

Así, queda determinado mediante los valores comerciales $R=2 \text{ k}\Omega$ y $C=22 \text{ nF}$ con el objetivo de conseguir una ganancia final $w_0=22727$.

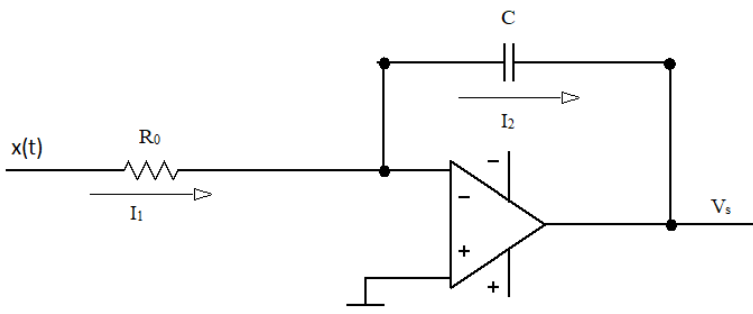


Figura 4.4. Montaje del integrador.

4.1.2.2 Análisis del comparador con histéresis. Determinación de Δ .

Atendiendo a las hojas de característica de los Op-Amps, se determina el valor de salida del comparador con histéresis como $V_s = \pm 13$ V. Aplicando las leyes de Kirchoff al circuito de la figura 4.5 se obtiene:

$$d(t) = (V_H - V_s) \cdot \frac{R_1}{R_1 + R_2} + V_s(t) \quad (12)$$

El valor $V_s(t) = \Delta/2$ se alcanzará cuando $d(t)$ sea igual a 0. Aplicando esta condición:

$$0 = (V_H - V_s) \cdot \frac{R_1}{R_1 + R_2} + V_s \rightarrow \frac{V_s}{2} = \Delta = 2 \cdot \frac{R_1}{R_2} \cdot V_H \quad (13)$$

Así, quedan determinados los valores de las resistencias $R_1 = 3.1$ k Ω y $R_2 = 5.5$ k Ω con un valor $\Delta = 7.32$.

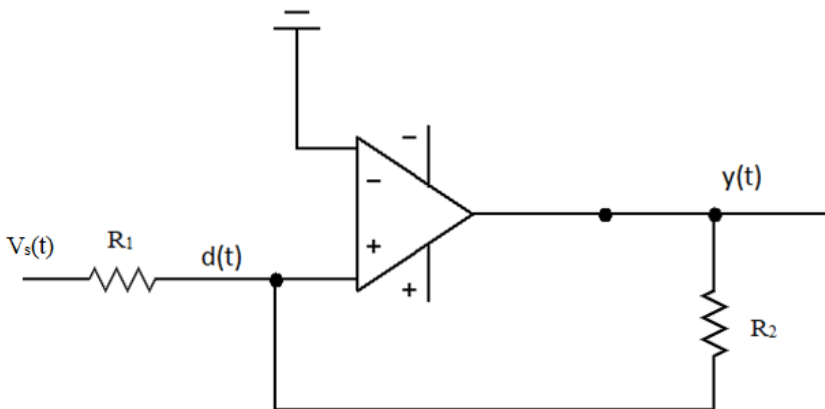


Figura 4.5. Montaje del comparador con histéresis.

4.1.3 Bloque del Zero-Crossing detector.

Tras la salida del ASDM será necesario adaptar la tensión a los valores que usan las puertas lógicas. Estas serán con un funcionamiento de 5 V. Para ello, mediante un amplificador operacional se conseguirá tener el nivel de tensión adecuado en esa zona. Para ello será necesario el uso de resistencia con valores $R_3 = 5$ k Ω , $R_4 = 6$ k Ω y $R_5 = 1$ k Ω con la disposición que se muestra en la figura 4.7 (izquierda).

A la salida de este vendrá el bloque que implementa el ZCD. En primer lugar se consideró realizar el delay mediante una serie de numerosos inversores en serie, de forma que la suma de los

retrasos de cada elemento tomara el valor final deseado. Sin embargo, esta metodología tiene por inconveniente que son necesarios un gran número para conseguirlo. Como consecuencia se hace necesario buscar una alternativa viable.

Se consideró la posibilidad de realizar el delay mediante un circuito RC para retrasar la señal seguido de un comparador para la restauración de los niveles lógicos. Sin embargo, tiene como inconveniente que para garantizar una anchura constante en los pulsos, el condensador debe cargarse y descargarse completamente. Este hecho implica que la anchura de los mismos debe ser muy pequeña.

Para esta alternativa se modifica ligeramente la idea original. Para ello se coloca una serie de inversores con número impar (número considerablemente menor) que vayan a la puerta XOR. En este caso la salida de la puerta lógica tendrá el valor opuesto al que originalmente queríamos, es decir, tendrá su valor más alto de forma habitual y en el momento en el que haya un flanco de subida o de bajada dará su valor mínimo (figura 4.6). Esta señal activará el disparo del LM555. La anchura del pulso resultante del monoestable será configurada siguiendo la hoja de características del LM555.

La figura 4.6 también muestra cómo se le han incorporado condensadores con capacidad $C_L=1nF$ entre algunos inversores con el fin de aumentar ligeramente la zona donde la salida es nula para que el monoestable tenga tiempo suficiente para realizar su función.

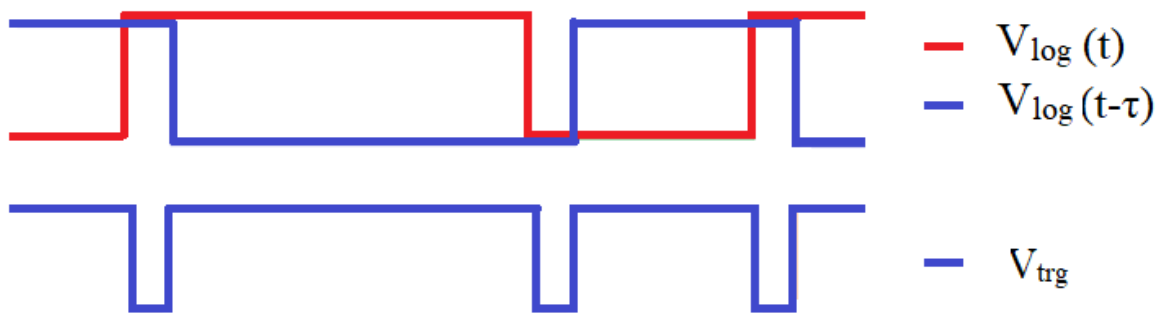


Figura 4.6. Esquema de los pulsos en las puertas lógicas.

De acuerdo con la hoja de características el ancho de los pulsos se selecciona de la forma $\tau=1.1 \cdot R \cdot C$. Por lo tanto, para escoger un valor de $22 \mu s$ se determinan los valores $R=1 K\Omega$ y $C=22nF$. El montaje del LM555 se muestra en la figura 4.8.

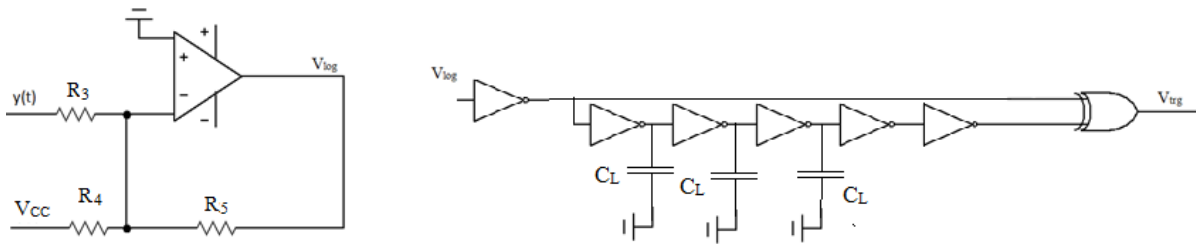


Figura 4.7. Montaje del adaptador de niveles.(izquierda) y montaje del bloque de puertas lógicas del ZCD (derecha).

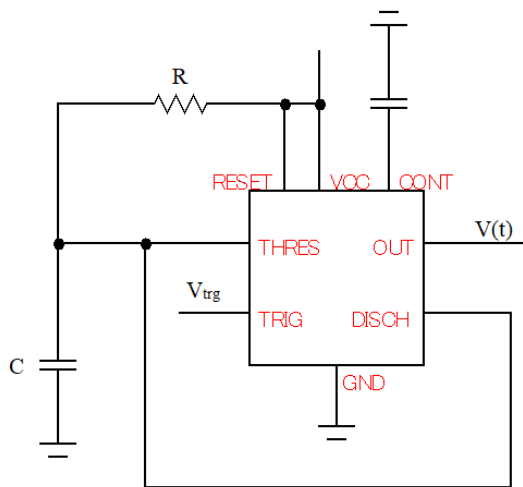


Figura 4.8. Montaje del LM555 actuando como monoestable.

4.1.4 Diseño del filtro.

Para el análisis del circuito se utilizó un filtro paso bajo de cuarto de orden de Butterworth con frecuencia de corte $f_c=800$ Hz [5]. Para su implementación se empleó la estructura Sallen-Key (figura 4.8), en la que se realiza el circuito mediante dos etapas de segundo orden.

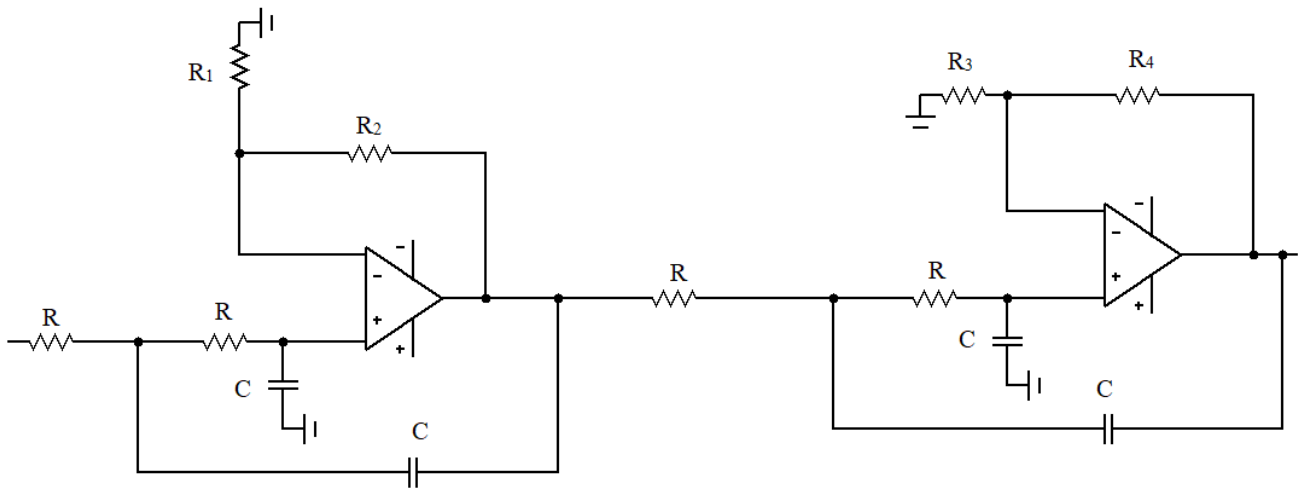


Figura 4.9. Implementación del filtro paso bajo con estructura Sallen-Key de cuarto orden.

La función de transferencia de un filtro de segundo orden viene dada por $F(s) = \frac{A}{s^2 + (3-A) \cdot s + 1}$. Por lo que el único parámetro de diseño es la elección de la ganancia. Esta ganancia viene determinada por el cociente entre las resistencias R_1 y R_2 de la forma $A = 1 + \frac{R_2}{R_1}$. Además, según el orden del filtro el valor $3-A$ viene determinado en tablas, de forma que $A_1=0.152$ y $A_2=1.235$.

Las tablas aparecen adaptadas a la frecuencia normalizada, para adaptar el filtro a la frecuencia de corte habrá que realizar un escalado de frecuencias y de impedancias. Para realizar estos ajustes, simplemente se multiplicarán los valores normalizados de las resistencias y los condensadores de la siguiente forma:

- Escalado de frecuencias: Se toma $\alpha = \frac{1}{2 \cdot \pi \cdot f_c}$ y se determinan los valores tal que $R=1 \Omega$ y $C=\alpha$
- Escalado de impedancias: Se toma β adecuado de forma que $R \rightarrow \beta$ y $C \rightarrow 1/\beta$.

Teniendo en cuenta el escalado de frecuencias y de impedancias, se escogió el condensador de 10 nF, y posteriormente se determinan los valores de las resistencias del filtro. Así, se obtienen los valores $R=19.894 \text{ K}\Omega$, $R_1=19.894 \text{ K}\Omega$, $R_2=1.989 \text{ K}\Omega$; $R_3=19.894 \text{ K}\Omega$, $R_4=24.561 \text{ K}\Omega$. Sin embargo, estos valores no están disponibles comercialmente, por lo que se adoptaron los valores más cercanos posibles encontrados en la tienda de referencia ($R=R_3=19.6 \text{ k}\Omega$ $R_2=2.03 \text{ k}\Omega$ y $R_4=24.3 \text{ k}\Omega$). La figura 4.9 muestra el diagrama de bode del filtro realizado con estos últimos valores. En ella se aprecia cómo prácticamente coinciden.

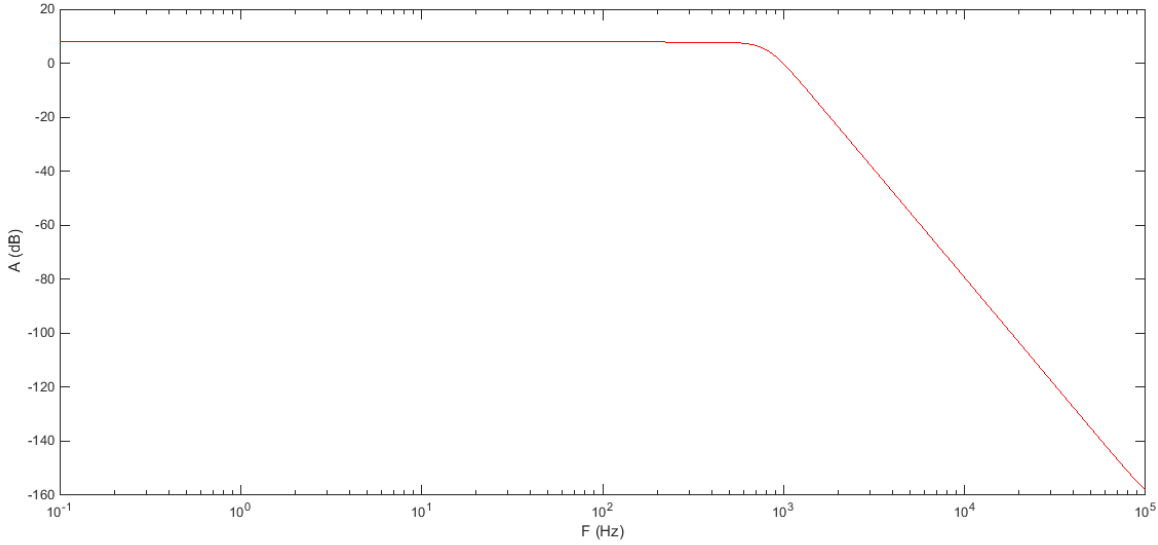


Figura 4.10. Diagrama de bode del filtro.

4.2. Efecto de las imperfecciones de los elementos.

En Simulink se realizó la simulación utilizando bloques que simulaban todos los elementos de forma ideal. Sin embargo, debido a la utilización de elementos electrónicos reales caben esperar ciertas imperfecciones analógicas las cuales serán tenidas en cuenta durante las simulaciones con Microcap. Las imperfecciones más importantes que podrían afectar al circuito son: el Slew-Rate del comparador, desviaciones en los niveles de salida del comparador, el offset del integrador, el efecto de ancho de banda finito y de la ganancia DC del Op-Amp y variaciones en los parámetros W_0, Δ, V_s y el ancho de los pulsos.

4.2.1 Slew-Rate

El Slew-Rate es la máxima tasa de cambio de voltaje de salida de un amplificador operacional cuando la señal de entrada cambia. Es decir, la carga y descarga no se produce de forma instantánea como sucedía en Simulink, sino que necesita cierto tiempo para producirse. Por tanto es necesario conocer cómo afectará esto a las prestaciones del circuito.

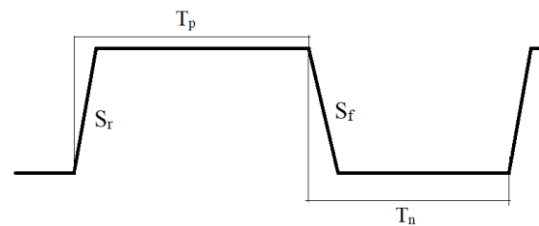


Figura 4.11. Esquema de pulsos con el Slew Rate

El hecho de que aparezcan estas pendientes varía el tiempo de los pulsos. Por lo tanto, también cambiará la frecuencia. Los valores numéricos de los mismos teniendo en cuenta estos efectos vienen determinados mediante las ecuaciones 14 y 15.

$$T_p = \frac{1}{2 \cdot f_m \cdot (1 - \frac{X}{V_s})} + \frac{2 \cdot V_s}{S_r \cdot (1 - \frac{X}{V_s})} \quad (14)$$

$$T_n = \frac{1}{2 \cdot f_m \cdot (1 + \frac{X}{V_s})} + \frac{2 \cdot V_s}{S_f \cdot (1 + \frac{X}{V_s})} \quad (15)$$

$$f_y = \frac{1}{T_p + T_n} = \frac{1}{\frac{1}{2 \cdot f_m \cdot (1 - \frac{X}{V_s})} + \frac{2 \cdot V_s}{S_r \cdot (1 - \frac{X}{V_s})} + \frac{1}{2 \cdot f_m \cdot (1 + \frac{X}{V_s})} + \frac{2 \cdot V_s}{S_f \cdot (1 + \frac{X}{V_s})}} =$$

$$f_y = \frac{f_m \cdot (1 - (\frac{X}{V_s})^2)}{1 - \frac{S_e \cdot X}{S_m \cdot V_s} + N_s \cdot \frac{1 - (\frac{S_e}{S_m})^2}{1 - (\frac{S_e}{S_m})^2}} \quad (16)$$

Siendo S_e , S_m y N_s las constantes definidas por las ecuaciones 17, 18 y 19.

$$S_e = \frac{1}{2} (S_r - S_f) \quad (17)$$

$$S_m = \frac{1}{2} (S_r + S_f) \quad (18)$$

$$N_s = \frac{4 \cdot f_m \cdot V_s}{S_m} \quad (19)$$

Si se asume que las pendientes de subida y bajada son iguales $S_e=0$, la ecuación 10 aproxima a la ecuación 3. Típicamente en los amplificadores operacionales se cumple $S_e/S_m \ll 1$ por lo que la ecuación 10 puede ser aproximada mediante la 20.

$$f_y \approx \frac{f_m}{1 + N_s} \cdot (1 + \frac{S_e}{S_m} \cdot \frac{N_s}{1 + N_s} \cdot \frac{X}{V_s} - (\frac{X}{V_s})^2 + \frac{S_e}{S_m} \cdot \frac{N_s}{1 + N_s} \cdot (\frac{X}{V_s})^3) \quad (20)$$

La presencia del término al cubo implica la presencia de un tono en la frecuencia $3 \cdot f_{in}$ cuando la entrada es una onda sinusoidal, mientras que el término lineal implica la presencia de un tono en f_{in} .

4.2.2 Variaciones en la salida del comparador.

Idealmente el comparador se supuso con una salida simétrica $+V_s$ o $-V_s$. Sin embargo, con la implementación física del circuito se espera que estos resultados no sean perfectamente simétricos, sino que presenten ciertas variaciones.

Si se supone una salida positiva del comparador $V_p=V_s-V_e$ y una negativa $V_n=-V_s+V_e$ la ecuación 3 puede ser reescrita de la siguiente forma:

$$f(X) = f_m \frac{V_s^2 - V_e^2 - X^2 - 2 \cdot X \cdot V_e}{V_s^2} \quad (21)$$

Así, implica la aparición de un tono mayor en f_{in} Hz y el SFDR quedaría definido por a ecuación 22.

$$SFDR_{2f_{in}} = 20 \cdot \log_{10} \left(\frac{A}{4V_e} \right) \quad (22)$$

4.2.3 Offset en el integrador.

En los amplificadores operacionales aparece un offset. Dependiendo del valor de éste, las prestaciones del circuito podrían verse afectadas significativamente. Suponiendo que el integrador tenga una tensión de offset V_{off} la ecuación 3 puede ser escrita como la siguiente:

$$f(X) = f_m \cdot \left(1 - \frac{X^2 + V_{off}^2 + 2 \cdot X \cdot V_{off}}{V_s^2} \right) \quad (23)$$

Donde el término $2 \cdot X \cdot V_{off}$ implica la existencia de un tono en f_{in} . El SFDR puede escribirse entonces como:

$$SFDR_{2f_{in}} = 20 \cdot \log_{10} \left(\frac{A}{4V_{off}} \right) \quad (24)$$

Así, se puede observar que la existencia de un offset en el integrador implica el mismo efecto que una variación en la salida del comparador.

4.2.4 Efecto de un ancho de banda finita y de una ganancia DC en los amplificadores.

La presencia de un ancho de banda finito y de una ganancia DC en los amplificadores puede afectar a las prestaciones del circuito. De hecho, con estos efectos la frecuencia de la portadora f_c es desplazada hacia valores más bajos.

4.3 Comparación montaje single-ended y diferencial.

El presente apartado tiene como objetivo realizar una comparación entre un posible montaje del circuito de forma diferencial (estructura en el apéndice 2) o single-ended. Para ello se partirá de un modelo previo disponible del circuito realizado en forma diferencial, el cual será modificado para introducirle el LM555. Posteriormente se realizará el montaje análogo en su versión single-ended.

Para comparar los resultados se utilizó un archivo disponible que implementaba la versión diferencial de cuando fue escrito el artículo. En él se realizaba el bloque de puertas lógicas de forma ideal y se colocaba directamente el filtro. Los Op-Amps utilizados son los circuitos integrados LF155A. Además, para comparar con el single-ended se modificó el archivo y fue introducido un LM555 actuando igual que con el otro montaje. Además ambos estudios son realizados para filtros ideales de orden 4 con frecuencia de corte $f_c = 800$ Hz.

Para la simulación se utilizó una onda de entrada con amplitud de 10 V y frecuencia de 200 Hz. Los resultados muestran un mejor comportamiento en altas frecuencias en el caso single-ended comparado con el diferencial, mientras que en los tonos de baja frecuencia sucede lo contrario. En la figura 4.11 se muestra la PSD de obtenida mediante ambas implementaciones. El SFDR de la versión Single-Ended es de 37.4 dB frente a los 34.8 dB del diferencial en los tonos a 800 Hz, mientras que en los de 200 Hz se obtienen 59.6 frente a 54.4 dB.

Como consecuencia, se decidió implementar el circuito single-ended ya que aportaba un valor del SFDR ligeramente mejor y además presenta una mayor facilidad de diseño de la PCB y un menor coste debido a la menor cantidad de elementos.

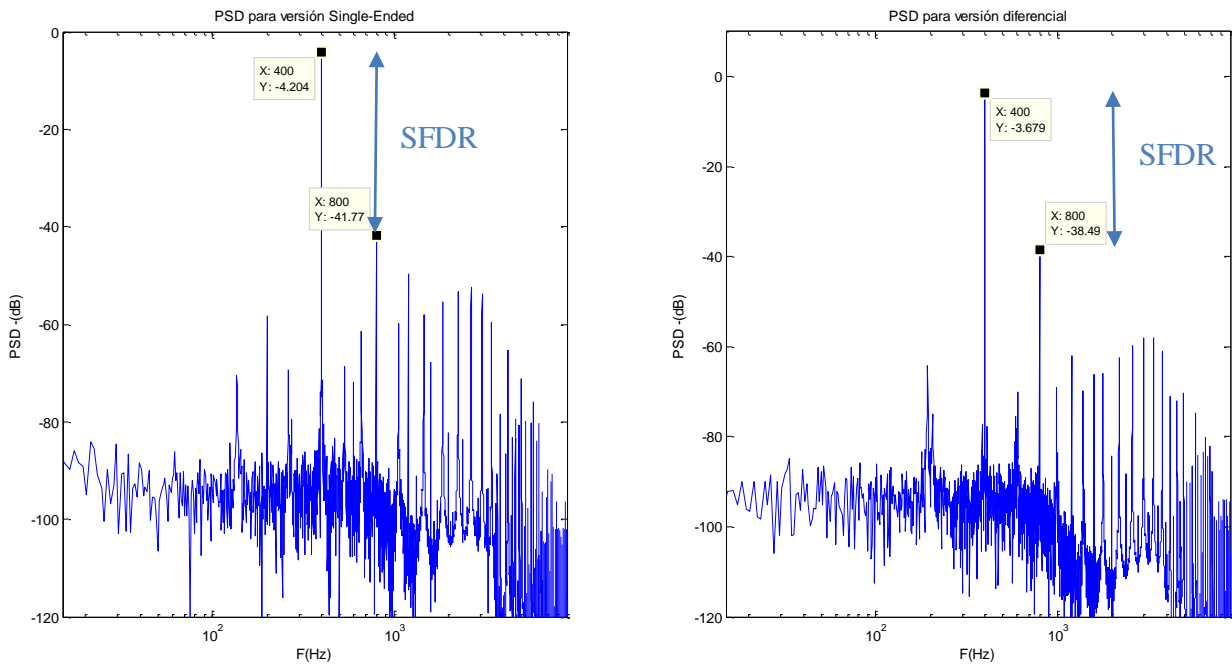


Figura 4.12. Comparación del PSD obtenido mediante Microcap para las versiones Single-Ended y diferencial.

4.4 Estudio de los componentes.

Conocido cómo afectan las diferentes imperfecciones al comportamiento del circuito, se realizó la búsqueda de elementos que mejor se adecuaron a éste. Para ello no sólo es necesario tener en cuenta las características explicadas anteriormente, sino que también se buscaron Op-Amps que generaran poco ruido. Para ello se utilizaron amplificadores operacionales propios de aplicaciones de audio y medicina.

Para ello se realizaron estudios para diferentes valores del retraso, realizando una comparación ante el resultado de ese componente ideal y el real, con el fin de conocer el margen de mejora posible con los componentes.

4.4.1 Estudio del comparador.

Como se explicó anteriormente, los factores más importantes en el comparador con histéresis son la tensión de Offset, el ancho de banda y el slew rate. Por ello, para conseguir mejoras de los resultados se buscaron amplificadores operacionales utilizando estos parámetros como referencia.

La siguiente tabla muestra resultados ante el uso de diferentes Op-Amps en el comparador, así como el uso del ideal.

Tabla 1. Parámetros de los Op-Amps del comparador

Elemento	Slew Rate (V/ μ s)	Ancho de banda (MHz)	V _{Off} (mV)
IDEAL	∞	∞	0
LF155A	7	2.5	1
LF400C	18	57	4
LM837	10	25	0.4
NE5534	10	13	0.5

Tabla 2. Resultados ante diferentes Op-Amps en el comparador

Elemento	200 Hz (dB)	800 Hz (dB)	SFDR (dB)
Ideal	57	44	44
LF155A	56	37.5	37.5
LF400C	58.3	36	36
LM837	57	39.7	39.7
NE5534	64	37.5	37.5

Los resultados muestran una mejora en el caso ideal de 6.5 dB con respecto al Op-Amp inicialmente utilizado, por lo que no cabe mucho margen de mejora debido exclusivamente a este elemento. Se puede observar cómo los mejores resultados son obtenidos para el Op-Amp LM837, sin embargo esta mejora es de sólo 2 dB con respecto al LF155A en el armónico de 800 Hz y de 3.3 dB en el de 200 Hz. Además, si se observan los valores se aprecia cómo el parámetro que más afecta es el Slew-Rate.

Por motivos de disponibilidad, la leve mejora en los tonos de bajas frecuencias y sobre todo, por presentar menor ruido se decidió utilizar el NE5534. Este amplificador operacional es propio de aplicaciones de audio y medicina, por lo que garantiza un buen comportamiento en este aspecto.

4.4.2 Estudio del integrador.

Al igual que se realizó con el comparador, se fueron variando los Op-Amps y se se compararon los resultados obtenidos. Inicialmente se utilizaron los parámetros slew rate, ancho de banda y ganancia en bucle abierto para escogerlos. Sin embargo, mejoras únicamente en estos factores no se traducían en mejoras en la señal. Finalmente, el parámetro que más afectaba era la intensidad a la salida. Para mejorar los resultados se buscaron amplificadores operacionales con una mayor intensidad de salida.

Tabla 3. Parámetros más importantes del integrador.

Elemento	Slew Rate (V/ μ s)	Ancho de banda (MHz)	V _{off} (mV)	I _{osc} (mA)
LF155A	7	2.5	1	20
LF400C	18	57	4	20
LM837	10	25	0.4	40
NE5534	10	13	0.5	38

Tabla 4. Resultados obtenidos con Microcap ante diferentes amplificadores operacionales

Elemento	200 Hz (dB)	800 Hz (dB)	SFDR (dB)
LF155A	56	37.5	37.5
LF400C	48	37	37
LM837	55	53.36	53.5
NE5534	57	55	55

El parámetro más importante resulta ser la intensidad de salida, obteniéndose los mejores resultados cuando ésta aumenta tal como se muestra en la tabla 4. Si además se tiene en cuenta la tabla 3, se deduce que los tonos de 200 Hz están generados mayoritariamente por la tensión de offset. El ejemplo más claro que lo muestra es una comparación entre los tonos de 200 Hz del LF155A y del LF400C. Aunque el segundo tiene mayor ancho de banda y Slew-Rate, el segundo tiene un tono considerablemente mayor en 200 Hz.

Teniendo en cuenta los valores proporcionados en la tabla 4, resulta conveniente utilizar el NE5534 debido a la obtención de mejores resultados. Además, como se explicó anteriormente proporciona un buen comportamiento ante ruido.

4.4.3 Zero-Crossing detector.

Para el estudio del zero crossing detector se compararon los resultados que aportaba la simulación implementándolo con puertas lógicas seguido del LM555 actuando como monoestable y con un retraso generado de forma ideal mediante una macro en Microcap. Los resultados de la simulación con el zero crossing ideal muestran que se podía conseguir una mejora de sólo 4.5 dB en el armónico de 800 Hz.

Tabla 5. Resultados para implementaciones del ZCD

Zero-Crossing	200 Hz	800 Hz
Ideal	54 dB	42 dB

LM555	56 dB	37.5 dB
-------	-------	---------

4.4.4 Implementación final del circuito.

Finalmente, una vez analizados todos los elementos por separado y haber realizado los pertinentes cambios en estos, resulta conveniente analizar los resultados finales esperados. Para ello, se simulará el filtro de forma real y se introducirán los modelos de las puertas lógicas que serán utilizados.

Además, se adaptaron los valores de las resistencias y los condensadores a los valores disponibles comercialmente. Esto fue realizado de forma que aumentó la frecuencia máxima hasta $f_m=10$ KHz.

La figura 4.13 representa los resultados obtenidos ante la simulación con los valores finales. En ellos se aprecia una clara mejora de los resultados respecto a los proporcionados inicialmente.

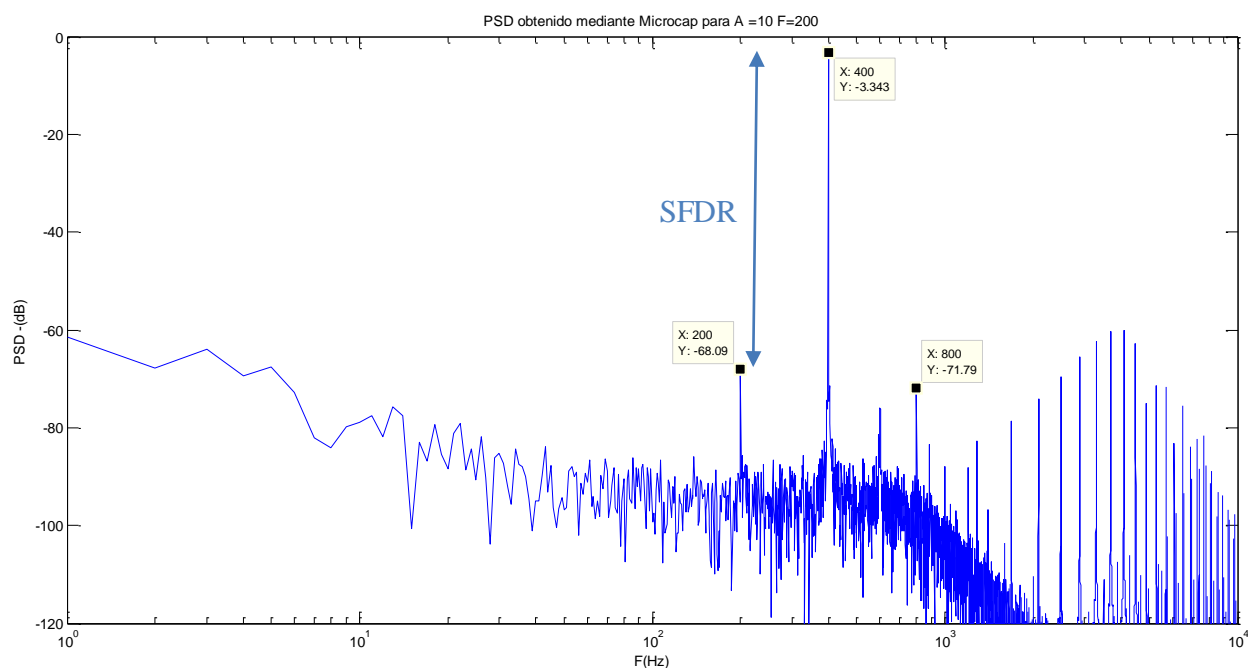


Figura 4.13. PSD obtenida mediante Microcap para la señal de referencia con los valores ideales de los componentes.

4.5 Variaciones en los parámetros.

En el apartado 4.2 se discutieron los efectos que producían las imperfecciones en los diferentes elementos del circuito. A pesar de que los resultados obtenidos anteriormente con Microcap ya incorporaban estos efectos, cabe esperar variaciones en los parámetros que los causan debido a que éstos son medidos en condiciones de ensayo. Este apartado tiene objetivo determinar cómo pueden afectar estas variaciones.

4.5.1 Variaciones en el Slew-Rate

Como se explicó en el apartado 4.5 una variación del Slew-Rate provocará un cambio en los resultados. Ya en la simulación mediante Microcap se tienen en cuenta este parámetro. Sin embargo, los datos suministrados por el fabricante son ante condiciones específicas de ensayo y cabe esperar una cierta variación en los mismos. Esta variación deberá ser analizada tanto en la pendiente de subida como en la bajada, de forma simétrica y asimétrica.

El amplificador operacional tiene un Slew Rate positivo y negativo ideal de $13 \text{ V}/\mu\text{s}$. Será necesario comprobar si una disminución de este factor y una asimetría en las pendientes de subida y de bajada puede afectar de forma considerable a las prestaciones del circuito. En figuras 4.13 y 4.14 se muestran una relación de parámetros de simulación ante este factor, con sus resultados. En ella se puede apreciar cómo para variaciones simétricas del slew rate a penas se producen variaciones en las prestaciones. Sin embargo, para una variación asimétrica se produce una disminución de 10 dB con respecto al tono de 200 Hz. Sin embargo, a pesar de esta reducción se consiguen resultados con gran precisión. Es importante destacar, que los tonos que más aumentan se localizan en los armónicos de 200 Hz y 600 Hz, es decir, en la frecuencia de entrada y en el triple de esta.

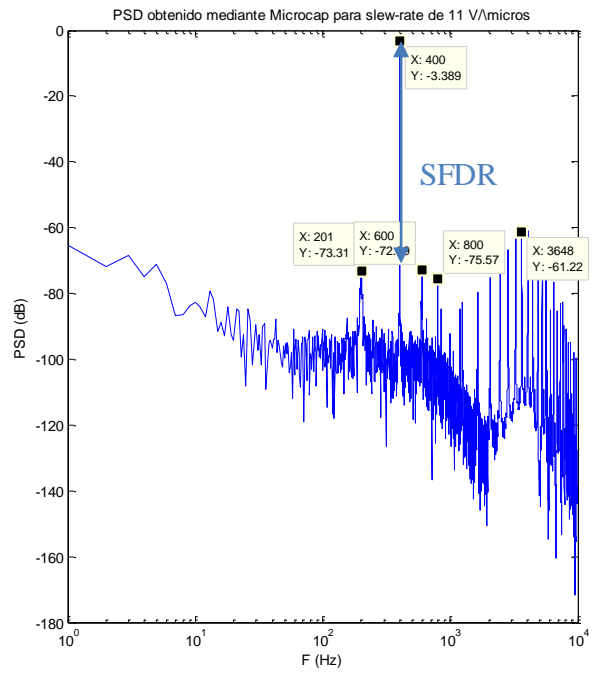
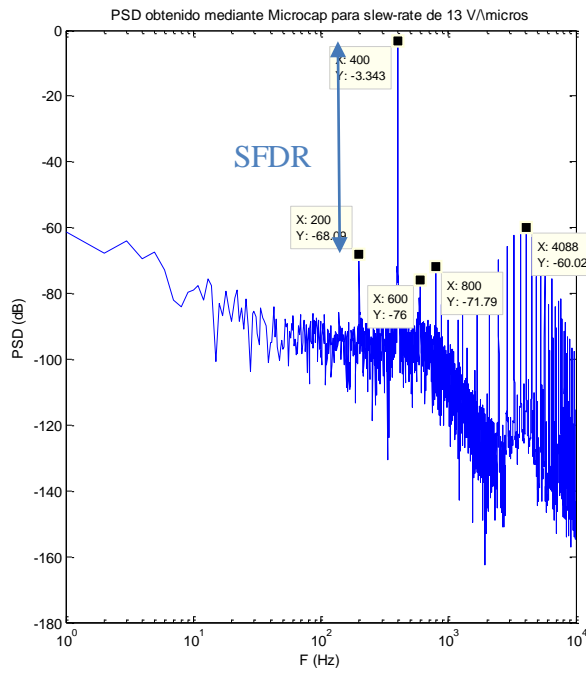


Figura 4.14. Comparación de la PSD obtenida mediante Microcap para una reducción del valor del Slew-Rate simétrica.

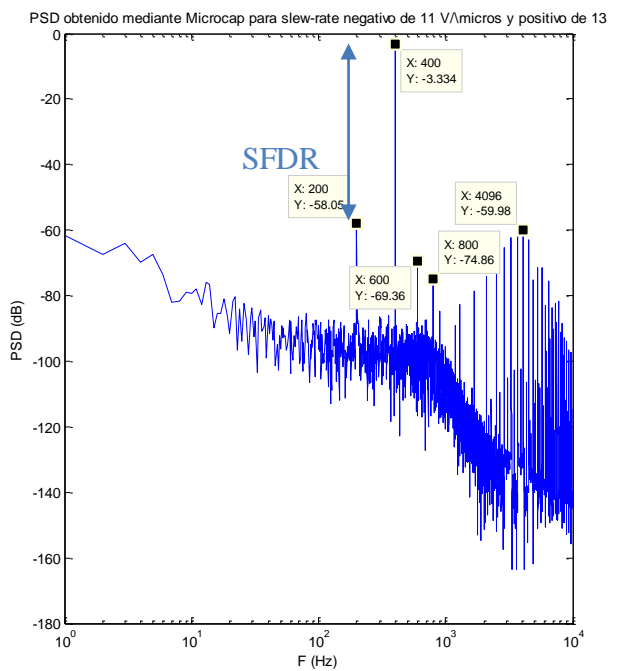
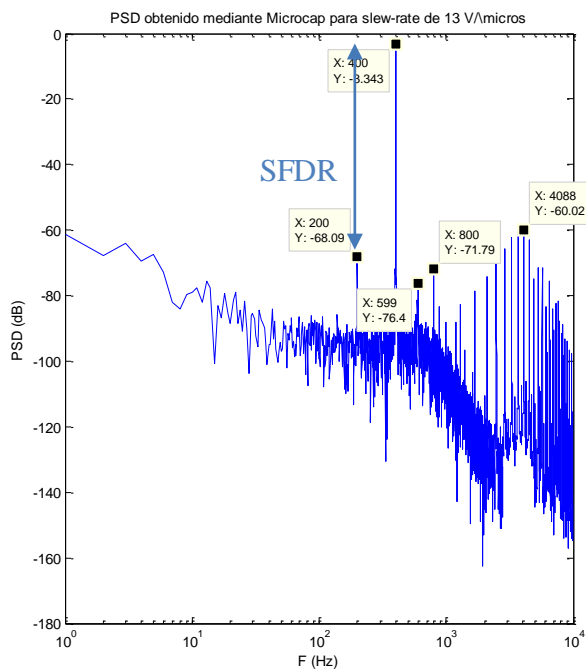


Figura 4.15. Comparación de la PSD obtenida mediante Microcap para una reducción del valor del Slew-Rate asimétrica.

4.1.5 Variaciones en la tensión de offset del integrador.

En el apartado 4.2.3 se hizo referencia a cómo afectaba tener un valor no nulo a la entrada del integrador. Este valor de offset se deducía que a penas producía variaciones en los resultados. En base al rango de valores posibles de offset del comparador, se establece que tiene un mínimo de 0.5 mV y un máximo de 5 mV en todo el rango de temperaturas. Para ello dispone de pines adicionales para su control y mejora. No obstante, ante la complejidad de esto y tenerlo que hacer tras la fabricación de la placa de circuito impreso, es requerido conocer las variaciones en los resultados que pueden producirse como consecuencia. Para ello, se simuló ante los valores mínimo y máximo de este parámetro que aportaba la hoja de características. En la figura 4.15 se muestra la PSD obtenida ante los valores mínimos y máximos que se aportaban. En las gráficas se puede apreciar como cuando el offset cambia de 0.5 mV a 5 mV, es decir, aumenta un orden de magnitud, el tono de 200 Hz aument unos 11 dB. Además, se puede observar cómo el resto de tonos también aumenta aunque de forma más leve. Además se puede comprobar que aún con este hecho, el SFDR obtenido es de 51 dB. Este efecto podrá ser corregido mediante ajustes del offset DC a la entrada.

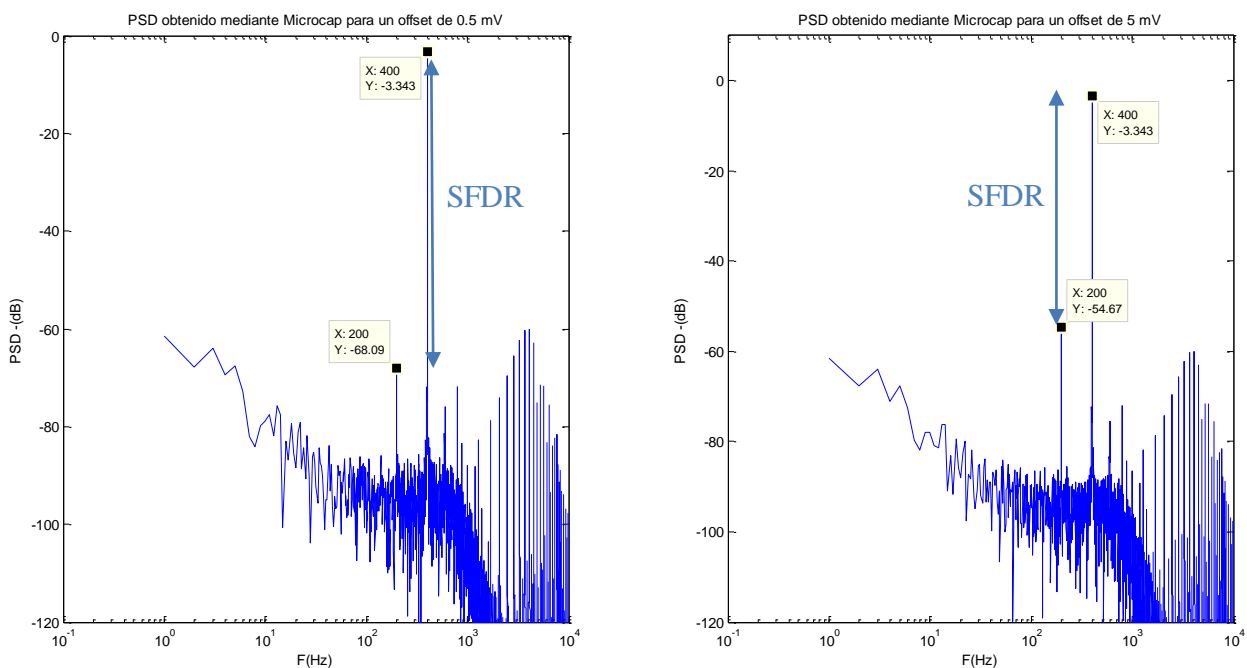


Figura 4.16. PSD obtenida mediante Microcap para variaciones de la tensión de offset en el integrador.

4.1.6 Variación en los niveles de salida del comparador.

Como se discutió en el apartado 4.2.2 las variaciones en los niveles de salida del comparador causan alteraciones en el tono de f_{in} . La figura 4.16 muestra una comparación de la PSD

obtenida ante una salida simétrica del mismo y ante una variación de 0.1 V. En ella se aprecia cómo el SFDR decrece desde 65 dB hasta tan sólo 35 dB. Sin embargo, a pesar de ser un incremento elevado del SFDR, al igual que en el caso del offset del integrador, el efecto puede ser corregido ajustando el offset DC a la entrada.

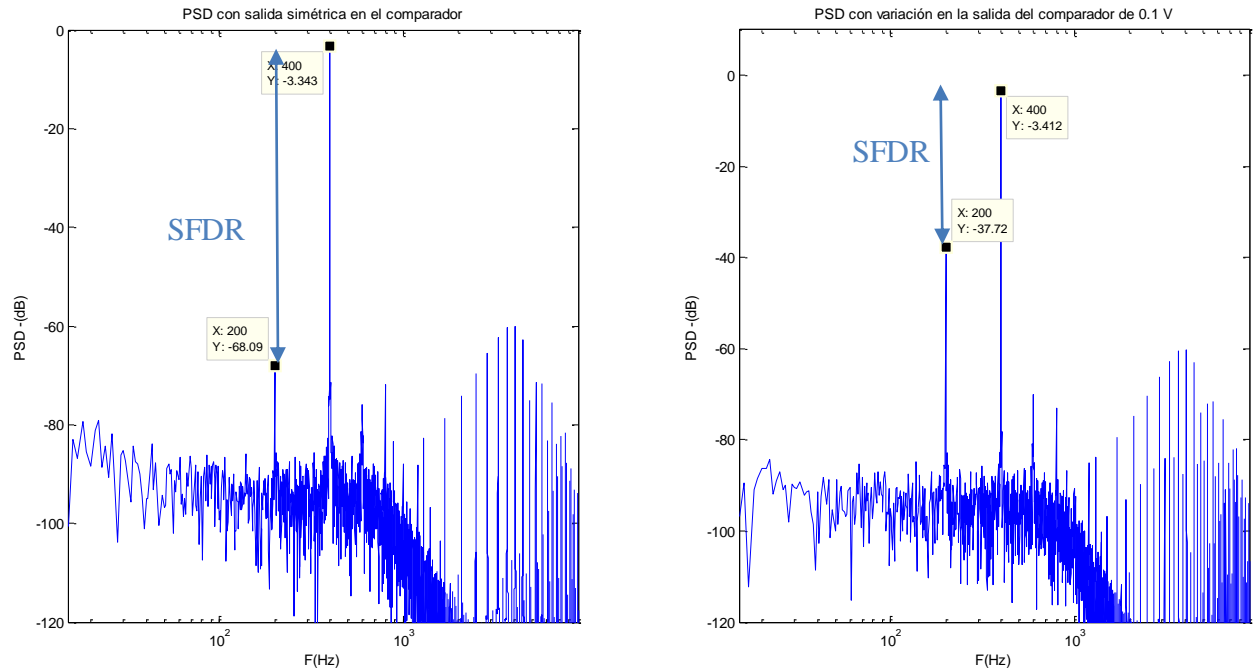


Figura 4.17. Comparación de la PSD ante variaciones en la salida del comparador.

4.6 Análisis de resultados ante variaciones en la frecuencia y la amplitud.

En el apartado 3 se analizó la respuesta del circuito mediante simulación con Simulink ante variaciones en la frecuencia y en la amplitud de la señal de entrada. Este apartado tiene como objetivo comprobar el correcto funcionamiento del circuito ante estas variaciones, así como cuantificar los resultados numéricos de la PSD.

La figura 4.17 muestra la PSD obtenida para amplitudes de 10 y 5 V respectivamente, con una frecuencia de 200 Hz. En ella se aprecia cómo se pueden conseguir reducciones en la diferencia de los tonos de 600 y 800 Hz con respecto a la de 400 con una disminución de la amplitud. Sin embargo, el tono debido a los 200 Hz sube ligeramente y, dado que el de 400 Hz se mantiene constante, los resultados empeoran considerablemente en ese armónico.

La figura 4.18 muestra la PSD obtenida para una amplitud de 10 V y frecuencias de 200 y 50 Hz respectivamente. En ella se aprecia que los tonos debidos a 200, 600 y 800 Hz prácticamente no varían. La mayor diferencia se obtiene en el de 200 Hz, que apenas varía 0.9 dB.

Es importante destacar que, al igual que en la simulación con Simulink siguen apareciendo los tonos debidos a la modulación y se distribuyen cada en múltiplos del doble de la frecuencia de entrada alrededor de la frecuencia de la portadora. Por lo que disminuyendo la amplitud esta zona se hace más estrecha mientras que disminuyendo la frecuencia aumenta el número de tonos. Así, una disminución de la amplitud y de la frecuencia facilita el filtrado.

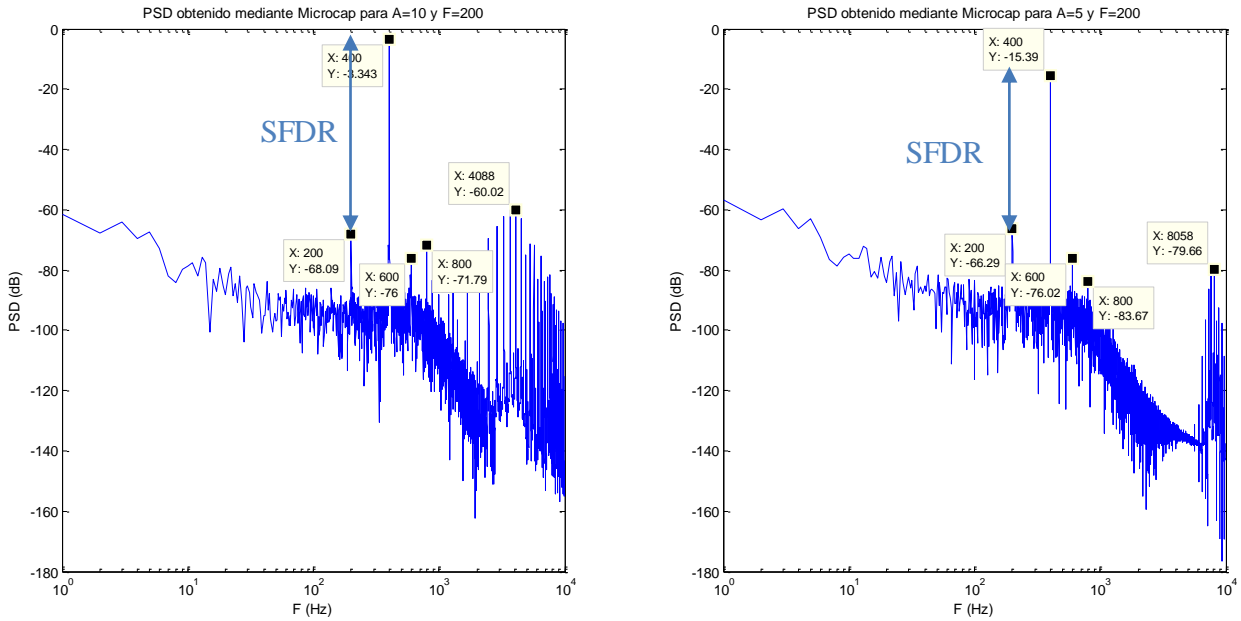


Figura 4.18. PSD obtenida mediante Microcap para diferentes amplitudes de la señal de entrada.

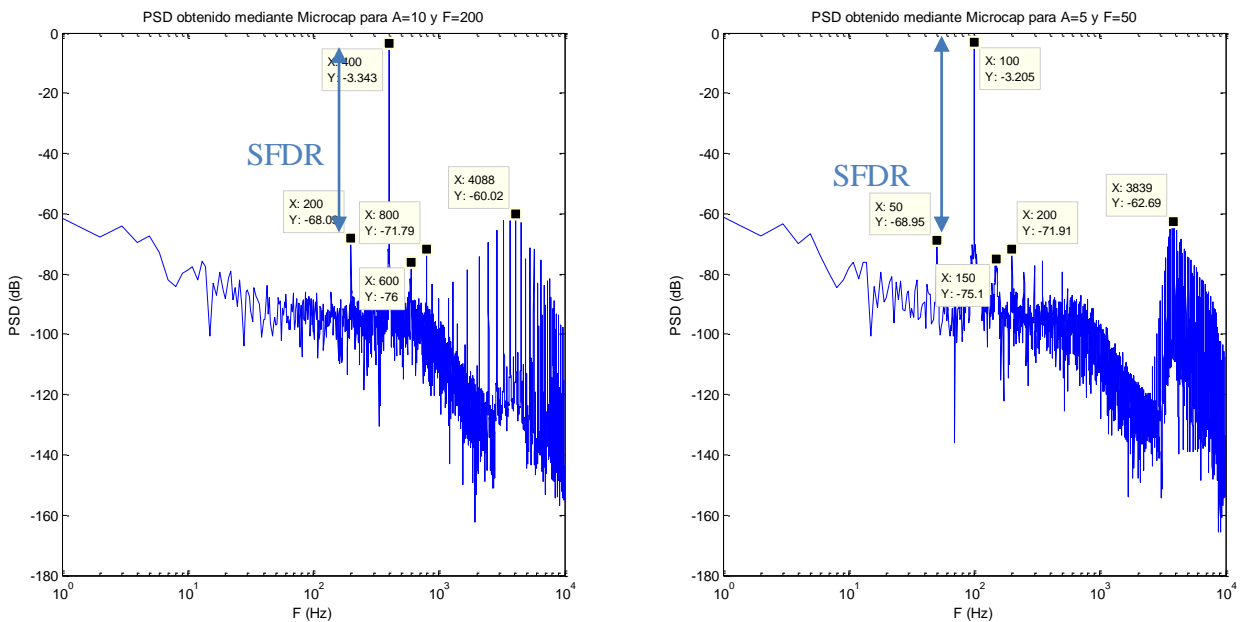


Figura 4.19. PSD obtenida mediante Microcap para diferentes frecuencias de la señal de entrada.

4.7 Comparación de la simulación con Microcap y Simulink.

La figura 4.20 muestra la PSD obtenida mediante las simulaciones con Microcap y Simulink. En ella se aprecia cómo los valores empeoran ligeramente debido a los efectos reales de los circuitos. No obstante, los resultados siguen aportando SFDR muy altos ya que los tonos apenas empeoran. El aspecto más importante es la disminución de la frecuencia máxima como consecuencia del ancho de banda finito y de la ganancia DC de los amplificadores. Este hecho se traduce además en un aumento de estos tonos ya que el filtro tiene la misma frecuencia de corte y atenúa menos al estar más cerca de la misma.

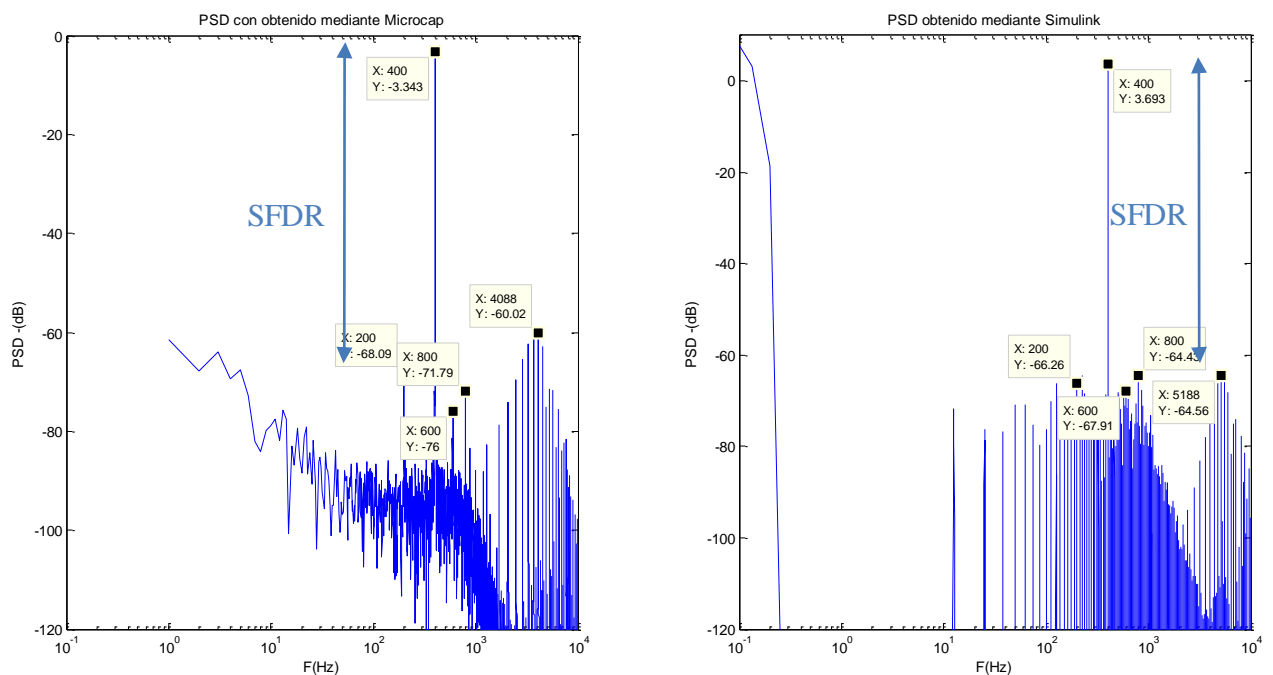


Figura 4.20. Comparación de la PSD obtenida mediante Microcap y mediante Simulink.

4.8 Conclusiones

El circuito y su implementación han sido discutidos en esta sección. Para ello se comparó el montaje Single-Ended con el diferencial, mostrando resultados ligeramente mejores en el caso Single-Ended. Como consecuencia se decidió realizar un estudio más profundo de dicho modelo.

Este análisis más pormenorizado consistió en realizar un estudio de los factores fundamentales de los elementos que pudieran afectar a la calidad final de la señal y su cuantificación mediante la PSD obtenida mediante Microcap. Por lo tanto quedaron determinados los elementos necesarios para la fabricación del circuito y una estimación de sus prestaciones.

Una vez fijados los circuitos integrados a utilizar, se analizaron las posibles variaciones en los parámetros fundamentales de los mismos y su resultado en la señal resultante, obteniéndose valores del SFDR de más de 60 dB.

Se analizaron también los resultados obtenidos ante variaciones en la frecuencia y la amplitud de la señal de entrada. Este análisis permitió deducir que el circuito tendrá un buen comportamiento en un amplio rango de amplitudes y frecuencias.

5 DISEÑO DE LA PLACA DE CIRCUITO IMPRESO

5.1. Software utilizado

Para la realización de la placa de circuito impreso se utilizó Proteus. Se trata de un Software de simulación y de diseño de circuitos impresos desarrollado por Labcenter Electronics Ltd. Sus principales módulos son ISIS y ARES. Para realizar el Layout con ARES, previamente es necesario haber realizado el diagrama esquemático en ISIS.

Se escogió el uso de este Software por la simplicidad del diseño con él, ya que resulta muy intuitivo y visual. Además, aunque no fuera utilizado, presenta características de enrutado automático.

5.2. Nuevos elementos para la implementación física del circuito.

Con el fin de obtener mejores resultados a la hora de probar finalmente la placa, se incorporaron algunos elementos en el circuito que no eran contemplados en simulación:

- Condensadores electrolíticos de 100 μF a la entrada de las fuentes de alimentación. Esto se debe a que las fuentes no proporcionan un valor exactamente constante, sino que presentan oscilaciones en torno a los valores deseados. Con la incorporación de un condensador electrolítico se consigue estabilizar esta tensión, sirviendo de fuente de energía durante las descargas.
- Reguladores de tensión: dada la necesidad de tener una fuente fiable de tensión, además de los condensadores se añadieron reguladores de tensión tanto negativa como positiva (MC7805CP para +5 V, MC7815CP para +15V y MC7915CP para -15V). Además cercanos a esta zona también hubo que incorporar condensadores que fueron escogidos de acuerdo a las hojas de características de los elementos. En concreto eran condensadores de polyester de 330 nF a la entrada, y cerámico de 1 μF a la salida. El condensador de entrada es necesario para una mejora de los resultados. Sin embargo, el de la salida es simplemente para mejorar el régimen transitorio (no es estrictamente necesario).
- Condensadores en las entradas de alimentación de los circuitos integrados: Con el mismo fin que los elementos anteriores, es necesario colocar condensadores lo más próximos posibles a las entradas de alimentación de los elementos. De acuerdo con las hojas de características, se

colocan condensadores cerámicos de $1\ \mu\text{F}$ en todos los circuitos integrados, menos en el LM555 que tendrá un condensador electrolítico de $1\ \mu\text{F}$ y uno cerámico de $10\ \mu\text{F}$.

- Pines de entrada y salida: tanto para poder medir con mayor facilidad como para poder colocar la entrada de las fuentes de alimentación fueron colocados pines.
- Conector BNC: se decidió meter la señal de entrada ante un cable coaxial para evitar la degeneración de la señal en entrada, fue por tanto necesario introducir dicho conector.

5.3. Diseño de la placa.

Una vez determinados todos los elementos que formarán parte del circuito real, será necesario realizar el diseño de la placa de circuito impreso. Para ello se tendrán que colocar todos los componentes y las pistas necesarias. La disposición de estos deberá ser tal que permita satisfacer los criterios de cercanía de los condensadores de la alimentación.

En cuanto al diseño, las pistas serán creadas de forma que no formen 90° y con un ancho suficiente, concretamente 50th ($1.27\ \text{mm}$). La soldadura será realizada en la cara inferior, a excepción de algunos condensadores, con la intención de conectar las las islas del plano de masa que quedaban aisladas. En la figuras 5.1 y 5.2 se muestra la disposición de la placa de circuito impreso.

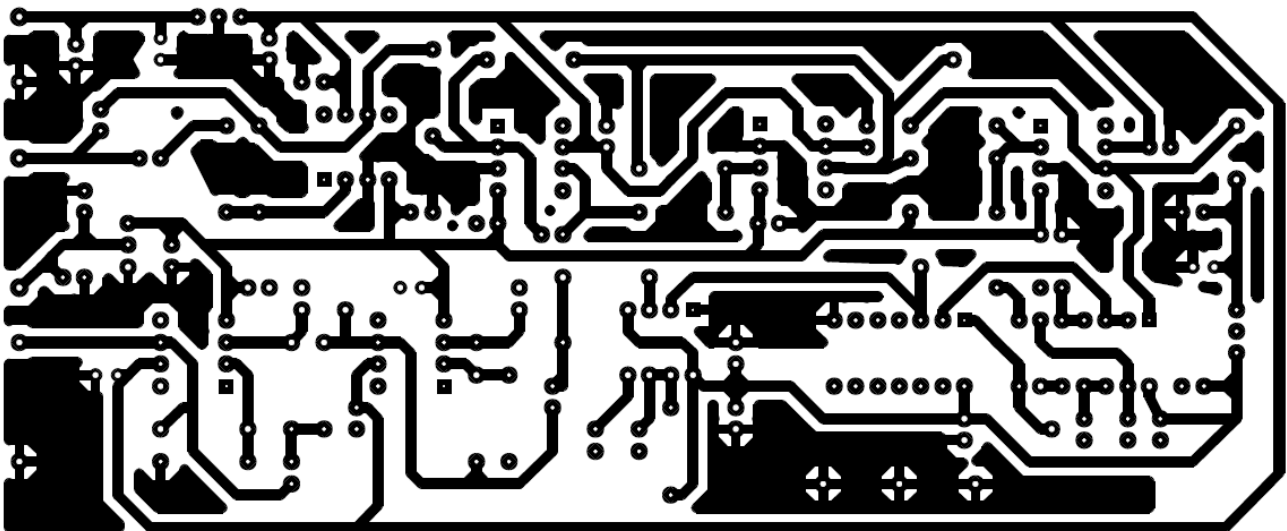


Figura 5.1. Imagen de la cara inferior del circuito impreso.

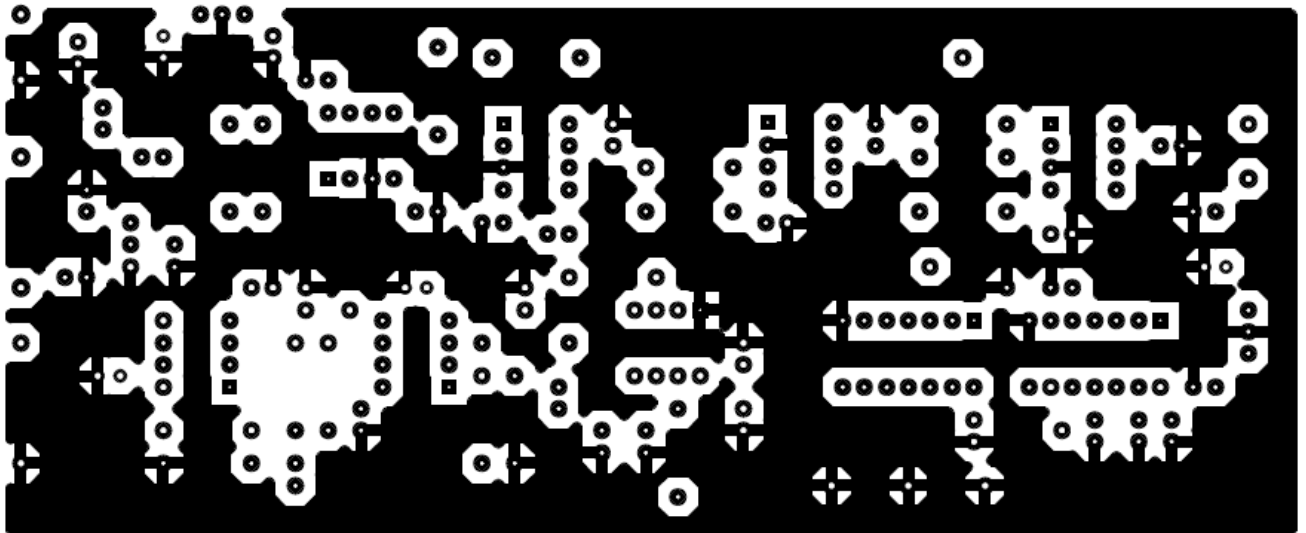


Figura 5.2. Imagen de la cara superior del circuito impreso.

5.4. Fabricación de la placa

En primer lugar se reveló la placa, lo cual fue tarea del maestro taller por motivos de prevención de riesgos laborales. Para ello en primer lugar se colocó el layout adecuadamente dispuesto sobre la placa y se colocó en la insoladora durante 5 minutos.

Una vez sacada la placa de la insoladora, se realiza un ataque químico de forma que sólo queden las pistas de cobre deseadas. Para ello primero se introduce en sosa cáustica, y posteriormente en agua oxigenada de 110 volúmenes. Tras esto, será necesario limiar la placa con acetona para quitar el esmalte que hay sobre el cobre. Tras la revelación de la placa, el primer paso será la realización del taladrado necesario. Para ello se utilizó una broca de 0.8 mm por ser más fácil realizar la soldadura posteriormente, a excepción de los pines de los reguladores que fueron taladrados con una de 1 mm por ser más anchas las patas. Posteriormente se realizó la soldadura de todos los elementos. En la figura 5.3 se muestra el resultado final.

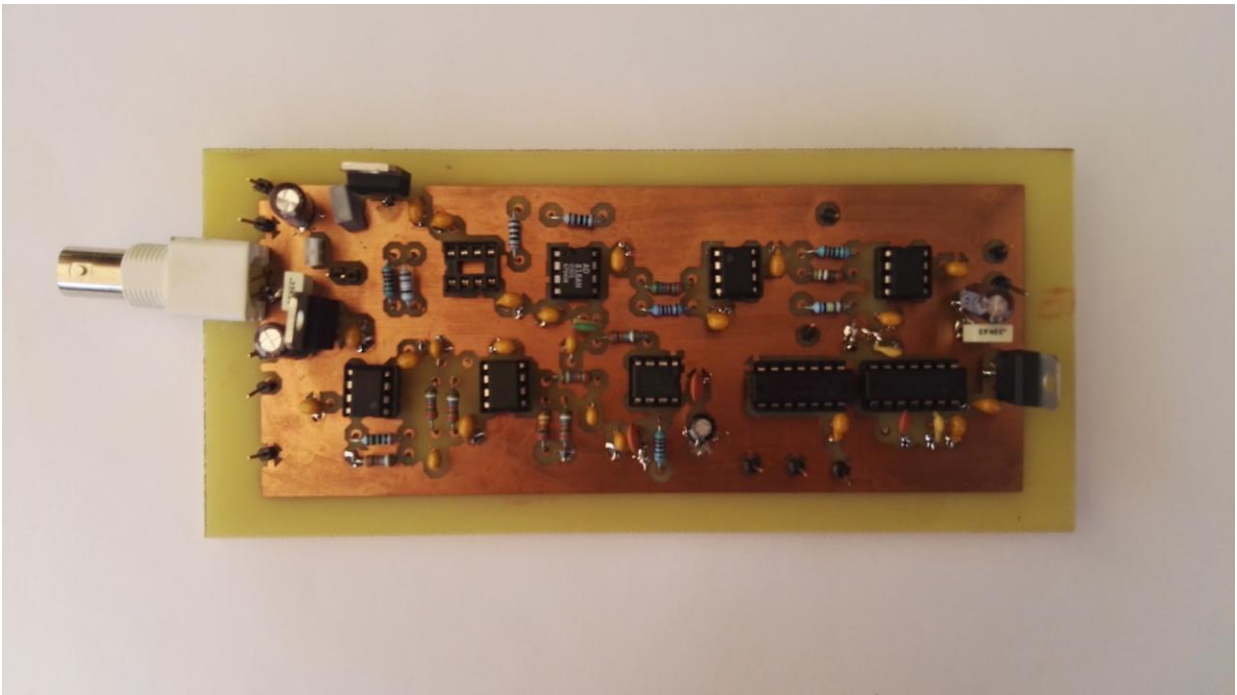


Figura 5.3. Fotografía de la placa final.

5.5 Elementos necesarios para la fabricación del circuito.

Tabla 6. Elementos necesarios para la fabricación de la placa.

Elemento	Cantidad
Op-Amps NE5534	6
LM555	1
XOR	1
Inversor	1
Regulador tensión +15 V. LM7815	1
Regulador tensión -15 V. LM7915	1
Regulador tensión +5 V. LM7805	1
Condensador cerámico 22nF	1
Condensador cerámico 1 μ F	17
Condensador cerámico 10 nF	6
Condensador electrolítico 1uF	1
Condensador electrolítico 100 uF	1
Condensador polyester 22 fnF	1
Condensador polyester 33 nF	2
Resistencia 1 k Ω	2
Resistencia 2 k Ω	3
Resistencia 3.1 k Ω	1

Resistencia 5 k Ω	1
Resistencia 6 k Ω	1
Resistencia 19.9 k Ω	6
Resistencia 24.6 k Ω	1
Conector BNC para PCB	1
Pines	1

6 RESULTADOS EXPERIMENTALES.

El objetivo de esta sección es analizar los resultados experimentales de la placa. Para ello se utilizará un laboratorio de instrumentación con fuentes para generar la señal de entrada y para suministrar la tensión necesaria al circuito. Estos resultados serán comparados con los obtenidos en simulación mediante Microcap y Simulink y se discutirán sus variaciones.

6.1 Comparación de resultados ante diferentes amplificadores operacionales.

Con el uso de lo Op-Amps preseleccionados no se consiguieron los resultados esperados. Este apartado tiene como objetivo el estudio de diferentes amplificadores operacionales para conseguir una mejora en los resultados. Para ello se dispusieron de otros dos nuevos amplificadores operacionales que aumentaban el Slew-Rate: el LF400C (Slew-Rate de 57 V/ μ s) y el AD818AN (Slew Rate de 500 V/ μ s). Sin embargo el LF400C no produjo ninguna mejora, de hecho empeoró considerablemente los resultados, por lo que no se muestran sus resultados a continuación.

En la tabla 7 se muestran los resultados obtenidos ante una señal de entrada sinusoidal de 9.5 V de amplitud con frecuencia $f_{in}=200$ Hz. Como se explicará en el apartado 6.2 el tono correspondiente a f_{in} puede ser corregido realizando ajustes en el offset de la entrada por lo que no jugará un papel relevante. En la tabla 7 se muestran los resultados obtenidos con la utilización de diferentes amplificadores operacionales. En ella se aprecia cómo los mejores resultados se obtienen en el caso de utilizar el AD818AN en el integrador y el NE5534 en el comparador. El hecho de que se obtengan mejores resultados en esta combinación se debe a que la intensidad que proporciona el Op-Amp de video es mayor, factor que se explicó anteriormente que es fundamental en el integrador. Además disminuían las envolvente de los máximos que se producía a la salida del ASDM.

Tabla 7. Diferencias de los tonos entre con la frecuencia de salida deseada para diferentes Op-Amps.

Op-Amp integrador	Op-Amp comparador	200 Hz	600 Hz	800 Hz dB
NE5534	NE5534	Corregido	51	47 (-3dB)
NE5534	AD818AN	Corregido	49.5	46 (-3dB)
AD818AN	NE5534	Corregido	51 dB	51.5 (-3dB)
AD818AN	AD818 AN	Corregido	47.5 dB	39.5 (-3dB)

6.2 Resultados ante la señal de referencia.

Durante las secciones 3 y 4 se determinó el comportamiento del circuito ante diferentes señales de entrada, haciendo variaciones tanto en la frecuencia como en la amplitud. Sin embargo, mayoritariamente se realizó el estudio ante una señal de entrada sinusoidal de 10 V de amplitud y 200 Hz de frecuencia. En el presente apartado se analizarán los resultados obtenidos ante esta señal y ante ciertas variaciones y ajustes en los parámetros de la misma.

Al excitar el circuito ante esta señal, se incorpora desde la misma fuente ciertas imperfecciones que alteran los resultados obtenidos. Realizando mediciones a la señal de entrada se pueden determinar los armónicos más deteriorados son los del doble y el triple de la frecuencia de entrada cuyo valor dependía de la fuente. Así, se utilizaron varias fuentes para comprobar los resultados, teniendo la primera unos armónicos de -40 dB y -60 dB con respecto a la de entrada y proporcionando el circuito un SFDR de apenas 40 dB. No obstante, utilizando otra fuente de mayor precisión (-70 dB de diferencia aproximadamente entre el tono de frecuencia de entrada y el doble y el triple de su entrada) mejoraron los resultados unos 10 dB aproximadamente. De todos ellos, el offset a la entrada genera distorsiones más apreciables en la señal, siendo causa de un armónico de 200 Hz muy acusado. Además, como consecuencia de estos armónicos se producirán variaciones en los armónicos de salida de 200, 600 y 800 Hz principalmente (Apéndice 1).

Es importante destacar que esta tensión de offset es exclusiva de la fuente de entrada. Sin embargo V_{off} puede ser tomada también como la suma del offset que incorpore la fuente y el integrador. Observando las ecuaciones, se puede deducir que el offset, a pesar de ser un efecto a priori perjudicial para la calidad de la señal del circuito, puede ser utilizado manipulando su valor desde la fuente para corregirlos el tono de f_{in} , tanto el debido a la propia fuente, el del integrador o a las variaciones en la salida del comparador con histéresis.

La figura 6.1 muestra los resultados obtenidos mediante simulación con Simulink utilizando una señal sinusoidal de amplitud de 10 V con una tensión de offset de 0.15 V. Los resultados obtenidos mediante la FFT muestran como el tono de 200 Hz aumenta considerablemente. Sin embargo, los de 600 Hz y 800 Hz permanecen prácticamente intalterados.

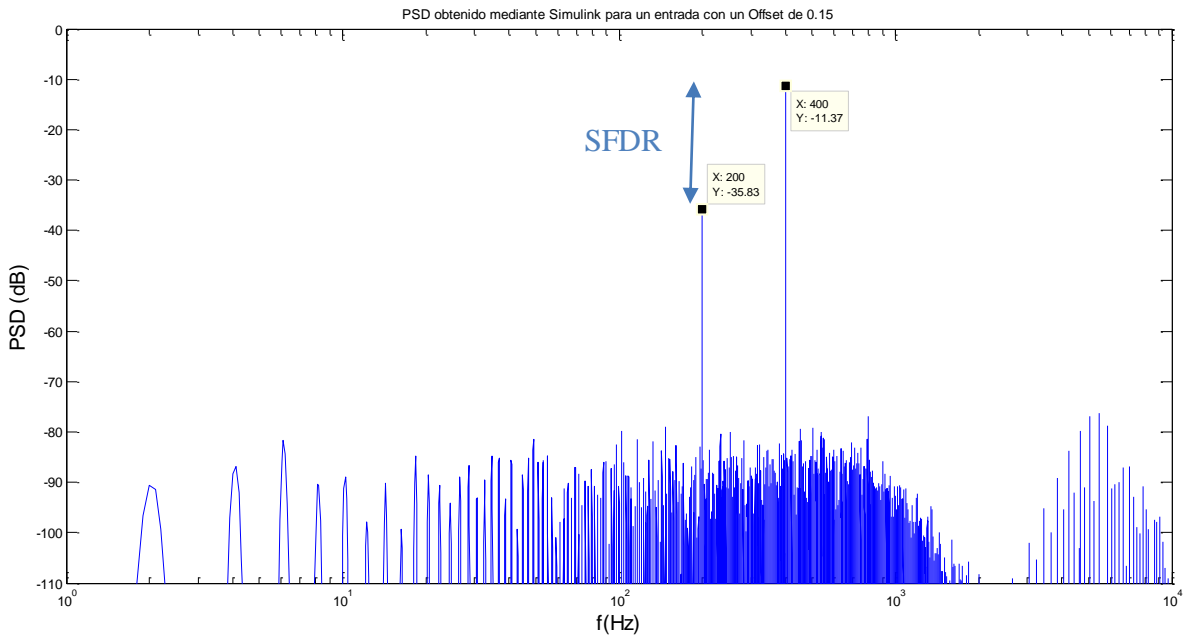


Figura 6.1. PSD obtenida mediante Simulink para una entrada con offset.

La figura 6.2 muestra la PSD con los datos experimentales. En ella se aprecia una clara semejanza en la diferencia del tono de f_{in} (200Hz) siendo de 24 dB en simulación y 28 dB experimentalmente. Además, se observa cómo los tonos de 600 y 800 Hz han aumentado con respecto a la simulación, sin embargo siguen mostrando valores del SFDR muy altos (51 dB).

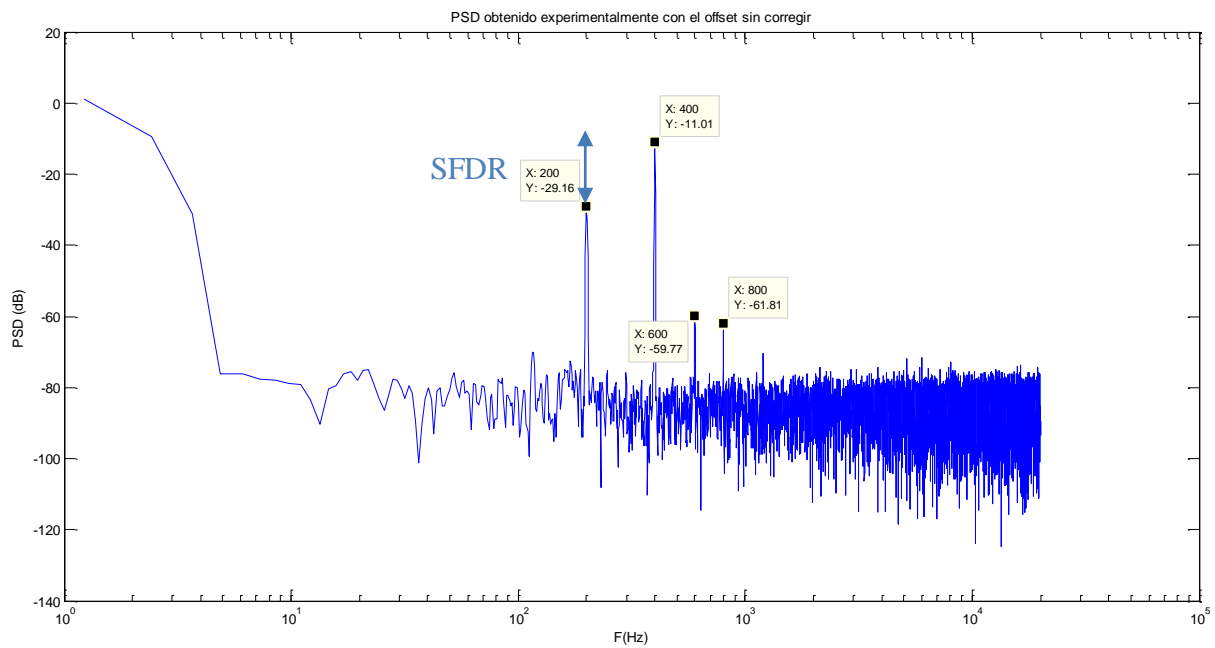


Figura 6.2. PSD obtenida experimentalmente sin corregir el offset.

Los resultados obtenidos anteriormente mediante simulación y el experimento justifican el hecho de que el offset pueda ser ajustado en busca de una mejora a los resultados que permita analizarlo de forma que la señal se parezca lo más posible a una entrada sinusoidal pura. Para ello se ajustará el offset de continua de la fuente, de forma que se reduzca el tono de 200 Hz. En vista a las fórmulas, los tonos de 600 Hz y de 800 Hz permanecerán prácticamente inalterados. Estas predicciones teóricas fueron validadas tanto por simulación como por los resultados experimentales. No obstante, los resultados experimentales seguirán aportando datos que recogen las imperfecciones a la entrada. Consecuentemente, se puede asegurar que el comportamiento del circuito será siempre mejor de lo obtenido mediante el experimento.

Si se observa la figura 6.3, se aprecia cómo con el ajuste del Offset se consigue eliminar el armónico de 200 Hz, quedando al mismo nivel que el ruido del circuito. Además, se observa como los tonos de 600 Hz y 800 Hz apenas varían. En cuanto a los valores obtenidos se observa cómo se obtienen resultados de 51 dB tanto en los tonos de 600 Hz como en el de 800 Hz.

Además, es importante destacar que, como se explicó anteriormente, con la reducción del tono de 200 Hz se están corrigiendo además efectos de imperfecciones tales como el offset del integrador y las variaciones en la salida de ASDM.

Otro aspecto destacado son los tonos de alta frecuencia debido a la modulación. En los resultados experimentales, debido a los errores de cuantificación del osciloscopio los tonos quedan enmascarados por el fondo de ruido. En apartados posteriores se observará como al reducir la amplitud se puede mejorar la resolución al realizar la medida, consiguiendo ver estos tonos*. No obstante, serán considerablemente más pequeños que los demás.

* Al disminuir la amplitud se puede escalar el nivel de la toma de datos del osciloscopio en valores más pequeños. Esto permite una medida más precisa ante valores más pequeños. Como consecuencia se consigue que el fondo de ruido pueda ser desplazado hacia valores más bajos

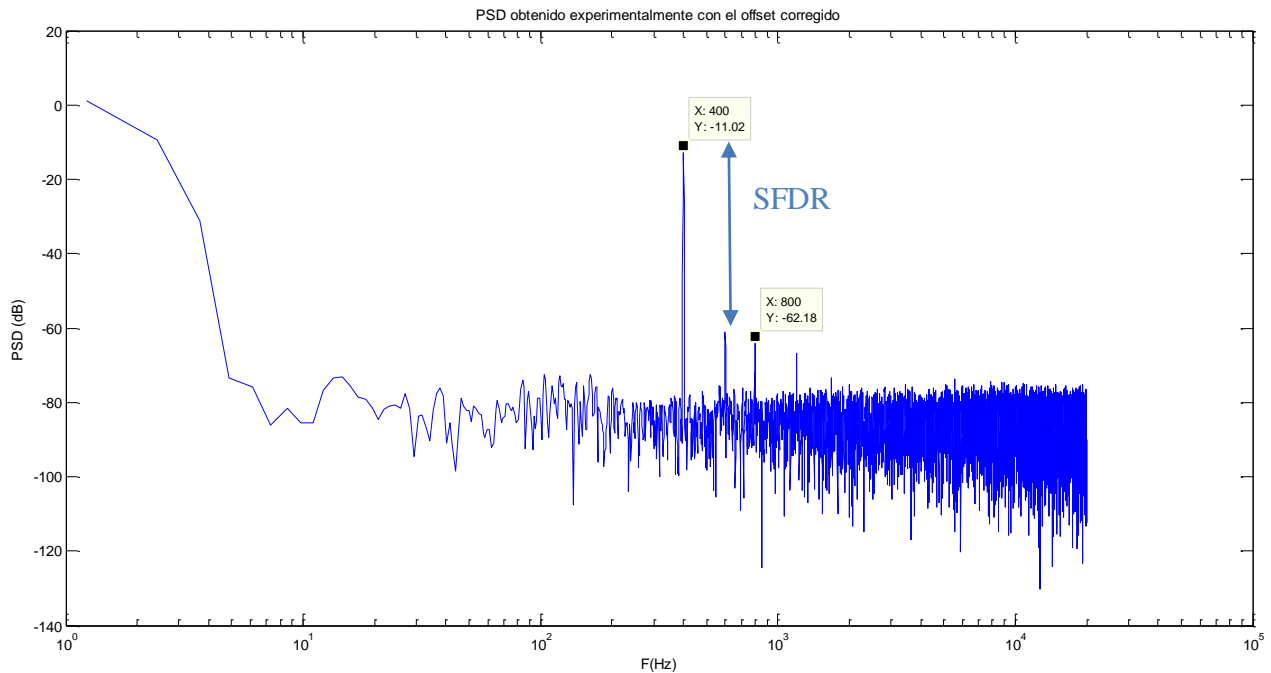


Figura 6.3. PSD obtenida experimentalmente corrigiendo el offset.

6.3 Análisis en la salida de las diferentes etapas.

En el presente apartado se analizará y comparará la salida ante cada elemento del circuito con el fin de verificar su correcto funcionamiento y justificar posibles variaciones con respecto al análisis mediante Microcap.

6.3.1 Bloque del Asynchronous Sigma-Delta modulator

La figura 6.4 muestra la salida del integrador y el comparador. En ella se aprecian cómo el valor V_s aumenta ligeramente, por lo que se debe producir un aumento de la frecuencia f_m . Además se produce una ligera modulación en la amplitud del integrador y el comparador, teniendo ésta una frecuencia de 200 Hz, es decir, la frecuencia de entrada.

Al igual que se explicó en el apartado 4.5, se producen variaciones en la salida del comparador, sin embargo estas son considerablemente pequeñas. Además, como se explicó en el apartado 6.2 el efecto que pudiera causar puede ser corregido.

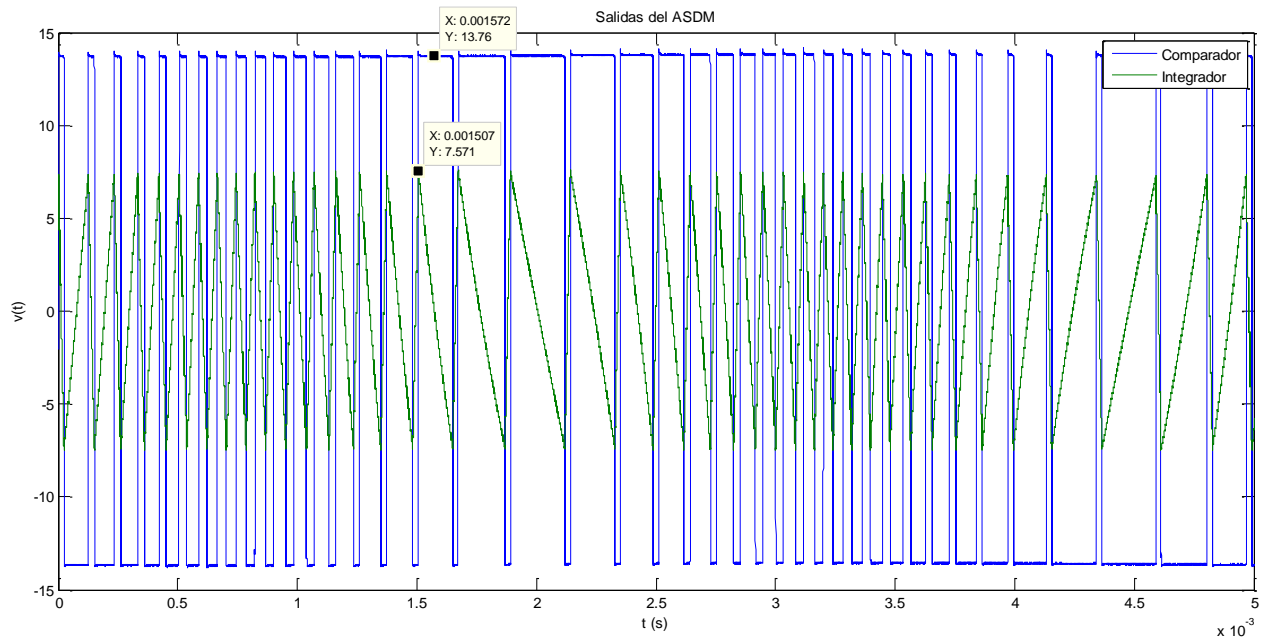


Figura 6.4. Salidas experimentales del integrados y del comparador con histéresis.

6.3.2 Salida del Zero-crossing detector

El aspecto más importante a destacar de este bloque es que debido al comportamiento no ideal del LM555 y al aumento de f_m hasta 10 KHz, el condensador no se descargaba totalmente aunque se encontrara dentro de los límites, por lo que fue necesario disminuir el valor del retraso hasta 11 μ s. Además, aparece una pequeña modulación en amplitud en los máximos de los pulsos con frecuencia el doble de la frecuencia de entrada. Sin embargo ésta es muy pequeña, de tan sólo 0.1 V aproximadamente (figura 6.6). Así, se espera que esto afecte al PSD, ya que en la simulación con Microcap el LM555 estaba realizado mediante una macro en la cual el elemento actuaba de forma ideal.

La figura 6.5 la salida del ZCD detector a la vez que la del ASDM. En ella se aprecia el correcto funcionamiento del ZCD. Además, si se analiza el ancho del pulso se puede comprobar que el valor del pulso es justamente el seleccionado ($11\mu s = 1.1 \cdot R \cdot C$).

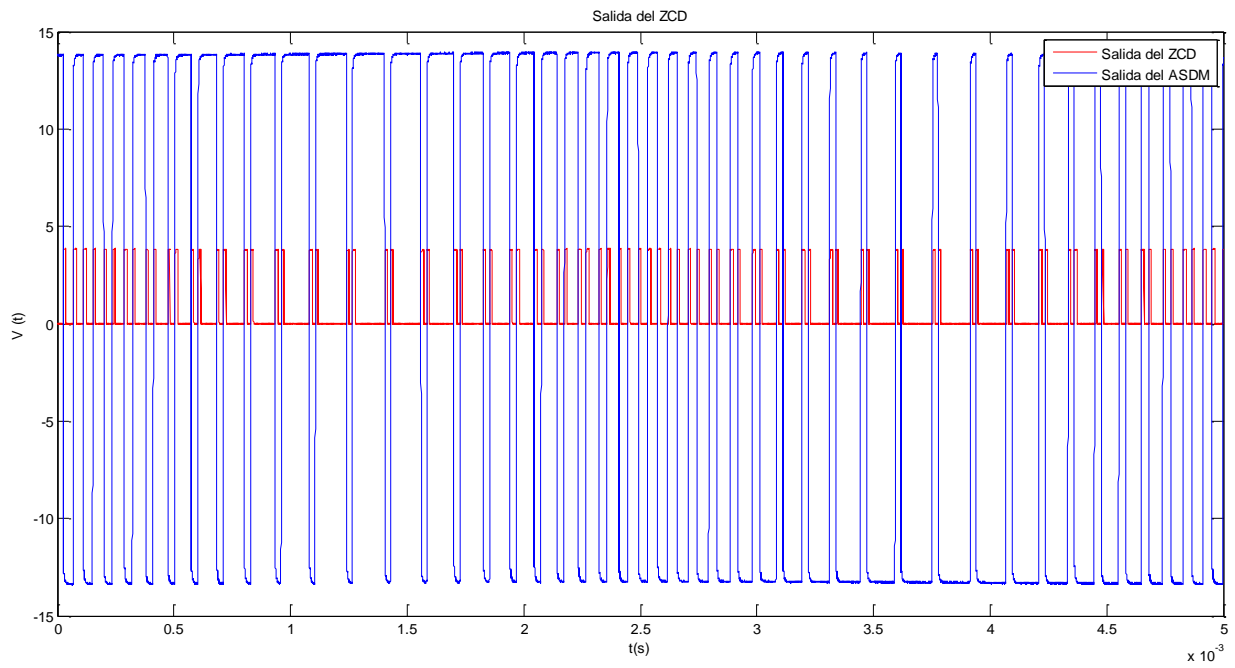


Figura 6.5. Salidas del ASDM y del ZCD obtenidas de forma experimental.

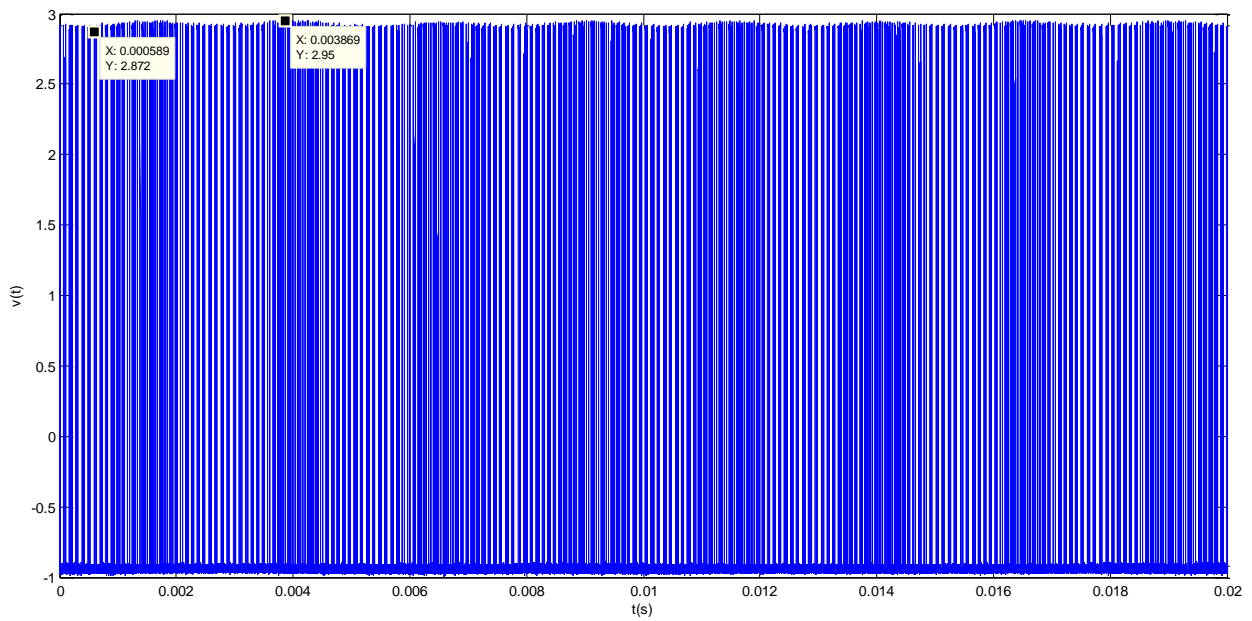


Figura 6.6. Salida del ZCD.

6.3.3 Salida del filtro

A la salida del filtro se puede observar la salida de la señal deseada. La figura 6.7 muestra a la salida del filtro una señal sinusoidal de 400 Hz. Por lo tanto, el filtro está actuando correctamente.

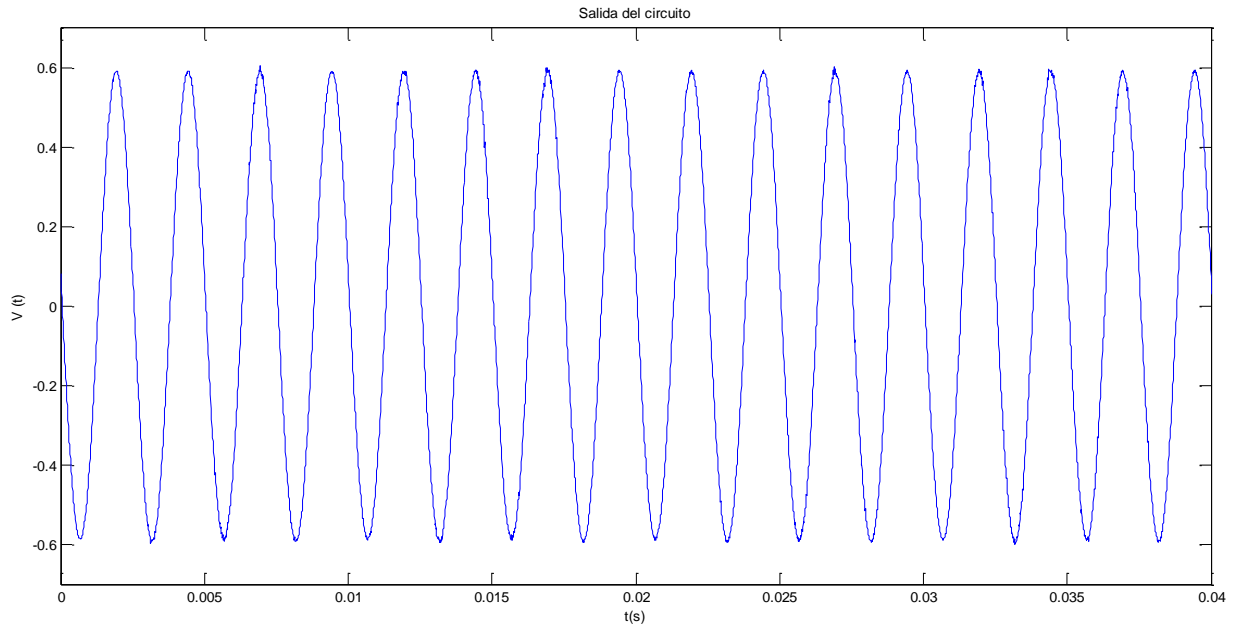


Figura 6.7. Salida del circuito obtenida experimentalmente.

6.4 Deterioro de la señal a lo largo del circuito.

Previamente se analizaron los resultados con la señal de referencia. Este apartado tiene como objetivo el estudio del deterioro de la señal a lo largo del circuito. Así, se estudiará dónde aumentan

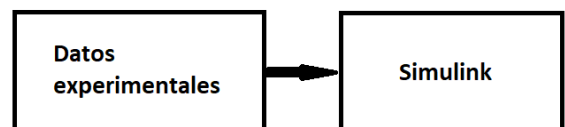


Figura 6.8. Esquema del estudio realizado.

los tonos y por qué. Para ello se tomaron como muestra la salida del ASDM y del ZCD y se realizó la parte restante del circuito mediante Simulink tal como muestra el esquema de la figura 6.8. Además, el análisis con los datos del ZCD fue llevado a cabo también corrigiendo su la modulación en amplitud tal como muestra la figura 6.9.

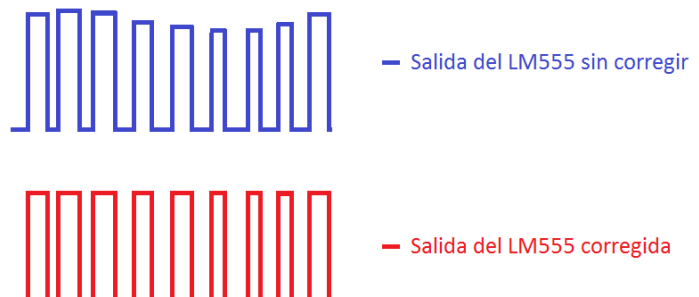


Figura 6.9. Esquema de los análisis del LM555

Las figuras 6.10 y 6.11 muestran la PSD obtenida tomando como salida el ASDM y el ZCD, y realizando el resto del circuito mediante Simulink. En ellas se aprecia como el tono de $3 \cdot f_{in}$ (600 Hz) se va deteriorando desde 58 dB tomando como salida el ASDM hasta los 54 dB obtenidos con la salida del ZCD. Por lo tanto, el principal responsable de este tono es el ASDM. En cuanto al tono de $4 \cdot f_{in}$ se aprecia cómo tomando los datos a la salida del ASDM es de tan solo 81 dB, creciendo hasta los 71 dB cuando se corrige la salida del ZCD, y obteniéndose 53 dB a la salida del ZCD sin corregir. Por lo tanto, buena parte de este tono se debe a la envolvente de amplitud que se produce en los máximos del LM555.

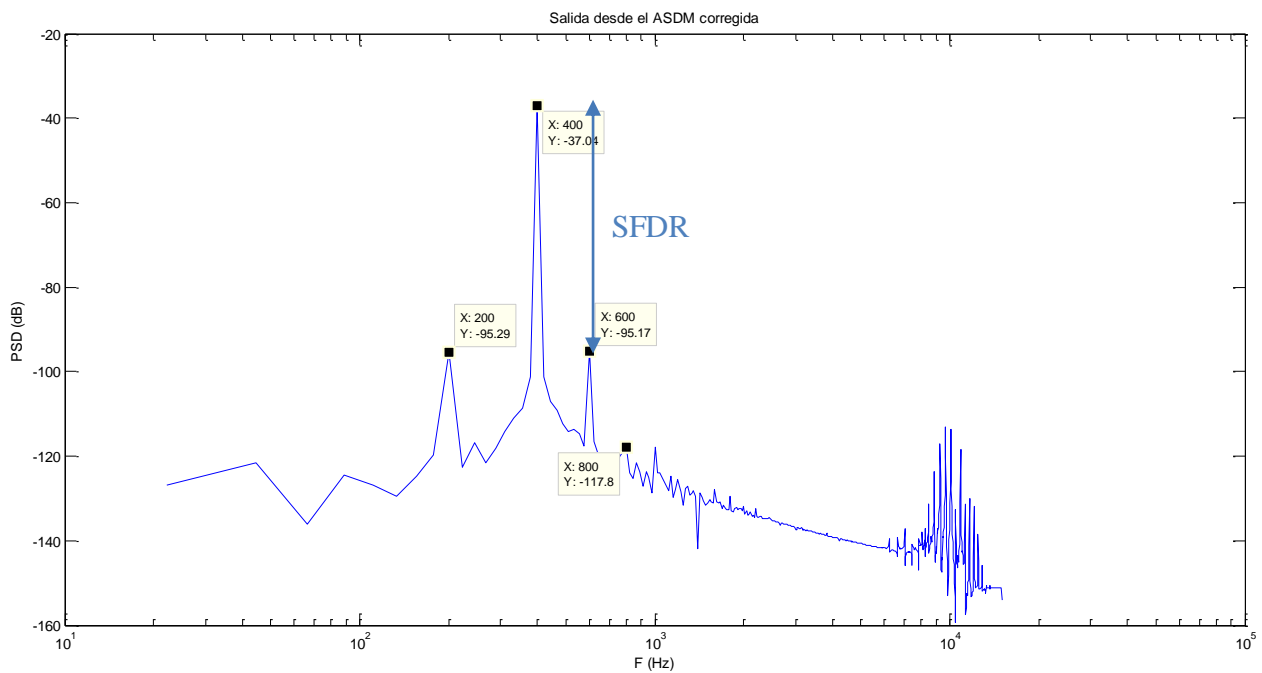


Figura 6.10. PSD obtenida mediante la muestra de la salida del ASDM.

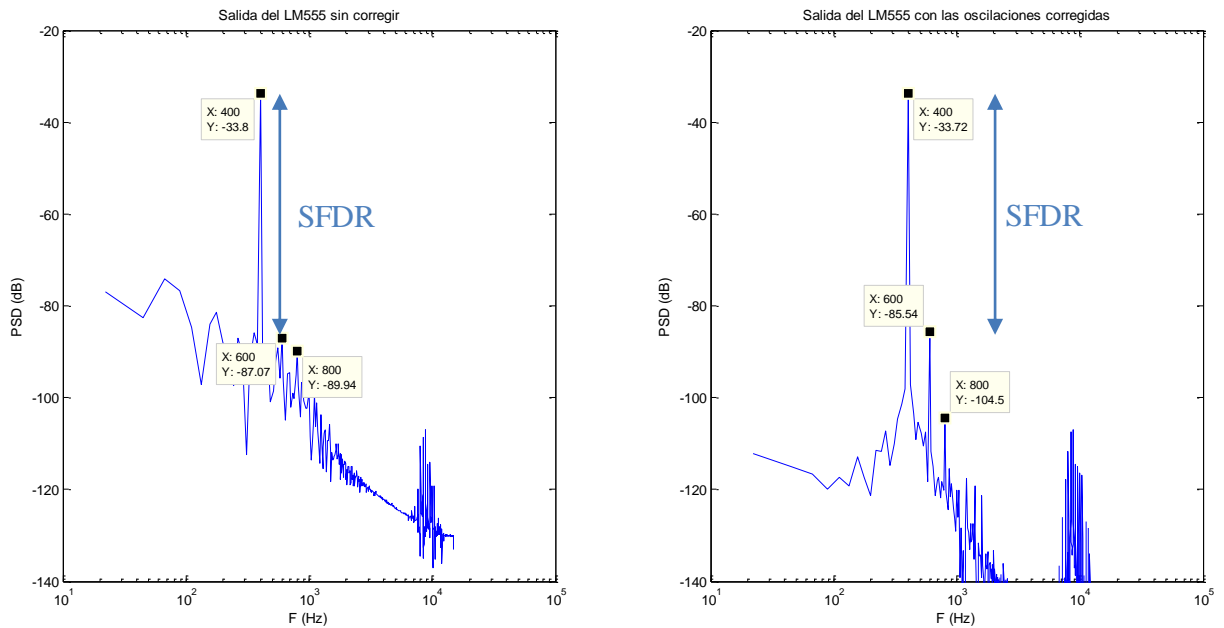


Figura 6.11. PSD obtenida mediante la muestra a la salida del ZCD con la envolvente de amplitud sin corregir (izquierda) y corregida (derecha).

6.5 Comparación de los resultados experimentales con simulación.

En este apartado se compararán los resultados experimentales obtenidos con los aportados por la simulación con Microcap. Para ello se discutirán los resultados obtenidos utilizando como referencia dos señales de entrada: la de referencia que se ha ido utilizando a lo largo de todo el documento ($A=10\text{ V}$ y $f_{in}=200\text{ Hz}$) y una sinusoidal con $A=5$ y $f_{in}=50\text{ Hz}$.

La figura 6.11 muestra la PSD obtenida experimentalmente y con simulación en Microcap para unas amplitudes de 10 y 9.5 V y 200 Hz de frecuencia de entrada. El primer efecto apreciable es la disminución del valor del tono deseado, esto se debe a que el LM555 proporciona un valor de salida inferior al que aporta la macro que incorpora el programa de simulación. En ella se aprecia una merma considerable de los resultados obtenidos, pasando de un SFDR de 65 dB en Microcap a uno de 50 (+3dB). Un aspecto a destacar es el hecho de que tono situado en 200 Hz que aparece en la simulación ha sido eliminado mediante el ajuste explicando anteriormente. Además, los tonos debidos a la modulación se reducen y ni siquiera aparecen. Se sitúan en la zona del ruido de cuantificación. Otra diferencia significativa es el tono de 1200 hz que no parecía significativo en la simulación. Este puede ser debido a las imperfecciones de la entrada.

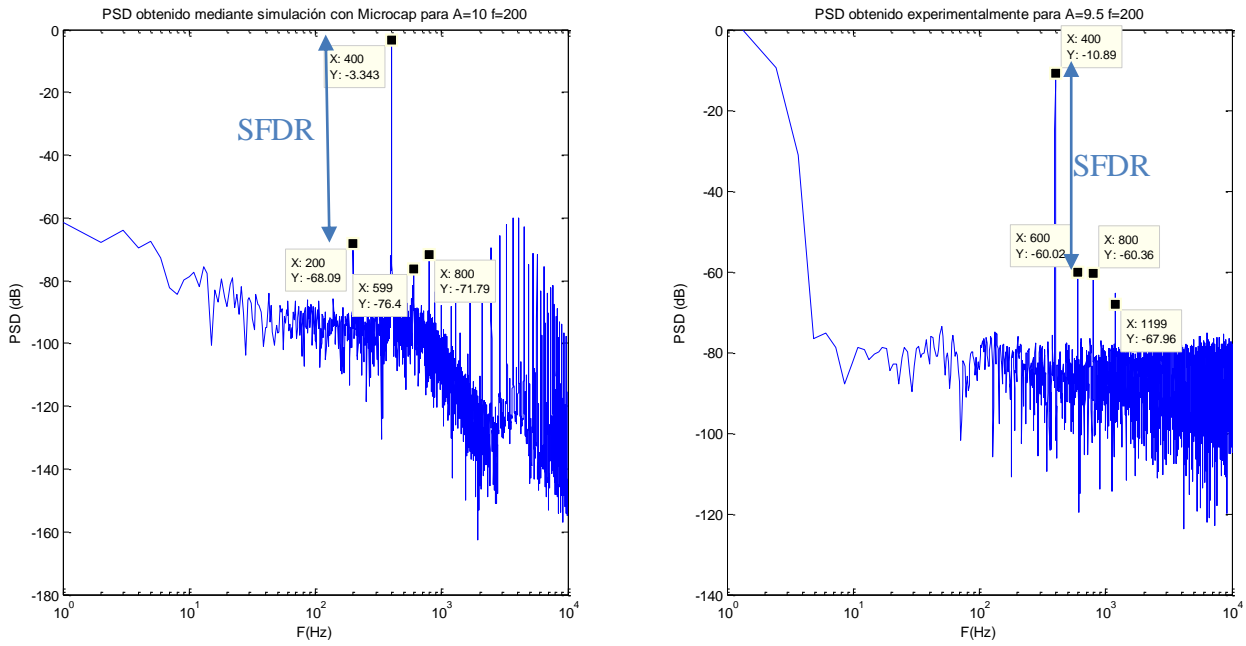


Figura 6.12. Comparación de la PSD obtenida con Microcap y experimentalmente para la señal de referencia.

La figura 6.12 muestra la PSD obtenida de forma experimental y con Microcap para una señal de amplitud $A=5$ V y frecuencia $f_{in}=200$ Hz. El hecho de disminuir la amplitud permitió mejorar el ruido de cuantificación, como consecuencia se pueden apreciar algunos de los tonos debidos a la modulación. No obstante son considerablemente más pequeños que el resto (unos 20 dB). Al igual que en el caso anterior, se producen peores resultados en el caso experimental. Además, se puede apreciar como con amplitudes bajas es más difícil de eliminar el tono de f_{in} , que alcanza valores semejantes a los demás tonos.

Si se comparan las figuras 6.12 y 6.13 se puede comprobar cómo una disminución de la amplitud hace que el circuito se comporte peor de forma teórica. Sin embargo, en los resultados experimentales sucede lo contrario. Este hecho se debe a que con la disminución de la amplitud se produce una mejora en la envolvente de la salida de los bloques.

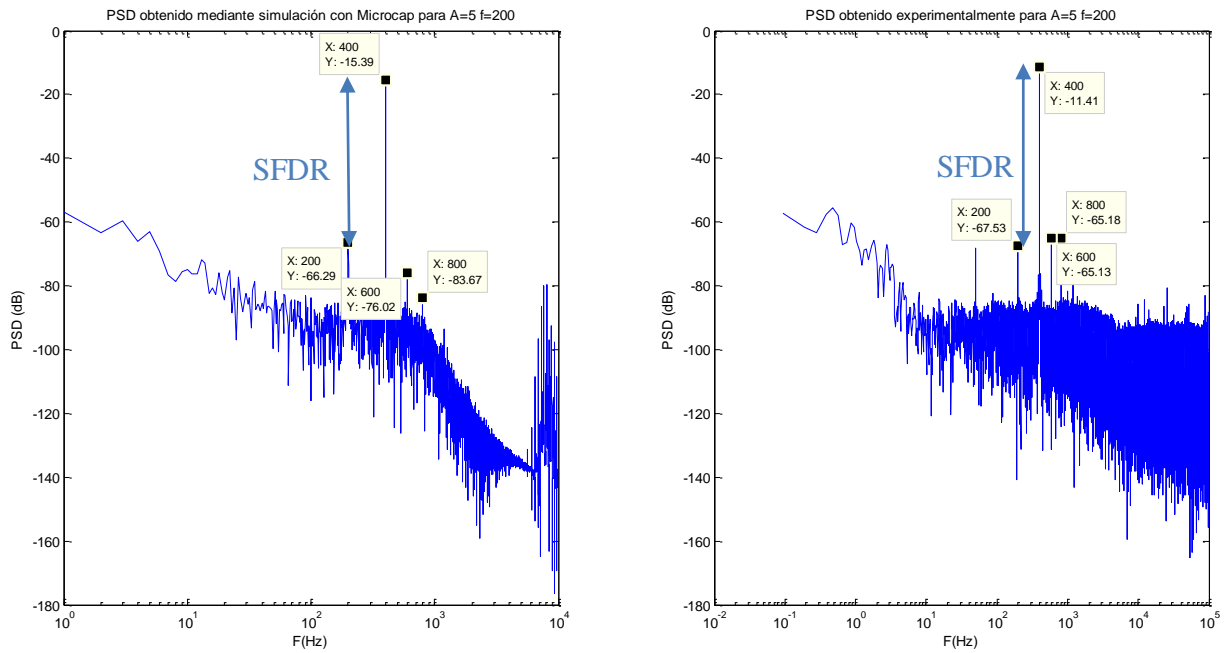


Figura 6.13. Comparación de la PSD obtenida experimentalmente y con Microcap para una señal de $A=5$ y $f_{in}=200$.

6.6 Resultados ante variaciones en la frecuencia y en la amplitud.

Con vista a comprobar el comportamiento del circuito en un amplio rango de situaciones, se analizó el espectro de la señal de salida ante señales sinusoidales con diferentes valores de amplitud y frecuencia. Para ello se varió la frecuencia en un rango de 25 a 200 Hz, y la amplitud entre 4 y 9.5 V. Para ello serán tenidos en cuenta dos parámetros: el SFDR y el SNDR.

En cuanto a la amplitud los resultados experimentales muestran una tendencia decreciente del SFDR con la misma (Figura 6.14). Se puede apreciar cómo los peores resultados son obtenidos para los máximos valores de frecuencia y de amplitud (47 dB). Por el contrario, el máximo valor del SFDR se obtiene en la zona de bajas amplitudes y bajas frecuencias. Concretamente, se obtienen 58 dB de diferencia en el caso de una frecuencia de 25 Hz y una amplitud de 4 V. Es importante destacar que los tonos más importantes se encontraban en todos los casos en $3 \cdot f_{in}$ y $4 \cdot f_{in}$ alcanzándose valores semejantes en todos los casos.

Atendiendo al SNDR (figura 6.15), se puede observar la misma tendencia, pero con valores ligeramente inferiores. Este hecho se debe fundamentalmente a que los tonos de $3 \cdot f_{in}$ y $4 \cdot f_{in}$ son predominantes y se suman a otros considerablemente inferiores (más de un orden de magnitud inferior). Es importante destacar que, con reducciones de la frecuencia también se obtienen mejoras en el SFDR y el SNDR.

El hecho de que con mayores amplitudes se obtengan peores resultados se debe a varios factores de los cuales el más importante de ellos es que la modulación de la amplitud producida en el ASDM y el LM555 aumenta. Además, con el aumento de la amplitud se hacen más pequeños los pulsos del ASDM en las zonas de los máximos y mínimos, por lo que la importancia del Slew-Rate en estos tramos es mayor. Otro aspecto fundamental es que esta zona se sitúa más cerca de los tonos de alta frecuencia, por lo que, aunque en pequeña medida se están solapando.

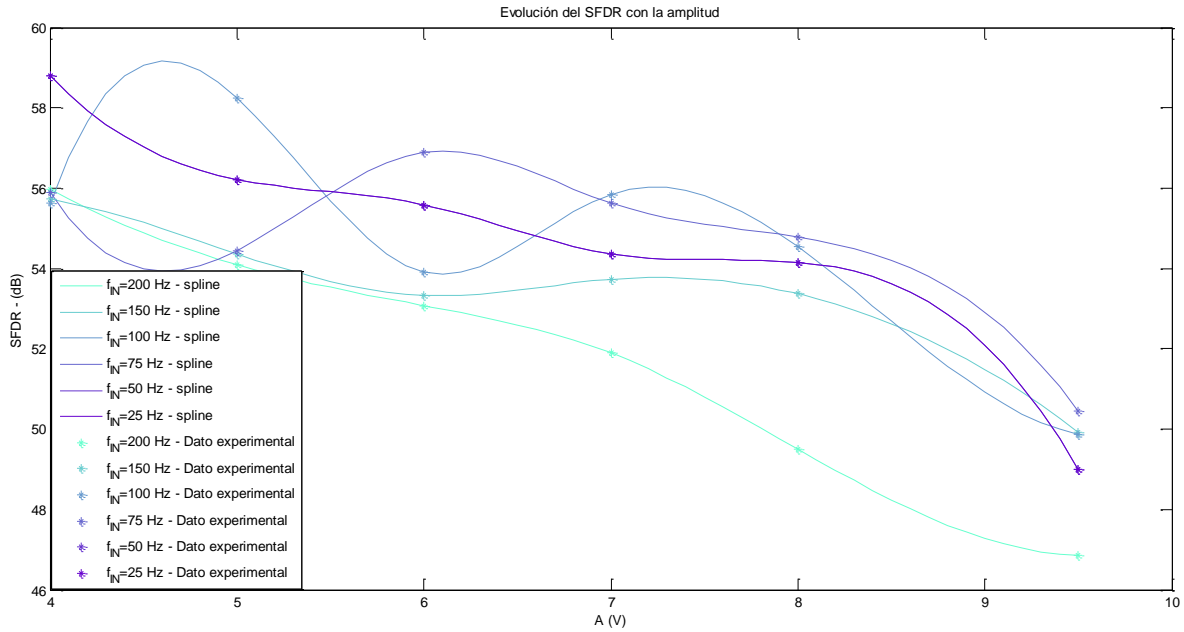


Figura 6.14. Evolución del SFDR con la amplitud para varias frecuencias.

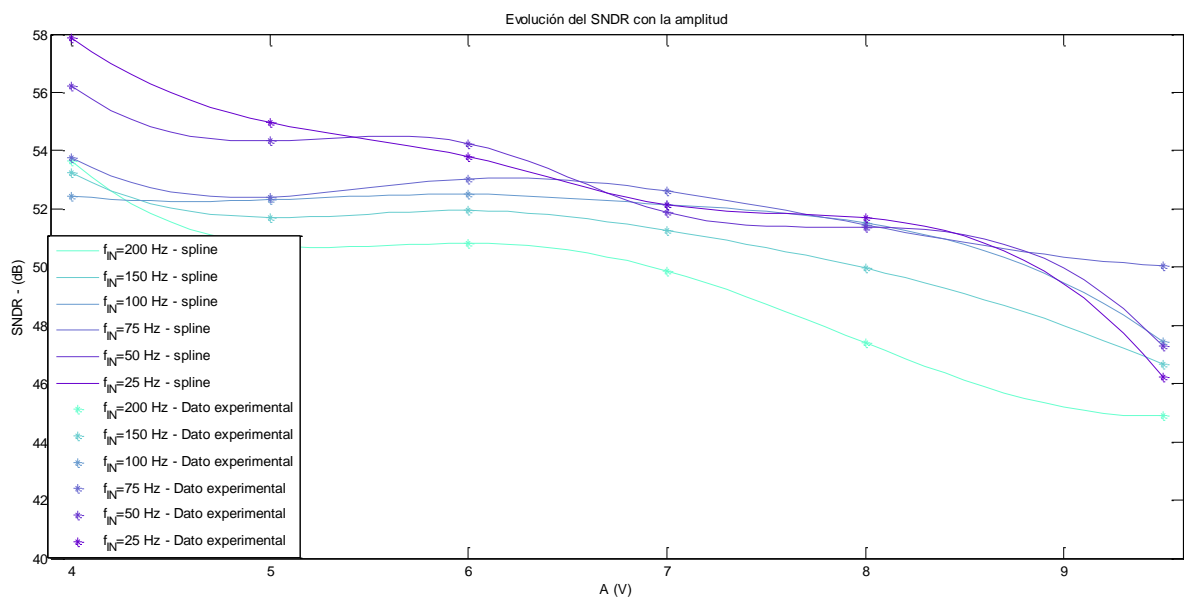


Figura 6.15. Evolución del SNDR con la amplitud para varias frecuencias.

6.7 Conclusiones.

Se ha analizado el circuito ante diferentes elementos y señales de entrada. El análisis de los elementos ha permitido una mejora considerable del SFDR con respecto al Op-Amp seleccionado inicialmente. Así, a pesar de haberse producido un deterioro con respecto a los valores que aportaba la simulación, tanto el SFDR como el SNDR alcanzan valores realmente buenos. Además, el circuito ha demostrado mejores resultados conforme se disminuía la frecuencia y la amplitud.

7 CONCLUSIONES Y LÍNEAS FUTURAS DE INVESTIGACIÓN.

7.1 Conclusiones.

A lo largo del trabajo se han analizado el espectro tanto de las simulaciones con Simulink y Microcap como de la respuesta experimental del circuito. Las conclusiones del estudio llevado a cabo se exponen a continuación:

- Basado en un modulador Sigma-Delta se puede diseñar un circuito cuadrático mediante el uso del Asynchronous-Sigma Modulator seguido de un Zero-Crossing detector seguido de un filtro paso bajo.
- Mediante dicha estructura se puede transmitir información en frecuencia.
- El ASDM puede ser realizado mediante un integrador y un comparador con histéresis.
- Variaciones en el retraso no juegan un papel fundamental en los resultados siempre y cuando se mantengan dentro del límite que marcan los demás parámetros del circuito.
- Variaciones en Δ , V_s y W_0 solo causan alteraciones en la frecuencia máxima, mínima y de la portadora desplazando los tonos de la modulación a lo largo del eje de las frecuencias.
- El circuito puede ser elaborado mediante el uso de Op-Amps, una puerta XOR, un circuito integrado inversor, resistencias y condensadores.
- Las simulaciones con Simulink y Microcap muestran mejores resultados que los datos experimentales. Sin embargo, los datos experimentales siguen siendo de gran calidad.
- A lo largo del circuito se deterioran las señales de distinta forma, siendo el responsable del tono de $3 \cdot f_{in}$ el ASDM, mientras que el de $4 \cdot f_{in}$ es la oscilaciones en los máximos de la salida del ZCD.
- Las prestaciones del circuito mejoran cuando se disminuye la frecuencia y la amplitud de la onda de salida.

7.2 Líneas futuras de investigación.

En vista las conclusiones analizadas previamente, podría ser realizado un estudio más pormenorizado de algunos aspectos del circuito o de sus implementaciones. A continuación se exponen futuras posibles mejoras o líneas de investigación que podrían ser llevadas a cabo para conseguir una mejora de los resultados:

- Ajustar el offset de los Op-Amps mediante los pines que tiene dispuestos para ello.
- Probar el comportamiento del circuito realizando otro tipo de implementación del ZCD que mejora el tono de $4 \cdot f_{in}$.
- En vista a la diferencia de resultados entre las simulaciones y el comportamiento experimental, fabricar la PCB para el caso diferencial y estudiar su comportamiento y sus resultados.
- Realizar un sistema de autocancelación del offset DC.

REFERENCIAS

- [1] F. Colodro, A. Torralba, J.L. Mora, and J.M. Martínez-Heredia, « *An Analog Squaring Technique based on Asynchronous Sigma-Delta Modulation*», *IEEE Transactions on Circuits and Systems II: Express Briefs* (Volume: 56, Issue: 8, Aug. 2009)
- [2] C. J. Kikkert and D. J. Miller, « *Asynchronous delta sigma modulation*», *Proc. IREE*, vol. 36, pp. 83–88, Apr. 1975.
- [3] « *Measuring of dynamic figures: SNR, THD, SFDR*» apuntes de PennState College of Engineering.
- [4] « *Clase 5. Procesos estocásticos en Teoría de la señal.*» apuntes de la *Universidad de Navarra*.
- [5] Norbert R. Malik, « *CIRCUITOS ELECTRÓNICOS. ANÁLISIS, SIMULACIÓN Y DISEÑO*», Prentice Hall
- [6] Steven R. Norsworthy, Richard Schreier, Gabor C. Temes, « *Delta-Sigma Data Converters. Theory, Design, and Simulation*», IEE PRESS
- [7] Alejandro Arias Alcaraz, Antonio Luque Estepa, «*Manual de Microcap V demo*», *Universidad de Sevilla*.
- [8] Mathworks.com

APÉNDICE 1. DEMOSTRACIÓN DEL EFECTO DE IMPERFECCIONES A LA ENTRADA DEL ASDM

Si se considera la señal de entrada como la suma de una señal con la frecuencia deseada más otra señal no deseada se puede escribir cómo:

$$V_{IN} = A \cdot \sin(2 \cdot \pi \cdot f_{in}) + V_{No-deseado}$$

La señal de salida vendrá dada por $V_s = (A \cdot \sin(2 \cdot \pi \cdot f_{in}) + V_{No-deseado})^2 = A^2 \cdot \sin(4 \cdot \pi \cdot f_{in}) + V_{No-deseado}^2 + 2 \cdot A \cdot \sin(2 \cdot \pi \cdot f_{in}) \cdot V_{No-deseado}$

Si consideramos que la señal no deseada está constituida por un offset más las sumas de dos señales sinusoidales del doble de frecuencia de entrada se puede determinar los principales componentes espectrales que resultarán:

$$V_{No-deseado} = V_{off} + b_1 \cdot \sin(4 \cdot \pi \cdot f_{in}) + b_2 \cdot \sin(6 \cdot \pi \cdot f_{in})$$

$$V_{No-deseado}^2 = V_{off}^2 + b_1^2 \sin(8 \cdot \pi \cdot f_{in}) + b_2^2 \sin(12 \cdot \pi \cdot f_{in}) + 2V_{off} \cdot b_1 \cdot \sin(4 \cdot \pi \cdot f_{in}) + 2V_{off} \cdot b_2 \cdot \sin(6 \cdot \pi \cdot f_{in}) + 2 \cdot b_1 \cdot b_2 \cdot \sin(4 \cdot \pi \cdot f_{in}) \cdot \sin(6 \cdot \pi \cdot f_{in}) = V_{off}^2 + b_1^2 \sin(8 \cdot \pi \cdot f_{in}) + b_2^2 \sin(12 \cdot \pi \cdot f_{in}) + 2V_{off} \cdot b_1 \cdot \sin(4 \cdot \pi \cdot f_{in}) + 2V_{off} \cdot b_2 \cdot \sin(6 \cdot \pi \cdot f_{in}) + b_1 \cdot b_2 \cdot [\cos(2 \cdot \pi \cdot f_{in}) - \cos(10 \cdot \pi \cdot f_{in})].$$

$$2 \cdot A \cdot V_{No-deseado} = 2 \cdot A \cdot V_{off} \cdot \sin(2 \cdot \pi \cdot f_{in}) + 2 \cdot A \cdot b_1 \cdot \sin(2 \cdot \pi \cdot f_{in}) \cdot \sin(4 \cdot \pi \cdot f_{in}) + 2 \cdot A \cdot b_2 \cdot \sin(2 \cdot \pi \cdot f_{in}) \cdot \sin(6 \cdot \pi \cdot f_{in}) = 2 \cdot A \cdot V_{off} \cdot \sin(2 \cdot \pi \cdot f_{in}) + A \cdot b_1 \cdot [\cos(2 \cdot \pi \cdot f_{in}) - \cos(6 \cdot \pi \cdot f_{in})] + A \cdot b_2 \cdot [\cos(8 \cdot \pi \cdot f_{in}) - \cos(4 \cdot \pi \cdot f_{in})]$$

APÉNDICE 2. ESTRUCTURA EN MICROCAP DEL ASDM DE LA VERSIÓN DIFERENCIAL

