

UNIVERSIDAD DE SEVILLA

Departamento de Electrónica y Electromagnetismo



DISEÑO LÓGICO DE CIRCUITOS DIGITALES USANDO DISPOSITIVOS CON CARACTERÍSTICA NDR

Memoria presentada por

Juan Núñez Martínez

para optar al grado de Doctor por la Universidad de Sevilla

Directores

**María José Avedillo de Juan
José María Quintana Toledo**

Sevilla, Diciembre de 2010

DISEÑO LÓGICO DE CIRCUITOS DIGITALES USANDO DISPOSITIVOS CON CARACTERÍSTICA NDR

Memoria presentada por:

Juan Núñez Martínez

para optar al grado de Doctor por la Universidad de Sevilla

DIRECTORES

Dra. María José Avedillo de Juan

Catedrático de Universidad

Dr. José María Quintana Toledo

Catedrático de Universidad

Departamento de Electrónica y Electromagnetismo

UNIVERSIDAD DE SEVILLA

A mis padres

AGRADECIMIENTOS

Gracias a María José y José María, por su paciencia, esfuerzo y dedicación en estos años. Sin ellos, este trabajo nunca podría haber llegado a buen puerto. A mi familia, por el apoyo que me ha brindado durante todo este tiempo. En los buenos y en los malos momentos siempre han estado junto a mí. Finalmente, quiero agradecer a mis compañeros del Instituto de Microelectrónica de Sevilla por su inestimable colaboración. Algunos con sus consejos y otros con su amistad han hecho que estos años juntos hayan sido especialmente gratos.

ÍNDICE

AGRADECIMIENTOS	I
LISTA DE FIGURAS	VII
LISTA DE TABLAS	XIII
CAPÍTULOS	
1.. INTRODUCCIÓN	1
1.1. El diodo de efecto túnel resonante	2
1.1.1. El efecto túnel y el efecto túnel resonante	3
1.1.2. Diodos de efecto túnel resonante y circuitos digitales	5
1.2. El principio de operación MOBILE	7
1.2.1. Adición de funcionalidad lógica	8
1.2.2. Análisis de las propiedades de evaluación y biestabilidad	9
1.2.3. Comportamiento dinámico	15
1.2.4. Operación <i>nanopipeline</i>	16
1.3. Objetivos de la Tesis y organización de la memoria	16
2.. ANÁLISIS DE ESTRUCTURAS BASADAS EN LA EXTENSIÓN DEL PRINCIPIO DE OPERACIÓN MOBILE	21
2.1. Circuitos diferenciales y con polarización simétrica	22
2.1.1. Circuito diferencial basado en el MOBILE	22
2.1.2. Estructura MOBILE con polarización simétrica (SMOBILE)	26
2.1.3. Validación de resultados	32
2.2. Circuitos multivaluados: conceptos básicos	34
2.2.1. Característica <i>I-V</i> de varios RTDs en serie	34
2.2.2. El principio de operación MML	38
2.3. Estructuras ternarias	41
2.3.1. El inversor ternario	41
2.3.2. Puertas NMIN-NMAX	53
2.4. Estructuras cuaternarias	62
2.4.1. Propiedad de evaluación	62
2.4.2. Propiedad de multiestabilidad	68
2.4.3. Validación de los resultados obtenidos	70
2.5. Circuitos con entradas continuas	70
2.5.1. Comparador binario de 1 bit	70
2.5.2. Comparador ternario	77
2.6. Conclusiones	80

3.. EL DISPOSITIVO MOS-NDR	83
3.1. Descripción de la estructura MOS-NDR	83
3.1.1. Estructuras MOS-NDR de un solo pico	85
3.1.2. Estructuras MOS-NDR de más de un pico	89
3.2. Dimensionamiento de la estructura MOS-NDR	90
3.2.1. Dimensionamiento en la estructura MOS-NDR de un pico	90
3.2.2. Dimensionamiento en la estructura MOS-NDR multipico	92
3.3. Validación del principio de operación MOBILE y MML	94
3.3.1. MOBILE	94
3.3.2. MML	95
3.4. Consideraciones de diseño MOS-NDR	97
3.4.1. Desviaciones en la característica $I-V$	97
3.4.2. Dimensionamiento de circuitos MOBILE no ideales	100
3.5. Dispositivo MOS-NDR programable	102
3.6. Resultados experimentales	103
3.6.1. MOBILE activo por flanco descendente	104
3.6.2. Dispositivo MOS-NDR programable	105
3.7. Conclusiones	107
4.. DISEÑO DE CIRCUITOS LÓGICOS BASADOS EN EL DISPOSITIVO MOS-NDR	109
4.1. Puertas lógicas MOBILE	109
4.1.1. Puertas umbral empleando RTDs y transistores	110
4.1.2. Puertas umbral MOS-NDR MOBILE	111
4.1.3. Puertas activas por flanco de bajada	116
4.1.4. Resultados experimentales	116
4.2. Esquemas de interconexión	137
4.2.1. Resultados experimentales	142
4.3. Muller <i>C-element</i>	144
4.3.1. Muller <i>C-element</i> de 4 entradas con MOS-NDR	145
4.3.2. Muller <i>C-element</i> con MOS-NDR y red de preprocesamiento	147
4.3.3. Resultados experimentales	150
4.4. Conclusiones	159
5.. DISEÑO DE CIRCUITOS RTD-CMOS	161
5.1. Descripción de los experimentos	162
5.1.1. Parámetros de diseño	163
5.1.2. Condiciones de los experimentos	163
5.1.3. Procesamiento de simulaciones	165
5.2. Evaluación de puertas RTD-CMOS	165
5.2.1. Resultados de simulación	165
5.2.2. Comparación de prestaciones con circuitos TSPC	179
5.3. Evaluación de redes de puertas RTD-CMOS	186
5.3.1. Conexión de cuatro inversores en serie	186
5.3.2. Sumador	192
5.4. Conclusiones	196

CONCLUSIONES	199
APÉNDICE	201
A.1. Descripción de las tecnologías empleadas	201
A.1.1. Tecnología LOCOM	201
A.1.2. Tecnología UMC/Faraday 130nm	203
A.2. Descripción de los circuitos fabricados	206
A.2.1. Circuito 1	206
A.2.2. Circuito 2	206
A.2.3. Circuito 3	209
A.3. Software de optimización <i>Suite-NDR</i>	211
A.3.1. Descripción funcional	212
REFERENCIAS	215

LISTA DE FIGURAS

1.1 Diagrama de bandas de una barrera de potencial simple.	3
1.2 Diagrama de bandas de energía y probabilidad de transmisión en una estructura resonante.	4
1.3 Formación de la característica $I-V$ del RTD y símbolo de éste.	5
1.4 Configuración MOBILE.	8
1.5 Adición de funcionalidad lógica al MOBILE.	9
1.6 Representación de la tensión de salida frente a la de alimentación.	10
1.7 Formas de onda correspondiente a las tensiones de reloj (azul), entrada (verde) y salida (rojo) para un inversor binario.	11
1.8 Curvas de carga y plots tensión de salida frente a tensión de alimentación para (a), (b) entrada a nivel lógico bajo y (c), (d) entrada a nivel lógico alto.	12
1.9 Plots de contorno entrada-salida para el estudio de la propiedad de biestabilidad.	13
1.10 Región de funcionamiento correcto. (a)-(b) Pares de puntos (f_D, f_L) para diferentes valores de FF . (c)-(d) Pares de puntos (D, FF) para diferentes valores de f_D	15
2.1 Circuito diferencial basado en MOBILE y su correspondiente versión desacoplada.	23
2.2 Plot $V_{bias} - V_{out}$ del circuito diferencial basado en MOBILE.	24
2.3 Estudio de la propiedad de biestabilidad basado en los plots $V_{in} - V_{out}$ para el circuito diferencial MOBILE.	25
2.4 SMOBILE.	27
2.5 Circuito diferencial basado en SMOBILE y su correspondiente versión desacoplada.	28
2.6 Plot $V_{bias} - V_{out}$ circuito diferencial basado en SMOBILE.	28
2.7 Plots $V_{in} - V_{out}$ correspondientes al circuito diferencial SMOBILE.	30
2.8 Regiones de funcionamiento correcto en DC $b - a$, con $b = FF_D - FF_L$ y $a = f_L - f_D$	33
2.9 Característica $I-V$ de dos RTDs en serie y aproximación lineal de la de un RTD.	35
2.10 Obtención de la característica $I-V$ conjunta de dos RTDs lineales a tramos en serie.	36

2.11	Comparación entre la característica $I-V$ de dos RTDs en serie obtenidas empleando RTDs (en negro) y a partir del modelo teórico empleando RTDs con características lineales a tramos (en rojo).	37
2.12	Conexión en serie de tres RTDs. Curvas $I-V$.	38
2.13	Conexión en serie de dispositivos NDR.	38
2.14	Principio de operación MML. Explicación a través de plots de contornos y curvas de carga.	40
2.15	Inversor ternario.	42
2.16	Inversor ternario. Evaluación.	43
2.17	Inversor ternario. Multiestabilidad (I).	46
2.18	Inversor ternario. Multiestabilidad (II). Curvas de carga para $V_{in} = V_{in}^M$.	47
2.19	Obtención de la región de operación correcta en DC para un inversor ternario con $\Delta_1 = 0.01$ y $f_Z = 0.6$. Las líneas rojas y azules representan máximos y mínimos de FF .	49
2.20	Regiones de operación correcta del inversor ternario. Las líneas negras delimitan la región obtenida de forma teórica y la línea azul discontinua y los triángulos las obtenidas a partir de simulaciones con modelo de RTD lineal a tramos y LOCOM, respectivamente.	51
2.21	Inversor ternario. Efecto de la variación de la tensión de pico y de la densidad de corriente de pico para $D_1 = 0.01$ y $f_Z = 0.6$.	52
2.22	Inversor ternario. Región de funcionamiento correcto en DC cambiando los modelos de RTD y transistor por los descritos en [51].	53
2.23	Puerta NMIN/NMAX.	54
2.24	Formas de onda correspondientes de las entradas (azul), reloj (negro) y salida (rojo).	55
2.25	Curvas de carga y plots $V_{in} - V_{out}$ para las puertas NMIN/NMAX.	60
2.26	Puertas NMIN/NMAX. Regiones de operación correcta.	61
2.27	Inversor cuaternario.	63
2.28	Inversor cuaternario. Evaluación.	65
2.29	Inversor cuaternario. Multiestabilidad.	68
2.30	Inversor cuaternario. Regiones de operación correcta.	69
2.31	Bloque básico. Esquemático.	71
2.32	Bloque programable con dos tensiones críticas.	72
2.33	Formas de onda del experimento de verificación del funcionamiento del comparador programable con dos niveles críticos seleccionables.	73
2.34	Bloque programable con cuatro tensiones críticas.	75
2.35	Bloque calibrable con tensión de control en el <i>driver</i> .	77

2.36	Bloque calibrable con tensión de control en el <i>load</i>	78
2.37	Selección de niveles críticos en el inversor ternario.....	80
3.1	Esquema general de dispositivo NDR con tres transistores.....	84
3.2	MOS-NDR con inversor formado por dos transistores NMOS.....	86
3.3	Explicación cualitativa de la obtención de la característica tensión-corriente de un dispositivo MOS-NDR.....	86
3.4	MOS-NDR con inversor CMOS tipo A.....	87
3.5	Dispositivo MOS-NDR con configuración tipo B.....	88
3.6	Dispositivo MOS-NDR tipo B con segunda zona de resistencia diferencial positiva.....	89
3.7	Estructura MOS-NDR tipo A con característica tensión-corriente de dos picos.....	89
3.8	Obtención de la característica $I-V$ de un dispositivo MOS-NDR de dos picos.....	90
3.9	Estructura MOS-NDR tipo B con característica tensión-corriente de dos picos.....	90
3.10	Inversor CMOS.....	91
3.11	Modificación de parámetros de la curva $I-V$ del dispositivo MOS-NDR.....	93
3.12	Variación de la posición de la segunda tensión de pico en función del tamaño del transistor $NMOS_{32}$	93
3.13	MOBILE activo por flanco de subida empleando dispositivos MOS-NDR tipo A.....	95
3.14	MOBILE activo por flanco de bajada empleando dispositivos MOS-NDR tipo B.....	96
3.15	Circuito MML basado en el dispositivo MOS-NDR.....	96
3.16	Circuitos MOBILE tipo A y B sin fuentes flotantes.....	98
3.17	Funcionamiento del inversor CMOS con fuente de offset.....	99
3.18	Efecto de la tensión de offset en la curva $I-V$ del dispositivo $MOS-NDR_{LOAD}$	100
3.19	Familia de curvas $I_{NDR} - V_{NDR}$ para diferentes valores de V_{OFFSET} con la tecnología UMC 130nm.....	101
3.20	Formas de onda del reloj (negro) y la salida (rojo) para el MOBILE con fuentes V_{INV} a tierra.....	102
3.21	Dispositivo MOS-NDR programable tipo A.....	103
3.22	Dispositivo MOS-NDR programable tipo B.....	103
3.23	MOBILE activo por flanco descendente tipo B. Resultados experimentales.....	104
3.24	MOS-NDR programable tipo A. <i>Layout</i> y dimensionamiento.....	105
3.25	Dispositivo MOS-NDR programable tipo A. Curvas tensión-corriente obtenidas experimentalmente.....	106
4.1	Puertas umbral basadas en el principio de operación MOBILE.....	112

4.2 Puertas umbral MOS-NDR MOBILE.	113
4.3 Resultados de simulación comparativos del consumo promedio y del área empleada en realizar puertas mayoritarias negadas según la técnica propuesta y la reportada en [105].	114
4.4 Esquemáticos de puertas binarias activas por flanco de subida.	115
4.5 Esquemáticos de puertas lógicas activas por flanco descendente.	117
4.6 Diagrama de reloj de cuatro fases.	119
4.7 Inversor binario activo por flanco de subida con dimensionamiento A.	123
4.8 Inversor binario activo por flanco de subida con dimensionamiento A empleando un reloj a 20MHz y entradas conmutando a 10MHz.	124
4.9 Inversor binario activo por flanco de subida con dimensionamiento B.	125
4.10 Inversor binario activo por flanco de bajada.	126
4.11 Inversor binario activo por flanco de bajada y reloj indirecto.	127
4.12 Puerta NOR de tres entradas activa por flanco de subida con dimensionamiento A.	128
4.13 Puerta NOR de tres entradas activa por flanco de subida con dimensionamiento B.	129
4.14 Puerta NAND de tres entradas activa por flanco de bajada.	130
4.15 Puerta mayoritaria negada de tres entradas activa por flanco de subida.	131
4.16 Puerta mayoritaria negada de tres entradas activa por flanco de subida. Formas de ondas.	132
4.17 Puerta mayoritaria negada de tres entradas activa por flanco de bajada.	133
4.18 Puerta mayoritaria negada de tres entradas activa por flanco de bajada. Formas de ondas.	134
4.19 Puerta mayoritaria negada de cinco entradas activa por flanco de subida.	135
4.20 Puerta mayoritaria negada de cinco entradas. Formas de ondas.	136
4.21 Esquema de polarización de cuatro fases.	137
4.22 Diagrama de bloques de la interconexión de puertas MOBILE empleando una fase de reloj.	138
4.23 Conexión en serie de dos inversores empleando una fase de reloj.	138
4.24 Formas de onda de los nodos de salida de los bloques de la Figura 4.23.	139
4.25 Conexión en serie de tres seguidores binarios.	140
4.26 Resultados experimentales de la conexión en serie de tres seguidores binarios.	141
4.27 Resultados experimentales de la conexión en serie de tres seguidores binarios empleando un reloj a 20MHz y entradas conmutando a 10MHz.	142
4.28 Conexión en serie de tres seguidores binarios con reloj indirecto.	143

4.29 Muller <i>C-element</i> de dos entradas.	145
4.30 Muller <i>C-element</i> de cuatro entradas (I).	146
4.31 Muller <i>C-element</i> de cuatro entradas (II).	148
4.32 Diagrama de bloques del circuito Muller <i>C-element</i> de N entradas.	148
4.33 Bloques de “PREPROCESADO”.	149
4.34 Bloque “CORE”.	149
4.35 Comparativa en términos del $P - PDA_N$ entre las estructuras propuesta y la de Wuu-Vrudhula.	151
4.36 Formas de onda empleadas para verificar el funcionamiento de las puertas Muller <i>C-element</i>	152
4.37 Muller <i>C-element</i> de 4 entradas.	153
4.38 Muller <i>C-element</i> de 8 entradas.	154
4.39 Muller <i>C-element</i> de 16 entradas.	155
4.40 Muller con red de preprocesamiento de 4, 8 y 16 entradas.	157
4.41 Muller <i>C-element</i> de 4 entradas sin red de preprocesamiento.	158
5.1 Circuitos RTD-CMOS estudiados.	166
5.2 Representación de resultados para puertas RTD-CMOS.	169
5.3 Evolución de la potencia media frente a la frecuencia para puertas dimensionadas con $f_X = 0.016$	170
5.4 Representación del promedio de la energía por ciclo frente a f_X para diferentes valores de la frecuencia en el inversor binario.	172
5.5 Representación del promedio de la energía por ciclo frente a f_x para una puerta NAND-2 con carga de un <i>latch</i>	174
5.6 Representación del promedio de la energía por ciclo frente a f_x para una puerta NMAJ-3 con carga de un <i>latch</i>	175
5.7 Representación del promedio de la energía por ciclo frente a f_X para diferentes valores de la frecuencia en el inversor binario con carga 1 y capacidad $20fF/\mu m^2$	178
5.8 Circuitos TSPC tipo N.	180
5.9 Comparativa de la potencia media a 6GHz de las realizaciones RTD-CMOS y TSPC de puertas para carga 1, 2 y 3.	183
5.10 Comparativa de mínimo del promedio de la energía por ciclo para las realizaciones RTD-CMOS y TSPC de puertas para carga 1, 2 y 3.	184
5.11 Evolución de la potencia media frente a la frecuencia para realizaciones RTD-CMOS y TSPC del inversor binario y la puerta NAND-2.	185
5.12 Interconexión en serie de cuatro inversores RTD-CMOS.	187
5.13 Conexión en serie de cuatro inversores TSPC.	190

5.14	Comparativa de la potencia media frente a la frecuencia para la interconexión de cuatro inversores RTD-CMOS y TSPC.	191
5.15	Diagrama de bloques del sumador RTD-CMOS implementado.	192
5.16	Esquemático del sumador tipo “Subida-Bajada”.	193
5.17	Simulación a 4GHz de la conexión de dos sumadores de un bit.	195
5.18	Diagrama de bloques del sumador TSPC implementado.	196
A.1	Tecnología LOCOM.	202
A.2	Curvas $I_{DS} - V_{DS}$ para los transistores NMOS de la tecnología UMC 130nm.	204
A.3	Curvas $I_{DS} - V_{DS}$ para los transistores PMOS de la tecnología UMC 130nm.	205
A.4	Circuito 2.	207
A.5	PCB.	208
A.6	Circuito 3.	210
A.7	Esquema de funcionamiento del software <i>Suite-NDR</i>	211

LISTA DE TABLAS

2.1 Puntos críticos de la característica conjunta de dos RTDs en serie lineales a tramos. m_{III} representa la pendiente de la zona III del RTD con característica lineal a tramos.	37
2.2 Funcionalidad lógica de la puerta NMIN (NMAX).	54
2.3 Secuencias de conmutación de RTDs en una puerta NMIN (NMAX).	54
3.1 Posibles configuraciones de circuitos NDR.	84
3.2 Comparativa en términos de área y potencia para las estructuras de las Figuras 3.2 y 3.4.	87
3.3 Regiones de funcionamiento de los transistores NMOS y PMOS del inversor CMOS.	92
4.1 Resultados de simulación para la estructura propuesta.	150
4.2 Estructura Wuu-Vrudhula. Resultados de simulación.	151
5.1 Experimentos de optimización de circuitos RTD-CMOS.	168
5.2 Dimensionamientos que optimizan la frecuencia máxima de operación y el promedio de la energía por ciclo para la puerta NAND-2.	173
5.3 Dimensionamientos que optimizan la frecuencia máxima de operación y el promedio de la energía por ciclo para la puerta NMAJ-3.	173
5.4 Dimensionamientos que optimizan la frecuencia máxima de operación y el promedio de la energía por ciclo para el inversor binario con carga 1, variando la densidad de corriente de pico.	176
5.5 Dimensionamientos que optimizan la frecuencia máxima de operación y el promedio de la energía por ciclo para el inversor binario con carga 1, variando la capacidad del RTD.	177
5.6 Dimensionamientos que optimizan la frecuencia máxima de operación y el promedio de la energía por ciclo para el inversor binario con carga 1, empleando un modelo de RTD con la misma capacidad y densidad de corriente de pico del reportado en [37].	177
5.7 Experimentos de optimización de circuitos TSPC con $V_{DD} = 1.2V$	181
5.8 Experimentos de optimización de circuitos TSPC con $V_{DD} = 0.8V$	182
5.9 Potencia media en los esquemas de interconexión de cuatro inversores RTD-CMOS explorados.	188

5.10	Potencia media de la interconexión de cuatro inversores RTD-CMOS empleando un modelo de RTD con la misma capacidad y densidad de corriente de pico del reportado en [37].	189
5.11	Resultados de las simulaciones correspondiente a la interconexión de cuatro inversores TSPC.	190
5.12	Dimensionamiento del sumador.	194
5.13	Dimensionamiento del sumador TSPC.	196

CAPÍTULO 1

INTRODUCCIÓN

El escalado de las tecnologías está alcanzando sus límites en cuanto a densidad y prestaciones debido a limitaciones físicas fundamentales. Aunque una tecnología CMOS submicrométrica basada en silicio será aún la dominante durante esta década, actualmente se puede observar una creciente actividad investigadora en el desarrollo de tecnologías que incrementen la capacidad de procesado, más allá de lo que la tecnología CMOS puede proporcionar. Conforme las dimensiones se vayan reduciendo, los efectos cuánticos serán dominantes y CMOS tendrá que coexistir con dispositivos cuya operación tenga en cuenta dichos efectos. Actualmente, un buen número de dispositivos nanoelectrónicos, muy diferentes entre sí, están siendo estudiados: SETs, transistores cuánticos, electrónica molecular, diodos túnel, etc, cada uno de ellos con un grado diferente de desarrollo.

Uno de los exponentes más interesantes de esta nueva familia de dispositivos es el RTD, el diodo basado en el efecto túnel resonante (*Resonant Tunneling Diode*). Los RTDs están considerados hoy día los dispositivos de efecto cuántico más maduros, operando ya a temperatura ambiente. Estos dispositivos se basan en el transporte (*tunneling*) de electrones vía niveles discretos de energía en estructuras de pozo cuántico de doble barrera. La reducida distancia entre las dos barreras conduce a la cuantización del momento de los electrones en el pozo y, por tanto, a estados con niveles de energía discretos (estados resonantes). Cuando se polariza uno de estos dispositivos, su característica $I-V$ exhibe al menos una región de resistencia diferencial negativa (*Negative Differential Resistance*, NDR), con picos correspondientes al *tunneling* de los electrones a través del pozo. Desde el punto de vista del diseño de circuitos, la característica NDR es muy atractiva ya que, por una parte, es componente fundamental de circuitos no lineales; por otra, es útil en la realización de celdas de memoria, dada la existencia de múltiples estados estables. Estos estados estables permiten desarrollar circuitos lógicos completamente novedosos, como por ejemplo los basados en una transición monoestable-biestable (o multi-estable). Otra característica muy importante de los RTDs es su pequeño tiempo de respuesta debido

a su elevada densidad de corriente en relación a su capacidad, por lo que son útiles en aplicaciones de muy alta frecuencia de operación.

El funcionamiento de la mayoría de los circuitos lógicos basados en RTDs se fundamenta en lo que se conoce como principio de operación MOBILE (*MO*nostable-*BI*stable *Logic Element*), implementado por la conexión en serie de dos RTDs y alimentados por una señal pulsante. Basados en este principio y combinando RTDs con transistores, se han propuesto gran número de diseños que destacan especialmente por su elevada frecuencia de operación y su mayor funcionalidad por puerta en comparación con realizaciones de sólo transistores. Por otro lado, la lógica multivaluada ha encontrado en el diseño de circuitos basados en RTDs la posibilidad de implementar estructuras capaces de operar a altas frecuencias con configuraciones mucho más sencillas que con otro tipo de dispositivos. Un ejemplo de esto son los convertidores analógico-digital multivaluados, que aprovechan los múltiples picos que aparecen en la característica $I-V$ de dos o más RTDs en serie y operan según el principio de operación MML (*MO*nostable-*to-Multistable Logic*), una extensión del principio MOBILE.

Este capítulo se ha organizado en tres apartados. En el primero describiremos tanto la operación de los RTDs como el estado actual de la tecnología en lo que concierne al diseño de circuitos lógicos. En el Apartado 1.2 estudiaremos el principio de operación de las estructuras MOBILE, realizadas a partir de la conexión serie de dos RTD, así como la adición de funcionalidad a esta puerta básica. Finalmente, en el último apartado estableceremos los objetivos de este Trabajo de Investigación y describiremos la organización de esta Memoria.

1.1 El diodo de efecto túnel resonante

A lo largo de las últimas décadas, la reducción del tamaño de los dispositivos ha permitido incrementar las prestaciones y disminuir el consumo de los circuitos integrados. Al reducir las dimensiones de los circuitos integrados a niveles nanométricos, se hace necesario tener en cuenta la presencia de efectos cuánticos. Estos efectos dan lugar a nuevas e interesantes características en los dispositivos, que pueden ser empleadas para diseñar circuitos con una funcionalidad lógica aumentada, de tamaños muy reducidos y extremadamente rápidos [1]. Entre estos dispositivos que explotan efectos cuánticos se encuentra el diodo de efecto túnel resonante.

Ya en 1957, Leo Esaki propuso un dispositivo basado en el efecto túnel al que llamó

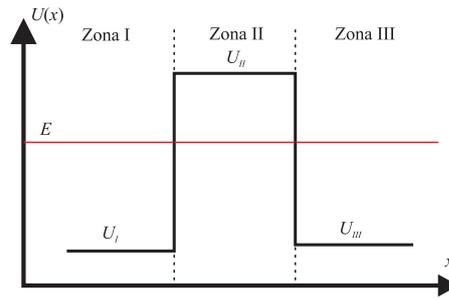


Figura 1.1: Diagrama de bandas de una barrera de potencial simple.

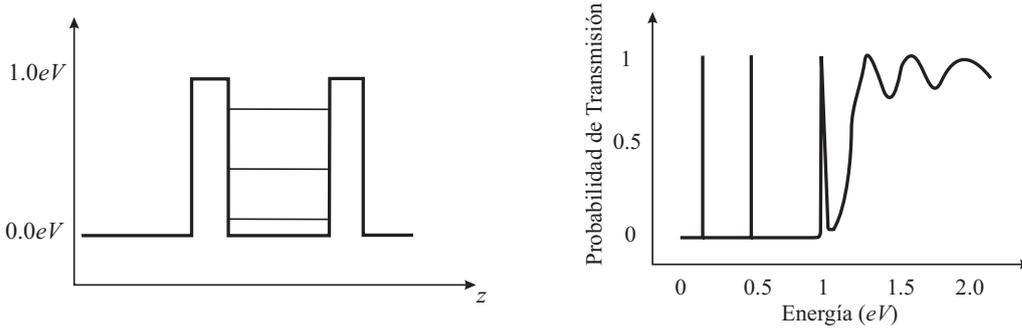
diodo túnel [2]. El principio de operación de estos diodos le valió el premio Nobel de Física en 1973. El interés que suscitó esta novedosa estructura derivó en un buen número de aplicaciones que usaban la zona de resistencia diferencial negativa presente en la característica $I-V$. Sin embargo, la flexibilidad de esta nueva estructura era menor que la de las más convencionales, por lo que su volumen de fabricación nunca fue excesivo [3].

1.1.1 El efecto túnel y el efecto túnel resonante

Como resultado del carácter ondulatorio del electrón, los fenómenos de transporte cuántico se hacen especialmente significativos en aquellas estructuras con dimensiones del orden de la longitud de onda del electrón. Uno de los efectos cuánticos es el túnel a través de barreras de potencial, en el que un electrón puede atravesar una barrera de potencial con una cierta probabilidad de transmisión finita distinta de cero. La Figura 1.1 muestra el diagrama de bandas de energía de este tipo de estructuras. En ella se observan tres zonas con sus correspondientes niveles de energía. Un electrón situado en la zona I con una cierta energía E puede atravesar la región II aún cuando su energía se encuentre por debajo de la barrera, esto es, $E < U_{II}$.

La Figura 1.2a muestra el diagrama de bandas de energía correspondiente a una doble barrera de potencial de AlAs incrustada en GaAs. A diferencia del caso de la barrera simple, ahora electrones con niveles de energía por debajo de la barrera pueden cruzarla con probabilidad 1. La Figura 1.2b representa la probabilidad de transmisión de un electrón frente a su nivel de energía, en donde aparecen tres máximos por debajo de la altura de la barrera [4].

El funcionamiento del diodo de efecto túnel resonante (RTD) se basa en esto. Un RTD se construye a partir de un pozo cuántico limitado por una doble barrera de potencial en



(a) Diagrama de bandas de energía en una estructura resonante.

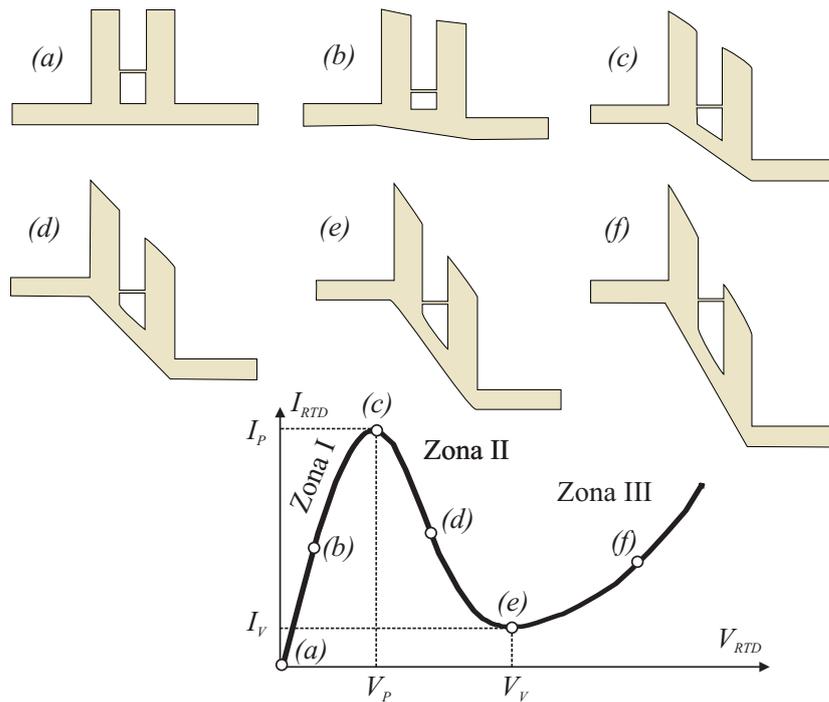
(b) Probabilidad de transmisión de un electrón frente a la energía para una estructura con una doble barrera de potencial.

Figura 1.2: Diagrama de bandas de energía y probabilidad de transmisión en una estructura resonante.

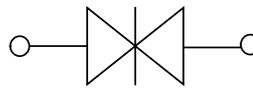
la que los electrones sólo pueden tener niveles de energía discretos en el pozo cuántico. Los RTDs suelen fabricarse en materiales III-V, operan a temperatura ambiente y presentan al menos una zona de resistencia diferencial negativa (NDR).

La Figura 1.3a muestra cualitativamente la formación de la característica $I-V$ de un RTD con un pozo en el que sólo hay un estado resonante. Al incrementar la tensión aplicada, los electrones comienzan a atravesar la doble barrera y se obtiene la zona I o primera zona de resistencia diferencial positiva (PDR) de la característica $I-V$ (Figuras *a* y *b*). El máximo de intensidad se alcanza cuando la energía del estado resonante se alinea con la de la banda de conducción (I_P para una tensión V_P , Figura *c*). A partir de este punto, sucesivos incrementos de la tensión provocan una disminución en la intensidad que circula por el RTD, obteniéndose una zona de resistencia diferencial negativa (Figura *d*), la zona NDR o zona II. Esta situación acaba con un mínimo en la intensidad (I_V para una tensión V_V , Figura *e*). Un incremento adicional en la tensión aplicada provoca que el diodo comience a comportarse como uno convencional en el que incrementos de tensión provocan incrementos de intensidad (Figura *f*). Esta última zona de operación del RTD se conoce como zona III o segunda zona de resistencia diferencial positiva. Es posible obtener características $I-V$ con varias zonas NDR si el pozo cuántico tiene varios niveles discretos de energía o con pozos cuánticos adicionales [5]. El símbolo estándar que se usa para el RTD se muestra en la Figura 1.3b.

El grado de desarrollo de los dispositivos de efecto túnel resonante es muy variado. Los RTDs en materiales III-V son, sin duda, los más maduros y la mayoría de los circuitos



(a) Diagramas de bandas de energía y característica tensión-corriente de una estructura de efecto túnel resonante bajo diferentes condiciones de alimentación.



(b) Símbolo del RTD.

Figura 1.3: Formación de la característica $I-V$ del RTD y símbolo de éste.

basados en el efecto túnel resonante reportados los utilizan, combinados con distintos transistores. A continuación se describen los parámetros que son críticos para el diseño y las prestaciones de los circuitos construidos con RTDs.

1.1.2 Diodos de efecto túnel resonante y circuitos digitales

Entre los parámetros más importantes para el diseño o las prestaciones de los circuitos implementados con RTDs mencionamos [4, 1]:

- Densidad de corriente de pico, j_p . Este parámetro está directamente relacionado con el pico de intensidad en la característica $I-V$ del RTD mediante la expresión $I_p = \alpha j_p$, donde I_p es la intensidad de pico y α el área del RTD. Se necesita un valor suficientemente grande ($j_p > 10 \text{KA/cm}^2$) para aplicaciones de alta velocidad

o señal mixta.

- Tensiones de pico, V_P , y de valle, V_V . Para que los diseños basados en RTDs funcionen correctamente, la tensión de polarización debe ser mayor que $2V_P$.
- PVCR (*Peak to Valley Current Ratio*), esto es, el cociente entre la intensidad de pico y la de valle. Es necesario un valor suficientemente grande para implementar funcionalidad lógica. Además, para minimizar el consumo es deseable una densidad de corriente de valle pequeña.
- Capacidad, C . En algunas aplicaciones las capacidades intrínsecas del RTD determinan la respuesta temporal del circuito. Se define el índice de velocidad del dispositivo como $s = j_P/C$, donde C es la capacidad por unidad de área.

Los requisitos específicos sobre las características de un RTD dependen, en última instancia, de la configuración particular del circuito, de las diferentes familias lógicas y de las distintas aplicaciones. En este Trabajo nos hemos centrado en estructuras MOBILE y MML.

Se han reportado trabajos que estudian la cointegración de RTDs con distintos tipos de transistores HEMT, HFET o HBT [6, 7, 8]. Existen numerosos demostradores de circuito que se apoyan en la madurez alcanzada por la tecnología de dispositivos RTDs con heteroestructuras semiconductoras III-V. Entre ellos destacamos *flips-flops* [9, 10, 11], celdas de memoria de consumo ultra bajo [12], circuitos de memoria [13], circuitos lógicos multivaluados [14, 15, 16], convertidores ADC [17, 18, 19], cuantizadores [20, 21], divisores de frecuencia [22], fotodetectores con muy baja energía de conmutación [23], osciladores [24, 25, 26] o puertas lógicas operando a muy alta frecuencia [27, 28, 29, 30].

Actualmente, la realización de diodos túnel en silicio es un área de investigación muy activa y son previsibles avances importantes en este campo, sugiriéndose que la adición de RTDs a las tecnología CMOS podría prolongar la vida útil de esta última [31, 32, 33]. Los primeros dispositivos investigados presentaban una menor densidad de corriente de pico y PVCR que los obtenidos en tecnologías III-V, si bien los fabricados en SiGe son susceptibles de uso en circuitos. Los valores para los parámetros característicos (PVCR, j_P y V_P) reportados [34, 35, 36, 31, 37] muestran que los diodos de efecto túnel interbanda (*Resonant Interband Tunneling Diodes*, RITDs) son los más adecuados para implementaciones en esta tecnología. Se ha demostrado la integración de RITDs con un proceso CMOS estándar [31] y con SiGe HBT [38], así como su operación MOBILE [39].

Asimismo, se ha reportado un RTD con una frecuencia de corte de 20GHz, lo que posibilita, por primera vez, aplicaciones de señal mixta, RF y circuitos lógicos de alta velocidad [37]. En la actualidad se investiga en estructuras compatibles con CMOS más simples, así como en procesos para su fabricación que no precisan técnicas no disponibles en procesos CMOS estándares [40, 41].

Otra alternativa explorada ha sido el desarrollo de procedimientos para compatibilizar RTDs III-V con substratos de silicio. En [42] se reporta un primer circuito CMOS en el que los RTDs se fabrican en un substrato InP y se transfieren usando tecnología *thin-film* a otro de silicio, donde la parte CMOS del circuito ya ha sido fabricada. El propósito de este proceso híbrido era obtener prototipos para evaluar las ventajas de disponer de dispositivos túnel en topologías de circuitos CMOS. Recientemente, se trabaja en el desarrollo de técnicas que permitan la realización monolítica [43, 44, 45].

Finalmente, y también como técnica de prototipado de circuitos con RTDs, se han propuesto distintas configuraciones de transistores que emulan la característica $I-V$ de dichos dispositivos. En particular, es posible obtener una característica NDR, sin la segunda región positiva, utilizando tres transistores [46, 47, 48, 49].

1.2 El principio de operación MOBILE

La zona de resistencia diferencial negativa que aparece en la característica $I-V$ del RTD, constituye una de las principales propiedades de este tipo de dispositivos y permite la implementación de circuitos lógicos que operan según el principio de operación MOBILE [50, 51].

El MOBILE (Figura 1.4a) es una puerta controlada por corriente y disparada por flanco, consistente en la conexión en serie de dos RTDs (RTD_D y RTD_L , *driver* y *load* respectivamente), alimentados por una tensión, V_{bias} , que oscila entre un valor mínimo, V_{bias}^L , y uno máximo, V_{bias}^H (señal de reloj o polarización pulsante). La salida del circuito, V_{out} , puede ser monoestable o biestable, dependiendo del valor que tome la tensión de alimentación. Cuando V_{bias} es baja, ambos RTDs están en un estado de conducción (el *on-state* o estado de baja resistencia) y el circuito es monoestable. Si se incrementa V_{bias} a un valor máximo apropiado, se asegura que sólo el dispositivo con menor intensidad de pico conmuta desde el estado *on* hasta el *off* (el estado de resistencia alta). La salida toma un valor alto de tensión si el RTD *driver* es el que conmuta y bajo si lo hace el RTD *load*, siendo este estado de salida auto-estabilizante debido a la inherente biestabilidad de los

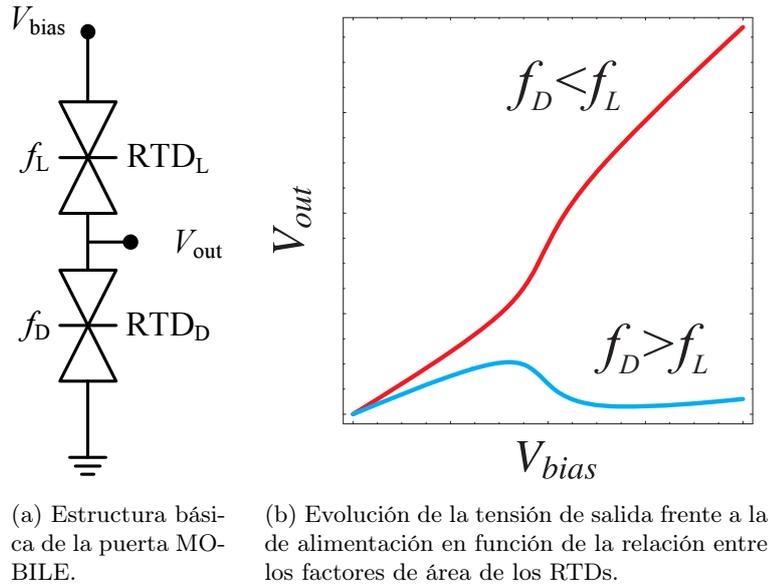


Figura 1.4: Configuración MOBILE.

dispositivos [52, 53]. La Figura 1.4b muestra el comportamiento de la tensión de salida en función de la de alimentación para dos casos diferentes, asumiendo densidades de pico iguales para ambos dispositivos. Si el factor de área¹ del RTD *driver*, f_D , es menor que el del RTD *load*, f_L , es aquél el que conmuta y por tanto la salida resulta a un nivel lógico alto, y cuando $f_D > f_L$, lo hace el RTD de la carga el que conmuta y la salida se sitúa a nivel lógico bajo.

1.2.1 Adición de funcionalidad lógica

El MOBILE es un circuito de dos terminales. Se puede obtener funcionalidad lógica añadiendo una etapa de entrada, que modifique la corriente de pico de uno de los RTDs [50, 52]. Esta etapa de entrada puede ser un transistor, como en el inversor de la Figura 1.5a, o la conexión serie de un RTD y un transistor, como la Figura 1.5b. En el segundo caso el transistor actúa como conmutador (*switch*), permitiendo o no el paso de corriente, y, por consiguiente, modificando la intensidad de pico del RTD al que se asocia.

El inversor representado en la Figura 1.5a está formado por la conexión en serie de dos NDRs: NDR_L , que es el RTD_L , y NDR_D , constituido por la conexión en paralelo

¹La intensidad que circula por el RTD depende de su área a través del factor de área, f ($f = 1$ se corresponde con un área de $10\mu m^2$ en la tecnología de LOCOM [54], que se emplea en este Trabajo y que se describe en el Apéndice).

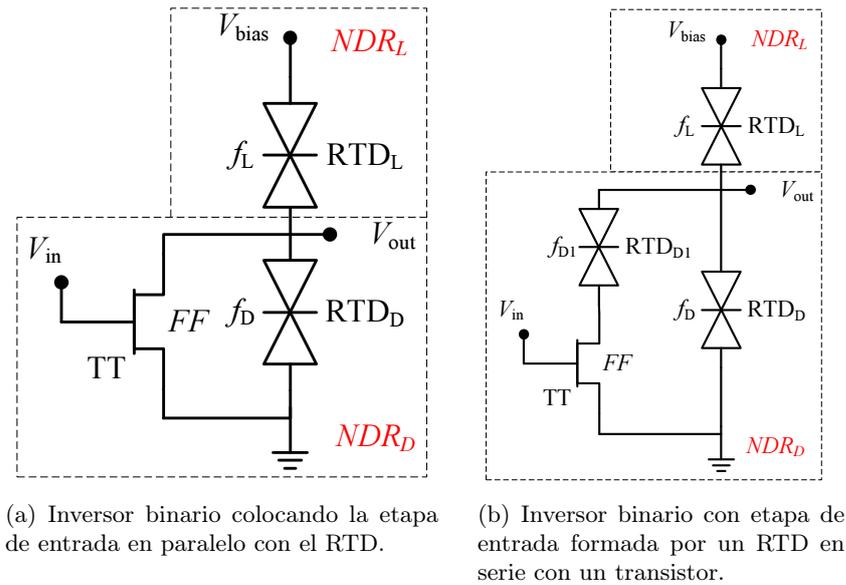


Figura 1.5: Adición de funcionalidad lógica al MOBILE.

del transistor y RTD_D . La corriente que circula por el transistor modula la intensidad de pico de NDR_D en función del valor de la tensión de entrada V_{in} aplicada, de forma que se puede tener control sobre el orden en el que conmutan los NDRs.

El funcionamiento del inversor puede explicarse mediante los plots de contorno $V_{bias} - V_{out}$ de las soluciones de la ecuación que describe su operación estática, como se muestra en la Figura 1.6, para ambas entradas V_{in}^H y V_{in}^L . Si la tensión de alimentación se encuentra a su nivel más bajo, el circuito presenta un comportamiento monoestable y la salida se encuentra a nivel bajo. Cuando V_{bias} alcanza un valor crítico $V_{bias}^{crit} \cong 2V_p$ el circuito pasa a ser biestable, esto es, existen dos posibles soluciones estables (y una inestable) para la tensión de salida. El valor final de la tensión de salida está determinado por la relación existente entre las intensidades de pico del NDR_D y del NDR_L . En el caso del inversor, cuando la tensión de entrada está a nivel alto, la corriente de pico del *driver* es mayor que la de la carga, de modo que RTD_L conmuta y la tensión de salida resulta a nivel lógico bajo (Figura 1.6a). Por el contrario, cuando $V_{in} = V_{in}^L$, la relación entre las intensidades de pico es la contraria, y la tensión de salida está a nivel lógico alto (Figura 1.6b).

1.2.2 Análisis de las propiedades de evaluación y biestabilidad

Seguidamente analizaremos dos propiedades que las estructuras basadas en MOBILE deben cumplir para asegurar un comportamiento correcto: la evaluación correcta de la

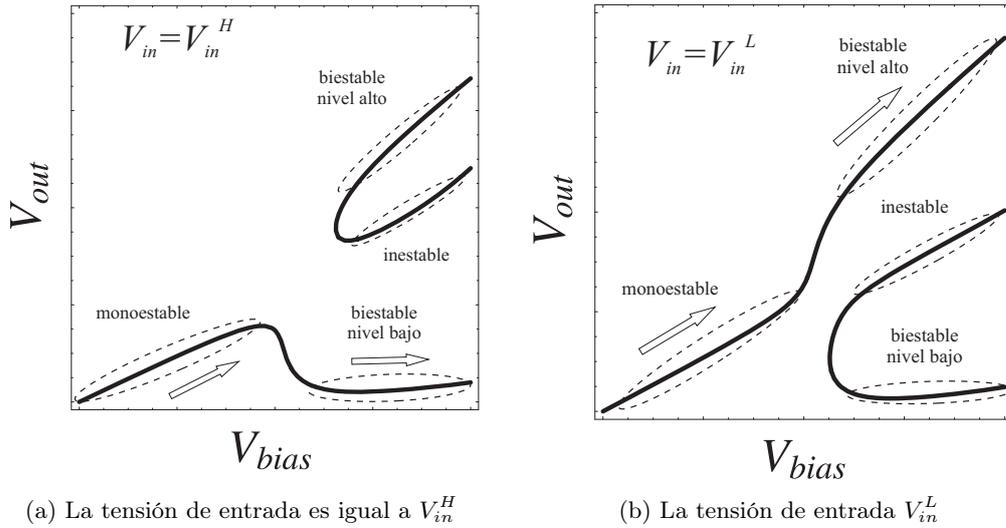


Figura 1.6: Representación de la tensión de salida frente a la de alimentación.

señal de entrada y la propiedad de biestabilidad. La verificación de ambas propiedades no es algo inherente a las topologías circuitales empleadas [55]. Por tanto, es necesario dimensionar el circuito (factores de área de los RTDs y factor de forma del transistor) adecuadamente, satisfaciendo determinadas relaciones entre estos parámetros.

Una estructura evalúa correctamente una entrada si el valor lógico de la salida cuando la alimentación llega a su máximo es el esperado. Por otro lado, la propiedad de biestabilidad establece que, cuando el reloj está a nivel alto, la salida ha de mantener su nivel lógico frente a variaciones de la entrada.

Para ilustrar ambas propiedades, en la Figura 1.7 mostramos una simulación HSPICE de la operación del inversor binario de la Figura 1.5a. Hemos considerado que la tensión de alimentación varía entre $0V$ y $0.8V$ y la entrada lo hace entre $0V$ y $0.65V$. Los factores de área de los RTDs son 0.5 para el *driver* y 0.6 para la carga. El factor de forma del transistor es $FF = 2$. Los modelos para el RTD y el transistor provienen del proyecto LOCOM [54] y están descritos en el Apéndice. En la Figura 1.7 se observa que el inversor evalúa correctamente, (salida a nivel alto cuando la entrada está a nivel lógico bajo y viceversa) y verifica la propiedad de biestabilidad (no responde a los cambios de la señal de entrada que se producen con la tensión de alimentación a nivel alto).

Propiedad de evaluación

Las estructuras MOBILE son puertas disparadas por flanco de subida, de modo que la decisión acerca del nivel lógico que alcanzará la salida se produce cuando la señal de reloj

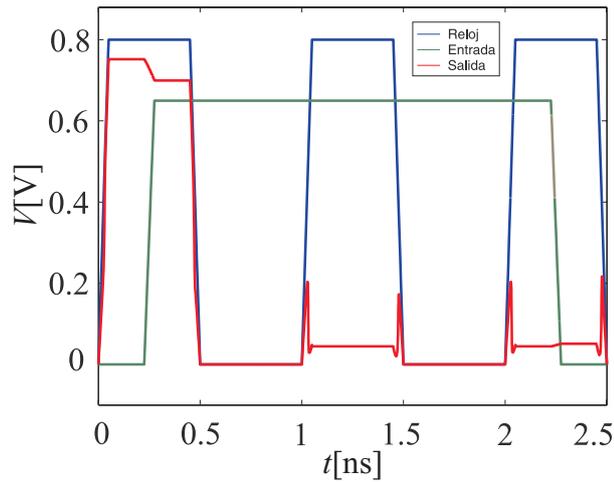


Figura 1.7: Formas de onda correspondiente a las tensiones de reloj (azul), entrada (verde) y salida (rojo) para un inversor binario.

(V_{bias}) pasa de bajo a alto. Una forma de describir el comportamiento de la estructura al ir variando V_{bias} (alimentación) es el análisis mediante curvas de carga.

La Figura 1.8a muestra la curva de carga de un inversor MOBILE que evalúa correctamente una entrada a nivel lógico bajo para diferentes valores de la alimentación. En esta situación se puede comprobar que al incrementar la tensión de alimentación, la solución se desplaza según indica la secuencia de puntos de colores de la figura. Esto ocurre porque la intensidad de pico de la carga es mayor que la del *driver* y así, éste será el primero en conmutar, alcanzándose un nivel lógico alto a la salida. Una forma alternativa de comprobarlo consiste en representar, en un plot de contorno, las soluciones de la ecuación que describe el comportamiento del circuito en DC, obtenida al igualar las expresiones de las intensidades del NDR_D y NDR_L :

$$f_{DG}[V_{out}] + FF I_T[V_{in}, V_{out}] = f_{LG}[V_{bias} - V_{out}] \quad (1.1)$$

donde $g[v]$ e $I_T[V_{GS}, V_{DS}]$ son la descripción matemática de la intensidad del RTD y el transistor, respectivamente. Al representar la tensión de salida frente a la de alimentación (Figura 1.8b), comprobamos que, efectivamente, la salida toma un nivel lógico alto cuando la alimentación llega a su máximo. Dado de que la intensidad de pico del *driver* ha de ser menor que la de la carga, obtendremos una primera relación entre parámetros del circuito que garantiza una evaluación correcta del nivel lógico bajo.

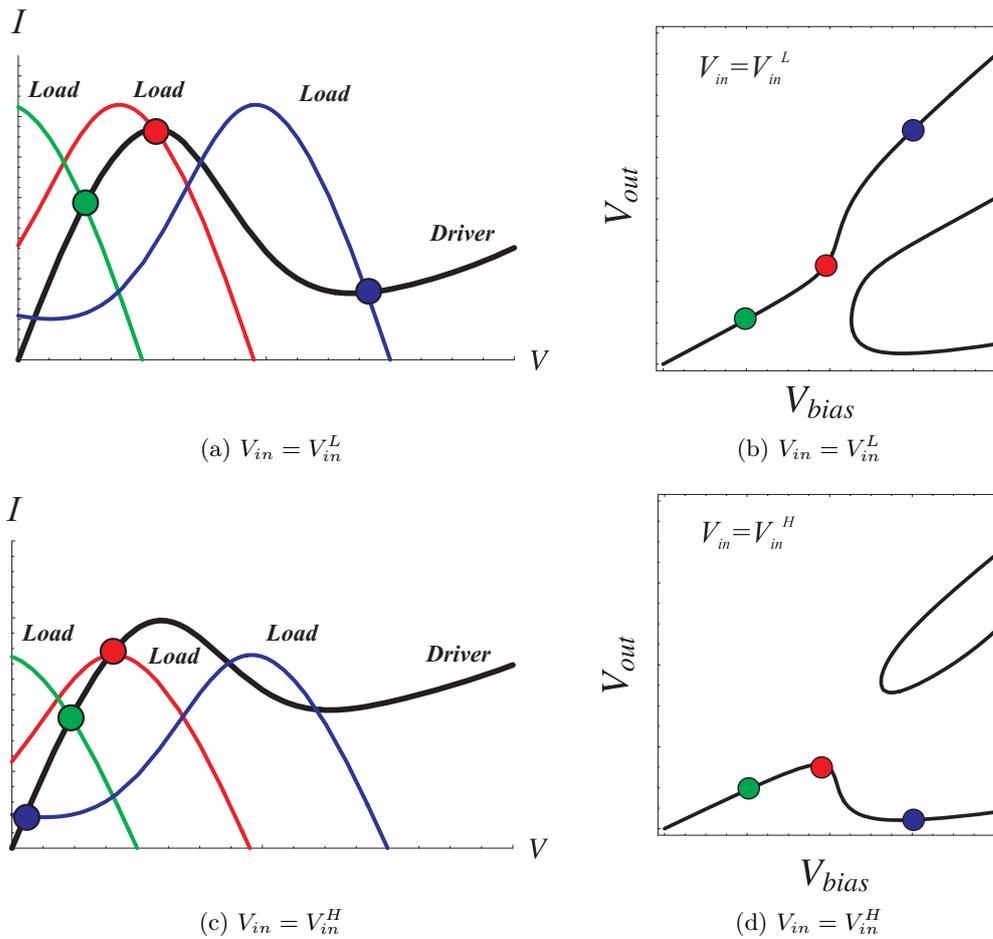
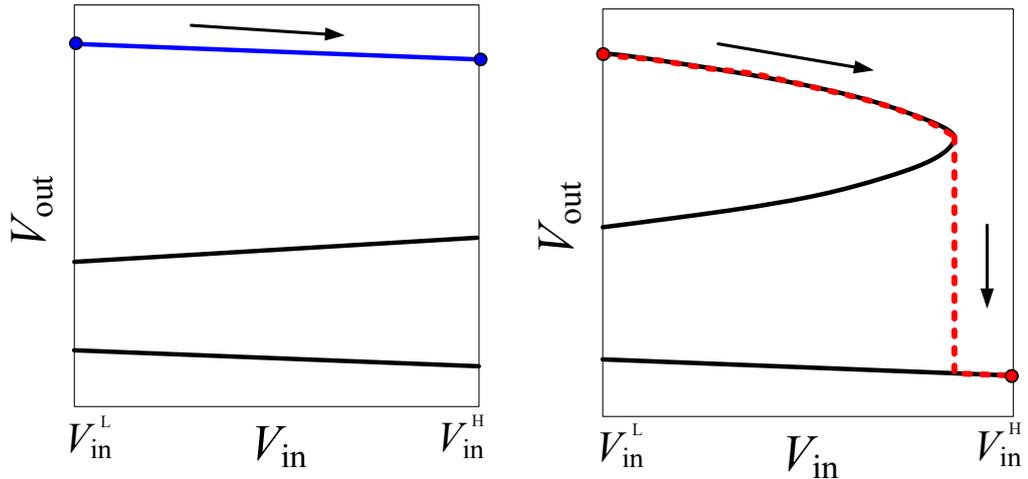


Figura 1.8: Curvas de carga y plots tensión de salida frente a tensión de alimentación para (a), (b) entrada a nivel lógico bajo y (c), (d) entrada a nivel lógico alto.

Un razonamiento análogo se aplica al caso de una entrada a nivel lógico alto (Figuras 1.8c y 1.8d). En este caso, la relación entre parámetros se obtiene considerando que la intensidad de pico del *driver* ha de ser mayor que la de la carga.

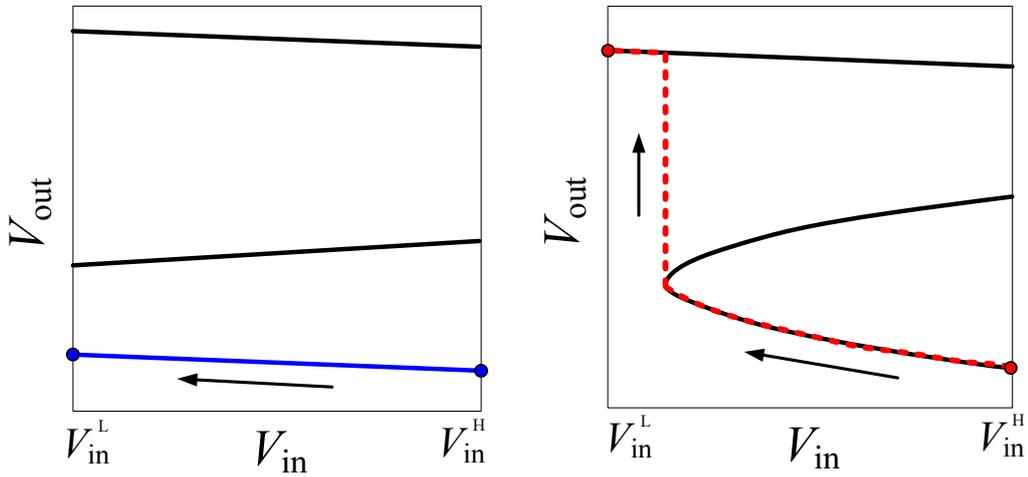
Propiedad de biestabilidad

La propiedad de biestabilidad establece que el nivel lógico de la salida permanece invariable frente a cambios en la entrada cuando la alimentación está a nivel alto (funcionamiento como *flip-flop*). Esta característica es especialmente relevante en aplicaciones en las que se necesita que la tensión adquirida se mantenga durante un cierto tiempo para un posterior procesamiento. Para analizar esta propiedad, emplearemos plots de contorno de la tensión de salida frente a la de entrada, $V_{in} - V_{out}$, obtenidos, al igual que los $V_{bias} - V_{out}$,



(a) La tensión de entrada pasa de V_{in}^L a V_{in}^H . Funcionamiento correcto.

(b) La tensión de entrada pasa de V_{in}^L a V_{in}^H . Funcionamiento incorrecto.



(c) La tensión de entrada pasa de V_{in}^H a V_{in}^L . Funcionamiento correcto.

(d) La tensión de entrada pasa de V_{in}^H a V_{in}^L . Funcionamiento incorrecto.

Figura 1.9: Plots de contorno entrada-salida para el estudio de la propiedad de biestabilidad.

a partir de las soluciones de la ecuación 1.1.

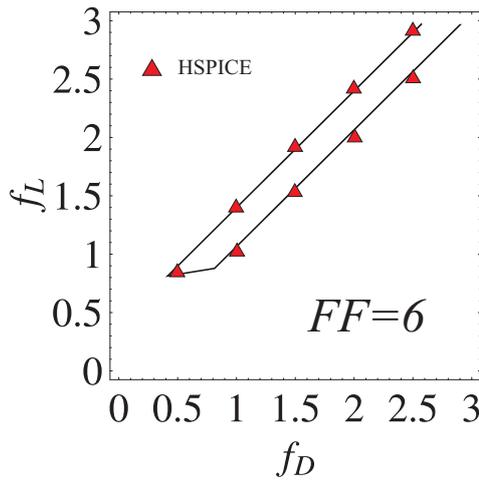
La Figura 1.9a muestra el plot de contorno de un inversor binario bien dimensionado cuando la tensión de alimentación se encuentra a nivel alto. Supongamos que la tensión de entrada se incrementa desde $V_{in} = V_{in}^L$ a $V_{in} = V_{in}^H$. Inicialmente, cuando $V_{in} = V_{in}^L$, la salida está a nivel lógico alto (suponemos que la evaluación se ha hecho correctamente). Al incrementar la tensión de entrada, el nivel lógico de salida no varía (línea azul). Por

otro lado, cuando el circuito no está bien dimensionado, pueden aparecer problemas de biestabilidad. La Figura 1.9b muestra el plot de contorno para una situación similar a la descrita anteriormente. En este caso se observa que al aumentar la tensión de entrada, la salida cae al nivel lógico bajo (línea roja discontinua). Es razonable pensar que para que el circuito opere correctamente, deba existir una solución de la ecuación 1.1 asociada al nivel lógico alto de la salida para $V_{in} = V_{in}^H$. Gráficamente se traduce en que el “lóbulo” superior del plot de contorno de la Figura 1.9b ha de tener cortes con la recta $V_{in} = V_{in}^H$. La verificación de la propiedad de biestabilidad permite establecer una primera relación entre los parámetros del circuito.

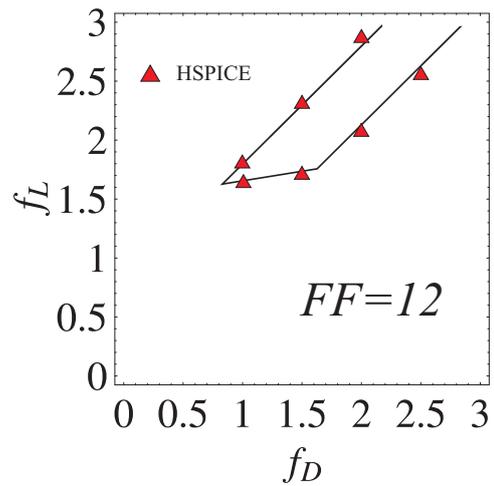
Este análisis aplica también al caso en el que la entrada varía desde $V_{in} = V_{in}^H$ a $V_{in} = V_{in}^L$. En la Figura 1.9c se representa el plot de contorno de una estructura que opera correctamente, en la que se observa que el nivel lógico de salida permanece bajo (línea azul). Por último, en la Figura 1.9d se representa el plot de un circuito que presenta problemas de biestabilidad dado que, al variar la tensión de entrada, la salida sube al nivel lógico alto. Las estructuras que operan correctamente presentan soluciones de la ecuación 1.1 asociadas al nivel bajo para $V_{in} = V_{in}^L$, lo que permite extraer una nueva relación entre los parámetros del circuito

Regiones de funcionamiento

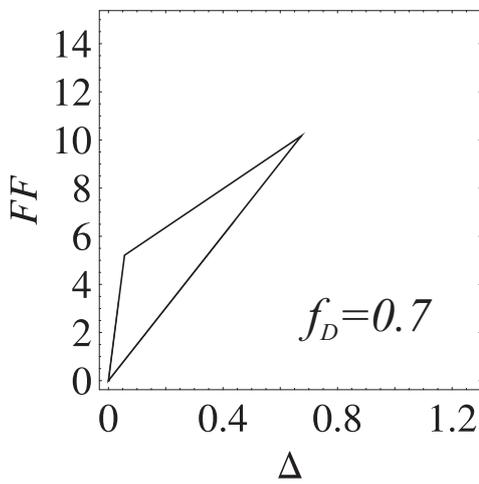
La verificación de las propiedades de evaluación y biestabilidad requiere la satisfacción de un conjunto de relaciones entre los parámetros del circuito, esto es, factores de área de los RTDs y factor de forma del transistor. Una forma práctica de visualizar gráficamente qué dimensionamientos hacen que el circuito opere correctamente, consiste en representar los límites de la región de funcionamiento definidos por estas relaciones. Supongamos un inversor binario realizado con modelos de RTDs y transistores de LOCOM y con niveles de tensión como los usados en el circuito de la Figura 1.7. La Figura 1.10 muestra las zonas de operación correcta, obtenidas a partir de las relaciones entre los parámetros del circuito que garantizan la verificación simultánea de las propiedades de evaluación y biestabilidad. En las Figuras 1.10a y 1.10b se han representado en trazo continuo los límites de la región que contiene el conjunto de pares (f_D, f_L) que garantizan la operación correcta (para $FF = 6$ y $FF = 12$). En estas gráficas, se ha limitado la representación a factores de área comprendidos entre 0 y 3. Adicionalmente, se han representado, empleando triángulos, los límites de la región obtenidos por simulación HSPICE. Finalmente, en las Figuras 1.10c y



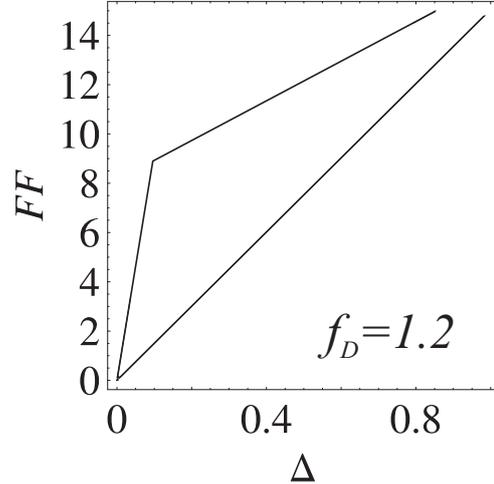
(a) Pares de puntos (f_D, f_L) para $FF = 6$.



(b) Pares de puntos (f_D, f_L) para $FF = 12$.



(c) Pares de puntos (Δ, FF) para $f_D = 0.7$.



(d) Pares de puntos (Δ, FF) para $f_D = 1.2$.

Figura 1.10: Región de funcionamiento correcto. (a)-(b) Pares de puntos (f_D, f_L) para diferentes valores de FF . (c)-(d) Pares de puntos (Δ, FF) para diferentes valores de f_D .

1.10d se muestran los límites de la región que contiene los puntos (FF, Δ) válidos, siendo $\Delta = f_L - f_D$, para $f_D = 0.7$ y $f_D = 1.2$.

1.2.3 Comportamiento dinámico

La operación MOBILE, que acabamos de describir, requiere un cambio en la tensión de polarización suficientemente lento. En la práctica, existe un tiempo crítico para la subida de esta señal por debajo del cual la estructura no opera correctamente. El principio de operación MOBILE se ha descrito suponiendo flancos de subida muy lentos para la tensión de polarización (cuasiestacionario), utilizando, por ello, únicamente parámetros

de DC como la intensidad de pico de los RTDs. Asociadas a la variación de V_{bias} existen corrientes de AC, más importantes conforme más rápidos sean esos cambios, que pueden alterar el resultado de la comparación de corrientes y que explican la existencia de dicho tiempo crítico. Éste depende de parámetros tanto de circuito (dimensionado de RTDs y transistores) [56, 57] como tecnológicos [58, 59], pudiendo concluirse que la evaluación lógica de un MOBILE es un proceso dinámico complejo [60, 61, 62].

1.2.4 Operación *nanopipeline*

Las estructuras MOBILE disparadas por flanco ascendente evalúan las entradas durante la subida de la señal de polarización, y la salida se mantiene mientras ésta está en alto, incluso si las entradas cambian (operación biestable). La salida vuelve a cero con la bajada de la señal de polarización y espera el siguiente flanco. Por tanto, esta operación biestable permite implementar arquitecturas *pipeline* a nivel de puertas (*nano-pipeline*) sin coste asociado a los elementos de memoria [63].

El retorno de la salida al valor de espera, se traduce en que una etapa debe evaluar mientras que las etapas que la atacan están en la fase de mantenimiento. Para la operación correcta de redes de puertas MOBILE se requiere un esquema multi-fase. Cada ciclo de las señales de polarización está dividido en cuatro fases de la misma duración, T_R . Las señales de polarización de etapas consecutivas están retrasadas T_R . De esta forma, se garantiza que cada etapa evalúe durante la fase de mantenimiento de las anteriores y antes de que retornen al valor de espera. Son suficientes cuatro señales, puesto que para el quinto nivel puede volver a utilizarse la primera señal, y así sucesivamente. Además, en cada ciclo todas las puertas de la red evalúan, aunque no simultáneamente. Las entradas se procesan a una frecuencia determinada por la velocidad de operación de cuatro puertas MOBILE encadenadas.

1.3 Objetivos de la Tesis y organización de la memoria

El objetivo general de esta Tesis es el desarrollo de metodologías de diseño de circuitos lógicos que explotan las ventajas de la característica NDR del RTD para incrementar sus prestaciones en comparación con circuitos en tecnologías MOS.

El trabajo realizado se enmarca en el contexto de la investigación de circuitos y arquitecturas aplicables a dispositivos nanoelectrónicos, un área en la que se están demandando contribuciones que permitan conectar la investigación a nivel de materiales y dispositivos con la realizada a nivel de algoritmo. Desde esta perspectiva, y aunque este trabajo se

centra en la combinación de RTDs y transistores, los resultados obtenidos pueden ser útiles en otras tecnologías. Así, los conceptos y las aportaciones a nivel de arquitectura pueden aplicarse al desarrollo de circuitos con otros dispositivos que exhiben una característica NDR.

El grupo de investigación en el que se ha desarrollado este trabajo ha venido trabajando en el campo del diseño de circuitos con RTDs en el marco de distintos proyectos con financiación nacional y europea. El trabajo descrito en esta Memoria parte, por tanto, de unos resultados previos que brevemente resumimos a continuación y que han sido la base para la definición de los objetivos de este Proyecto.

Este trabajo previo puede organizarse en las siguientes áreas: en lo que respecta al diseño de puertas lógicas, se ha realizado el análisis de estructuras MOBILE básicas binarias. En particular se han identificado problemas de biestabilidad [64, 65] en algunas topologías reportadas y se han desarrollado aproximaciones analíticas que establecen relaciones entre los parámetros tecnológicos y de diseño para una correcta operación [66, 67, 55] y para determinar la frecuencia de operación, [57]. Asimismo, se ha trabajado en el desarrollo y análisis de topologías para implementar funciones multiumbral, umbrales generalizadas y puertas programables extendiendo el principio de operación MOBILE en tecnologías III-V [68, 69, 70]. Se ha explorado la caracterización funcional y eléctrica de estas topologías [68, 71, 72], lo que ha permitido extraer directrices con las que se ha desarrollado una herramienta automática de diseño de puertas a partir de especificaciones funcionales. Por último, se han diseñado e integrado puertas lógicas con las topologías desarrolladas que han demostrado operación correcta empleando una tecnología no comercial proporcionada por la Universidad de Duisburg. En cuanto al diseño lógico con bloques MOBILE, se ha demostrado la operación de redes de puertas MOBILE con una única fase de reloj frente a las cuatro convencionales [73, 66], se han diseñado sumadores con mejores productos potencia retraso que los previamente reportados [74, 75, 70] y se ha desarrollado una herramienta de síntesis lógica para el diseño con puertas umbral [76].

Los objetivos concretos de este Trabajo son:

1. Análisis de la operación de circuitos empleando RTDs y HFET

Los circuitos basados en el principio de operación MOBILE deben diseñarse para que evalúen las entradas correctamente y exhiban un comportamiento biestable. Sin embargo, en el análisis de la bibliografía hemos observado que las ecuaciones de diseño sólo capturan las relaciones entre intensidades de pico que permiten

implementar una determinada funcionalidad (evaluación), pero no consideran la propiedad de biestabilidad. En un trabajo previo descrito en el apartado anterior, hemos abordado el análisis completo de las estructuras más simples (inversor y seguidor), mostrando que no todas las soluciones del espacio de diseño que evalúan correctamente exhiben una operación biestable. En esta línea, pretendemos ampliar nuestros conocimientos a circuitos más complejos, tanto binarios como multivaluados, basados en la extensión del principio de operación MOBILE.

2. Emulación CMOS de características NDR

Hemos considerado que sería muy interesante disponer de algún método de validación de las arquitecturas y topologías de circuitos propuestas para circuitos con RTDs en procesos tecnológicos comerciales. Para ello, nos propondremos desarrollar topologías de circuitos que exhiban características NDR y que se puedan fabricar empleando tecnologías CMOS estándar. Adicionalmente nos planteamos si, para ciertas aplicaciones, el diseño con estos emuladores es competitivo respecto a sus realizaciones convencionales CMOS.

3. Diseño de circuitos RTD-CMOS

La incorporación de los RTDs a tecnologías III-V ha permitido mejoras en frecuencia de operación y consumo. Dado que existe actualmente un interés creciente en incorporar estos dispositivos a tecnologías CMOS (RTD-CMOS), y aunque algunos trabajos se han centrado en evaluar las ventajas que ello puede suponer, creemos necesario profundizar en esta dirección. En particular, se han reportado trabajos que han evaluado prestaciones para ciertos *flips-flops* y puertas combinatoriales, pero no cuando se usan en redes de puertas, no existiendo tampoco resultados correspondientes a tecnologías actuales. Nuestro objetivo es explorar si la cointegración de RTDs con transistores CMOS es susceptible de mejorar las prestaciones de diferentes arquitecturas *pipeline* a nivel de puertas respecto a sus realizaciones en un estilo de diseño CMOS convencional.

La organización de este documento se describe a continuación. El Capítulo 2 trata el diseño de circuitos basados en la extensión del principio de operación MOBILE. Se analizarán circuitos binarios y multivaluados, tanto con entradas discretas como continuas.

El Capítulo 3 se dedica al dispositivo que emula la característica NDR del RTD, el MOS-NDR. Presentaremos la estructura del MOS-NDR y se desarrollará un estudio

teórico del mismo que permita su dimensionamiento para lograr características tensión-corriente tipo NDR específicas.

En el Capítulo 4 se propondrán y validarán experimentalmente prototipos de circuitos MOBILE con RTDs y transistores que serán diseñados empleando el MOS-NDR. En concreto, se mostrarán puertas e interconexiones de puertas disparadas por flanco de subida y bajada de reloj. Adicionalmente, se propondrán circuitos Muller C-*element* basados en el MOS-NDR como ejemplo de aplicación competitiva con respecto realizaciones CMOS convencionales.

Por último, en el Capítulo 5 abordaremos el diseño de circuitos basados en la integración de RTDs y transistores CMOS. En particular, trataremos el diseño y optimización de puertas y redes de puertas y las compararemos en potencia y energía con realizaciones CMOS que también operan en modo *pipeline* a nivel de puertas.

CAPÍTULO 2

ANÁLISIS DE ESTRUCTURAS BASADAS EN LA EXTENSIÓN DEL PRINCIPIO DE OPERACIÓN MOBILE

Los circuitos basados en la configuración MOBILE funcionan correctamente en un cierto rango de frecuencias que depende del *fan-out* de la puerta [59]. Desde el punto de vista del diseño, sería deseable obtener puertas que operen sin límite inferior de frecuencias, esto es, desde DC hasta el máximo de frecuencia posible. Diferentes autores han estudiado circuitos lógicos binarios empleando RTDs [62, 77, 78, 57, 56], sin incidir en cómo se han de dimensionar las estructuras con objeto de garantizar un comportamiento adecuado en estática. Sin embargo, un funcionamiento correcto en DC debería garantizarse antes de analizar otros aspectos del funcionamiento ya que no es inherente a las topologías de circuitos empleadas para implementar dichas estructuras [55, 64].

En trabajos previos [55, 79, 80, 81, 82] hemos propuesto una metodología de diseño de circuitos MOBILE básicos (inversor y seguidor binarios), a partir de la cual hemos derivado las relaciones entre parámetros de diseño que garantizan un funcionamiento correcto. Esto se consigue imponiendo el cumplimiento de las propiedades de evaluación y de biestabilidad. En este capítulo ampliaremos este análisis a diferentes circuitos cuya operación se basa en la extensión del principio de operación MOBILE.

El capítulo se estructura en cinco apartados. En el primero estudiaremos circuitos diferenciales basados en el principio de operación MOBILE, así como la aplicación de un esquema de polarización simétrico. Concluiremos combinando ambos conceptos para estudiar la operación de un circuito binario diferencial con polarización simétrica.

En el Apartado 2.2 modelaremos la característica $I-V$ de la conexión en serie de RTDs y describiremos el principio de operación MML (*Monostable Multistable Logic*), la extensión multivaluada del principio de operación MOBILE que permite implementar lógica multivaluada. Utilizando este principio, en los Apartados 2.3 y 2.4 analizaremos dife-

rentes circuitos digitales ternarios y cuaternarios, cuyas prestaciones los hacen candidatos especialmente adecuados para su integración en sistemas de comunicación comerciales [83, 19, 84]. Derivaremos una metodología general de diseño, análoga a la propuesta para circuitos binarios, que permitirá obtener regiones de operación correcta. Trataremos en profundidad la multiestabilidad, es decir, la extensión de la propiedad de biestabilidad al caso multivaluado, y cómo afecta a la operación de los circuitos.

En el Apartado 2.5, analizaremos circuitos basados en el principio de operación MOBILE que reciben entradas continuas. Estudiaremos circuitos de salida binaria, como los comparadores con umbral de decisión fijo, ampliando posteriormente el análisis para configurar externamente la tensión crítica de decisión entre niveles lógicos. Finalmente, extenderemos el análisis a circuitos con salida multivaluada, ilustrándolo con el dimensionamiento del inversor ternario operando como comparador de tres niveles.

2.1 Circuitos diferenciales y con polarización simétrica

La realización de circuitos diferenciales es el objeto de estudio de esta sección, en la que analizaremos su principio de operación y obtendremos las relaciones entre los tamaños de los dispositivos del circuito que garantizan un funcionamiento correcto. Posteriormente se estudiará un esquema de alimentación con dos señales de reloj simétricas, el SMOBILE.

2.1.1 Circuito diferencial basado en el MOBILE

La Figura 2.1 muestra un circuito diferencial basado en el MOBILE [84]. El circuito realiza la función lógica de seguidor, esto es, cuando la entrada diferencial positiva está a nivel lógico alto, $V_{in}^+ = V_{in}^H$ (y por tanto $V_{in}^- = V_{in}^L$), el circuito proporciona un nivel lógico alto en la salida positiva, V_{out}^+ y bajo en la negativa. Por otro lado, cuando $V_{in}^+ = V_{in}^L$ y $V_{in}^- = V_{in}^H$, la salida V_{out}^+ está a nivel bajo y V_{out}^- a nivel alto.

Para facilitar el estudio desacoplaremos el circuito (Figura 2.1) y analizaremos cada estructura como dos circuitos formados por la conexión en serie de dos NDRs cada uno. El *load*, que llamaremos NDR_L , consiste en la conexión en paralelo de RTD_L y el transistor TT_L , mientras que RTD_D y el transistor TT_D forman el *driver*, NDR_D . Los parámetros f_L y f_D , son los factores de área de los RTDs, mientras que FF_D y FF_L son los factores de forma de los transistores del *load* y el *driver*, respectivamente.

Comenzaremos analizando los límites de funcionamiento del circuito. La operación en DC del circuito desacoplado viene descrita por la ecuación:

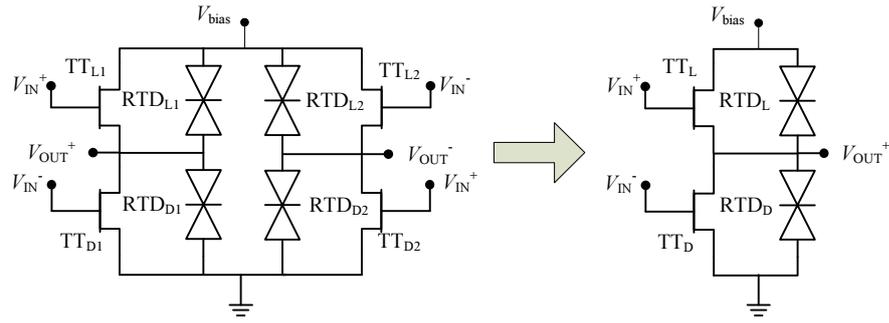


Figura 2.1: Circuito diferencial basado en MOBILE y su correspondiente versión desacoplada.

$$\begin{aligned}
 f_L g[V_{bias} - V_{out}^+] + FF_L I_T[V_{IN}^+ - V_{out}^+, V_{bias} - V_{out}^+] = \\
 = f_D g[V_{out}^+] + FF_D I_T[V_{in}^-, V_{out}^+] \quad (2.1)
 \end{aligned}$$

donde $g[v]$ e $I_T[V_{GS}, V_{DS}]$ representan la descripción matemática de la intensidad que circula por el RTD ($f = 1$) y por el transistor HFET ($FF = 1$), respectivamente.

Verificación de la propiedad de evaluación

Un circuito bien dimensionado, sin límite inferior de frecuencias, presenta un plot de contorno $V_{bias} - V_{out}$ para las soluciones de 2.1 similar al que se muestra en la Figura 2.2.

Un valor de tensión alto se obtendrá cuando la corriente de pico del NDR *driver* sea menor que la del *load*, y bajo cuando la relación sea la contraria. Las dos condiciones que fuerzan una evaluación correcta se obtienen considerando que la salida se decide cuando la tensión de alimentación toma un valor crítico de, aproximadamente, dos veces la tensión de pico (la tensión se reparte casi por igual en cada NDR).

Las relaciones que han de verificarse para garantizar la evaluación correcta del circuito son:

$$\begin{aligned}
 \text{Si } V_{IN}^- = V_{in}^L, V_{in}^+ = V_{in}^H \\
 f_D I_p + FF_D \cdot I_T[V_{in}^L, V_p] < f_L I_p + FF_L \cdot I_T[V_{in}^H - V_p, V_p] \quad (2.2)
 \end{aligned}$$

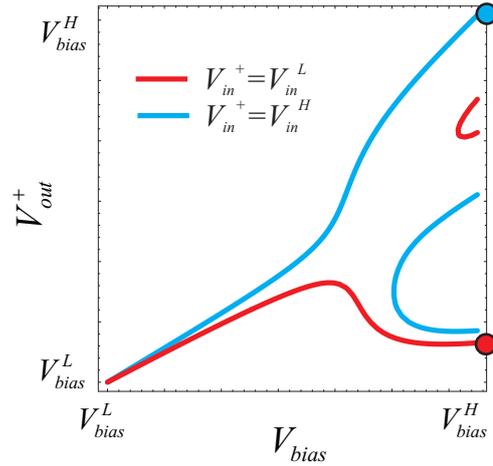


Figura 2.2: Plot $V_{bias} - V_{out}$ del circuito diferencial basado en MOBILE.

Si $V_{in}^- = V_{in}^H, V_{in}^+ = V_{in}^L$

$$f_D I_p + F F_D \cdot I_T[V_{in}^H, V_p] > f_L I_p + F F_L \cdot I_T[V_{in}^L - V_p, V_p] \quad (2.3)$$

donde V_p e I_p son la tensión e intensidad de pico del RTD, respectivamente.

Verificación de la propiedad de biestabilidad

Analizaremos los dos posibles problemas de biestabilidad en función de si la entrada varía del nivel alto al bajo o viceversa. Para este análisis nos apoyaremos en los plots de contorno de las soluciones de la expresión 2.1, que representan la tensión de salida frente a la de entrada cuando la tensión de alimentación está a nivel alto (Figura 2.3).

La Figura 2.3a muestra dicho plot entrada-salida para tres estructuras: la representada en color azul corresponde a un circuito dimensionado correctamente. Cuando $V_{in}^+ = V_{in}^L$, la salida está a nivel bajo (cuadrado azul) y al aumentar la entrada hasta $V_{in}^+ = V_{in}^H$ (flechas azules), la salida se mantiene a nivel lógico bajo (círculo azul). La curva roja se corresponde con un circuito dimensionado de forma incorrecta puesto que V_{out}^+ pasa del valor lógico '0' al '1' al variar la entrada, dado que no hay solución de la tensión de salida asociada al nivel lógico '0'. Finalmente, la curva verde representa la situación crítica que marca el límite de operación correcta del circuito. Las soluciones de V_{out}^+ que habíamos marcado anteriormente con círculos azules coinciden ahora en un solo punto (marcado con un círculo verde). Para esta situación crítica se verifica que la ecuación:

$$f_D g[V_{out}^+] + F F_D \cdot I_T[V_{in}^L, V_{out}^+] = f_L g[V_{bias}^H - V_{out}^+] + F F_L \cdot I_T[V_{in}^H - V_{out}^+, V_{bias}^H - V_{out}^+] \quad (2.4)$$

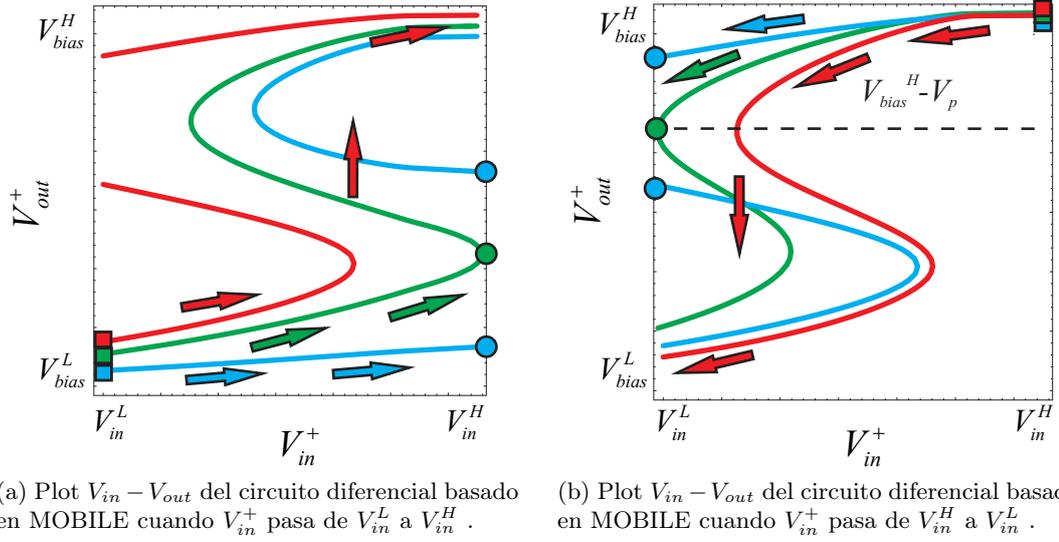


Figura 2.3: Estudio de la propiedad de biestabilidad basado en los plots $V_{in} - V_{out}$ para el circuito diferencial MOBILE.

tiene una solución única en un entorno de V_p .

Los desarrollos en serie de segundo orden de las intensidades que aparecen en 2.4 alrededor de $V_{out}^+ = V_p$ son:

$$g_D[V_{out}^+] = f_D g[V_{out}^+] = f_D (h_0 + h_1 (V_{out}^+ - V_p) + h_2 (V_{out}^+ - V_p)^2) \quad (2.5)$$

$$g_L[V_{out}^+] = f_L g[V_{out}^+] = f_L (b_0 + b_1 (-V_{out}^+ + V_p) + b_2 (-V_{out}^+ + V_p)^2) \quad (2.6)$$

donde los coeficientes h_0 , h_1 , h_2 , b_0 , b_1 y b_2 son $g[V_p] = I_p$, $g'[v]|_{v=V_p} = 0$, $\frac{1}{2}g''[v]|_{v=V_p}$, $g[V_{bias}^H - V_p]$, $g'[v]|_{v=V_{bias}^H - V_p}$ y $\frac{1}{2}g''[v]|_{v=V_{bias}^H - V_p}$, respectivamente. El coeficiente h_1 es igual a cero dado que se corresponde con la derivada de $g[\cdot]$ en la tensión de pico (máximo local).

Del mismo modo, para las intensidades de los transistores (primer orden):

$$FF_D I_T[V_{in}^L, V_{out}^+] = FF_D (t_0 + t_1 (V_{out}^+ - V_p)) \quad (2.7)$$

$$FF_L I_T[V_{in}^H - V_{out}^+, V_{bias}^H - V_{out}^+] = FF_L (s_0 + s_1 (V_{out}^+ - V_p)) \quad (2.8)$$

Donde los coeficientes t_0 , t_1 , s_0 y s_1 son $I_T[V_{in}^L, V_p]$, $\left. \frac{dI_T[V_{in}^L, V_{out}^+]}{dV_{out}^+} \right|_{V_{out}^+=V_p}$, $I_T[V_{in}^H - V_p, V_{bias}^H - V_p]$ e $\left. \frac{dI_T[V_{in}^H - V_{out}^+, V_{bias}^H - V_{out}^+]}{dV_{out}^+} \right|_{V_{out}^+=V_p}$, respectivamente.

Al sustituir estos desarrollos en serie en la expresión 2.4, obtendremos:

$$\begin{aligned} f_L(b_0 + b_1(-V_{out}^+ + V_p) + b_2(-V_{out}^+ + V_p)^2) + \\ + FF_L(s_0 + s_1(V_{out}^+ - V_p)) - f_D(h_0 + h_1(V_{out}^+ - V_p) + \\ + h_2(V_{out}^+ - V_p)^2) - FF_D(t_0 + t_1(V_{out}^+ - V_p)) = 0 \quad (2.9) \end{aligned}$$

La expresión 2.9 es una ecuación de segundo grado en $V_{out}^+ - V_p$. La situación crítica que estamos analizando requiere que las dos soluciones para V_{out}^+ (en el entorno de V_p) se reduzcan a una; es decir, que el discriminante de la ecuación de segundo grado sea cero (si es mayor que cero, hay dos soluciones y, por tanto, estabilidad, y si es menor, mal funcionamiento). Esto lleva a una primera relación entre parámetros que asegura el buen funcionamiento.

La segunda condición se obtiene cuando la entrada decrece hasta su valor mínimo. La Figura 2.3b muestra que para que el circuito opere correctamente, han de existir soluciones asociadas al nivel lógico '1' de salida cuando $V_{in}^+ = V_{in}^L$. Se ha de realizar un desarrollo en serie análogo al caso anterior, pero ahora el *driver* opera en torno a $V_{bias}^H - V_p$ y el *load* en torno a V_p . La situación crítica se produce, de nuevo, cuando el discriminante de la ecuación de segundo grado es cero, lo que permite obtener otra relación entre parámetros que garantiza el buen funcionamiento.

2.1.2 Estructura MOBILE con polarización simétrica (SMOBILE)

La configuración de un SMOBILE [28] se muestra en la Figura 2.4a. La principal diferencia con el MOBILE es la existencia de dos relojes complementarios que alimentan los nodos superior e inferior del circuito. El principio de operación SMOBILE se ilustra en la Figura 2.4b, donde se muestra la curva de carga que representa la corriente con respecto a la tensión complementaria de reloj. El circuito es monoestable cuando la diferencia entre las tensiones de alimentación es pequeña. Cuando esta diferencia aumenta hasta alcanzar un cierto valor crítico, uno de los RTDs conmuta dependiendo de la relación existente entre las intensidades de pico (o lo que es lo mismo, entre los factores de área de los RTDs). La transición del estado monoestable al biestable se produce cuando el valor absoluto de la diferencia $V_{bias}^+ - V_{bias}^-$ excede dos veces el valor de la tensión de pico del RTD.

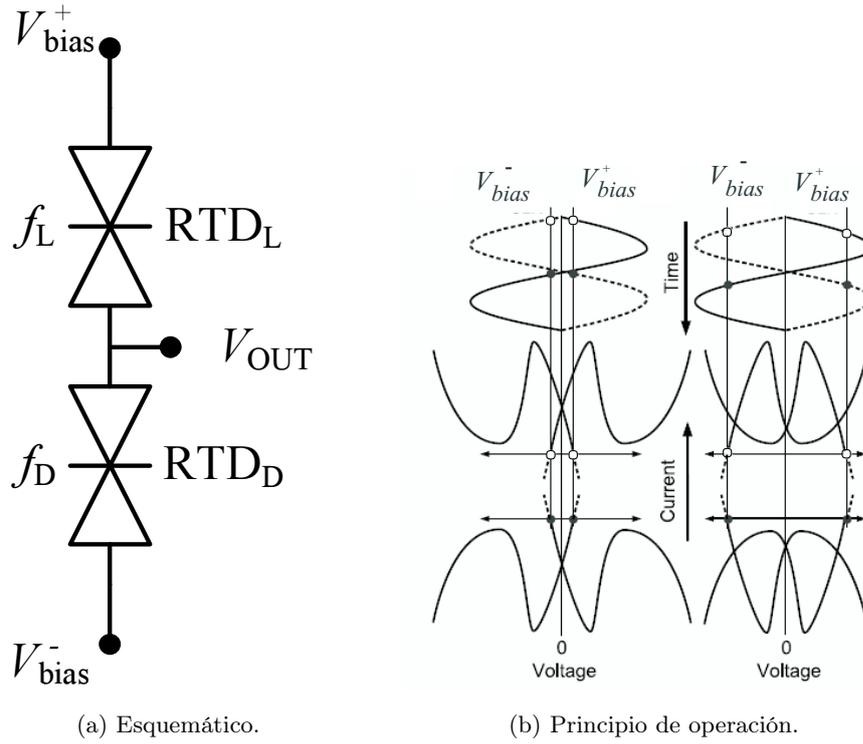


Figura 2.4: SMOBILE.

Es posible implementar circuitos diferenciales basados en este principio de operación simétrica. En el siguiente subapartado realizaremos un análisis de una estructura SMOBILE diferencial.

Circuito SMOBILE diferencial

La Figura 2.5 muestra un circuito diferencial basado en el SMOBILE. La operación en DC del circuito basado en SMOBILE viene descrita por:

$$\begin{aligned}
 f_L g[V_{bias}^+ - V_{out}^+] + FF_L I_T[V_{in}^+ - V_{out}^+, V_{bias}^+ - V_{out}^+] &= \\
 &= f_D g[V_{out}^+ - V_{bias}^-] + FF_D I_T[V_{in}^- - V_{bias}^+, V_{out}^+ - V_{bias}^-] \quad (2.10)
 \end{aligned}$$

$$\begin{aligned}
 f_L g[V_{bias}^+ - V_{out}^-] + FF_L I_T[V_{in}^- - V_{out}^-, V_{bias}^+ - V_{out}^-] &= \\
 &= f_D g[V_{out}^- - V_{bias}^-] + FF_D I_T[V_{in}^+ - V_{bias}^-, V_{out}^- - V_{bias}^-] \quad (2.11)
 \end{aligned}$$

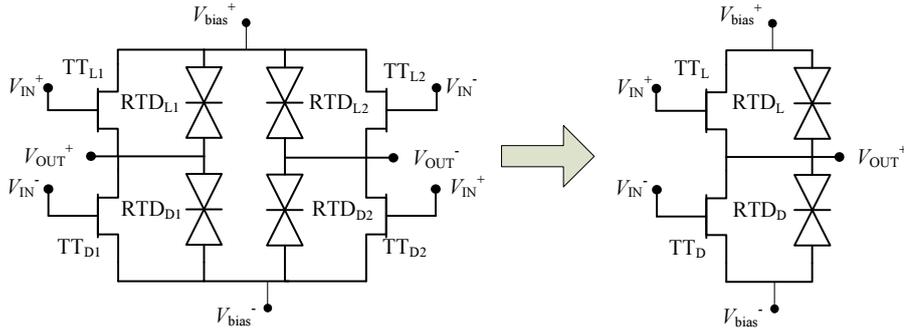


Figura 2.5: Circuito diferencial basado en SMOBILE y su correspondiente versión desacoplada.

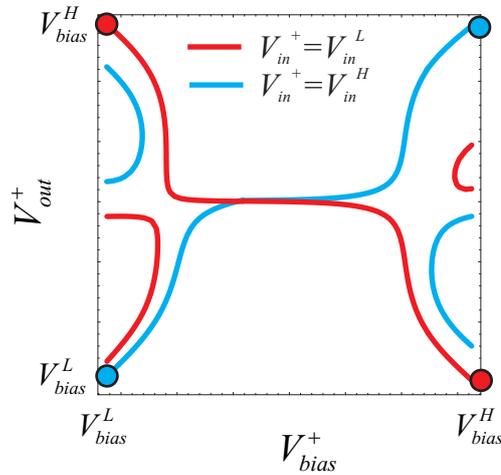


Figura 2.6: Plot $V_{bias} - V_{out}$ circuito diferencial basado en SMOBILE.

Al igual que hicimos con el circuito diferencial basado en el MOBILE, en nuestro análisis consideraremos tan sólo la ecuación 2.10, correspondiente a una de las partes desacopladas del circuito.

Verificación de la propiedad de evaluación La Figura 2.6 muestra la representación de las soluciones de 2.10 en el plano $V_{bias}^+ - V_{out}^+$ en los casos en los que $V_{in}^+ = V_{in}^L$ y $V_{in}^+ = V_{in}^H$, para una estructura bien dimensionada. La línea azul muestra el caso en el que $V_{in}^+ = V_{in}^H$, donde se puede comprobar que la salida se encuentra a su nivel máximo para el valor máximo de la tensión de alimentación. La situación recíproca, marcada en color rojo, muestra que si $V_{in}^+ = V_{in}^L$, la salida evoluciona de forma inversa al caso anterior.

La salida que proporciona el circuito SMOBILE se decidirá para los valores críticos de la tensión de alimentación, esto es, cuando $|V_{bias}^+ - V_{bias}^-| \simeq 2V_p$. El primer NDR en

alcanzar su tensión de pico está determinado por la tensión de entrada, que modula la corriente a través de ambos transistores. A partir de la expresión 2.10 obtendremos dos relaciones entre los parámetros que garantizarán una correcta evaluación de la tensión diferencial de entrada:

$$\begin{aligned} \text{Si } V_{IN}^- = V_{in}^L, V_{in}^+ = V_{in}^H \\ f_D g[V_{out}^+ - V_{bias,crit}^-] + F F_D \cdot I_T[V_{in}^L - V_{bias,crit}^-, V_{out}^+ - V_{bias,crit}^-] < \\ < f_L g[V_{bias,crit}^+ - V_{out}^+] + F F_L \cdot I_T[V_{in}^H - V_{out}^+, V_{bias,crit}^+ - V_{out}^+] \end{aligned} \quad (2.12)$$

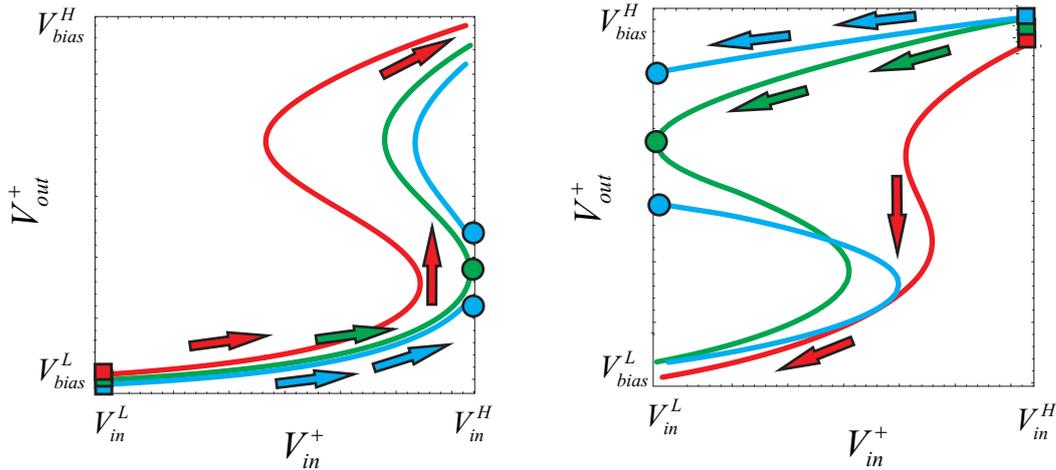
$$\begin{aligned} \text{Si } V_{in}^- = V_{in}^H, V_{in}^+ = V_{in}^L \\ f_D g[V_{out}^+ - V_{bias,crit}^-] + F F_D \cdot I_T[V_{in}^H - V_{bias,crit}^-, V_{out}^+ - V_{bias,crit}^-] > \\ > f_L g[V_{bias,crit}^+ - V_{out}^+] + F F_L \cdot I_T[V_{in}^L - V_{out}^+, V_{bias,crit}^+ - V_{out}^+] \end{aligned} \quad (2.13)$$

Las tensiones que caen en el *driver* y el *load* se han supuesto iguales a la tensión de pico del RTD, por lo que se puede considerar que la intensidad a través de cada RTD es igual a la de pico. El circuito está alimentado por unas tensiones $V_{bias,crit}^+ = V_p$ y $V_{bias,crit}^- = -V_p$, y la tensión de salida a la que ocurre la decisión es aproximadamente igual a cero. Las relaciones entre los parámetros del circuito que garantizan una operación correcta vienen dadas por:

$$f_D I_p + F F_D \cdot I_T[V_{in}^L + V_p, V_p] < f_L I_p + F F_L \cdot I_T[V_{in}^H, V_p] \quad (2.14)$$

$$f_D I_p + F F_D \cdot I_T[V_{in}^H + V_p, V_p] > f_L I_p + F F_L \cdot I_T[V_{in}^L, V_p] \quad (2.15)$$

Verificación de la propiedad de biestabilidad En la Figura 2.7 se representan plots correspondientes a soluciones de 2.10 en el plano $V_{in} - V_{out}$ para los valores extremos de la tensión de polarización. La Figura 2.7a corresponde al caso en el que la tensión positiva de entrada aumenta desde el nivel mínimo hasta el máximo. Si la estructura está dimensionada correctamente, la salida no debe cambiar su valor lógico aunque la entrada lo haga (línea azul en la Figura 2.7a). Como muestran las flechas azules, la solución de 2.10 asociada a la salida cuando la tensión de entrada es V_{in}^L (señalada con un cuadrado



(a) Plot $V_{in} - V_{out}$ del circuito diferencial basado en SMOBILE cuando V_{in}^+ pasa de V_{in}^L a V_{in}^H .

(b) Plot $V_{in} - V_{out}$ del circuito diferencial basado en SMOBILE cuando V_{in}^+ pasa de V_{in}^H a V_{in}^L .

Figura 2.7: Plots $V_{in} - V_{out}$ correspondientes al circuito diferencial SMOBILE.

azul) y cuando se incrementa hasta V_{in}^H (marcada con un círculo azul) está siempre a nivel lógico bajo. La situación crítica así como los ejemplos de operación incorrecta se muestran en verde y rojo respectivamente. La Figura 2.7b ilustra el caso complementario en el que la tensión positiva de entrada decrece desde su valor máximo al mínimo. El criterio para predecir la pérdida de biestabilidad consiste en determinar si existe una solución a 2.10 en la región de valor lógico bajo de V_{out} para $V_{in}^+ = V_{in}^H$ y $V_{bias} = V_{bias}^H$ y en la de valor alto para $V_{in}^+ = V_{in}^L$ y $V_{bias} = V_{bias}^H$.

En primer lugar, consideraremos que la tensión positiva de entrada crece desde $V_{in}^+ = V_{in}^L$ a $V_{in}^+ = V_{in}^H$ (Figura 2.7a). La curva verde representa la situación crítica que marca el límite de operación correcta del circuito. Las soluciones de V_{out}^+ que habíamos marcado anteriormente con círculos azules coinciden ahora en un solo punto (marcado con un círculo verde). Para esta situación crítica se verifica que la ecuación es:

$$\begin{aligned} f_D g[V_{out}^+ - V_{bias}^L] + F F_D \cdot I_T[V_{in}^L - V_{bias}^L, V_{out}^+ - V_{bias}^L] = \\ = f_L g[V_{bias}^H - V_{out}^+] + F F_L \cdot I_T[V_{in}^H - V_{out}^+, V_{bias}^H - V_{out}^+] \quad (2.16) \end{aligned}$$

Al igual que se hizo en el estudio de la estructura diferencial basada en el MOBILE, aproximaremos las expresiones de las intensidades de los RTDs por sus desarrollos en serie de segundo orden. Suponiendo que el RTD *driver* está en zona I y el RTD *load* en

zona III, las tensiones en cada RTD serán aproximadamente igual a V_p para el *driver* y $(V_{bias}^H - V_{bias}^L) - V_p$ para el *load*. Así:

$$g_D[V_{out}^+] = f_D(h_0 + h_1((V_{out}^+ - V_{bias}^L) - V_p)) + h_2((V_{out}^+ - V_{bias}^L) - V_p)^2 \quad (2.17)$$

$$g_L[V_{out}^+] = f_L(b_0 + b_1(-V_{out}^+ + V_{bias}^L + V_p) + b_2(-V_{out}^+ + V_{bias}^L + V_p)^2) \quad (2.18)$$

y los coeficientes h_0 , h_1 , h_2 , b_0 , b_1 y b_2 son $g[V_p] = I_p$, $g'[v]|_{v=V_p} = 0$, $\frac{1}{2}g''[v]|_{v=V_p}$, $g[V_{bias}^H - V_{bias}^L - V_p]$, $g'[v]|_{v=V_{bias}^H - V_{bias}^L - V_p}$ y $\frac{1}{2}g''[v]|_{v=V_{bias}^H - V_{bias}^L - V_p}$, respectivamente.

El desarrollo en serie de potencias de primer orden de la intensidad que circula por el HFET se ha realizado en torno a $V_{bias}^L + V_p$

$$FF_D I_T[V_{in}^L - V_{bias}^L, V_{out}^+ - V_{bias}^L] = FF_D(s_0 + s_1(V_{out}^+ - (V_{bias}^L + V_p))) \quad (2.19)$$

$$FF_L I_T[V_{in}^H - V_{out}^+, V_{bias}^H - V_{out}^+] = FF_L(t_0 + t_1(V_{out}^+ - (V_{bias}^L + V_p))) \quad (2.20)$$

Los coeficientes s_0 , s_1 , t_0 y t_1 son $I_T[V_{in}^L - V_{bias}^L, V_p]$, $\left. \frac{dI_T[V_{in}^L - V_{bias}^L, V_{out}^+ - V_{bias}^L]}{dV_{out}^+} \right|_{V_{out}^+ = V_{bias}^L + V_p}$, $I_T[V_{in}^H - V_{bias}^L - V_p, V_{bias}^H - V_{bias}^L - V_p]$ e $\left. \frac{dI_T[V_{in}^H - V_{out}^+, V_{bias}^H - V_{out}^+]}{dV_{out}^+} \right|_{V_{out}^+ = V_{bias}^L + V_p}$, respectivamente.

Sustituyendo en 2.16:

$$\begin{aligned} & f_D(h_0 + h_1(V_{out}^+ - (V_{bias}^L + V_p)) + h_2(V_{out}^+ - (V_{bias}^L + V_p))^2) + \\ & \quad + FF_D(s_0 + s_1(V_{out}^+ - (V_{bias}^L + V_p))) - \\ & \quad - f_L(b_0 + b_1(-V_{out}^+ + V_{bias}^L + V_p) + b_2(-V_{out}^+ + V_{bias}^L + V_p)^2) - \\ & \quad - FF_L(t_0 + t_1(-V_{out}^+ + V_{bias}^L + V_p)) = 0 \quad (2.21) \end{aligned}$$

ecuación de segundo grado en $V_{out}^+ - (V_{bias}^L + V_p)$. Un funcionamiento correcto exige un discriminante mayor o igual a cero, lo que proporciona una primera relación entre parámetros.

De forma análoga se puede obtener una nueva condición asociada al problema de biestabilidad cuando la tensión positiva de entrada decrece hasta $V_{in}^+ = V_{in}^L$ (Figura 2.7b).

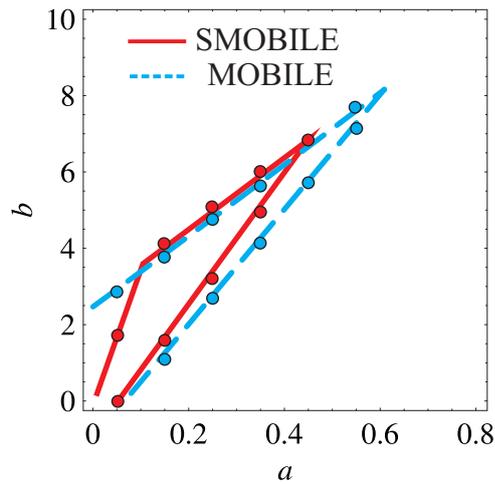
En este caso los desarrollos en serie de potencias, tanto para los RTDs como el HFET, se realizan alrededor de $(V_{bias}^H - V_{bias}^L) - V_P$ para el *driver* y V_P para el *load*. La segunda relación entre parámetros se obtiene, al igual que en el caso anterior, forzando a que el discriminante de la ecuación de segundo grado obtenida al sustituir sea mayor o igual a cero.

2.1.3 Validación de resultados

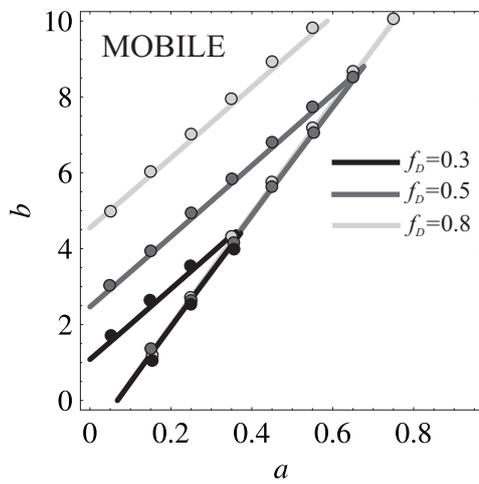
Con objeto de verificar nuestros resultados teóricos, hemos realizado una comparación entre éstos y las simulaciones con HSPICE. Las expresiones anteriores se han usado para derivar límites de las regiones de operación correcta en DC de los circuitos diferenciales MOBILE y SMOBILE. Para los resultados teóricos obtenidos y las simulaciones HSPICE se han empleado los modelos de RTD y HFET de la tecnología LOCOM [54]. Los valores de tensión utilizados son $V_{in}^H = 0.65V$, $V_{in}^L = 0V$, $V_{bias}^H = 0.65V$ y $V_{bias}^L = 0V$ para los basados en el MOBILE y $V_{in}^H = 0.325V$, $V_{in}^L = -0.325V$, $V_{bias}^H = 0.325V$ y $V_{bias}^L = -0.325V$ para los circuitos SMOBILE.

La Figura 2.8 muestra el conjunto de valores de $b = FF_D - FF_L$ y $a = f_L - f_D$ que simultáneamente permiten una evaluación correcta y la verificación de la propiedad de biestabilidad. En la Figura 2.8a los valores de FF_L y f_D se han fijado a 1 y 0.5, respectivamente. Las líneas punteadas delimitan la región de funcionamiento correcto correspondiente a un circuito basado en MOBILE, mientras que las continuas lo hacen para el circuito SMOBILE. Los puntos que aparecen en la figura corresponden a los extremos de funcionamiento obtenidos con simulaciones HSPICE. Como puede observarse, existe una correspondencia muy buena entre los resultados obtenidos de forma teórica y los que proporciona el simulador HSPICE, lo que permite validar los resultados teóricos propuestos.

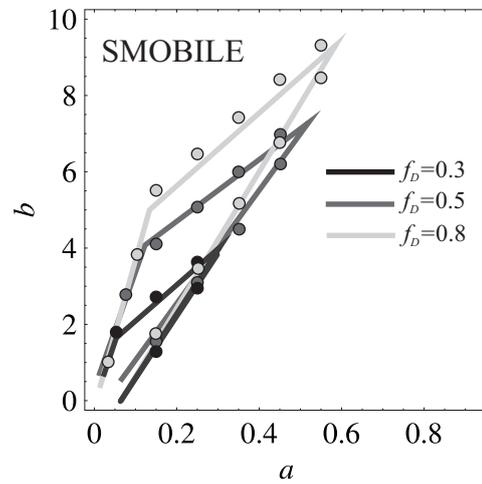
En las Figuras 2.8b y 2.8c se muestra el efecto teórico de variación del parámetro f_D para los circuitos basados en el MOBILE y SMOBILE e incluyen, además, resultados de simulaciones HSPICE. Al aumentar el valor de dicho parámetro se consiguen regiones de funcionamiento mayores. Finalmente, en las Figuras 2.8d y 2.8e se muestra el crecimiento de la región de operación correcta en ambas estructuras al disminuir FF_L para un valor de $f_D = 0.5$.



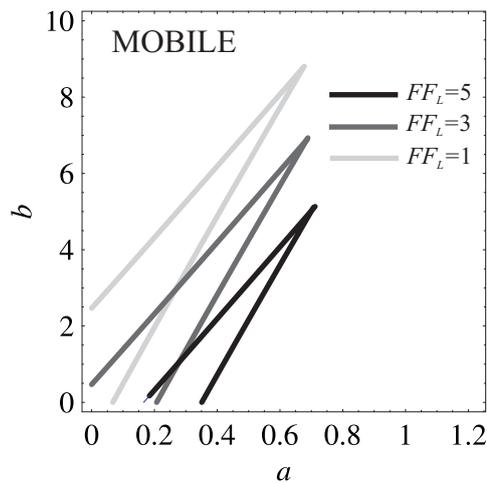
(a) Regiones de funcionamiento en DC MOBILE y SMOBILE para $f_D = 0.5$ y $FF_L = 1$.



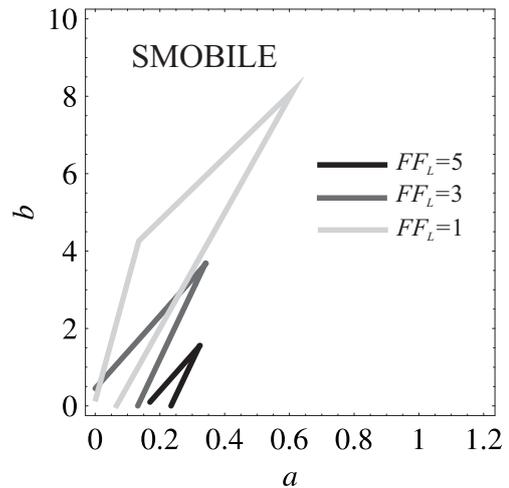
(b) Efecto de la variación de f_D para $FF_L = 1$ en la estructura MOBILE.



(c) Efecto de la variación de f_D para $FF_L = 1$ en la estructura SMOBILE.



(d) Efecto de la variación de FF_L para $f_D = 0.5$ en la estructura MOBILE.



(e) Efecto de la variación de FF_L para $f_D = 0.5$ en la estructura SMOBILE.

Figura 2.8: Regiones de funcionamiento correcto en DC $b - a$, con $b = FF_D - FF_L$ y $a = f_L - f_D$.

2.2 Conceptos básicos para el estudio de circuitos multiva- luados

En este apartado modelaremos la característica tensión-corriente de la conexión en serie de RTDs y cómo obtenerla a partir de la aproximación lineal de la característica de un RTD. Seguidamente describiremos el principio de operación MML.

2.2.1 Característica $I-V$ de varios RTDs en serie

Dado que en este capítulo estudiaremos estructuras que usan más de dos RTDs en serie resulta interesante considerar cómo es su característica $I-V$ conjunta. La conexión en serie de dos RTDs origina una característica $I-V$ con dos picos y dos valles. La Figura 2.9b muestra una característica típica de dos RTDs conectados en serie, obtenida usando el modelo proporcionado por LOCOM [54]. La curva punteada se obtiene como solución analítica a la ecuación que iguala las intensidades que circulan por ambos RTDs. La figura incluye en color rojo y superpuesta a la curva anterior, la característica tensión-corriente obtenida por simulación HSPICE. Nótese la histéresis que aparece en torno al segundo pico dependiendo de que el barrido en tensión sea creciente o decreciente. Como puede observarse, la característica conjunta $I-V$ resulta bastante compleja y puede complicar en gran medida el estudio teórico de circuitos que usen la conexión en serie de RTDs. Es necesario, pues, realizar algún tipo de simplificación que nos permita una manipulación más sencilla de sus características $I-V$. Nuestro trabajo simplifica la de un RTD a un modelo lineal a tramos, que mantiene la tensión e intensidad de pico y la tensión e intensidad de valle, como se muestra en la Figura 2.9c, lo que permite aplicarla a la curva $I-V$ de cualquier RTD.

Supongamos los dos RTDs en serie de la Figura 2.9a. El primer pico y el primer valle de la característica conjunta se deben al RTD con menor factor de área, mientras que el segundo pico y valle dependen del otro RTD. A partir de las características lineales a tramos de cada dispositivo, se pueden construir las curvas de carga que ayudan a obtener las expresiones para las tensiones e intensidades de pico y valle de la característica conjunta de los dos RTDs en serie. Estas expresiones aparecen en la Tabla 2.1 y a continuación se analiza su obtención.

La Figura 2.10a muestra la curva de carga para un valor de la tensión de alimentación en el que la intensidad de zona I del RTD_1 (el que opera como carga) alcanza la intensidad de pico de RTD_2 (*driver*). Hemos supuesto, sin pérdida de generalidad, que el factor de área de RTD_1 es mayor que el del RTD_2 , esto es $f_1 > f_2$. La notación empleada

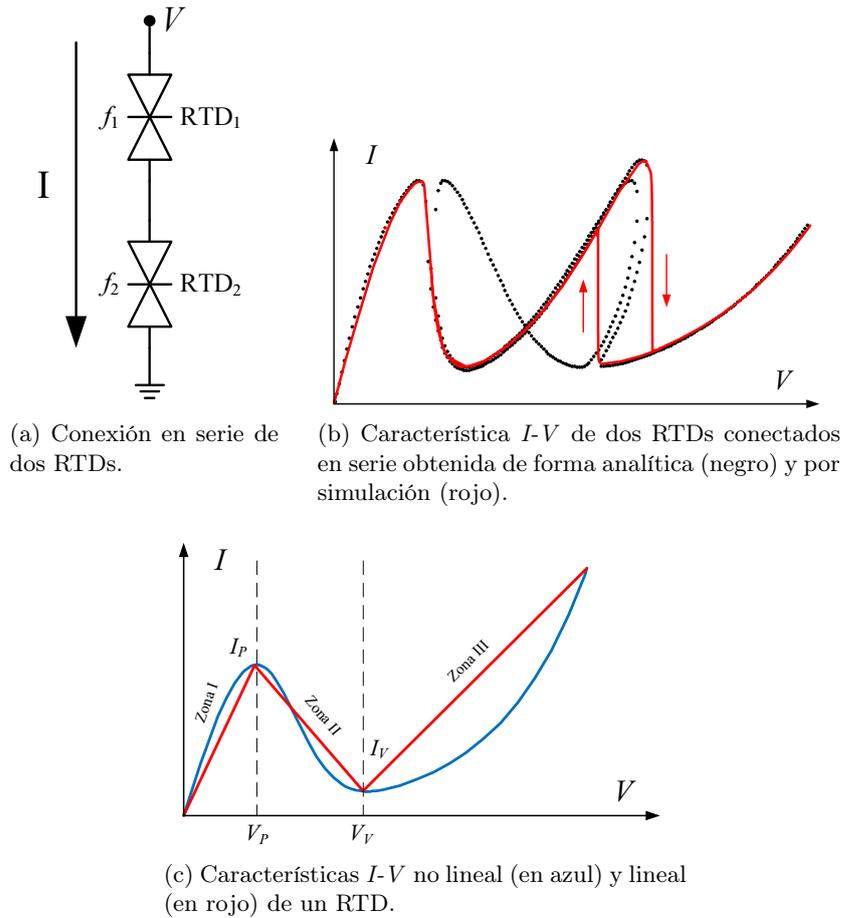


Figura 2.9: Característica I - V de dos RTDs en serie y aproximación lineal de la de un RTD.

explicita el hecho de que las tensiones e intensidades de pico y valle dependan de los factores de área. En este caso, la tensión del primer pico de la característica conjunta, que llamaremos $V_{p1}^{f_2, f_1}$, será el valor de la tensión de alimentación que permite alcanzar la intensidad de pico de RTD_2 . A partir de simples consideraciones geométricas, se puede llegar a una expresión que relacione los factores de área con la tensión de pico original, V_P . La intensidad del primer pico, $I_{p1}^{f_2, f_1}$ será la intensidad de pico de RTD_2 . Al aumentar la tensión de alimentación llega un momento en el que la zona I del RTD_1 alcanza el valle del RTD_2 , como muestra la Figura 2.10b. En este caso estaremos ante el primer valle de la característica conjunta, cuya intensidad $I_{v1}^{f_2, f_1}$ coincidirá con la de valle del RTD_2 y la tensión $V_{v1}^{f_2, f_1}$ vendrá dada por la expresión que aparece en la Tabla 2.1. La obtención del segundo pico y valle es similar a los casos anteriores según se observa en las Figuras 2.10c y 2.10d. Se puede demostrar que para este tipo de configuración y bajo ciertas

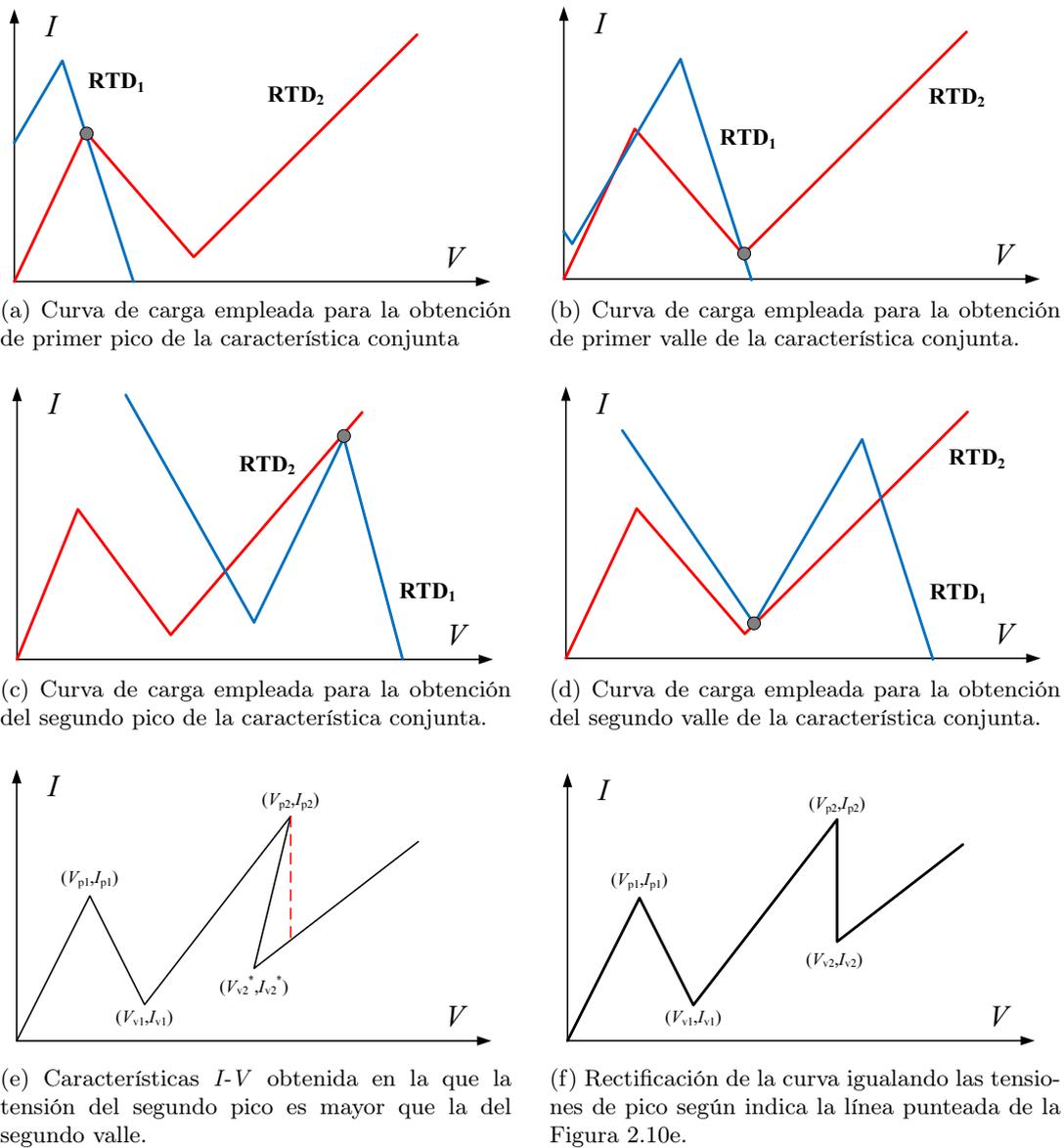


Figura 2.10: Obtención de la característica I - V conjunta de dos RTDs lineales a tramos en serie.

condiciones, la tensión del segundo pico es mayor que la del segundo valle, de modo que la característica obtenida no es una función bien definida. Por tanto, para poder trabajar con una adecuada descripción lineal a tramos es necesario realizar una rectificación, como se muestra en el trazado discontinuo de la Figura 2.10e. De esta manera llegaremos a una representación de la característica conjunta de los dos RTDs como la mostrada en la Figura 2.10f, en la que las tensiones del segundo pico y valle coinciden.

La Figura 2.11 muestra la característica I - V de los dos RTDs en serie obtenida por

$V_{p1}^{f_2, f_1}$	$(1 + f_2/f_1)V_P$
$I_{p1}^{f_2, f_1}$	$f_2 I_P$
$V_{v1}^{f_2, f_1}$	$V_V + [(f_2 I_V)/(f_1 I_P)]V_P$
$I_{v1}^{f_2, f_1}$	$f_2 I_V$
$V_{p2}^{f_2, f_1}$	$(f_1 I_P)/(f_2 m_{III}) - I_V/m_{III} + V_V$
$I_{p2}^{f_2, f_1}$	$f_1 I_P$
$V_{v2}^{f_2, f_1}$	$(f_1 - f_2)I_V/(f_2 m_{III}) + V_V$
$I_{v2}^{f_2, f_1}$	$-(f_1(f_1 I_P + f_2 I_V)(f_1 I_V - f_2(I_V + m_{III} V_{bias}^H)) + f_1 f_2(2f_1 I_P + f_2 I_V - f_1 I_V)V_V m_{III})/((f_2 + f_1)(-f_1 I_V + f_2(I_V + m_{III}(V_{bias}^H - V_V)))$

Tabla 2.1: Puntos críticos de la característica conjunta de dos RTDs en serie lineales a tramos. m_{III} representa la pendiente de la zona III del RTD con característica lineal a tramos.

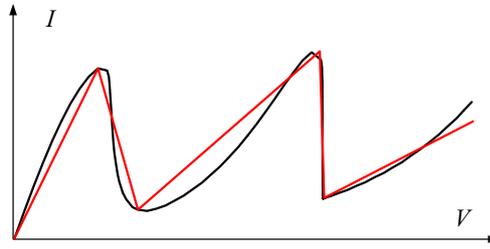


Figura 2.11: Comparación entre la característica I - V de dos RTDs en serie obtenidas empleando RTDs (en negro) y a partir del modelo teórico empleando RTDs con características lineales a tramos (en rojo).

simulación HSPICE (en color negro) y, superpuesta a ella (en rojo), la obtenida teóricamente según los valores de la Tabla 2.1. En dicha figura se ha eliminado la histéresis dado que para los circuitos que estudiaremos sólo nos interesa la parte de la curva marcada con la flecha descendente en la Figura 2.9b. Además, se observa la correspondencia entre ambas características en los picos y los valles, que como veremos, son los puntos importantes para el análisis que se llevará a cabo.

Este procedimiento se puede extender fácilmente a la obtención de características tensión-corriente de más de dos RTDs en serie. La Figura 2.12a muestra la característica I - V correspondiente a la conexión en serie de tres RTDs. En este caso también aparecen tensiones de pico que se encuentran por encima de las de valle, por lo que será necesaria una rectificación de las mismas, como indica la línea discontinua roja. La Figura 2.12b muestra la característica resultante. La característica conjunta de dispositivos NDR en serie se empleará de forma extensiva en el estudio de circuitos multivaluados.

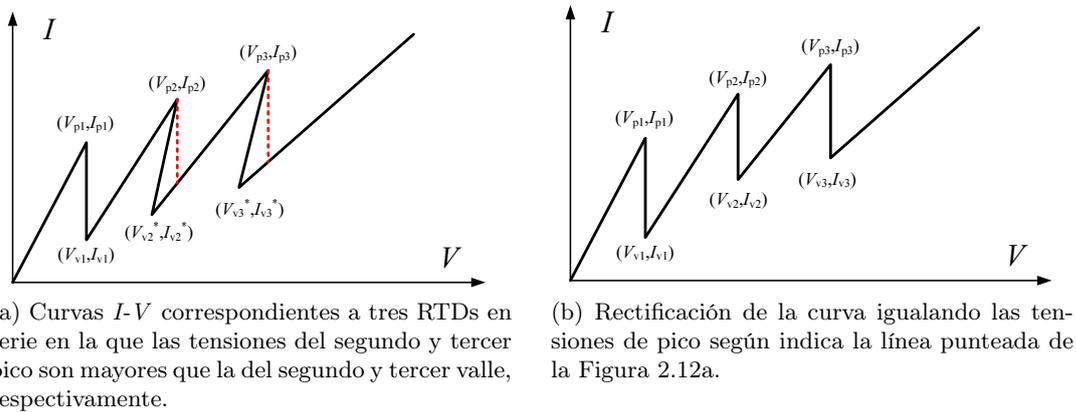
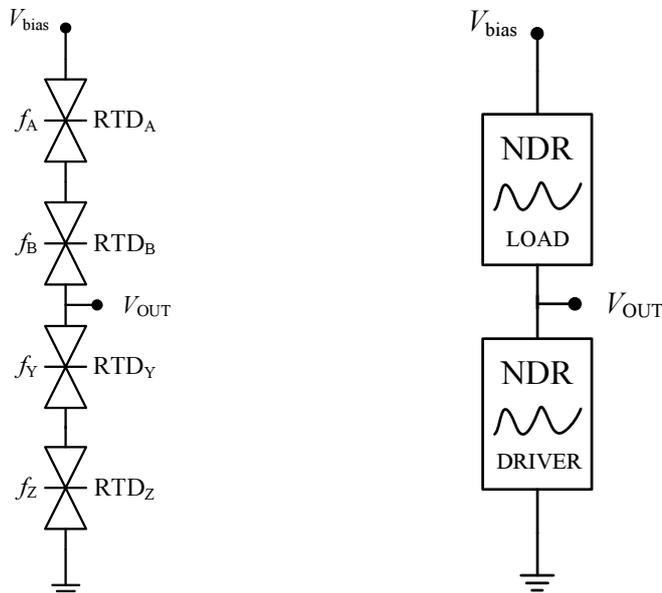


Figura 2.12: Conexión en serie de tres RTDs. Curvas I - V .



(a) Cuatro RTDs en serie. (b) Esquema equivalente consistente en la conexión en serie de dos NDRs con características I - V de dos picos y dos valles.

Figura 2.13: Conexión en serie de dispositivos NDR.

2.2.2 El principio de operación MML

El principio de operación MML (*Monostable-Multistable Logic*) [85, 86] es la extensión multivaluada del principio MOBILE y su aplicación permite implementar circuitos lógicos multivaluados basados en la conexión en serie de RTDs.

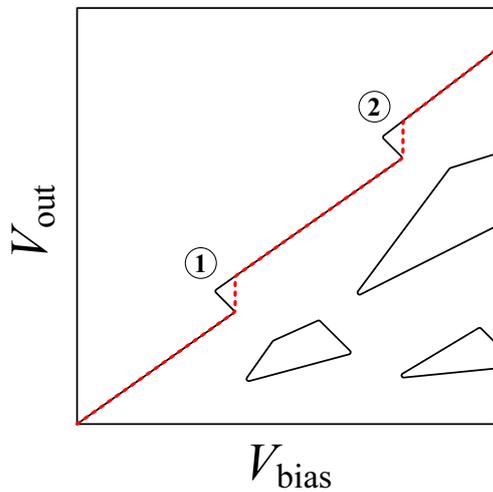
El circuito de la Figura 2.13a muestra la conexión en serie de cuatro RTDs, y nos sirve para describir la operación MML. Teniendo en cuenta que la característica tensión-

corriente de dos RTDs en serie se puede modelar con la representación de dos picos y dos valles estudiada anteriormente, podemos considerar este circuito como la conexión en serie de dos NDRs con dichas características $I-V$, como muestra la Figura 2.13b. Supondremos que el circuito está alimentado por una tensión periódica V_{bias} , que oscila entre un valor mínimo, V_{bias}^L , y otro máximo V_{bias}^H .

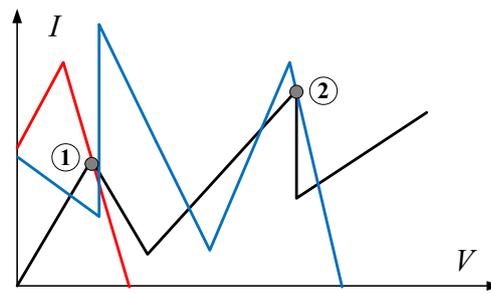
En un circuito funcionando conforme al principio de operación MOBILE, sólo uno de los RTDs conmuta. En el caso de circuitos multivaluados operando según el principio de operación MML, al menos dos RTDs lo hacen. El valor máximo de la tensión de alimentación debe incrementarse con respecto a las estructuras MOBILE para conseguir las dos transiciones. En este tipo de estructuras, el orden en el que conmutan los RTDs viene determinado por la relación existente entre los factores de área de los mismos, siendo el de menor factor de área el primero en conmutar.

La Figura 2.14 muestra plots de contorno de la tensión de salida, V_{out} , frente a la de alimentación, V_{bias} , para RTDs con características conjuntas lineales a tramos y diferentes relaciones entre sus factores de área. La Figura 2.14a muestra el caso en el que los factores de área del NDR inferior (el *driver*) son menores que los del NDR superior (o *load*), esto es, $f_Z < f_Y < f_B < f_A$. Cuando la tensión de alimentación es baja, el circuito es monoestable, y sólo existe un posible valor de la tensión de salida. Cuando V_{bias} aumenta, llega un momento en el que el RTD con menor factor de área del *driver*, RTD_Z , conmuta (marcado con “1” en la Figura 2.14a) provocando que la tensión de salida aumente. Si usamos la curva de carga del circuito (Figura 2.14b), se puede observar cómo la primera transición se produce cuando la tensión de alimentación es tal que la intensidad de la carga alcanza a la del primer pico del *driver*. Al seguir aumentando V_{bias} , se consigue forzar la transición de RTD_Y (marcado con “2” en la Figura 2.14a) dado que la intensidad de la carga ha alcanzado a la del segundo pico del *driver*, como se muestra en la Figura 2.14b.

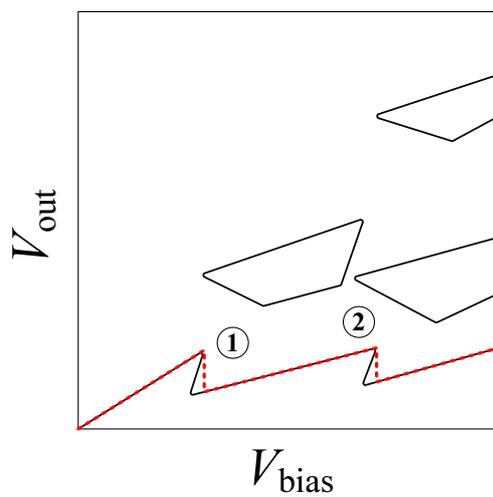
Cuando los factores de área de los RTDs de la carga son mayores que los del *driver*, ambas transiciones vendrán provocadas por los RTDs del NDR superior, como se muestra en la Figura 2.14c, forzando un nivel lógico bajo a la salida. Por último, se obtienen niveles medios de salida cuando el RTD más pequeño pertenece a un NDR y el siguiente en tamaño está en el otro, compensándose el sentido de la variación de la tensión de salida de la primera transición con el de la segunda. La Figura 2.14d muestra uno de los posibles casos que se podrían dar asociados a esta situación, concretamente aquél en el que $f_Z < f_B < f_Y < f_A$.



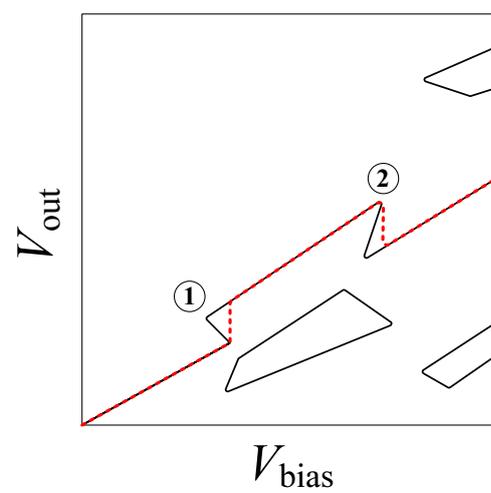
(a) Plot de contorno $V_{bias} - V_{out}$ correspondiente a la conexión en serie de cuatro RTDs, donde los factores de área menores están en el *driver*.



(b) Curva de carga correspondiente al caso de la Figura 2.14a.



(c) Plot de contorno asociado a las situaciones en las que los factores de área menores se corresponden con la carga.



(d) Plot de contorno asociado a las situaciones en las que los dos RTDs de menor tamaño están uno en la carga y otro en el *driver*.

Figura 2.14: Principio de operación MML. Explicación a través de plots de contornos y curvas de carga.

Al igual que ocurre en el caso del MOBILE, es posible añadir funcionalidad lógica a los circuitos MML con una etapa de entrada colocada en paralelo con el *driver* o la carga, como se analizará en las secciones siguientes. Para garantizar un funcionamiento correcto en DC, las estructuras MML con etapas de entrada han de verificar las mismas propiedades que en el caso de las basadas en MOBILE, esto es, una propiedad de *evaluación* correcta de la señal de entrada y otra que garantice que el nivel lógico de salida no cambie aunque varíe la señal de entrada cuando la tensión de alimentación se encuentra a nivel alto. Para estructuras MOBILE, en las que se deben garantizar dos soluciones de la tensión de salida, dicha propiedad se conoce como biestabilidad, en el caso de estructuras multivaluadas la denominaremos *multiestabilidad* [87, 88].

2.3 Estructuras ternarias

Las estructuras ternarias representan el caso más simple de circuitos multivaluados. Esta sección presenta las bases para su análisis estático, bases que pueden extrapolarse a configuraciones con un mayor número de niveles lógicos. Realizaremos un estudio detallado del comportamiento estático del inversor de ternario y obtendremos las relaciones entre los parámetros del mismo que van a garantizar un funcionamiento correcto. Este análisis puede extenderse fácilmente a estructuras ternarias que implementen otras funciones lógicas, como es el caso de las puertas NMIN y NMAX.

2.3.1 El inversor ternario

La Figura 2.15a muestra el circuito correspondiente a un inversor ternario. Está formado por la conexión en serie de dos NDRs, el *load* (NDR_L) con RTD_B y RTD_A y el *driver* (NDR_D) con un transistor en paralelo a dos RTDs en serie, RTD_Z y RTD_Y . Ambos NDRs tienen una característica tensión corriente con dos picos y dos valles. Los puntos críticos de la característica $I-V$ de NDR_D están modulados por el efecto que la tensión de entrada tiene sobre la corriente que circula por el transistor. Sin pérdida de generalidad supondremos que $f_Z < f_Y$ y $f_B < f_A$.

El circuito debe funcionar de manera que se verifiquen las propiedades de evaluación y multiestabilidad previamente descritas, lo que requiere el dimensionado adecuado de los dispositivos que lo forman. La Figura 2.15b ilustra la operación del circuito. Se ha obtenido mediante simulación HSPICE utilizando RTDs con características $I-V$ lineales a tramos. En estas simulaciones la tensión de entrada varía entre $0V$ y $0.65V$, la de alimentación entre $0V$ y $1.75V$ y el circuito se ha dimensionado con $f_A = 1.2$, $f_B = 1.1$, $f_Y = 0.7$, $f_Z =$

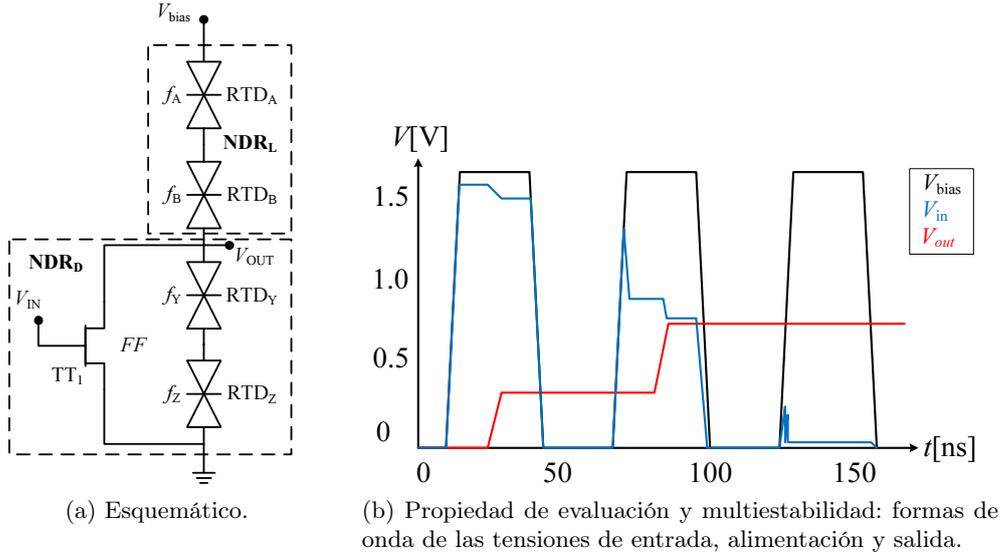


Figura 2.15: Inversor ternario.

0.6, y $FF = 8$. Como puede observarse, la evaluación se está realizando de forma correcta dado que se verifica la funcionalidad lógica correspondiente al inversor ternario. Además, cuando la tensión de entrada varía y la señal de reloj está a nivel alto, no existe variación en el nivel lógico de la salida.

Propiedad de evaluación

Las condiciones que deben cumplirse para una correcta evaluación pueden derivarse con la ayuda de la Figura 2.16. En el análisis denotaremos como V_{in}^L , V_{in}^M y V_{in}^H , respectivamente, a los tres niveles de tensión de entrada, esto es, bajo (0), medio (1) y alto (2). Los niveles de tensión de alimentación alto y bajo son V_{bias}^H y V_{bias}^L respectivamente. Supongamos, en primer lugar, que $V_{in} = V_{in}^L$. La Figura 2.16a muestra la curva de carga correspondiente a dos valores de la tensión de alimentación. Para que la salida tome un valor lógico alto es necesario que ambos RTDs del *driver* conmuten. El primero en hacerlo (transición marcada con “1” en la Figura 2.16b) es el RTD de menor tamaño, RTD_Z y se produce cuando la intensidad de la carga se hace igual a la intensidad del primer pico del *driver* (curva roja en la Figura 2.16a). La primera relación entre parámetros del circuito será por tanto:

$$f_Z I_p + FF \cdot I_T[V_{in}^L, V_{p1}^{f_Z, f_Y}] < f_B I_p \quad (2.22)$$

La segunda transición tiene lugar cuando la intensidad que circula por la carga alcanza

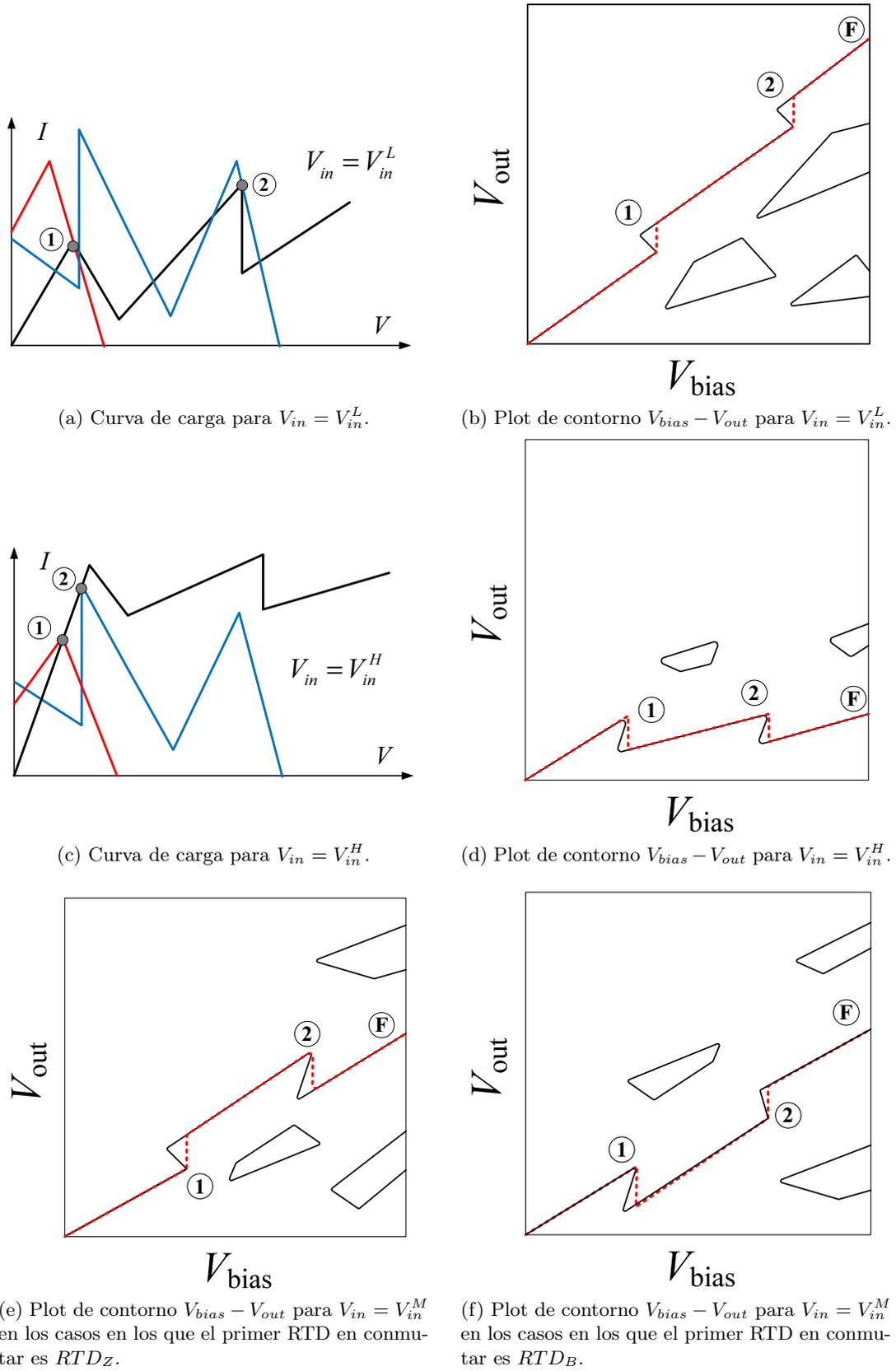


Figura 2.16: Inversor ternario. Evaluación.

el valor de la intensidad del segundo pico de la curva del *driver* (marcada con “2” en la curva roja de la Figura 2.16a). De esta manera, como se observa en el plot de contorno de la tensión de salida frente a la de alimentación (Figura 2.16b), ambas transiciones van a hacer que el ‘continuo’ de soluciones de la tensión de salida (marcado con línea discontinua roja) vaya creciendo hasta alcanzar el nivel lógico alto (marcado con “F”). De igual forma se puede obtener una segunda relación dada por:

$$f_Y I_p + FF \cdot I_T[V_{in}^L, V_{p2}^{f_Z, f_Y}] < f_B I_p \quad (2.23)$$

Un razonamiento análogo se puede emplear cuando a la entrada se le aplica un nivel lógico alto, $V_{in} = V_{in}^H$. Ambas transiciones se deben a los dos RTDs de la carga, RTD_B y RTD_A , dado que es necesario que la tensión de salida alcance un nivel lógico bajo. La primera de las transiciones, marcada con “1” en las Figuras 2.16c y 2.16d, es debida al RTD de menor factor de área, RTD_B y se origina cuando la intensidad del *driver* alcanza el primer pico de la carga. La desigualdad obtenida es:

$$f_Z I_p + FF \cdot I_T[V_{in}^H, V_{p1}^{f_Z, f_Y}] > f_B I_p \quad (2.24)$$

La segunda transición ocurre al conmutar RTD_A , cuando la intensidad del *driver* alcanza el segundo pico (marcado con “2” en la curva roja de la Figura 2.16d), y fuerza a que el nivel de salida permanezca bajo (marcado con “F” en el plot de contorno de la Figura 2.16d). La relación obtenida es:

$$f_Z I_p + FF \cdot I_T[V_{in}^H, V_{p1}^{f_Z, f_Y}] > f_A I_p \quad (2.25)$$

El caso correspondiente a un nivel de tensión media, $V_{in} = V_{in}^M$, es algo diferente a los anteriores, ya que existen dos posibilidades de que la salida alcance un nivel lógico medio. Esto es, un RTD de cada NDR tiene que conmutar (los dos con menor factor de área), pero el orden en el que lo hagan es indiferente. En primer lugar consideraremos el caso en el que RTD_Z conmuta primero y luego lo hace RTD_B (Figura 2.16e). Siguiendo un razonamiento análogo al anterior, se obtiene el siguiente par de relaciones:

$$f_Z I_p + FF \cdot I_T[V_{in}^M, V_{p1}^{f_Z, f_Y}] < f_B I_p \quad (2.26)$$

$$f_Y I_p + FF \cdot I_T[V_{in}^M, V_{p2}^{f_Z, f_Y}] > f_B I_p \quad (2.27)$$

La situación complementaria es aquella en la que el primer RTD en conmutar es RTD_B , como muestra la Figura 2.16f. En este caso, las ecuaciones obtenidas para garantizar una evaluación correcta son:

$$f_Z I_p + FF \cdot I_T[V_{in}^M, V_{p1}^{f_Z, f_Y}] > f_B I_p \quad (2.28)$$

$$f_Z I_p + FF \cdot I_T[V_{in}^M, V_{p1}^{f_Z, f_Y}] < f_A I_p \quad (2.29)$$

Propiedad de multiestabilidad

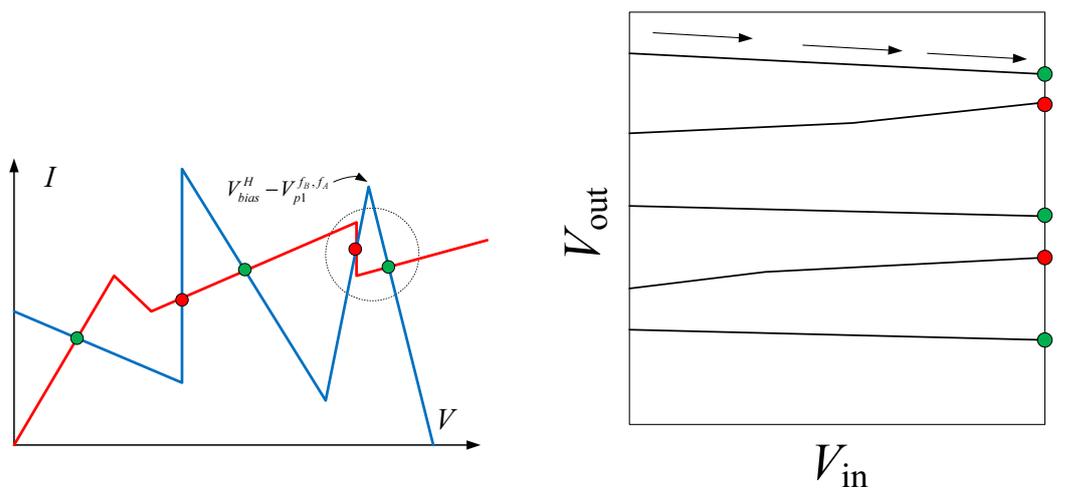
Los problemas de multiestabilidad proceden de la desaparición de uno (o más) de los estados estables cuando $V_{bias} = V_{bias}^H$. Dado que estamos usando representaciones lineales a tramos de la característica conjunta de dos RTDs en serie, el estudio de la multiestabilidad es más simple que el realizado para circuitos binarios en el Apartado 2.1 [89, 87, 88, 90].

El comportamiento en DC del inversor ternario está gobernado por la siguiente expresión:

$$g_L[V_{bias} - V_{out}] = g_D[V_{out}] + FF \cdot I_T[V_{in}, V_{out}] \quad (2.30)$$

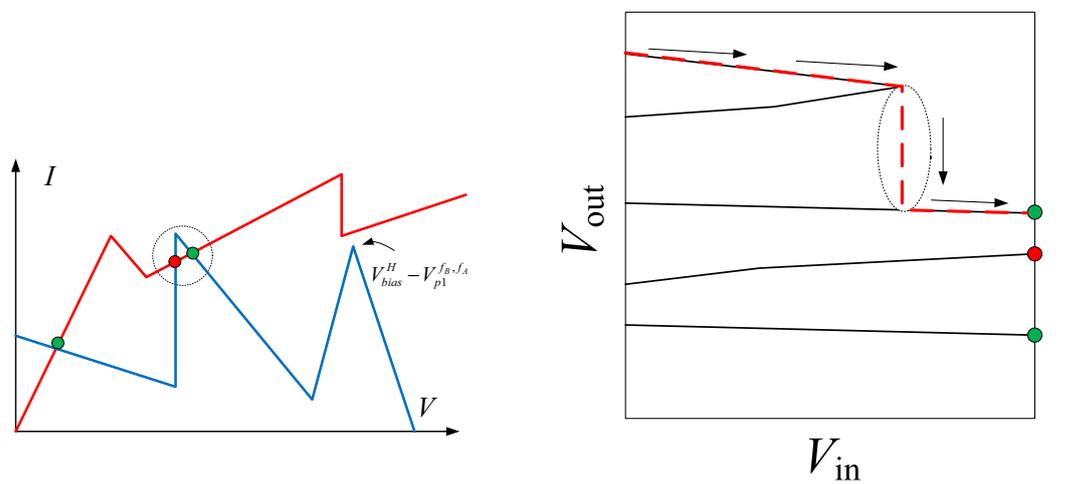
La Figura 2.17a muestra la curva de carga de un circuito dimensionado correctamente en el que la entrada se ha fijado a nivel alto. En ella se han señalado las dos soluciones asociadas al nivel lógico alto de la salida, que indican que, para este caso, se preserva la multiestabilidad. Para que esto se verifique, la intensidad del primer pico de la carga ha de estar por encima de la corriente del *driver* para una tensión igual a $V_{bias}^H - V_{p1}^{f_B, f_A}$. Adicionalmente, el plot de contorno de la tensión de salida frente a la de entrada proporciona información acerca de lo que ocurre cuando se varía la tensión de entrada con la tensión de alimentación en su nivel alto. La Figura 2.17b muestra el plot $V_{in} - V_{out}$ para una estructura correctamente dimensionada. Se puede comprobar cómo un incremento de la tensión de entrada no provoca variaciones sustanciales en la tensión de salida.

La Figura 2.17c muestra la curva de carga para un inversor ternario que presenta problemas de multiestabilidad. En dicha curva, en la que $V_{in} = V_{in}^H$, se observa cómo han desaparecido las soluciones asociadas al nivel lógico alto. A partir del plot de contorno de la Figura 2.17d comprobamos que al aumentar la tensión de entrada desde el nivel bajo



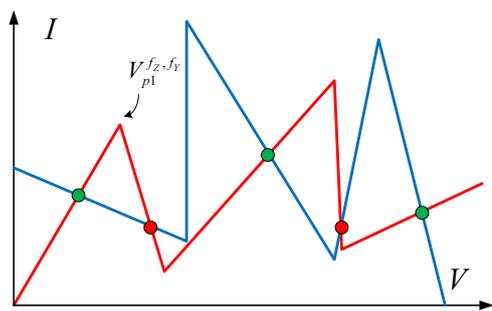
(a) Curva de carga para $V_{in} = V_{in}^H$ y la estructura está correctamente dimensionada.

(b) Plot de contorno $V_{in} - V_{out}$ para una estructura bien dimensionada.



(c) Curva de carga para $V_{in} = V_{in}^H$ y la estructura está mal dimensionada.

(d) Plot de contorno $V_{in} - V_{out}$ para una estructura mal dimensionada..



(e) Curva de carga para $V_{in} = V_{in}^L$.

Figura 2.17: Inversor ternario. Multiestabilidad (I).

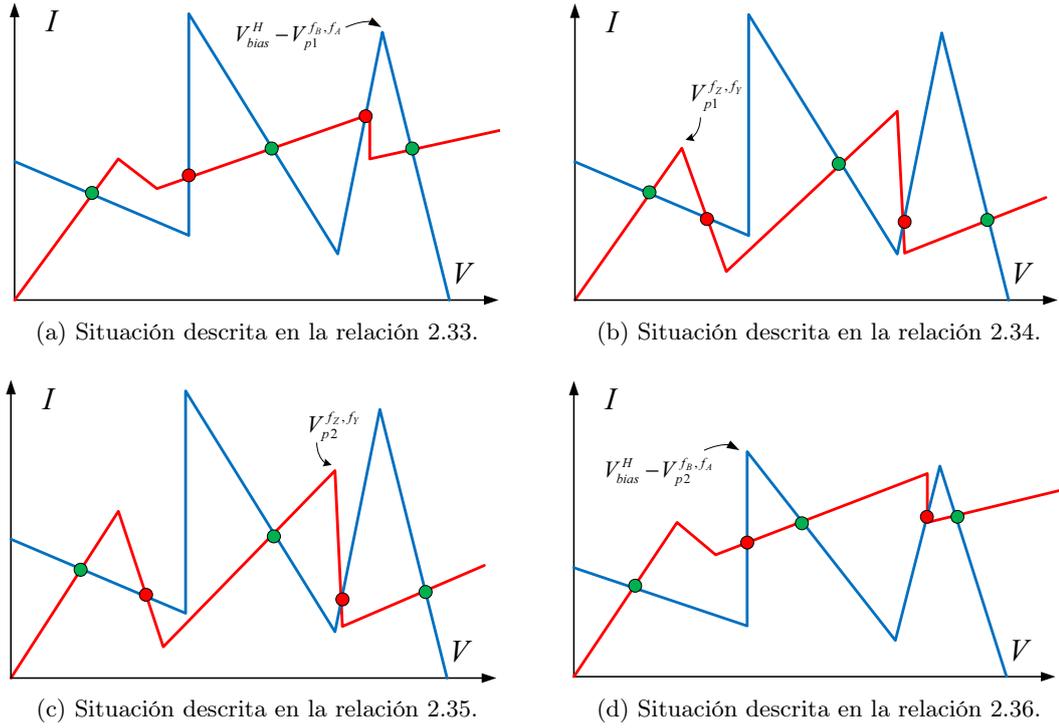


Figura 2.18: Inversor ternario. Multiestabilidad (II). Curvas de carga para $V_{in} = V_{in}^M$.

al alto, la salida cae al nivel medio (marcado en la Figura 2.17c). Por tanto, la relación entre intensidades requerida es:

$$g_D[V_{bias}^H - V_{p1}^{f_B, f_A}] + FF \cdot I_T[V_{in}^H, V_{bias}^H - V_{p1}^{f_B, f_A}] < f_B I_p \quad (2.31)$$

Por otro lado, cuando la entrada desciende desde V_{in}^H hasta V_{in}^L , el razonamiento es similar al anterior. Con objeto de garantizar dos soluciones distintas se ha de verificar que la primera intensidad de pico del *driver* se sitúe por encima de la corriente de la carga para una tensión igual a $V_{bias}^H - V_{p1}^{f_Z, f_Y}$, como muestra la Figura 2.17e. Con todo lo anterior se puede obtener una nueva relación entre los parámetros del circuito:

$$f_Z I_p + FF \cdot I_T[V_{in}^L, V_{p1}^{f_Z, f_Y}] > g_L[V_{bias}^H - V_{p1}^{f_Z, f_Y}] \quad (2.32)$$

De los casos en los que la entrada varía desde el nivel bajo al medio o del alto al medio obtendremos un nuevo par de relaciones. La primera expresión proviene de forzar que la intensidad del primer pico de la carga esté por encima de la del *driver* en $V_{bias}^H - V_{p1}^{f_B, f_A}$ (para $V_{in} = V_{in}^M$), como se muestra en la Figura 2.18a. Esta restricción, que garantiza el comportamiento correcto del circuito cuando la entrada sube del nivel bajo al medio, se formula:

$$g_D[V_{bias}^H - V_{p_1}^{f_B, f_A}] + FF \cdot I_T[V_{in}^M, V_{bias}^H - V_{p_1}^{f_B, f_A}] < f_B I_p \quad (2.33)$$

La segunda relación proviene de la situación en la que la salida baja del nivel lógico alto al medio. En ese caso se ha de imponer que la intensidad del primer pico del *driver* esté, para $V_{in} = V_{in}^M$, por encima de la de la carga en $V_{bias}^H - V_{p_1}^{f_Z, f_Y}$. En la Figura 2.18b se muestra gráficamente dicha condición, que se formula:

$$f_Z I_p + FF \cdot I_T[V_{in}^M, V_{p_1}^{f_Z, f_Y}] > g_L[V_{bias}^H - V_{p_1}^{f_Z, f_Y}] \quad (2.34)$$

Analizando las expresiones 2.31 a 2.34 observamos que las ecuaciones 2.31 y 2.32 son más restrictivas que 2.33 y 2.34, respectivamente. Finalmente obtendremos un nuevo par de expresiones cuando la tensión de entrada cambia partiendo del nivel lógico medio. En primer lugar, cuando la entrada conmuta al nivel bajo, se ha de imponer que la intensidad del segundo pico del *driver* esté por encima de la de la carga en $V_{bias}^H - V_{p_2}^{f_Z, f_Y}$. La Figura 2.18c muestra la curva de carga empleada en analizar este caso. La expresión obtenida es:

$$f_Y I_p + FF \cdot I_T[V_{in}^L, V_{p_2}^{f_Z, f_Y}] > g_L[V_{bias}^H - V_{p_2}^{f_Z, f_Y}] \quad (2.35)$$

Por último, cuando la tensión sube al nivel lógico alto se ha de garantizar, como se muestra en la Figura 2.18d, que la intensidad del segundo pico de la carga esté por encima de la del *driver* en $V_{bias}^H - V_{p_2}^{f_B, f_A}$. La relación que se deriva es:

$$g_D[V_{bias}^H - V_{p_2}^{f_B, f_A}] + FF \cdot I_T[V_{in}^H, V_{bias}^H - V_{p_2}^{f_B, f_A}] < f_A I_p \quad (2.36)$$

La relación 2.31 es más restrictiva que 2.36 ya que:

$$\frac{I_T[V_{in}^H, V_{bias}^H - V_{p_2}^{f_B, f_A}]}{I_T[V_{in}^H, V_{bias}^H - V_{p_1}^{f_B, f_A}]} < \frac{f_A I_p - g_D[V_{bias}^H - V_{p_2}^{f_B, f_A}]}{f_B I_p - g_D[V_{bias}^H - V_{p_1}^{f_B, f_A}]} \quad (2.37)$$

es válida independientemente de los valores de los factores de área, dado que el primer cociente es siempre menor que la unidad y el segundo mayor que uno¹. Empleando un razonamiento análogo, podemos comprobar que la expresión 2.32 es más restrictiva que 2.35.

Con todo esto, podemos concluir que las relaciones 2.31 y 2.32 (correspondientes a las transiciones $0 \rightarrow 2$ y $2 \rightarrow 0$) son las que definen las condiciones de multiestabilidad del

¹dado que en este caso $f_A I_p - g_D[V_{bias}^H - V_{p_2}^{f_B, f_A}] > f_B I_p - g_D[V_{bias}^H - V_{p_1}^{f_B, f_A}]$, siempre que $f_A > f_B$

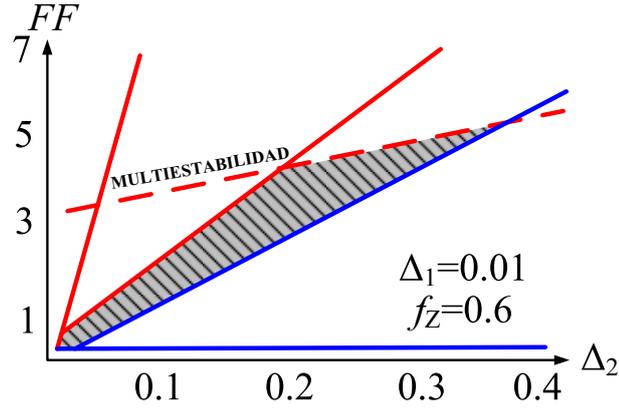


Figura 2.19: Obtención de la región de operación correcta en DC para un inversor ternario con $\Delta_1 = 0.01$ y $f_Z = 0.6$. Las líneas rojas y azules representan máximos y mínimos de FF .

circuito. Esto concuerda con lo que podría deducirse viendo cómo evolucionan los plots de contorno de $V_{in} - V_{out}$ al pasar de estructuras bien dimensionadas a otras que no lo están.

Validación de los resultados obtenidos

Para verificar la bondad del estudio teórico realizado, hemos comparado estos resultados con simulaciones HSPICE. En ellas, se han considerado tanto las características lineales a tramos, como las no lineales para cada RTD individual. Se han usado como niveles de entrada $V_{in}^L = 0V$, $V_{in}^M = 0.3V$ y $V_{in}^H = 0.65V$. La tensión de alimentación toma valores comprendidos entre $V_{bias}^L = 0V$ y $V_{bias}^H = 1.75V$. Para visualizar la región de funcionamiento correcto de la estructura estudiada y dado el gran número de parámetros presentes, hemos constreñido algunos de ellos. En particular hemos definido la variable Δ_1 como la diferencia entre f_Y y f_Z , y f_A y f_B , $\Delta_1 = f_Y - f_Z = f_A - f_B$, y la variable $\Delta_2 = f_B - f_Y$.

La Figura 2.19 muestra la región de funcionamiento correcto para un inversor ternario con $\Delta_1 = 0.01$ y $f_Z = 0.6$ (sombreada). Las líneas de color rojo representan los límites asociados a valores máximos del factor de forma, mientras que las azules se corresponden con los mínimos. Se muestran las condiciones más restrictivas asociadas a la evaluación (en trazo continuo) y a la multiestabilidad (en trazo discontinuo). Se puede observar cómo al exigir la propiedad de multiestabilidad se está limitando la región de operación correcta en DC con respecto a la que se obtendría considerando exclusivamente la evaluación.

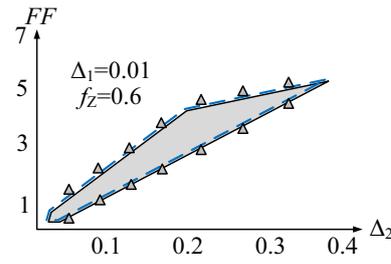
En las Figuras 2.20a a 2.20c, se representa (en color gris y delimitada por líneas

negras continuas) la región formada por pares de puntos (FF, Δ_2) que garantizan un funcionamiento correcto, obtenida empleando nuestro análisis teórico. Los valores de Δ_1 se han fijado a 0.01, 0.08 y 0.15, respectivamente, y $f_Z = 0.6$. La línea azul discontinua muestra los límites de la región obtenida tras realizar las simulaciones en HSPICE empleando RTDs con característica lineal a tramos. Adicionalmente, se han validado los resultados a partir de simulaciones empleando el modelo LOCOM del RTD, representando con triángulos algunos puntos de los límites de la región de funcionamiento correcto. Nótese la concordancia existente entre los resultados obtenidos de forma teórica y por simulación, tanto con los modelos del RTD de LOCOM, como con los lineales a tramos. Se puede observar que la región de funcionamiento correcto se estrecha al aumentar Δ_1 . Para $\Delta_1 > 0.15$ no hay inversores ternarios que funcionen correctamente para este valor de f_Z .

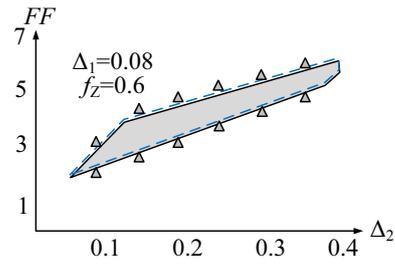
En las Figuras 2.20d y 2.20e se muestra el efecto de la reducción de f_Z : al aumentar el valor de dicho parámetro, se ensancha la región de operación correcta. En la Figura 2.20f se muestran diferentes regiones cuando $\Delta_1 = \Delta_2 = \Delta$ para valores de $f_Z = \{0.5, 1, 1.5\}$. Por último, en las Figuras 2.20g y 2.20h hemos permitido que las diferencias de área entre RTDs en el *driver* y en la carga no sean iguales. En estas figuras se representan pares de puntos (Δ_{1D}, FF) y (Δ_{1L}, FF) para los que la operación es correcta, donde $\Delta_{1D} = f_Y - f_Z$ y $\Delta_{1L} = f_A - f_B$, (para $\Delta_2 = 0.1$). Los valores más pequeños de Δ_{1L} originan regiones más estrechas de operación, mientras que al incrementar Δ_{1D} se obtienen regiones más grandes.

El efecto de la variación de la tensión de pico sobre la región de operación correcta se muestra en las Figuras 2.21a y 2.21b, para tensiones de pico $V_P = 0.15$ y $V_P = 0.24$, fijando $\Delta_1 = 0.01$ y $f_Z = 0.6$. Se puede comprobar cómo al aumentar la tensión de pico, la región se va reduciendo. Por último, la Figura 2.21c aporta información acerca de cómo varía la región de funcionamiento cuando modificamos la densidad de corriente de pico (en este caso, en el plano $\Delta - FF$). Al aumentar j_P la región se va ensanchando y desplazando en el sentido opuesto al de las agujas del reloj. Hemos incluido también los resultados obtenidos con HSPICE empleando RTDs con modelo de LOCOM (marcados con triángulos y círculos), lo que permite contrastar los resultados teóricos.

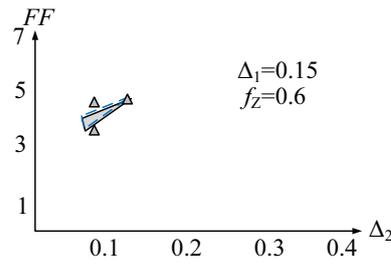
La metodología de diseño desarrollada es independiente de la tecnología empleada. Para comprobarlo, hemos calculado las regiones de funcionamiento en DC que se obtendrían al cambiar los modelos de RTD y transistor, empleando para ello los propuestos en [53].



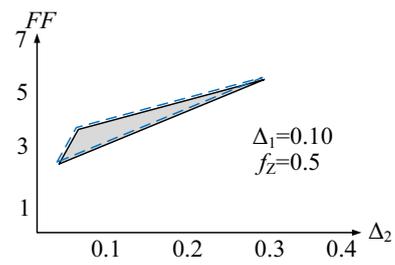
(a) Área de operación correcta en DC FF vs $\Delta_2 = f_B - f_Y$ para $\Delta_1 = f_A - f_B = f_Y - f_Z = 0.01$ y $f_Z = 0.6$.



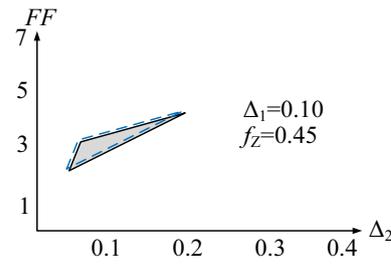
(b) Ídem 2.20a con $\Delta_1 = 0.08$.



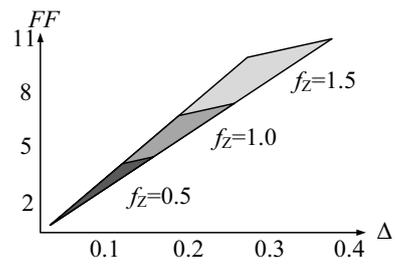
(c) Ídem 2.20a con $\Delta_1 = 0.15$.



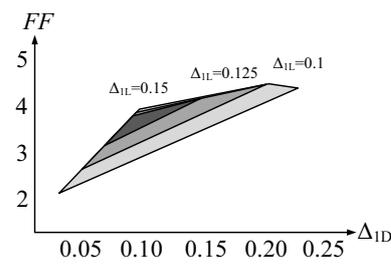
(d) Ídem 2.20a con $\Delta_1 = 0.10$ y $f_Z = 0.5$.



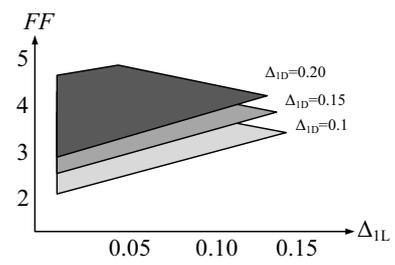
(e) Ídem 2.20a con $\Delta_1 = 0.10$ y $f_Z = 0.45$.



(f) Región de operación correcta en DC FF vs $\Delta = \Delta_1 = \Delta_2$ para $f_Z = 0.5, 1.0, 1.5$.



(g) Región FF vs $\Delta_{1D} = f_Y - f_Z$ para $\Delta_{1L} = f_A - f_B = 0.1, 0.125, 0.15$ y $\Delta_2 = 0.1$.



(h) Región FF vs $\Delta_{1L} = f_A - f_B$ para $\Delta_{1D} = f_Y - f_Z = 0.1, 0.15, 0.20$ y $\Delta_2 = 0.1$.

Figura 2.20: Regiones de operación correcta del inversor ternario. Las líneas negras delimitan la región obtenida de forma teórica y la línea azul discontinua y los triángulos las obtenidas a partir de simulaciones con modelo de RTD lineal a tramos y LOCOM, respectivamente.

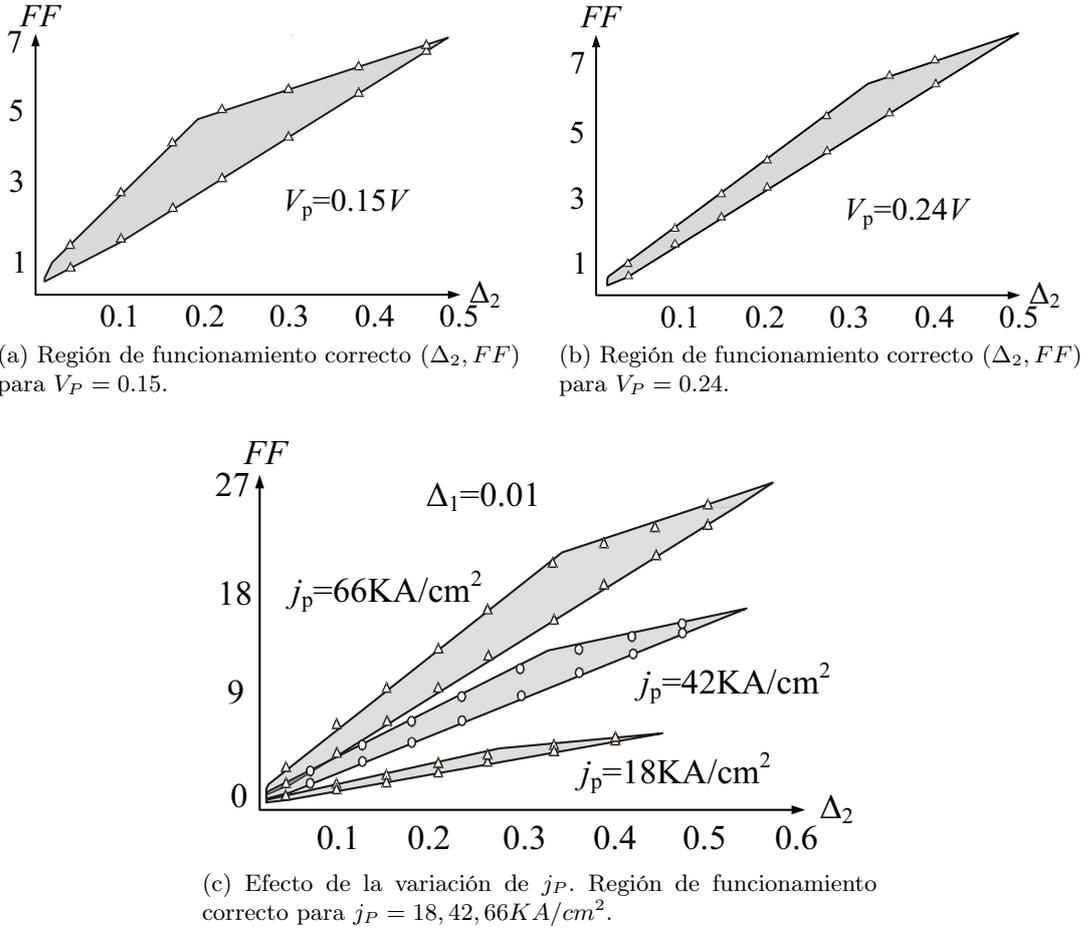


Figura 2.21: Inversor ternario. Efecto de la variación de la tensión de pico y de la densidad de corriente de pico para $\Delta_1 = 0.01$ y $f_Z = 0.6$.

La curva $I-V$ del nuevo RTD se muestra en la Figura 2.22a, y se caracteriza por tener una densidad de corriente de pico de $9 \cdot 10^4 \text{ A/cm}^2$ y una relación entre las corrientes de pico y valle igual a $PVCR = 5.5$. El transistor tiene una longitud de canal de $0.7 \mu\text{m}$ y una tensión umbral $V_{th} = -0.05 \text{ V}$. La Figura 2.22b muestra su curva $I_{DS} - V_{DS}$ del mismo para diferentes valores de V_{GS} .

La Figura 2.22c muestra la región de funcionamiento correcto en DC para la configuración de la Figura 2.20a ($f_Z = 0.6$ y $\Delta_1 = 0.01$) obtenida a partir de las expresiones extraídas en esta sección. En la gráfica hemos incluido puntos obtenidos a partir de simulación HSPICE empleando los modelos de RTD y transistor anteriormente descritos. Como se puede comprobar, existe también una correspondencia muy buena entre los límites teóricos obtenidos a partir de las expresiones que emplean RTDs con característica $I-V$ lineal a tramos y los obtenidos por simulación HSPICE. La Figura 2.22d repite el

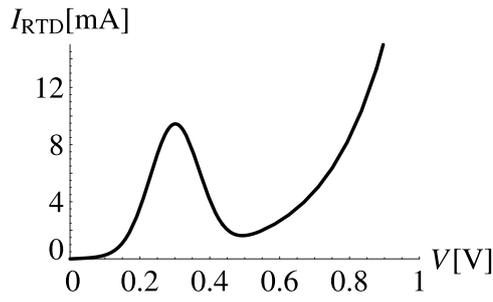
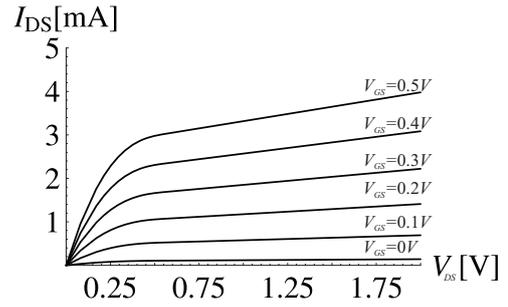
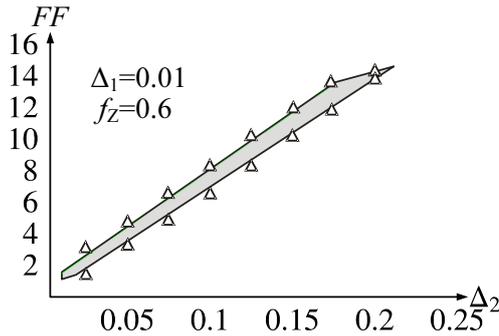
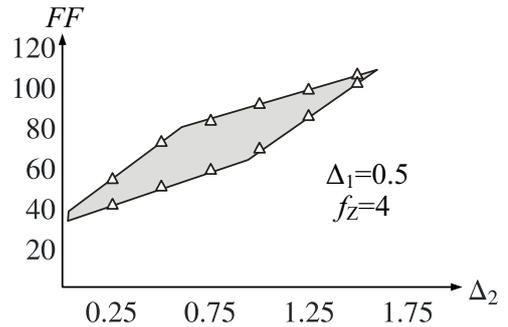
(a) Curva I - V del RTD propuesto en [53].(b) Familia de curvas $I_{DS} - V_{DS}$ del transistor propuesto en [53].(c) Región de funcionamiento correcto (Δ_2, FF) para $\Delta_1 = 0.01$ y $f_Z = 0.6$.(d) Región de funcionamiento correcto (Δ_2, FF) para $\Delta_1 = 0.5$ y $f_Z = 4$.

Figura 2.22: Inversor ternario. Región de funcionamiento correcto en DC cambiando los modelos de RTD y transistor por los descritos en [51].

experimento con $f_Z = 4$ y $\Delta_1 = 0.5$.

2.3.2 Puertas NMIN-NMAX

El análisis desarrollado puede extenderse a puertas más complejas. Hemos considerado dos estructuras ternarias de dos entradas que implementan funciones útiles en el procesamiento lógico multivaluado: las funciones *mínimo* (MIN) y *máximo* (MAX), cuyo circuito se muestra en la Figura 2.23. Usando la metodología anterior, derivaremos las expresiones que definen sus regiones de operación correcta.

En la Tabla 2.2 se define la funcionalidad lógica de una puerta MIN (MAX) negada, NMIN (NMAX), de dos entradas. Las Figuras 2.24a y 2.24b muestran las formas de onda correspondientes a las entradas y salida de puertas NMIN y NMAX, respectivamente. Supondremos de nuevo que $f_Z < f_B$ y $f_Y < f_A$.

Condiciones de evaluación

1. Puerta NMIN

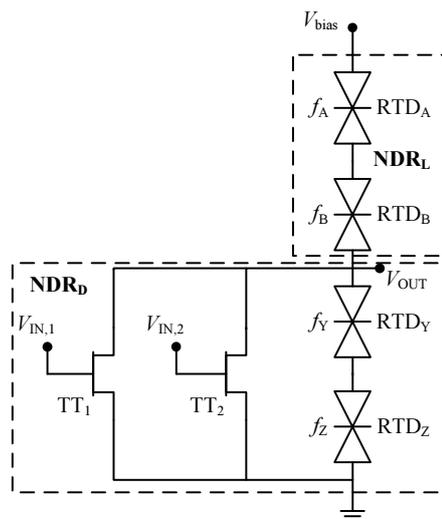


Figura 2.23: Puerta NMIN/NMAX.

NMIN(NMAX)	0	1	2
0	2 (2)	2 (1)	2 (0)
1	2 (1)	1 (1)	1 (0)
2	2 (0)	1 (0)	0 (0)

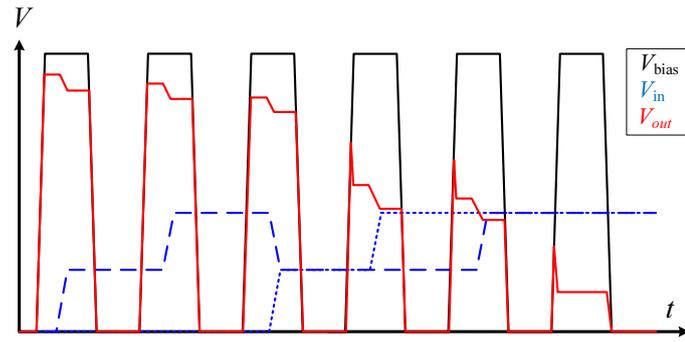
Tabla 2.2: Funcionalidad lógica de la puerta NMIN (NMAX).

NMIN(NMAX)	0	1	2
0	Z→Y (Z→Y)	Z→Y (Z→B)	Z→Y (B→A)
1	Z→Y (Z→B)	Z→B (Z→B)	Z→B (B→A)
2	Z→Y (B→A)	Z→B (B→A)	(B→A)(B→A)

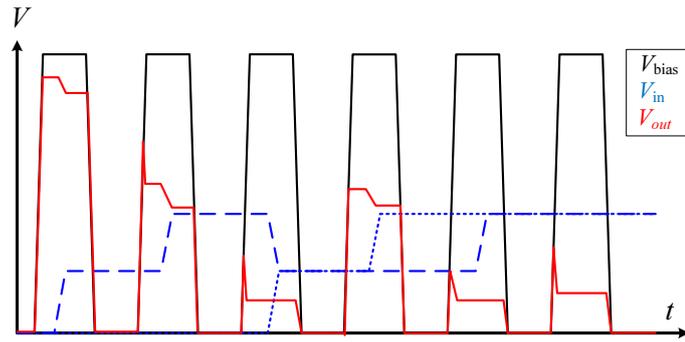
Tabla 2.3: Secuencias de conmutación de RTDs en una puerta NMIN (NMAX).

La Tabla 2.3 resume las secuencias de conmutación de los RTDs ($1^o \rightarrow 2^o$) que, en la estructura propuesta, permiten implementar la funcionalidad deseada para cada par de entradas. Por ejemplo, cuando ambas entradas toman el nivel lógico '0' ha de conmutar RTD_Z y luego RTD_Y . Siguiendo el mismo razonamiento que para derivar las condiciones correspondientes al inversor ternario, obtenemos las expresiones descritas a continuación:

$$\text{Entradas} \rightarrow (0, 0)$$



(a) NMIN.



(b) NMAX.

Figura 2.24: Formas de onda correspondientes de las entradas (azul), reloj (negro) y salida (rojo).

$$f_Z I_p + 2FF \cdot I_T[V_{in}^L, V_{p1}^{f_Z, f_Y}] < f_B I_p \leftarrow \text{RTD}_Z \quad (2.38)$$

$$f_Y I_p + 2FF \cdot I_T[V_{in}^L, V_{p2}^{f_Z, f_Y}] < f_B I_p \leftarrow \text{RTD}_Y \quad (2.39)$$

Entradas $\rightarrow (0, 1)$

$$f_Z I_p + FF \cdot I_T[V_{in}^L, V_{p1}^{f_Z, f_Y}] + FF \cdot I_T[V_{in}^M, V_{p1}^{f_Z, f_Y}] < f_B I_p \leftarrow \text{RTD}_Z \quad (2.40)$$

$$f_Y I_p + FF \cdot I_T[V_{in}^L, V_{p2}^{f_Z, f_Y}] + FF \cdot I_T[V_{in}^M, V_{p2}^{f_Z, f_Y}] < f_B I_p \leftarrow \text{RTD}_Y \quad (2.41)$$

Entradas \rightarrow (0, 2)

$$f_Z I_p + FF \cdot I_T[V_{in}^L, V_{p1}^{f_Z, f_Y}] + FF \cdot I_T[V_{in}^H, V_{p1}^{f_Z, f_Y}] < f_B I_p \leftarrow \text{RTD}_Z \quad (2.42)$$

$$f_Y I_p + FF \cdot I_T[V_{in}^L, V_{p2}^{f_Z, f_Y}] + FF \cdot I_T[V_{in}^H, V_{p2}^{f_Z, f_Y}] < f_B I_p \leftarrow \text{RTD}_Y \quad (2.43)$$

Entradas \rightarrow (1, 1)

$$f_Z I_p + 2FF \cdot I_T[V_{in}^M, V_{p1}^{f_Z, f_Y}] < f_B I_p \leftarrow \text{RTD}_Z \quad (2.44)$$

$$f_Y I_p + 2FF \cdot I_T[V_{in}^M, V_{p2}^{f_Z, f_Y}] > f_B I_p \leftarrow \text{RTD}_B \quad (2.45)$$

Entradas \rightarrow (1, 2)

$$f_Z I_p + FF \cdot I_T[V_{in}^M, V_{p1}^{f_Z, f_Y}] + FF \cdot I_T[V_{in}^H, V_{p1}^{f_Z, f_Y}] < f_B I_p \leftarrow \text{RTD}_Z \quad (2.46)$$

$$f_Y I_p + FF \cdot I_T[V_{in}^M, V_{p2}^{f_Z, f_Y}] + FF \cdot I_T[V_{in}^H, V_{p2}^{f_Z, f_Y}] > f_B I_p \leftarrow \text{RTD}_B \quad (2.47)$$

Entradas \rightarrow (2, 2)

$$f_Z I_p + 2FF \cdot I_T[V_{in}^H, V_{p1}^{f_Z, f_Y}] > f_B I_p \leftarrow \text{RTD}_B \quad (2.48)$$

$$f_Z I_p + 2FF \cdot I_T[V_{in}^H, V_{p1}^{f_Z, f_Y}] > f_A I_p \leftarrow \text{RTD}_A \quad (2.49)$$

Considerando que $V_{p1}^{f_Z, f_Y} < V_{p2}^{f_Z, f_Y}$ y $V_{in}^L < V_{in}^M < V_{in}^H$, es posible simplificar el conjunto de ecuaciones ya que las expresiones 2.39, 2.41, 2.43 y 2.49 son más restrictivas que las relaciones 2.38, 2.40, 2.42 y 2.48, respectivamente. Además, es necesario asegurar que todos los valores máximos de FF están por encima de los mínimos, de modo que obtendremos la siguiente expresión a partir de las desigualdades 2.43 y 2.45:

$$2I_T[V_{in}^M, V_{p2}^{f_Z, f_Y}] > I_T[V_{in}^H, V_{p2}^{f_Z, f_Y}] + I_T[V_{in}^L, V_{p2}^{f_Z, f_Y}] \quad (2.50)$$

1. Puerta NMAX

Aplicando un razonamiento análogo, se obtienen las siguientes expresiones para la puerta NMAX:

Entradas $\rightarrow (0, 0)$

$$f_Z I_p + 2FF \cdot I_T[V_{in}^L, V_{p1}^{f_Z, f_Y}] < f_B I_p \leftarrow \text{RTD}_Z \quad (2.51)$$

$$f_Y I_p + 2FF \cdot I_T[V_{in}^L, V_{p2}^{f_Z, f_Y}] < f_B I_p \leftarrow \text{RTD}_Y \quad (2.52)$$

Entradas $\rightarrow (0, 1)$

$$f_Z I_p + FF \cdot I_T[V_{in}^L, V_{p1}^{f_Z, f_Y}] + FF \cdot I_T[V_{in}^M, V_{p1}^{f_Z, f_Y}] < f_B I_p \leftarrow \text{RTD}_Z \quad (2.53)$$

$$f_Y I_p + FF \cdot I_T[V_{in}^L, V_{p2}^{f_Z, f_Y}] + FF \cdot I_T[V_{in}^M, V_{p2}^{f_Z, f_Y}] > f_B I_p \leftarrow \text{RTD}_B \quad (2.54)$$

Entradas $\rightarrow (0, 2)$

$$f_Z I_p + FF \cdot I_T[V_{in}^L, V_{p1}^{f_Z, f_Y}] + FF \cdot I_T[V_{in}^H, V_{p1}^{f_Z, f_Y}] > f_B I_p \leftarrow \text{RTD}_B \quad (2.55)$$

$$f_Z I_p + FF \cdot I_T[V_{in}^L, V_{p1}^{f_Z, f_Y}] + FF \cdot I_T[V_{in}^H, V_{p1}^{f_Z, f_Y}] > f_A I_p \leftarrow \text{RTD}_A \quad (2.56)$$

Entradas \rightarrow (1,1)

$$f_Z I_p + 2FF \cdot I_T[V_{in}^M, V_{p1}^{f_Z, f_Y}] < f_B I_p \leftarrow \text{RTD}_Z \quad (2.57)$$

$$f_Y I_p + 2FF \cdot I_T[V_{in}^M, V_{p2}^{f_Z, f_Y}] > f_B I_p \leftarrow \text{RTD}_B \quad (2.58)$$

Entradas \rightarrow (1,2)

$$f_Z I_p + FF \cdot I_T[V_{in}^M, V_{p1}^{f_Z, f_Y}] + FF \cdot I_T[V_{in}^H, V_{p1}^{f_Z, f_Y}] > f_B I_p \leftarrow \text{RTD}_B \quad (2.59)$$

$$f_Z I_p + FF \cdot I_T[V_{in}^M, V_{p1}^{f_Z, f_Y}] + FF \cdot I_T[V_{in}^H, V_{p1}^{f_Z, f_Y}] > f_A I_p \leftarrow \text{RTD}_A \quad (2.60)$$

Entradas \rightarrow (2,2)

$$f_Z I_p + 2FF \cdot I_T[V_{in}^H, V_{p1}^{f_Z, f_Y}] > f_B I_p \leftarrow \text{RTD}_B \quad (2.61)$$

$$f_Z I_p + 2FF \cdot I_T[V_{in}^H, V_{p1}^{f_Z, f_Y}] > f_A I_p \leftarrow \text{RTD}_A \quad (2.62)$$

Al igual que en el caso de las puertas NMIN, se ha simplificado el conjunto de relaciones al eliminar las condiciones 2.51, 2.55, 2.59 y 2.61 y se han derivado las restricciones que fuerzan a que los valores máximos de FF sean mayores que los mínimos:

$$2I_T[V_{in}^M, V_{p2}^{fz, fY}] < I_T[V_{in}^H, V_{p2}^{fz, fY}] + I_T[V_{in}^L, V_{p2}^{fz, fY}] \quad (2.63)$$

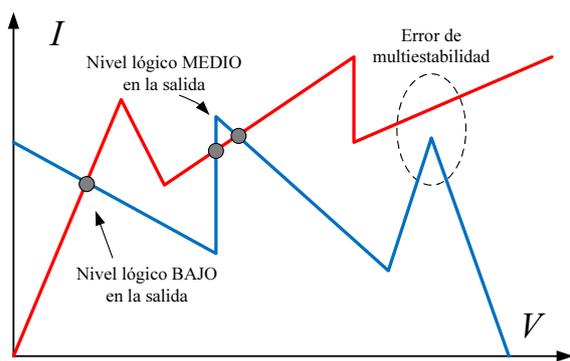
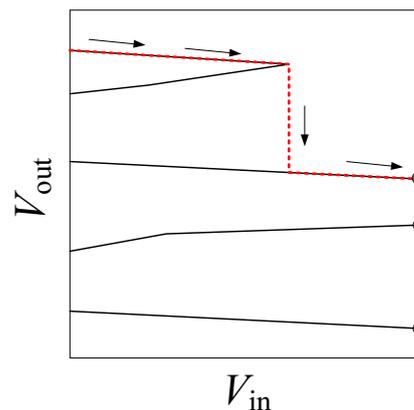
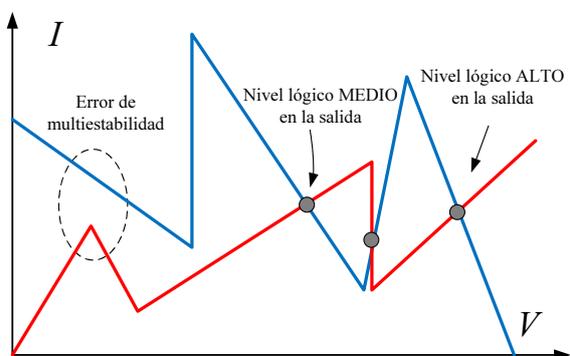
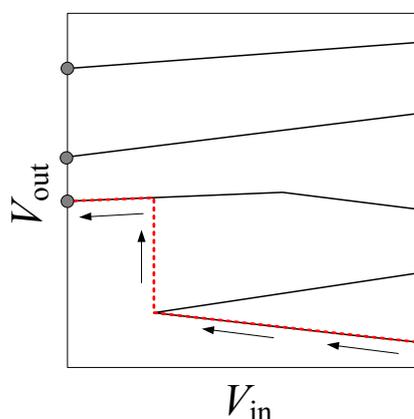
Las expresiones 2.50 y 2.63 muestran que no es posible implementar las funciones NMIN y NMAX con la misma topología de circuito y los mismos valores de tensión asociados a los niveles lógicos de la entrada. En la tecnología que estamos considerando, se ha resuelto empleando transistores de empobrecimiento para las puertas NMIN y de enriquecimiento para las NMAX, de forma que las expresiones 2.50 y 2.63 dejen de ser mutuamente excluyentes.

Condiciones de multiestabilidad

El estudio de la propiedad de multiestabilidad en las puertas NMIN y NMAX es similar al realizado para el inversor ternario (Apartado 2.3.1), con la única diferencia de que en este caso existen dos tensiones de entrada. El problema de la multiestabilidad se reduce al estudio de dos posibles fuentes de funcionamiento incorrecto. La primera, cuando ambas tensiones de entrada suben hasta alcanzar el nivel alto. En esta situación podría ocurrir que la intensidad del primer pico del NDR *load* estuviera por debajo de la corriente del *driver* en $V_{bias}^H - V_{p1}^{fB, fA}$, de forma que no habría soluciones asociadas al nivel lógico alto de la salida (ver Figura 2.25a). En este caso, si aumentamos las entradas desde el nivel bajo al alto, el nivel de salida cae a un nivel inferior, como muestra la Figura 2.25b. La condición que garantiza el comportamiento correcto en este caso es:

$$g_D[V_{bias}^H - V_{p1}^{fB, fA}] + 2FF \cdot I_T[V_{in}^H, V_{bias}^H - V_{p1}^{fB, fA}] < f_B I_p \quad (2.64)$$

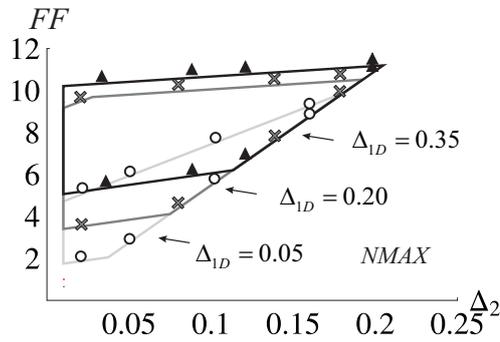
Las Figuras 2.25c y 2.25d muestran la situación complementaria en la que los niveles de entrada están a nivel bajo y la primera intensidad del pico del NDR *driver* está por debajo de la corriente que circula por el NDR *load*. Por tanto, cuando ambas entradas decrezcan desde el nivel alto al bajo, la salida no podrá mantener su valor lógico y conmutará a un nivel lógico superior. La siguiente relación entre parámetros garantiza un comportamiento correcto:

(a) Curva de carga para $V_{in,1} = V_{in,2} = V_{in}^H$.(b) Plot $V_{in} - V_{out}$ para una estructura dimensionada incorrectamente dado que la salida no se mantiene a nivel alto.(c) Curva de carga para $V_{in,1} = V_{in,2} = V_{in}^L$.(d) Plot $V_{in} - V_{out}$ para una estructura dimensionada incorrectamente dado que la salida no se mantiene a nivel bajo.**Figura 2.25:** Curvas de carga y plots $V_{in} - V_{out}$ para las puertas NMIN/NMAX.

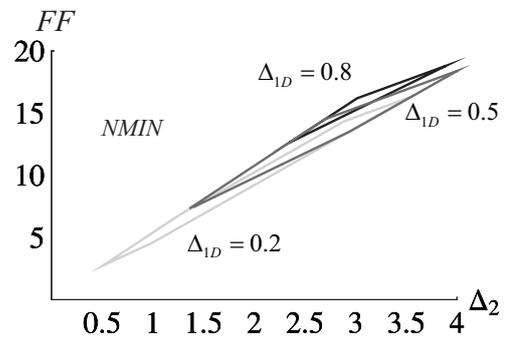
$$f_Z I_p + 2FF \cdot I_T[V_{in}^L, V_{p1}^{f_Z, f_Y}] > g_L[V_{bias}^H - V_{p1}^{f_Z, f_Y}] \quad (2.65)$$

Validación de resultados

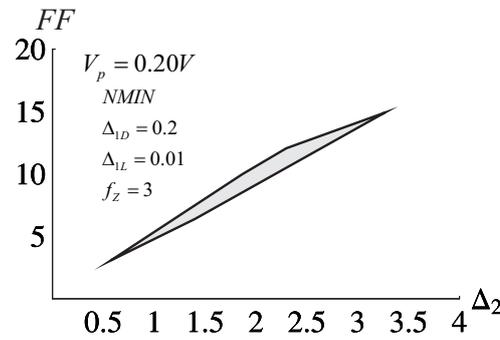
La Figura 2.26 muestra diferentes regiones teóricas de funcionamiento correcto. Así mismo, hemos incluido resultados de simulaciones HSPICE empleando los modelos del RTD y HFET de LOCOM [54] (las tensiones umbral de los transistores son $-0.4V$ para el de empobrecimiento y $0.15V$ para el de enriquecimiento). Los niveles de tensión para el reloj y las entradas son $V_{bias}^H = 1.75V$, $V_{bias}^L = 0V$, $V_{in}^H = 0.65V$, $V_{in}^M = 0.3V$ y



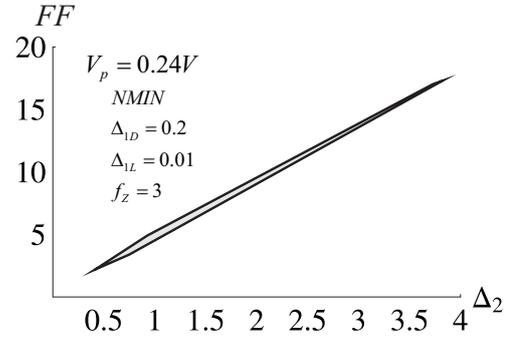
(a) Puerta NMAX. Región de operación correcta en DC $FF - \Delta_2$ para diferentes valores de Δ_{1D} con $f_Z = 3$ y $\Delta_{1L} = 0.1$. Los símbolos (o, \blacktriangle , x) representan los puntos obtenidos por simulación HSPICE.



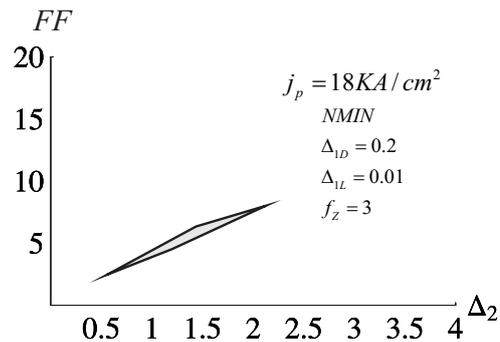
(b) Puerta NMIN. Región de operación correcta en DC $FF - \Delta_2$ para diferentes valores de Δ_{1D} con $f_Z = 3$ y $\Delta_{1L} = 0.01$.



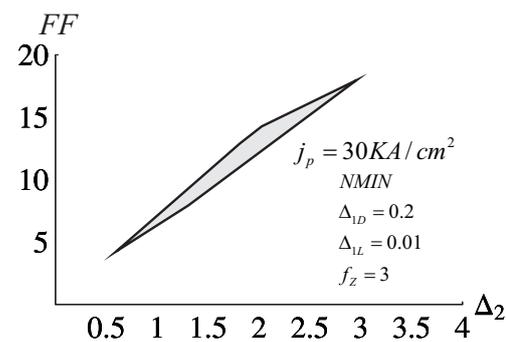
(c) Puerta NMIN. Región de operación correcta en DC $FF - \Delta_2$. Efecto de la variación de V_p (I).



(d) Puerta NMIN. Región de operación correcta en DC $FF - \Delta_2$. Efecto de la variación de V_p (II).



(e) Puerta NMIN. Región de operación correcta en DC $FF - \Delta_2$. Efecto de la variación de j_p (I).



(f) Puerta NMIN. Región de operación correcta en DC $FF - \Delta_2$. Efecto de la variación de j_p (II).

Figura 2.26: Puertas NMIN/NMAX. Regiones de operación correcta.

$V_{in}^L = -0.2V$. Con objeto de reducir el número de parámetros que se pueden modificar, hemos definido Δ_{1D} y Δ_{1L} como la diferencia entre los factores de área de los RTDs del NDR *driver* y el *load*, respectivamente, y Δ_2 como la diferencia entre el factor de área más pequeño del *load* y el mayor del *driver*, esto es, $\Delta_{1D} = f_Y - f_Z$ y $\Delta_{1L} = f_A - f_B$.

La Figura 2.26a muestra una comparación entre los resultados obtenidos de forma teórica y los proporcionados por HSPICE para una puerta NMAX en el plano $FF-\Delta_2$ variando $\Delta_{1D} = \{0.05, 0.20, 0.35\}$, con $f_Z = 3$ y $\Delta_{1L} = 0.01$. Los símbolos (o, ▲, x) representan los puntos obtenidos por simulación HSPICE y demuestran la correspondencia existente entre éstos y los resultados teóricos. La Figura 2.26b representa la región de funcionamiento correcto (en el plano $FF-\Delta_2$) de una puerta NMIN para diferentes valores de Δ_{1D} cuando $f_Z = 3$ y $\Delta_{1L} = 0.01$.

También hemos analizado el efecto al variar algunos parámetros del RTD. En primer lugar hemos modificado la tensión de pico del RTD con respecto al proporcionado por la tecnología LOCOM (fijando $f_Z = 3$, $\Delta_{1L} = 0.2$ y $\Delta_{1L} = 0.01$). Las Figuras 2.26c y 2.26d muestran la región obtenida para una puerta NMIN cuando la tensión de pico vale $V_P = 0.20V$ y $V_P = 0.24V$, respectivamente. Podemos observar un estrechamiento de la misma a medida que vamos incrementando el valor de la tensión de pico. El efecto de la variación de la densidad de corriente de pico del RTD se ilustra en las Figuras 2.26e y 2.26f. En ellas se muestra la región de operación correcta para dos valores de dicho parámetro ($j_P = 18KA/cm^2$ y $j_P = 30KA/cm^2$). Hemos obtenido por simulación, para las condiciones del experimento, un valor crítico de $j_P = 11KA/cm^2$ por debajo del cual no existe región de funcionamiento correcto.

2.4 Estructuras cuaternarias

El análisis realizado en el apartado anterior se puede extender al estudio de estructuras de N niveles basadas en MML. La Figura 2.27a muestra un inversor cuaternario, consistente en la conexión en serie de dos NDR con características $I-V$ de tres picos y tres valles, como la que se representa en la Figura 2.27b. Para esta estructura supondremos la existencia de cuatro niveles de tensión de entrada, V_{in}^L , V_{in}^m , V_{in}^M y V_{in}^H representado por los valores '0', '1', '2' y '3'.

2.4.1 Propiedad de evaluación

Para obtener las expresiones que aseguren una correcta evaluación de la entrada, supondremos, sin pérdida de generalidad que $f_Z < f_Y < f_X$ y $f_C < f_B < f_A$.

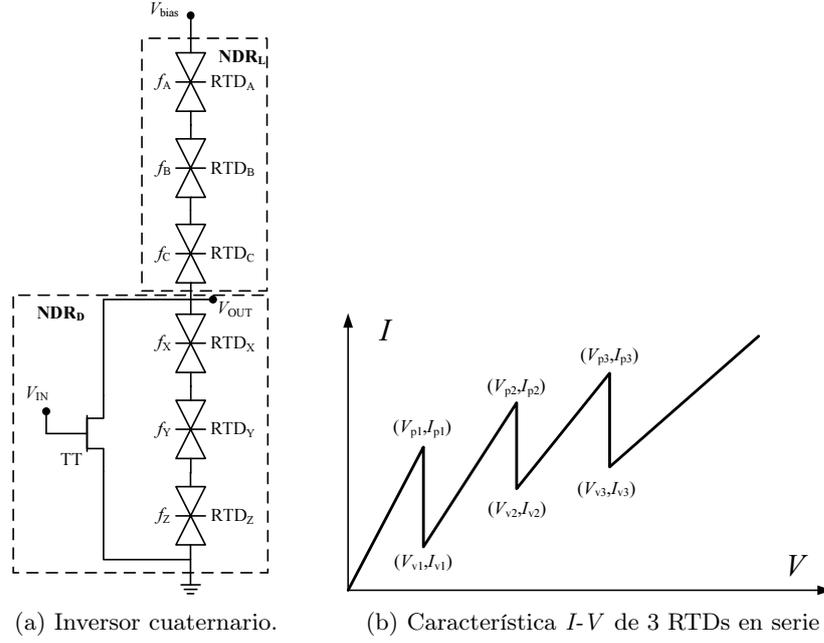


Figura 2.27: Inversor cuaternario.

La Figura 2.28a muestra la curva de carga de un inversor cuaternario cuando la entrada es V_{in}^L para tres valores de la tensión de alimentación. Con objeto de forzar un nivel lógico '3' de la tensión de salida, es necesario que los tres RTDs del *driver* conmuten. El primero en hacerlo (transición marcada con "1" en la Figura 2.28a) es el RTD de menor tamaño, RTD_Z y la conmutación se da cuando la intensidad de la carga alcanza la intensidad del primer pico del *driver* (curva roja en la Figura 2.28b). La primera relación entre parámetros del circuito será por tanto:

$$f_Z I_p + FF \cdot I_T[V_{in}^L, V_{p1}^{f_Z, f_Y, f_X}] < f_C I_p \quad (2.66)$$

La segunda transición tiene lugar cuando la intensidad de la carga alcanza al segundo pico de la curva del *driver* (marcada con "2" en la Figura 2.28a). A partir de este razonamiento se obtiene:

$$f_Y I_p + FF \cdot I_T[V_{in}^L, V_{p2}^{f_Z, f_Y, f_X}] < f_C I_p \quad (2.67)$$

Por último, la tercera transición se produce cuando la intensidad de la carga coincide con la del tercer pico del *driver* (marcada con "3"), esto es:

$$f_X I_p + FF \cdot I_T[V_{in}^L, V_{p3}^{f_Z, f_Y, f_X}] < f_C I_p \quad (2.68)$$

De esta manera, como se observa en el plot de contorno de la tensión de salida frente a la de alimentación (Figura 2.28b), las tres transiciones van a hacer que el 'continuo' de soluciones de la tensión de salida (marcado con línea discontinua roja) vaya creciendo hasta alcanzar el nivel lógico '3' (marcado con "F").

Un razonamiento análogo se aplica con la entrada V_{in}^H . En este caso, las tres transiciones son debidas a los RTDs de la carga, y la salida alcanzará un nivel lógico bajo. La primera de las transiciones, marcada con "1" en las Figuras 2.28c y 2.28d se debe al RTD de menor factor de área, RTD_C y se origina cuando la intensidad del *driver* alcanza el primer pico de la carga. La desigualdad obtenida resulta:

$$f_Z I_p + FF \cdot I_T[V_{in}^H, V_{p1}^{f_Z, f_Y, f_X}] > f_C I_p \quad (2.69)$$

La segunda transición, debida al RTD_B , tiene lugar cuando la intensidad del *driver* alcanza el segundo pico (marcado con "2" en la Figura 2.28c). La relación entre parámetros es:

$$f_Z I_p + FF \cdot I_T[V_{in}^H, V_{p1}^{f_Z, f_Y, f_X}] > f_B I_p \quad (2.70)$$

La última transición se produce cuando se llega a la tercera intensidad de pico del *driver* (marcado con "3" en la Figura 2.28c), y la correspondiente desigualdad es:

$$f_Z I_p + FF \cdot I_T[V_{in}^H, V_{p1}^{f_Z, f_Y, f_X}] > f_A I_p \quad (2.71)$$

y el nivel de salida alcanzará un nivel bajo (marcado con "F" en el plot de contorno de la Figura 2.28d).

El estudio de los niveles intermedios es algo más complejo, ya que, al igual que ocurre con el inversor ternario, existen diferentes posibilidades para alcanzar los niveles lógicos de salida adecuados en función del orden en que conmuten los RTDs. En el caso de una entrada a V_{in}^M , para lograr un nivel lógico de salida correspondiente a un '1', es necesario que conmuten los dos RTDs con menor factor de área de la carga y el de menor tamaño de los del *driver*, esto es, RTD_C , RTD_B y RTD_Z respectivamente. Por tanto, serán tres las posibles combinaciones que se pueden dar en la secuencia de conmutación de los RTDs. En la primera de ellas supondremos que RTD_Z es el primero en conmutar, y que luego lo

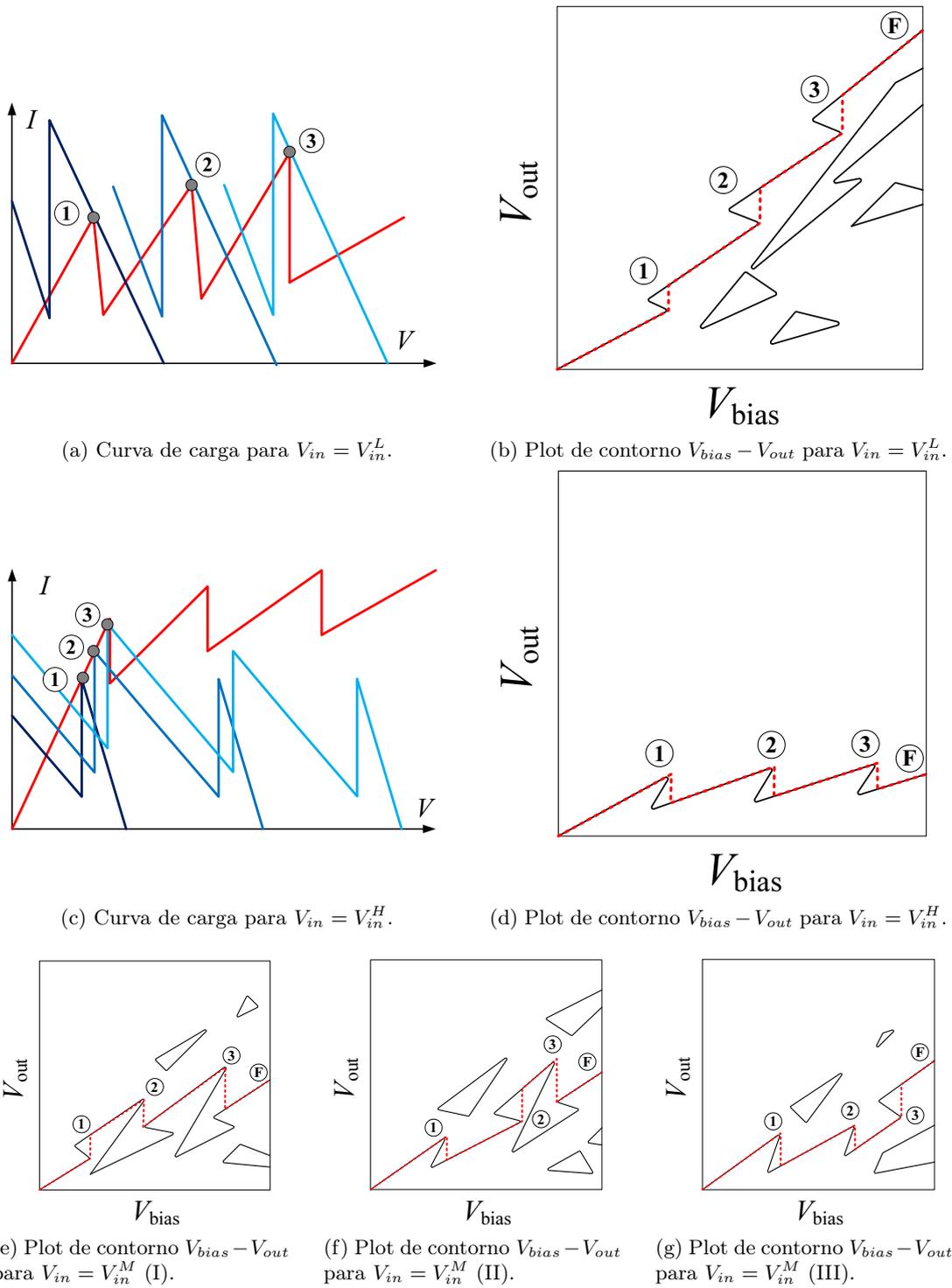


Figura 2.28: Inversor cuaternario. Evaluación.

hacen RTD_C y RTD_B . Esta situación viene ilustrada en la Figura 2.28e, donde se marcan las transiciones con “1”, “2” y “3” en función del orden en el que se producen. Siguiendo un razonamiento análogo al anterior, obtendremos:

$$f_Z I_p + FF \cdot I_T[V_{in}^M, V_{p1}^{f_Z, f_Y, f_X}] < f_C I_p \quad (2.72)$$

$$f_Y I_p + FF \cdot I_T[V_{in}^M, V_{p2}^{f_Z, f_Y, f_X}] > f_C I_p \quad (2.73)$$

$$f_Y I_p + FF \cdot I_T[V_{in}^M, V_{p2}^{f_Z, f_Y, f_X}] > f_B I_p \quad (2.74)$$

En el segundo caso, supondremos que la secuencia de transiciones entre RTDs viene dada por $RTD_C \rightarrow RTD_Z \rightarrow RTD_B$, como se ilustra en la Figura 2.28f. Por tanto, el nuevo trío de relaciones obtenido es:

$$f_Z I_p + FF \cdot I_T[V_{in}^M, V_{p1}^{f_Z, f_Y, f_X}] > f_C I_p \quad (2.75)$$

$$f_Z I_p + FF \cdot I_T[V_{in}^M, V_{p1}^{f_Z, f_Y, f_X}] < f_B I_p \quad (2.76)$$

$$f_Y I_p + FF \cdot I_T[V_{in}^M, V_{p2}^{f_Z, f_Y, f_X}] > f_B I_p \quad (2.77)$$

Por último, cuando la secuencia de conmutación es $RTD_C \rightarrow RTD_B \rightarrow RTD_Z$, las condiciones obtenidas (Figura 2.28g) son:

$$f_Z I_p + FF \cdot I_T[V_{in}^M, V_{p1}^{f_Z, f_Y, f_X}] > f_C I_p \quad (2.78)$$

$$f_Z I_p + FF \cdot I_T[V_{in}^M, V_{p1}^{f_Z, f_Y, f_X}] > f_B I_p \quad (2.79)$$

$$f_Z I_p + FF \cdot I_T[V_{in}^M, V_{p1}^{f_Z, f_Y, f_X}] < f_A I_p \quad (2.80)$$

Finalmente, para la entrada en $V_{in} = V_{in}^m$, tendrán que conmutar dos RTDs del *driver* y uno de la carga, esto es RTD_C , RTD_Z y RTD_Y respectivamente. De nuevo tendremos tres posibilidades en cuanto al orden en el que van a conmutar los RTDs. En la primera de ellas supondremos que el orden es $RTD_Z \rightarrow RTD_Y \rightarrow RTD_C$:

$$f_Z I_p + FF \cdot I_T[V_{in}^m, V_{p1}^{f_Z, f_Y, f_X}] < f_C I_p \quad (2.81)$$

$$f_Y I_p + FF \cdot I_T[V_{in}^m, V_{p2}^{f_Z, f_Y, f_X}] < f_C I_p \quad (2.82)$$

$$f_X I_p + FF \cdot I_T[V_{in}^m, V_{p3}^{f_Z, f_Y, f_X}] > f_C I_p \quad (2.83)$$

La segunda secuencia de conmutación posible es $RTD_Z \rightarrow RTD_C \rightarrow RTD_Y$:

$$f_Z I_p + FF \cdot I_T[V_{in}^m, V_{p1}^{f_Z, f_Y, f_X}] < f_C I_p \quad (2.84)$$

$$f_Y I_p + FF \cdot I_T[V_{in}^m, V_{p2}^{f_Z, f_Y, f_X}] > f_C I_p \quad (2.85)$$

$$f_Y I_p + FF \cdot I_T[V_{in}^m, V_{p2}^{f_Z, f_Y, f_X}] < f_B I_p \quad (2.86)$$

El último trío de relaciones entre parámetros se obtiene cuando el orden en el que conmutan los RTDs es $RTD_C \rightarrow RTD_Z \rightarrow RTD_Y$:

$$f_Z I_p + FF \cdot I_T[V_{in}^m, V_{p1}^{f_Z, f_Y, f_X}] > f_C I_p \quad (2.87)$$

$$f_Z I_p + FF \cdot I_T[V_{in}^m, V_{p1}^{f_Z, f_Y, f_X}] < f_B I_p \quad (2.88)$$

$$f_Y I_p + FF \cdot I_T[V_{in}^m, V_{p2}^{f_Z, f_Y, f_X}] < f_B I_p \quad (2.89)$$

Tras obtener el conjunto de relaciones que rigen la evaluación de la entrada, vamos a analizar dichas relaciones para determinar las más restrictivas. Dado que $I_T[V_{in}, V_{p1}^{f_Z, f_Y, f_X}] < I_T[V_{in}, V_{p2}^{f_Z, f_Y, f_X}] < I_T[V_{in}, V_{p3}^{f_Z, f_Y, f_X}]$, podremos obtener un máximo (para el caso $V_{in} = V_{in}^L$) y un mínimo (cuando $V_{in} = V_{in}^H$) globales de FF . Se puede comprobar en las expresiones 2.66 a 2.68, que la condición 2.68 proporciona el máximo más restrictivo para el factor de forma. En el caso de $V_{in} = V_{in}^H$ (expresiones 2.69 a 2.71), el mínimo global del factor de forma lo proporciona la expresión 2.71.

Los conjuntos de expresiones obtenidas para cada una de las secuencia de conmutación entre los RTDs representan regiones contiguas, por lo que reduciremos cada grupo de

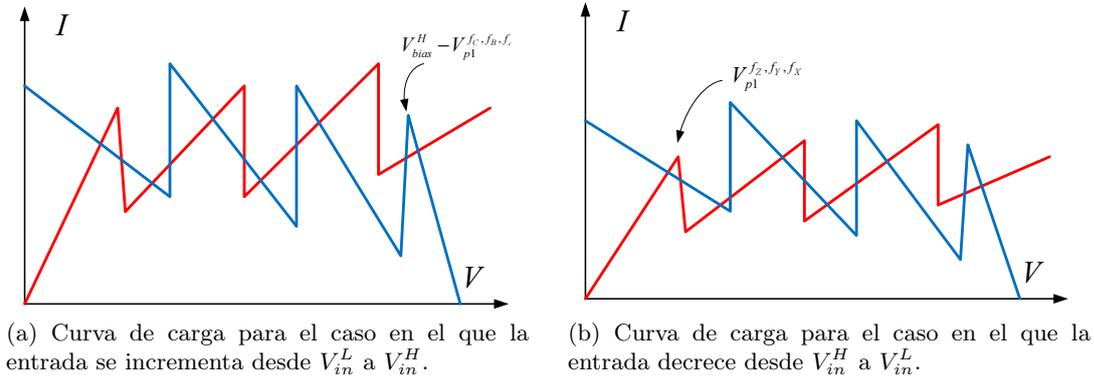


Figura 2.29: Inversor cuaternario. Multiestabilidad.

desigualdades quedándonos sólo con las menos restrictivas. Comenzando por el caso en el que $V_{in} = V_{in}^m$, se puede verificar que existen tres condiciones asociadas a un mínimo de FF , esto es, las expresiones 2.83, 2.85 y 2.87, siendo la menos restrictiva la última de ellas. Las seis relaciones restantes representan un máximo del factor de forma, siendo el máximo global el determinado por la expresión 2.82. Por último, cuando $V_{in} = V_{in}^M$, se puede seguir un razonamiento similar al anterior para deducir que el máximo y el mínimo de este conjunto de relaciones vienen dados por las expresiones 2.72 y 2.79 respectivamente.

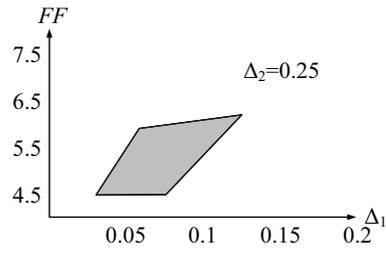
2.4.2 Propiedad de multiestabilidad

El análisis de la propiedad de multiestabilidad del inversor cuaternario requiere estudiar lo que ocurre cuando se incrementa la tensión de entrada desde V_{in}^L a V_{in}^H y cuando se decreta desde V_{in}^H a V_{in}^L . La Figura 2.29a muestra la curva de carga para $V_{in} = V_{in}^H$, en la que se observa que para que existan soluciones asociadas al nivel lógico '3' de la salida, la primera intensidad de pico de la carga ha de ser mayor que la intensidad del *driver* alrededor de $V_{bias}^H - V_{p1}^{f_C, f_B, f_A}$. Esto nos lleva a que:

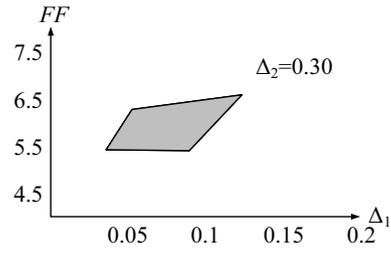
$$g_D[V_{bias}^H - V_{p1}^{f_C, f_B, f_A}] + FF \cdot I_T[V_{in}^H, V_{bias}^H - V_{p1}^{f_C, f_B, f_A}] < f_C I_p \quad (2.90)$$

Finalmente, cuando la entrada pasa de V_{in}^H a V_{in}^L , el razonamiento es análogo al anterior, y la primera intensidad de pico del *driver* debe estar por encima de la corriente de la carga para una tensión $V_{p1}^{f_Z, f_Y, f_X}$ (Figura 2.29b). Para ello:

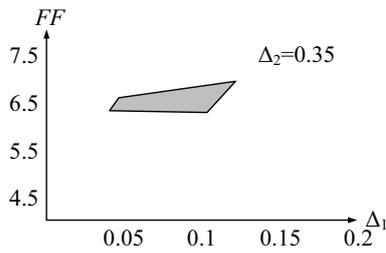
$$f_Z I_p + FF \cdot I_T[V_{in}^L, V_{p1}^{f_Z, f_Y, f_X}] > g_L[V_{bias}^H - V_{p1}^{f_Z, f_Y, f_X}] \quad (2.91)$$



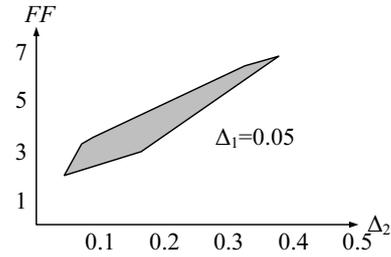
(a) Área de operación correcta en DC FF vs $\Delta_1 = f_A - f_B = f_B - f_C = f_X - f_Y = f_Y - f_Z$ para $\Delta_2 = f_C - f_Y = 0.25$ y con $f_Z = 1.0$.



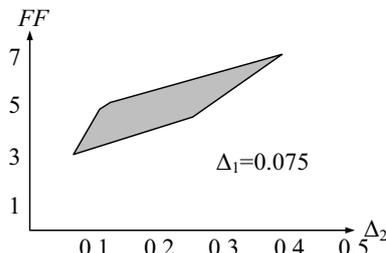
(b) Ídem 2.30a con $\Delta_2 = 0.30$.



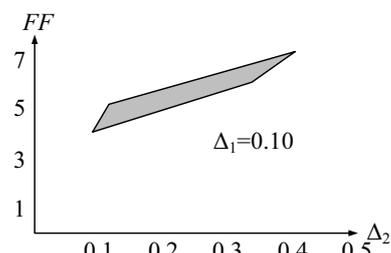
(c) Ídem 2.30a con $\Delta_2 = 0.35$.



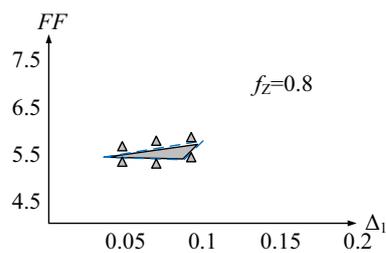
(d) Zona de operación correcta FF vs Δ_2 para valores de $\Delta_1 = 0.05$ con $f_Z = 1.0$.



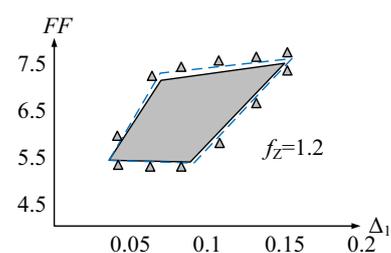
(e) Ídem 2.30d con $\Delta_1 = 0.075$.



(f) Ídem 2.30d con $\Delta_1 = 0.1$.



(g) Pares de puntos (FF, Δ_2) para $f_Z = 0.8$ con $\Delta_2 = 0.30$. Línea azul \rightarrow HSPICE con RTDs lineales a tramos. Triángulos \rightarrow HSPICE con RTDs de LOCOM.



(h) Ídem 2.30g con $f_Z = 1.2$.

Figura 2.30: Inversor cuaternario. Regiones de operación correcta.

2.4.3 Validación de los resultados obtenidos

A partir de las relaciones 2.66 a 2.91 es posible determinar regiones de operación correcta. Supondremos que $V_{in}^L = 0V$, $V_{in}^m = 0.2V$, $V_{in}^M = 0.4V$ y $V_{in}^H = 0.65V$. Los niveles de tensión de alimentación alto y bajo serán $3V$ y $0V$ respectivamente. Las Figuras 2.30a a 2.30c muestran dichas zonas en el plano $FF-\Delta_1$, siendo $\Delta_1 = f_A - f_B = f_B - f_C = f_X - f_Y = f_Y - f_Z$ para diferentes valores $\Delta_2 = f_C - f_X$ y $f_Z = 1.0$. Como se puede observar, a medida que se incrementa el valor de la separación entre el menor RTD de la carga y el mayor del *driver*, las regiones de operación se hacen más pequeñas. La representación del factor de forma frente a Δ_2 se muestra en las Figuras 2.30d a 2.30f. Por último, el efecto de la variación de f_Z se ilustra en las Figuras 2.30g y 2.30h, donde se han incluido, además, resultados de simulación con HSPICE que muestran la bondad de la aproximación. Al aumentar el valor de f_Z , la región de funcionamiento correcto se incrementa, al igual que ocurría en el inversor ternario.

2.5 Circuitos con entradas continuas

Es posible extender el principio de operación MOBILE (y MML) a circuitos cuyas entradas toman valores continuos. En esta sección analizaremos el funcionamiento de diferentes circuitos de salida binaria (comparadores), con distintas técnicas de programación de la tensión crítica de comparación. Posteriormente, extenderemos el análisis a salida multivaluada, tomando como caso práctico el diseño de un comparador ternario.

2.5.1 Comparador binario de 1 bit

Hasta el momento hemos considerado el inversor binario como un circuito cuya entrada toma uno de dos valores en los extremos del rango de tensiones de trabajo. Dado que existe una tensión crítica que permite diferenciar los niveles lógicos de entrada, el inversor binario puede emplearse como un comparador de un bit.

Bloque básico

El circuito de la Figura 2.31 se comporta como un inversor binario si cumple:

$$f_D I_P + FF \cdot I_T[V_{IN}^L, V_P] < f_L I_P \quad (2.92)$$

$$f_D I_P + FF \cdot I_T[V_{IN}^H, V_P] > f_L I_P \quad (2.93)$$

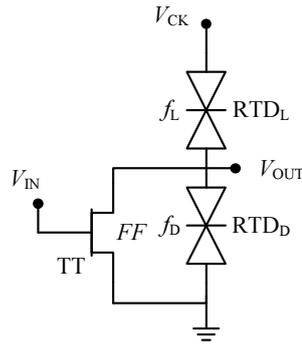


Figura 2.31: Bloque básico. Esquemático.

De las expresiones anteriores, podemos deducir que existe un valor crítico de la tensión de entrada que decide si la salida toma un nivel lógico alto o bajo. Esta tensión crítica, que llamaremos V_{CRIT} , se puede obtener a partir de las expresiones anteriores transformando ambas desigualdades en una única igualdad:

$$f_D I_P + FF \cdot I_T[V_{CRIT}, V_P] = f_L I_P \quad (2.94)$$

La expresión anterior indica que el inversor binario se puede emplear también como un comparador de un bit. Supondremos que la frecuencia de la señal de reloj es mucho mayor que la de la señal analógica de entrada, por lo que omitiremos el estudio de la propiedad de biestabilidad dado que no se producirán grandes variaciones de la entrada cuando el reloj se encuentre a nivel alto.

Bloque programable

El circuito previo posee un umbral de decisión fijo. Es posible modificar su topología para lograr que este umbral de decisión sea configurable. En la Figura 2.32 se muestra un bloque programable que permite seleccionar entre dos posibles valores de la tensión crítica, $V_{CRIT,1}$ y $V_{CRIT,2}$.

Si comparamos esta estructura con la de un solo umbral (Figura 2.31), tan sólo difiere en la adición de una rama en el *driver*, con un RTD y un transistor que actúa como *switch* o conmutador binario controlado por la tensión digital V_{CTRL} (supondremos que este transistor es lo suficientemente ancho como para operar correctamente como *switch*). El diseño de esta estructura requiere dimensionar los RTDs así como el transistor que recibe la señal de entrada de manera que se cumplan las especificaciones marcadas por las tensiones críticas $V_{CRIT,1}$ y $V_{CRIT,2}$. Las ecuaciones de diseño son:

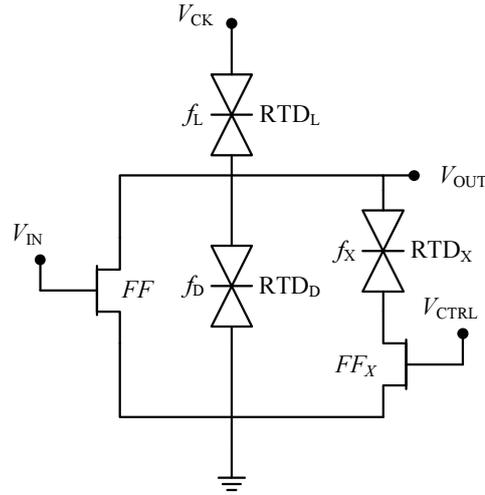


Figura 2.32: Bloque programable con dos tensiones críticas.

$$f_D I_P + FF \cdot I_T[V_{CRIT,2}, V_P] = f_L I_P \text{ para } V_{CTRL} = '0' \quad (2.95)$$

$$(f_D + f_X) I_P + FF \cdot I_T[V_{CRIT,1}, V_P] = f_L I_P \text{ para } V_{CTRL} = '1' \quad (2.96)$$

Cuando la tensión de control es cero, la rama que contiene a RTD_X aparece desactivada, obteniendo así la condición impuesta por la tensión crítica superior ($V_{CRIT,2}$). Por el contrario, al activarse la rama, se añade una corriente proporcional a f_X , que permite obtener la condición crítica asociada al umbral de tensión más bajo ($V_{CRIT,1}$).

Los valores de los factores de área de los RTDs (f_D, f_L, f_X) y el tamaño del transistor (FF) en función de las tensiones críticas, se obtienen a partir de las expresiones anteriores:

$$FF = \frac{(f_L - f_D) I_P}{I_T[V_{CRIT,2}, V_P]} \quad (2.97)$$

$$f_X = (f_L - f_D) \left(1 - \frac{I_T[V_{CRIT,1}, V_P]}{I_T[V_{CRIT,2}, V_P]} \right) \quad (2.98)$$

En la Figura 2.33 se muestra el funcionamiento del comparador con un dimensionamiento acorde al descrito en las expresiones anteriores y calculado para la tecnología de LOCOM. Se han seleccionado unas tensiones críticas equiespaciadas dentro del rango de entrada considerado ($V_{in}^L = 0V$, $V_{in}^H = 0.65V$), esto es, $V_{CRIT,1} = V_{in}^H/3$ y $V_{CRIT,2} = 2V_{in}^H/3$. Se ha considerado que $f_D = 0.5$ y $f_L = 0.8$, lo que proporciona $FF = 5.62$, $FF_X = 2$ y $f_X = 0.17$. La alimentación del circuito, V_{CK} , toma valores entre

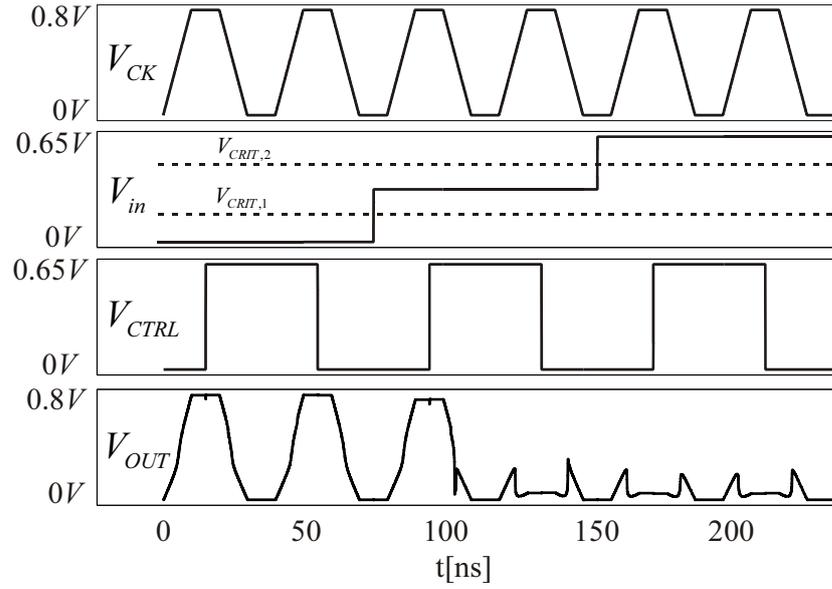


Figura 2.33: Formas de onda del experimento de verificación del funcionamiento del comparador programable con dos niveles críticos seleccionables.

0V y 0.8V. En los dos primeros ciclos de reloj, la señal de entrada está por debajo de las dos tensiones críticas, por lo que la salida está a nivel alto. En el tercer ciclo, se selecciona $V_{CRIT,2}$, por lo que, dado que la tensión de entrada es menor, la salida se corresponde con un nivel lógico alto. En el siguiente ciclo la salida está a nivel bajo ya que se activa la tensión crítica $V_{CRIT,1}$. Finalmente, en los últimos ciclos, la entrada está siempre por encima de las tensiones críticas, por lo que la salida siempre está a nivel bajo.

Este diseño se puede extender a un número arbitrario de umbrales. Para configurar la tensión crítica a uno de cuatro valores posibles, por ejemplo, proponemos el diseño de la Figura 2.34a, que cuenta con dos tensiones de control V_{CTRL1} y V_{CTRL2} asociadas a dos ramas en las que los RTDs tienen factores de área diferentes, f_{X1} y f_{X2} . Las expresiones empleadas para describir el funcionamiento del circuito son:

$$f_D I_P + FF \cdot I_T[V_{CRIT,4}, V_P] = f_L I_P \quad \text{para} \quad \begin{cases} V_{CTRL,1} = '0' \\ V_{CTRL,2} = '0' \end{cases} \quad (2.99)$$

$$(f_D + f_{X1}) I_P + FF \cdot I_T[V_{CRIT,3}, V_P] = f_L I_P \quad \text{para} \quad \begin{cases} V_{CTRL,1} = '1' \\ V_{CTRL,2} = '0' \end{cases} \quad (2.100)$$

$$(f_D + f_{X2})I_P + FF \cdot I_T[V_{CRIT,2}, V_P] = f_L I_P \quad \text{para} \quad \begin{cases} V_{CTRL,1} = '0' \\ V_{CTRL,2} = '1' \end{cases} \quad (2.101)$$

$$(f_D + f_{X1} + f_{X2})I_P + FF \cdot I_T[V_{CRIT,1}, V_P] = f_L I_P \quad \text{para} \quad \begin{cases} V_{CTRL,1} = '1' \\ V_{CTRL,2} = '1' \end{cases} \quad (2.102)$$

De la expresión 2.99 obtenemos la expresión del factor de forma en función de $f_D - f_L$:

$$FF = \frac{(f_L - f_D)I_P}{I_T[V_{CRIT,4}, V_P]} \quad (2.103)$$

Sustituyendo la expresión 2.103 en 2.100 y 2.101 obtendremos las expresiones de f_{X1} y f_{X2} en función de $f_L - f_D$:

$$f_{X1} = (f_L - f_D) \left(1 - \frac{I_T[V_{CRIT,3}, V_P]}{I_T[V_{CRIT,4}, V_P]}\right) \quad (2.104)$$

$$f_{X2} = (f_L - f_D) \left(1 - \frac{I_T[V_{CRIT,2}, V_P]}{I_T[V_{CRIT,4}, V_P]}\right) \quad (2.105)$$

Sin embargo, al incluir las expresiones 2.103, 2.104 y 2.105 en 2.102 se obtiene la siguiente relación entre intensidades del transistor:

$$I_T[V_{CRIT,4}, V_P] = I_T[V_{CRIT,1}, V_P] + I_T[V_{CRIT,2}, V_P] + I_T[V_{CRIT,3}, V_P] \quad (2.106)$$

Esto significa que para lograr una configuración con cuatro umbrales empleando dos etapas de control, es necesario verificar una relación bastante restrictiva (y poco útil a efectos de diseño) entre las tensiones críticas.

Una solución más práctica se muestra en la Figura 2.34b, donde hemos colocado una rama adicional con un RTD con factor de área f_{X3} . Las tensiones de control son $V_{CTRL,1}$, $V_{CTRL,2}$ y $V_{CTRL,3}$. El conjunto de ecuaciones que modela el comportamiento de este circuito es ahora:

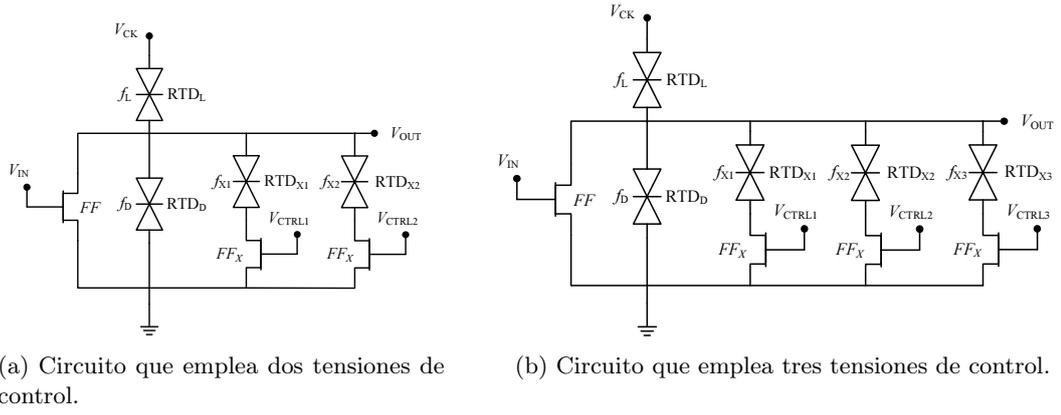


Figura 2.34: Bloque programable con cuatro tensiones críticas.

$$f_D I_P + FF \cdot I_T[V_{CRIT,4}, V_P] = f_L I_P \rightarrow \begin{cases} V_{CTRL,1} = '0' \\ V_{CTRL,2} = '0' \\ V_{CTRL,3} = '0' \end{cases} \quad (2.107)$$

$$(f_D + f_{X1}) I_P + FF \cdot I_T[V_{CRIT,3}, V_P] = f_L I_P \rightarrow \begin{cases} V_{CTRL,1} = '1' \\ V_{CTRL,2} = '0' \\ V_{CTRL,3} = '0' \end{cases} \quad (2.108)$$

$$(f_D + f_{X2}) I_P + FF \cdot I_T[V_{CRIT,2}, V_P] = f_L I_P \rightarrow \begin{cases} V_{CTRL,1} = '0' \\ V_{CTRL,2} = '1' \\ V_{CTRL,3} = '0' \end{cases} \quad (2.109)$$

$$(f_D + f_{X3}) I_P + FF \cdot I_T[V_{CRIT,1}, V_P] = f_L I_P \rightarrow \begin{cases} V_{CTRL,1} = '0' \\ V_{CTRL,2} = '0' \\ V_{CTRL,3} = '1' \end{cases} \quad (2.110)$$

A partir de las igualdades anteriores, es posible derivar las expresiones correspondientes a los tamaños de los RTDs en las ramas asociadas a las tensiones de control, así como el tamaño del transistor que sobre el que se aplica la tensión de entrada. Al igual que ocurre en el caso de dos umbrales, estas expresiones dependen de la diferencia entre los tamaños del RTD del *load* y el *driver*:

$$FF = \frac{(f_L - f_D)I_P}{I_T[V_{CRIT,4}, V_P]} \quad (2.111)$$

$$f_{X1} = (f_L - f_D) \left(1 - \frac{I_T[V_{CRIT,3}, V_P]}{I_T[V_{CRIT,4}, V_P]}\right) \quad (2.112)$$

$$f_{X2} = (f_L - f_D) \left(1 - \frac{I_T[V_{CRIT,2}, V_P]}{I_T[V_{CRIT,4}, V_P]}\right) \quad (2.113)$$

$$f_{X3} = (f_L - f_D) \left(1 - \frac{I_T[V_{CRIT,1}, V_P]}{I_T[V_{CRIT,4}, V_P]}\right) \quad (2.114)$$

Empleando este tipo de configuraciones no es necesario verificar la relación 2.106, por lo que el diseño es más sencillo y menos restrictivo, aunque de mayor área.

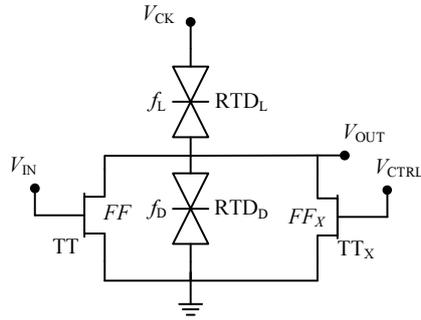
Bloque calibrable

En el subapartado anterior hemos estudiado estructuras cuyas tensiones umbral se mantienen constantes una vez se fija el valor de los factores de área de los RTDs y el factor de forma del transistor. Para ciertas aplicaciones es interesante contar con estructuras cuyo umbral de decisión sea calibrable a partir de una tensión de control. La Figura 2.35a muestra la configuración que proponemos y que consiste en un inversor binario al que se le ha añadido un transistor en paralelo (de factor de forma FF_X) en cuya puerta se aplica la tensión de control, V_{CTRL} . La relación entre V_{CTRL} y V_{CRIT} es:

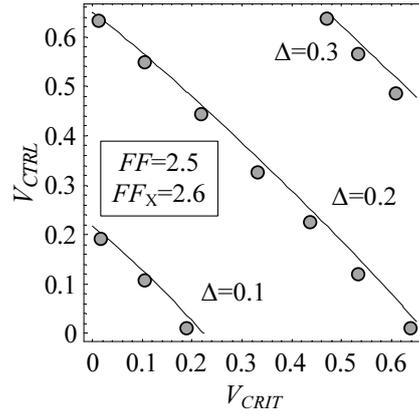
$$f_D I_P + FF \cdot I_T[V_{CRIT}, V_P] + FF_X \cdot I_T[V_{CTRL}, V_P] = f_L I_P \quad (2.115)$$

En la Figura 2.35b se ha representado cómo evoluciona la tensión crítica frente a la de control para diferentes valores de $\Delta = f_L - f_D$ cuando $FF_X = 2.6$ y $FF = 2.5$. Las Figuras 2.35c y 2.35d muestran la misma representación, pero en estos casos para diferentes valores de FF_X y FF . La Figura 2.35b muestra también triángulos que representan las soluciones obtenidas en HSPICE empleando los modelos de RTD y HFET de LOCOM, lo que permite mostrar la bondad de la aproximación.

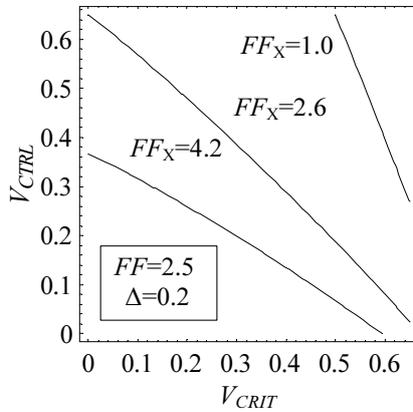
Una estructura alternativa se muestra en la Figura 2.36a, donde el transistor al que se le aplica la tensión de control se sitúa en paralelo al RTD *load*. La expresión que relaciona V_{CTRL} y V_{CRIT} para garantizar una operación correcta en DC es:



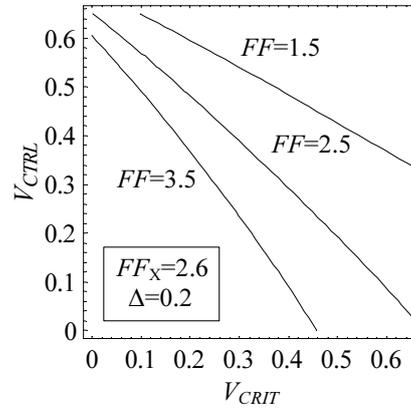
(a) Esquemático.



(b) Evolución de la tensión de control frente a la crítica para diferentes valores de Δ .



(c) Evolución de la tensión de control frente a la crítica para diferentes valores de FF_X .



(d) Evolución de la tensión de control frente a la crítica para diferentes valores de FF .

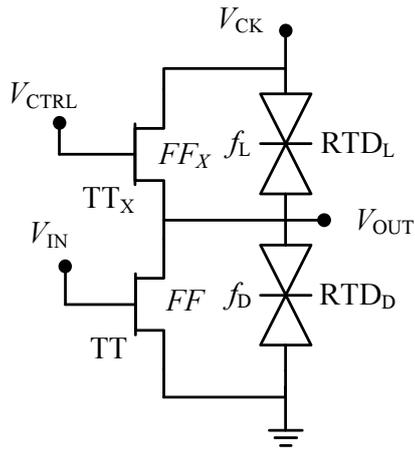
Figura 2.35: Bloque calibrable con tensión de control en el *driver*.

$$f_D I_P + FF \cdot I_T[V_{CRIT}, V_P] = FF_X \cdot I_T[V_{CTRL} - V_P, V_P] + f_L I_P \quad (2.116)$$

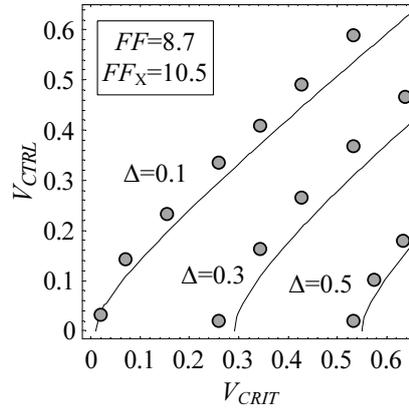
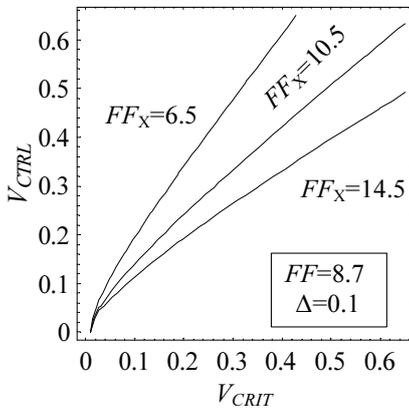
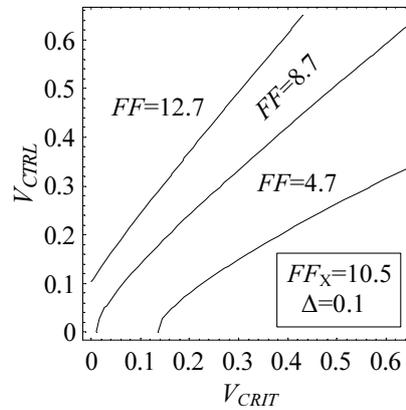
La variación de la tensión crítica frente a la de control para diferentes valores de FF , FF_X y $\Delta = f_L - f_D$ se muestra en las Figuras 2.36b a 2.36d.

2.5.2 Comparador ternario

Para el inversor ternario existen dos niveles críticos. El primero de ellos, $V_{in} = V_{CRIT}^1$, se corresponde con el máximo valor de la tensión de entrada que es considerada como '0' lógico.; el segundo nivel crítico, $V_{in} = V_{CRIT}^2$, hace referencia al máximo valor de la entrada que se toma como '1' lógico.



(a) Esquemático.

(b) Evolución de la tensión de control frente a la crítica para diferentes valores de Δ .(c) Evolución de la tensión de control frente a la crítica para diferentes valores de FF_X .(d) Evolución de la tensión de control frente a la crítica para diferentes valores de FF .**Figura 2.36:** Bloque calibrable con tensión de control en el *load*.

Denominaremos zona *L* al rango de valores de la tensión de entrada comprendido entre V_{in}^L y el primer valor crítico, V_{CRIT}^1 . La zona *L* dará lugar a una salida con nivel lógico '2'. La zona *M* comprende desde V_{CRIT}^1 hasta el segundo valor crítico de tensión de entrada, V_{CRIT}^2 , originando valores lógicos de salida asociados al nivel '1'. Por último, la zona de funcionamiento *H* se extiende desde V_{CRIT}^2 hasta V_{in}^H y proporciona valores de salida con nivel lógico '0'.

El valor de V_{CRIT}^1 puede determinarse a partir de las condiciones 2.22 y 2.23, correspondientes a la zona *L*. En este caso, el límite inferior del factor de forma se obtendrá cuando $V_{in} = V_{in}^L$ mientras que el superior vendrá dado por la condición 2.23 (dado que

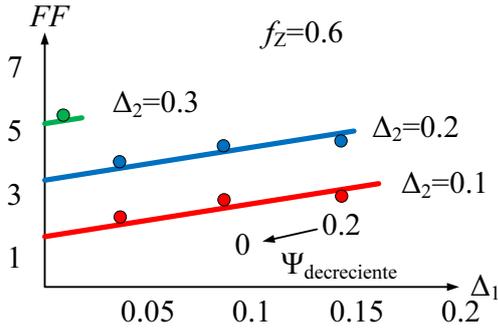
es más restrictiva que 2.22). Para el nivel M se emplearán las relaciones 2.26 a 2.29. Las condiciones 2.26 y 2.28 representan dos regiones contiguas dentro de la zona M , por lo que los límites inferior y superior vendrán dados por las relaciones 2.27 y 2.29 respectivamente. Además, 2.27 proporciona la misma relación entre parámetros que 2.23, con la salvedad de que el signo de la desigualdad es opuesto. La frontera entre las regiones descritas por 2.23 y 2.27 permite extraer una expresión que permitirá fijar el valor de la primera tensión crítica V_{CRIT}^1 :

$$f_Y I_p + FF \cdot I_T[V_{CRIT}^1, V_{p2}^{f_Z, f_Y}] = f_B I_p \quad (2.117)$$

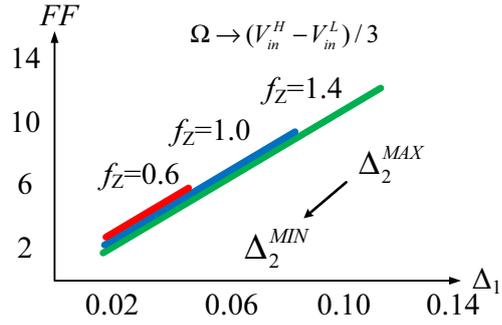
Análogamente, para la región H se puede comprobar cómo la frontera con la región M viene dada por la condición 2.25, que es más restrictiva que 2.24. La expresión que relaciona a la segunda tensión crítica con los parámetros del circuito viene dada por:

$$f_Z I_p + FF \cdot I_T[V_{CRIT}^2, V_{p1}^{f_Z, f_Y}] = f_A I_p \quad (2.118)$$

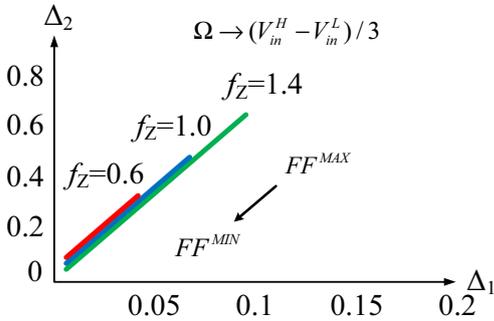
La Figura 2.37 muestra, empleando líneas continuas, el conjunto de soluciones obtenido al tener en cuenta las tensiones críticas entre regiones de funcionamiento L , M y H a partir de las expresiones 2.117 y 2.118. Hemos definido el parámetro $\Psi = V_{CRIT}^1 - V_{CRIT,MIN}^1 = V_{CRIT,MAX}^2 - V_{CRIT}^2$ para representar la variación simétrica de los límites de la región de operación, donde $V_{CRIT,MIN}^1$ y $V_{CRIT,MAX}^2$ (valores mínimo de V_{CRIT}^1 y máximo de V_{CRIT}^2) se han tomado como 0.1 y 0.5 respectivamente. En la Figura 2.37a se muestra el conjunto de pares (FF, Δ_1) obtenidos al variar Ψ desde 0.2 hasta 0, considerando $f_Z = 0.6$, para $\Delta_2 = 0.1$, $\Delta_2 = 0.2$ y $\Delta_2 = 0.3$. Los círculos junto a las curvas se corresponden con los resultados de simulaciones HSPICE empleando el modelo del RTD de LOCOM. Como se puede comprobar, al aumentar Δ_2 el conjunto de valores posibles disminuye drásticamente. En las Figuras 2.37b y 2.37c se representan las zonas de funcionamiento correcto para el caso de un comparador “uniforme” en el que la anchura Ω de las regiones L , M y H es la misma, esto es $\Omega = (V_{in}^H - V_{in}^L)/3$. La Figura 2.37b muestra el conjunto de puntos (Δ_1, FF) para diferentes valores de f_Z (0.6, 1 y 1.4) cuando Δ_2 varía desde $\Delta_2^{MIN} = 0.1$ a $\Delta_2^{MAX} = 1$. La Figura 2.37c muestra los pares (Δ_1, Δ_2) para los mismos valores de f_Z , cuando FF varía desde $FF^{MIN} = 1$ hasta $FF^{MAX} = 20$. Finalmente, la Figura 2.37d muestra las superficies correspondientes a V_{CRIT}^1 (en azul) y V_{CRIT}^2 (en rojo) que aseguran un comportamiento correcto frente a FF y Δ_1 cuando $\Delta_2 = 0.1$ y $f_Z = 0.6$. Como se puede comprobar, la región L se puede maximizar eligiendo valores bajos de FF



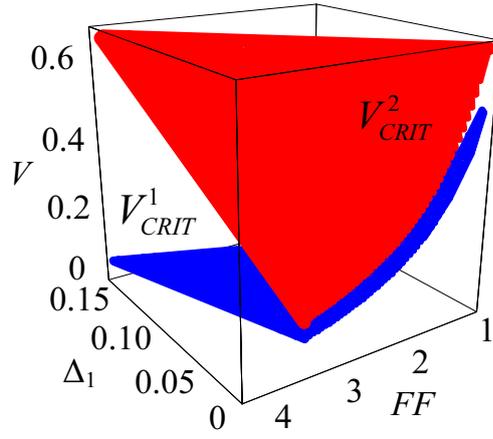
(a) Valores posibles de FF frente a Δ_1 para $\Delta_2 = 0.1, 0.2, 0.3$, marcando con puntos los resultados obtenidos tras realizar simulaciones HSPICE.



(b) FF frente a Δ_1 para $f_Z = 0.6, 1.0, 1.4$, cuando Δ_1 varía desde $\Delta_2^{MIN} = 0.1$ a $\Delta_2^{MAX} = 1$ y $\Omega = (V_{in}^H - V_{in}^L)/3$.



(c) Pares de puntos (Δ_1, Δ_2) para FF variando desde $FF^{MIN} = 1$ hasta $FF^{MAX} = 20$ y $\Omega = (V_{in}^H - V_{in}^L)/3$.



(d) Planos V_{CRIT}^1 (en azul) y V_{CRIT}^2 (en rojo) que delimitan las regiones de funcionamiento L, M y H , cuando $f_Z = 0.6$ y $\Delta_2 = 0.1$.

Figura 2.37: Selección de niveles críticos en el inversor ternario.

y Δ_1 , mientras que la región H se maximiza a partir de los valores altos de FF y bajos de Δ_1 . Por último, la zona M crecerá a medida que se incrementen simultáneamente FF y Δ_1 .

2.6 Conclusiones

En este capítulo se han descrito estructuras que se fundamentan en la extensión del principio de operación MOBILE. En primer lugar, hemos analizado el diseño de circuitos en modo diferencial tomando como ejemplo la configuración binaria más sencilla. Hemos obtenido la región de operación correcta en DC que verifica de forma simultánea las propiedades de evaluación y biestabilidad. Seguidamente hemos introducido la configuración MOBILE simétrica (SMOBILE) como una forma alternativa de polarizar los circuitos que permite evaluar la entrada dos veces por ciclo de reloj. Ambos conceptos se emplearon

en el diseño de un circuito diferencial SMOBILE para el que también hemos obtenido las relaciones entre parámetros del circuito que garantizan su operación correcta en DC.

A continuación hemos extendido el estudio de circuitos con entradas binarias a diseños multivaluados. Hemos analizado la forma de la característica tensión-corriente de la conexión en serie de dos o más RTDs y derivado un procedimiento que permite obtener sus puntos críticos (tensiones e intensidades de pico y valle) a partir de los puntos críticos de los RTDs individuales. El análisis de circuitos multivaluados basados en el principio de operación MML se puede simplificar mediante la aproximación lineal a tramos de la característica $I-V$ de la conexión serie de RTDs. Se han analizado estructuras ternarias y cuaternarias utilizando distintos modelos de RTDs y transistores. Hemos verificado que, en todos los casos, las regiones de funcionamiento obtenidas en nuestro estudio teórico se corresponden muy bien con las obtenidas por simulación empleando un modelo no lineal para los RTDs. A continuación hemos estudiado cómo afectan las variaciones en la tensión e intensidad de pico a la región de funcionamiento correcto y mostrado que la metodología de diseño desarrollada es independiente del modelo de RTD y transistor elegidos.

En la tercera parte de este capítulo hemos considerado que la entrada de los circuitos basados en el principio de operación MOBILE no toma, necesariamente, un conjunto de valores discreto. Hemos estudiado, en primer lugar, el diseño de comparadores con salida binaria en los que se puede seleccionar el nivel de tensión crítica. Hemos descrito diferentes arquitecturas que permiten seleccionar entre un conjunto discreto o continuo de valores para la tensión crítica. Partiendo de las expresiones que describen el comportamiento del inversor ternario, hemos extendido el estudio al comparador de tres niveles.

CAPÍTULO 3

EL DISPOSITIVO MOS-NDR

Es bien conocido que se puede emular la característica $I-V$ de los RTDs utilizando circuitos compuestos por transistores. En el Capítulo 1 ya se describió la utilización de estos emuladores para el prototipado de ideas y técnicas de diseño con RTDs. En este capítulo analizaremos en profundidad y validaremos experimentalmente el circuito emulador que hemos utilizado para prototipar técnicas de diseño desarrolladas para tecnologías CMOS con RTDs. Esta cointegración de RTDs (o RITDs) sobre sustratos de silicio es, como también ya se ha mencionado, un área de investigación muy activa en la que se están realizando importantes contribuciones, pero que no está disponible aún comercialmente.

El capítulo se ha estructurado en seis apartados. En el Apartado 3.1 revisaremos las distintas topologías utilizadas para implementar estructuras NDR y describiremos la configuración elegida. Este circuito emulador, denominado MOS-NDR, está formado exclusivamente por transistores MOS y, por tanto, se puede combinar e integrar con otros circuitos y dispositivos en procesos estándar de fabricación CMOS. En el siguiente apartado estudiaremos cómo dimensionar los transistores del emulador para ajustar los puntos de interés (tensiones e intensidades de pico y valle) de su curva $I-V$. En el Apartado 3.3 validaremos los principios de operación MOBILE y MML empleando los dispositivos MOS-NDR. En el siguiente, aportaremos soluciones a las dificultades asociadas a la integración de estos circuitos. En el Apartado 3.5 presentaremos un dispositivo MOS-NDR programable y con característica tensión-corriente monopico. Finalmente, en el Apartado 3.6 mostraremos resultados experimentales.

3.1 Descripción de la estructura MOS-NDR

A mediados de los años 70, Kano propuso la realización de dispositivos con característica NDR empleando transistores JFET [91, 92]. A finales de los años 70 y principios de los 80, Wu planteó diferentes realizaciones de dispositivos con característica NDR del tipo Λ (sin segunda zona de resistencia diferencial positiva) y tipo N (con ella)

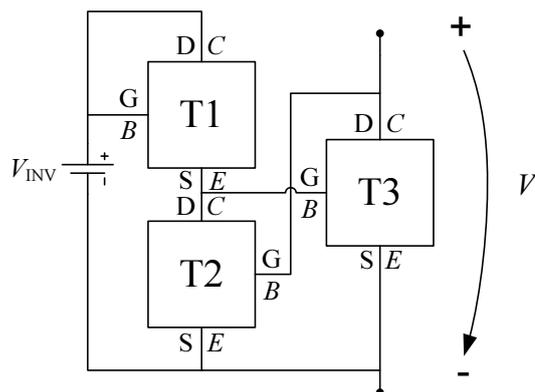


Figura 3.1: Esquema general de dispositivo NDR con tres transistores.

Tipo	T1	T2	T3	Curva $I-V$
1	NMOS	NMOS	NMOS	Λ
2	BJT	NMOS	BJT	Λ
3	BJT	BJT	BJT	N
4	NMOS	BJT	NMOS	N
5	BJT	BJT	NMOS	N

Tabla 3.1: Posibles configuraciones de circuitos NDR.

[93, 46] que empleaban transistores de efecto campo (FET), en particular MOSFET de enriquecimiento y de empobrecimiento combinados con transistores BJT. Bhattacharya señaló [48] que las arquitecturas descritas hasta entonces no eran adecuadas para su integración en procesos de fabricación CMOS, dado que incluían resistencias y fuentes de corrientes. En su contribución, proponía tres posibles circuitos candidatos que empleaban tres, cuatro y seis transistores NMOS, discutiendo su idoneidad según la aplicación requerida. Recientemente, Gan ha realizado [94] un estudio comparativo de estructuras basadas en la configuración mostrada en la Figura 3.1. Los transistores, T1, T2 y T3 pueden ser MOS de silicio o BJT de SiGe. Los terminales G (puerta), D (drenador) y S (fuente) corresponden a los transistores MOS, mientras que B (base), C (colector) y E (emisor) son para los BJT.

La característica tensión-corriente obtenida está determinada por el transistor T2, de modo que si es un NMOS, la curva resultante es del tipo Λ , mientras que si es un BJT, obtendremos una curva tipo N . Las diferentes combinaciones posibles se muestran en la Tabla 3.1.

Puesto que nuestros demostradores se van a realizar en tecnologías CMOS, utilizaremos

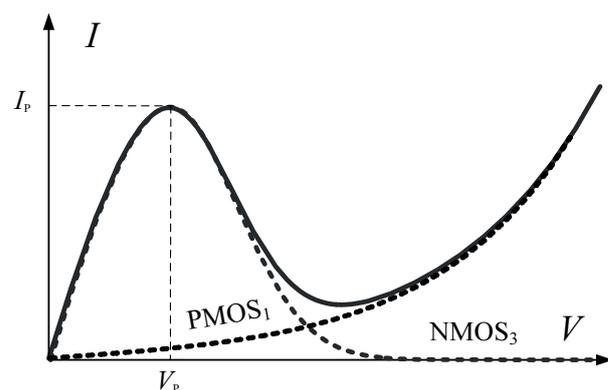
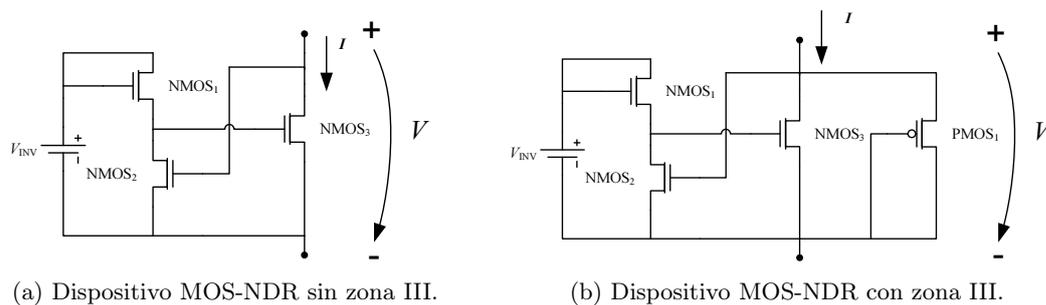
como punto de partida para el dispositivo MOS-NDR la configuración tipo 1 en la Tabla 3.1, con una característica $I-V$ tipo Λ . Ésta ha sido la más empleada recientemente para el prototipado de diseños basados en MOBILE [95, 96, 97]. Además, se puede modificar para obtener una curva tipo N , como se mostrará en el Apartado 3.3.1, lo que permite emular la característica tensión-corriente de un RTD, aunque la segunda zona de resistencia diferencial positiva (zona III) no es necesaria para obtener circuitos basados en el principio de operación MOBILE [98].

3.1.1 Estructuras MOS-NDR de un solo pico

La Figura 3.2a muestra la topología del emulador tipo 1. Está formado por un inversor ($NMOS_1$ y $NMOS_2$) cuya salida, conectada a la puerta del transistor $NMOS_3$, modula la intensidad que circula por el mismo, originando una curva de tipo NDR. Con estos tres transistores se obtiene una característica tensión-corriente sin segunda zona de resistencia diferencial positiva (Λ). Puede obtenerse una característica tipo N añadiendo un transistor PMOS que actúa como diodo (Figura 3.2b). La Figura 3.2c muestra las curvas $I-V$ correspondientes a ambos circuitos. La curva en línea discontinua marcada como $NMOS_3$ representa la característica de un bloque MOS-NDR sin zona III. La curva en línea discontinua muestra la intensidad que circula por el transistor $PMOS_1$ y que, sumada a la del $NMOS_3$, da lugar a la dibujada en trazo grueso.

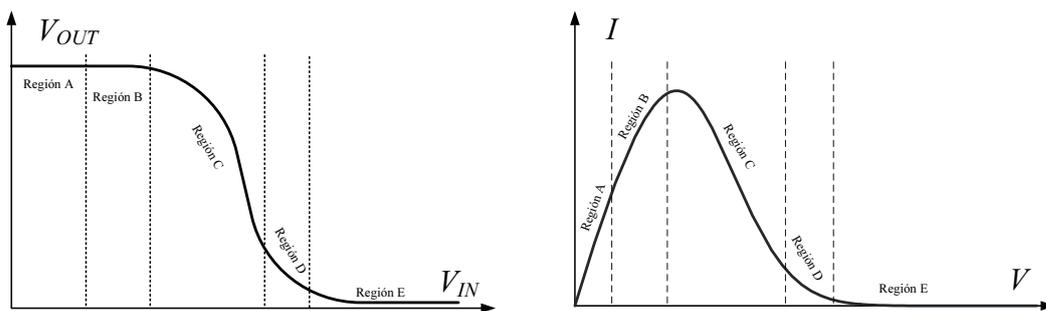
La Figura 3.3 muestra cualitativamente cómo se obtiene la característica $I-V$ del MOS-NDR. Hemos supuesto que aplicamos una tensión entre sus terminales, y que al inversor formado por $NMOS_1$ y $NMOS_2$ se le aplica una tensión V_{INV} . Cuando la entrada al inversor (V_{IN} en la Figura 3.3a) es baja, su salida toma un valor lógico alto, provocando que el transistor $NMOS_3$ conduzca en región lineal (dado que $V_{DS} \leq V_{GS} - V_T$). A medida que la tensión aumenta, llega un momento en el que la salida del inversor (V_{OUT} en la Figura 3.3a) cae, provocando que el transistor $NMOS_3$ deje de conducir. En este caso, la intensidad total de salida sería la que aporta el transistor $PMOS_1$ (si lo hubiere).

Esta configuración puede mejorarse en consumo y área si se sustituye el inversor formado por los transistores $NMOS_1$ y $NMOS_2$ de la Figura 3.2 por un inversor CMOS formado por los transistores $NMOS_1$ y $PMOS_1$, como muestra la Figura 3.4a [93]. Al igual que antes, la salida de este inversor se aplica a la puerta del transistor $NMOS_2$, lo que da lugar a una curva tensión-corriente con una zona de resistencia diferencial negativa y sin segunda zona de resistencia diferencial positiva. Esta última región puede añadirse



(c) Curvas tensión-corriente obtenidas con y sin el transistor $PMOS_1$.

Figura 3.2: MOS-NDR con inversor formado por dos transistores NMOS.



(a) Característica entrada-salida del inversor formado por $NMOS_1$ y $NMOS_2$.

(b) Obtención de la curva tensión-corriente a partir de la salida del inversor.

Figura 3.3: Explicación cualitativa de la obtención de la característica tensión-corriente de un dispositivo MOS-NDR.

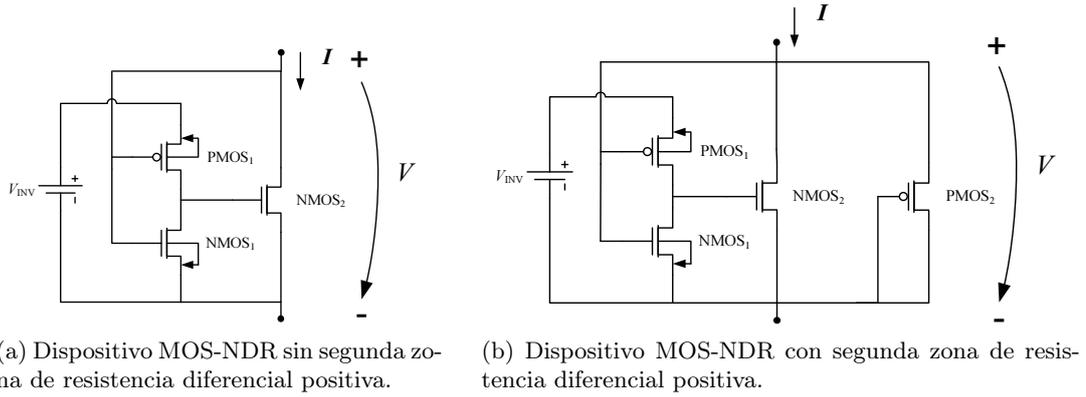


Figura 3.4: MOS-NDR con inversor CMOS tipo A.

<i>Medida</i>	Inversor NMOS	Inversor CMOS
Potencia	$151.32\mu W$	$60.73\mu W$
Área	$1.08\mu m^2$	$0.92\mu m^2$

Tabla 3.2: Comparativa en términos de área y potencia para las estructuras de las Figuras 3.2 y 3.4.

con el transistor $PMOS_2$ (Figura 3.4b). Nótese que el sustrato del transistor $NMOS_1$ está conectado al terminal inferior del MOS-NDR y el de $PMOS_1$ a V_{INV} , lo que permite obtener curvas tipo NDR que dependen exclusivamente de la diferencia de tensión entre los terminales del MOS-NDR.

Hemos realizado simulaciones de estos circuitos empleando una tecnología comercial de $130nm$ (Apartado A.1.2 del Apéndice) para comparar las prestaciones de ambas estructuras. Se han dimensionado los dos circuitos para que las curvas $I-V$ tengan las mismas intensidades de pico, y se ha empleado el mismo valor para la tensión de polarización del inversor ($V_{INV} = 1.2V$). Se ha aplicado una tensión entre los terminales del dispositivo que varía linealmente con el tiempo, y se ha medido el consumo entre los instantes de tiempo correspondientes a las tensiones mínima y máxima ($0V$ y $1.2V$, respectivamente). Adicionalmente, se ha comparado el área ocupada por cada uno de los circuitos. Los resultados obtenidos para una intensidad de pico de $1310\mu A$ se muestran en la Tabla 3.2, donde puede observarse que la estructura con el inversor CMOS es más eficiente. De ahora en adelante, a las configuraciones mostradas en la Figura 3.4 las denotaremos como MOS-NDR tipo A.

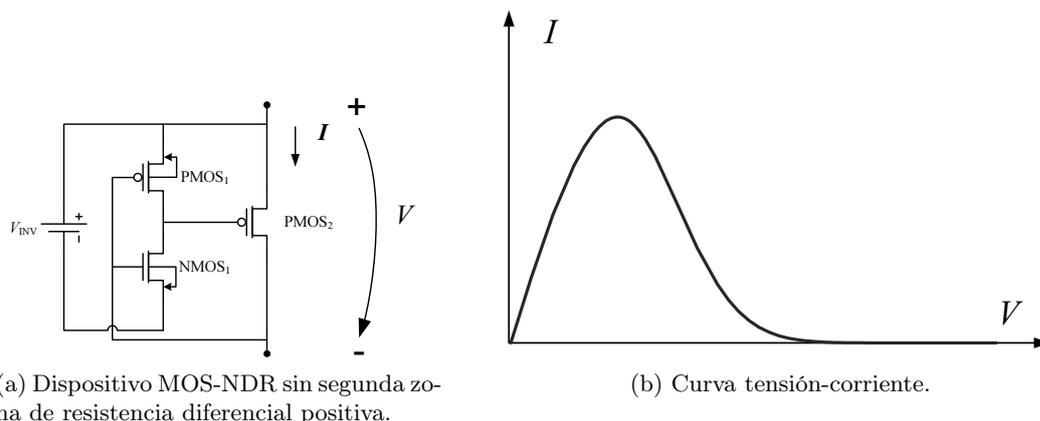


Figura 3.5: Dispositivo MOS-NDR con configuración tipo B.

Circuito alternativo para el dispositivo MOS-NDR

La Figura 3.5a muestra una topología alternativa del dispositivo MOS-NDR, que llamaremos tipo B. Es bastante parecida a la estudiada en el apartado anterior, pero, en este caso, el transistor NMOS que modula la intensidad de pico, $NMOS_2$, se ha sustituido por un PMOS ($PMOS_2$). Al igual que en el tipo A, el sustrato del transistor $NMOS_1$ está conectado al terminal negativo de V_{INV} y el de $PMOS_1$ lo está al positivo. En esta configuración, la entrada del inversor es el terminal inferior del dispositivo, a diferencia del circuito tipo A en el que está conectada al superior.

Para comprender el funcionamiento de esta estructura, supongamos que aplicamos una tensión constante, V_{DC} , al terminal superior del MOS-NDR y una tensión V^- , cuyo valor máximo es V_{DC} , en el inferior. Para valores altos de V^- , la tensión que aparece en la puerta de $PMOS_2$ (la salida del inversor CMOS) está a nivel bajo, provocando que dicho transistor empiece a conducir. La tensión que aparece entre la puerta y la fuente de $PMOS_1$ irá aumentando conforme se reduzca V^- , hasta que la salida del inversor pase a nivel alto, el transistor $PMOS_2$ quede cortado y, por tanto, deje de circular intensidad por el MOS-NDR. La representación tensión-corriente para dicho dispositivo se muestra en la Figura 3.5b.

La segunda zona de resistencia diferencial positiva se añade colocando ahora un transistor NMOS, $NMOS_2$, actuando como diodo en paralelo con $PMOS_2$, como muestra la Figura 3.6a. La curva $I-V$ resultante se obtiene a partir de la suma de las intensidades del MOS-NDR sin segunda zona PDR y la intensidad del transistor NMOS que funciona como diodo (Figura 3.6b).

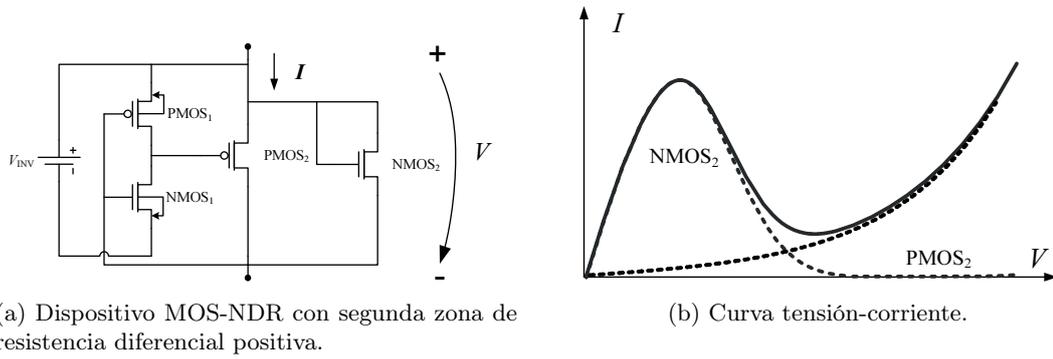


Figura 3.6: Dispositivo MOS-NDR tipo B con segunda zona de resistencia diferencial positiva.

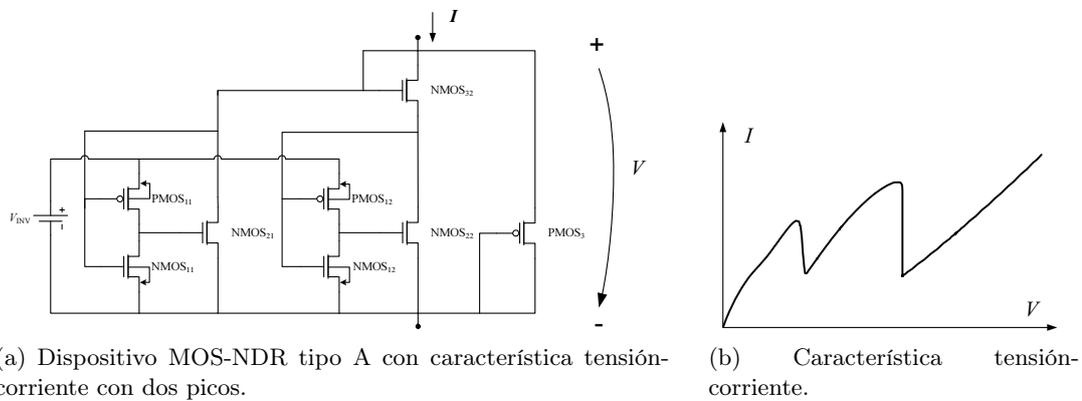


Figura 3.7: Estructura MOS-NDR tipo A con característica tensión-corriente de dos picos.

3.1.2 Estructuras MOS-NDR de más de un pico

Una manera de obtener una característica multipico consiste en superponer las de varios dispositivos MOS-NDR desplazadas en tensión. La Figura 3.7a muestra la obtención de una característica de dos picos (Figura 3.7b) a partir del paralelo de dos monopicos NDR_1 (transistores $NMOS_{11}$, $NMOS_{21}$ y $PMOS_{11}$) y NDR_2 (transistores $NMOS_{12}$, $NMOS_{22}$, $NMOS_{32}$ y $PMOS_{12}$). El transistor $NMOS_{32}$ actúa como diodo y desplaza en tensión la característica del segundo NDR. El ancho del transistor $NMOS_{32}$ determina dicho desplazamiento. La característica conjunta se obtiene mediante una simple suma de ambas, como se ilustra en la Figura 3.8.

Del mismo modo que para las estructuras de un pico, se pueden conseguir estructuras MOS-NDR multipico tipo B, como se muestra en la Figura 3.9. En general, la configuración de varios dispositivos MOS-NDR en paralelo permite obtener características con un

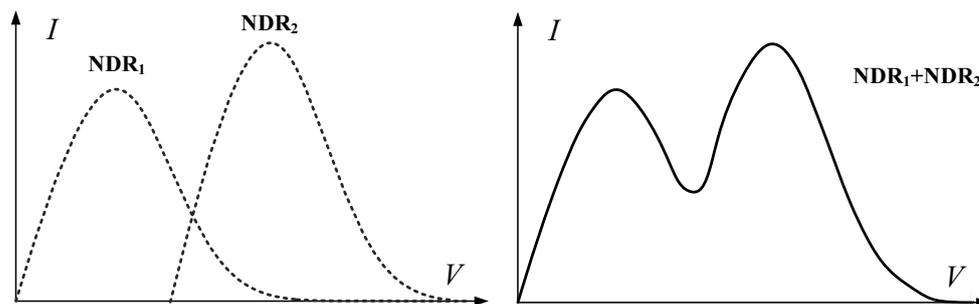


Figura 3.8: Obtención de la característica I - V de un dispositivo MOS-NDR de dos picos.

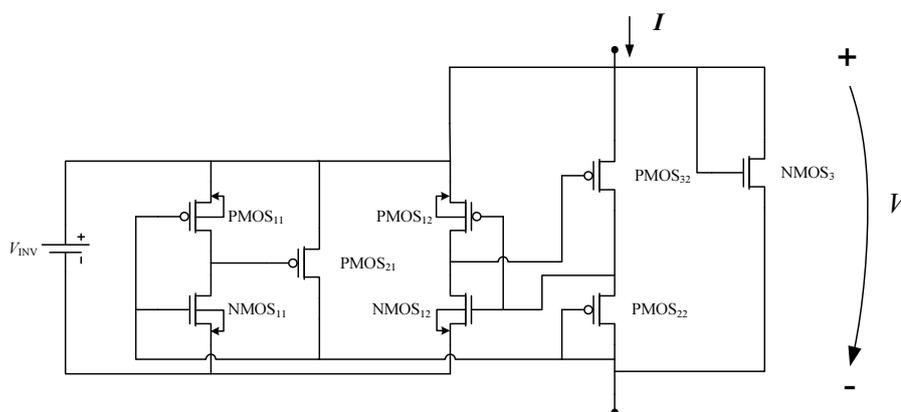


Figura 3.9: Estructura MOS-NDR tipo B con característica tensión-corriente de dos picos.

número arbitrario de picos.

3.2 Dimensionamiento de la estructura MOS-NDR

En esta sección se dimensiona la estructura MOS-NDR para que la característica tensión-corriente obtenida se ajuste a la requerida. Analizaremos la influencia que los tamaños de los transistores tienen en los parámetros que definen la curva I - V de un pico, y luego extenderemos dicho análisis al dispositivo MOS-NDR multipico. Se han utilizado estructuras MOS-NDR tipo A, aunque el análisis es análogo para el tipo B.

3.2.1 Dimensionamiento en la estructura MOS-NDR de un pico

Eligiendo convenientemente los tamaños de los transistores que forman el dispositivo MOS-NDR se obtiene una característica tensión-corriente con los valores de las tensiones e intensidades de pico y valle deseadas.

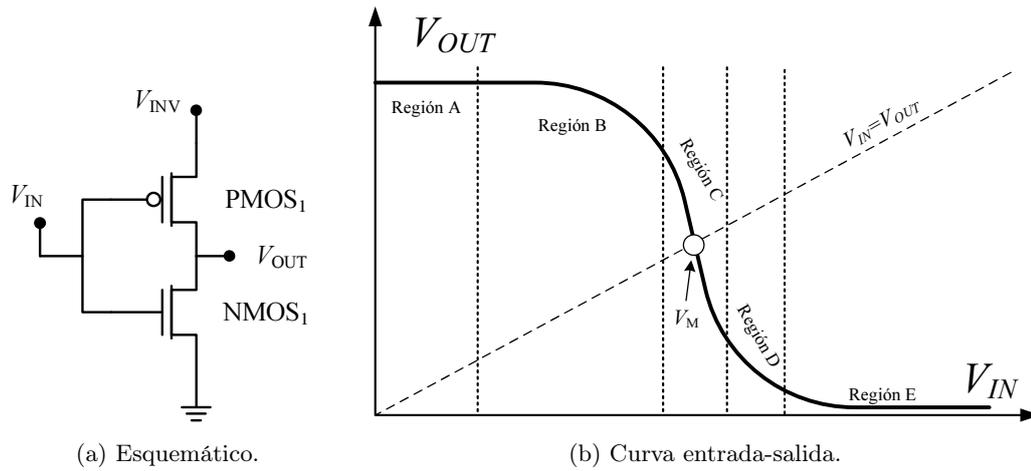


Figura 3.10: Inversor CMOS.

Modelado de V_P

La tensión de pico está ligada estrechamente a la región C de la característica entrada-salida del inversor CMOS del dispositivo MOS-NDR. En la Figura 3.10b se muestra la característica entrada-salida de un inversor CMOS, que se divide en cinco regiones en función del estado de los transistores (ver Tabla 3.3). Modelando idealmente la característica entrada-salida del inversor, la región C tiene pendiente infinita y la transición ocurre para un valor de la tensión de entrada, V_M , dada por [99]:

$$V_M = \frac{V_{TN} + r \cdot (V_{INV} + V_{TP})}{1 + r} \quad (3.1)$$

siendo $r = \sqrt{(\mu_P W_P L_N) / (\mu_N W_N L_P)}$ y V_{TN} y V_{TP} las tensiones umbral de los transistores NMOS y PMOS, respectivamente. Para la tecnología de $130nm$ empleada, V_M crece al aumentar el cociente $(W_P L_N) / (W_N L_P)$. En nuestros diseños hemos considerado que, en general, la longitud de canal de los NMOS y PMOS es la misma, por lo que el cociente queda reducido a la relación entre sus anchos. Hemos contrastado por simulación (para la tecnología comercial de $130nm$ con la que trabajamos) que, efectivamente, la tensión de pico del MOS-NDR está muy próxima a la tensión de conmutación del inversor, V_M .

La Figura 3.11a muestra de forma cualitativa cómo evoluciona la curva I - V del dispositivo MOS-NDR frente a variaciones de W_N / W_P . Mientras mayor sea V_M , mayor tensión e intensidad de pico. Por otro lado, de acuerdo con la expresión 3.1, V_M aumenta con V_{INV} y, por tanto, lo hace la tensión de pico, como se muestra en la Figura 3.11c.

Zona	NMOS	PMOS
A	OFF	LIN
B	SAT	LIN
C	SAT	SAT
D	LIN	SAT
E	LIN	OFF

Tabla 3.3: Regiones de funcionamiento de los transistores NMOS y PMOS del inversor CMOS.

Modelado de I_P

La intensidad de pico, I_P , viene determinada, en primer lugar, por el tamaño del transistor $NMOS_2$, de forma que aumentándolo conseguiremos incrementar proporcionalmente I_P . En segundo lugar, depende de la tensión de alimentación del inversor, V_{INV} . A medida que dicha tensión se incrementa, lo hace la tensión puerta-fuente del transistor $NMOS_2$ y, por consiguiente, aumenta la intensidad que circula por el mismo. Finalmente, el dimensionamiento del inversor CMOS influye, también, en la intensidad de pico. Una diferencia fundamental entre estos procesos de modificación de la intensidad de pico es que, mientras que el primero no provoca variaciones en la tensión de pico, en los otros dos sí se da un leve desplazamiento de la misma. Estos efectos se muestran en las Figuras 3.11b, 3.11c y 3.11a, respectivamente.

Modelado de V_V , I_V y de la segunda zona de resistencia diferencial positiva

A diferencia de lo que ocurre con la tensión e intensidad de pico, es más difícil obtener variaciones sustanciales en la tensión e intensidad de valle. En el caso de que el dispositivo MOS-NDR cuente con zona III, se puede aumentar su pendiente incrementando el tamaño del transistor $PMOS_2$, como se muestra en la Figura 3.11d.

3.2.2 Dimensionamiento en la estructura MOS-NDR múltiplo

Como vimos en el apartado 3.1.2, los circuitos MOS-NDR múltiplo se obtienen por superposición de las contribuciones de corriente de la conexión en paralelo de varios dispositivos MOS-NDR de un pico con curvas $I-V$ desplazadas en tensión.

Como se observa en la Figura 3.12, mientras mayor sea el ancho de W_{NMOS32} , menor será el desplazamiento de la tensión de pico. Nótese que a medida que se disminuye el desplazamiento, la primera intensidad de pico aumenta debido a la contribución de

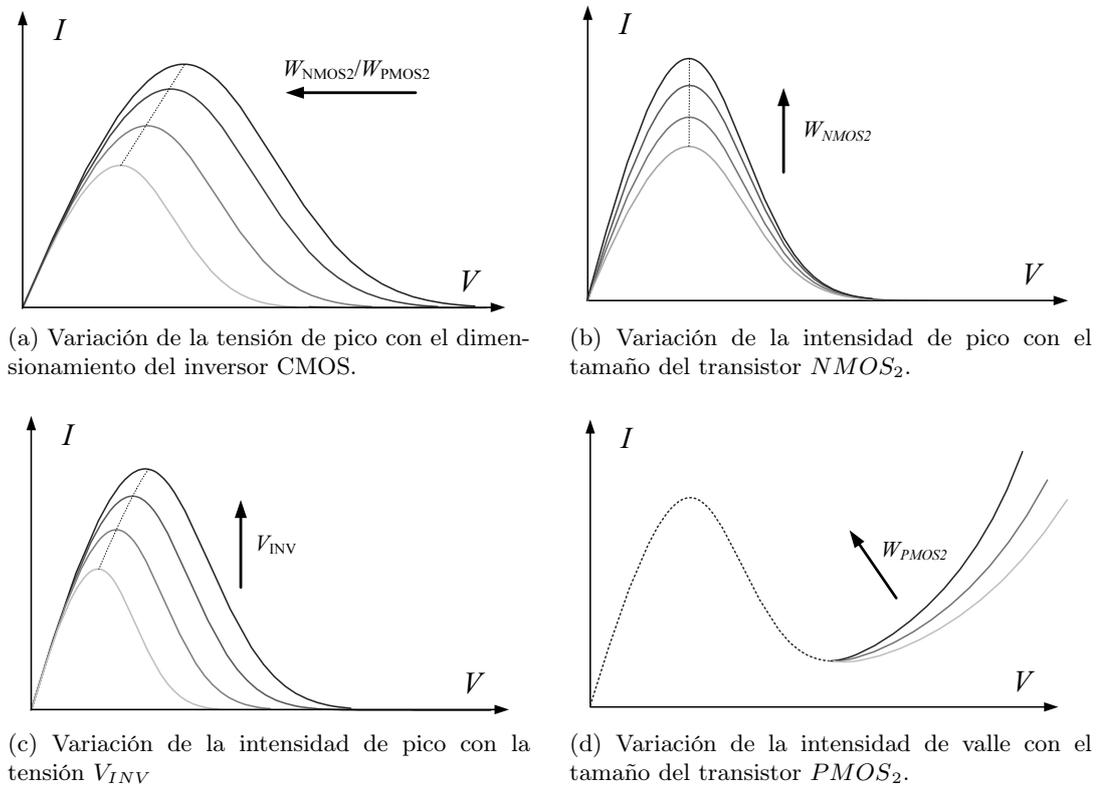


Figura 3.11: Modificación de parámetros de la curva I - V del dispositivo MOS-NDR.

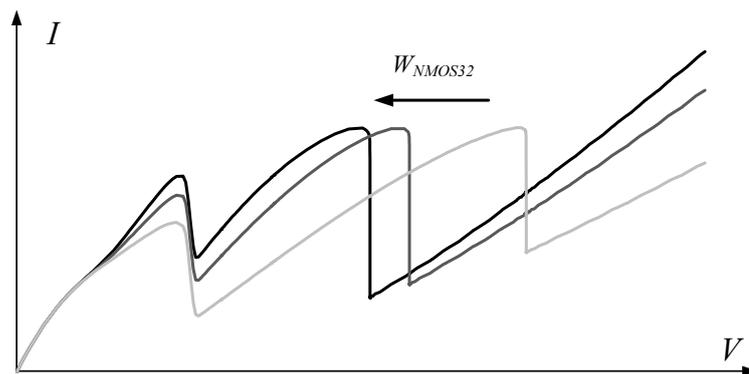


Figura 3.12: Variación de la posición de la segunda tensión de pico en función del tamaño del transistor $NMOS_{32}$.

la zona I del MOS-NDR con característica desplazada. El valor de este parámetro es especialmente importante dado que picos muy separados provocarían que la característica $I-V$ conjunta necesite tensiones excesivamente altas para alcanzar la última zona de resistencia diferencial positiva y, por tanto, que la tensión de alimentación máxima sea también elevada y que el consumo crezca enormemente. Tampoco es deseable que las tensiones del segundo pico y de los sucesivos se hagan excesivamente pequeñas dado que, en ese caso, obtendríamos características tensión-corriente con intensidades de valle demasiado altas que podrían provocar problemas de multiestabilidad en nuestros diseños.

3.3 Validación del principio de operación MOBILE y MML

En esta sección se validan las estructuras MOBILE y MML empleando los dispositivos MOS-NDR descritos en una tecnología comercial de $130nm$. En lo que sigue, consideraremos que las tensiones V_{DC} y V_{INV} son de $1.2V$, valor típico de la tecnología empleada.

3.3.1 MOBILE

La Figura 3.13a muestra el circuito empleado para validar el principio de operación MOBILE a partir de dispositivos MOS-NDR tipo A sin segunda zona de resistencia diferencial negativa. Se trata de una estructura MOBILE que evalúa con el flanco ascendente de V_{CK} . En el Apartado 3.2.1 se estableció que la intensidad de pico de un dispositivo MOS-NDR depende del dimensionamiento del inversor (Figura 3.11a), del tamaño del transistor conectado a su salida (Figura 3.11b) y del valor de la tensión de alimentación V_{INV} (Figura 3.11c). Por tanto, si consideramos que las tensiones V_{INV} y los tamaños de los inversores CMOS de ambos dispositivos MOS-NDR son iguales, el nivel lógico de la salida vendrá dado por la relación existente entre los tamaños de los mencionados transistores del *driver* y de la carga. Esto es, cuando el transistor $NMOS_2$ del *driver* sea mayor que el de la carga, la salida tomará un nivel bajo y, en caso contrario, alto. La Figura 3.13b muestra transitorios de HSPICE de un circuito dimensionado para dar una salida a nivel alto (bajo, con el dimensionamiento entre paréntesis). Los niveles lógicos de la salida son los valores máximo y mínimo de V_{CK} , a diferencia de lo que ocurre en circuitos con RTDs, donde dicha correspondencia no es posible debido a la segunda zona de resistencia diferencial positiva.

El esquema de un MOBILE empleando dispositivos MOS-NDR tipo B que evalúa con la bajada de V_{CK} se muestra en la Figura 3.14a. La salida del circuito es monoestable cuando la tensión de reloj está a nivel alto; toma un nivel lógico alto cuando la intensidad de pico

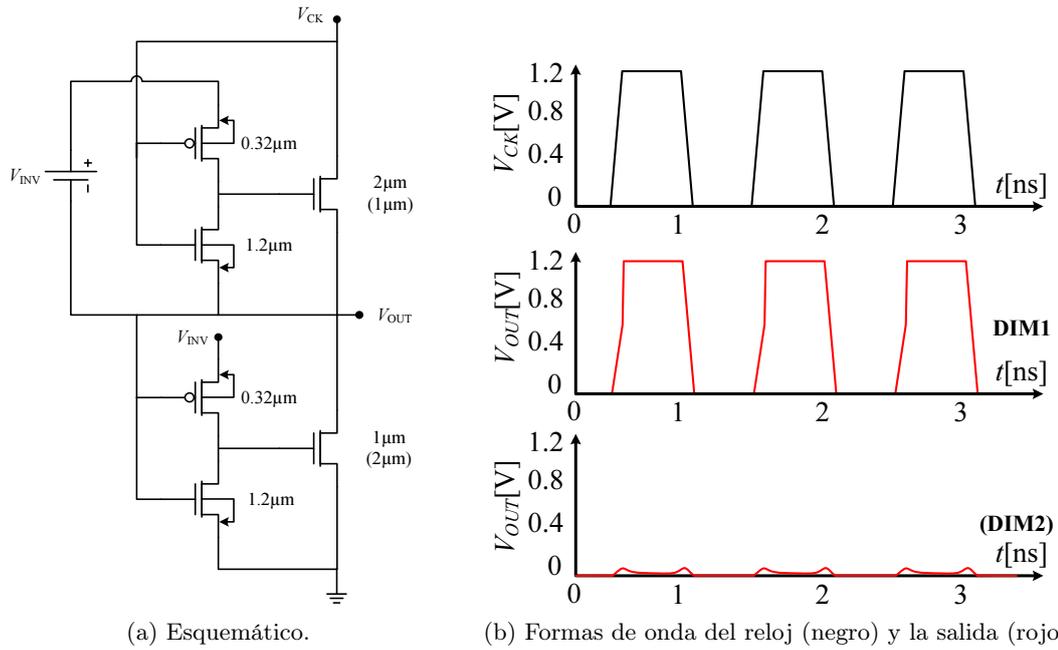


Figura 3.13: MOBILE activo por flanco de subida empleando dispositivos MOS-NDR tipo A.

del NDR *load* es mayor que la del *driver* y bajo en caso contrario. En la Figura 3.14b se representan ambas situaciones en función de los tamaños asignados a los transistores.

Se ha validado por simulación el que ambos esquemas de polarización (flanco ascendente o descendente de reloj) puedan emplearse indistintamente en la realización de circuitos MOBILE usando dispositivos MOS-NDR tipo A o tipo B.

3.3.2 MML

Al igual que en el caso del MOBILE, el principio de operación MML se puede implementar también empleando dispositivos MOS-NDR. Existen dos opciones para realizar estas estructuras. Una primera se basa en la conexión en serie de dispositivos MOS-NDR. La segunda consiste en conectar en serie dos dispositivos MOS-NDR multiplico. Como veremos más adelante, la primera opción se descartará por razones de viabilidad de su implementación física. Así, en su versión más simple, el MML está formado por la conexión en serie de dos circuitos MOS-NDR de dos picos alimentado por una tensión que oscila entre sus valores mínimo, V_{CK}^L , y máximo, V_{CK}^H . En este caso, la salida del circuito puede tomar tres valores lógicos, '0', '1' y '2' en función de la relación existente entre las intensidades de pico de los dispositivos MOS-NDR. La Figura 3.15a muestra un circuito

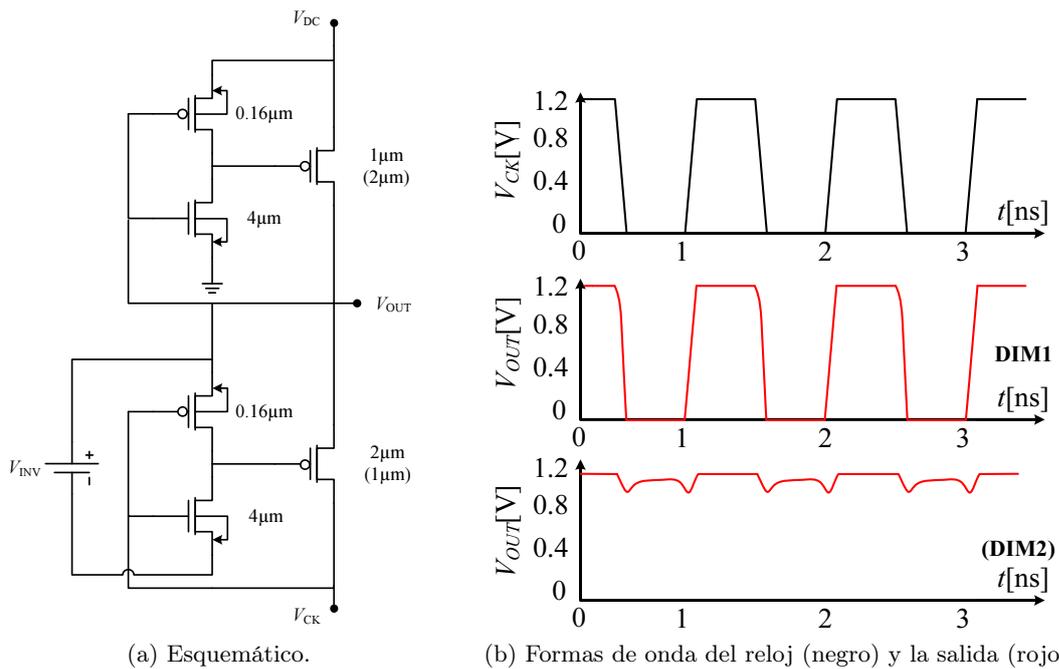


Figura 3.14: MOBILE activo por flanco de bajada empleando dispositivos MOS-NDR tipo B.

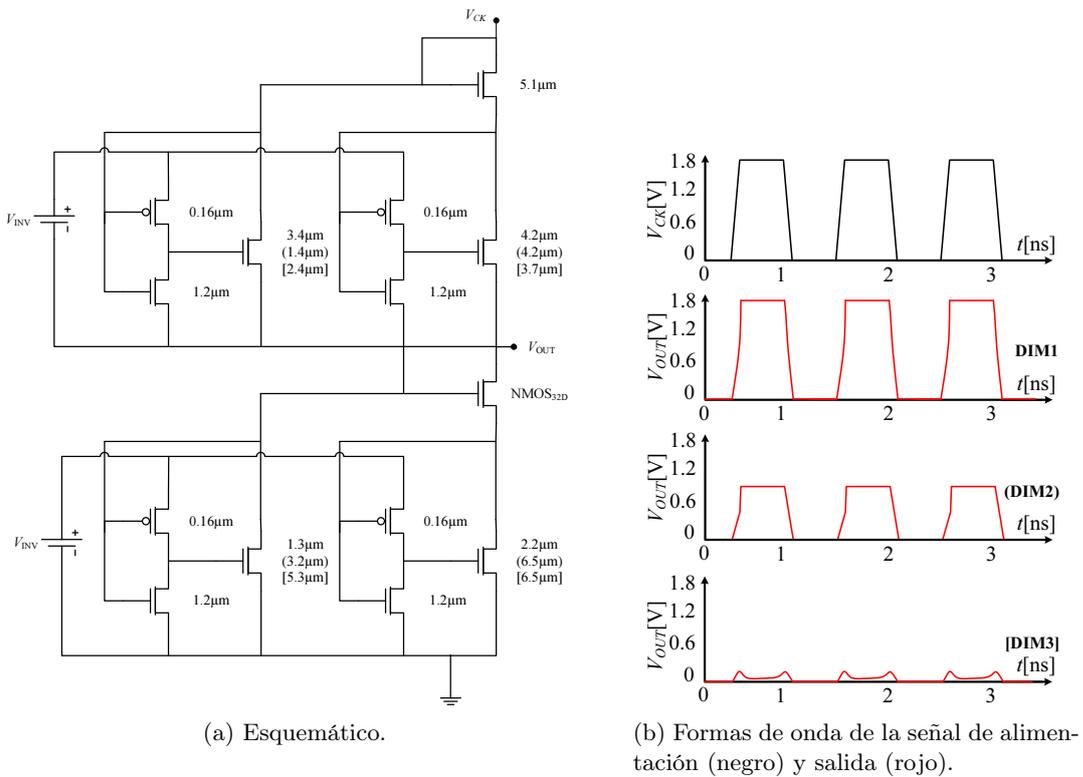


Figura 3.15: Circuito MML basado en el dispositivo MOS-NDR.

MML con tres alternativas de dimensionamiento y en la Figura 3.15b se representan las formas de onda de las tensiones de alimentación (negro) y la salida (rojo) del circuito MML atendiendo a los tamaños de transistor propuestos.

3.4 Consideraciones para la integración de circuitos MOS-NDR

En esta sección se discuten las dificultades de la integración de las estructuras estudiadas hasta el momento y se aportan soluciones para solventarlas.

En las configuraciones MOBILE y MML descritas anteriormente, se han utilizado fuentes flotantes. Así por ejemplo, en la configuración MOBILE empleando dispositivos MOS-NDR tipo A descrita en el Apartado 3.3.1, la tensión V_{INV} del *load* se aplica, de forma ideal, entre sus terminales, como muestra la Figura 3.13a. En los circuitos MOBILE que emplean el MOS-NDR tipo B ocurre algo similar, si bien ahora es el *driver* el que requiere la fuente flotante. Estas realizaciones pueden presentar dificultades de integración a causa de la mencionada fuente flotante.

En la descripción de los dispositivos MOS-NDR tipos A y B (Apartado 3.1.1) vimos que los sustratos de los transistores del inversor CMOS no están colocados de forma convencional (el del transistor NMOS a tierra y el del PMOS a la tensión de polarización), lo que permite que las características $I-V$ obtenidas sólo dependan de la diferencia de tensión entre sus terminales. Esta disposición no es eficiente a efectos prácticos, por lo que para la integración de los circuitos se han de disponer de manera convencional.

La Figura 3.16 muestra las topologías que proponemos para los MOBILE activos por flanco de subida (a) y por flanco de bajada (b) que no presentan las dificultades que acabamos de reseñar. Estas nuevas configuraciones presentan limitaciones en la operación del MOS-NDR del *load* para el flanco ascendente y del *driver* en la descendente, que a continuación analizamos, explicando las modificaciones que se producen en sus características $I-V$. Estas desviaciones se traducen en que aquellos MOBILE implementados con MOS-NDR tipo A sólo pueden ser activos por flanco de subida de reloj, mientras que los realizados con tipo B se activan por flanco de bajada, así como en la necesidad de revisar los criterios de dimensionamiento.

3.4.1 Desviaciones en la característica $I-V$

En la configuración ideal del MOBILE tipo A disparada por flanco de subida (Figura 3.13a), la salida del inversor CMOS del MOS-NDR del *load* toma valores comprendidos

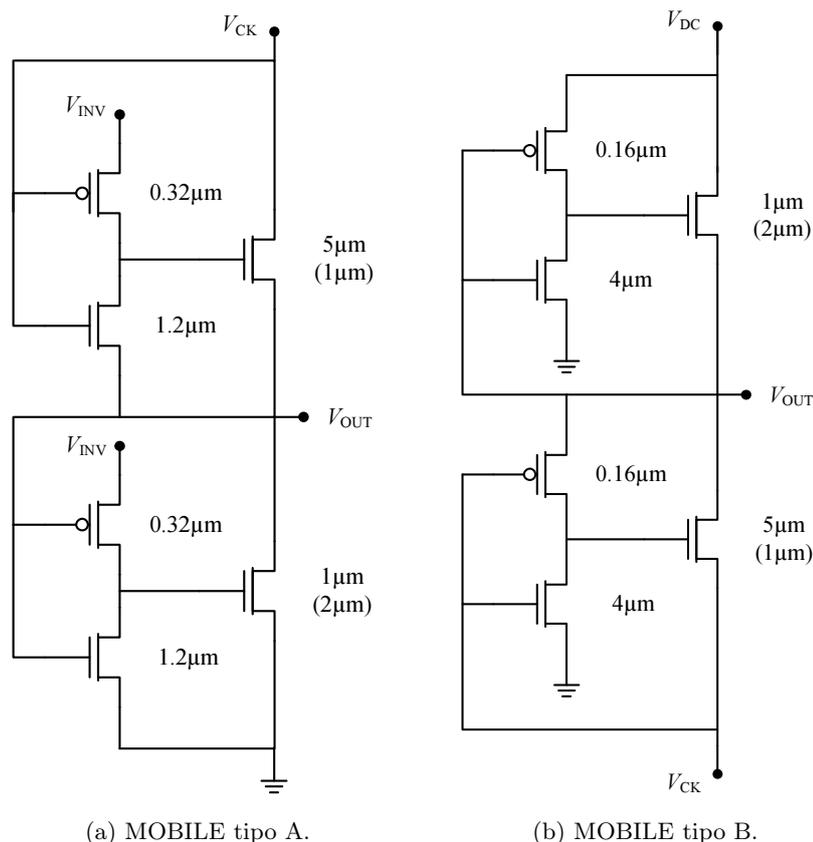


Figura 3.16: Circuitos MOBILE tipo A y B sin fuentes flotantes.

entre un valor mínimo, que se corresponde con la tensión de salida, V_{OUT} , y un valor máximo igual a la tensión de salida más la tensión V_{INV} . Por lo tanto, la tensión puerta-fuente del transistor $NMOS_2$ del *load* es V_{INV} cuando el inversor proporciona un valor lógico alto, y cero en caso contrario. Al colocar la fuente de alimentación del inversor CMOS a tierra (Figura 3.16a) se produce una reducción de la caída de tensión entre la puerta y la fuente del transistor $NMOS_2$ del *load* con respecto al caso ideal. Para ilustrar este efecto supongamos un inversor CMOS alimentado por una tensión V_{INV} y con otra, V_{OFFSET} , conectada a la fuente del transistor NMOS (Figura 3.17a). Esta tensión simula el efecto de la salida del circuito MOBILE sobre el inversor (ver Figura 3.16a). La Figura 3.17b muestra cómo se modifica la característica entrada-salida del inversor con V_{OFFSET} . Se observa que conforme esta tensión aumenta, la caída desde el nivel lógico alto al bajo se produce para valores más altos de la tensión de entrada y la separación entre el nivel alto (V_{INV}) y bajo (V_{OFFSET}) se reduce. Por lo tanto, la tensión entre la puerta y la fuente del transistor $NMOS_2$ del *load* toma valores comprendidos entre $V_{INV} - V_{OFFSET}$ y cero. Si

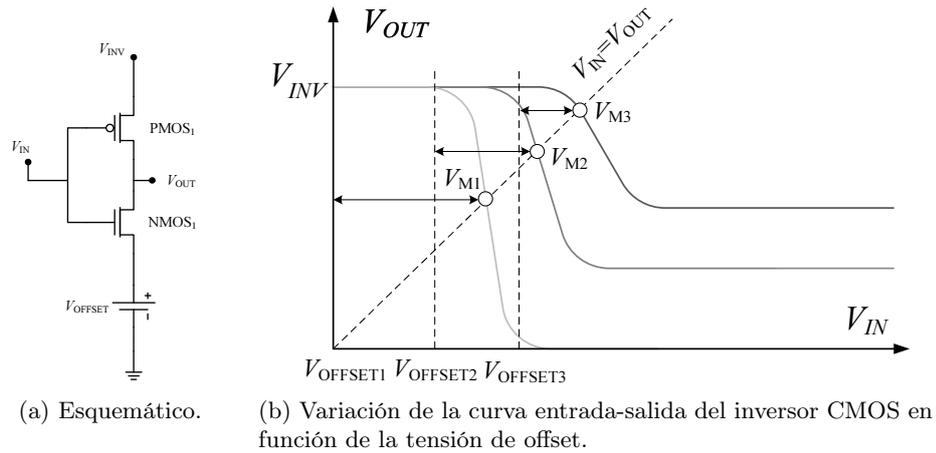


Figura 3.17: Funcionamiento del inversor CMOS con fuente de offset.

comparamos estos resultados con los del caso ideal, se observa que la tensión máxima se ve reducida notablemente por efecto de la tensión V_{OFFSET} . Esto será más significativo cuanto mayor sea el valor de tensión en el nodo de salida del MOBILE, pudiendo incluso provocar que el transistor $NMOS_2$ del *load* se corte si $V_{INV} - V_{OFFSET}$ es menor que su tensión umbral. Esta reducción de la tensión puerta-fuente conlleva una reducción de la intensidad que circula por el transistor $NMOS_2$ del *load*, provocando que la característica $I-V$ resultante difiera de la ideal.

La Figura 3.18b muestra dicha curva para un dispositivo MOS-NDR con fuente de alimentación flotante (circuito ideal mostrado en la Figura 3.18a) para diferentes valores de la tensión de offset, V_{OFFSET} . El único efecto observable es un desplazamiento del inicio de la curva, permaneciendo constantes las tensiones e intensidades de pico. Para el dispositivo sin fuente flotante (circuito de la Figura 3.18c) el resultado es diferente, como muestra la Figura 3.18d. Se observa una progresiva disminución de la intensidad de pico a medida que aumentamos V_{OFFSET} como consecuencia de la reducción de la tensión puerta-fuente en el transistor $NMOS_2$. Como vimos en el Apartado 3.2.1, la tensión de pico está ligada a la tensión de conmutación, V_M , del inversor CMOS. En la Figura 3.17b se observa que a medida que se aumenta la tensión de offset, la diferencia entre V_M y V_{OFFSET} , se va reduciendo y con ella, la tensión de pico del MOS-NDR. La Figura 3.19 muestra la curva tensión-corriente para un MOS-NDR no ideal y diferentes valores de V_{OFFSET} empleando la tecnología de $130nm$. En el MOBILE tipo B se observan los mismos efectos descritos anteriormente si se suprime la fuente flotante en el MOS-NDR del *driver*.

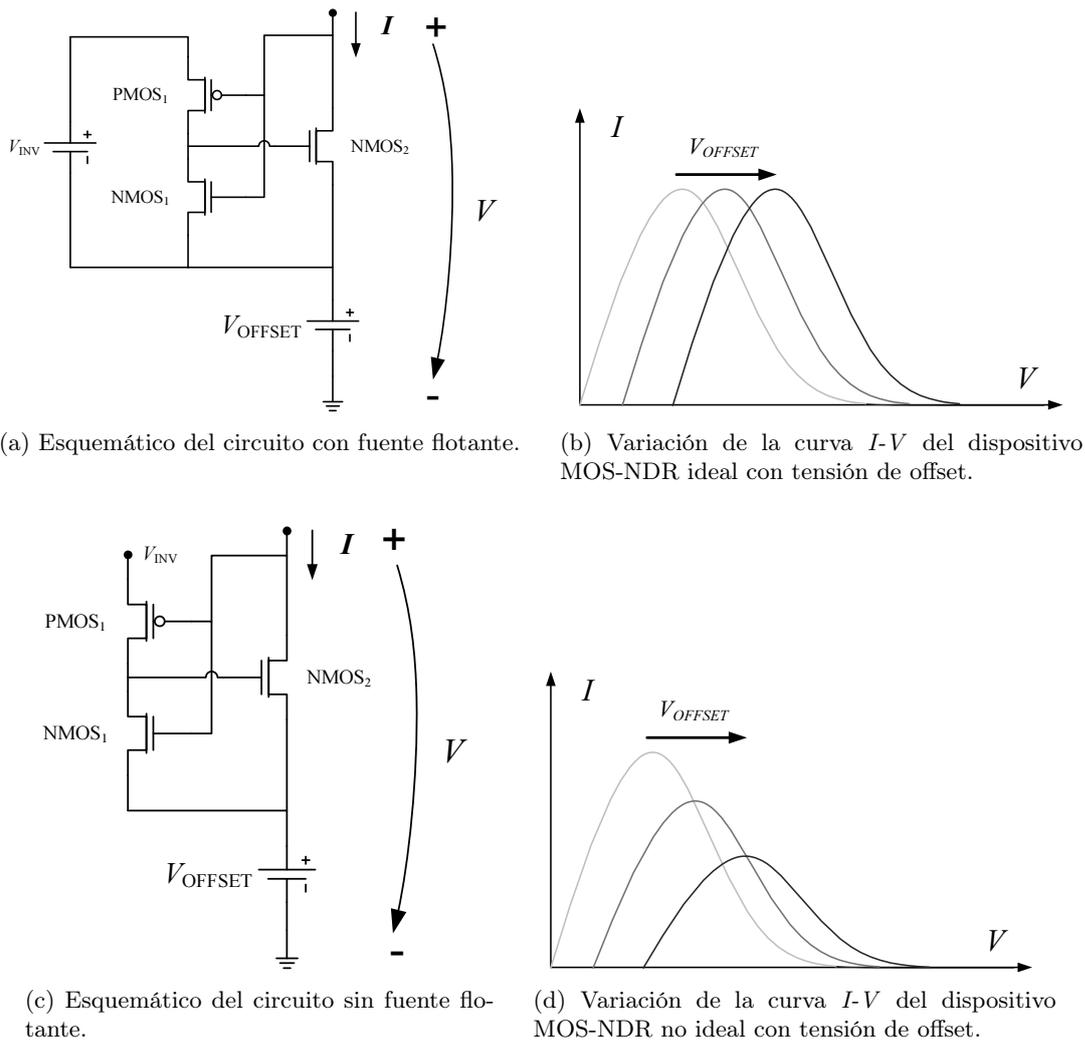


Figura 3.18: Efecto de la tensión de offset en la curva I - V del dispositivo $MOS - NDR_{LOAD}$.

3.4.2 Dimensionamiento de circuitos MOBILE no ideales

En los MOBILE tipos A y B implementados con fuentes flotantes o ideales (Apartado 3.3.1) el nivel lógico de la salida depende de que el transistor $NMOS_2$ del MOS-NDR *driver* sea mayor o menor que el del *load*. Para las topologías no ideales propuestas en esta sección, esto no es cierto. Las desviaciones que exhibe la característica I - V del MOS-NDR del *load* (MOS-NDR del *driver*) en el MOBILE tipo A (B) requieren un criterio de diseño diferente. Puesto que las intensidades de pico se reducen respecto a las ideales, las dimensiones del transistor $NMOS_2$ del *load* en el MOBILE tipo A ($NMOS_2$ del *driver* en el MOBILE tipo B) deben incrementarse para compensar dicha reducción. A continuación

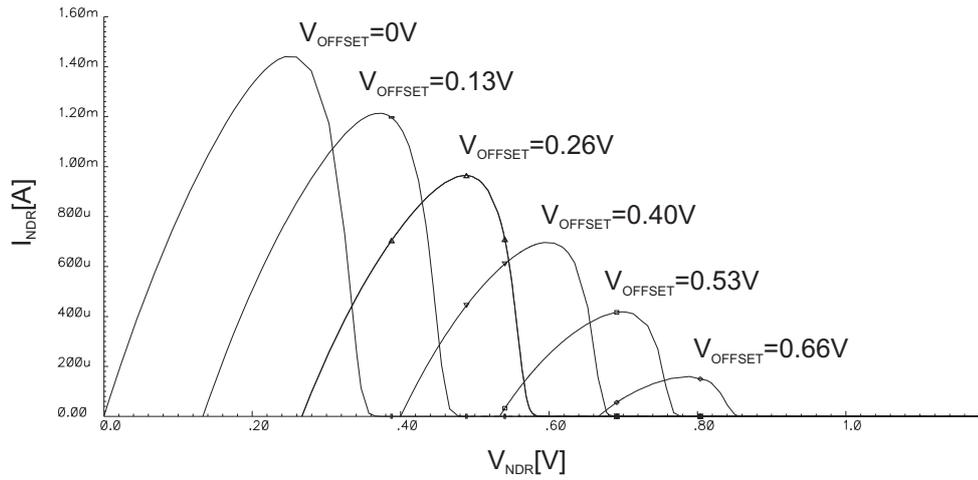


Figura 3.19: Familia de curvas $I_{NDR} - V_{NDR}$ para diferentes valores de V_{OFFSET} con la tecnología UMC 130nm.

obtendremos una aproximación a la relación que los tamaños de los transistores $NMOS_2$ del *driver* y *load* deben satisfacer para garantizar que sus intensidades de pico sean iguales. Como ya se estableció al describir la operación del MOBILE, el nivel lógico de salida se decide cuando la tensión de reloj es aproximadamente igual a dos veces la tensión de pico, cayendo V_P en cada MOS-NDR. Por tanto, podemos suponer que ambos transistores están operando en zona lineal y sus intensidades son:

$$I_{NMOS2L} = \left(\frac{KW}{L}\right)_{LOAD} (V_{INV,LOAD} - V_{OUT} - V_{TN} - \frac{V_{CK} - V_{OUT}}{2})(V_{CK} - V_{OUT}) \quad (3.2)$$

$$I_{NMOS2D} = \left(\frac{KW}{L}\right)_{DRIVER} (V_{INV,DRIVER} - V_{TN} - \frac{V_{OUT}}{2})V_{OUT} \quad (3.3)$$

Asumiendo que $V_{CK} = 2V_P$, $V_{OUT} = V_P$, e igualando las expresiones anteriores, se llega a que:

$$\frac{\left(\frac{W}{L}\right)_{LOAD}}{\left(\frac{W}{L}\right)_{DRIVER}} = \frac{V_{INV,DRIVER} - V_{TN} - V_P/2}{V_{INV,LOAD} - V_{TN} - 3V_P/2} \quad (3.4)$$

Es decir, que para que ambos NDRs tengan la misma intensidad de pico, el cociente W/L del transistor $NMOS_2$ del MOS-NDR *load* ha de ser mayor que el del *driver*, si se cumple que $V_{INV,LOAD} = V_{INV,DRIVER}$. La otra alternativa para igualar ambas corrientes de pico consistiría en variar las tensiones de alimentación de los inversores, en cuyo caso

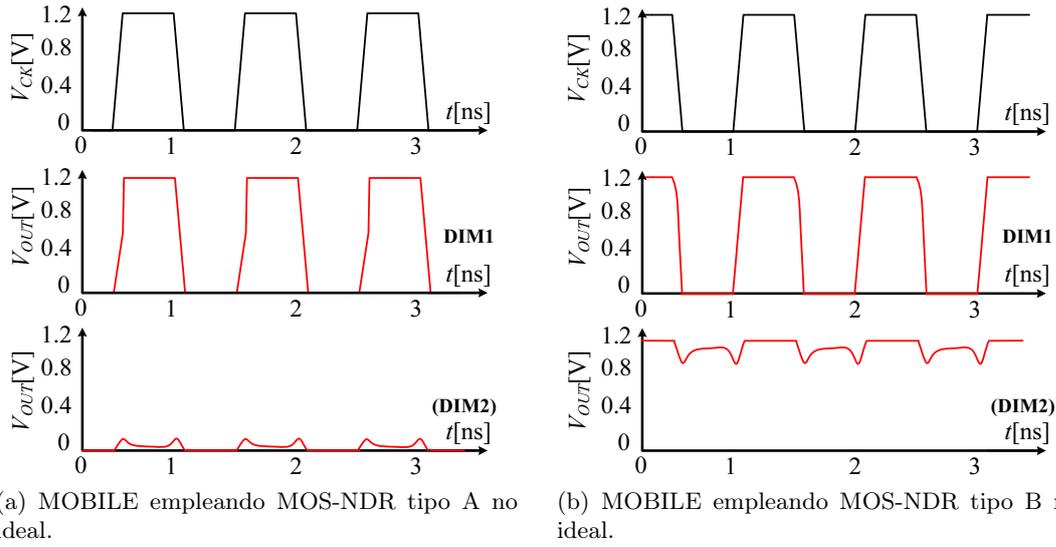


Figura 3.20: Formas de onda del reloj (negro) y la salida (rojo) para el MOBILE con fuentes V_{INV} a tierra.

podríamos hacer que ambos transistores fueran iguales en dimensiones si forzamos que $V_{INV,LOAD} = V_{INV,DRIVER} + V_P$.

En la Figura 3.20 se representan las formas de onda de la tensión de reloj y salida de los circuitos MOBILE tipos A y B con los dimensionamientos propuestos en las Figuras 3.16a y 3.16b. En el circuito MOBILE tipo A se observa que el tamaño asignado al transistor $NMOS_{2L}$ es mayor que en el circuito ideal de la Figura 3.13a. Lo mismo ocurre con el MOBILE tipo B, si bien en este caso es el transistor $NMOS_{2D}$ el que se hace mayor.

3.5 Dispositivo MOS-NDR programable

Partiendo del dispositivo MOS-NDR tipo A descrito anteriormente, hemos diseñado y fabricado un MOS-NDR con característica tensión-corriente monopico programable. La Figura 3.21a muestra su esquemático. Mediante dos tensiones de control es posible modificar la intensidad de pico y añadirle la segunda zona de resistencia diferencial positiva. Los transistores $NMOS_3$ y $NMOS_{S1}$, permiten modificar la intensidad de pico. Este último opera como un conmutador controlado por la tensión V_{S1} aplicada al terminal $PROG_1$. Si esta tensión es lo suficientemente alta como para habilitar a $NMOS_{S1}$, I_P se incrementará.

La segunda región PDR se obtiene a partir del transistor $PMOS_2$, que se activa mediante el transistor $NMOS_{S2}$ a través del terminal $PROG_2$, por medio de la tensión

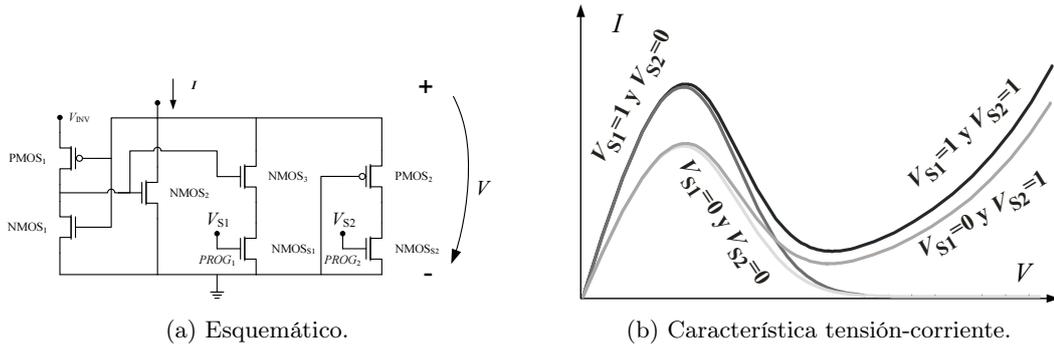


Figura 3.21: Dispositivo MOS-NDR programable tipo A.

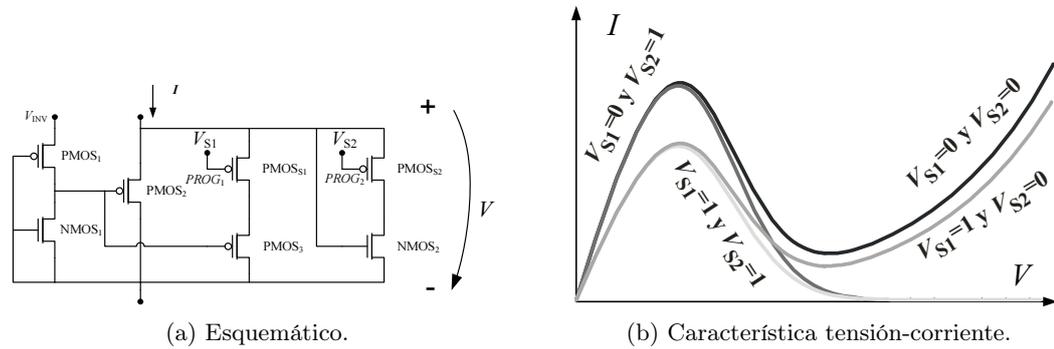


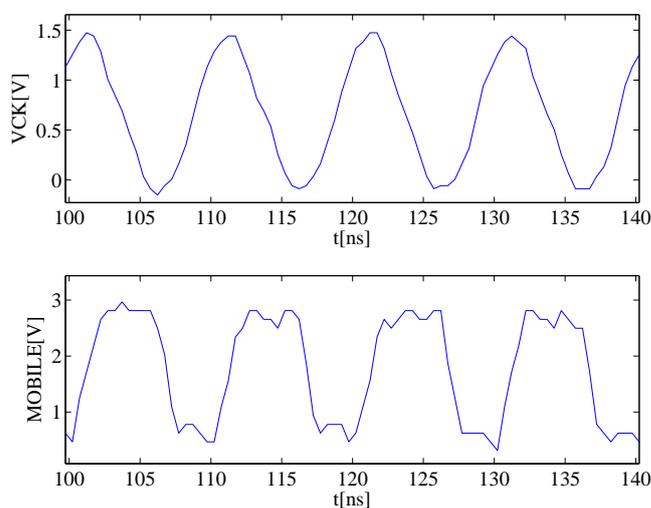
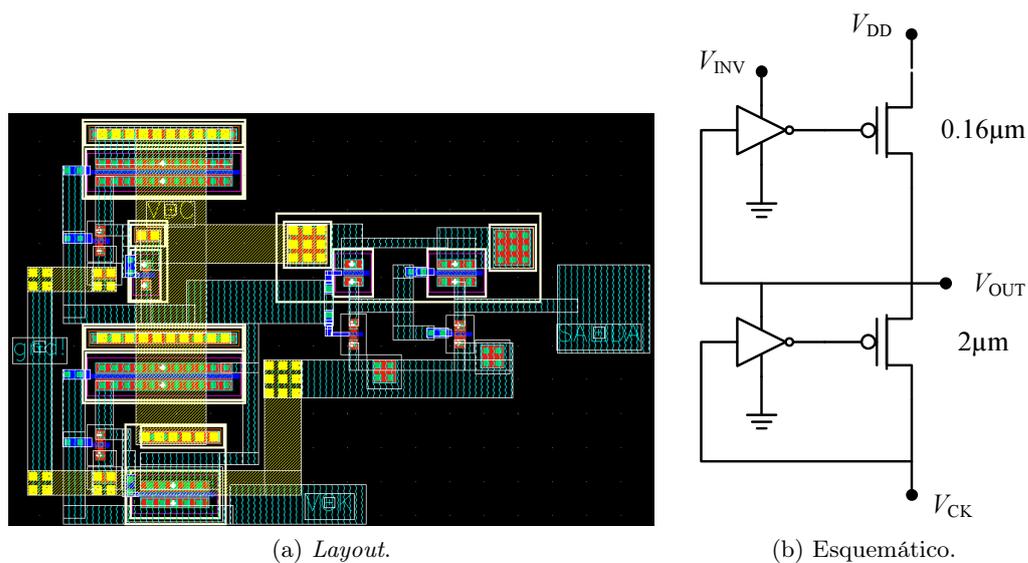
Figura 3.22: Dispositivo MOS-NDR programable tipo B.

de control V_{S2} . La Figura 3.21b muestra su característica $I-V$, donde se pone de manifiesto la programación de la intensidad de pico y de la segunda zona de resistencia diferencial positiva.

La realización del dispositivo MOS-NDR basado en el MOS-NDR tipo B se muestra en la Figura 3.22a. La programación se realiza, en este caso, a través de transistores PMOS: $PMOS_{S1}$ controla la intensidad de pico y $PMOS_{S2}$ activa el transistor que modula la segunda zona de resistencia diferencial positiva. Las curvas tensión-corriente resultantes mediante la activación de las tensiones de control V_{S1} y V_{S2} , se representan en la Figura 3.22b.

3.6 Resultados experimentales

En esta sección presentamos los resultados experimentales correspondientes a circuitos que se describen en este capítulo y que han sido fabricados. Concretamente, presentamos medidas de un circuito MOBILE activo por flanco descendente y del dispositivo MOS-NDR programable estudiado en el Apartado 3.5.



(c) Formas de onda correspondientes al reloj y a la salida.

Figura 3.23: MOBILE activo por flanco descendente tipo B. Resultados experimentales.

3.6.1 MOBILE activo por flanco descendente

En la Figura 3.23 mostramos los resultados experimentales correspondientes al MOBILE activo por flanco de bajada empleando dispositivos MOS-NDR tipo B. Este circuito fue implementado en el tercero de los chips fabricados (Apartado A.2.3 del Apéndice). Las Figuras 3.23a y 3.23b muestran el *layout* y el esquemático del circuito, respectivamente. Los anchos de los transistores PMOS y NMOS de los inversores se han fijado a $1.2\mu\text{m}$ y $4\mu\text{m}$, respectivamente. La intensidad de pico del *driver* es mayor que la del *load* y el circuito da lugar a una salida a nivel lógico bajo en los flancos de bajada del reloj. Esto

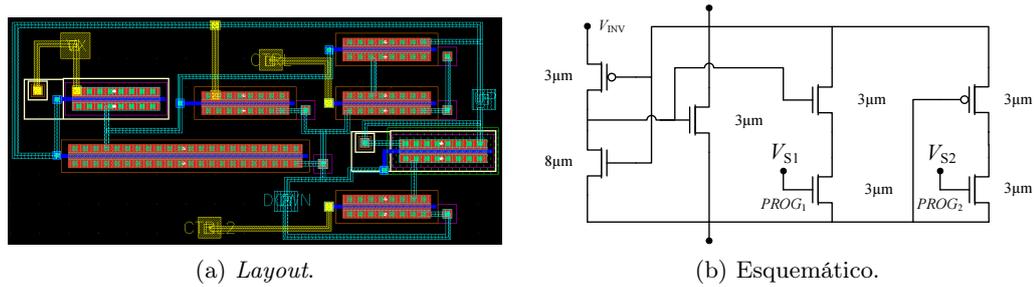


Figura 3.24: MOS-NDR programable tipo A. *Layout* y dimensionamiento.

se observa en la Figura 3.23c, donde se muestran las formas de onda correspondientes a un reloj sinusoidal operando a 100MHz (obtenida a partir del generador de señales Tektronix AFG3102) y la salida del circuito (medida con el osciloscopio Agilent DSO6104A InfiniiVision).

3.6.2 Dispositivo MOS-NDR programable

El dispositivo MOS-NDR forma parte del primero de los circuitos fabricados y medidos en esta tesis (Apartado A.2.1 del Apéndice). La Figura 3.24a muestra el *layout* del circuito fabricado de acuerdo con el dimensionamiento propuesto en la Figura 3.24b.

Descripción del *set-up* de medidas

1. Verificación de la programabilidad. Las Figuras 3.25a y 3.25b muestran la característica $I-V$ medida cuando las tensiones V_{S1} y V_{S2} están a nivel bajo (0V) y alto (1V), respectivamente. Estas medidas se han realizado empleando el analizador paramétrico de semiconductores HP4145A.
2. Variación del valor nominal de V_{INV} . Hemos querido poner de manifiesto cómo afecta el valor que tome la tensión de alimentación del inversor CMOS a la curva $I-V$ medida. En las Figuras 3.25c y 3.25d se muestran las curvas resultantes para tres valores de $V_{INV} = \{0.9V, 1V, 1.1V\}$. Como se puede comprobar, a medida que aumenta la tensión, se consiguen intensidades de pico mayores y variando del mismo modo la tensión de pico (como vimos en el Apartado 3.2.1).
3. Inclusión de una fuente de tensión entre el terminal inferior del dispositivo MOS-NDR y tierra. Mediante estas medidas verificamos de forma experimental lo descrito en el Apartado 3.4. En las Figuras 3.25e y 3.25f se muestran las familias de curvas resultantes cuando dicha tensión toma valores $V_{OFFSET} = \{0V, 0.1V, 0.2V\}$.

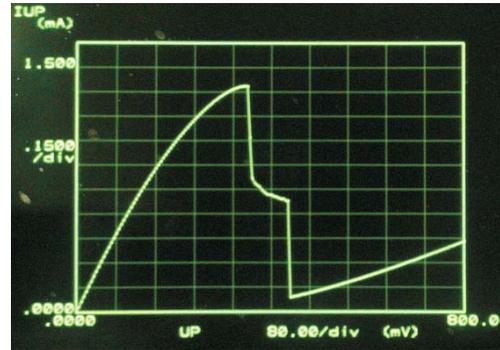
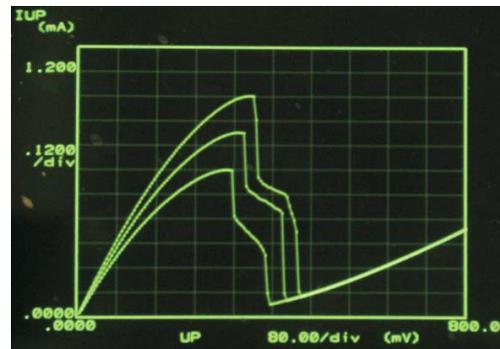
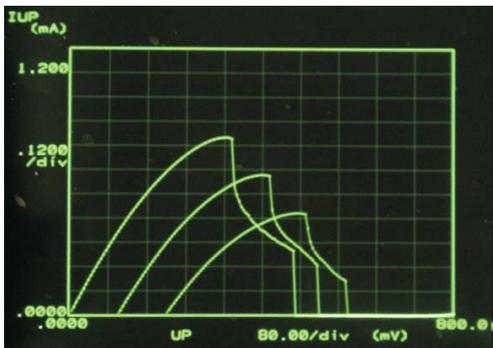
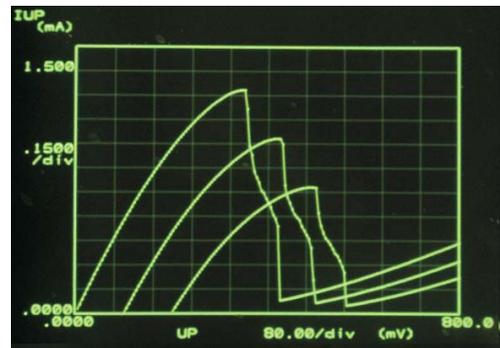
(a) Curva I - V para $V_{S1} = 0'$ y $V_{S2} = 0'$.(b) Curva I - V para $V_{S1} = 1'$ y $V_{S2} = 1'$.(c) Familia de curvas I - V para $V_{S1} = 1'$, $V_{S2} = 0'$ y $V_{INV} = \{0.9V, 1V, 1.1V\}$.(d) Familia de curvas I - V para $V_{S1} = 0'$, $V_{S2} = 1'$ y $V_{INV} = \{0.9V, 1V, 1.1V\}$.(e) Familia de curvas I - V para $V_{S1} = 0'$, $V_{S2} = 0'$ y la tensión en el terminal inferior del dispositivo MOS-NDR toma valores $V_{OFFSET} = \{0V, 0.1V, 0.2V\}$.(f) Familia de curvas I - V para $V_{S1} = 1'$, $V_{S2} = 1'$ y la tensión en el terminal inferior del dispositivo MOS-NDR toma valores $V_{OFFSET} = \{0V, 0.1V, 0.2V\}$.

Figura 3.25: Dispositivo MOS-NDR programable tipo A. Curvas tensión-corriente obtenidas experimentalmente.

3.7 Conclusiones

En este capítulo se ha descrito el funcionamiento del dispositivo MOS-NDR que se empleará en la realización de los circuitos que se diseñarán posteriormente. Se han presentado dos realizaciones con característica $I-V$ monopico y, a partir de ellas, se han obtenidos las correspondientes arquitecturas multipico. El análisis de la operación de estas estructuras ha permitido obtener criterios de dimensionamiento para ajustar los puntos característicos de sus curvas tensión-corriente. Esto es, se ha descrito cómo varían sus tensiones e intensidades de pico y valle en función de los parámetros de diseño. Este análisis se ha extendido a las estructuras multipico y se ha estudiado cómo obtener su característica $I-V$.

La integración de circuitos empleando dispositivos MOS-NDR requiere modificar las configuraciones originales, referenciando a tierra las fuentes de alimentación de los inversores, lo que provoca desviaciones en su característica tensión-corriente. Se han propuesto técnicas de dimensionamiento teniendo en cuenta este efecto. Se ha diseñado, fabricado y validado experimentalmente un MOBILE disparado por flanco descendente empleando las nuevas versiones de los circuitos MOS-NDR.

Se ha propuesto y fabricado un dispositivo MOS-NDR programable que puede modificar su intensidad de pico y añadir o suprimir su segunda zona de resistencia diferencial positiva mediante dos tensiones de control. Finalmente, se ha validado su operación experimentalmente.

CAPÍTULO 4

DISEÑO DE CIRCUITOS LÓGICOS BASADOS EN EL DISPOSITIVO MOS-NDR

En este capítulo extenderemos a un entorno CMOS las técnicas de diseño para circuitos lógicos con RTDs, para lo que utilizaremos el dispositivo MOS-NDR. Nuestro objetivo es doble: por un lado obtendremos demostradores de la operación de puertas MOBILE y de su interconexión, y por otro, mostraremos que para ciertas aplicaciones, el diseño de circuitos empleando estos dispositivos NDR es más eficiente que otras realizaciones CMOS convencionales.

En el Apartado 4.1 estudiaremos la realización de puertas lógicas a partir de puertas umbral con RTDs. Propondremos y validaremos experimentalmente una topología que permite implementar, de forma muy compacta, circuitos activos por flanco de subida y de bajada.

En el Apartado 4.2 estudiaremos la interconexión de puertas lógicas sustituyendo el esquema de cuatro fases de reloj empleado para alimentar puertas MOBILE por uno con una sola fase de reloj. Verificaremos el funcionamiento de esta arquitectura mediante resultados experimentales correspondientes a una cadena de seguidores binarios.

Finalmente, en el Apartado 4.3 mostraremos realizaciones de un circuito asíncrono, el Muller *C-element*. Describiremos su principio de operación y propondremos dos topologías para su realización. Compararemos sus prestaciones con las de una estructura CMOS convencional reportada en la literatura. Por último, mostraremos resultados de los demostradores que hemos fabricado.

4.1 Puertas lógicas MOBILE

Como ya se ha mencionado, los circuitos que emplean emuladores de la característica $I-V$ del RTD permiten prototipar la funcionalidad de los, todavía costosos y complicados de fabricar, circuitos basados en RTDs. En la literatura podemos encontrar referencias a varias implementaciones de circuitos de estas características. Los primeros circuitos lógicos

reportados se deben a Mazumder *et al.* [100, 101]. En ellos se propone la realización de un *full-adder* multivaluado en el que el RTD se sustituye por un emulador con característica $I-V$ tipo N . Posteriormente, Gan *et al.* han propuesto un inversor binario basado en un emulador que permite realizar un oscilador en anillo controlado por tensión [102, 96]. Asimismo, muestran un circuito programable que permite realizar puertas NOR y NAND [97] y variaciones del mismo para construir además puertas con funcionalidad OR [103]. Los mismos autores han presentado un *flip-flop* tipo D [95] y redes neuronales celulares [104]. Mira *et al.* han propuesto la realización de puertas umbral sin más que sustituir el RTD por un emulador en las topologías reportadas para tecnologías que combinan RTDs y transistores [105].

4.1.1 Puertas umbral empleando RTDs y transistores

El diseño de circuitos lógicos digitales empleando la lógica umbral ha sido objeto de interés dado que supone una alternativa más eficiente que la que emplea técnicas de diseño convencionales. La potencia del estilo basado en puertas umbral reside en la complejidad intrínseca de las funciones realizadas con dichas puertas, lo que permite que los sistemas implementados contengan menos puertas umbral o menos niveles de puertas que los que tendrían si se realizaran con puertas lógicas tradicionales. En particular, puede demostrarse teóricamente que funciones importantes tales como la adición múltiple, la multiplicación, la división o la ordenación, cuya implementación requiere redes de puertas tradicionales en las que el número de niveles no está acotado polinómicamente, pueden implementarse con redes de puertas umbral cuyo número de niveles sí lo está [106]. El éxito de la lógica umbral (o, en general, de cualquier otro tipo de lógica) como alternativa de diseño de sistemas digitales estará determinada por la capacidad, coste y disponibilidad de los bloques básicos, así como por la existencia de procedimientos efectivos de síntesis. Si se dispone de una tecnología en la que, por ejemplo, la implementación de una AND, de una OR o de una mayoritaria de tres entradas tienen el mismo coste, su incidencia en el diseño de circuitos más complejos, o de sistemas, es muy profunda. Las técnicas de síntesis tradicionales en el álgebra booleana, que históricamente han dado excelentes resultados, no tienen por qué proporcionar las implementaciones más eficientes a problemas dados.

Una puerta umbral (TG) se define como una puerta lógica con n variables de entrada binarias, x_i , ($i = 1, \dots, n$), y una salida binaria, y , para la que existe un conjunto de $(n + 1)$ números reales, el umbral T y los pesos w_i , tal que la salida es cero si la suma ponderada

de las entradas ($\sum_i w_i x_i$) es menor que el umbral, y uno en caso contrario.

Una TG puede programarse para realizar diferentes funciones booleanas mediante el ajuste del umbral y los pesos. Por ejemplo, una puerta umbral de n entradas con todos los pesos iguales a 1 implementa una puerta OR si su umbral está en 1, una mayoritaria si está en $(n + 1)/2$ (n impar), o una AND si está en n , lo que da idea de la potencialidad de la aproximación.

Desde un punto de vista de circuito, el principio de operación MOBILE puede extenderse a entradas múltiples y la implementación de una puerta umbral es directa [50]. Las etapas de entrada se añaden colocando ramas formadas por la conexión en serie de un RTD con un transistor que actúa como *switch* [107, 108]. El circuito de la Figura 4.1a muestra una puerta umbral basada en RTDs con cuatro etapas de entrada RTD-HFET, de las que dos implementan pesos positivos (entradas x_1 y x_2) y dos negativos (entradas x_3 y x_4). El umbral y los pesos están determinados por las áreas de los RTDs, como puede observarse en el circuito de la Figura 4.1b donde, dependiendo de f_L , la función realizada por el circuito puede ser una puerta NOR ($f_L = 1.1$), una mayoritaria negada ($f_L = 1.3$), o una NAND ($f_L = 1.5$), todas de tres entradas. Es decir, con el mismo coste en número de dispositivos podemos obtener tres funciones diferentes: NOR, NMAJ y NAND.

Otra forma de añadir etapas de entrada consiste en agregar transistores en paralelo con RTD_D y RTD_L [109, 86], como vimos en el Capítulo 2. En este caso, el peso de cada etapa de entrada es directamente proporcional al factor de forma de cada transistor. La Figura 4.1c muestra el esquemático de una puerta umbral implementada con etapas de entrada formadas por transistores en paralelo con RTD_D . Al igual que en el circuito de la Figura 4.1b, la funcionalidad lógica de la puerta depende de f_L (supuestos fijos los pesos).

4.1.2 Puertas umbral MOS-NDR MOBILE

La implementación de circuitos MOS-NDR se puede realizar sustituyendo directamente los RTDs por dichos dispositivos. En la configuración con etapas de entrada formada por transistores en paralelo con los MOS-NDR (basada en la Figura 4.1c), la intensidad que circula por dichos transistores hace que se incremente la intensidad del valle y, por tanto, que se originen problemas de pérdida de biestabilidad. Por el contrario, en los circuitos con etapas de entrada RTD-transistor en serie, no se producen variaciones sustanciales en la intensidad de valle dado que se están superponiendo dos características NDR con similares tensiones de pico y valle. Por tanto, de ahora en adelante, tan sólo se considerarán etapas de entrada en las que el transistor actúe como *switch*.

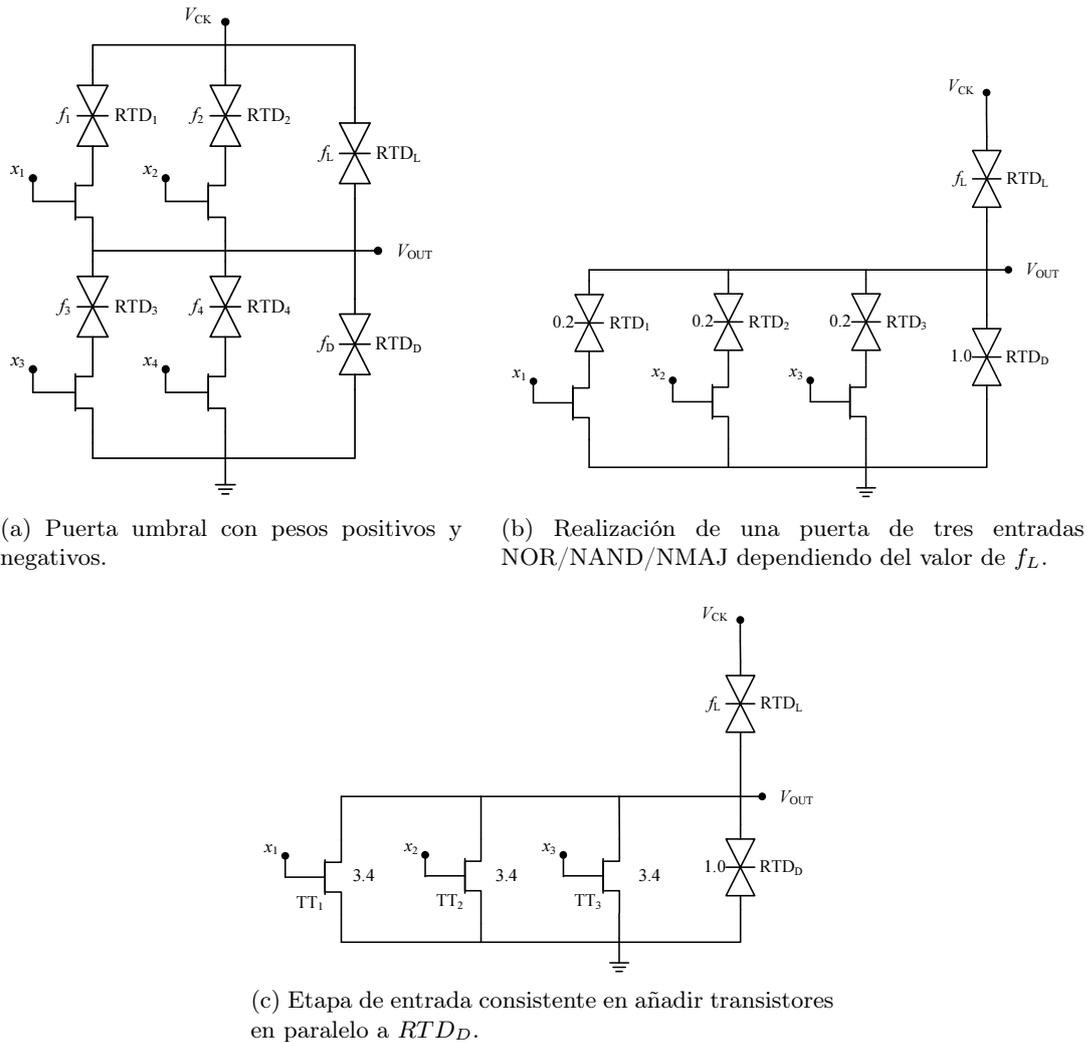


Figura 4.1: Puertas umbral basadas en el principio de operación MOBILE.

En las estructuras reportadas con más de una entrada, la solución que suele adoptarse consiste en colocar tantos dispositivos MOS-NDR (con característica tipo N) como etapas de entrada en paralelo existan (Figura 4.2a) [105]. Nuestra propuesta [110] consiste en utilizar como *driver* el MOS-NDR programable descrito en el Capítulo 3, con tantas ramas de programación como entradas funcionales haya, lo que reduce la complejidad del circuito. En nuestra solución, el inversor del NDR *driver* se comparte con los MOS-NDR de las etapas de entrada de la Figura 4.2a. La arquitectura genérica que emplearemos para diseñar circuitos lógicos es la de la Figura 4.2b, donde se muestra una configuración con tres etapas de entrada en el NDR *driver*. Nótese que en nuestros diseños, el MOS-NDR empleado carece de zona III. En nuestra experiencia, la zona III degrada las prestaciones

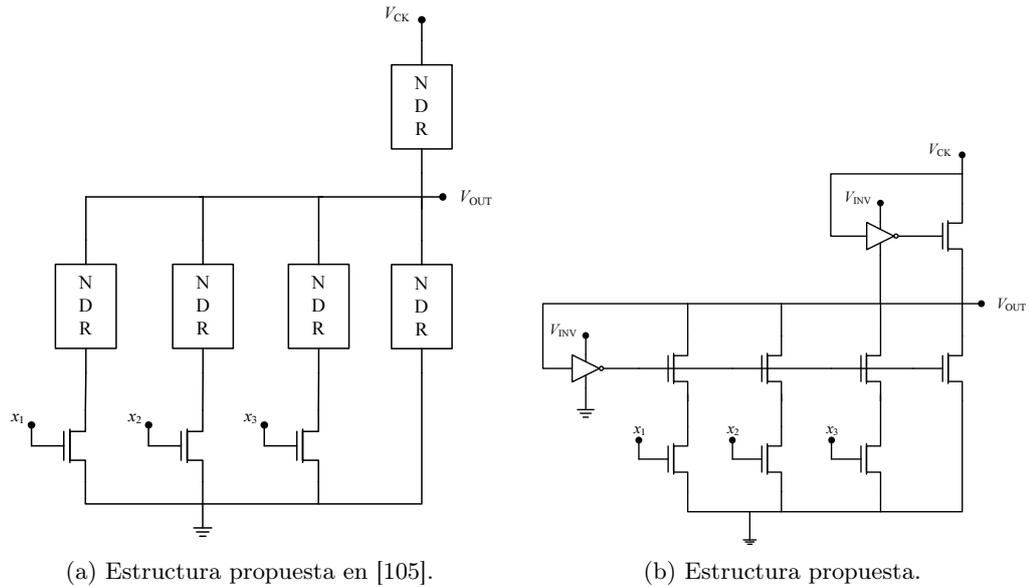


Figura 4.2: Puertas umbral MOS-NDR MOBILE.

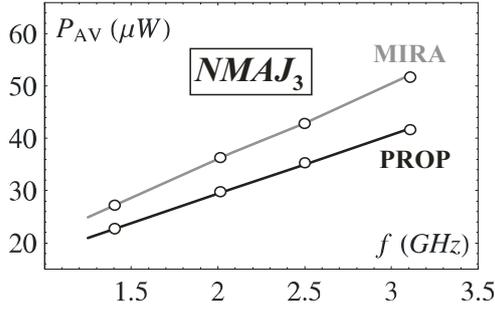
del circuito puesto que se traduce en consumo estático, pudiendo, además, provocar problemas de pérdida de biestabilidad. Recordemos que los circuitos MOBILE (y MML) descritos en el Capítulo 3 ya prescindían de la segunda (tercera) zona de resistencia diferencial positiva. Es importante conocer la limitación existente en el número de etapas de entrada que se pueden colocar a la salida del inversor. Para la tecnología que estamos empleando, hemos estimado que no se pueden colocar más de diez etapas de entradas.

Esta solución permite mejorar las prestaciones en cuanto a área y consumo con respecto a la topología propuesta en [105]. Las Figuras 4.3a a 4.3c muestran el consumo promedio para puertas mayoritarias de tres, cinco y siete entradas ($NMAJ_3$, $NMAJ_5$ y $NMAJ_7$), donde se observa que el consumo de nuestra realización está por debajo del de la de [105]. Adicionalmente, el área (normalizada por la longitud de canal) en función del número de entradas es también mejor en nuestra estructura, como se muestra en la Figura 4.3d.

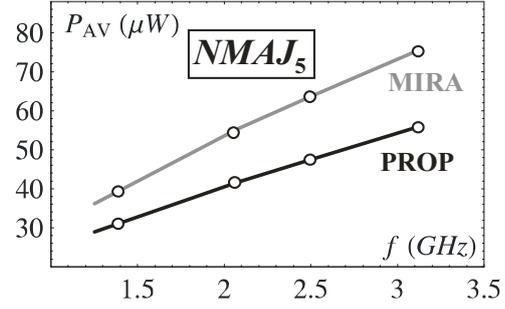
Seguidamente, se presentan ejemplos de diseño de puertas MOS-NDR disparadas por flanco de subida de la señal de reloj y basadas en la arquitectura descrita anteriormente.

Puertas mayoritarias negadas (NMAJ)

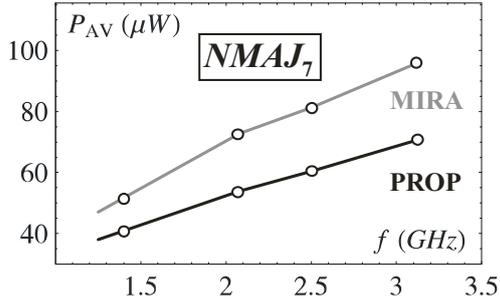
La arquitectura genérica de una puerta NMAJ de N entradas, $NMAJ_N$, se muestra en la Figura 4.4a. Las relaciones que han de satisfacer los anchos de los transistores que modulan las intensidades de pico son:



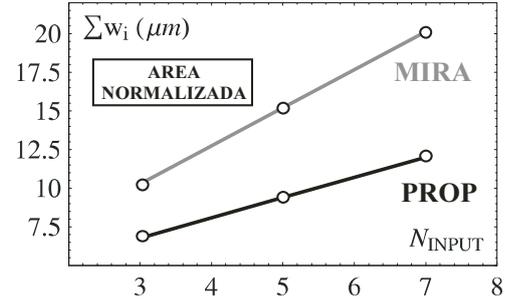
(a) Consumo promedio de potencia en la puerta mayoritaria negada de 3 entradas.



(b) Consumo promedio de potencia en la puerta mayoritaria negada de 5 entradas.



(c) Consumo promedio de potencia en la puerta mayoritaria negada de 7 entradas.



(d) Área normalizada en función del número de entradas.

Figura 4.3: Resultados de simulación comparativos del consumo promedio y del área empleada en realizar puertas mayoritarias negadas según la técnica propuesta y la reportada en [105].

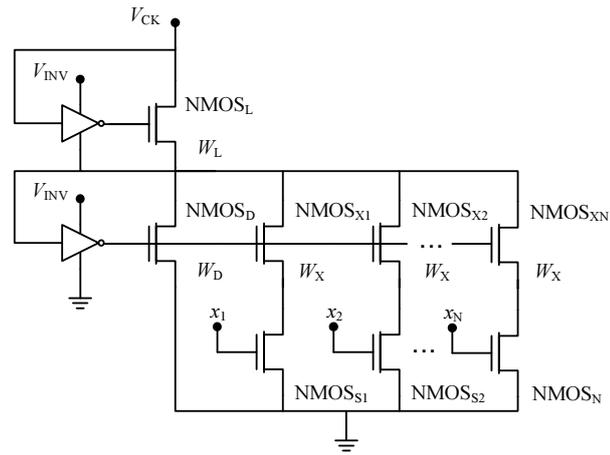
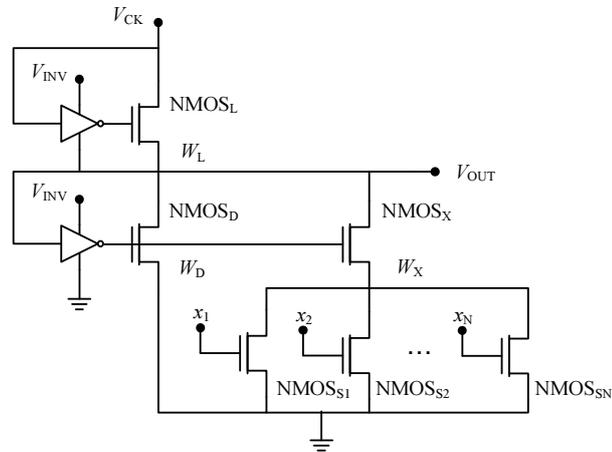
$$\text{Salida} = '1' \rightarrow W_L^* > W_D + \left\lfloor \frac{N}{2} \right\rfloor W_X \quad (4.1)$$

$$\text{Salida} = '0' \rightarrow W_L^* \leq W_D + \left\lfloor \frac{N}{2} \right\rfloor W_X \quad (4.2)$$

donde W_L^* representa el ancho del transistor que determina la intensidad del pico del NDR *load* tras aplicarle la corrección que permite modelar el efecto de la ausencia de fuente flotante, como describe la expresión 3.4. La expresión 4.1 fuerza que la intensidad de pico del NDR *driver* sea menor que la del *load* para el máximo número de entradas en alto que producen salida '1', provocando así que la salida alcance el nivel lógico alto. La relación 4.2 representa el caso complementario.

Puertas NOR

La Figura 4.4b muestra el esquemático que proponemos para la realización de una puerta NOR de N entradas. A diferencia de la topología anterior, la funcionalidad lógica

(a) Mayoritaria negada de N entradas.(b) Puerta NOR de N entradas.**Figura 4.4:** Esquemáticos de puertas binarias activas por flanco de subida.

se añade mediante la conexión en paralelo de $NMOS_{S1}$, $NMOS_{S2}$, ..., $NMOS_{SN}$, que actúan como *switches* para activar el transistor $NMOS_X$ que determina el peso de la rama de entrada. Nótese que el transistor $NMOS_X$ comparte inversor CMOS con el transistor $NMOS_D$. El circuito funciona correctamente si se verifica:

$$\text{Salida} = '1' \rightarrow W_L^* > W_D \quad (4.3)$$

$$\text{Salida} = '0' \rightarrow W_L^* \leq W_D + W_X \quad (4.4)$$

Dimensionando las estructuras de esta forma conseguiremos que la intensidad de pico del *driver* esté por encima de la del *load*, dando lugar a una salida a nivel bajo cuando al menos una de las entradas esté activa.

4.1.3 Puertas activas por flanco de bajada

Para ciertas aplicaciones, los circuitos activos por flanco de bajada son necesarios. Al diseñar puertas en tecnologías III-V (como la de LOCOM) se encuentran limitaciones en la frecuencia de operación, significativamente menores que en las disparadas por flanco ascendente [111]. Hemos desarrollado una topología de puertas MOBILE activas por flanco de bajada que reduce esta degradación si se dispone de transistores tipo P. En esta configuración se sustituyen los transistores NMOS por PMOS (en la topología genérica de la Figura 4.2a). El cambio lleva asociado una modificación del signo de los pesos de las ramas de entrada. Además, cada rama está ahora activa cuando su señal de entrada está a nivel bajo.

Esta idea se ilustra con el diseño de una puerta NAND de N entradas (Figura 4.5a). A diferencia de las estructuras activas por flanco de subida descritas, los transistores $PMOS_X$ y $PMOS_S$ se conectan al *load*. Para que el circuito opere correctamente, se ha de verificar que:

$$Salida = '0' \rightarrow W_D^* > W_L \quad (4.5)$$

$$Salida = '1' \rightarrow W_D^* < W_L + W_X \quad (4.6)$$

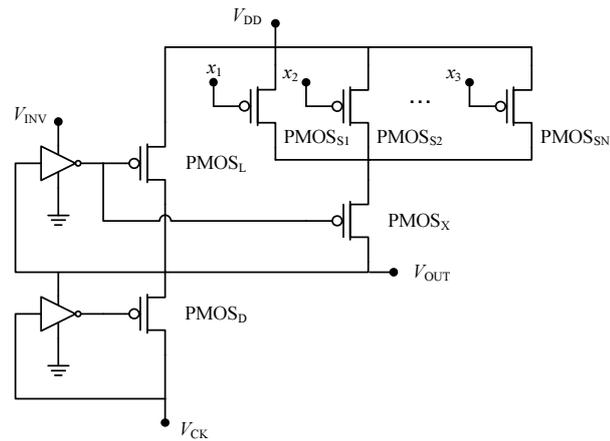
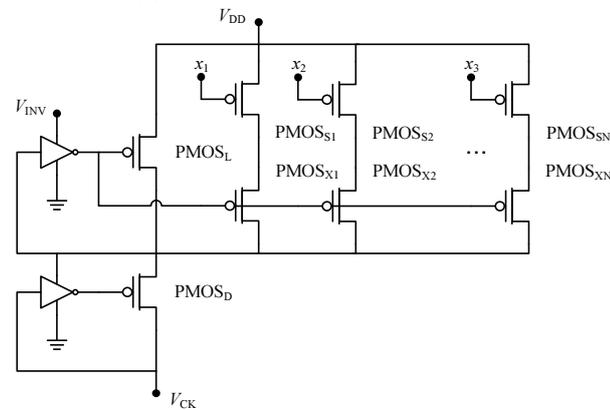
donde W_D^* es el ancho del transistor que modula la intensidad del pico del NDR *driver* tras aplicarle la corrección que permite modelar el efecto de la ausencia de fuente flotante. La Figura 4.5b muestra la puerta mayoritaria negada de N entradas activa por flanco de bajada.

4.1.4 Resultados experimentales

En esta sección mostramos los resultados experimentales de los demostradores fabricados. Las puertas activas por flanco de subida se han fabricado en el segundo circuito integrado (Apartado A.2.2 del Apéndice), mientras que las disparadas por flanco descendente fueron realizadas en el tercer circuito (Apartado A.2.3).

Metodología de diseño

- *Dimensionamiento de los transistores*: Los siguientes tres parámetros se eligen de manera que satisfagan las relaciones que se derivan de la funcionalidad, como se ha mostrado en esta sección para diferentes puertas.

(a) Puerta NAND de N entradas.(b) Mayoritaria negada de N entradas.**Figura 4.5:** Esquemáticos de puertas lógicas activas por flanco descendente.

- W_X : ancho del transistor que modula la intensidad de pico del NDR asociado a cada rama de entrada.
- W_D : ancho del transistor *driver*.
- W_L : ancho del transistor *load*.

Para los restantes se han elegido los siguientes valores:

- W_S : ancho del transistor que opera como *switch*. Toma valores de $2.4\mu\text{m}$ para los circuitos activos por flanco de subida (NMOS) y $4\mu\text{m}$ para los de bajada (PMOS).
- $W_{P,INV}$: ancho del transistor PMOS del inversor CMOS del NDR. En todos los diseños, el ancho elegido es de $0.32\mu\text{m}$ para las puertas activas por flanco de subida y $1.2\mu\text{m}$ para las de bajada.

- $W_{N,INV}$: ancho del transistor NMOS del inversor CMOS del NDR. El ancho es $1.2\mu m$ para las puertas activas por flanco de subida y $4\mu m$ para las de bajada.
 - L : longitud de canal de los transistores. Supondremos la misma para todos los transistores, $0.12\mu m$, salvo para los transistores de los inversores de los dispositivos NDR, que será de $0.24\mu m$.
- *Carga*: A la salida de cada puerta se ha colocado un *buffer* formado por una cadena de dos inversores CMOS en serie (el primero con dimensiones mínimas, esto es, $W_{P,INV} = 0.56\mu m$, $W_{N,INV} = 0.16\mu m$, $L = 0.12\mu m$ y con anchos dobles para el segundo). La salida de estos *buffers* se conecta directamente al correspondiente *pad* digital de salida.
 - *Análisis de robustez*: Para dotar a nuestros diseños de robustez frente a variaciones en el proceso de fabricación o desviaciones en los valores nominales del entorno de medida (niveles de tensión, temperatura, etc), todos los diseños han pasado un test de robustez consistente en:
 - Un análisis de *mismatch* y de proceso ($3-\sigma$) de acuerdo con las especificaciones suministradas por el *kit* de diseño.
 - Un análisis de *corners*, en el que consideraremos diferentes combinaciones relativas a modificaciones en las características de los transistores NMOS y PMOS, variaciones extremas de la temperatura y fluctuaciones de los niveles de tensión nominales.

Entorno de medida general

- *Set-up de medidas*. Los experimentos se han configurado empleando los siguientes equipos:
 - Las entradas se obtienen con el generador de patrones Agilent 16720A. Se han tomado patrones con una frecuencia de conmutación lo suficientemente lenta como para poder observar la operación de los circuitos durante varios ciclos de reloj. El nivel lógico alto de las entradas es $3.3V$, ya que, como se indica en el Apéndice, esta tecnología requiere del uso ese nivel de tensión en el exterior de los *pads* digitales.

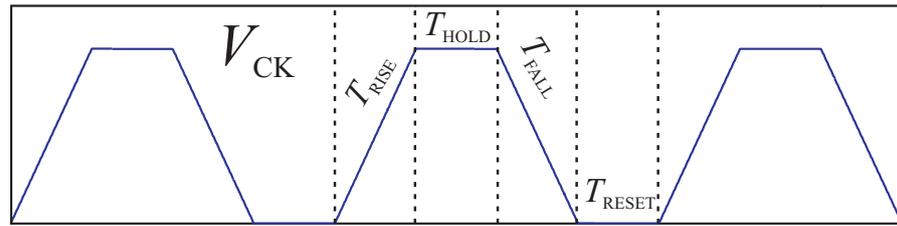


Figura 4.6: Diagrama de reloj de cuatro fases.

- La señal de reloj se obtiene a partir del generador Tektronix AFG3102. Este equipo permite una frecuencia máxima de operación de 50MHz para señales con forma de tren de pulsos con tiempos de subida configurables y de hasta 100MHz para señales sinusoidales. Hemos programado el generador para obtener un reloj en el que el tiempo de subida, T_{RISE} y de bajada, T_{FALL} , son idénticos e iguales al tiempo de *hold* y de *reset*. Por tanto, dado que el período de la señal es igual a cuatro veces el tiempo de subida, la frecuencia de operación será $f = 0.25/T_{RISE}$. La Figura 4.6 muestra el esquema de reloj descrito anteriormente.
- Las tensiones de entrada y salida se han capturado con el osciloscopio Agilent DSO6104A InfiniiVision.

Inversor binario

1. Inversor binario activo por flanco de subida

Se han realizado dos circuitos con diferentes dimensionamientos.

- CONFIGURACIÓN A: La Figura 4.7a muestra el *layout* de este circuito, en el que los transistores se han dimensionado según el esquemático de la Figura 4.7b.

La operación del circuito fabricado se muestra mediante un experimento en el que se aplica una señal sinusoidal de reloj de 100MHz. La Figura 4.7c muestra las formas de onda para este experimento. Se puede verificar la operación correcta del circuito.

Hemos validado la operación a frecuencias más elevadas, empleando para ello el generador de pulsos HP81134A. Sin embargo, no es posible visualizar el retorno a cero como consecuencia de la limitación en los tiempos de subida

y bajada de los *pads* digitales de nuestro diseño. La Figura 4.7d, muestra la operación del circuito cuando se aplica una señal de 400MHz. La señal de salida no retorna a cero cuando el reloj lo hace, debido a la limitación mencionada. Para confirmar que el circuito evalúa correctamente con los tiempos de subida, hemos considerado un reloj de 20MHz generado con el HP81134A, es decir, una señal con tiempos de subida pequeños (en torno a 800ps) y tiempos de *hold* y *reset* lo suficientemente grandes como para evitar que aparezcan las restricciones en los *pads*. La Figura 4.8 muestra las formas de onda del reloj y la salida, capturadas con el osciloscopio Agilent DSO81304B Infiniium empleando sondas de muy baja capacidad y en la que la señal de entrada es un tren de pulsos de frecuencia 10MHz, observándose ahora los retornos a cero en la salida.

- CONFIGURACIÓN B: Se ha propuesto un dimensionamiento alternativo de esta estructura para así poder comprobar el funcionamiento cuando la separación entre los valores de las intensidades de pico de los dispositivos NDR es mayor. La Figura 4.9a muestra el *layout* del circuito, con las dimensiones mostradas en el esquemático de la Figura 4.9b. La operación del circuito, funcionando a una frecuencia de 100MHz (reloj sinusoidal), se muestra en la Figura 4.9c.

2. *Inversor binario activo por flanco de bajada*

La Figura 4.10a muestra el *layout* del inversor binario activo por flanco de bajada con las dimensiones mostradas en la Figura 4.10b. Se ha verificado la operación del circuito a 50MHz y 100MHz, mostrándose las capturas de la entrada y la salida en las Figuras 4.10c y 4.10d.

3. *Inversor binario activo por flanco de bajada y reloj indirecto*

Las estructuras descritas hasta ahora requieren una alimentación pulsante, esto es, la señal de reloj es también la alimentación. Se han explorado estructuras en las que el MOBILE se polariza con tensiones DC. Se ha propuesto un esquema alternativo en el que la señal de reloj se obtiene a partir de la salida de un inversor CMOS al que se le aplica un tren de pulsos (con tiempos de subida y bajada arbitrariamente pequeños). En la Figura 4.11 se muestra el *layout* y el esquemático del inversor activo por flanco de bajada con reloj indirecto. La Figura 4.11c muestra las formas de onda medidas, en las que el tren de pulsos, obtenido empleando el generador de patrones, tiene una frecuencia de 50MHz.

Puerta NOR de 3 entradas activa por flanco de subida

Al igual que en el inversor binario, se han propuesto dos alternativas de dimensionamiento de los circuitos.

- CONFIGURACIÓN A: El *layout* de la Figura 4.12a corresponde al esquemático de la Figura 4.12b. En la Figura 4.12c se muestran las formas de onda del experimento realizado. La entrada $IN1$ ha sido capturada con el osciloscopio, mientras que $IN2$ e $IN3$ se muestran en versión binaria. La salida sólo alcanza un valor lógico alto cuando las entradas $IN1$, $IN2$ e $IN3$ están a cero. En este experimento, hemos usado una frecuencia de operación lo suficientemente baja (100MHz) como para poder observar el retorno a cero de la señal de salida.
- CONFIGURACIÓN B: El *layout* de la puerta con un dimensionado alternativo se muestra en la Figura 4.13a. Al igual que en el caso del inversor en configuración B, los anchos elegidos para los transistores permiten que haya una diferencia mayor entre las intensidades de pico de los dispositivos NDR (Figura 4.13b). La operación del circuito se muestra en la Figura 4.13c.

Puerta NAND de 3 entradas activa por flanco de bajada

La Figura 4.14a muestra el *layout* de la puerta NAND de 3 entradas activa por flanco de bajada, con las dimensiones mostradas en la Figura 4.14b. Se ha verificado la operación del circuito a una frecuencia de 100MHz, mostrándose las entradas $IN1$, $IN2$ e $IN3$ y la salida en la Figura 4.14c.

Mayoritaria negada de 3 entradas

1. Puerta activa por flanco de subida

La Figura 4.15a muestra el *layout* del circuito de la Figura 4.15b, una puerta mayoritaria negada de tres entradas. La frecuencia del reloj sinusoidal es 100MHz. En la Figura 4.16 se observa que cuando al menos dos entradas toman un valor lógico alto, la salida toma un valor lógico bajo.

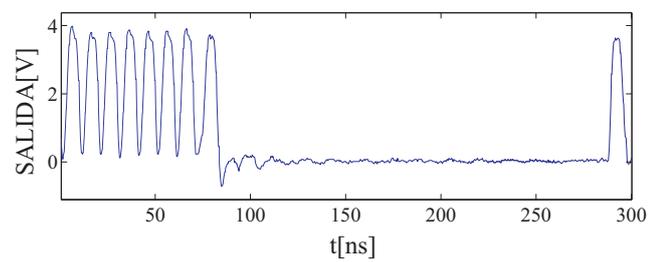
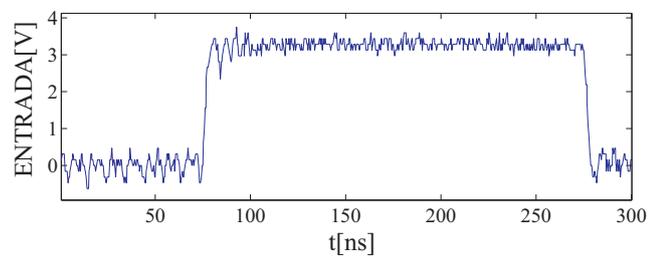
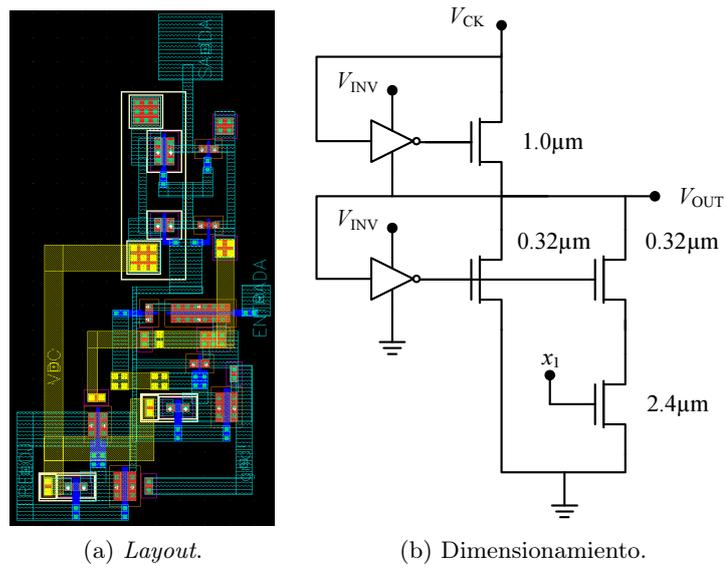
2. Puerta activa por flanco de bajada

La Figura 4.17a muestra el *layout* de la puerta $NMAJ_3$ activa por flanco de bajada, con las dimensiones del esquemático de la Figura 4.17b. Se ha verificado experimentalmente el funcionamiento de la misma alimentándola con una señal sinusoidal de

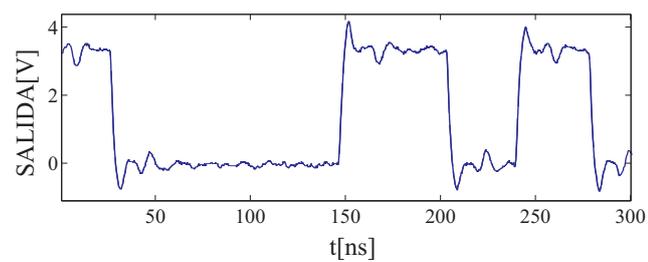
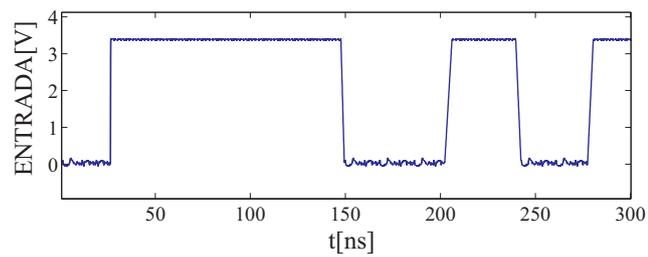
100MHz. Las formas de onda obtenidas para las entradas y la salida se presentan en la Figura 4.18.

Mayoritaria negada de 5 entradas activa por flanco de subida

La Figura 4.19a muestra el *layout* del circuito de la Figura 4.19b. Se ha utilizado una señal de reloj sinusoidal de 100MHz. A partir de las formas de onda mostradas en la Figura 4.20, se puede verificar que cuando tres o más entradas toman valor lógico alto, la salida se hace cero.



(c) *Formas de ondas.*



(d) *Formas de ondas correspondientes a un experimento en el que la salida no retorna a cero.*

Figura 4.7: Inversor binario activo por flanco de subida con dimensionamiento A.



Figura 4.8: Inversor binario activo por flanco de subida con dimensionamiento A empleando un reloj a 20MHz y entradas conmutando a 10MHz.

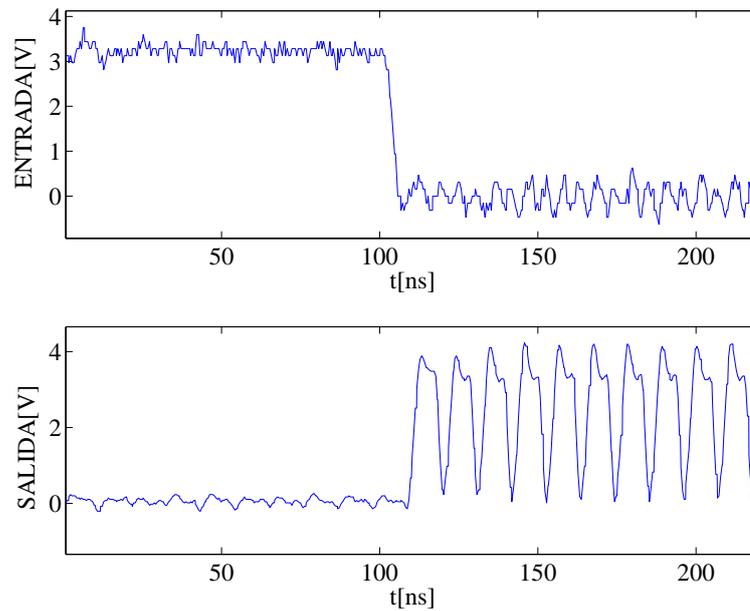
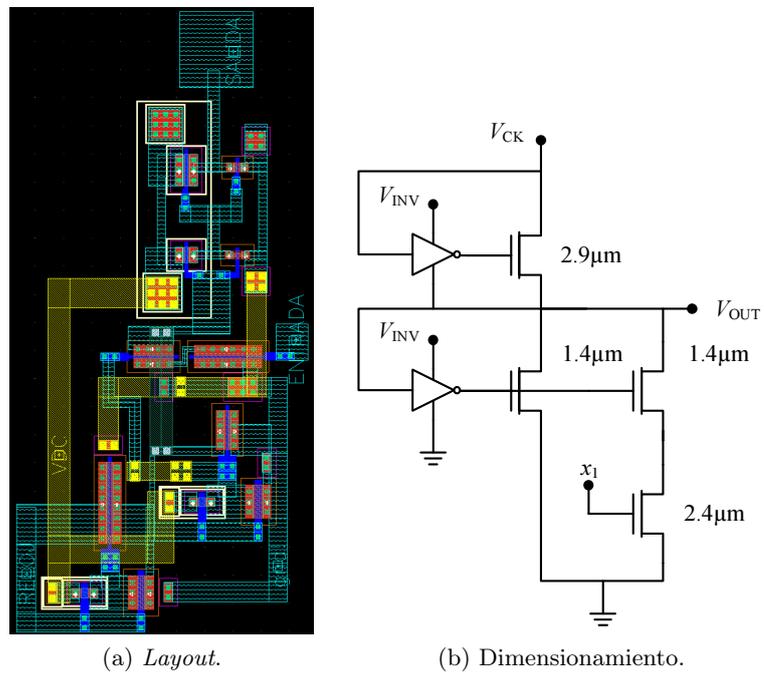
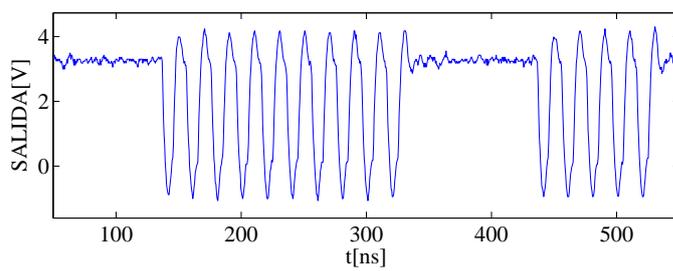
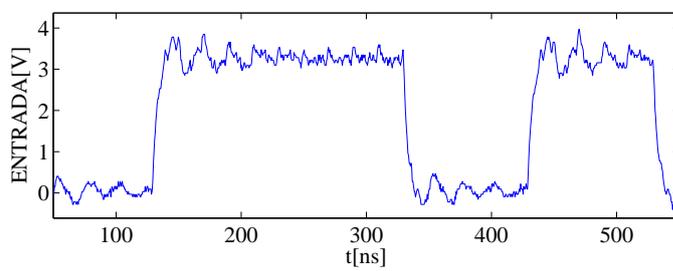
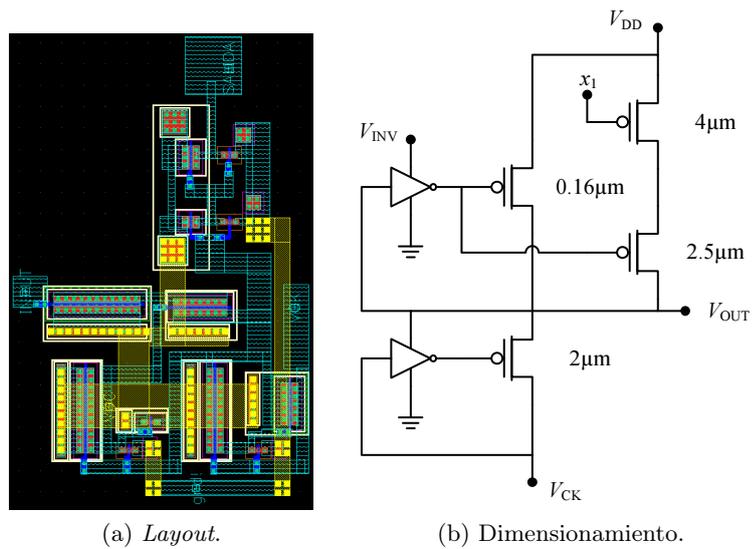
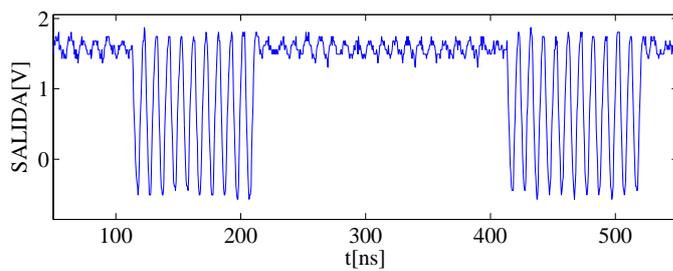
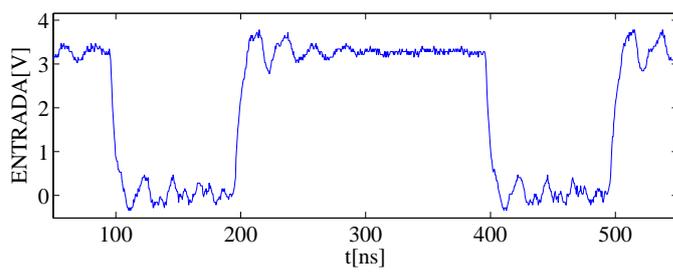


Figura 4.9: Inversor binario activo por flanco de subida con dimensionamiento B.



(c) Formas de ondas a 50MHz.



(d) Formas de ondas a 100MHz.

Figura 4.10: Inversor binario activo por flanco de bajada.

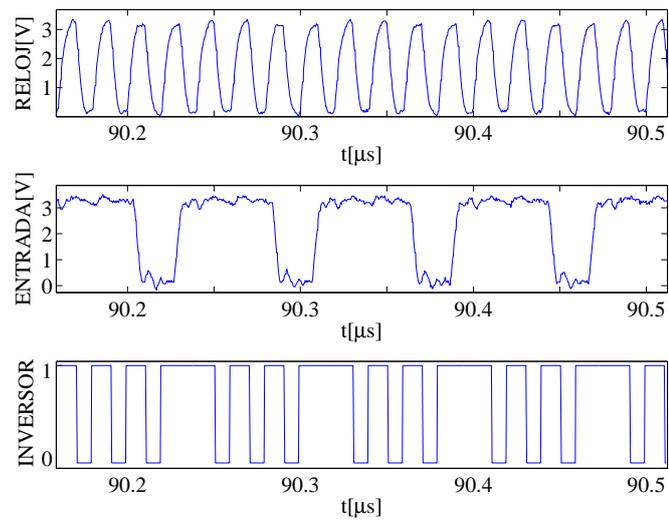
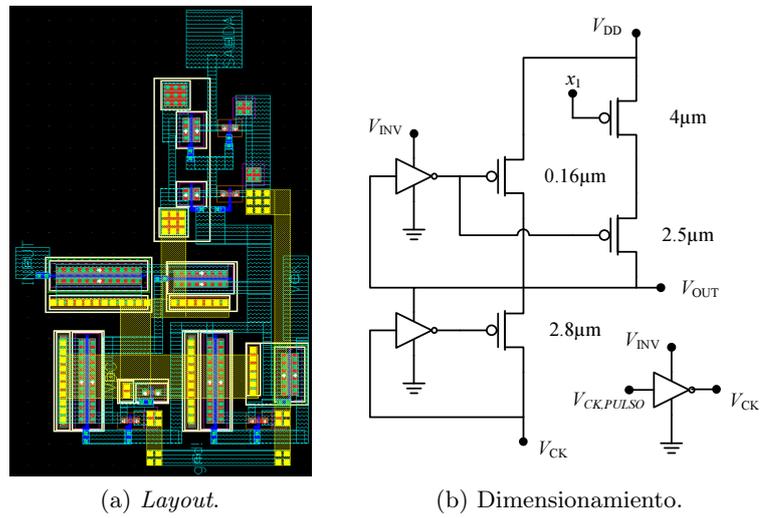
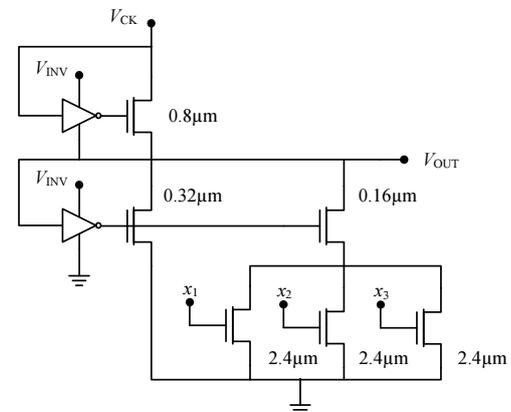
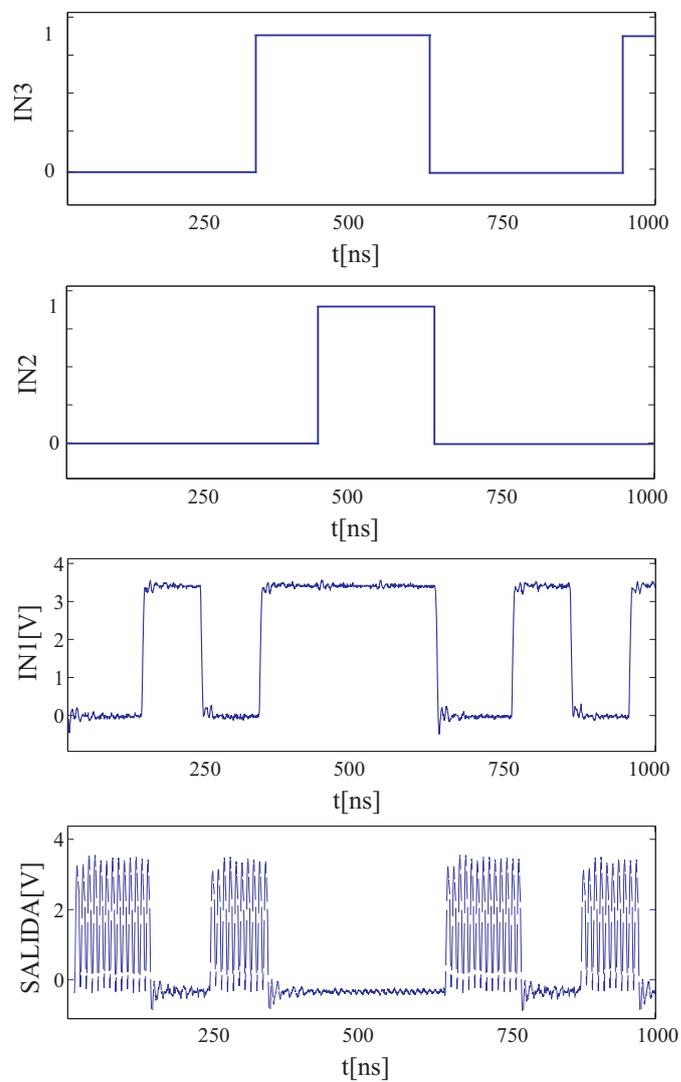


Figura 4.11: Inversor binario activo por flanco de bajada y reloj indirecto.

(a) *Layout.*

(b) Dimensionamiento.



(c) Formas de ondas.

Figura 4.12: Puerta NOR de tres entradas activa por flanco de subida con dimensionamiento A.

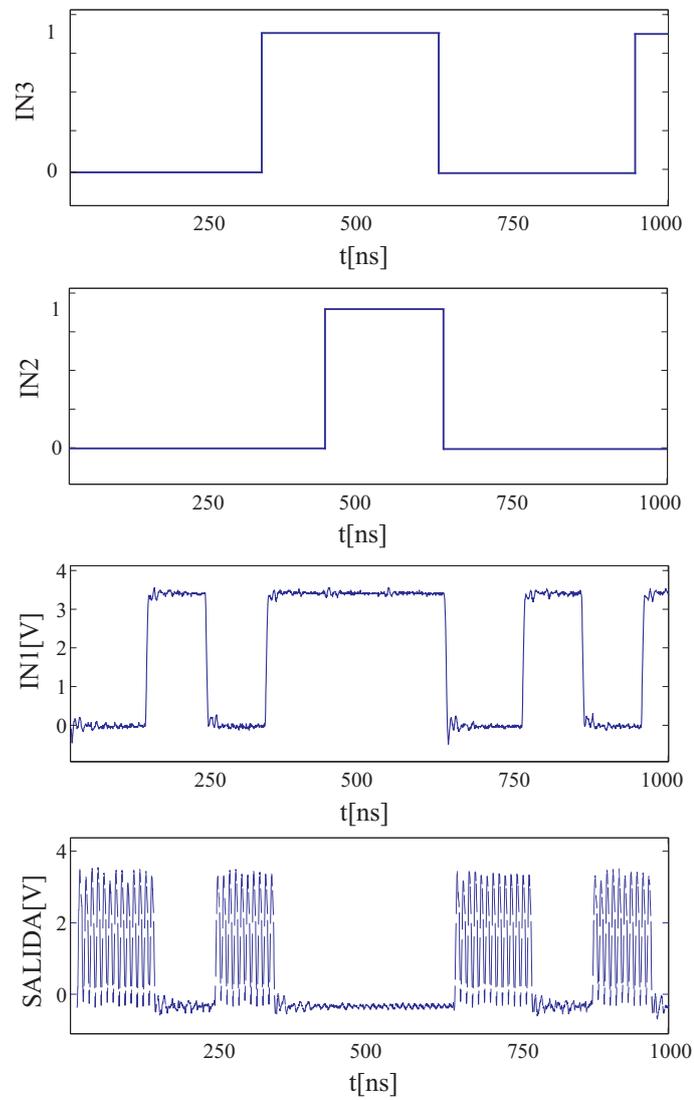
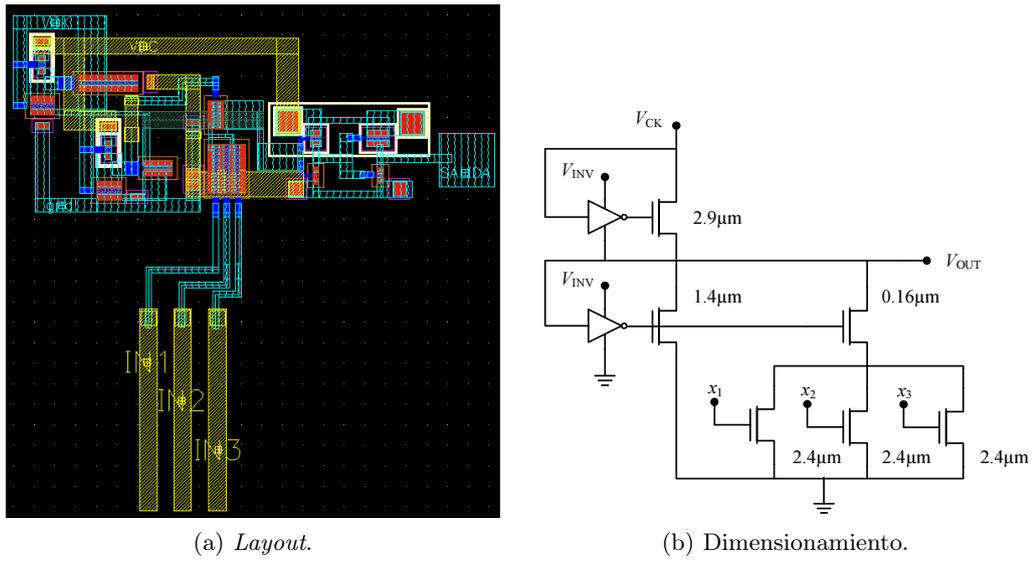


Figura 4.13: Puerta NOR de tres entradas activa por flanco de subida con dimensionamiento B.

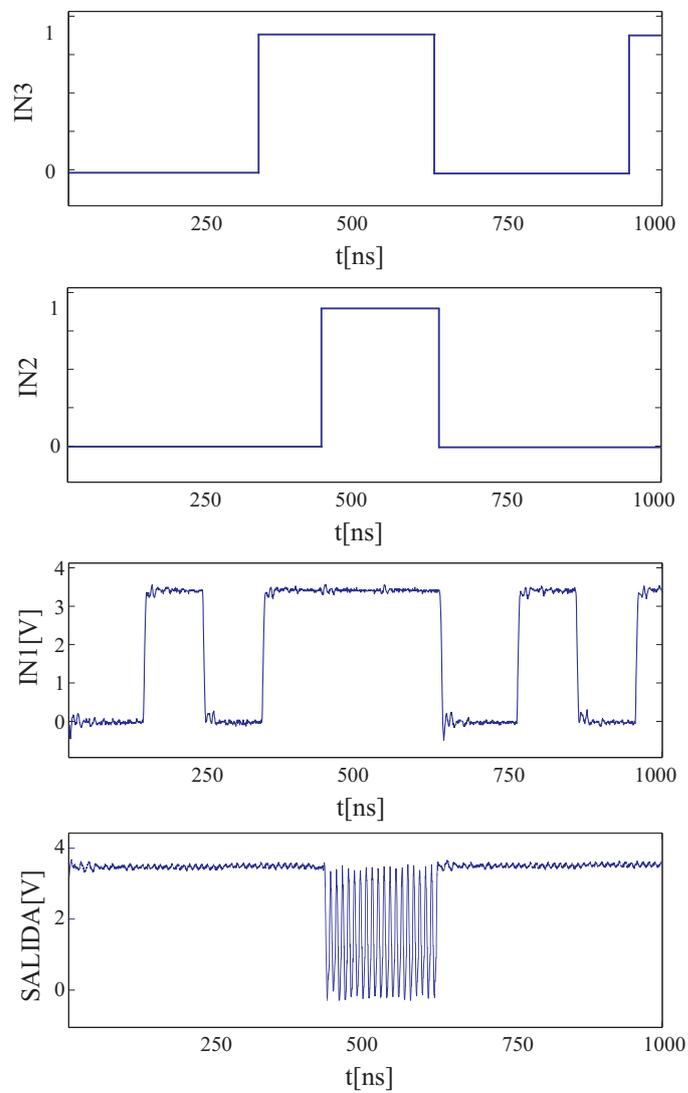
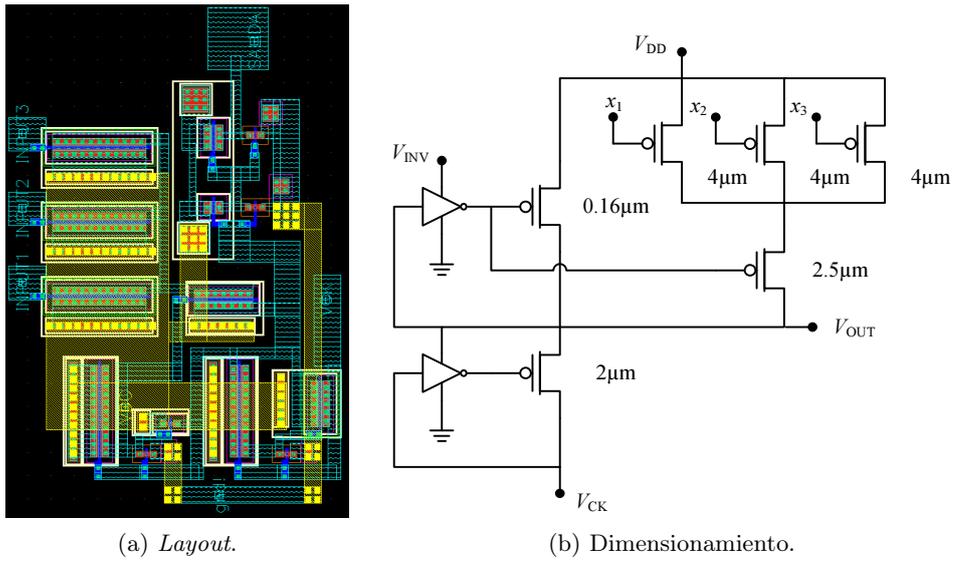
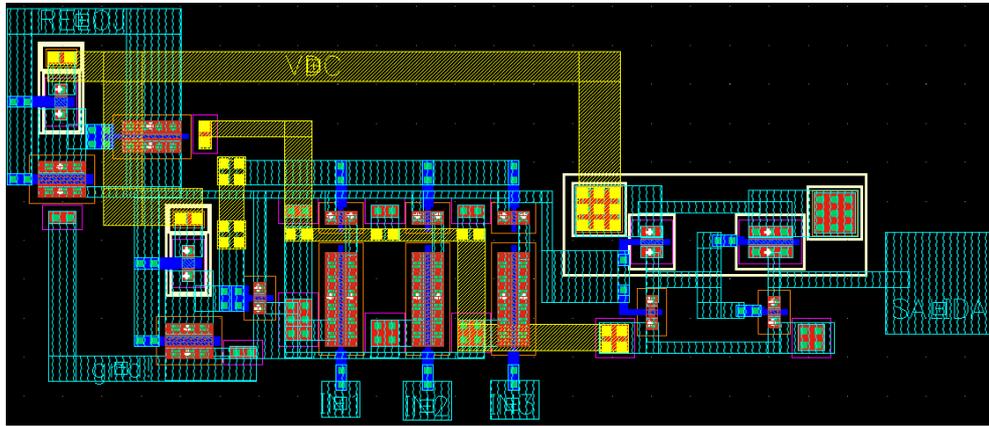
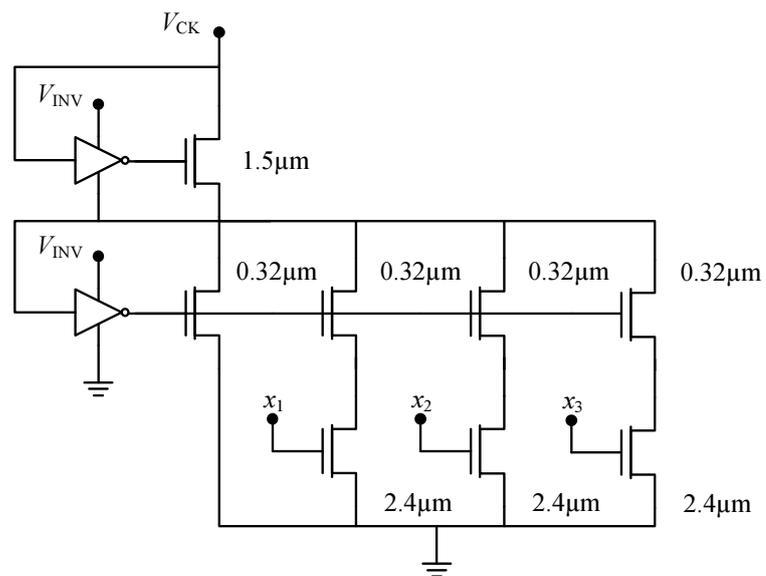


Figura 4.14: Puerta NAND de tres entradas activa por flanco de bajada.



(a) Layout.



(b) Dimensionamiento.

Figura 4.15: Puerta mayoritaria negada de tres entradas activa por flanco de subida.

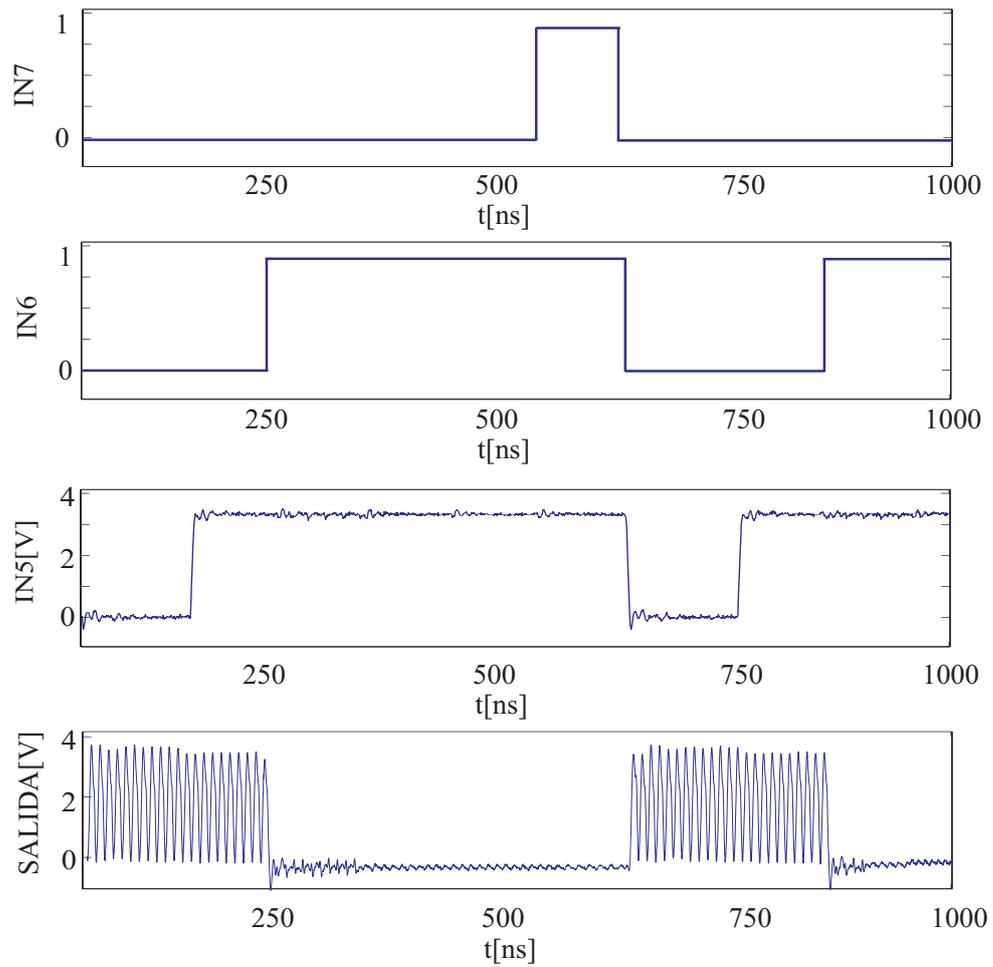
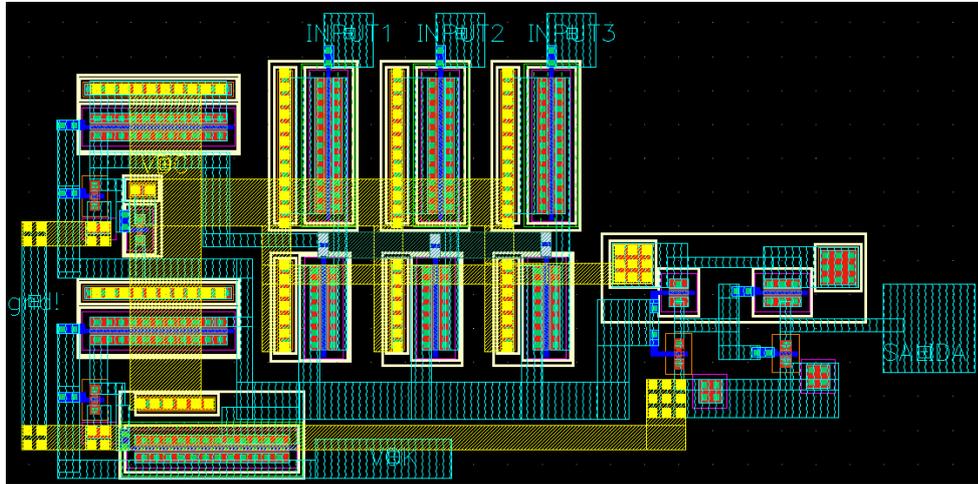
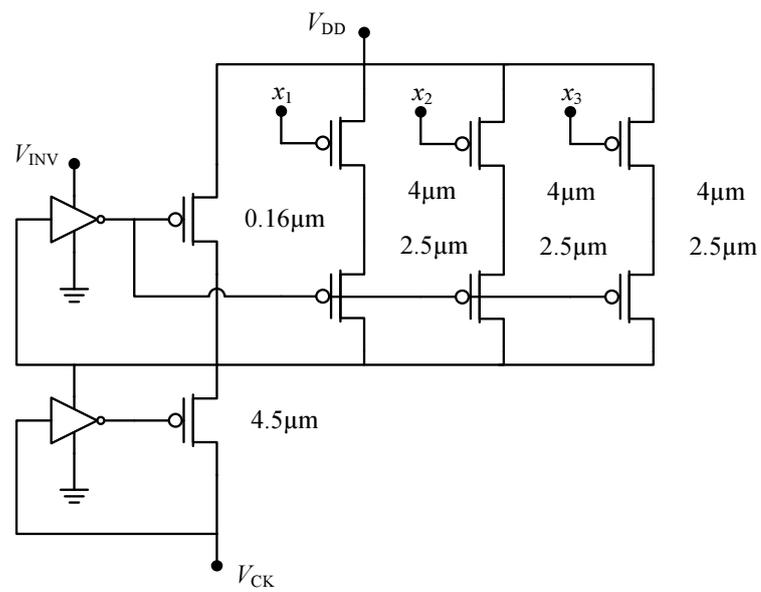


Figura 4.16: Puerta mayoritaria negada de tres entradas activa por flanco de subida. Formas de ondas.



(a) Layout.



(b) Dimensionamiento.

Figura 4.17: Puerta mayoritaria negada de tres entradas activa por flanco de bajada.

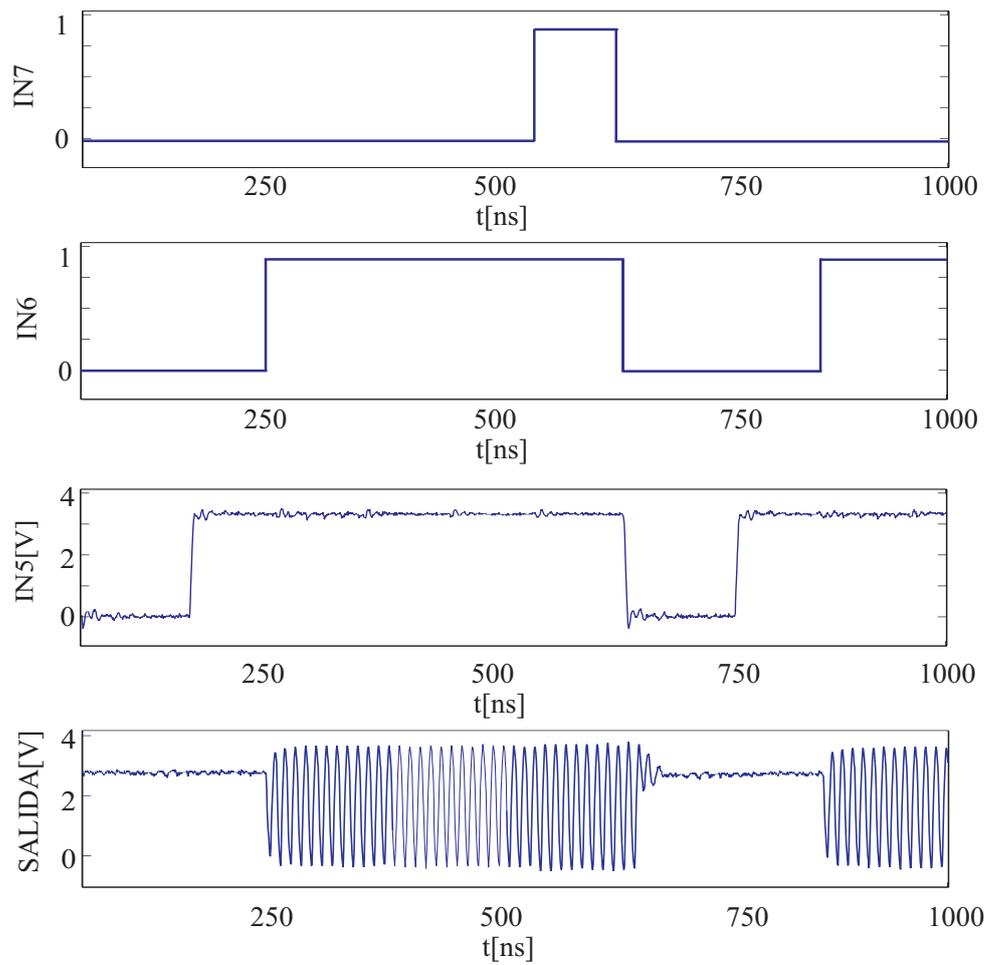
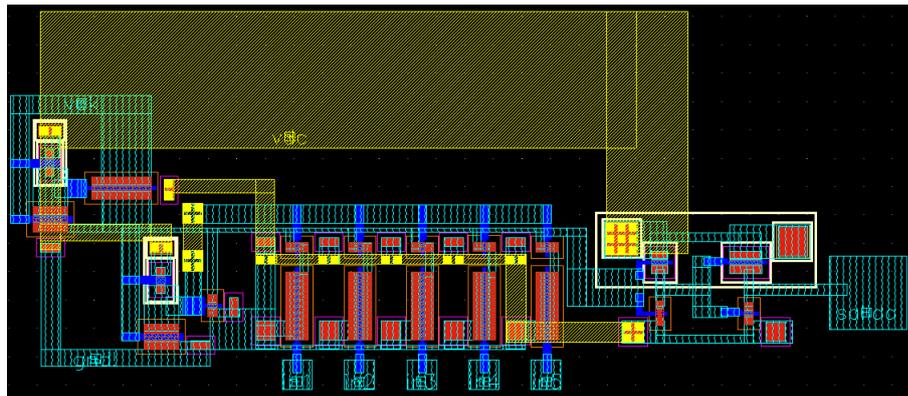
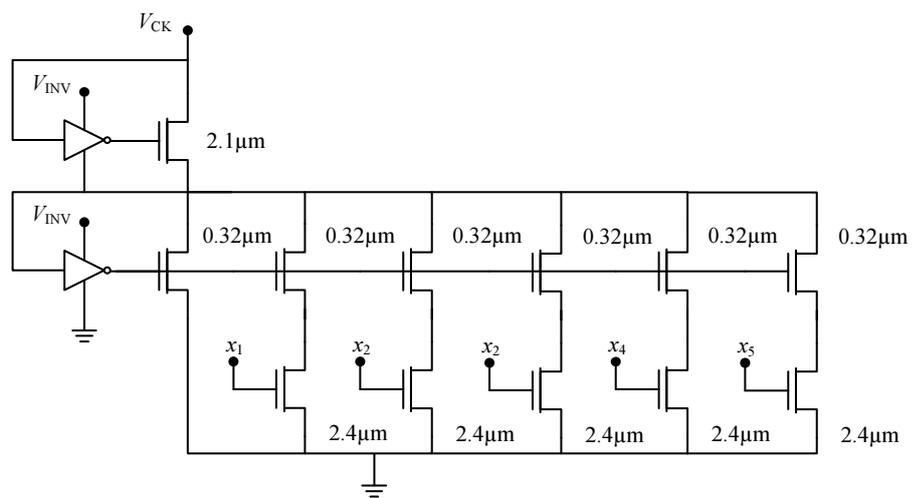


Figura 4.18: Puerta mayoritaria negada de tres entradas activa por flanco de bajada. Formas de ondas.

(a) *Layout.*

(b) Dimensionamiento.

Figura 4.19: Puerta mayoritaria negada de cinco entradas activa por flanco de subida.

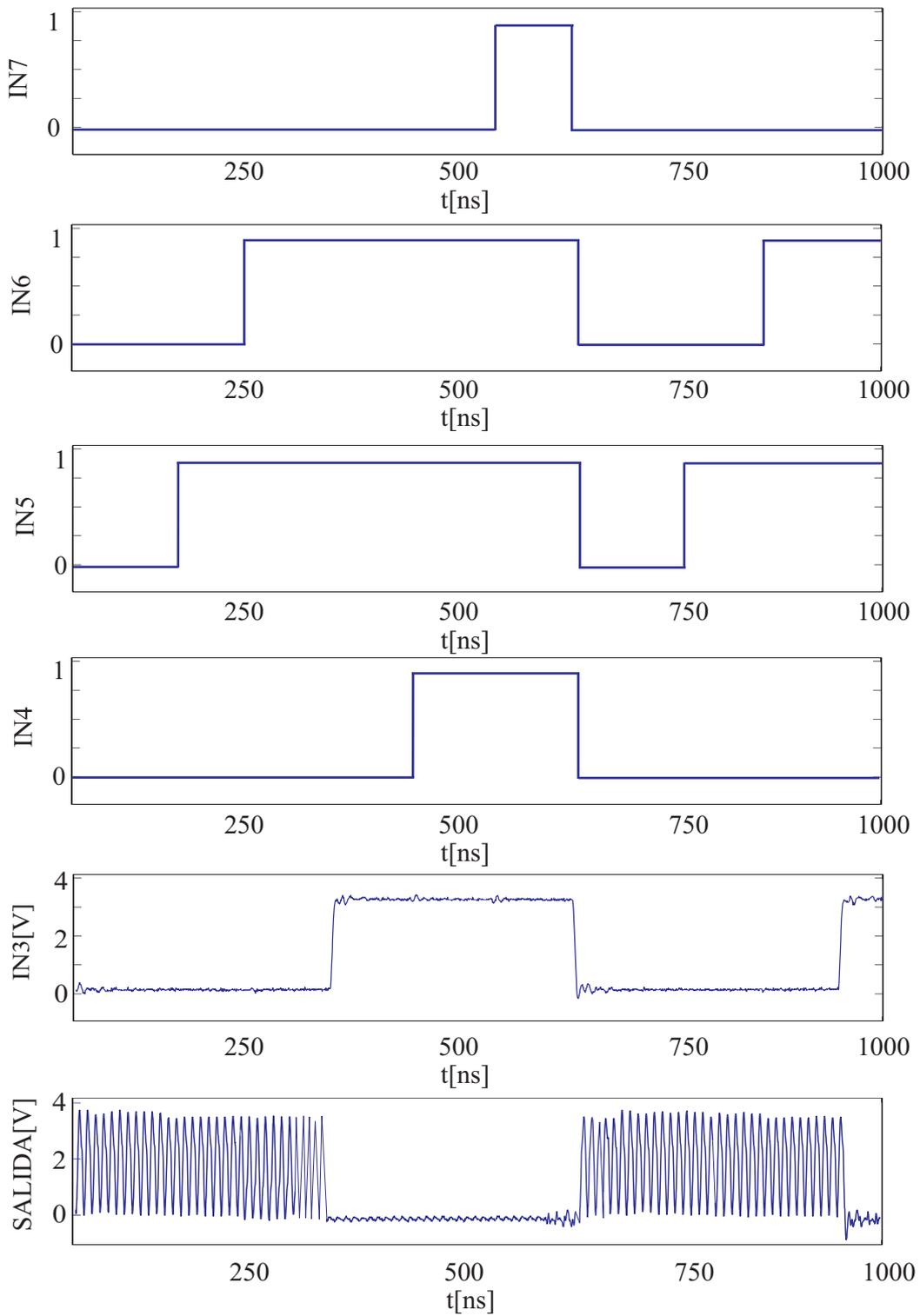


Figura 4.20: Puerta mayoritaria negada de cinco entradas. Formas de ondas.

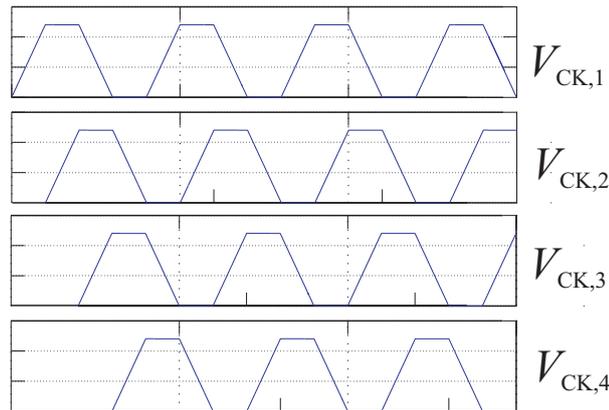


Figura 4.21: Esquema de polarización de cuatro fases.

4.2 Esquemas de interconexión

Las estructuras MOBILE disparadas por flanco ascendente (descendente) evalúan las entradas en el flanco de subida (bajada) de la señal de reloj, y la salida se mantiene mientras está a nivel alto (bajo), incluso si las entradas cambian (operación biestable). La salida vuelve a cero (V_{DD}) con la bajada (subida) de la señal de reloj hasta el siguiente flanco. Como ya expusimos en el capítulo introductorio, la operación biestable permite implementar arquitecturas *pipeline* a nivel de puertas sin coste asociado a los elementos de memoria [63]. El retorno de la salida al valor de *reset*, se traduce en que una etapa debe evaluar mientras que las etapas que la atacan están en la fase de *hold*. Así, para la operación de redes de puertas MOBILE se requiere un esquema multi-fase. Cada ciclo de las señales de reloj está dividido en cuatro fases de la misma duración, T_R y las señales de reloj de etapas consecutivas están retrasadas también T_R . Se garantiza así que cada etapa evalúe durante la fase de *hold* de las anteriores y antes de que retornen al valor de espera. Este esquema de operación se detalla en la Figura 4.21. Son suficientes cuatro señales de reloj, puesto que para el quinto nivel puede volver a utilizarse $V_{CK,1}$ y así sucesivamente. Además, todas las puertas de la red evalúan en cada ciclo, aunque no simultáneamente. Por tanto, resulta crítico para la operación MOBILE la distribución de cuatro señales, con restricciones sobre sus tiempos de subida o bajada, así como el retraso o desfase entre cada dos señales consecutivas.

Para dotar de mayor robustez al diseño, es deseable contar con un esquema de reloj más simple. Una red de puertas MOBILE puede operar con una sola fase de reloj [66], alternando etapas disparadas por flanco ascendente y descendente sin retorno al valor de *reset* de las puertas MOBILE. Esto último se consigue conectando *latches* sensibles al nivel

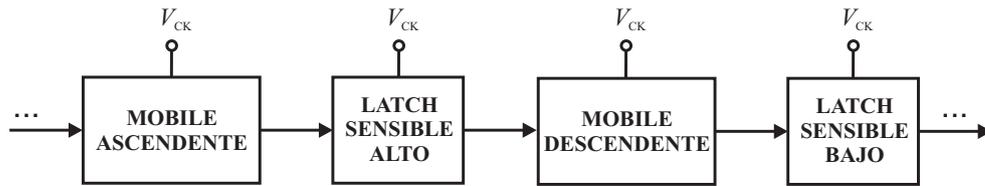


Figura 4.22: Diagrama de bloques de la interconexión de puertas MOBILE empleando una fase de reloj.

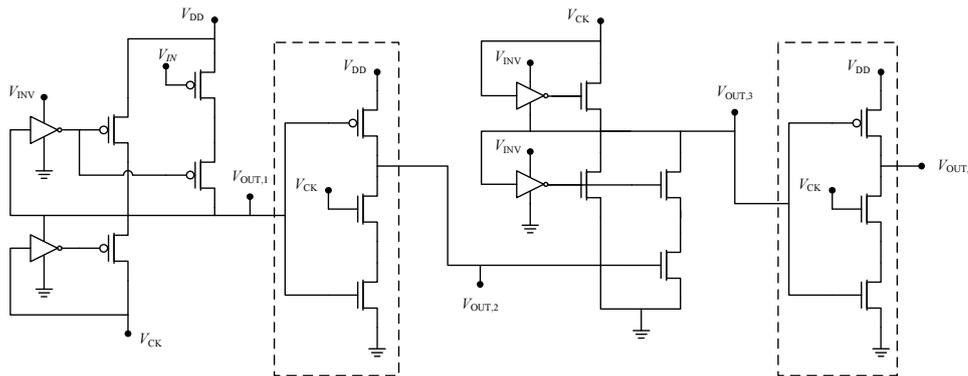


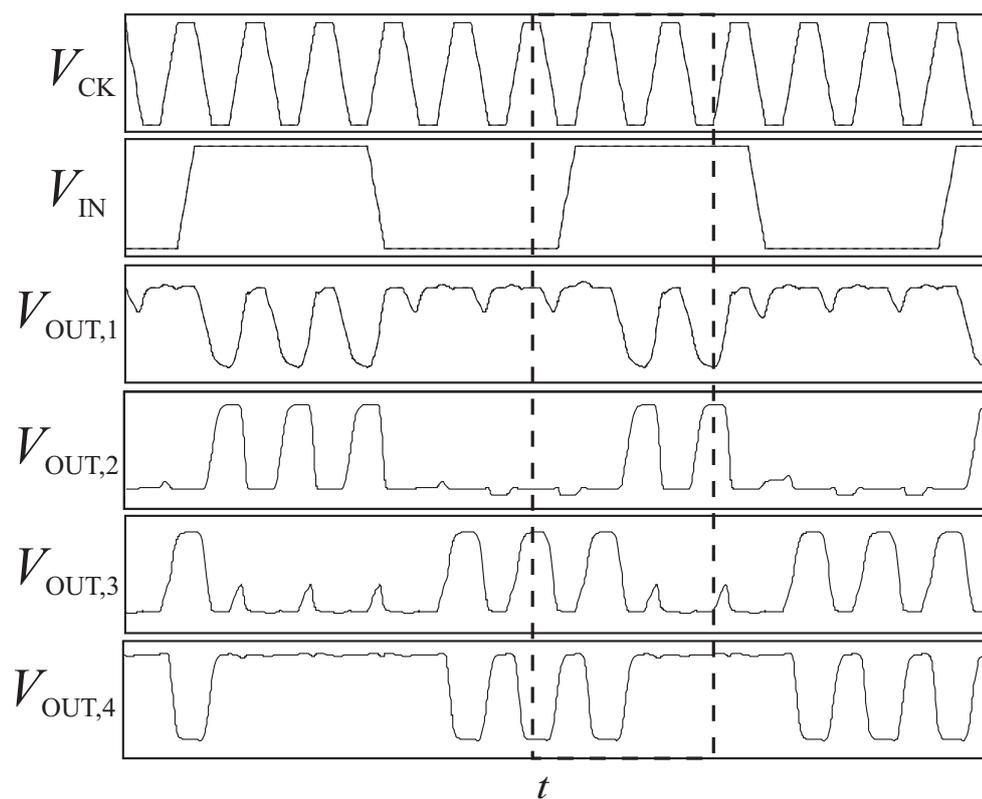
Figura 4.23: Conexión en serie de dos inversores empleando una fase de reloj.

alto (bajo) a las salidas de los MOBILE disparados por flanco ascendente (descendente). Este esquema se muestra en la Figura 4.22.

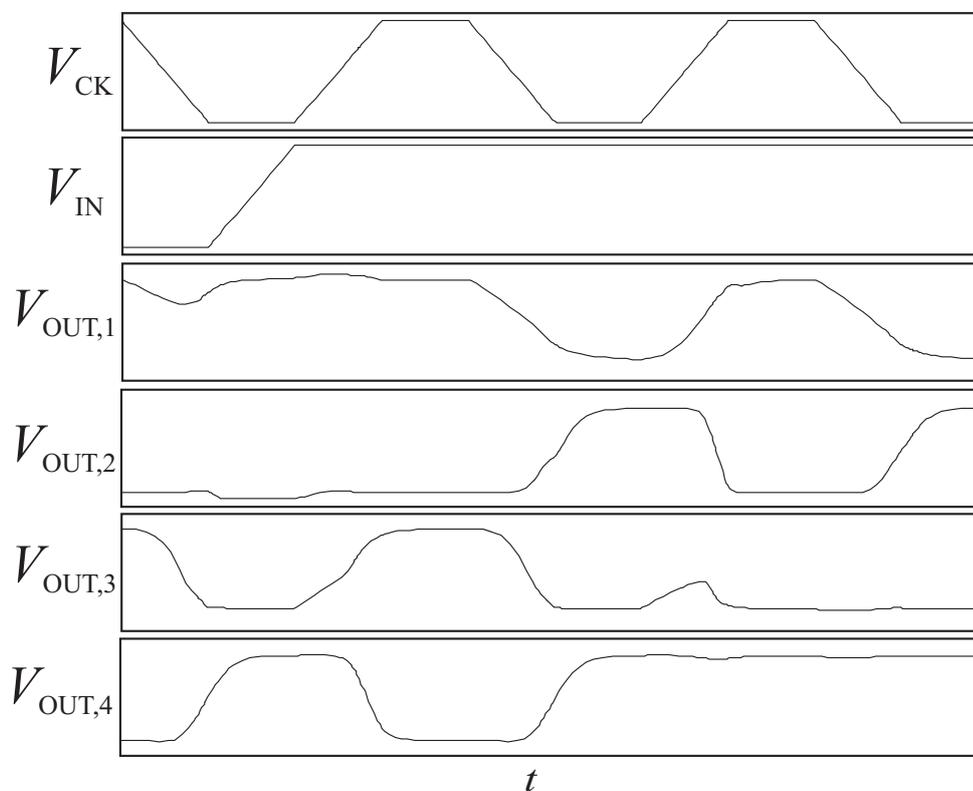
Un análisis detallado de la operación de este esquema de interconexión de una fase permite concluir que, al exigir que se elimine el retorno al valor de *reset*, se está imponiendo una restricción más fuerte que la requerida para la operación correcta de una cadena de puertas MOBILE que intercala etapas con disparo ascendente y etapas con disparo descendente. Es suficiente con mantener la salida de cada MOBILE hasta que haya evaluado la siguiente. Esto es, la salida de las etapas disparadas por el flanco de subida (bajada) pueden retornar tras el siguiente flanco de bajada (subida) de la polarización. Ello implica que los *latches* utilizados en [66], que exhiben un consumo en estática tan elevado que limita su utilidad práctica, puedan ser sustituidos por circuitos más simples.

La Figura 4.23 muestra la conexión que proponemos para el caso de dos inversores. Las estructuras MOBILE se implementan aquí con dispositivos MOS-NDR, aunque el concepto es aplicable a tecnologías con RTDs. Obsérvese que se ha utilizado el mismo “*latch*” para ambos tipos de etapas.

En la Figura 4.24a se muestran las formas de onda de las salidas de cada una de las

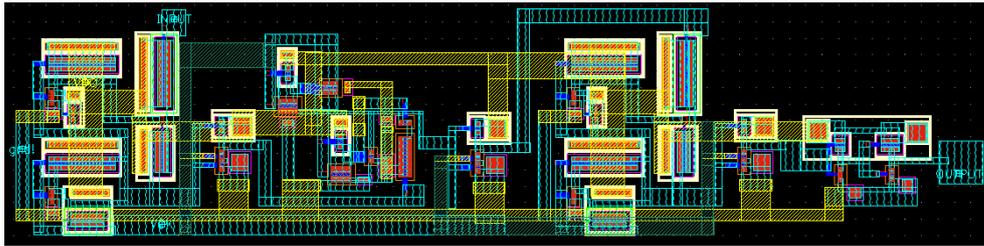
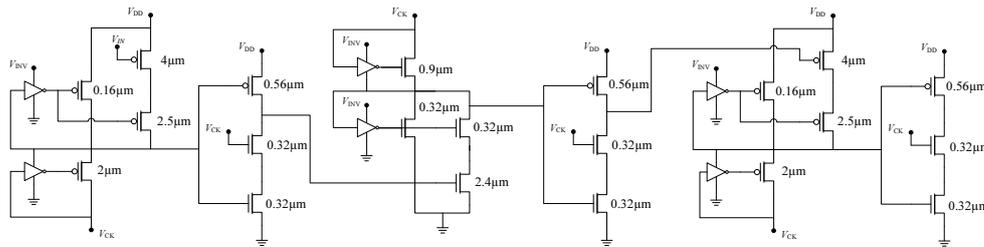


(a) Formas de onda empleadas para verificar el comportamiento correcto de la interconexión.



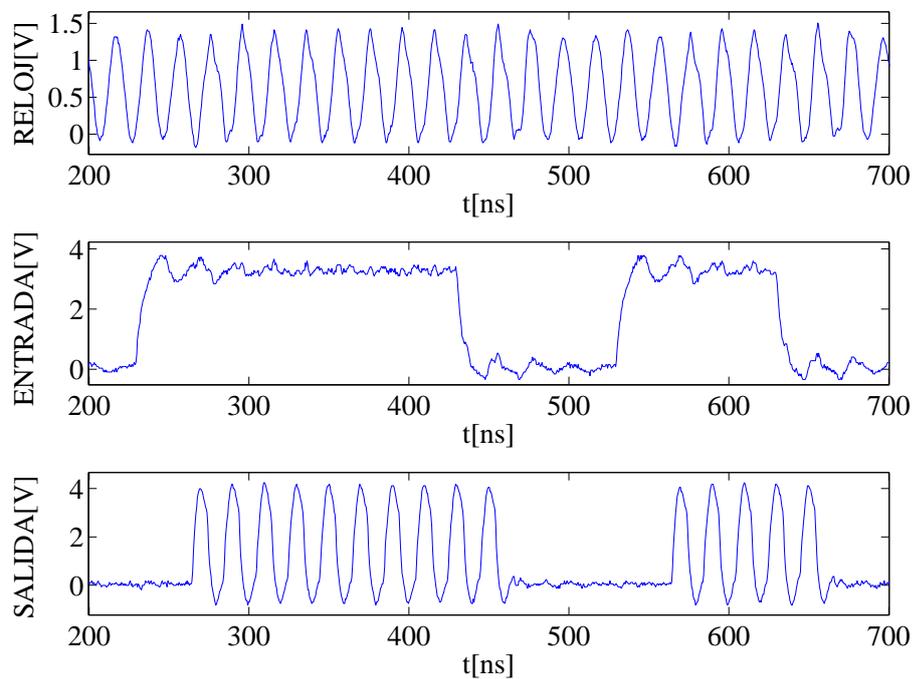
(b) Ampliación de la zona marcada en la Figura 4.24a.

Figura 4.24: Formas de onda de los nodos de salida de los bloques de la Figura 4.23.

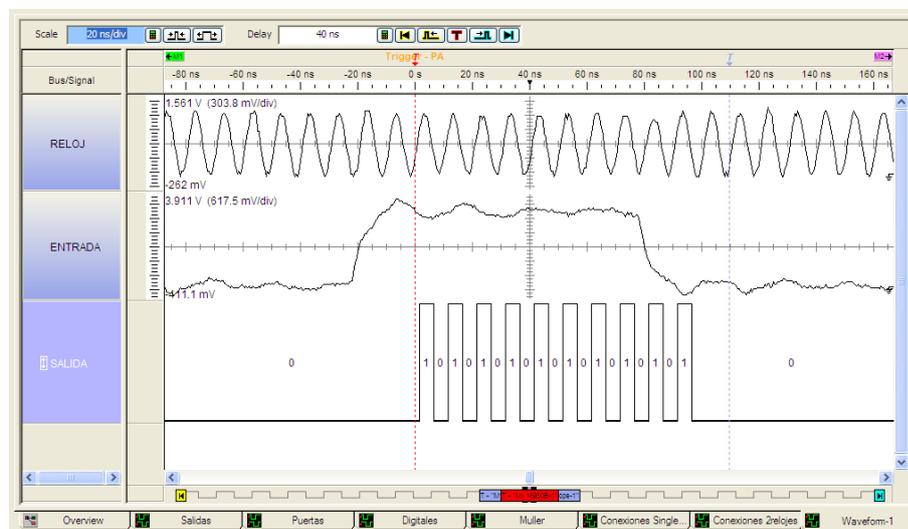
(a) *Layout.*(b) *Esquemático.***Figura 4.25:** Conexión en serie de tres seguidores binarios.

etapas, lo que permite comprobar el funcionamiento correcto de la cadena. Para analizar la operación de cada etapa por separado, mostramos en la Figura 4.24b una ampliación de la zona marcada. Comencemos analizando el funcionamiento del primer inversor (activo por flanco de bajada) y su “*latch*” (salidas $V_{OUT,1}$ y $V_{OUT,2}$). En el primer flanco de bajada de la señal de reloj, el inversor evalúa un nivel lógico bajo de la entrada, por lo que $V_{OUT,1}$ permanece a nivel alto. Simultáneamente, con la bajada del reloj, el transistor NMOS del “*latch*” sobre el que se aplica V_{CK} va dejando de conducir. Esto provoca que, dado que el transistor PMOS está cortado, $V_{OUT,2}$ mantenga el nivel lógico previo a la bajada del reloj (bajo) que será evaluado por el segundo inversor ($V_{OUT,3}$) en el siguiente flanco de subida. En el siguiente flanco de bajada del reloj, $V_{OUT,1}$ es cero y por tanto, dado que sólo el transistor PMOS del *latch* conduce, $V_{OUT,2}$ se hace V_{DD} . Nótese que el pequeño retraso que se produce entre $V_{OUT,1}$ y $V_{OUT,2}$ en la inversión permite que $V_{OUT,2}$ esté estable a nivel alto cuando la segunda etapa la evalúe en el siguiente flanco de subida. Obsérvese que, efectivamente, $V_{OUT,2}$ no elimina los retornos a V_{DD} de $V_{OUT,1}$.

Para la etapa disparada por flanco de subida, el comportamiento es el complementario. Tampoco $V_{OUT,4}$ elimina los retornos a cero de $V_{OUT,3}$. En el primer flanco de subida, $V_{OUT,3}$ sube hasta el nivel lógico alto. A la vez, el transistor NMOS sobre el que se aplica el reloj empieza a conducir, formándose un camino de señal entre $V_{OUT,4}$ y tierra. El retraso que se genera en la inversión, permite que se evalúe $V_{OUT,4}$ en el siguiente flanco de bajada



(a) Formas de onda.



(b) Captura del analizador lógico que muestra el reloj, la entrada y la salida.

Figura 4.26: Resultados experimentales de la conexión en serie de tres seguidores binarios.

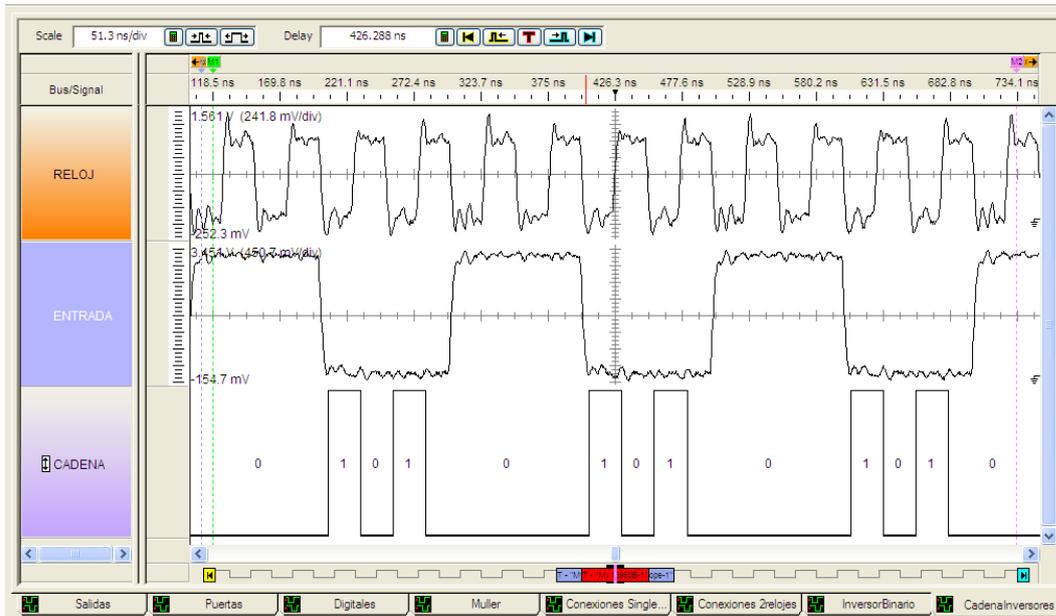


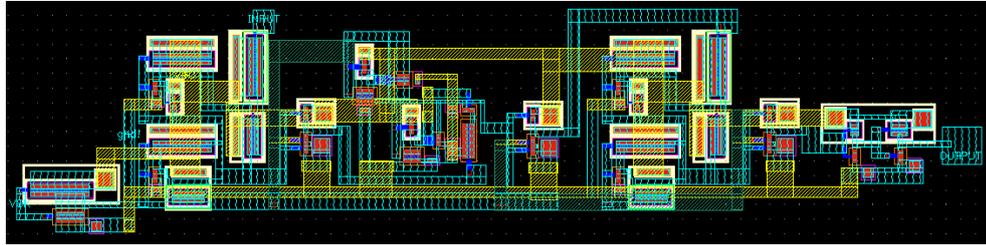
Figura 4.27: Resultados experimentales de la conexión en serie de tres seguidores binarios empleando un reloj a 20MHz y entradas conmutando a 10MHz.

cuando está estable a nivel bajo. En el segundo flanco de subida $V_{OUT,3}$ permanece a nivel bajo (evalúa un nivel lógico alto de $V_{OUT,2}$), $V_{OUT,4}$ se hace igual a V_{DD} y está estable para su evaluación en el siguiente flanco de bajada.

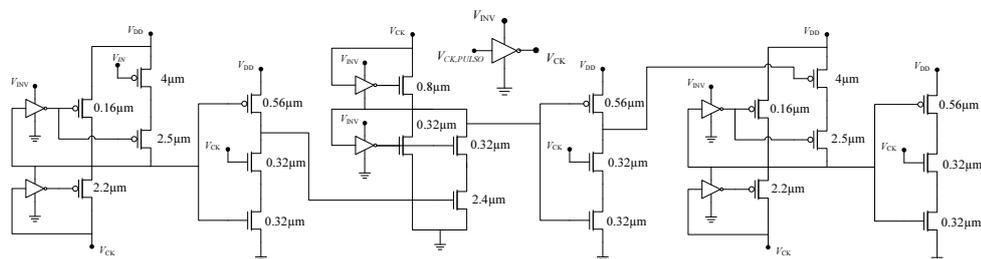
4.2.1 Resultados experimentales

Para validar el funcionamiento de la interconexión de puertas MOBILE, se ha implementado la conexión en serie de tres seguidores, en la que el primero y el tercero están disparados por flanco de bajada y el segundo por flanco de subida. La Figura 4.25a muestra el *layout* del circuito, correspondiente al esquemático de la Figura 4.25b. Cada seguidor consta de un inversor en serie con un “*latch*” inversor.

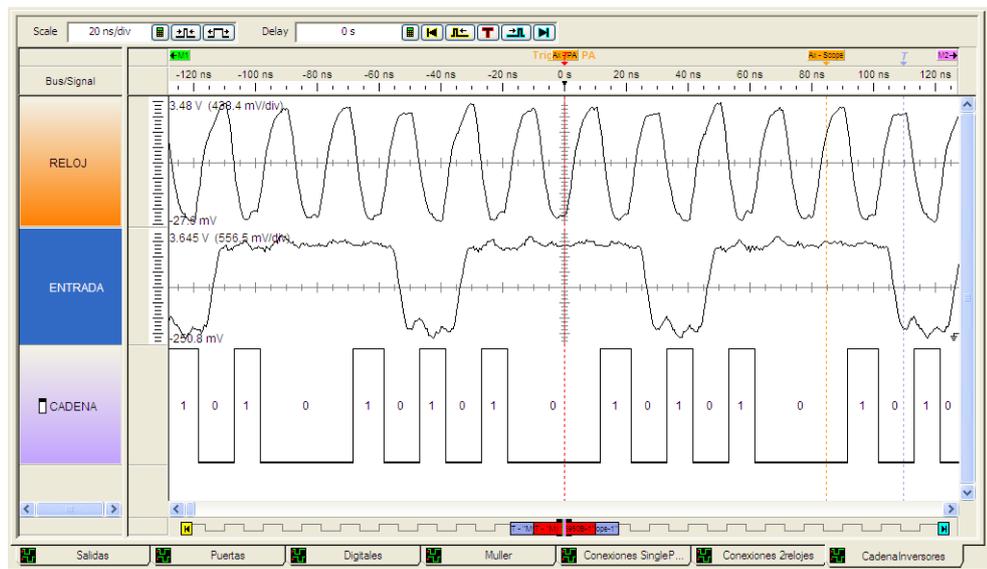
La Figura 4.26 muestra las formas de onda del reloj, la entrada y la salida. Nótese que en la salida se observa la secuencia de entrada, si bien entre ambas señales hay un retraso equivalente a tres semiperíodos de la señal de reloj, como corresponde a la propagación por las tres etapas (evaluación en un flanco descendente de la primera etapa, seguida de evaluación en el ascendente de la segunda y finalizando con la evaluación en el siguiente descendente de la tercera). Además, se observa el retorno al valor de reset en la salida. Se han realizado medidas a 50MHz (Figura 4.26a) y 100MHz (captura de la pantalla del analizador lógico Agilent 16902B mostrada en la Figura 4.26b).



(a) Layout.



(b) Esquemático.



(c) Formas de ondas a 50MHz.

Figura 4.28: Conexión en serie de tres seguidores binarios con reloj indirecto.

Al igual que hicimos en el inversor, verificaremos que la cadena opera correctamente con tiempos de subida y bajada pequeños del reloj. La Figura 4.27 muestra las formas de onda del reloj (tren de pulsos a 20MHz generado con el HP81134A), la entrada (tren de pulsos a 10MHz) y la salida, en la que ahora se observan los retornos a cero.

Se ha fabricado la misma conexión de inversores empleando un esquema de reloj indirecto. La Figura 4.28a muestra el *layout* de la cadena (dimensiones en la Figura 4.28b). Los resultados experimentales, empleando un reloj de 50MHz, se ilustran en la Figura 4.28c.

4.3 Muller C-element

Hasta el momento hemos considerado el dispositivo MOS-NDR como un mero emulador de la característica NDR del RTD, lo que permite el prototipado de conceptos de diseño en tecnologías CMOS comerciales. Sin embargo, para ciertas aplicaciones, el diseño de circuitos con dispositivos MOS-NDR puede resultar, además, más eficiente que las arquitecturas CMOS convencionales. En esta sección proponemos dos realizaciones del Muller C-element que usan MOS-NDRs y que mejoran las prestaciones de diseños previamente reportados.

El Muller C-element es un circuito que se usa frecuentemente en el diseño de circuitos autotemporizados. Formalmente, la operación de un Muller C-element de N entradas viene descrita por $Q = \{x_1 \cdot x_2 \cdot \dots \cdot x_N\} + \{x_1 + x_2 + \dots + x_N\} \cdot q$, donde x_i , ($i = 1, \dots, N$) son las entradas primarias, Q la variable de próximo estado y q la variable de estado presente.

Puede realizarse de forma muy compacta usando un dispositivo con característica N [53]. La Figura 4.29a muestra la realización de un Muller C-element de dos entradas y la Figura 4.29b su principio de operación. Cuando ambas entradas están desactivadas, la intensidad que circula a través de los dos transistores es menor que la corriente de valle del NDR y se alcanza un valor de tensión bajo, correspondiente al punto “ L_1 ”. Al activar ambas entradas, la corriente total de la etapa de entrada es mayor que la corriente de pico del NDR, la solución alcanzada es “ H_1 ” y la salida es alta. Por último, al activar una de las entradas, la intensidad total que circula por los transistores de entrada se encuentra entre las intensidades de pico y de valle. Por tanto, la salida puede tomar valores “ L_2 ” o “ H_2 ”, dependiendo del estado anterior. La solución “ L_2 ” mantiene el nivel bajo de la salida y representa una situación en la que originalmente la salida estaba a un nivel “ L_1 ” y una

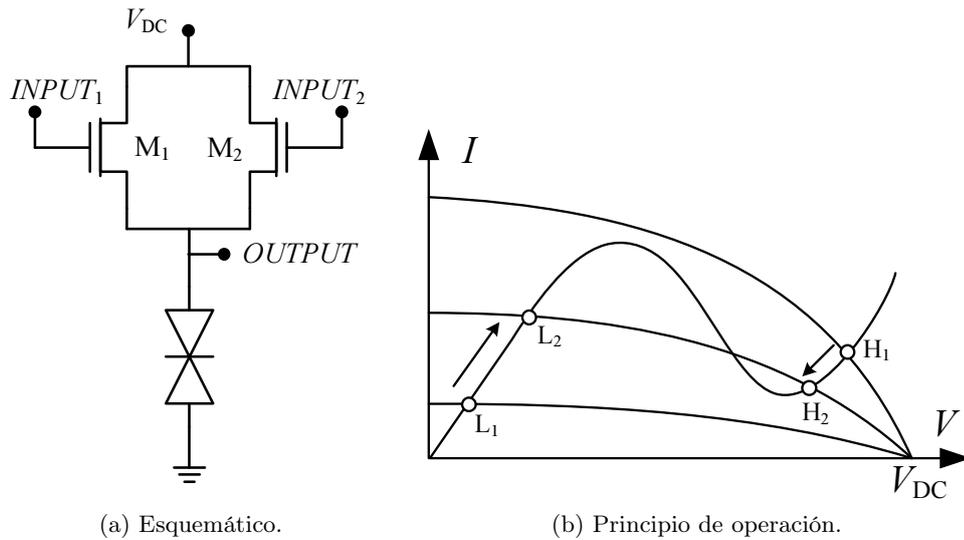


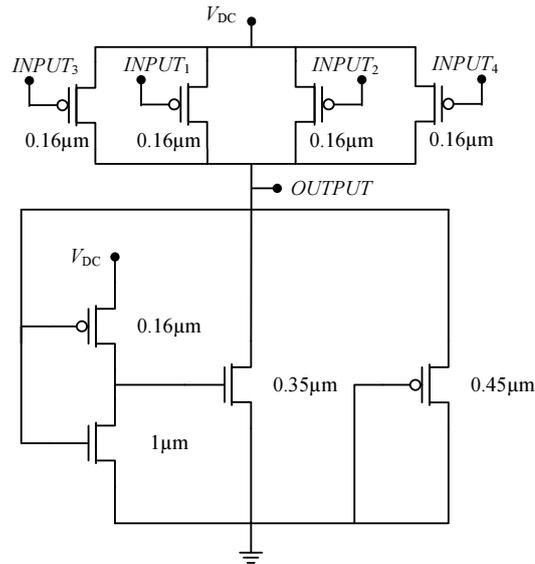
Figura 4.29: Muller *C-element* de dos entradas.

de las entradas cambió su estado. Análogamente, “ H_2 ” mantiene el nivel alto de la salida y proviene de una situación en la que el valor de salida “ H_1 ” estaba activo. Un Muller *C-element* de N entradas se puede implementar añadiendo N transistores en paralelo.

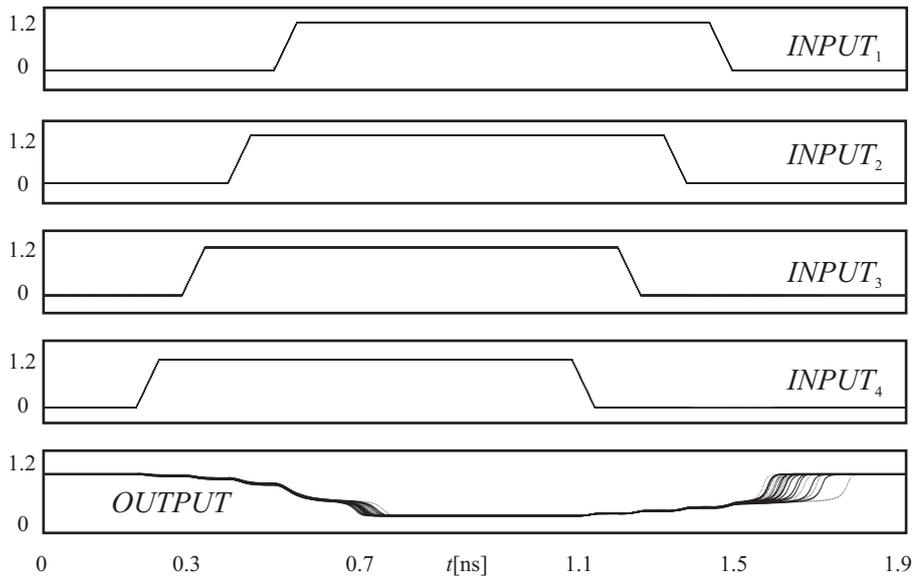
4.3.1 Muller *C-element* de 4 entradas con MOS-NDR

Con esta aproximación, hemos diseñado un Muller *C-element* de 4 entradas utilizando un MOS-NDR tipo N y lo hemos comparado con una implementación CMOS convencional [112]. Esta realización CMOS, propuesta por Wu, consta de árboles NOR y NAND conectados a un *latch* que mantiene el valor de la salida hasta que se produce el siguiente cambio. Ambas realizaciones se han implementado en la tecnología UMC de 130nm con idénticas cargas. El esquemático de la realización MOS-NDR se muestra en la Figura 4.30a. En la Figura 4.30b se muestran las formas de onda de las entradas y la salida correspondientes a un análisis de Monte Carlo ($3-\sigma$) y una polarización de 1.2V . Cuando todas las entradas se desactivan, esto es, se colocan a nivel alto (las etapas de entrada son ahora transistores PMOS), la salida se hace cero, manteniendo este valor hasta que todas se activan (se hacen cero). Esto es, se obtiene un Muller *C-element* negado.

Hemos considerado el esquema de señales de entrada mostrado en la Figura 4.31a y hemos medido la potencia promedio para diferentes valores de la frecuencia de conmutación de las entradas, $1/T$. La Figura 4.31b muestra los resultados de simulación obtenidos. Puede observarse que nuestro circuito es más eficiente para frecuencias superiores a 1GHz .



(a) Esquemático.



(b) Formas de onda de las entradas y salida (análisis de Monte Carlo).

Figura 4.30: Muller *C-element* de cuatro entradas (I).

Nótese que el consumo en nuestra estructura es poco dependiente de la frecuencia, a diferencia de lo que ocurre en la realización convencional [112].

La eficiencia en área es también una de las principales características de nuestro diseño: son necesarios 6 transistores PMOS (4 para las entradas y 2 para el dispositivo MOS-NDR) y 2 transistores NMOS, lo que corresponde a una área total de $0.312\mu\text{m}^2$. Por otro lado, el circuito propuesto por Wu se ha diseñado utilizando puertas NAND y NOR de dos

entradas. El bloque combinacional ocupa un área de $1.728\mu m^2$ y el *latch* $0.778\mu m^2$. El área total de esta estructura ($2.506\mu m^2$) es ocho veces mayor que la requerida por nuestro diseño.

El circuito propuesto también supera una gran limitación presente en otras implementaciones *single-gate* que requieren apilar una gran cantidad de transistores (por ejemplo, un Muller C-*element* de 3 entradas requiere 6 transistores apilados [112]). A diferencia de éste, en nuestro diseño se añade un transistor en paralelo por cada entrada adicional.

Nuestro análisis se ha completado con el diseño de un Muller de 6 entradas, concluyéndose que el consumo promedio es menor que en el Muller de 4 entradas de Wu para frecuencias superiores a 1.25GHz.

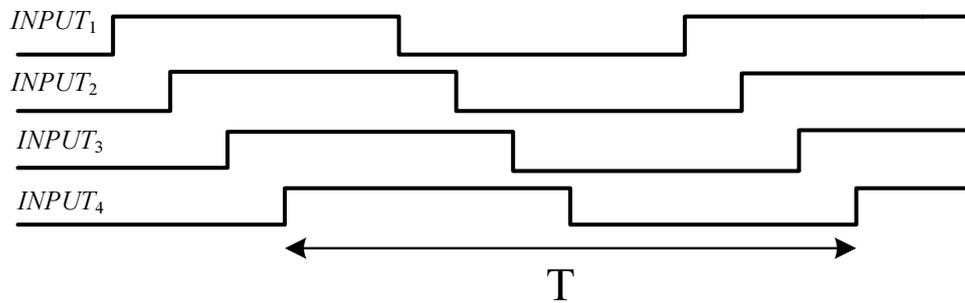
4.3.2 Muller C-*element* con MOS-NDR y red de preprocesamiento

La estructura anterior presenta dificultades de diseño al incrementar el número de entradas. Esto se debe a que la diferencia relativa entre la corriente total a través de la etapa de entrada cuando, por ejemplo, $N-1$ entradas están a '0' y el caso en el que todas las entradas están a '0' puede ser tan pequeña, que el circuito podría no funcionar correctamente si se produjeran fluctuaciones en los valores nominales de los parámetros de diseño. La solución que proponemos para solventar este problema consiste en añadir un circuito de preprocesado que reduce a dos el número de entrada que maneja el Muller. La Figura 4.32 muestra el diagrama de dos bloques ("PREPROCESADO" y "CORE") de esta arquitectura.

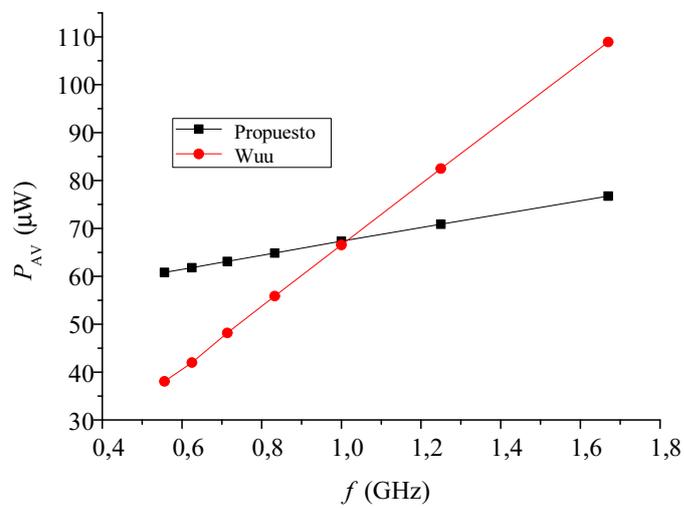
Preprocesado

Este bloque tiene N entradas y genera dos señales intermedias, s_1 y s_2 . La señal s_1 es '0' cuando todas las entradas son iguales a '1', y '1' para cualquier otra combinación de entradas (es decir, actúa como una puerta NAND de N entradas). En el circuito para la señal s_1 (Figura 4.33a) las N entradas están conectadas a N transistores PMOS. La tensión puerta-fuente de los transistores NMOS se fija a un valor constante V_{NMOS} .

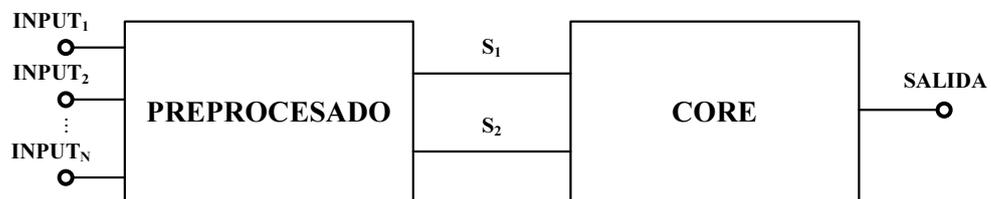
La señal s_2 es '1' cuando todas las entradas están a '0' y en caso contrario '0' (es decir, actúa como una puerta NOR de N entradas). La Figura 4.33b muestra el circuito que la genera y consiste en la conexión en paralelo de N transistores NMOS, además de un PMOS cuya puerta está conectada a tierra.

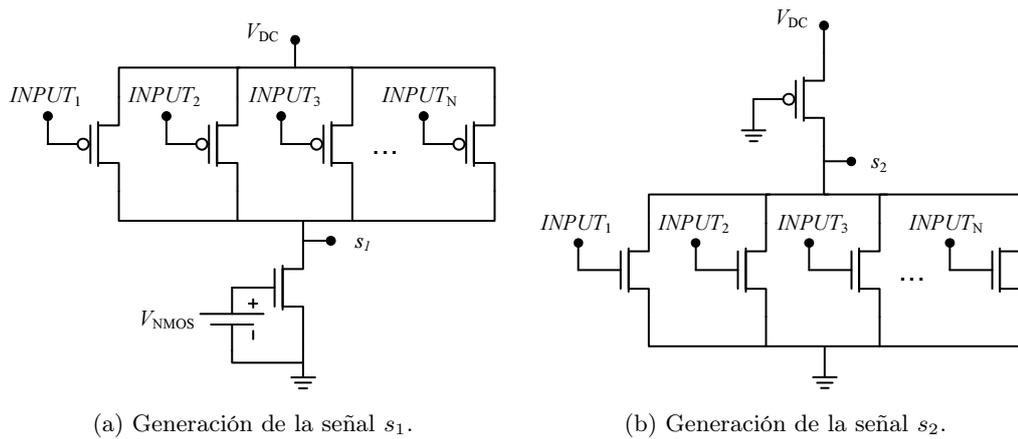
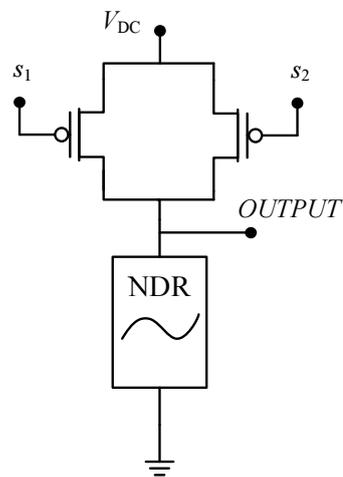


(a) Formas de onda de las señales de entrada del experimento.



(b) Potencia promedio frente a la frecuencia.

Figura 4.31: Muller C-element de cuatro entradas (II).**Figura 4.32:** Diagrama de bloques del circuito Muller C-element de N entradas.

(a) Generación de la señal s_1 .(b) Generación de la señal s_2 .**Figura 4.33:** Bloques de “PREPROCESADO”.**Figura 4.34:** Bloque “CORE”.

Core

La Figura 4.34 muestra el diagrama correspondiente al bloque “CORE” que consiste en dos transistores PMOS y un dispositivo MOS-NDR. Las señales s_1 y s_2 , procedentes del bloque de preprocesado, se conectan a la puerta de los transistores PMOS. El principio de operación de este circuito es similar al descrito anteriormente para un Muller C-element de dos entradas.

Evaluación en función del número de entradas

Dado que el Muller C-element sin red de preprocesamiento tiene limitado el número de entradas, cuando este número sea elevado sería interesante incluir otros factores para

<i>Producto Potencia-Retraso-Área Normalizado</i>					
<i>Número de entradas →</i>	2	4	8	16	32
$P_{AV}(\mu W)$	350.77	376.14	405.57	459.91	516.06
$D_{AV}(ps)$	263	268	296	327	396
$\sum_i W_i(\mu m)$	28.08	39.08	66.40	102.00	182.00
$(P - PDA)_N(pJ \cdot \mu m)$	2.59	3.94	7.97	15.34	37.15

Tabla 4.1: Resultados de simulación para la estructura propuesta.

determinar las prestaciones del circuito. El producto potencia-retraso-área ($P - PDA$), es una elección adecuada ya que, además del consumo, tiene en cuenta el retraso entrada-salida y el área ocupada. Se define como:

$$P - PDA = P_{AV} \cdot D_{AV} \cdot A \quad (4.7)$$

donde P_{AV} es el consumo promedio, D_{AV} es el retraso promedio (definido como la media entre el retraso en la subida y la bajada) y A es el área total del circuito. Dado que hemos empleado transistores con la misma longitud de canal, definimos el $P - PDA$ normalizado, $(P - PDA)_N$, como:

$$(P - PDA)_N = P_{AV} \cdot D_{AV} \cdot \sum_i w_i \quad (4.8)$$

siendo $\sum_i w_i$ es la suma de los anchos de los transistores.

Las simulaciones se han realizado empleando un conjunto de señales de entrada consistentes en trenes de pulsos de 50ps de tiempo de subida y bajada, 1ns de periodo y un retraso de 0.1ns entre ellas. Los resultados se muestran en la Tabla 4.1 para los Muller *C-elements* de 2, 4, 8, 16 y 32 entradas.

La Tabla 4.2 muestra esos resultados para la estructura de Wuu y la Figura 4.35 una comparativa del $(P - PDA)_N$ de ambas aproximaciones. Se puede observar que a partir de 16 entradas el diseño con red de preprocesamiento es más eficiente.

4.3.3 Resultados experimentales

En el segundo circuito fabricado (Apartado A.2.2 del Apéndice), se han integrado cuatro Muller *C-elements*, tres de ellos con red de preprocesamiento y uno sin ella. En las medidas se ha empleado el generador de patrones Agilent 16720A. La Figura 4.36 muestra el patrón de señales de entrada empleado. Para comprobar el funcionamiento de las puertas, se han aplicado patrones con una frecuencia de 300MHz (máximo permitido

Número de entradas \rightarrow	Producto Potencia-Retraso-Área Normalizado				
	2	4	8	16	32
$P_{AV}(\mu W)$	14.01	18.10	73.05	260.27	416.62
$D_{AV}(ps)$	289	294	442	471	514
$\sum_i W_i(\mu m)$	8.16	11.28	48.60	119.16	280.16
$(P - PDA)_N(pJ \cdot \mu m)$	0.03	0.06	1.57	14.61	59.99

Tabla 4.2: Estructura Wuu-Vrudhula. Resultados de simulación.

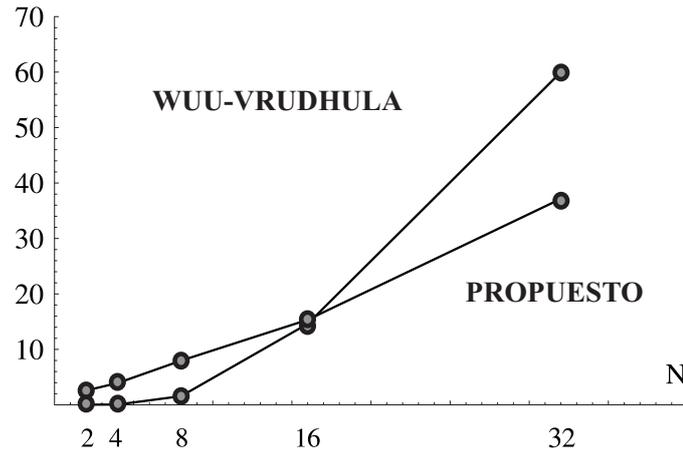


Figura 4.35: Comparativa en términos del $P - PDA_N$ entre las estructuras propuesta y la de Wuu-Vrudhula.

por el generador de patrones). Las figuras muestran capturas de las tensiones de entrada y salida realizadas con el osciloscopio Agilent DSO6104A InfiniiVision y el analizador lógico Agilent 16902B.

Circuitos con red de preprocesamiento

Se han implementado puertas Muller C-element de 4, 8 y 16 entradas. Los anchos de transistor en el circuito de generación de la señal s_1 (Figura 4.33a) son $3\mu m$ (PMOS) y $0.8\mu m$ (NMOS). En el circuito de generación de la señal s_2 (Figura 4.33b), los anchos de los transistores son $0.72\mu m$ (NMOS) y $1\mu m$ (PMOS). Respecto al diseño del core (Figura 4.34), el ancho de los transistores PMOS es $0.32\mu m$; en el inversor del NDR $0.16\mu m$ (PMOS) y $1\mu m$ (NMOS); en el transistor NMOS que modula su intensidad de pico, $0.16\mu m$ y el PMOS que controla la segunda zona de resistencia diferencial positiva, $0.6\mu m$.

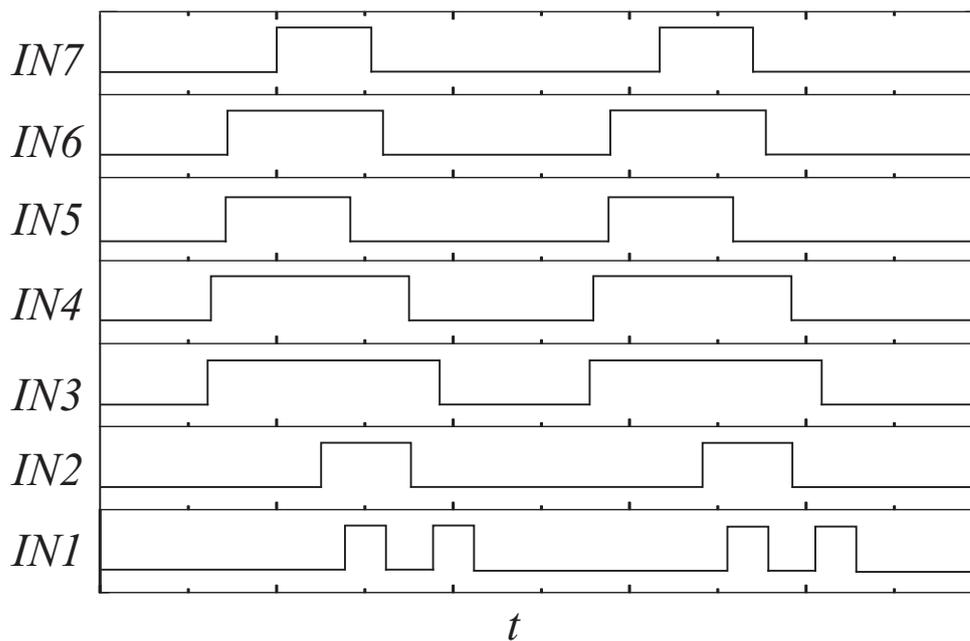
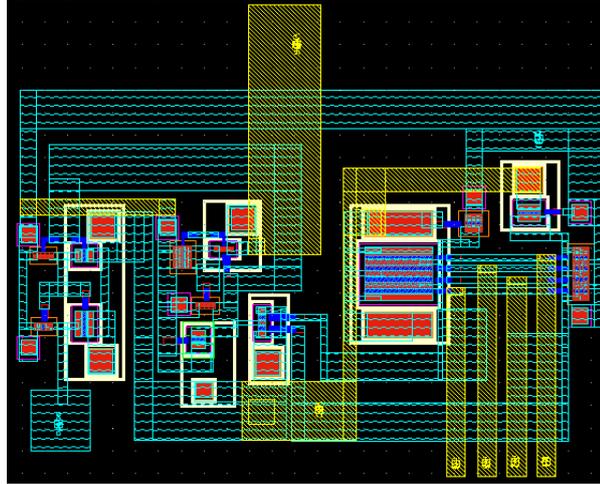
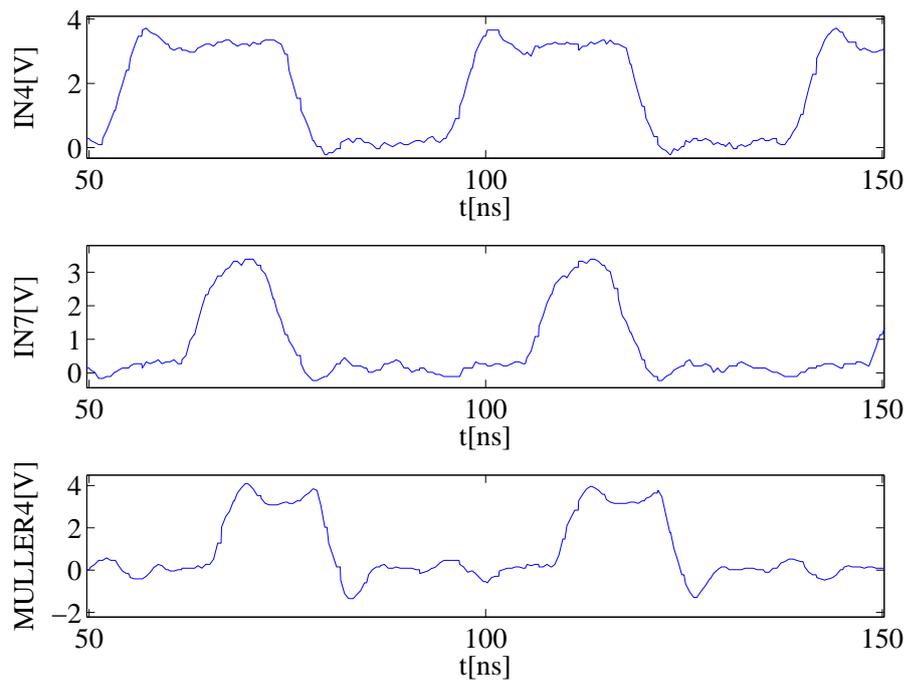


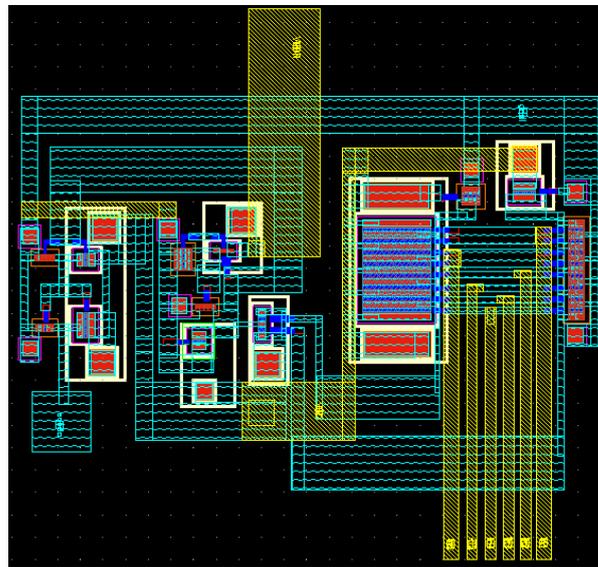
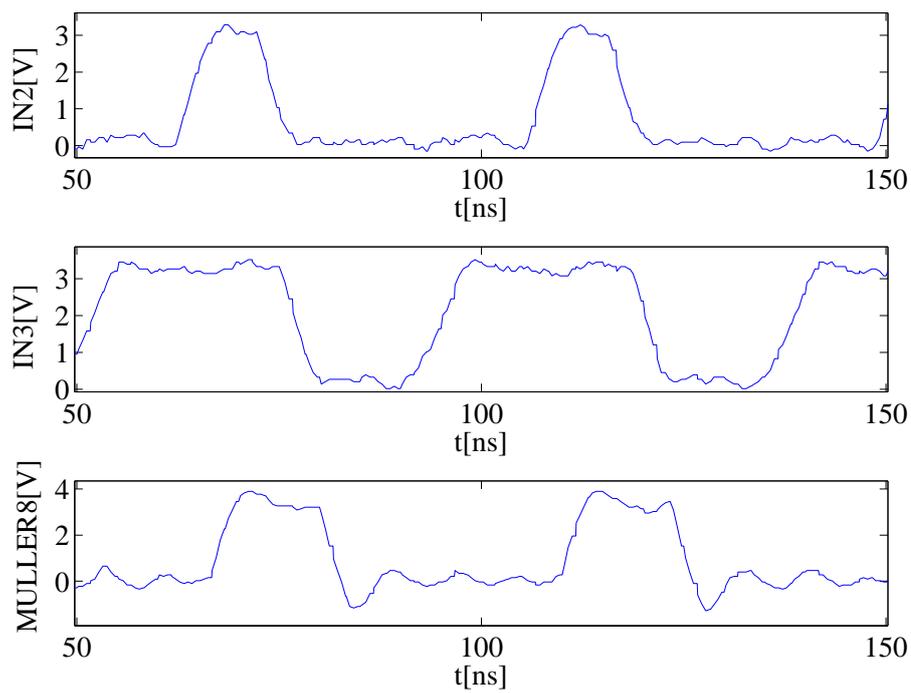
Figura 4.36: Formas de onda empleadas para verificar el funcionamiento de las puertas Muller *C-element*.

- Muller *C-element* de 4 entradas. La Figura 4.37a muestra el *layout* del circuito. Se han aplicado las entradas *IN4* a *IN7* de la Figura 4.36. La Figura 4.37b muestra las formas de onda de la salida y de dos señales de entrada, *IN4* e *IN7*. La señal *IN4* es la última de las entradas en conmutar a '0' y, por tanto, provoca que la salida retorne al nivel cero lógico. Por otro lado, la señal *IN7* es la última en pasar a nivel alto y hace que la salida conmute a '1'.
- Muller *C-element* de 8 entradas. El *layout* del circuito se muestra en la Figura 4.38a. Se han aplicado las señales *IN2* a *IN7* de la Figura 4.36 (*IN6* e *IN7* se conectan a dos entradas cada una). Las entradas, *IN2* e *IN3*, mostradas en la Figura 4.38b, son las que provocan que la salida del circuito conmute a nivel alto y bajo, respectivamente.
- Muller *C-element* de 16 entradas. La Figura 4.39a muestra el *layout* del circuito. Se le aplican las siete señales de entrada de la Figura 4.36 siguiendo el siguiente esquema: *IN4* aparece 8 veces, *IN3* e *IN5* dos y el resto de señales una vez. La entrada *IN1* es la última en conmutar a nivel alto, provocando que la salida pase a nivel alto. Por otro lado, cuando el segundo pulso de *IN1* retorna a cero, todas

(a) *Layout.*

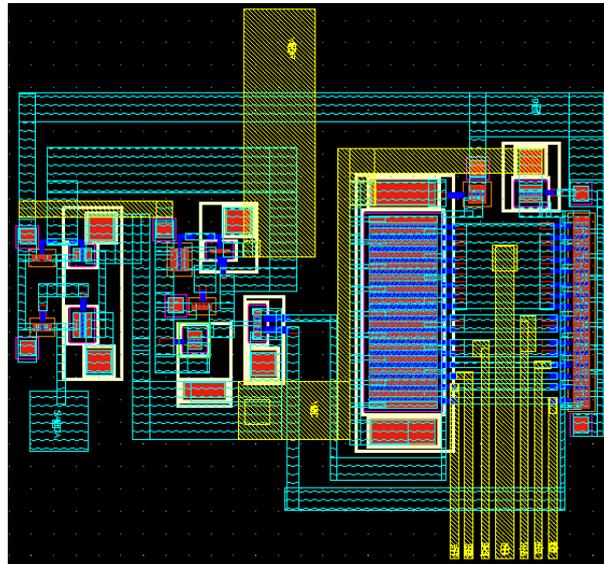
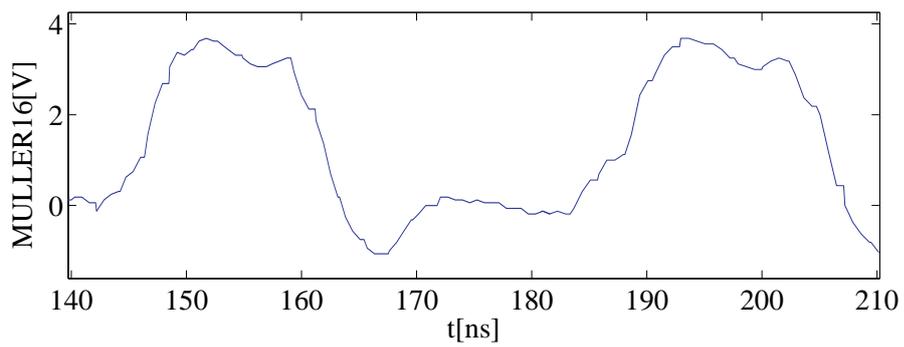
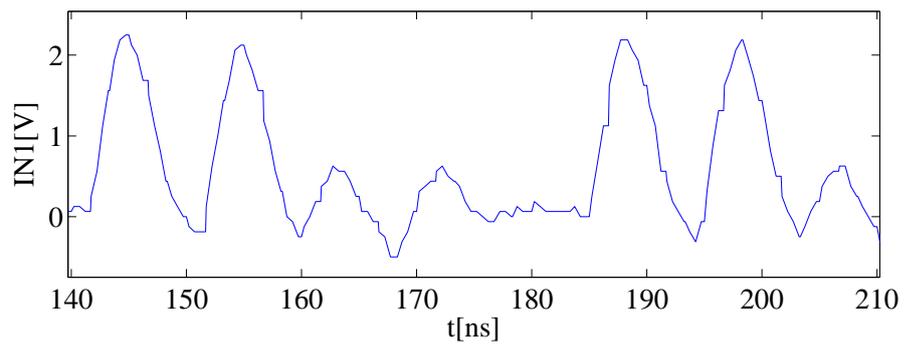
(b) Formas de ondas.

Figura 4.37: Muller C-element de 4 entradas.

(a) *Layout.*

(b) Formas de ondas.

Figura 4.38: Muller *C-element* de 8 entradas.

(a) *Layout.*

(b) Formas de ondas.

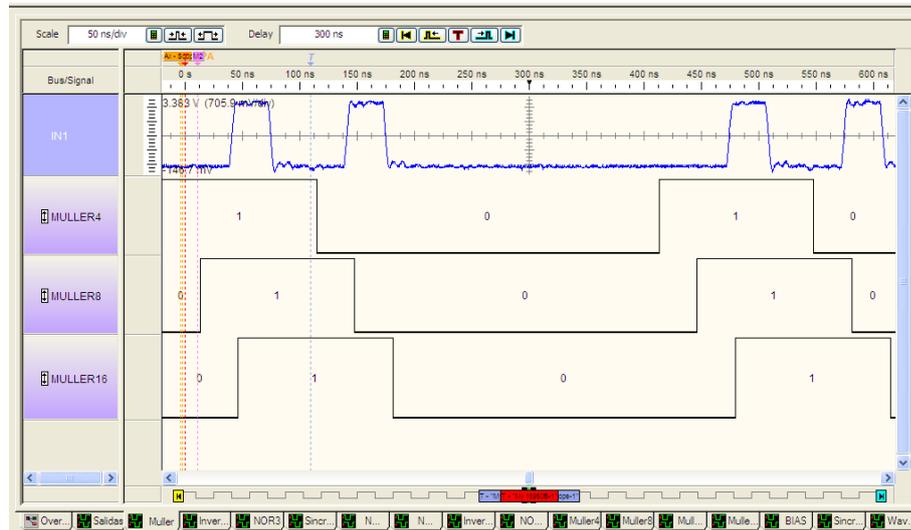
Figura 4.39: Muller C-element de 16 entradas.

las entradas están a nivel bajo, y la salida conmuta. La Figura 4.39b muestra las formas de onda de $IN1$ y de la salida.

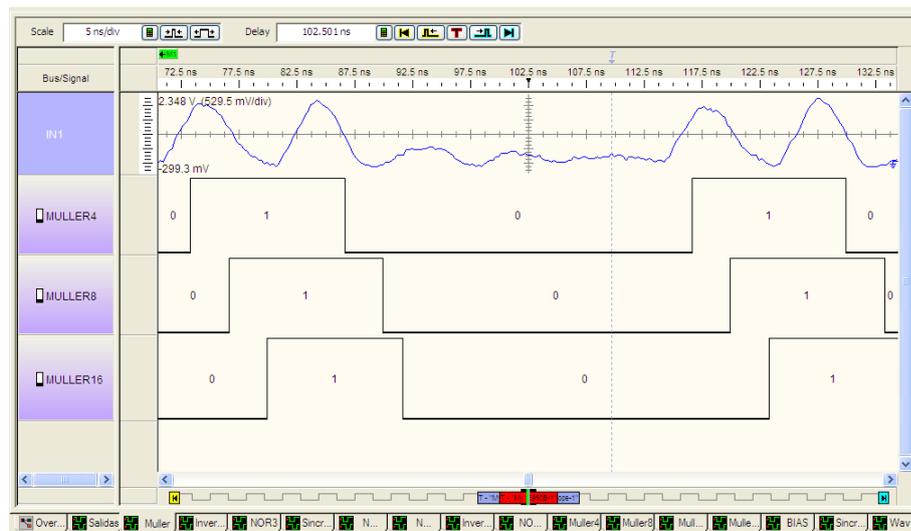
Finalmente, en la Figura 4.40 se muestra la salida del analizador lógico para los tres circuitos. Las entradas conmutan a 30MHz y 300MHz. Se ha capturado en el osciloscopio la entrada $IN1$.

Circuito sin red de preprocesamiento

La Figura 4.41a muestra el *layout* del Muller C-*element* de 4 entradas sin red de preprocesamiento. Dado que en este tipo de estructuras las entradas se conectan a transistores PMOS, la salida conmuta a nivel bajo cuando todas las entradas pasan a nivel alto, manteniendo su valor hasta que el conjunto de entradas al completo baja. En la Figura 4.41b se muestra la salida medida para las entradas $IN4$ a $IN7$ de la Figura 4.36. Se puede comprobar que cuando conmuta a nivel alto la última entrada ($IN7$), todos los transistores PMOS están cortados y la salida pasa a nivel bajo (equivalente al nivel “ L_1 ” en la Figura 4.29b). Por otro lado, cuando todas las entradas conmutan a nivel bajo (la última en hacerlo es $IN4$), todos los transistores PMOS están conduciendo y la salida pasará al estado “ H_1 ”.

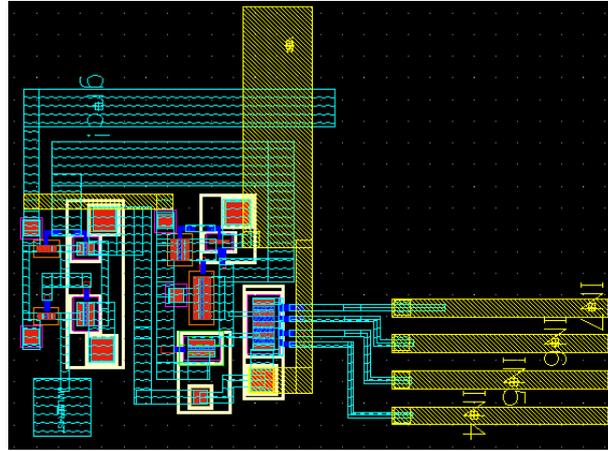
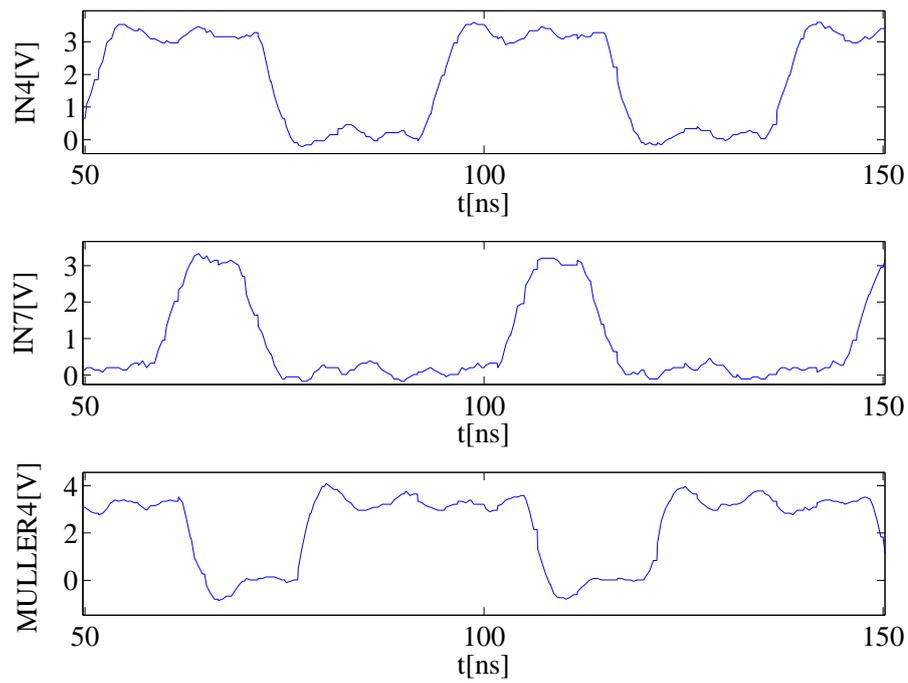


(a) Entradas conmutando a 30MHz.



(b) Entradas conmutando a 300MHz.

Figura 4.40: Muller con red de preprocesamiento de 4, 8 y 16 entradas.

(a) *Layout.*

(b) Formas de ondas.

Figura 4.41: Muller C-element de 4 entradas sin red de preprocesamiento.

4.4 Conclusiones

En este capítulo se ha estudiado el diseño de circuitos lógicos basados en el dispositivo MOS-NDR. En el primer bloque se ha propuesto una metodología de diseño para puertas lógicas basadas en MOBILE, y se ha extendido la realización de puertas umbral con RTDs y HFETs a puertas umbrales basadas en el dispositivo MOS-NDR y transistores CMOS. Se ha propuesto una arquitectura que mejora en área y consumo a las reportadas anteriormente. Se ha abordado el diseño de puertas disparadas tanto por flanco de subida como de bajada de la señal de reloj y se han mostrado resultados experimentales de diferentes puertas fabricadas.

La interconexión de puertas ha sido objeto de estudio del segundo bloque. Se ha demostrado experimentalmente la operación de una cadena de puertas MOBILE alimentada por una única señal de reloj. El esquema de conexión propuesto se basa en alternar circuitos activos por flanco de subida y bajada, sin intercalar los *latches* necesarios en la propuesta original, sino circuitos más simples.

En el tercer bloque, se ha mostrado que se pueden implementar circuitos Muller *C-element* usando un dispositivo MOS-NDR para sustituir el RTD de una implementación previamente reportada. Se ha verificado, por simulación, que esta realización consume menos que otras realizaciones CMOS convencionales. En nuestra topología la adición de una entrada supone la de un único transistor. Cuando el número de entradas es elevado, la configuración anterior presenta problemas de robustez. Para solucionarlo, se ha propuesto un circuito con red de preprocesamiento, que reduce el circuito a un Muller *C-element* de dos entradas. Se ha comprobado que la arquitectura propuesta es también más eficiente en términos del producto potencia-retraso-área que la implementación convencional a partir de un determinado número de entradas. Finalmente, se han mostrado resultados experimentales de los circuitos Muller *C-element* con y sin red de preprocesamiento.

CAPÍTULO 5

DISEÑO DE CIRCUITOS RTD-CMOS

El grado de desarrollo de los dispositivos de efecto túnel resonante es muy diverso. Los RTDs fabricados en materiales III-V son los más maduros y se han reportado circuitos que los combinan con transistores de diferente tipo. Dado que las tecnologías dominantes están basadas en silicio, se están realizando grandes esfuerzos para desarrollar en este material dispositivos con resistencia negativa. Estos diodos exhiben peor comportamiento que los de tecnologías III-V. En la actualidad, la realización en silicio de diodos túnel es un área de investigación muy activa en la que se esperan importantes progresos. De hecho, se ha sugerido que la adición de RTDs a la tecnología CMOS puede extender la vida útil de esta última [32].

Se ha reportado la integración de Diodos Túnel Resonantes Interbanda (RITDs) con CMOS estándar [31] y SiGe HBT [38], así como su operación MOBILE [113]. También se ha reportado un RITD con una frecuencia de corte de 20GHz, que permite, por primera vez, aplicaciones de señal mixta, RF y circuitos lógicos de alta velocidad [37].

Recientemente se han simplificado los procesos de fabricación de diodos túnel resonantes compatibles con CMOS. Se han reportado estructuras que no necesitan Ge [40] o que usan un proceso de fabricación basado en CVD (*Chemical Vapor Deposition*) en lugar de MBE (*Molecular Beam Epitaxia*) [41]. Otra opción que se está explorando es el desarrollo de los procedimientos de fabricación de RTDs III-V sobre sustratos de silicio, habiéndose logrado importantes avances en este ámbito, como los diodos túnel en materiales III-V y Ge utilizando la técnica denominada ART (*Aspect Ratio Trapping*) [44, 45].

Desde una perspectiva de circuito, algunos trabajos se han centrado en la evaluación de las ventajas de la incorporación de RTDs a tecnologías CMOS (circuitos RTD-CMOS). En [114], el transistor *keeper* de las puertas de la lógica dominó se sustituye por un RTD, lo que aumenta significativamente la inmunidad al ruido, sin afectar al área, el retraso o el consumo. En [115] se describe una celda de memoria estática que consiste en la incorporación de un par de RTDs a una conocida topología de celdas DRAM. La nueva

estructura reduce el consumo estático en tres órdenes de magnitud respecto a una celda SRAM típica de seis transistores.

En nuestra opinión, es necesario profundizar más en esta dirección y en particular en el ámbito de los circuitos lógicos. Si bien se han estimado las mejoras cuando se añaden RTDs a puertas combinacionales y *flip-flops* [32, 116, 117], no se ha tenido en cuenta su uso en redes de puertas, y este es un punto clave ya que las puertas lógicas con RTDs permiten implementar estructuras *pipeline* a nivel de puerta. Es decir, cada puerta es una etapa *pipeline* y, por tanto, se debería comparar con estilos de lógica CMOS que operen en forma similar. Por otra parte, hemos podido comprobar que no existen estudios recientes en este ámbito y como consecuencia, no hay disponibles datos relativos a circuitos que combinan RTDs con tecnologías actuales.

En este capítulo evaluaremos las prestaciones de un conjunto de circuitos lógicos RTD-CMOS, puertas y redes de puertas, diseñados empleando el modelo de RTD de LOCOM y transistores de una tecnología CMOS comercial. El objetivo de este estudio es realizar una primera exploración de las ventajas de integrar RTDs en tecnologías CMOS actuales, para lo que es necesario asumir una serie de restricciones. En primer lugar, el escaso grado de desarrollo de la integración de RTDs en silicio: dado que no disponemos de modelos de RTDs en silicio, consideraremos como punto de partida el RTD de LOCOM escalado a la tecnología CMOS empleada. Por otro lado, en el estudio no se han tenido en cuenta aspectos que pueden ser significativos a frecuencias de operación elevadas, como parásitos del *layout* entre líneas del circuito o la problemática asociada a la distribución de la red del reloj. Para verificar la eficiencia de estos circuitos, compararemos sus prestaciones con las de realizaciones de los mismos circuitos diseñados en estilo TSPC (*True Single Phase Clock*) [99, 118], que también opera en modo *pipeline* a nivel de la puerta.

El capítulo se estructura en tres apartados. En el primero describimos cómo se van a realizar los experimentos de exploración del espacio de soluciones de diseño a partir de cuales se han dimensionado los circuitos. El estudio de puertas RTD-CMOS y su comparación con las correspondientes puertas TSPC lo abordaremos en el Apartado 5.2. En el Apartado 5.3 analizaremos la interconexión de puertas empleando una fase de reloj.

5.1 Descripción de los experimentos

Para evaluar las prestaciones de los circuitos RTD-CMOS y TSPC, hemos realizado simulaciones con HSPICE variando determinados parámetros en un determinado rango de

interés. Hemos determinado la combinación de parámetros que, en cada caso, optimiza las prestaciones del circuito en función de determinados criterios. En esta sección se describen los experimentos desarrollados, estableciendo qué parámetros de diseño se han explorado, así como los criterios de optimización seguidos.

5.1.1 Parámetros de diseño

Circuitos RTD-CMOS

En los experimentos con circuitos RTD-CMOS, se han explorado los siguiente parámetros de diseño:

1. *Área de los RTDs*: Hemos supuesto un área mínima para los RTDs de $0.04\mu m^2$, acorde a la tecnología de $130nm$ empleada para los transistores (esto es, unas dimensiones de $0.2\mu m \cdot 0.2\mu m$). Por tanto, el factor de área mínimo es $f_{MIN} = 0.004$.
2. *Frecuencia de operación del reloj*. La elección del rango de frecuencias explorado (entre 4GHz y 6GHz) se ha hecho a partir de demostradores que operan en modo *pipeline* en tecnologías CMOS similares [119, 120, 121].

Circuitos TSPC

Los parámetros de diseño explorados en los experimentos con circuitos TSPC son:

1. *Ancho de los transistores*: Se han empleado transistores con longitud de canal mínima. Las estructuras se han dimensionado considerando que:
 - a) El ancho del transistor PMOS es siempre igual a K veces la del NMOS ($K = 3.5$ para esta tecnología).
 - b) Cuando se conectan en serie N transistores, sus anchos se multiplican por N .
2. *Frecuencia de operación*. Se ha explorado el mismo rango de frecuencias que en los circuitos RTD-CMOS.

5.1.2 Condiciones de los experimentos

Carga

En el análisis de puertas RTD-CMOS y TSPC hemos considerado que su estudio cuando están cargadas con 1, 2 y 3 *latches* TSPC de dimensiones mínimas de la tecnología (que denominaremos “carga 1”, “carga 2” y “carga 3”, respectivamente).

Robustez

1. *Circuitos RTD-CMOS*: Las estructuras MOBILE son robustas frente a variaciones de parámetros globales, tanto tecnológicos como de diseño, que afecten simultáneamente y de la misma forma a todos los dispositivos [122]. Por ello, en los análisis de Monte Carlo que realizamos para evaluar la robustez, se incluyen, el *mismatch* en los RTDs, variaciones aleatorias del nivel máximo de la señal de reloj (en un entorno del $\pm 10\%$) y de *mismatch* y proceso ($3 - \sigma$) en los transistores. Puesto que no se dispone de modelos de desapareamiento del RTD en la tecnología LOCOM, ni de información concluyente sobre variabilidad, se han elegido dos parámetros críticos a los que se han asociado distribuciones gaussianas: la densidad de corriente de pico y la tensión de pico. Para cada parámetro, el error viene determinado por un error relativo, ε . Para dotar de la mayor robustez posible al diseño, hemos considerado un modelo de desapareamiento del RTD en el que el error de la densidad de corriente de pico, $e_{j_P,RTD}$, crece linealmente con el área, esto es, $e_{j_P,RTD} = \varepsilon \cdot A_{RTD}$. El error de la tensión de pico de los RTDs es $e_{V_P,RTD} = \varepsilon \cdot V_P$. El número de simulaciones realizadas se ha fijado a 30, con $\varepsilon = 0.1$ (error relativo del 10%).

2. *Circuitos TSPC*: Los circuitos TSPC han superado análisis de Monte Carlo incluyendo *mismatch* y proceso ($3 - \sigma$), así como variaciones en la tensión de polarización como las empleadas en los circuitos RTD-CMOS.

Reloj

Hemos considerado relojes ideales para ambos tipos de circuitos. Para los RTD-CMOS, hemos considerado un reloj en el que T_{RISE} y T_{FALL} son idénticos e iguales a los tiempos de *hold* y de *reset*. Por tanto, dado que el período de la señal es igual a cuatro veces el tiempo de subida, la frecuencia de operación será $f = 0.25/T_{RISE}$. Los niveles de tensión mínimo y máximo son $0V$ y $0.8V$, respectivamente. En los circuitos TSPC, hemos supuesto un reloj tipo tren de pulsos, con un *duty cycle* del 50% y niveles que varían entre $0V$ y la tensión de polarización, V_{DD} , que se variará entre el nivel empleado en los circuitos RTD-CMOS, $0.8V$, y el valor nominal de la tecnología CMOS, $1.2V$. Finalmente, las señales de entrada se han elegido de forma que comprendan todas las combinaciones posibles.

5.1.3 Procesamiento de simulaciones

Para simplificar el análisis manual de los resultados proporcionados por HSPICE, hemos desarrollado una herramienta de procesado de datos en entorno Matlab, a la que hemos llamado *Suite-NDR*, que automatiza este proceso. *Suite-NDR* determina, entre todas las combinaciones de parámetros simuladas para un mismo circuito, cuáles operan correctamente y, entre ellos, los óptimos en términos de energía por ciclo de reloj y frecuencia. Una descripción más detallada de la herramienta se encuentra en el Apartado A.3 del Apéndice.

5.2 Evaluación de puertas RTD-CMOS

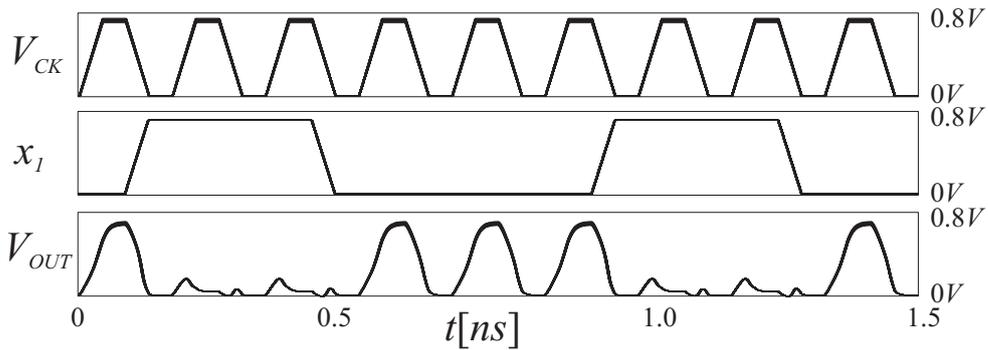
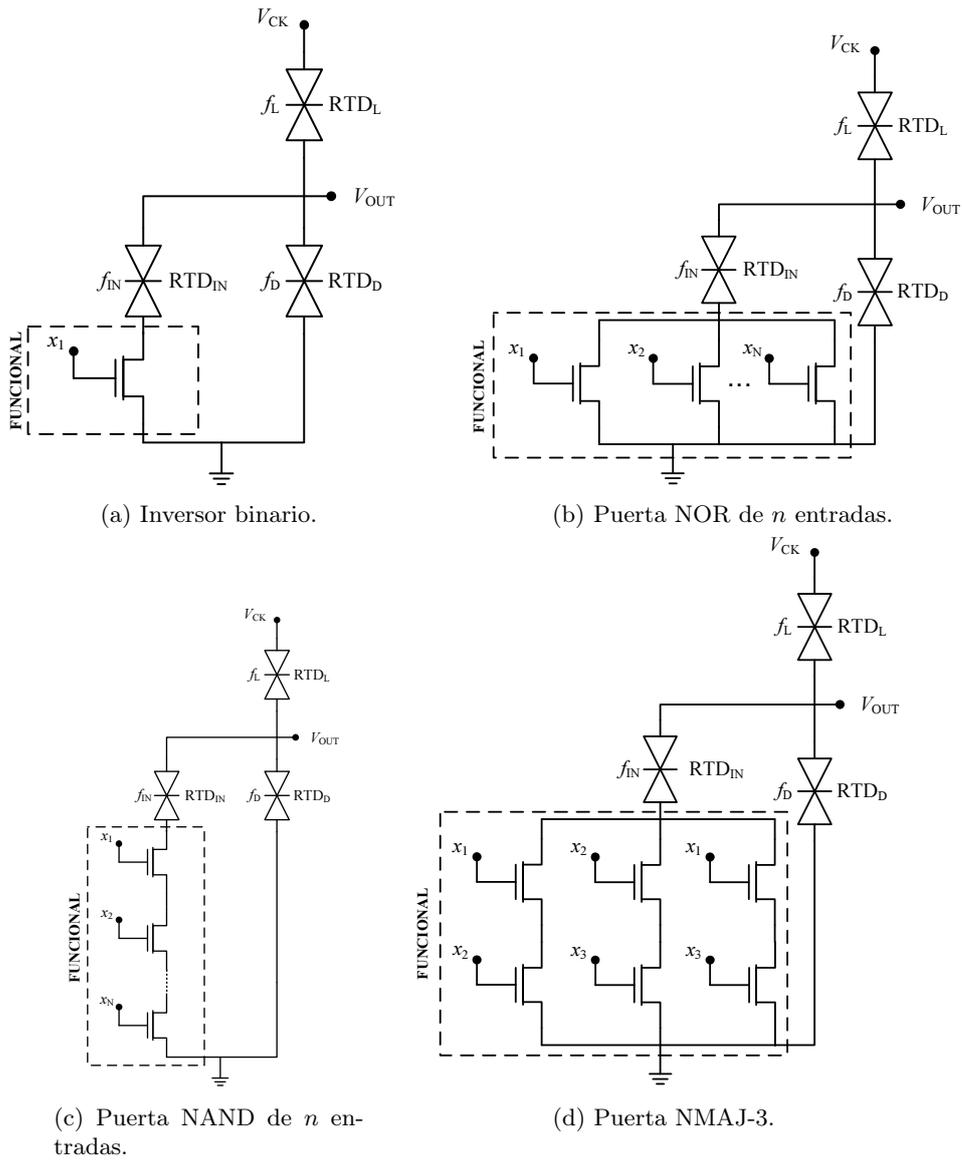
En esta sección evaluaremos las prestaciones de un conjunto de puertas RTD-CMOS MOBILE activas por flanco de subida. En concreto, las del inversor binario, las de puertas NOR de 2, 3 y 4 entradas, de la puerta NAND de 2 entradas y de la mayoritaria negada de 3 entradas, NMAJ-3. Los esquemáticos de dichas puertas se muestran en la Figura 5.1. En ella se observa que cada puerta cuenta con una sola etapa de entrada y que la funcionalidad lógica se consigue a partir de transistores en serie y/o en paralelo, como indica la zona marcada. Estos transistores se han elegido con las dimensiones mínimas de la tecnología ($0.16\mu m$).

Si llamamos f_X al factor de área que se utiliza como parámetro de diseño, los factores de área de los RTDs serán: $f_D = f_X$, $f_{IN} = f_X$ y $f_L = 1.5 \cdot f_X$. Para cada experimento, se han tomado diez valores de f_X equiespaciados entre f_{MIN} y $10 \cdot f_{MIN}$. Para la frecuencia, se han tomado, para cada experimento, diez valores equiespaciados en el rango de interés (4GHz a 6GHz).

En la Figura 5.1e se muestran las formas de onda correspondientes al análisis de Monte Carlo de una puerta NMAJ-3 con carga 1 operando a 6GHz, con $f_X = 0.016$ y en la que las entradas x_2 y x_3 toman los valores lógicos bajo y alto, respectivamente y x_1 conmuta entre dichos niveles.

5.2.1 Resultados de simulación

En este subapartado se presentan y discuten los resultados proporcionados por la herramienta *Suite-NDR*. En primer lugar, se muestran los experimentos de optimización de la frecuencia de operación y promedio de la energía por ciclo de reloj. Posteriormente se analizará la influencia del tamaño del transistor y se realizarán experimentos modificando determinados parámetros del modelo del RTD.



(e) Formas de onda correspondientes al análisis de Monte Carlo de una puerta NMAJ-3 operando a 6GHz con $f_X = 0.016$.

Figura 5.1: Circuitos RTD-CMOS estudiados.

Dimensionamientos óptimos

La Tabla 5.1 muestra los dimensionamientos que proporcionan las mejores prestaciones en términos de máxima frecuencia de operación y mínimo promedio de la energía por ciclo, para una carga de 1, 2 y 3 *latches* TSPC de tamaño mínimo.

En los experimentos de obtención de la máxima frecuencia de operación, se observa que todos los circuitos alcanzan el límite superior del rango explorado, si bien al aumentar la carga que soportan, es necesario incrementar el factor de área y con ello la potencia media. Por otro lado, a medida que se aumenta la complejidad de la puerta, es también necesario incrementar el factor de área del RTD. La Figura 5.2a muestra un diagrama de barras en el que se representa la potencia media a 6GHz para las diferentes puertas y cargas.

Al igual que en el estudio de optimización de la frecuencia, en los experimentos de minimización del promedio de la energía por ciclo se observa la misma tendencia de variación de los factores de área de los RTDs. En concreto, al aumentar la carga son necesarios RTDs de mayor área, lo que redundará en un incremento de la potencia media. Para una carga fija se puede comprobar que, a medida que las puertas son más complejas, el promedio de la energía por ciclo de reloj se incrementa, siguiendo un orden creciente en función del número de transistores de su etapa de entrada. En la Figura 5.2b se representan los valores del mínimo del promedio de la energía por ciclo de reloj obtenidos para las diferentes puertas y cargas analizadas.

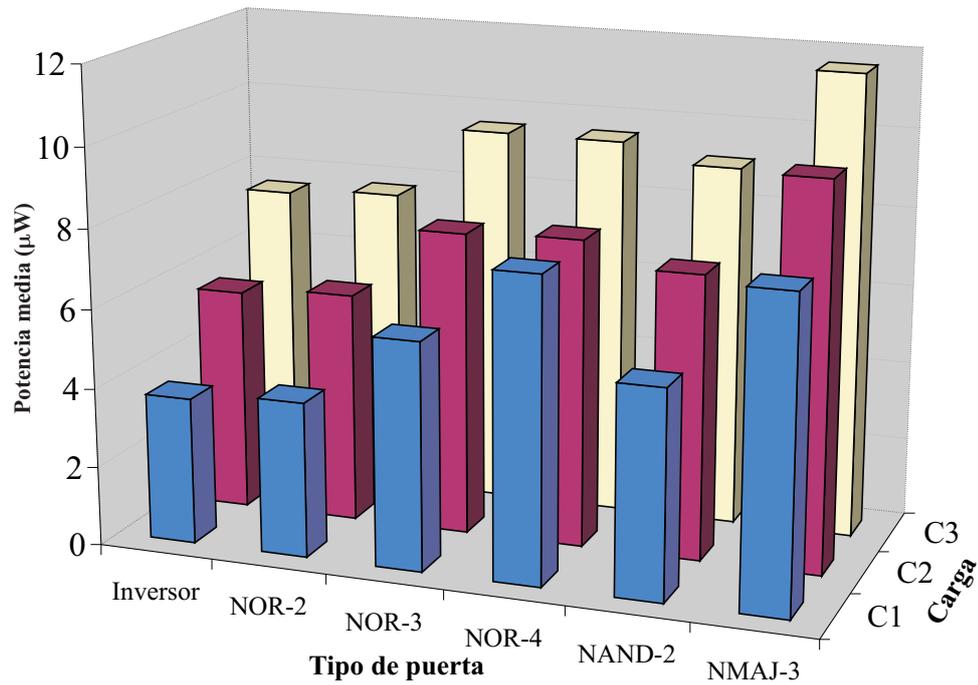
Finalmente, en la Figura 5.3 se muestra la evolución de la potencia media frente a la frecuencia cuando las puertas se han dimensionado con $f_X = 0.016$ y carga 1. Se observa que la potencia media aumenta con la complejidad de la puerta. En la Figura 5.3a, se muestran los resultados para el inversor y las puertas NOR, observándose que al aumentar la complejidad de la puerta, el incremento de la potencia media con la adición de entradas es cada vez menor. En la Figura 5.3b se ha representado la potencia media para el inversor y las puertas NAND-2 y NMAJ-3. Puede observarse que la pendiente del inversor es menor que la de las puertas NAND-2 y NMAJ-3, que llevan transistores en serie en sus etapas de entrada. Obsérvese que al emplear un transistor mínimo en la puerta NAND-2, la potencia media está por debajo de la del inversor.

Estudio del espacio de soluciones válidas

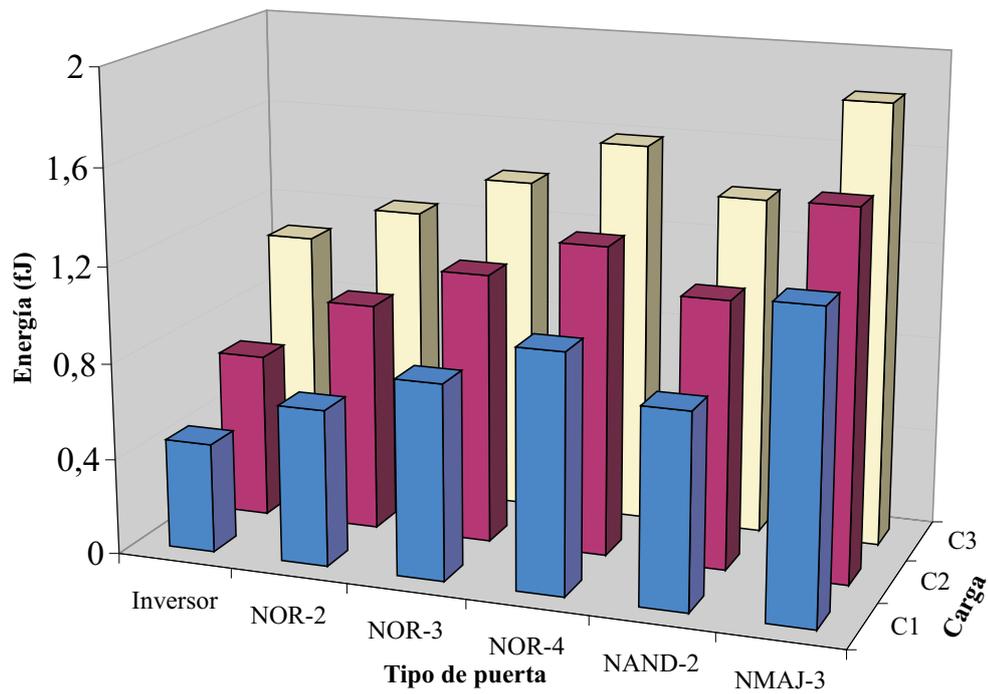
La herramienta *Suite-NDR* permite determinar qué estructuras son óptimas, en términos del criterio especificado y, adicionalmente, aporta información sobre cómo se ven

RTD-CMOS		Inversor	NOR-2	NOR-3	NOR-4	NAND-2	NMAJ-3
<i>Experimento</i>	f_x	0.008	0.008	0.012	0.016	0.012	0.016
<i>Máxima Frecuencia</i>	$f_{MAX}(GHz)$	6	6	6	6	6	6
Carga 1	$P_{AV}@f_{MAX}(\mu W)$	3.705	3.919	5.749	7.653	5.632	7.886
<i>Experimento</i>	f_x	0.004	0.008	0.008	0.012	0.008	0.012
<i>Mínima Energía</i>	$E_{MIN}(fJ)$	0.456	0.653	0.814	0.993	0.762	1.283
Carga 1	$f_{E_{MIN}}(GHz)$	4.2	6	4.7	5.8	4.2	4.7
<i>Experimento</i>	f_x	0.012	0.012	0.016	0.016	0.016	0.020
<i>Máxima Frecuencia</i>	$f_{MAX}(GHz)$	6	6	6	6	6	6
Carga 2	$P_{AV}@f_{MAX}(\mu W)$	5.635	5.828	7.657	7.758	7.972	9.779
<i>Experimento</i>	f_x	0.008	0.008	0.012	0.016	0.012	0.016
<i>Mínima Energía</i>	$E_{MIN}(fJ)$	0.687	0.952	1.127	1.287	1.061	1.557
Carga 2	$f_{E_{MIN}}(GHz)$	5.6	4	5.1	6	4.9	5.3
<i>Experimento</i>	f_x	0.016	0.016	0.020	0.020	0.020	0.024
<i>Máxima Frecuencia</i>	$f_{MAX}(GHz)$	6	6	6	6	6	6
Carga 3	$P_{AV}@f_{MAX}(\mu W)$	7.577	7.749	9.577	9.563	9.431	11.705
<i>Experimento</i>	f_x	0.012	0.012	0.012	0.020	0.016	0.020
<i>Mínima Energía</i>	$E_{MIN}(fJ)$	1.081	1.231	1.401	1.593	1.357	1.887
Carga 3	$f_{E_{MIN}}(GHz)$	5.6	4.7	4	6	5.3	5.3

Tabla 5.1: Experimentos de optimización de circuitos RTD-CMOS.

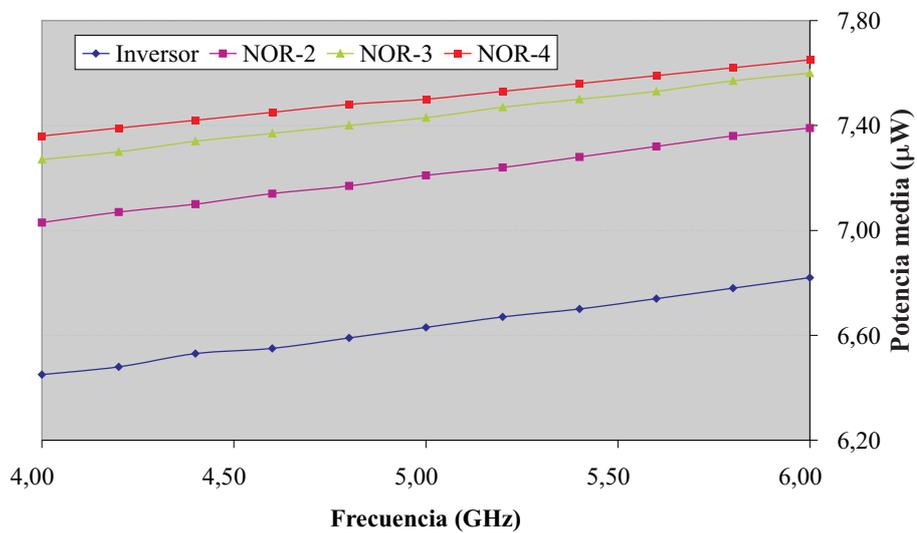


(a) Diagrama de barras de la potencia promedio a 6GHz para las diferentes puertas y cargas.

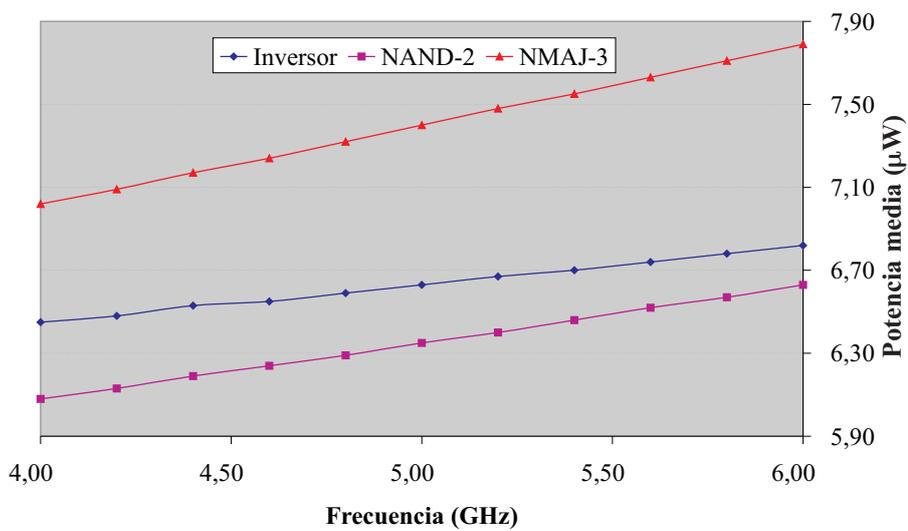


(b) Diagrama de barras del mínimo del promedio de la energía por ciclo para las diferentes puertas y cargas.

Figura 5.2: Representación de resultados para puertas RTD-CMOS.



(a) Inversor y puertas NOR.



(b) Inversor, puertas NAND-2 y NMAJ-3.

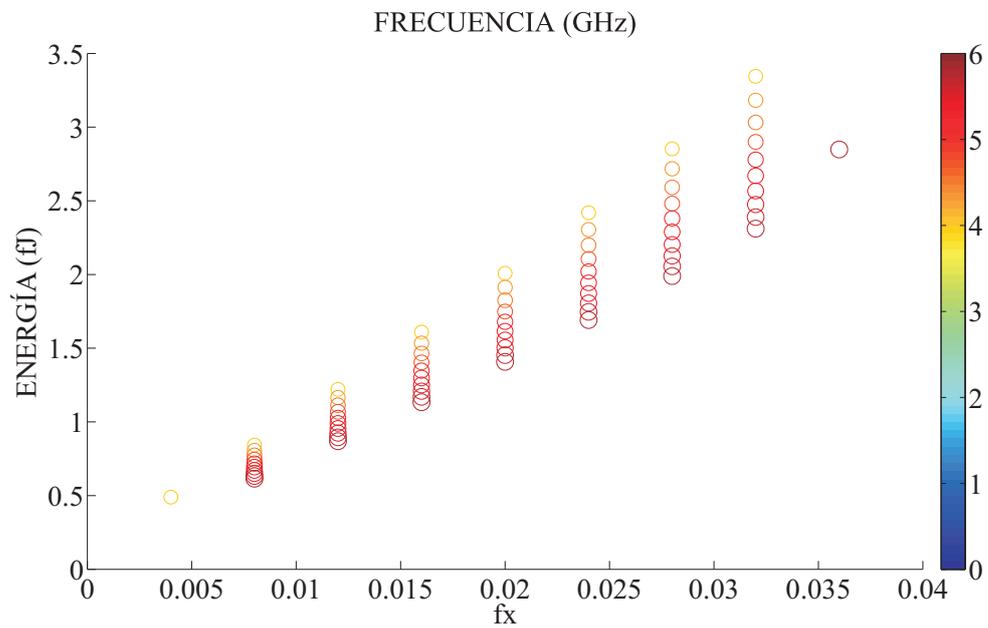
Figura 5.3: Evolución de la potencia media frente a la frecuencia para puertas dimensionadas con $f_X = 0.016$.

afectadas las medidas de prestaciones al variar el factor de área de los RTDs. En concreto, a partir de los resultados obtenidos al procesar las simulaciones paramétricas, proporciona gráficas como las mostradas en la Figura 5.4.

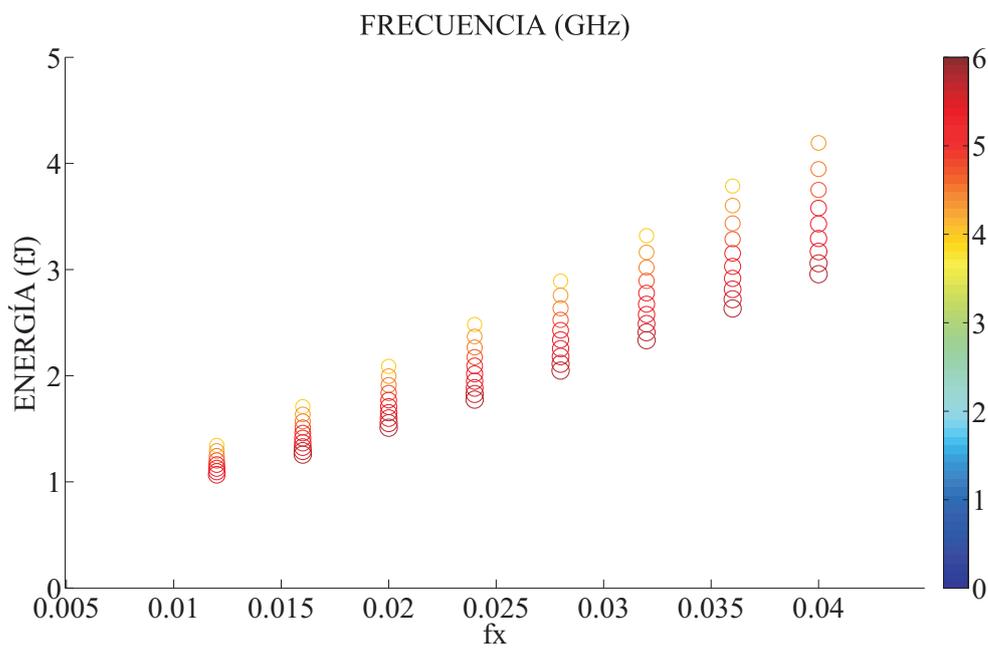
La Figura 5.4a muestra una representación, para el inversor binario con carga 1, del promedio de la energía por ciclo frente a f_X para diferentes valores de la frecuencia. Cada círculo se corresponde a un circuito que opera correctamente (la escala de colores indica el valor de la frecuencia). La región formada por los circuitos con dimensiones válidas se extiende desde un factor de área 0.004 hasta 0.036. Nótese que la única solución en 0.004 se corresponde con una frecuencia de 4GHz, lo que indica que la diferencia entre las intensidades de pico del *driver* y el *load* no es suficiente como para soportar la carga a frecuencias más elevadas. Para valores elevados del factor de área, el transistor mínimo no opera correctamente como *switch*, lo que explica el límite superior en el rango de valores de f_X válidos. En la figura, el único punto que aparece para $f_X = 0.036$ es a 6GHz. El que los circuitos tengan una frecuencia mínima de operación, se explica, en parte, por las contribuciones de las corrientes de AC que se generan en el *latch* de la carga a esa frecuencia y que se suman a la del *driver*. Para evitar estos problemas es conveniente diseñar con transistores de ancho mayor que el mínimo cuando se usan valores elevados del factor de área. Observamos, además, que al aumentar f_X , lo hace la separación entre valores del promedio de la energía por ciclo para distintos valores de la frecuencia.

La Figura 5.4b muestra la misma representación de la Figura 5.4a, pero ahora para un inversor con carga 3. Se puede observar que el valor de f_X mínimo ha aumentado de 0.004 a 0.012, como consecuencia del incremento de la carga. El valor de f_X máximo ha pasado de ser 0.036 con una única solución a 6GHz a 0.040 en un rango de frecuencias entre 4.2GHz y 6GHz dado que, en este caso, las corrientes de AC provenientes de los tres *latches* permiten compensar el reducido tamaño del transistor para estos valores de f_X .

La Figura 5.5a muestra la representación del promedio de la energía por ciclo frente a f_X para las puerta NAND-2 (con carga de un *latch*) que operan correctamente (32 casos sobre 100 explorados). En ella observamos que a partir de $f_X = 0.02$ no hay soluciones válidas. Hasta ahora, hemos considerado que los transistores de la etapa de entrada tienen las dimensiones mínimas de la tecnología. Sin embargo, en las puertas NAND-2 y NMAJ-3, las etapas funcionales contienen ramas con dos transistores en serie. Si estos transistores son mínimos, el ancho resultante de la conexión es equivalente a la mitad del mínimo, lo que compromete la operación como *switch* de estos transistores para factores de área



(a) Inversor binario con carga 1.



(b) Inversor binario con carga 3.

Figura 5.4: Representación del promedio de la energía por ciclo frente a f_x para diferentes valores de la frecuencia en el inversor binario.

NAND-2		Carga 1	Carga 2	Carga 3
<i>Experimento</i>	f_X	0.016	0.02	0.024
<i>Máxima Frecuencia</i>	$f_{MAX}(GHz)$	6	6	6
$W = 0.32\mu m$	$P_{AV}@f_{MAX}(\mu W)$	6.689	8.586	10.511
<i>Experimento</i>	f_X	0.012	0.016	0.02
<i>Mínima Energía</i>	$E_{MIN}(fJ)$	0.966	1.276	1.575
$W = 0.32\mu m$	$f_{E_{MIN}}(GHz)$	5.3	5.6	5.8

Tabla 5.2: Dimensionamientos que optimizan la frecuencia máxima de operación y el promedio de la energía por ciclo para la puerta NAND-2.

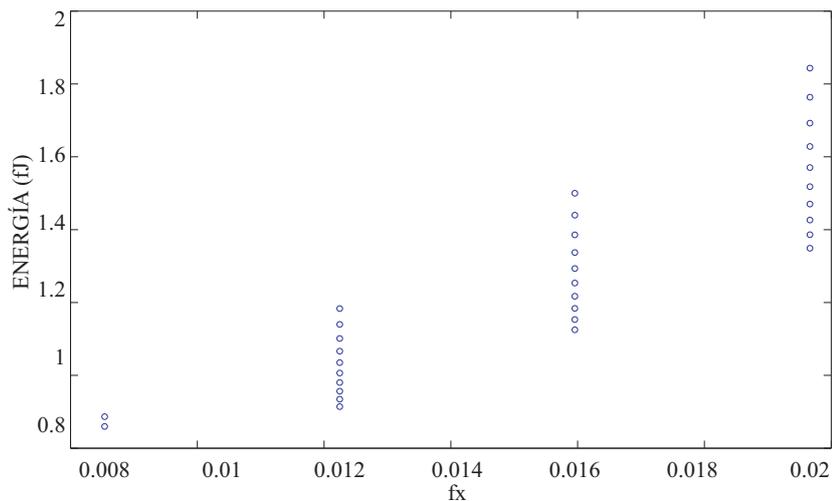
NMAJ-3		Carga 1	Carga 2	Carga 3
<i>Experimento</i>	f_X	0.016	0.02	0.02
<i>Máxima Frecuencia</i>	$f_{MAX}(GHz)$	6	6	6
$W = 0.32\mu m$	$P_{AV}@f_{MAX}(\mu W)$	9.611	11.513	13.429
<i>Experimento</i>	f_X	0.02	0.024	0.028
<i>Mínima Energía</i>	$E_{MIN}(fJ)$	1.567	1.843	2.164
$W = 0.32\mu m$	$f_{E_{MIN}}(GHz)$	4.9	5.3	4.4

Tabla 5.3: Dimensionamientos que optimizan la frecuencia máxima de operación y el promedio de la energía por ciclo para la puerta NMAJ-3.

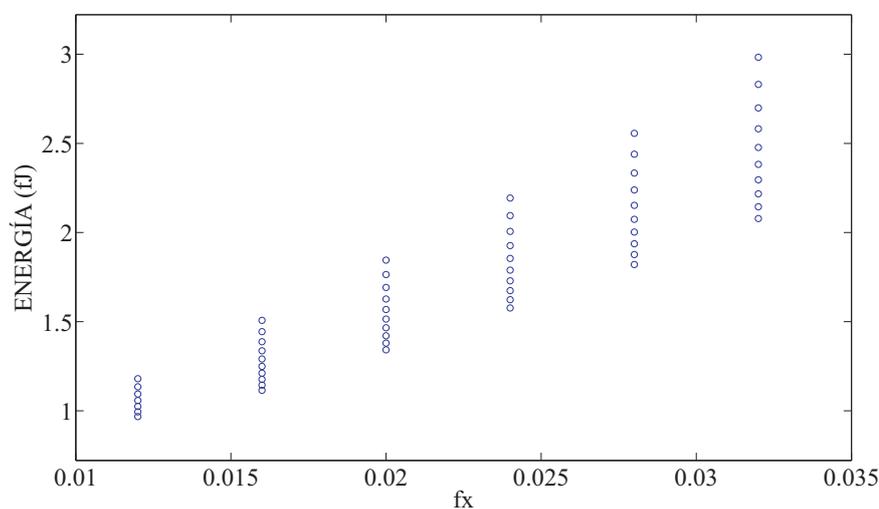
grandes. Hemos optado por aplicar el criterio de diseño que se sigue en circuitos CMOS, esto es, hacer que esos transistores tengan un ancho igual al doble del mínimo.

En la Figura 5.5b se muestra la misma representación de la Figura 5.5a, pero para una puerta NAND-2 en la que se ha doblado el ancho del transistor. En este caso se observa que el número de soluciones válidas ha aumentado (57) y que el rango de valores de f_x se ha extendido hasta 0.032. Al aumentar el ancho del transistor, los factores de área obtenidos son mayores, produciéndose un ligero incremento en la potencia y energía media de los dimensionamiento óptimos, como se refleja en la Tabla 5.2. Nótese que la frecuencia obtenida para el dimensionamiento óptimo en energía promedio ha aumentado con respecto al uso de transistores mínimos.

Para la puerta NMAJ-3, el razonamiento es similar, de modo que, como se observa en la Figura 5.6, al doblar el ancho del transistor, el valor de f_X máximo pasa de 0.028 a 0.04 y el número de dimensionamientos válidos de 42 a 64. En la Tabla 5.3 se recogen los resultados obtenidos en el experimento.



(a) Transistor de tamaño mínimo.



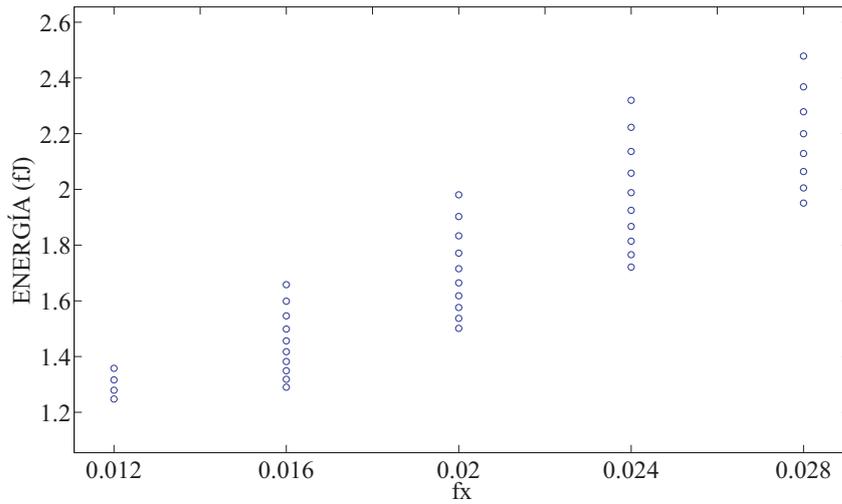
(b) Transistor de ancho doble del mínimo.

Figura 5.5: Representación del promedio de la energía por ciclo frente a f_x para una puerta NAND-2 con carga de un *latch*.

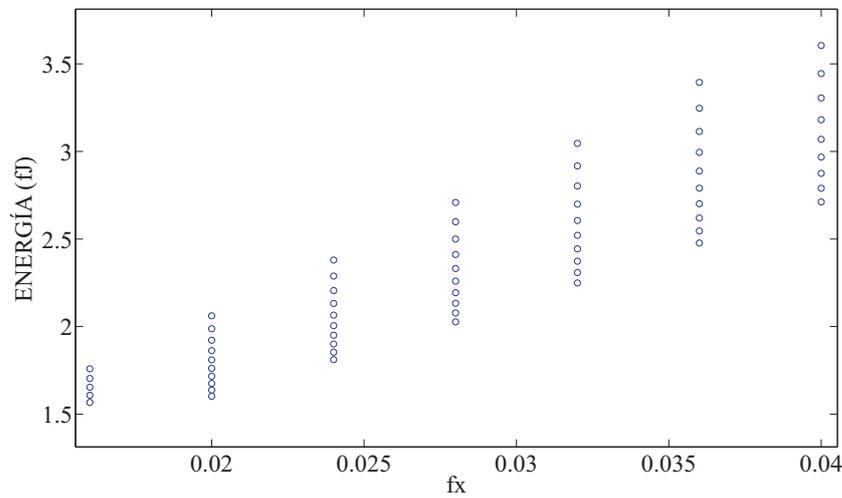
Variación de las características eléctricas del RTD

En este apartado estudiaremos el efecto de modificar algunos parámetros del RTD. Como circuito de prueba emplearemos el inversor binario con carga 1. En primer lugar se analizará cómo afecta al circuito la modificación de la densidad de corriente de pico del RTD, j_P .

En las Tablas 5.4a y 5.4b se muestran los resultados del experimento de optimización para diferentes valores de la densidad de corriente de pico con respecto al valor del RTD de LOCOM ($j_P = 21 \text{ kA/cm}^2$). Podemos comprobar (Tabla 5.4a) que mientras más se reduce



(a) Transistor de tamaño mínimo.



(b) Transistor de ancho doble del mínimo.

Figura 5.6: Representación del promedio de la energía por ciclo frente a f_x para una puerta NMAJ-3 con carga de un *latch*.

j_P , mayor es el incremento que hay que realizar en el factor de área para evitar que la intensidad de pico disminuya en exceso. Se observa que el incremento requerido es tal que se incrementa la potencia a pesar de disminuir la densidad de corriente de pico. Además, para $j_P = 4.2kA/cm^2$, tan solo 4 casos funcionan correctamente (para $f_X = 0.036$ y $f_X = 0.04$), lo que indica que para densidades de corriente de pico tan reducidas, el límite superior del rango de valores del factor de área explorado debería ser mayor (a partir de $j_P = 3.2kA/cm^2$ ya no hay soluciones válidas). Las diferencias entre las intensidades de pico resultantes al emplear los factores de área de este estudio, no son lo suficientemente

Inversor binario $W = 0.16\mu m$		$j_P(kA/cm^2)$		
		4.2	11.5	21
<i>Experimento</i> Máxima Frecuencia Carga 1	f_X	0.032	0.012	0.008
	$f_{MAX}(GHz)$	4.2	6	6
	$P_{AV}@f_{MAX}(\mu W)$	7.369	4.175	3.705
<i>Experimento</i> Mínima Energía Carga 1	f_X	0.032	0.008	0.004
	$E_{gMIN}(fJ)$	1.614	0.566	0.456
	$f_{EgMIN}(GHz)$	4	4.9	4.2

(a) Reducción de j_P respecto al valor del RTD de LOCOM ($21kA/cm^2$).

Inversor binario $W = 0.16\mu m$		$j_P(kA/cm^2)$			
		21	105	150	190
<i>Experimento</i> Máxima Frecuencia Carga 1	f_X	0.008	0.004	0.004	0.004
	$f_{MAX}(GHz)$	6	6	6	6
	$P_{AV}@f_{MAX}(\mu W)$	3.705	3.923	4.962	6.082
<i>Experimento</i> Mínima Energía Carga 1	f_X	0.004	0.004	0.004	0.004
	$E_{MIN}(fJ)$	0.456	0.653	0.827	1.014
	$f_{EgMIN}(GHz)$	4.2	6	6	6

(b) Incremento de j_P respecto al valor del RTD de LOCOM ($21kA/cm^2$).

Tabla 5.4: Dimensionamientos que optimizan la frecuencia máxima de operación y el promedio de la energía por ciclo para el inversor binario con carga 1, variando la densidad de corriente de pico.

grandes como para hacer que los circuitos operen correctamente en el rango de frecuencias explorado.

Para todos los valores superiores estudiados hasta $j_P = 190kA/cm^2$, las soluciones obtenidas se corresponden con el valor mínimo de f_X en ambos experimentos. Sin embargo, con f_X mínimo y $j_P = 210kA/cm^2$ la frecuencia de operación es inferior a 6GHz. Aunque mayores densidades de corrientes de pico permiten una mayor velocidad, para valores de j_P mayores que $190kA/cm^2$ el transistor deja de operar correctamente como *switch*.

El segundo parámetro del modelo del RTD que se va a modificar es su capacidad. En la Tabla 5.5 se presentan los resultados obtenidos al multiplicar y dividir por cinco la capacidad del RTD de LOCOM ($4fF/\mu m^2$). Se observa que para $C = 20fF/\mu m^2$ (esto es, un RTD con un índice de velocidad cinco veces menor que el original de LOCOM) es necesario incrementar el tamaño de los RTDs para alcanzar los 6GHz. La exploración del espacio de dimensionamientos válidos muestra que, como se observa en la Figura 5.7a, el valor máximo de f_X se ha reducido a 0.02 (frente a 0.036, como se mostró en la Figura 5.4a). Para evitar la pérdida de soluciones para valores altos de f_X , hemos repetido el

Inversor binario		$C_{RTD}(fF/\mu m^2)$		
		0.8	4	20
<i>Experimento</i> <i>Máxima Frecuencia</i> Carga 1	f_X	0.008	0.008	0.012
	$f_{MAX}(GHz)$	6	6	6
	$P_{AV}@f_{MAX}(\mu W)$	3.391	3.705	7.454
	$W(\mu m)$	0.16	0.16	0.16
<i>Experimento</i> <i>Mínima Energía</i> Carga 1	f_X	0.008	0.004	0.008
	$E_{MIN}(fJ)$	0.565	0.456	0.884
	$f_{E_{MIN}}(GHz)$	6	4.2	5.6
	$W(\mu m)$	0.16	0.16	0.16

Tabla 5.5: Dimensionamientos que optimizan la frecuencia máxima de operación y el promedio de la energía por ciclo para el inversor binario con carga 1, variando la capacidad del RTD.

Inversor binario		$W = 0.32\mu m$	$W = 0.48\mu m$	$W = 0.64\mu m$
<i>Experimento</i> <i>Máxima Frecuencia</i> Carga 1	f_X	0.004	0.004	0.004
	$f_{MAX}(GHz)$	6	6	6
	$P_{AV}@f_{MAX}(\mu W)$	6.665	6.879	7.298
<i>Experimento</i> <i>Mínima Energía</i> Carga 1	f_X	0.004	0.004	0.004
	$E_{MIN}(fJ)$	1.109	1.147	1.215
	$f_{E_{MIN}}(GHz)$	6	6	6

Tabla 5.6: Dimensionamientos que optimizan la frecuencia máxima de operación y el promedio de la energía por ciclo para el inversor binario con carga 1, empleando un modelo de RTD con la misma capacidad y densidad de corriente de pico del reportado en [37].

experimento con un ancho de transistor de $0.32\mu m$. Los resultados se muestran en la Figura 5.7b, en la que se observa que el límite superior de f_X está ahora en 0.036.

Por último, vamos a considerar un modelo de RTD con una capacidad y densidad de corriente de pico iguales a las de un RTD fabricado en silicio reportado en [37], concretamente 1.5 y 10 veces mayores que las del RTD de LOCOM, esto es $C = 6fF/\mu m^2$ y $j_P = 210kA/cm^2$. Como vimos anteriormente, para trabajar con densidades de corriente tan elevadas, es necesario aumentar el ancho del transistor. En estas condiciones, los resultados obtenidos se muestran en la Tabla 5.6. Dado que para un ancho de transistor doble del mínimo tan sólo se obtienen 10 dimensionamientos correctos, para que la exploración sea más completa representamos también los resultados obtenidos con anchos de transistor de $0.48\mu m$ (20 casos correctos) y $0.64\mu m$ (31 casos correctos), observándose que en todos los casos f_X toma el valor mínimo.

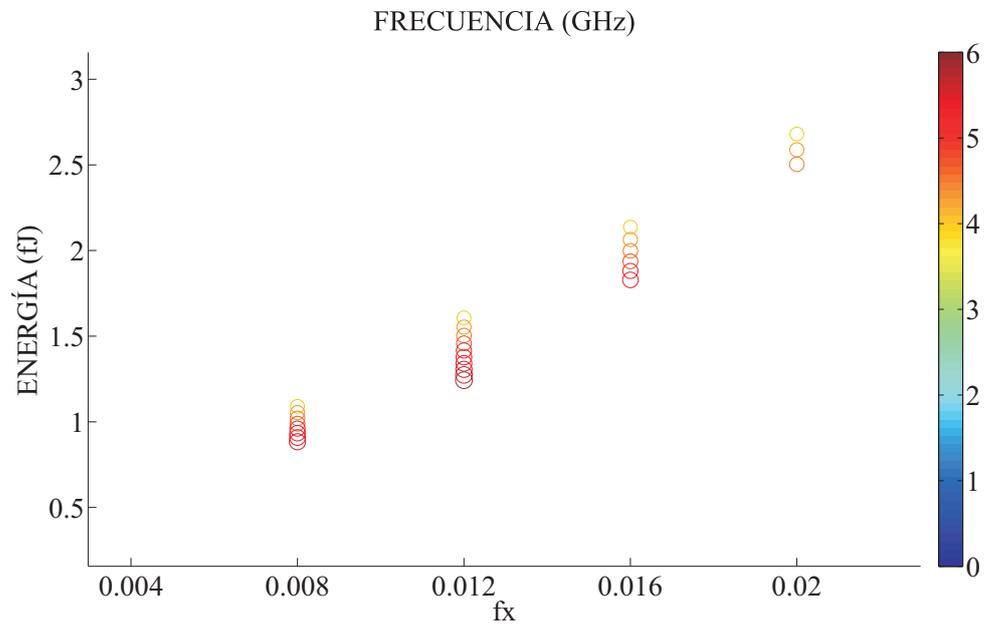
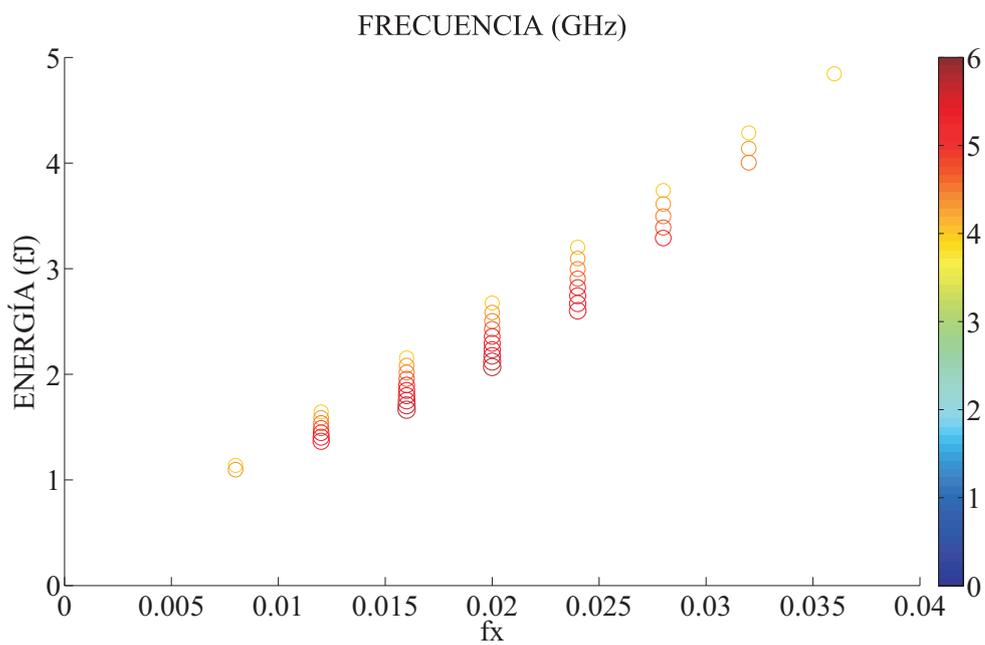
(a) $W = 0.16\mu m$.(b) $W = 0.32\mu m$.

Figura 5.7: Representación del promedio de la energía por ciclo frente a f_x para diferentes valores de la frecuencia en el inversor binario con carga 1 y capacidad $20fF/\mu m^2$.

En resumen, para el RTD de LOCOM se han obtenido soluciones que operan en el rango de frecuencias deseado utilizando transistores mínimos. Los inversores diseñados con este RTD exhiben la menor potencia media a 6GHz y el menor promedio de la energía por ciclo de entre los analizados.

5.2.2 Comparación de prestaciones con circuitos TSPC

En este apartado se comparan las prestaciones (potencia media y promedio de energía por ciclo) de los circuitos con RTD-CMOS y de los diseños CMOS basados en *TSPC*. Las estructuras TSPC tipo N (P) precargan la tensión de salida, V_{OUT} , al valor de alimentación (tierra), cuando el reloj, V_{CK} está a nivel bajo (alto) y evalúan cuando está a nivel alto (bajo). Una descripción más detallada del funcionamiento de las estructuras TSPC se puede encontrar en [123]. Las Figuras 5.8a a 5.8d muestran los esquemáticos de las puertas exploradas en este apartado, todas ellas tipo N: el inversor binario, las puertas NOR de 2, 3 y 4 entradas, la NAND de 2 entradas y la NMAJ-3, donde se ha destacado la parte funcional de las mismas. En cada experimento de exploración se han tomado diez valores del parámetro que modela el ancho mínimo de los transistores NMOS, W , entre $0.16\mu m$ y $1.6\mu m$ y diez valores de la frecuencia entre 4GHz y 6GHz.

Dimensionamientos óptimos

En primer lugar, hemos realizado simulaciones considerando que V_{DD} toma el valor típico de la tecnología, $1.2V$. La Tabla 5.7 muestra los dimensionamientos que proporcionan mejores prestaciones en términos de la máxima frecuencia de operación y mínimo promedio de la energía por ciclo para cargas 1, 2 y 3. En ella se observa que es posible lograr la máxima frecuencia de operación con $W = 0.16\mu m$ (excepto para la NMAJ-3 con carga 3), si bien las potencias medias medidas están muy por encima de los obtenidos para las puertas RTD-CMOS.

Para completar la comparación, hemos reducido la polarización a la de los circuitos RTD-CMOS, esto es, $0.8V$. Los resultados se muestran en la Tabla 5.8, en la que se observa que, a medida que se aumenta la carga y la complejidad de la puerta, es necesario incrementar el ancho del transistor.

Aún con la polarización reducida, las puertas RTD-CMOS presentan mejores prestaciones en potencia promedio, como se observa en la Figura 5.9. En particular, estas diferencias se hacen especialmente significativas al aumentar la funcionalidad lógica (Figura 5.9a). La potencia media de la puerta NMAJ-3 RTD-CMOS con carga 1 se reduce al 44 %

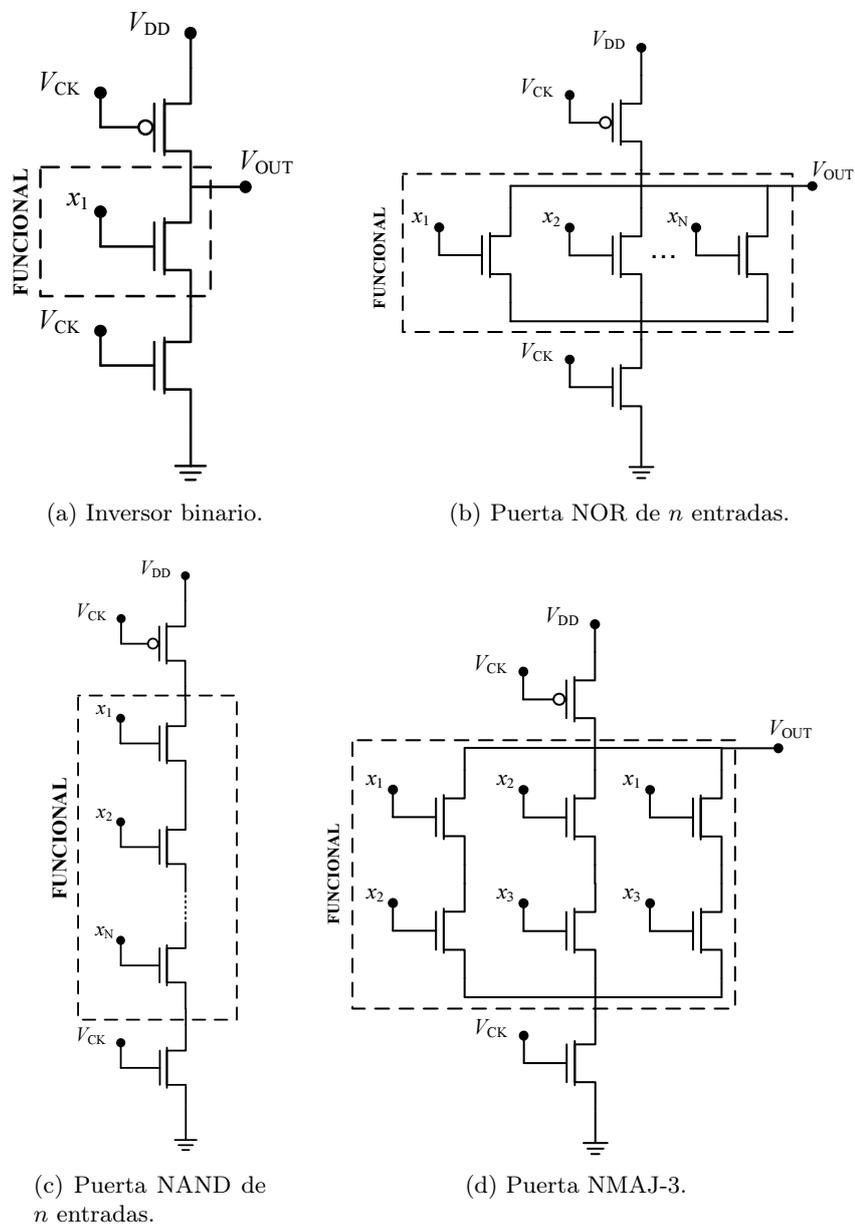


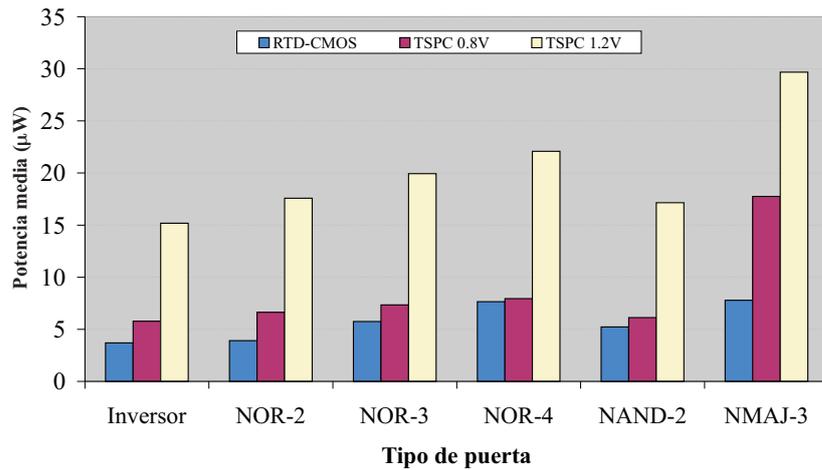
Figura 5.8: Circuitos TSPC tipo N.

TSPC $V_{DD} = 1.2V$		Inversor	NOR-2	NOR-3	NOR-4	NAND-2	NMAJ-3
<i>Experimento</i>	$W(\mu m)$	0.16	0.16	0.16	0.16	0.16	0.16
<i>Máxima Frecuencia</i>	$f_{MAX}(GHz)$	6	6	6	6	6	6
Carga 1	$P_{AV} @ f_{MAX}(\mu W)$	15.178	17.575	19.941	22.081	17.146	29.675
<i>Experimento</i>	$W(\mu m)$	0.16	0.16	0.16	0.16	0.16	0.16
<i>Mínima Energía</i>	$E_{gMIN}(fJ)$	2.530	2.929	3.323	3.680	2.857	4.946
Carga 1	$f_{EgMIN}(GHz)$	6	6	6	6	6	6
<i>Experimento</i>	$W(\mu m)$	0.16	0.16	0.16	0.16	0.16	0.16
<i>Máxima Frecuencia</i>	$f_{MAX}(GHz)$	6	6	6	6	6	6
Carga 2	$P_{AV} @ f_{MAX}(\mu W)$	20.012	22.306	24.475	26.412	21.574	33.126
<i>Experimento</i>	$W(\mu m)$	0.16	0.16	0.16	0.16	0.16	0.16
<i>Mínima Energía</i>	$E_{gMIN}(fJ)$	3.335	3.718	4.079	4.402	3.596	5.521
Carga 2	$f_{EgMIN}(GHz)$	6	6	6	6	6	6
<i>Experimento</i>	$W(\mu m)$	0.16	0.16	0.16	0.16	0.16	0.32
<i>Máxima Frecuencia</i>	$f_{MAX}(GHz)$	6	6	6	6	6	6
Carga 3	$P_{AV} @ f_{MAX}(\mu W)$	24.558	26.631	28.434	30.041	25.130	61.941
<i>Experimento</i>	$W(\mu m)$	0.16	0.16	0.16	0.16	0.16	0.16
<i>Mínima Energía</i>	$E_{gMIN}(fJ)$	4.093	4.438	4.739	5.007	4.188	6.847
Carga 3	$f_{EgMIN}(GHz)$	6	6	6	6	6	5.3

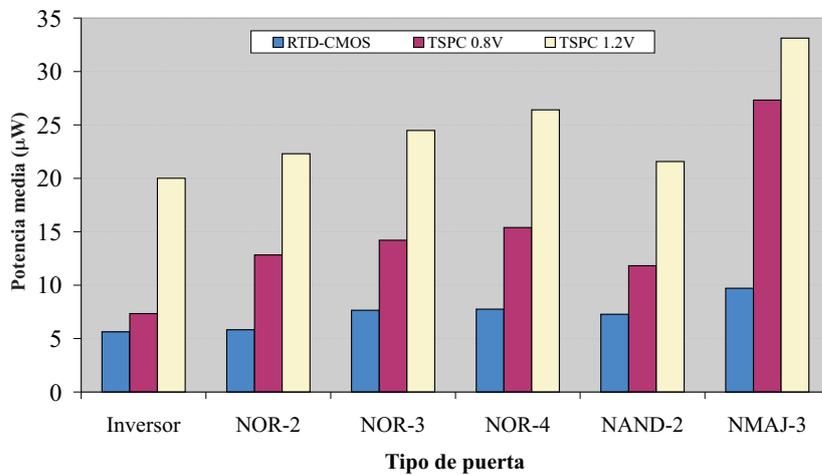
Tabla 5.7: Experimentos de optimización de circuitos TSPC con $V_{DD} = 1.2V$.

TSPC $V_{DD} = 0.8V$		Inversor	NOR-2	NOR-3	NOR-4	NAND-2	NMAJ-3
<i>Experimento</i>	W (μm)	0.16	0.16	0.16	0.16	0.16	0.32
<i>Máxima Frecuencia</i>	f_{MAX} (GHz)	6	6	6	6	6	6
Carga 1	$P_{AV@f_{MAX}}$ (μW)	5.778	6.634	7.340	7.943	6.125	17.755
<i>Experimento</i>	W (μm)	0.16	0.16	0.16	0.16	0.16	0.16
<i>Mínima Energía</i>	E_{GMIN} (fJ)	0.963	1.151	1.223	1.324	1.021	2.108
Carga 1	$f_{E_{GMIN}}$ (GHz)	6	6	6	6	6	4.9
<i>Experimento</i>	W (μm)	0.16	0.32	0.32	0.32	0.32	0.48
<i>Máxima Frecuencia</i>	f_{MAX} (GHz)	6	6	6	6	6	6
Carga 2	$P_{AV@f_{MAX}}$ (μW)	7.339	12.826	14.214	15.391	11.827	27.716
<i>Experimento</i>	W (μm)	0.16	0.16	0.16	0.16	0.16	0.32
<i>Mínima Energía</i>	E_{GMIN} (fJ)	1.223	1.185	1.593	1.817	1.371	3.583
Carga 2	$f_{E_{GMIN}}$ (GHz)	6	6	5.3	5.1	5.3	5.3
<i>Experimento</i>	W (μm)	0.32	0.32	0.32	0.32	0.32	0.64
<i>Máxima Frecuencia</i>	f_{MAX} (GHz)	6	6	6	6	6	6
Carga 3	$P_{AV@f_{MAX}}$ (μW)	12.983	14.357	15.523	16.538	13.019	36.949
<i>Experimento</i>	W (μm)	0.16	0.16	0.16	0.32	0.32	0.32
<i>Mínima Energía</i>	E_{GMIN} (fJ)	1.905	2.212	2.489	2.756	2.170	4.256
Carga 3	$f_{E_{GMIN}}$ (GHz)	6	6	4.2	6	6	4.9

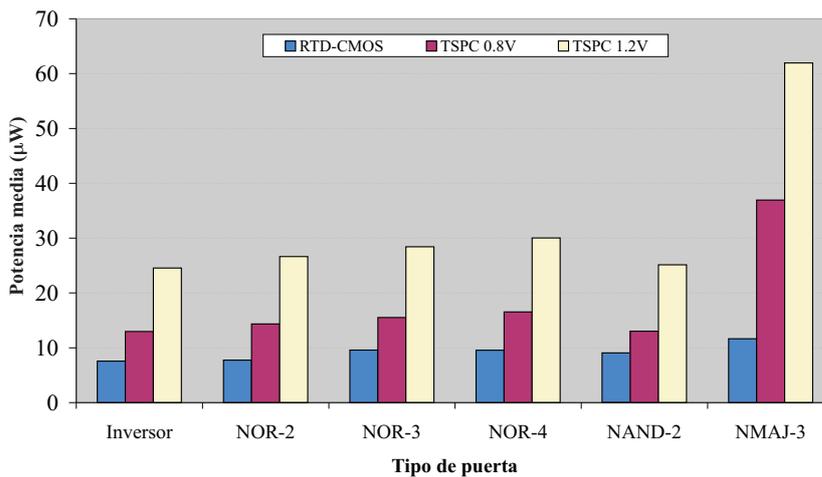
Tabla 5.8: Experimentos de optimización de circuitos TSPC con $V_{DD} = 0.8V$.



(a) Carga 1.

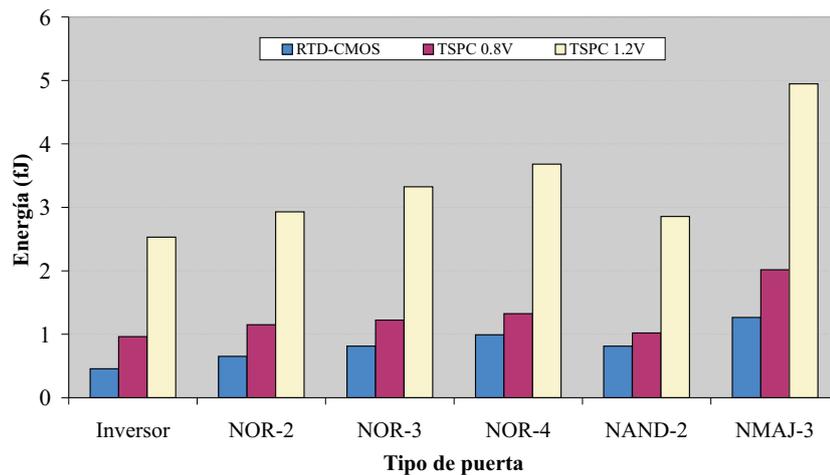


(b) Carga 2.

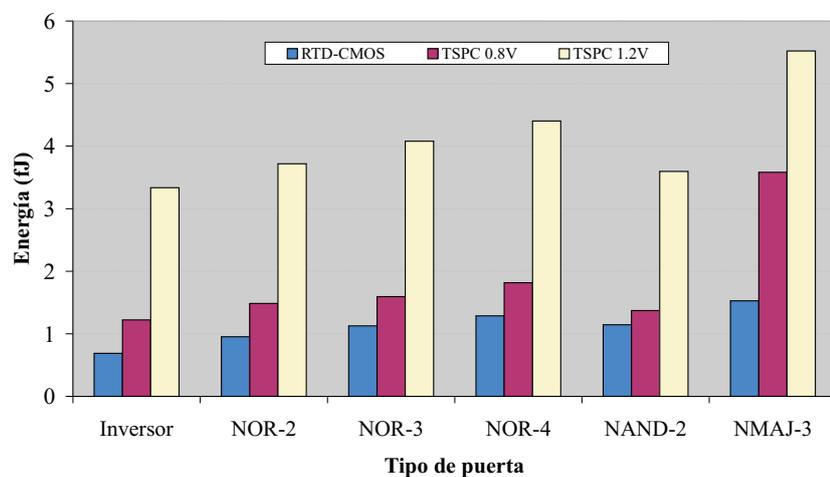


(c) Carga 3.

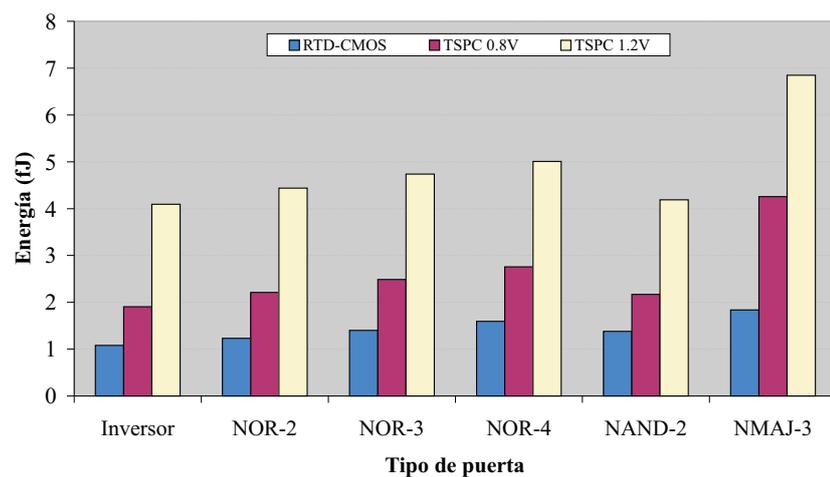
Figura 5.9: Comparativa de la potencia media a 6GHz de las realizaciones RTD-CMOS y TSPC de puertas para carga 1, 2 y 3.



(a) Carga 1.



(b) Carga 2.



(c) Carga 3.

Figura 5.10: Comparativa de mínimo del promedio de la energía por ciclo para las realizaciones RTD-CMOS y TSPC de puertas para carga 1, 2 y 3.

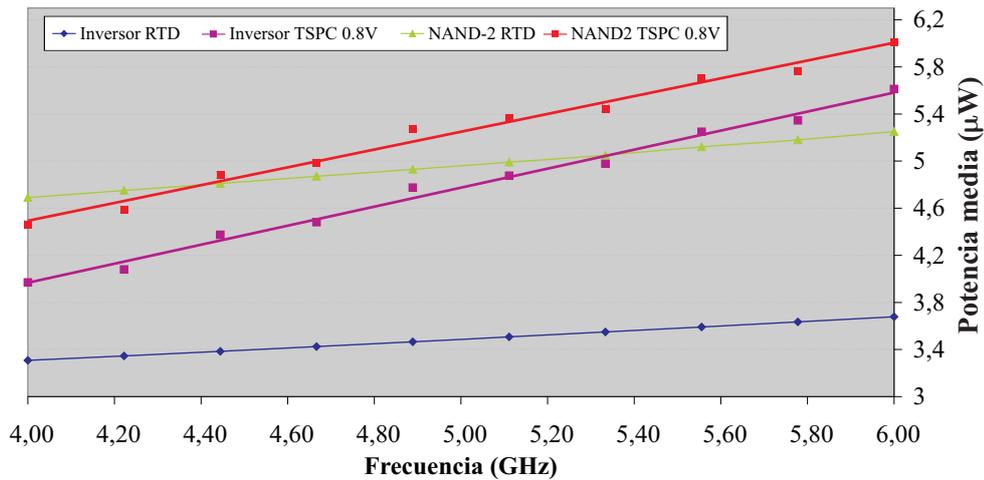


Figura 5.11: Evolución de la potencia media frente a la frecuencia para realizaciones RTD-CMOS y TSPC del inversor binario y la puerta NAND-2.

($9.87\mu W$ de diferencia) del de la puerta TSPC con $V_{DD} = 0.8V$ y al 27 % ($21.78\mu W$) para $V_{DD} = 1.2V$. Al variar la carga, las diferencias absolutas entre las potencias medias de los circuitos RTD-CMOS y TSPC se hacen aún más significativas, como se puede observar en las Figuras 5.9b y 5.9c. La potencia media de la puerta NMAJ-3 RTD-CMOS con carga 2 está en torno al 35 % ($17.54\mu W$) de la de la puerta TSPC con $V_{DD} = 0.8V$ y al 30 % ($23.35\mu W$) con $V_{DD} = 1.2V$. Para carga 3, la reducción es al 32 % ($25.24\mu W$) y al 19 % ($50.23\mu W$) para $V_{DD} = 0.8V$ y $V_{DD} = 1.2V$, respectivamente. La misma tendencia se observa en la representación del mínimo promedio de la energía por ciclo medido, como se muestra en la Figura 5.10.

En los circuitos TSPC, la mayor parte de la potencia media es dinámica, por lo que la dependencia con la frecuencia es especialmente significativa. Por el contrario, las puertas RTD-CMOS presentan una potencia media en estática muy importante como consecuencia de la segunda zona de resistencia diferencial positiva del RTD, si bien la componente dinámica no es tan relevante como en los circuitos TSPC. La Figura 5.11, representa la potencia media frente a la frecuencia para el inversor y la puerta NAND-2. Los resultados de los circuitos TSPC están tomados para $V_{DD} = 0.8V$ y $W = 0.16\mu m$, mientras que el factor de área f_X para el inversor y la puerta NAND-2 RTD-CMOS es 0.008 y 0.012, respectivamente. Como se observa, la pendiente de los circuitos TSPC es mayor que la de los RTD-CMOS.

5.3 Evaluación de redes de puertas RTD-CMOS

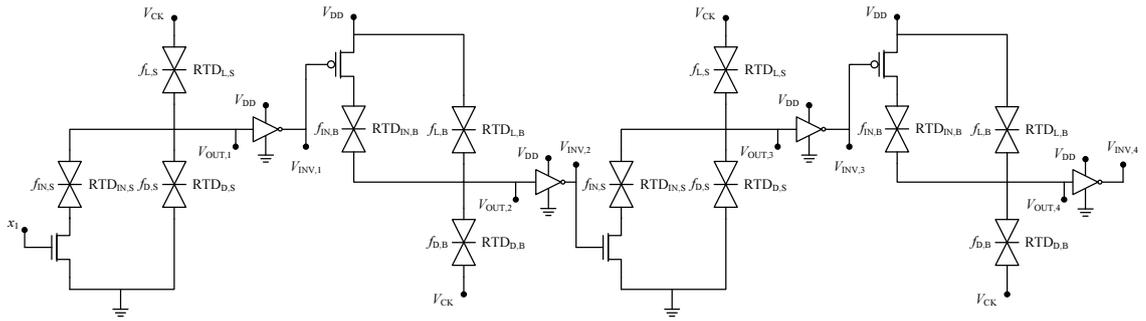
En esta sección se propondrá un esquema de interconexión de puertas RTD-CMOS empleando una fase de reloj y se analizarán sus prestaciones en comparación con redes de puertas TSPC. Todos los cálculos se realizarán tanto para una cadena de cuatro inversores en serie, como para un sumador con propagación de acarreo, en los que se ha contemplado el comportamiento del circuito en función del *fan-out*.

5.3.1 Conexión de cuatro inversores en serie

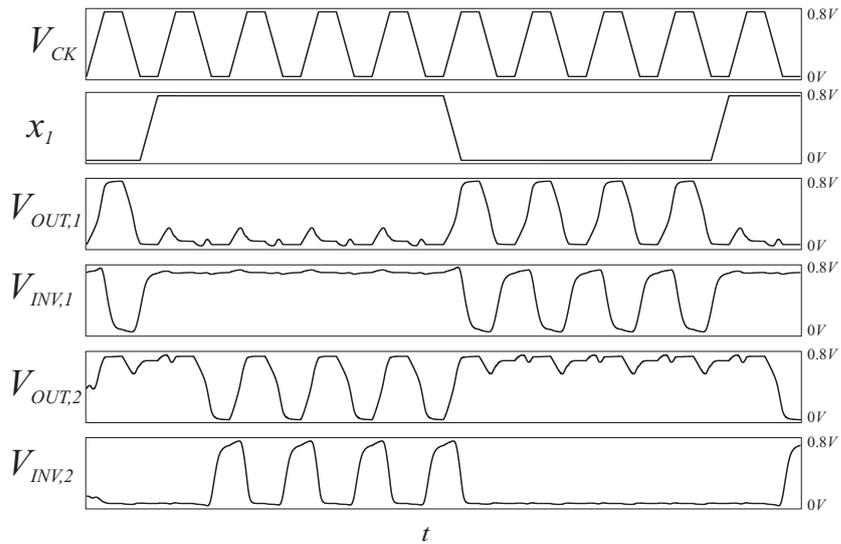
En el capítulo anterior vimos que se pueden interconectar puertas MOBILE empleando una única señal de reloj si se coloca un circuito que introduzca un retraso entre etapas. Para la interconexión de puertas RTD-CMOS emplearemos un inversor CMOS de dimensiones mínimas. La Figura 5.12a muestra el esquema completo, donde se alternan puertas activas por flanco de subida y bajada. El funcionamiento de la cadena de inversores se ilustra en la Figura 5.12b. Se ha representado la señal de reloj, V_{CK} , la entrada, x_1 , las tensiones de salida de los dos primeros inversores MOBILE, $V_{OUT,1}$ y $V_{OUT,2}$, y las de sus correspondientes inversores CMOS, $V_{INV,1}$ y $V_{INV,2}$. Las formas de onda obtenidas son análogas a las de la cadena de inversores MOS-NDR descrita en el capítulo anterior (Figura 4.24a). Para las etapas de subida hemos considerado que $f_{D,S} = f_{IN,S} = f_{X,S}$ y $f_{L,S} = 1.5 \cdot f_{X,S}$, mientras que para las de bajada se cumple que $f_{L,B} = f_{IN,B} = f_{X,B}$ y $f_{D,S} = 1.5 \cdot f_{X,B}$. La red se ha dimensionado con $f_{X,S} = f_{X,B} = 0.012$. El transistor NMOS de las etapas de subida tiene ancho $0.16\mu m$, mientras que el PMOS de las de bajada es $0.56\mu m$. Para dotar de mayor generalidad al esquema de interconexión, hemos sustituido el inversor CMOS por un *buffer* formado por dos inversores CMOS, también de dimensiones mínimas. La Figura 5.12c muestra las formas de onda correspondientes a las dos primeras etapas, operando a 6GHz, representándose la tensión a la salida de cada inversor MOBILE, $V_{OUT,1}$ y $V_{OUT,2}$, y de cada *buffer* $V_{BUF,1}$ y $V_{BUF,2}$.

Dimensionamiento del circuito

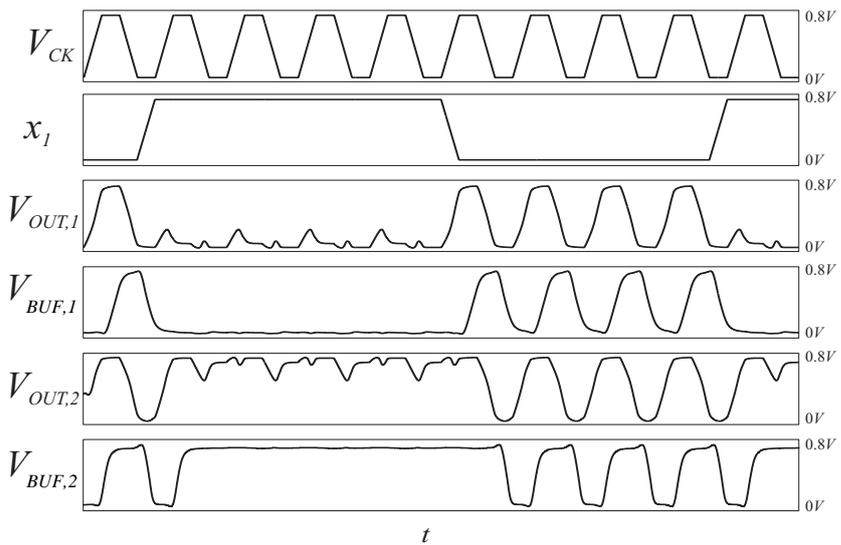
Para conseguir mayor robustez nuestro objetivo es el dimensionamiento de una cadena de cuatro inversores que funcione en el rango de frecuencias de interés (4GHz a 6GHz), con carga 1, 2 y 3. Consideraremos “carga 1” a la cadena descrita anteriormente, mientras que “carga 2” (“carga 3”), supone añadir una (dos) etapa(s) más en paralelo detrás de cada inversor CMOS. También se exigirá que la cadena opere correctamente colocando un inversor CMOS o un *buffer* entre etapas MOBILE.



(a) Esquemático.



(b) Formas de onda del reloj, la entrada y de las dos primeras etapas, con esquema de interconexión con un inversor CMOS entre etapas.



(c) Formas de onda del reloj, la entrada y de las dos primeras etapas, con esquema de interconexión con un *buffer* CMOS entre etapas.

Figura 5.12: Interconexión en serie de cuatro inversores RTD-CMOS.

Elemento de interconexión	Carga	f (GHz)	$P_{AV,1}(\mu W)$	$P_{AV,2}(\mu W)$
Inversor	1	4	36.57	40.96
		5	39.21	43.20
		6	41.62	45.41
	2	4	38.83	43.26
		5	41.92	45.99
		6	44.57	48.34
	3	4	39.21	45.26
		5	43.91	48.08
		6	46.43	50.34
Buffer	1	4	47.54	60.31
		5	52.43	65.39
		6	55.67	69.06
	2	4	49.83	62.08
		5	55.53	67.46
		6	58.01	72.07
	3	4	51.47	64.05
		5	56.17	69.15
		6	60.01	73.67

Tabla 5.9: Potencia media en los esquemas de interconexión de cuatro inversores RTD-CMOS explorados.

Con ayuda de *Suite-NDR*, hemos obtenido el siguiente dimensionado del circuito: $f_{D,S} = f_{IN,S} = 0.008$ y $f_{L,S} = 0.012$ para los factores de área de las etapas activas por flanco de subida y $f_{L,B} = f_{IN,B} = 0.016$ y $f_{D,B} = 0.022$ para las de bajada.

Evaluación de prestaciones

La Tabla 5.9 muestra las potencias medias correspondientes a las distintas cadenas de inversores estudiadas (columna “ $P_{AV,1}(\mu W)$ ”). Nótese que éstas no se ven afectadas de forma acusada por las variaciones en la frecuencia ni el aumento de la carga.

La potencia media correspondiente a estas estructuras con reloj directo (Figura 5.12a) se ha computado a partir del promedio de la suma de los “productos tensión por intensidad” de la fuente de polarización, V_{DD} y del reloj, V_{CK} .

Adicionalmente, hemos estimado la potencia para estructuras con reloj indirecto. El reloj se genera a partir de un inversor CMOS a cuya entrada se aplica un tren de pulsos con tiempos de subida muy pequeños, como vimos en el Capítulo 4. Los resultados se muestran en la columna “ $P_{AV,2}(\mu W)$ ” de la Tabla 5.9.

Finalmente presentamos los resultados obtenidos al emplear un modelo de RTD con una capacidad y densidad de corriente de pico como las del RTD integrado en silicio

Elemento de interconexión	f (GHz)	$P_{AV,1}$ (μW)
Inversor	4	48.01
	5	50.64
	6	52.73
Buffer	4	57.53
	5	63.37
	6	68.23

Tabla 5.10: Potencia media de la interconexión de cuatro inversores RTD-CMOS empleando un modelo de RTD con la misma capacidad y densidad de corriente de pico del reportado en [37].

reportado en [37]. En el Apartado 5.2.1 se mostró que para encontrar dimensionamientos válidos en el rango de interés de los valores de los parámetros, es necesario incrementar el ancho del transistor. Para este experimento, hemos considerado una cadena con carga 1, en la que el ancho de los transistores NMOS es $0.48\mu m$ ($1.68\mu m$ para los PMOS), siendo $f_X = 0.004$ el valor del factor de área que minimiza la potencia media a 6GHz. Este dimensionamiento opera correctamente en el rango de los 4GHz a 6GHz, así como con la interconexión empleando *buffers*. Los resultados obtenidos para esta cadena se muestran en la Tabla 5.10.

Comparativa con TSPC

Hemos comparado la eficiencia de la cadena de inversores RTD-CMOS con la interconexión de cuatro inversores TSPC mostrado en la Figura 5.13. Hemos realizado simulaciones paramétricas a 4GHz, 5GHz y 6GHz y carga 1, 2 y 3, en las que se ha variado el parámetro que modela el ancho mínimo del transistor NMOS, W , y la tensión V_{DD} , desde $0.8V$ hasta $1.2V$, hasta conseguir que el dimensionamiento supere las pruebas de robustez establecidas. De acuerdo con el Apartado 5.1.1, los anchos de transistor de los *latches* tipo N son $2 \cdot W$ para los NMOS y $3.5 \cdot W$ para los PMOS, mientras que para los tipo P son W para los NMOS y $7 \cdot W$ para los PMOS. Los resultados obtenidos se muestran en la Tabla 5.11. Se observa que, a diferencia del estudio del inversor binario aislado, no existen soluciones para $V_{DD} = 0.8V$. Esto se debe a que ahora, a partir de la segunda etapa, los inversores no reciben entradas ideales. Además, las etapas tipo P soportan una carga mayor que las N debido al dimensionamiento del *latch* tipo P. Nótese que la potencia media crece en gran medida con la frecuencia y al aumentar la carga. Finalmente, no es posible encontrar un dimensionamiento de la cadena que supere las

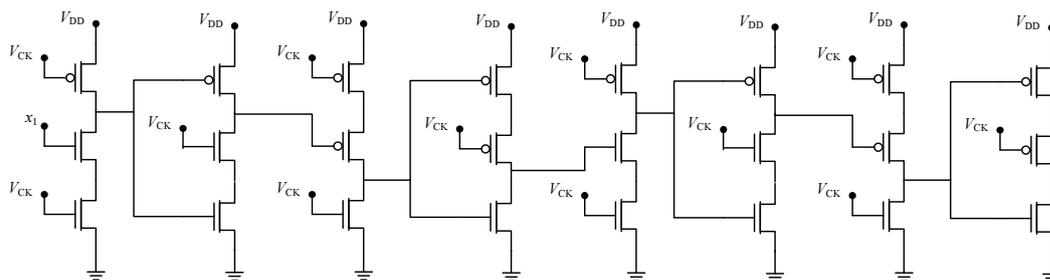


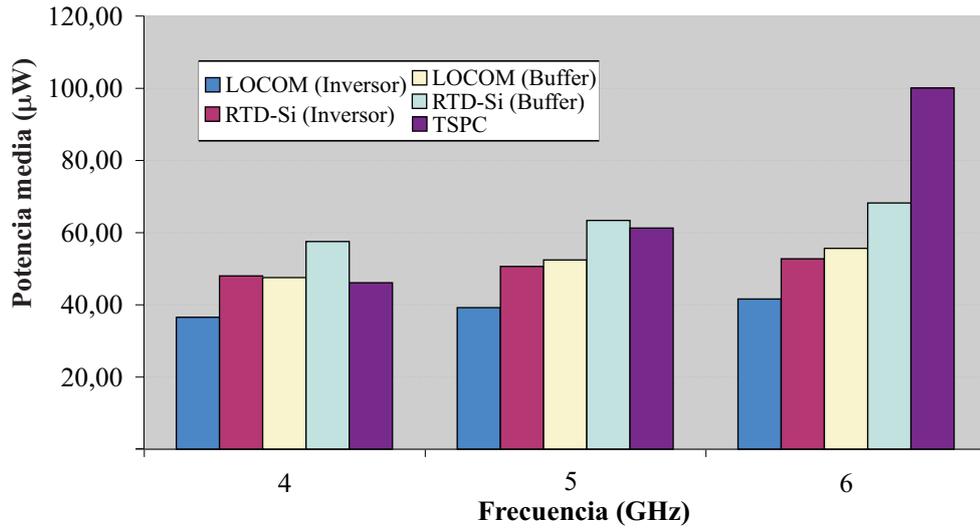
Figura 5.13: Conexión en serie de cuatro inversores TSPC.

Carga	f (GHz)	V_{DD} (V)	W (μm)	P_{AV} (μW)
1	4	1.0	0.16	46.12
1	5	1.1	0.16	61.25
1	6	1.2	0.16	100.08
2	4	1.1	0.16	53.67
2	5	1.2	0.16	90.42
2	6	1.2	0.32	203.32
3	4	1.1	0.16	61.51
3	5	1.2	0.32	178.74
3	6	—	—	—

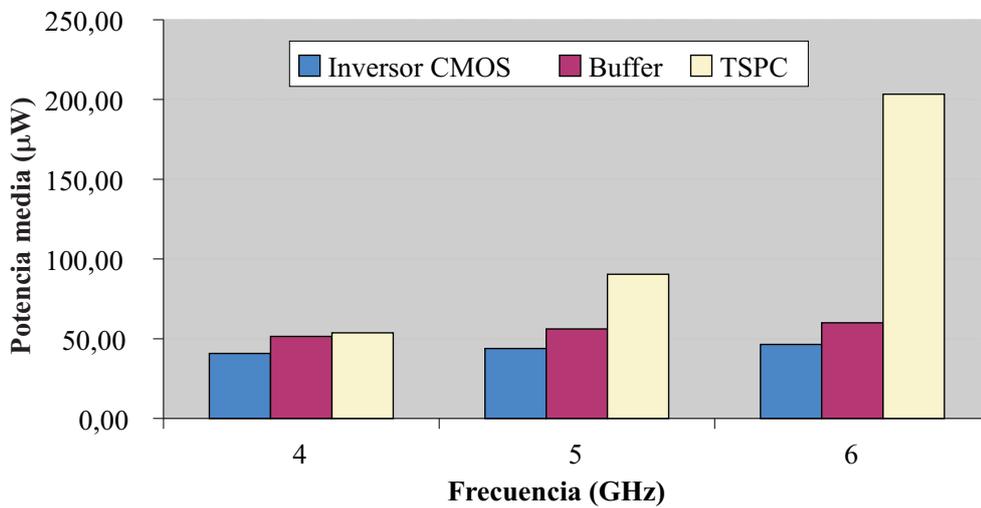
Tabla 5.11: Resultados de las simulaciones correspondiente a la interconexión de cuatro inversores TSPC.

pruebas de robustez para carga 3 y frecuencia 6GHz.

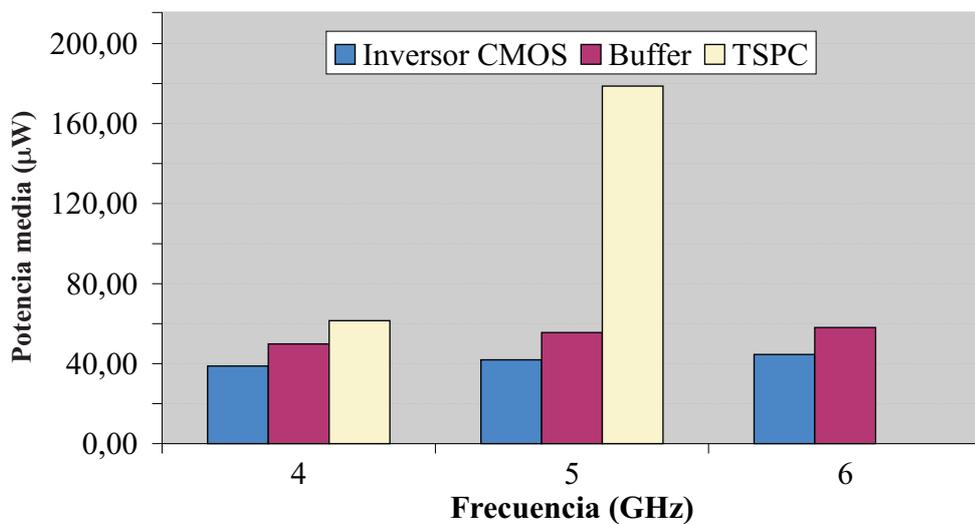
En la Figura 5.14 mostramos una comparativa entre los experimentos realizados para circuitos RTD-CMOS y TSPC. En la Figura 5.14a se han representado las potencias medias a 4GHz, 5GHz y 6GHz para carga 1. Se han incluido los esquemas de interconexión con un inversor CMOS y con el *buffer*, así como los resultados obtenidos con el RTD de LOCOM y el RTD reportado en [37]. A 4GHz, entre todas las topologías RTD-CMOS sólo la cadena con el RTD de LOCOM y con inversores CMOS como elemento de interconexión mejora en potencia media a la TSPC. Sin embargo a 5GHz todas las cadenas, salvo la que emplea *buffers* y el RTD reportado en [37], mejoran a la TSPC, situándose la potencia media de las cadenas RTD-CMOS eficientes entre el 64% y 85% de la correspondiente a TSPC. A 6GHz todas las cadenas RTD-CMOS son más eficientes, estando la potencia media de éstas entre un 42% y un 68% de la medida en la red TSPC. Finalmente, en las Figuras 5.14b y 5.14c mostramos los resultados obtenidos para carga 2 y carga 3. Con carga 2 (3) y a 6GHz (5GHz), la potencia media de la red RTD-CMOS con inversores es el



(a) Carga 1.



(b) Carga 2.



(c) Carga 3.

Figura 5.14: Comparativa de la potencia media frente a la frecuencia para la interconexión de cuatro inversores RTD-CMOS y TSPC.

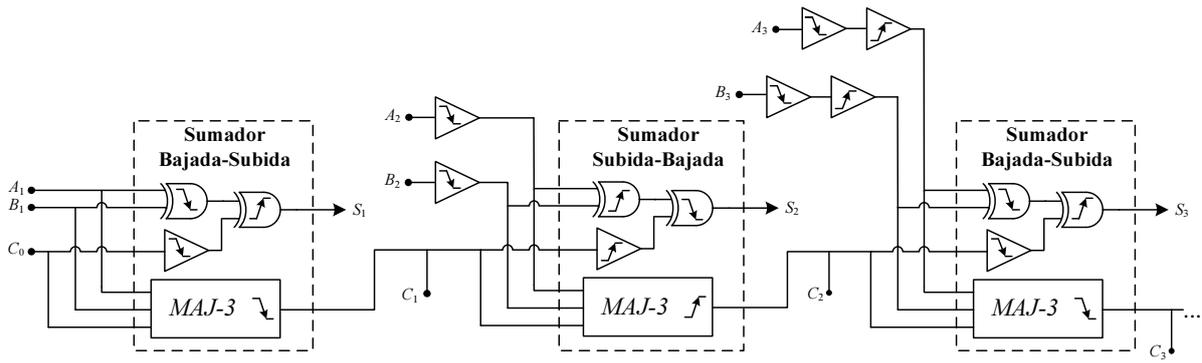


Figura 5.15: Diagrama de bloques del sumador RTD-CMOS implementado.

22 % (23 %) de la de la TSPC y para la que emplea *buffers* el 30 % (31 %) . Los resultados obtenidos en este experimento, en el que se evalúan redes de puertas, muestran ventajas, en términos de potencia, más significativas que en el experimento de puertas descrito en el Apartado 5.2.

5.3.2 Sumador

Hemos diseñado un sumador de propagación de acarreo empleando el mismo esquema de interconexión con inversores descrito anteriormente. La Figura 5.15 muestra su diagrama lógico consistente en la conexión en serie de sumadores completos (*full-adders*). Las entradas del sumador son los bits a sumar, A_i y B_i , y el acarreo de la etapa anterior, C_{i-1} . La suma, S_i , se obtiene a partir de dos puertas OR-exclusiva y un seguidor, mientras que el acarreo, C_i , se genera con la mayoritaria de las tres entradas. Para poder conectar los *full-adders* en cadena es necesario alternar el tipo de disparo de la señal de reloj, por lo que es necesario contar con dos tipos de *full-adders*. Los sumadores tipo “Bajada-Subida” generan un acarreo a partir de una mayoritaria activa por flanco de bajada, por lo que para preservar el esquema de fases de reloj, es necesario que, en el siguiente sumador, las puertas del primer nivel sean activas por flanco de subida, dando lugar a *full-adders* tipo “Subida-Bajada”. Nótese que para sincronizar la evaluación de las entradas A_i y B_i , se han empleado cadenas de $i - 1$ inversores RTD-CMOS. En la Figura 5.16 se ilustra el esquemático del sumador tipo “Subida-Bajada”, en el que se han señalado las puertas que lo componen y en el que se incluyen los inversores de interconexión entre etapas.

En la Figura 5.17 se muestra el funcionamiento de una etapa “Bajada-Subida” seguida de una “Subida-Bajada” operando a 4GHz. El dimensionado de los RTDs y transistores para las diferentes puertas se ha resumido en la Tabla 5.12. Las formas de onda de las

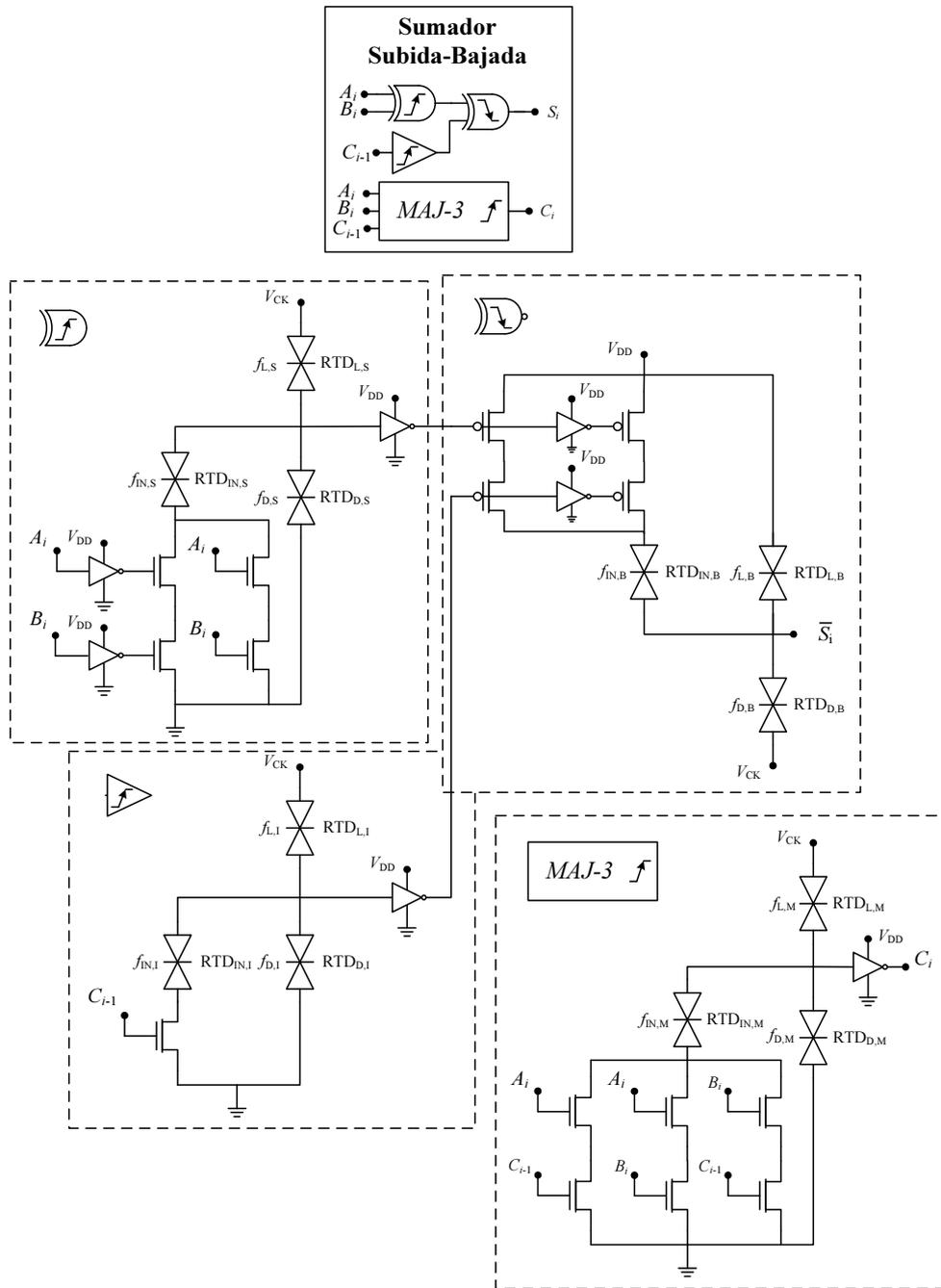


Figura 5.16: Esquemático del sumador tipo “Subida-Bajada”.

Sumador Bajada-Subida				
	<i>Inversor</i> ↓	<i>ExOR</i> - 2 ↓	<i>ExOR</i> - 2 ↑	<i>NMAJ</i> - 3 ↓
f_D	0.055	0.046	0.04	0.05
f_L	0.04	0.036	0.05	0.036
f_{IN}	0.04	0.036	0.04	0.036
$W(\mu m)$	1.68	1.68	0.48	1.68

(a) Sumador Bajada-Subida.

Sumador Subida-Bajada				
	<i>Inversor</i> ↑	<i>ExOR</i> - 2 ↑	<i>ExOR</i> - 2 ↓	<i>NMAJ</i> - 3 ↑
f_D	0.03	0.036	0.051	0.036
f_L	0.045	0.047	0.04	0.047
f_{IN}	0.03	0.036	0.04	0.036
$W(\mu m)$	0.48	0.48	1.68	0.48

(b) Sumador Subida-Bajada.

Tabla 5.12: Dimensionamiento del sumador.

entradas representadas están medidas tras la cadena de inversores. Las entradas A_i y B_i corresponden a un sumador “Bajada-Subida” y el acarreo, C_{i-1} , al sumador “Subida-Bajada” que lo precede. Nótese que la salida de este sumador, \bar{S}_i , es disparada por flanco de subida, mientras que el acarreo, C_i , lo es por flanco de bajada (en la figura se ha representado tras el inversor CMOS). En el sumador “Subida-Bajada”, la salida, \bar{S}_{i+1} , está disparada por flanco de bajada y el acarreo, C_{i+1} , por flanco de subida.

Se ha evaluado la potencia media de la conexión de los dos sumadores operando a 4GHz, estimándose en $156.38\mu W$. Para hacer que la medida sea lo más realista posible, se han tenido en cuenta todas las posibles combinaciones de entradas. Debido a las restricciones impuestas en el rango de variación de los parámetros, no es posible conseguir que la estructura supere las pruebas de robustez en todo el intervalo de frecuencias entre 4GHz y 6GHz, observándose que la limitación aparece en las puertas activas por flanco de bajada. Esto indica que la parametrización del dimensionado utilizado para este tipo de puertas (el mismo que para las disparadas por flanco de subida) pudiera no ser el más adecuado.

Comparativa con TSPC

La Figura 5.18 muestra el diagrama de bloques del sumador empleando un estilo de diseño TSPC, que también consta de etapas tipo “N-P” y “P-N”. Para que el circuito opere a 4GHz superando los criterios de robustez, la polarización, V_{DD} , se ha fijado a 1.2V. Se

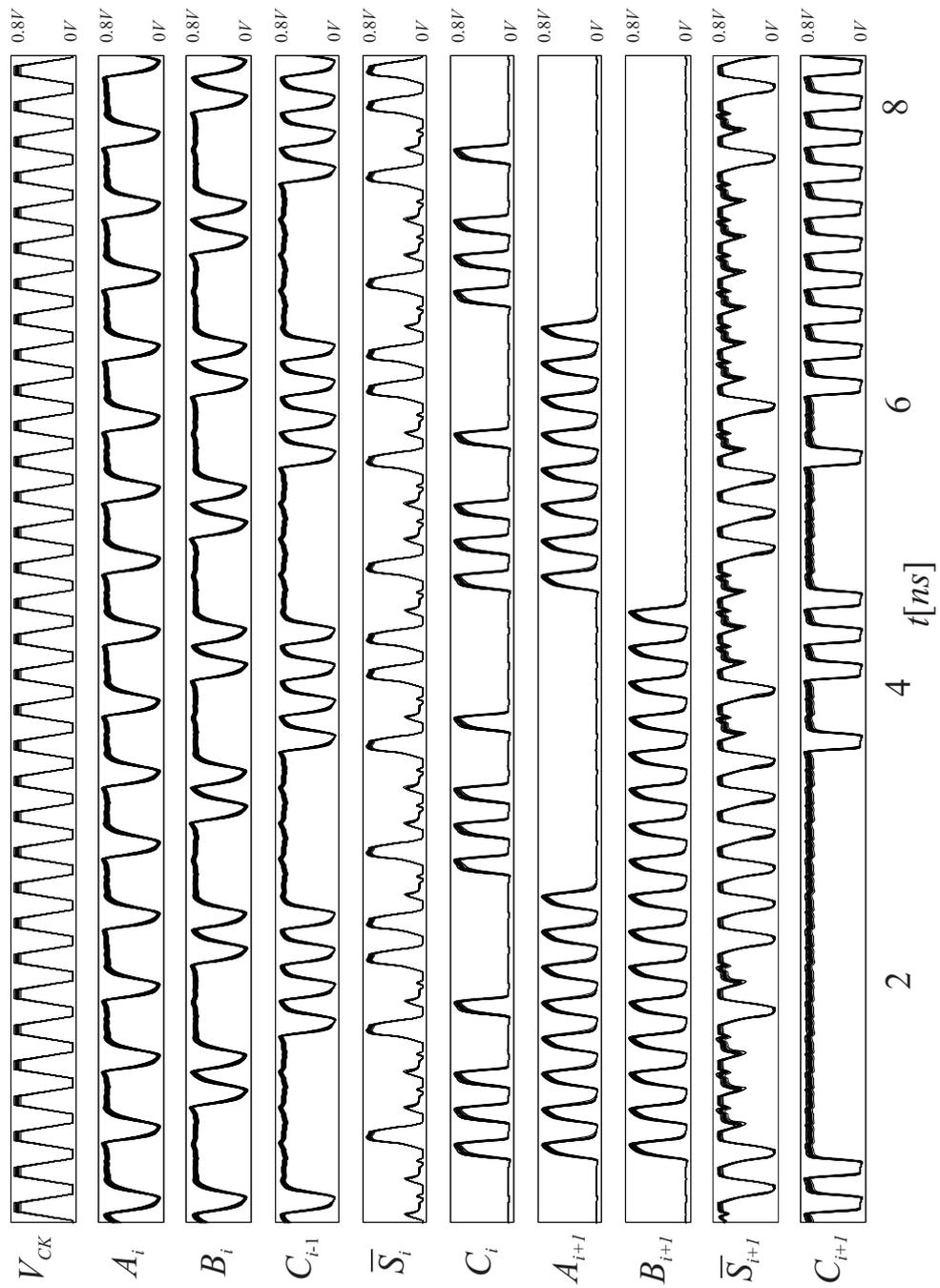


Figura 5.17: Simulación a 4GHz de la conexión de dos sumadores de un bit.

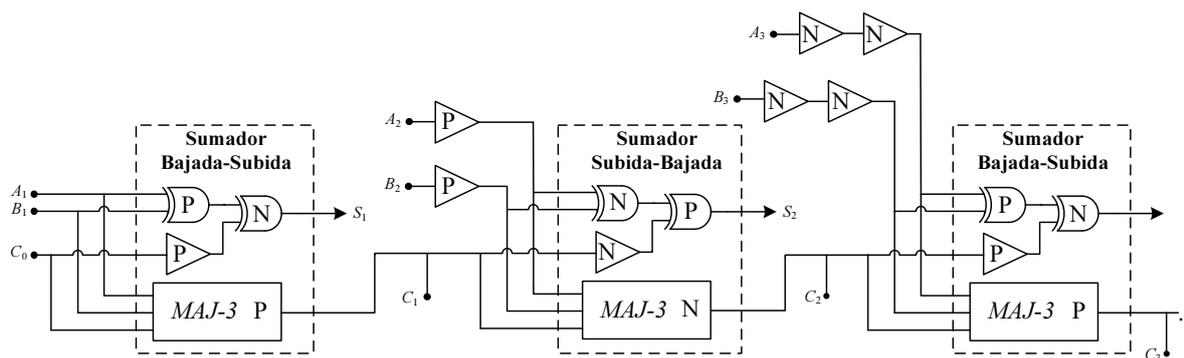


Figura 5.18: Diagrama de bloques del sumador TSPC implementado.

Sumador Bajada-Subida						
	<i>Inversor P</i>	<i>ExOR P</i>	<i>ExOR N</i>	<i>NMAJ - 3 P</i>	<i>Latch N</i>	<i>Latch P</i>
$W(\mu m)$	0.16	0.48	0.48	0.16	0.16	0.16
W_{PMOS}	1.12	5.04	1.68	1.68	0.56	1.12
W_{NMOS}	0.16	0.48	1.44	0.16	0.32	0.16

(a) Sumador Bajada-Subida.

Sumador Subida-Bajada						
	<i>Inversor N</i>	<i>ExOR N</i>	<i>ExOR P</i>	<i>NMAJ - 3 N</i>	<i>Latch N</i>	<i>Latch P</i>
$W(\mu m)$	0.16	0.48	0.48	0.16	0.16	0.16
W_{PMOS}	0.56	1.68	5.04	0.56	0.56	1.12
W_{NMOS}	0.32	1.44	0.48	0.48	0.32	0.16

(b) Sumador Subida-Bajada.

Tabla 5.13: Dimensionamiento del sumador TSPC.

ha seguido el mismo criterio de dimensionamiento de las puertas empleado a lo largo del capítulo, resumiéndose en la Tabla 5.13 los valores asignados al parámetro W para cada puerta. La potencia media estimada a 4GHz es de $355.59\mu W$, más del doble que la de la realización RTD-CMOS.

5.4 Conclusiones

En este capítulo se ha estudiado el diseño de circuitos lógicos MOBILE empleando RTDs y transistores de una tecnología CMOS comercial de $130nm$. Se han realizado simulaciones paramétricas para explorar su operación en un rango de frecuencias y de valores de los parámetros de diseño. Se ha utilizado la potencia media a una determinada frecuencia de interés y el mínimo promedio de energía por ciclo de reloj para evaluar las

prestaciones de los circuitos y compararlas con realizaciones RTD-CMOS.

En primer lugar, se ha estudiado el funcionamiento de puertas lógicas con distinta carga. Hemos verificado que la potencia media de los circuitos RTD-CMOS es menor que la de los circuitos TSPC, aún cuando la tensión de polarización de estos últimos iguala a la de los circuitos RTD-CMOS. La potencia media de la puerta mayoritaria negada de tres entradas es un 32% de la TSPC para una polarización de 0.8V y un 25% para una polarización de 1.2V. Estas diferencias son más patentes a medida que se aumenta la frecuencia y la carga soportada. Hemos comprobado que la potencia media crece más con la frecuencia en los circuitos TSPC que en los circuitos RTD-CMOS.

En el segundo bloque del capítulo, se ha ampliado el estudio a la interconexión de puertas empleando una única fase de reloj. Se ha propuesto un esquema en el que se ha colocado un inversor CMOS entre ellas. Hemos comprobado que también es posible realizar la interconexión colocando dos inversores CMOS en serie entre etapas MOBILE. En primer lugar, hemos considerado una cadena de inversores RTD-CMOS con un dimensionamiento tal que opere correctamente en el rango de frecuencias de interés, con diferente carga y que admita, indistintamente, la interconexión empleando uno o dos inversores CMOS. La potencia media medida está entre un 22% y 30% de la de la red TSPC a 6GHz y carga 2. Finalmente, se ha estudiado un sumador RTD-CMOS, en el que aún a 4GHz, la potencia es inferior a la mitad de la de la realización TSPC.

CONCLUSIONES

1. Se han extendido las metodologías de diseño basadas en el principio de operación MOBILE a circuitos más complejos. Se han ampliado estudios previos, en los que sólo se recoge el análisis de la evaluación, incluyéndose la propiedad de biestabilidad. En particular, se han obtenido, de forma analítica y contrastándolas por simulación, regiones de funcionamiento de un circuito MOBILE diferencial simétrico y de comparadores binarios y multivaluados.
2. Se han derivado expresiones analíticas de los puntos críticos en la curva $I-V$ de dos o más RTDs en serie, lo que permite aproximarla de forma lineal a tramos. Empleando esta característica aproximada hemos simplificado el procedimiento de obtención de las regiones de operación de circuitos ternarios y cuaternarios. Se ha comprobado que las regiones derivadas analíticamente se corresponden muy bien con las obtenidas por simulación empleando RTDs con modelos no lineales, y que esta metodología de diseño es independiente de los modelos de RTD y transistor utilizados.
3. Se han desarrollado circuitos que permiten emular características $I-V$ tipo NDR. En concreto, se han propuesto dos topologías de circuito integrables en tecnologías CMOS estándar. A diferencia de otras reportadas anteriormente, no requieren utilizar fuentes flotantes simplificando, por tanto, su realización física. Además, se ha validado el uso de estos dispositivos MOS-NDR en estructuras basadas en los principios de operación MOBILE y MML tanto disparadas por flanco ascendente como por descendente, y se ha derivado una metodología para su dimensionamiento.
4. Se ha propuesto y validado experimentalmente un dispositivo MOS-NDR programable cuya intensidad de pico y segunda zona de resistencia diferencial positiva se modifican en función de dos controles externos.

5. Se han diseñado y fabricado demostradores de la operación de puertas MOBILE basadas en el dispositivo MOS-NDR programable. Al disponer de transistores tipo N y P, se han desarrollado topologías MOBILE novedosas y eficientes para las disparadas por flanco descendente, más adecuadas que las reportadas para diseños con RTDs en tecnologías como LOCOM. Estas topologías han sido validadas en un contexto RTD-CMOS.
6. Se ha propuesto y mostrado experimentalmente un esquema de interconexión de puertas que emplea una única fase de reloj. Se ha reducido la complejidad del circuito necesario entre etapas con respecto a otras arquitecturas reportadas.
7. Se han diseñado y validado experimentalmente topologías de circuitos Muller *C-elements* sustituyendo el RTD de una implementación previamente reportada por un dispositivo MOS-NDR. Para circuitos con un número elevado de entradas se ha propuesto y validado experimentalmente una configuración con red de preprocesamiento. Estas realizaciones son más compactas y eficientes en términos de potencia que una implementación CMOS estándar, lo que muestra que, para ciertas aplicaciones, el diseño con estos emuladores es competitivo.
8. Se ha explorado el diseño de circuitos MOBILE, con *pipeline* a nivel de puerta, basados en la cointegración de RTDs con transistores CMOS de una tecnología comercial. Se han comparado sus prestaciones (potencia media y energía promedio por ciclo de reloj) con las de sus correspondientes realizaciones en un estilo de diseño TSPC. Los resultados obtenidos muestran ventajas significativas de los diseños RTD-CMOS, por lo que, a pesar de tratarse de un estudio preliminar con importantes limitaciones, supone un punto de partida hacia futuros trabajos en esta dirección.

APÉNDICE

A.1 Descripción de las tecnologías empleadas

En este apéndice mostramos una breve descripción de las tecnologías empleadas tanto en la simulación como en la fabricación de los circuitos propuestos en esta Tesis.

A.1.1 Tecnología LOCOM

El diseño de circuitos con RTDs y HFETs se ha realizado empleando los modelos de dispositivos proporcionados por la tecnología LOCOM [54].

RTD

El modelo del RTD de LOCOM se muestra en la Figura A.1a, en la que $C_{RTD} = 4fF/\mu m^2$, $R_S = 0.5\Omega$, $R_0 = 10G\Omega$. La intensidad en DC que circula por un RTD de factor de área f sometido a una tensión V se modela a partir de la siguiente expresión:

$$I_{RTD}(V) = 0.5f \cdot I_p \left[(1 - \tanh(10(V - V_{RP}))) e^{-\frac{(V - V_{RP})^2}{BRL^2}} + (1 + \tanh(10(V - V_{RP}))) e^{-\frac{(V - V_{RP})^2}{BRR^2}} - (1 + \tanh(10(-V + V_{RN}))) e^{-\frac{(-V + V_{RN})^2}{BRL^2}} - (1 + \tanh(10(-V + V_{RN}))) e^{-\frac{(-V + V_{RN})^2}{BRR^2}} \right] + f \cdot I_{THERM}(e^{de \cdot V} - e^{-de \cdot V}) \quad (A.1)$$

donde los parámetros que aparecen en la ecuación toman los siguientes valores:

$$I_p = 2150\mu A, V_{RP} = 0.2V, V_{RN} = -0.2V, BRL = 0.24V^2$$

$$BRR = 0.18V^2, I_{THERM} = 36\mu A, de = 3.8V^{-1}$$

En la Figura A.1b se muestra la curva tensión-corriente de un RTD con factor de área unidad.

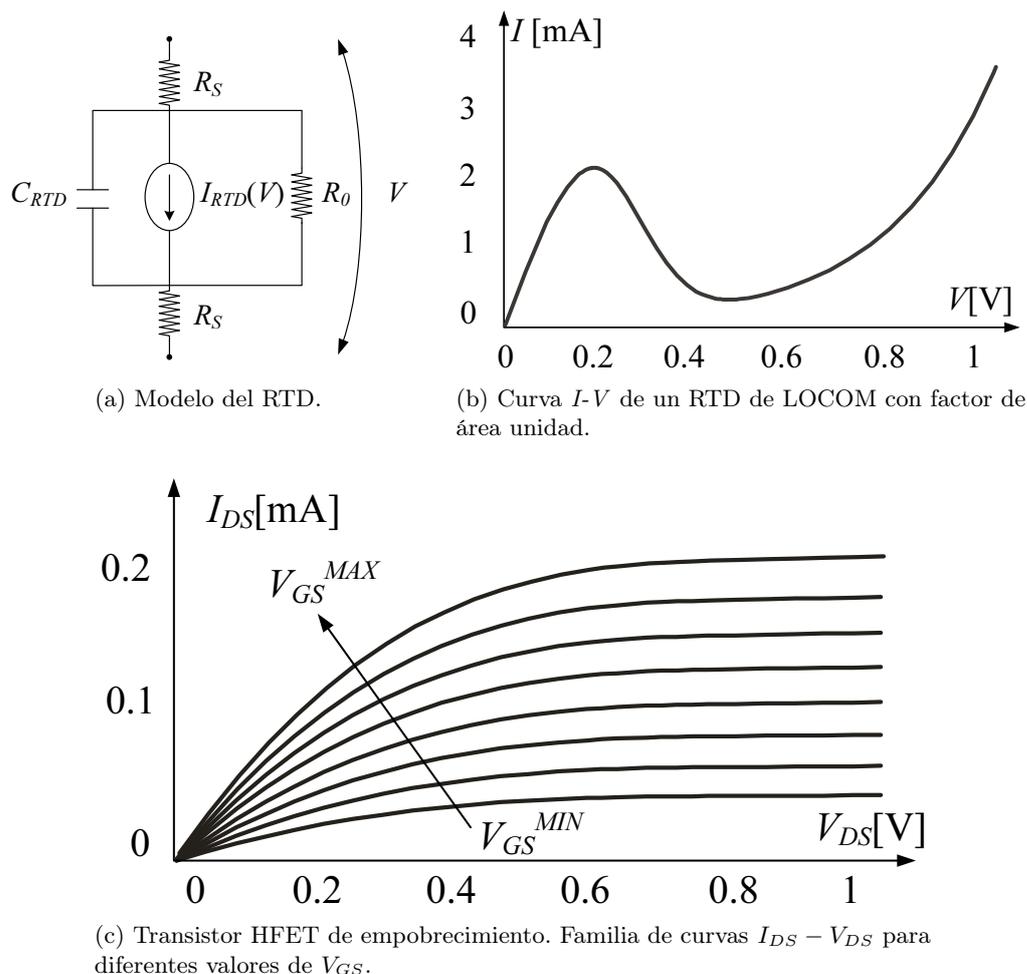


Figura A.1: Tecnología LOCOM.

HFET

Para las simulaciones en HSPICE hemos empleado un modelo del HFET de nivel 3 y factor de saturación (SAT) igual a 3. La intensidad que circula por el HFET se ha modelado mediante la siguiente expresión:

$$I_{HFET}(V_{DS}, V_{GS}) = \begin{cases} 0 & V_{GS} < V_{T0} \\ \frac{\beta \cdot FF(V_{GS} - V_{T0})^{V_{G,exp}}}{1 + u_{CRIT}(V_{GS} - V_{T0})} (1 + \lambda V_{DS}) [1 - (1 - \alpha \frac{V_{DS}}{sat_{exp}})^{sat_{exp}}] & V_{DS} < \frac{sat_{exp}}{\alpha} \\ \frac{\beta \cdot FF(V_{GS} - V_{T0})^{V_{G,exp}}}{1 + u_{CRIT}(V_{GS} - V_{T0})} (1 + \lambda V_{DS}) & V_{DS} \geq \frac{sat_{exp}}{\alpha} \end{cases} \quad (A.2)$$

Los parámetros que aparecen en la expresión anterior toman los siguientes valores para el transistor de empobrecimiento:

$$\alpha = 3V^{-1}, \beta = 500V^{-1}, \lambda = 0.05V^{-1}, V_{T0} = -0.4V$$

$$sat_{exp} = 2.8, V_{G,exp} = 1.5, u_{CRIT} = 0.6V^{-1}$$

Y para el de enriquecimiento:

$$\alpha = 5.5V^{-1}, \beta = 900V^{-1}, \lambda = 0.1V^{-1}, V_{T0} = 0.15V$$

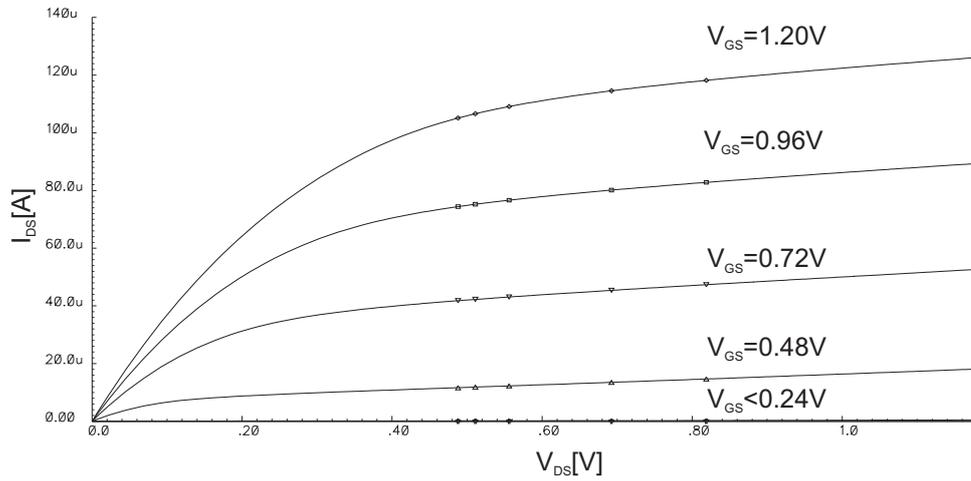
$$sat_{exp} = 2.8, V_{G,exp} = 1.8, u_{CRIT} = 0.8V^{-1}$$

En la Figura A.1c mostramos la familia de curvas $V_{DS} - I_{DS}$ de un HFET de empobrecimiento en función de la tensión puerta-fuente.

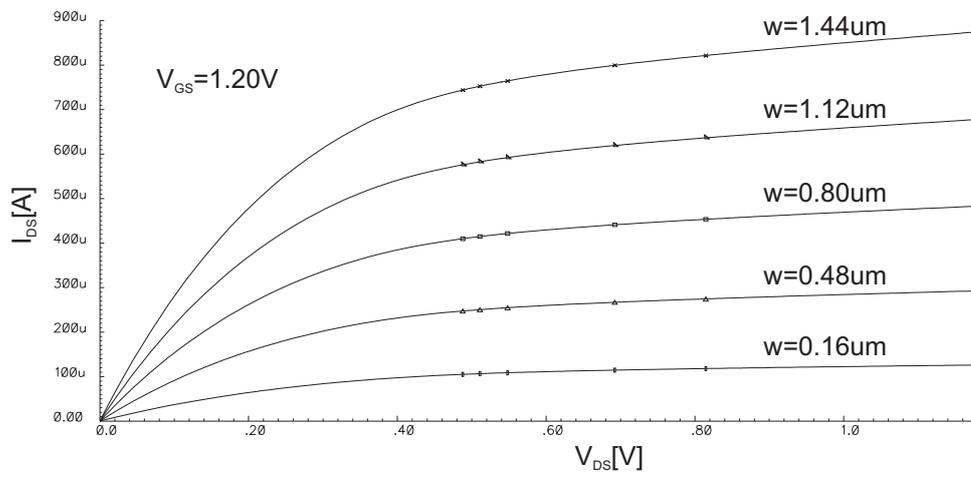
A.1.2 Tecnología UMC/Faraday 130nm

El diseño de circuitos MOS-NDR se ha realizado empleando una tecnología comercial de 130nm y 1.2V del fabricante UMC [124]. En las Figuras A.2a y A.3a mostramos las familias de curvas $I_{DS} - V_{DS}$ (para diferentes valores de V_{GS}) de transistores NMOS y PMOS con anchura y longitud mínimas de canal para esta tecnología, esto es $w = 0.16\mu m$ y $l = 0.12\mu m$, respectivamente. En las Figuras A.2b y A.3b se representa como varía la intensidad drenador-fuente al variar la anchura del transistor (considerando una longitud mínima) y $V_{GS} = 1.2V$.

El bloque de entrada/salida (anillo de *pads*) de los circuitos ha sido realizado empleando las librerías del fabricante Faraday [125] correspondientes a la tecnología de 130nm empleada. Esta tecnología requiere del uso de tensiones externas a los *pads* digitales de 3.3V que se convierten a 1.2V para su utilización en el *core* del circuito.

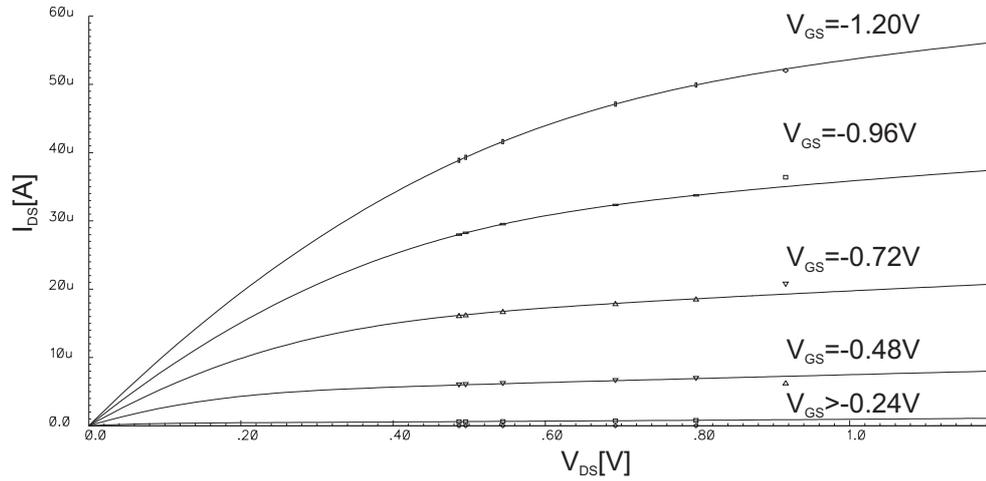
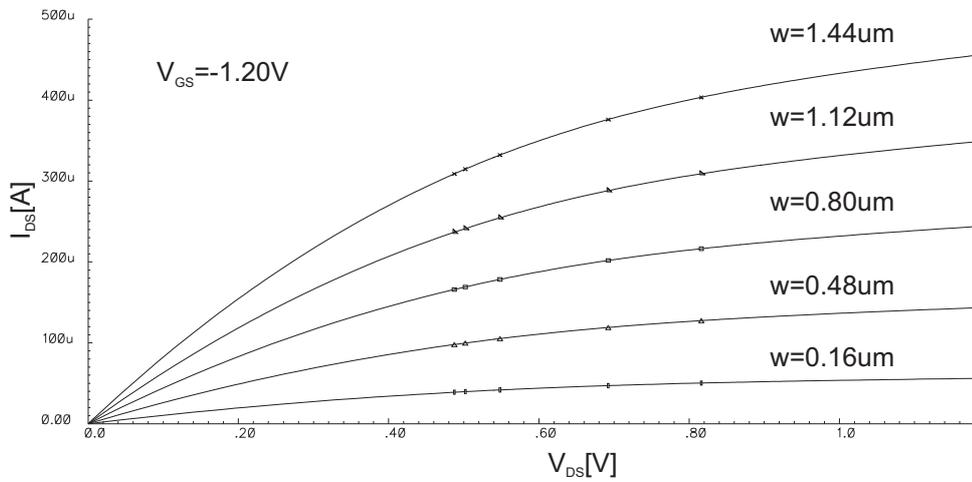


(a) Transistor NMOS. Familia de curvas $I_{DS} - V_{DS}$ para diferentes valores de V_{GS} .



(b) Transistor NMOS. Familia de curvas $I_{DS} - V_{DS}$ para diferentes valores de w .

Figura A.2: Curvas $I_{DS} - V_{DS}$ para los transistores NMOS de la tecnología UMC 130nm.

(a) Transistor PMOS. Familia de curvas $I_{DS} - V_{DS}$ para diferentes valores de V_{GS} .(b) Transistor PMOS. Familia de curvas $I_{DS} - V_{DS}$ para diferentes valores de w .**Figura A.3:** Curvas $I_{DS} - V_{DS}$ para los transistores PMOS de la tecnología UMC 130nm.

A.2 Descripción de los circuitos fabricados

En este apartado se describen los diferentes demostradores implementados en la tecnología comercial UMC 130nm.

A.2.1 Circuito 1

El primer circuito fabricado se diseñó con el objetivo de validar experimentalmente las estructuras MOS-NDR desarrolladas.

A.2.2 Circuito 2

El segundo circuito se diseñó para verificar el funcionamiento de las puertas MOBILE activas por flanco de subida descritas en el Capítulo 4. El integrado, que llamaremos “*Puertas MOS-NDR*” (Figura A.4a), pretende mostrar el funcionamiento de puertas aisladas y las topologías de los Muller *C-elements*.

Contenido del circuito

Consta de once puertas simples, que se agrupan por funcionalidad de la siguiente manera:

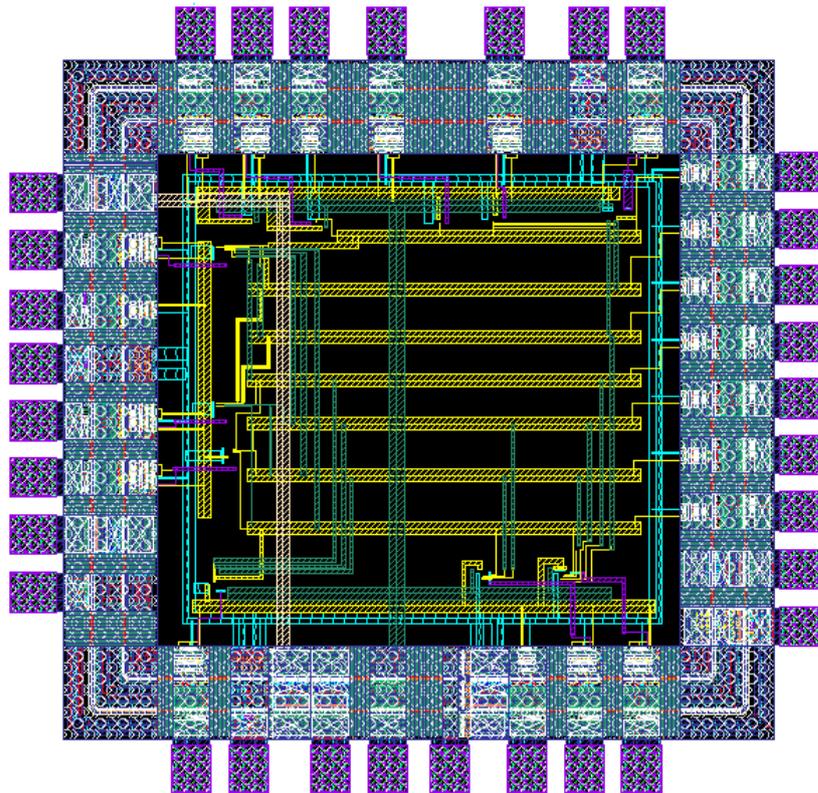
1. Circuitos síncronos

- a) *MOBILE*.
- b) *Dos inversores binarios con diferentes dimensionamientos.*
- c) *Dos puertas NOR de 3 entradas con diferentes dimensionamientos.*
- d) *Mayoritaria de 3 entradas.*
- e) *Mayoritaria de 5 entradas.*

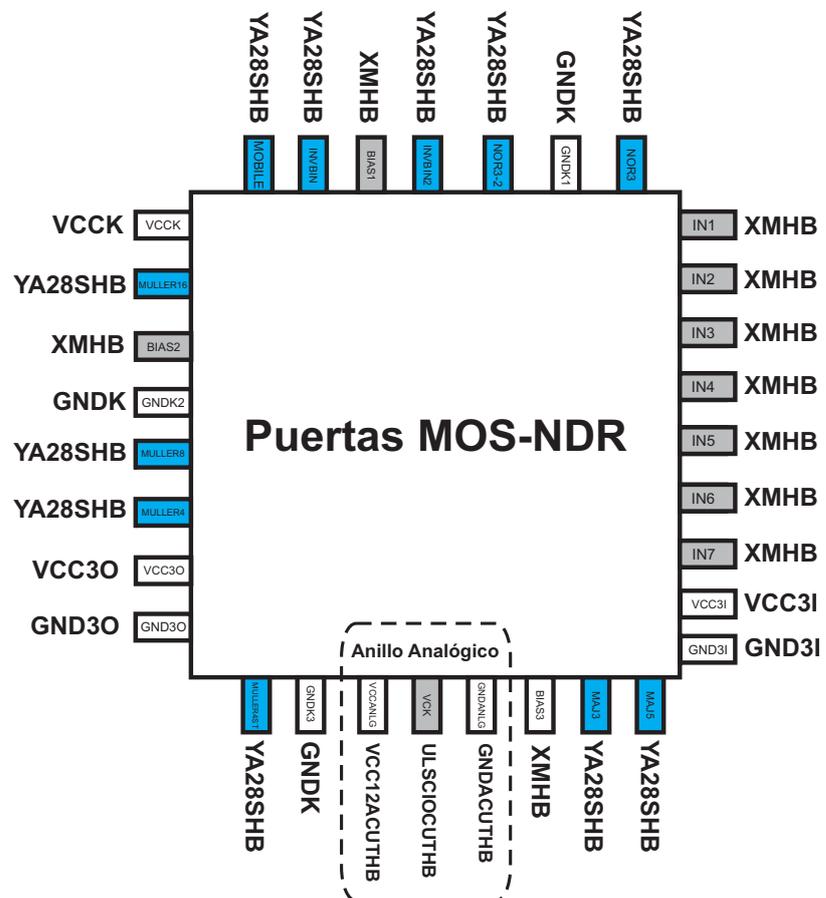
2. Circuitos Muller *C-element*

- a) *Muller C-element de 4 entradas.*
- b) *Muller C-element de 8 entradas.*
- c) *Muller C-element de 16 entradas.*
- d) *Muller C-element de 4 entradas sin bloques pseudo-NMOS/PMOS.*

La muestra fue encapsulada empleando una cápsula QFN de 64 pines. Para testar este chip y el descrito en la sección siguiente se ha realizado un diseño de PCB (mostrada en la Figura A.5) que permite colocar una u otra muestra de forma indistinta.



(a) Layout.



(b) Esquema de pads.

Figura A.4: Circuito 2.

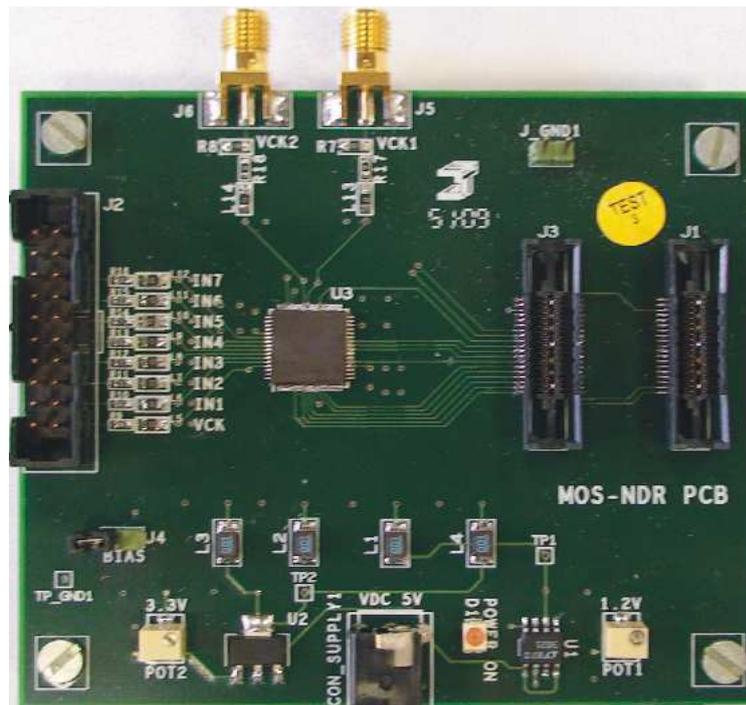


Figura A.5: PCB.

Relación de pines del circuito

En la Figura A.4b se muestra la relación de *pads* (de librería I/O de Faraday) que conforman el anillo de *pads*. Seguidamente se detallan la función de cada uno de ellos.

1. Alimentación del anillo de *PADs*

- **VCC3I**: Tensión constante a 3.3V.
- **VCC3O**: Tensión constante a 3.3V.
- **VCKK**: Tensión constante a 1.2V. Se conecta a la celda de corte izquierda (LCUT12HB).
- **GND0**: Tierra. No tiene conexión al *core* del integrado.
- **GNDK1, GNDK2, GNDK3**: Tierra.
- **GND3I**: Tierra. No tiene conexión al *core* del integrado.
- **VCCANLG**: Tensión de 1.2V de alimentación del anillo analógico. No tiene conexión al *core* del integrado.
- **GNDANLG**: Tierra. No tiene conexión al *core* del integrado.

2. Entradas

- **IN1, IN2, IN3, IN4, IN5, IN6, IN7:** Entradas digitales a $3.3V$ que se transforman a $1.2V$ en el buffer de entrada.
- **VCK:** Entrada analógica (reloj) con valores de tensión comprendidos entre $0V$ y $1.2V$.

3. Alimentaciones

- **BIAS1, BIAS2, BIAS3:** Entradas digitales a $3.3V$ que se transforman a $1.2V$ en el buffer de entrada.

4. Salidas

- Aparecen representadas en color azul los *pads* digitales correspondientes a la salida de cada uno de los circuitos.

A.2.3 Circuito 3

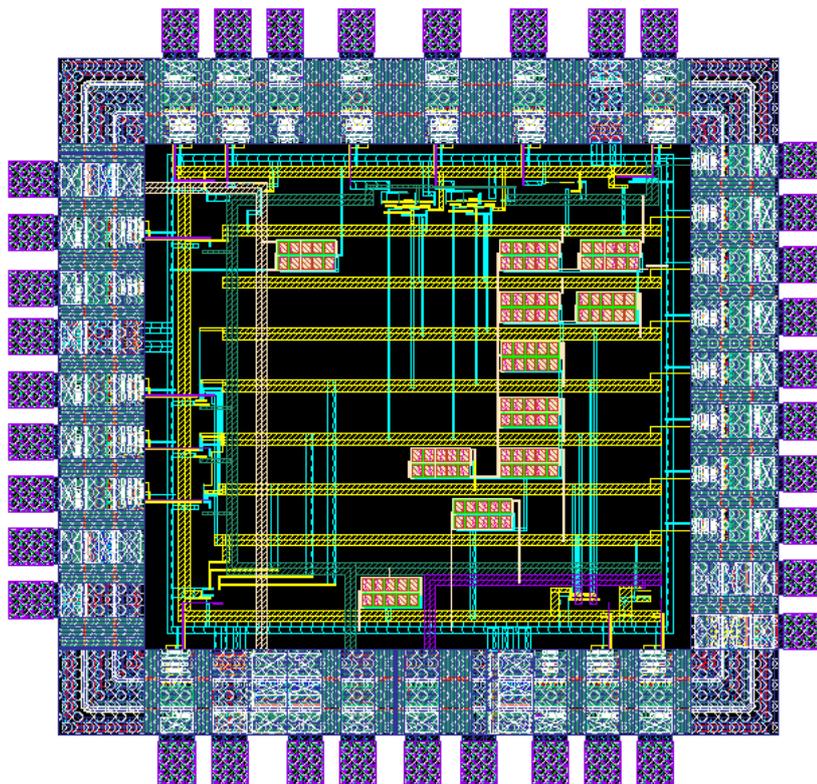
El tercer circuito fabricado, mostrado en la Figura A.6a, permite verificar el funcionamiento de puertas activas por flanco de bajada, así como los esquemas de interconexión de puertas.

Contenido del circuito

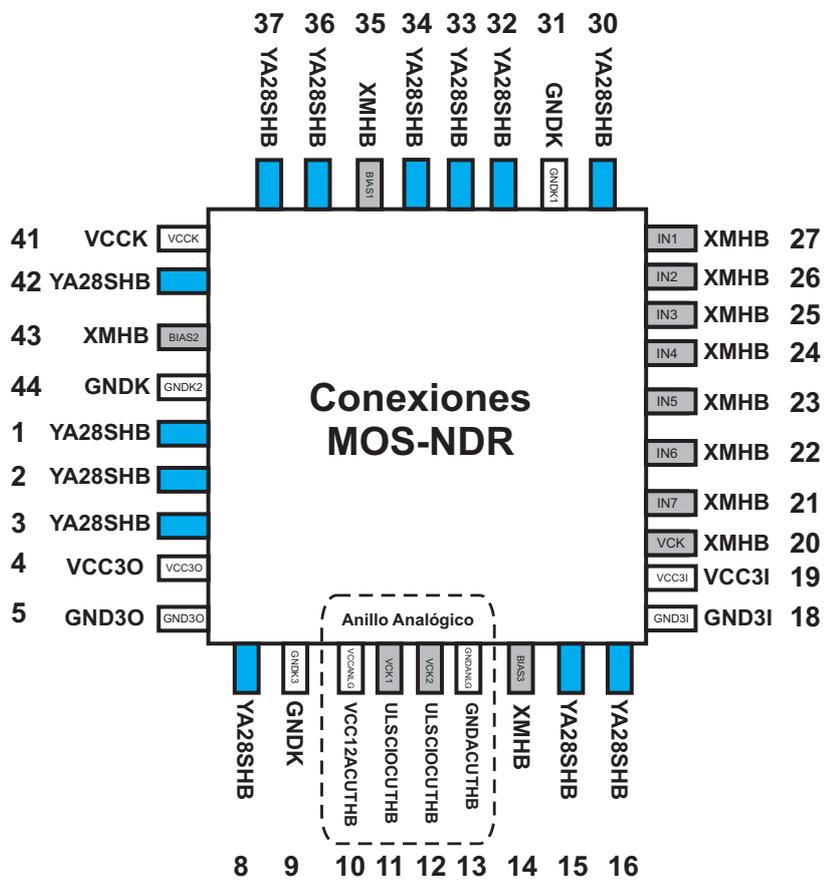
Consta de las siguientes estructuras:

1. Circuitos activos por flanco de bajada

- a) *MOBILE*.
- b) *Inversor binario*.
- c) *Inversor binario con reloj indirecto*.
- d) *Mayoritaria de 3 entradas*.
- e) *Mayoritaria de 5 entradas*.
- f) *NAND de 3 entradas*.



(a) Layout.



(b) Esquema de pines.

Figura A.6: Circuito 3.

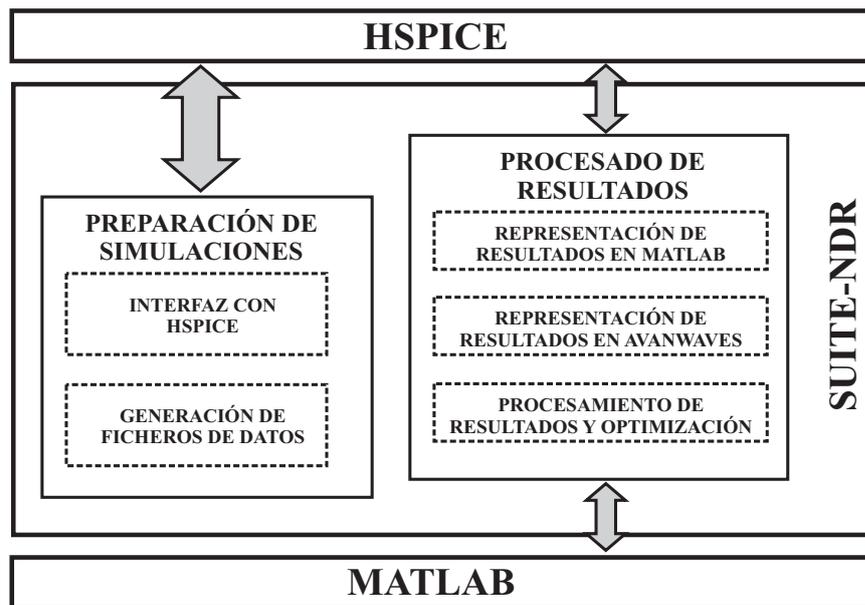


Figura A.7: Esquema de funcionamiento del software *Suite-NDR*.

2. Conexiones de circuitos activos por flanco de bajada y de subida

- a) *Conexión de 3 inversores binarios.* El primero de ellos está activo por flanco de bajada, el segundo por flanco de subida y el tercero por flanco de bajada.
- b) *Conexión de 3 inversores binarios con reloj indirecto.* La primera etapa está activa por flanco de bajada, la segunda por flanco de subida y la tercera por flanco de bajada.

Al igual que el chip anterior, fue encapsulado empleando una cápsula QFN de 64 pines y testado empleando la misma PCB (mostrada en la Figura A.5). La descripción de los *pads* es similar a la que aparece descrita en el segundo de los chips fabricados.

A.3 Software de optimización *Suite-NDR*

Los experimentos de exploración de espacios de diseño descritos en el Capítulo 5 se han automatizado. El software desarrollado para ello, que hemos llamado *Suite-NDR*, está basado en Matlab y presenta funciones que facilitan la realización de simulaciones paramétricas y de procesado de los ficheros de resultados suministrados por la herramientas de simulación HSPICE.

A.3.1 Descripción funcional

La Figura A.7 muestra un diagrama de bloques que ilustra las funcionalidades incluidas en *Suite-NDR*.

1. Módulo de preparación de simulaciones

- a) Generación de ficheros de datos para simulaciones paramétricas. *Suite-NDR* crea ficheros de datos en el que se toman valores, dentro de un rango concreto dado, de los parámetros que se quieren explorar. El número de puntos a tomar en cada intervalo, así como su naturaleza (distribuidos de forma aleatoria o uniforme en el intervalo) se definen por parte del usuario en la interfaz.
- b) Interfaz con HSPICE. El software presenta opciones que permiten editar la *netlist* sobre la que vamos a trabajar así como llamar a HSPICE para realizar la simulación.

2. Módulo de procesado de resultados

- a) Representación de señales en Matlab. Representa las formas de onda de las señales generadas empleando Matlab, lo cual conlleva importantes ventajas para su visualización y posterior edición gráfica.
- b) Procesamiento de resultados y optimización. Es la principal aplicación contenida en *Suite-NDR*. Permite manejar puertas MOBILE (disparadas por flanco de subida y bajada), TSPC (tipos N y P) e interconexiones de estos bloques. El esquema de funcionamiento se resume de la siguiente manera:
 - 1) Descripción de señales. No existen restricciones sobre los identificadores (nombres) de señales y fuentes que se utilizan en la *netlist* del circuito. Por ello, para procesar los resultados es necesario suministrar información a la herramienta que identifique las señales relevantes para el análisis. La herramienta proporciona un listado con las señales disponibles en cada experimento (con los nombres asignados en la *netlist* de HSPICE) y sobre éste se solicita indicar la correspondencia entre dichas señales y el reloj, las entradas y la salida. Del mismo modo se solicita información adicional sobre el circuito como el tipo de disparo (por flanco ascendente o descendente de reloj), o si el reloj se asocia a un esquema de cuatro fases (con tiempo de

subida igual al de bajada y a los de hold y reset) o al de un reloj digital convencional. También se requiere identificar las fuentes de alimentación.

- 2) Descripción de la funcionalidad lógica. La definición de la funcionalidad lógica se realiza a partir de un fichero que incluye una *look-up table* con la descripción. Este paso se puede omitir en el caso de corresponder a alguna de las funciones lógicas incluidas por defecto en la herramienta.
- 3) Definición de parámetros. El software requiere que se le indiquen los nombres de los parámetros que se han variado en el análisis transitorio.
- 4) Delimitación de los valores lógicos alto y bajo. Es necesario indicar hasta qué porcentaje de los valores de tensión nominales asociados a los valores lógicos alto y bajo se van a considerar como tales en la señal de salida. Por defecto, el software da un valor del 80 % para el alto y 20 % para el bajo, por lo que para un rango de tensiones entre 0V y 1.2V, el cero lógico llegaría hasta 0.24V y el alto se consideraría a partir de 0.96V.
- 5) Determinación de casos correctos. A partir de la información suministrada en los pasos anteriores el software analiza el fichero .tr0 que generado por HSPICE y analiza cada uno de los casos del análisis paramétrico. Si en cada ciclo de reloj existe una correspondencia correcta entre la salida y la funcionalidad lógica objetivo, se considera que para esa configuración de parámetros el circuito funciona adecuadamente. Se genera un fichero de texto con una entrada para cada configuración de circuito simulada que resume los resultados obtenidos.
- 6) Optimización de la operación del circuito. *Suite-NDR* permite determinar qué estructuras, de entre las que funcionan correctamente, representan las soluciones óptimas en términos de potencia promedio, frecuencia máxima de operación y energía promedio por ciclo. La potencia se obtiene promediando el producto de la tensión de alimentación y la corriente que circula a través de ella y la energía promedio por ciclo dividiendo dicha potencia por la frecuencia de operación.
- 7) Representación de resultados. La herramienta genera representaciones de las prestaciones de los circuitos en función de los parámetros de diseño analizados. El usuario puede elegir distintos formatos de gráficos y seleccionar los datos a representar. Una visión global de las prestaciones del

circuito en función de cómo se dimensione se consigue al representar los parámetros de diseño frente a las prestaciones del mismo en términos de potencia o frecuencia de operación.

REFERENCIAS

- [1] P. Mazumder, S. Kulkarni, M. Bhattacharya, J.-P. Sun, and G. Haddad, "Digital circuit applications of resonant tunneling devices," *Proceedings of the IEEE*, vol. 86, issue 4, pp. 664–686, Apr. 1998.
- [2] L. Esaki, "New phenomenon in narrow germanium p-n junctions," *Physical Review*, vol. 109, p. 603, 1958.
- [3] A. Seabaugh and R. Lake, "Tunnel diodes," *Encyclop. Appl. Phys. 22 (Am. Inst. Phys. VCH Pub. NY)*, pp. 335–359, 1998.
- [4] Maezawa and Föster, "Quantum transport devices based on resonant tunneling," *Nanoelectronics and Information Technology (ed. R. Waser, Wiley VCH Verlag, Weinheim)*, pp. 407–424, 2003.
- [5] H. Mizuta, "A new triple-well resonant tunneling diode with controllable double-negative resistance," *IEEE Transactions on Electron Devices*, vol. 35, issue 11, pp. 1951–1956, Nov. 1988.
- [6] P. Mazumder, S. Kulkarni, M. Bhattacharya, J. Sung, and G. Haddad, "Circuit design using resonant tunneling diodes," *Proc. 11th Int. Conf. on VLSI Design*, pp. 501–506, 1998.
- [7] C.-H. Lin, K. Yang, A. Gonzalez, J. East, P. Mazumder, and G. Haddad, "InP-based high speed digital logic gates using an RTD/HBT heterostructure," *Eleventh Int. Conf. on Indium Phosphide and Related Materials*, vol. 419-422, 1999.
- [8] J. Lee, S. Choi, and K. Yang, "A new low-power RTD-based 4:1 multiplexer IC using an InP RTD/HBT MMIC technology," *International Conference on Indium Phosphide & Related Materials (IPRM)*, pp. 1–3, 2010.
- [9] K. Maezawa, H. Matsuzaki, J. Osaka, H. Yokoyama, M. Yamamoto, and T. Otsuji, "A high-speed resonant tunneling flip-flop circuit employing a monostable-bistable transition logic element (MOBILE) with an SCFL-type output buffer," *International Conference on Indium Phosphide and Related Materials*, pp. 415–418, May. 1998.
- [10] K. Sano, K. Otsuji, T. Akeyoshi, N. Shimizu, and E. Sano, "80 Gbit/s optoelectronic delayed flip-flop circuit using resonant tunnelling diodes and uni-travelling-carrier photodiode," *IEEE Electron. Lett.*, vol. 35, pp. 1376–1377, 1999.
- [11] T. Kim, Y. Jeong, and K. Yang, "New RTD-based set/reset latch IC for high-speed mobile D flip-flops," *International Conference on Indium Phosphide and Related Materials*, pp. 311–314, May 2005.
- [12] J. Van der Wagt, A. Seabaugh, and E. Beam, "RTD/HFET low standby power SRAM gain cell," *IEEE Electron Device Lett.*, pp. 7–9, 1998.

- [13] Y. Watanabe, K. Imanishi, and M. Takikawa, "Monolithic integration of In-GaAs/InAlAs resonant tunneling diode and HEMT for single-transistor cell SRAM application," *Int. Electron Devices Meeting*, pp. 475 – 478, 1992.
- [14] H. Mizuta and T. Tanoue, *The physics and applications of resonant tunnelling diodes*. Cambridge Studies in Semiconductors and Microelectronic Engineering, Cambridge: Cambridge University Press, 1995.
- [15] D.-S. Liang, K.-J. Gan, L.-X. Su, C.-P. Chen, C.-C. Hsiao, C. S. Tsai, Y.-H. Chen, S.-Y. Wang, S.-H. Kuo, and F.-C. Chiang, "Four-valued memory circuit designed by multiple-peak MOS-NDR devices and circuits," *Proceedings. Fifth International Workshop on System-on-Chip for Real-Time Applications*, pp. 78–81, 2005.
- [16] J. Lomsdalen, R. Jensen, and Y. Berg, "Multiple valued counter," *IEEE Design and Diagnostics of Electronic Circuits and Systems*, pp. 245–247, Apr. 2006.
- [17] T. Waho and M. Yamamoto, "Application of resonant-tunneling quaternary quantizer to ultrahigh-speed A/D converter," *Proc. 27th Int. Symp. on Multiple-Valued Logic*, pp. 35–40, 1997.
- [18] T. Broekaert, B. Brar, J. Van der Wagt, A. Seabaugh, F. Morris, T. Moise, E. Beam, and G. Frazier, "A monolithic 4-bit 2-GSps resonant tunneling analog-to-digital converter," *IEEE J. of Solid-State Circuits*, vol. 33, pp. 1342–1349, 1998.
- [19] K. Eguchi, M. Chibashi, and T. Waho, "A design of 10-GHz delta-sigma modulator using a 4-level differential resonant-tunneling quantizer," *Proceedings. 35th International Symposium on Multiple-Valued Logic*, pp. 571–574, May 2005.
- [20] T. Itoh, T. Waho, J. Osaka, H. Yokoyama, and M. Yamamoto, "Ultrafast analog-to-digital converter using resonant-tunneling ternary quantizers," *IEEE Int. in Microwave Symp. Dig*, vol. 1, pp. 197–200, 1998.
- [21] T. Waho, K. Hattori, and Y. Takamatsu, "Flash analog-to-digital converter using resonant-tunneling multiple-valued circuits," *Proc. 31st IEEE Int. Symp. on Multiple-Valued Logic*, pp. 94–99, 2001.
- [22] Y. Kawano, Kishimoto, M. S., T. K., Mizutani, and K. Sano, "88 GHz dynamic 2:1 frequency divider using resonant tunnelling chaos circuit," *IEE Electron. Lett.*, vol. 39, pp. 1546–1548, 2003.
- [23] T. Moise, Y.-C. Goldsmith, C. Schow, and J. Campbell, "High-speed resonant-tunneling photodetectors with low switching energy," *IEEE Photonics Technology Lett.*, vol. 9, pp. 803–805, 1997.
- [24] K. Stephan, E. Brown, C. Parker, W. Goodhue, C. Chen, and T. Sollner, "Resonant-tunnelling diode oscillator using a slot-coupled quasi-optical open resonator," *IEE Electron. Lett.*, vol. 27, pp. 647–649, 1991.
- [25] B. Muunstermann, K. Blekker, A. Tchegho, W. Brockerhoff, and F.-J. Tegude, "Design of low-power RTD-based-VCOs for Ka-band application," *German Microwave Conference*, pp. 39–43, 2010.

- [26] S. Suzuki, K. Hinata, M. Shiraishi, M. Asada, H. Sugiyama, and H. Yokoyama, "RTD oscillators at 430/460 GHz with high output power (200uW) using integrated offset slot antennas," *International Conference on Indium Phosphide & Related Materials (IPRM)*, pp. 1–4, 2010.
- [27] A. Yamada, H. Yamada, T. Waho, V. Khorenko, T. Do, and W. Prost, "An experimental 4-RTD logic gate," *Semiconductor Device Research Symp.*, pp. 19–20, 2005.
- [28] K. Maezawa, H. Kishimoto, and T. Mizutani, "100 GHz operation of a resonant tunneling logic gate MOBILE having a symmetric configuration," *Proc. Int. Conf. on Indium Phosphide and Related Materials*, pp. 46–49, 2006.
- [29] S. Choi, S. Jeong, J. Lee, and K. Yang, "A Novel High-Speed Multiplexing IC Based on Resonant Tunneling Diodes," *IEEE Transactions on Nanotechnology*, vol. 8, pp. 482–486, July 2009.
- [30] T. Waho, H. Okuyama, T. Ebata, and R. Kato, "An ultrahigh-speed full adder using resonant-tunneling logic gates," *IEEE Asia Pacific Conference on Circuits and Systems (APCCAS)*, pp. 1724–1727, 2008.
- [31] S. Sudirgo, R. Nandgaonkar, R. Hirschman, S. Rommel, S. Kurinec, P. Thompson, J. Niu, and B. P.R., "Overgrown Si/SiGe resonant interband tunnel diodes for integration with CMOS," *62nd Device Research Conf. Dig.*, vol. 1, pp. 109–111, 2004.
- [32] A. Seabaugh, "Promise of tunnel diode integrated circuits," *Tunnel Diode and CMOS/HBT Integration Workshop*, 1999.
- [33] K. Wu, I. Yu, K. Wang, H. Cheng, K. Hung, G. Sun, and R. Soref, "Si-based resonant tunneling diodes for room temperature operation," *3rd International Nanoelectronics Conference (INEC)*, pp. 1252–1253, 2010.
- [34] R. Duschl, "Physics and applications of Si/SiGe/Si resonant interband tunneling diodes," *Thin Solid Films*, vol. 380, pp. 1–2, 2000.
- [35] P. See, D. Paul, B. Hollander, S. Mantl, I. Zozoulenko, and K.-F. Berggren, "High performance Si/Si_{1-x}Ge_x resonant tunneling diodes," *IEEE Electron Device Lett.*, vol. 22, pp. 182–184, 2001.
- [36] P. See and D. Paul, "The scaled performance of Si/Si_{1-x}Ge_x resonant tunneling diodes," *IEEE Electron Device Lett.*, vol. 22, pp. 582–584, 2001.
- [37] S.-Y. Chung, R. Yu, J. Niu, S. Park, P. Berger, and P. Thompson, "Si/SiGe resonant interband tunnel diode with fr0 20.2 GHz and peak current density 218 kA/cm² for K-band mixed-signal applications," *IEEE Electron Device Lett.*, vol. 27, pp. 364–367, 2006.
- [38] N. Jin, S. Chung, R. Yu, P. Berger, and P. Thompson, "Improved vertically stacked Si/SiGe resonant interband tunnel diode pair with small peak voltage shift and unequal peak currents," *Electron. Lett.*, vol. 40, pp. 1548–1550, 2004.

- [39] U. Auer, W. Prost, M. Agethen, F. Tegude, R. Duschl, and K. Eberl, "Low voltage MOBILE logic module based on Si/SiGe interband tunneling diodes," *IEEE Electron Device Lett.*, vol. 22, pp. 215–217, 2001.
- [40] P. Thompson, G. Jernigan, S.-Y. Park, R. Yu, R. Anisha, P. Berger, D. Pawlik, R. Krom, and S. Rommel, "P and B doped Si resonant interband tunnel diodes with As-grown negative differential resistance," *Electronics Letters*, vol. 45, pp. 759–761, 2009.
- [41] S.-Y. Park, R. Anisha, P. Berger, R. Loo, N. Nguyen, S. Takeuchi, and M. Caymax, "Si/SiGe resonant interband tunneling diodes incorporating doping layers grown by Chemical Vapor Deposition," *IEEE Electron Devices Letters*, vol. 30, pp. 1173–1175, 2009.
- [42] J. Bergman, Y. Joo, B. Matinpour, J. Laskar, N. Jokerst, B. M.A., B. Brar, and E. Beam, "RTD/CMOS nanoelectronic circuits: thin-film InP-based resonant tunneling diodes integrated with CMOS circuits," *IEEE Electron Device Lett.*, vol. 20, pp. 119–122, 1999.
- [43] W. Prost, V. Khorenko, A. Mofor, A. Bakin, E. Khorenko, S. Ehrich, H.-H. Wehmann, A. Schlachetzki, and F.-J. Tegude, "High-speed InP-based resonant tunnelling diode on silicon substrate," *Proc. of ESSDERC*, pp. 257–261, 2005.
- [44] S. Rommel, "Record PVCR GaAs-based tunnel diodes fabricated on Si substrates using aspect ratio trapping," *IEEE International Electron Devices Meeting (IEDM)*, 2008.
- [45] D. Pawlik, S. Sieg, S. Kurinec, S. Rommel, Z. Cheng, J.-S. Park, J. Hydrick, and A. Lochtefeld, "Alloyed junction Ge Esaki diodes on Si substrates realised by Aspect Ratio Trapping technique," *Electronics Letters*, vol. 44, pp. 930–931, 2008.
- [46] C.-Y. Wu and C.-Y. Wu, "The new general realization theory of FET-like integrated voltage-controlled negative differential resistance devices," *IEEE Transactions on Circuits and Systems*, vol. 28, no. 5, pp. 382–390, 1981.
- [47] L. Chua, J. Yu, and Y. Yu, "Bipolar-JFET-MOSFET negative resistance devices," *IEEE Trans. on Circuit and Sys.*, vol. 32, pp. 46–61, 1985.
- [48] M. Bhattacharya, S. Kulkarni, A. Gonzalez, and P. Mazumder, "A prototyping technique for large-scale RTD-CMOS circuits," *IEEE International Symposium on Circuit and Systems*, vol. I, pp. 635–638, 2000.
- [49] K.-J. Gan, Y.-H. Chen, C.-S. Tsai, and L.-X. Su, "Four-valued memory circuit using three-peak MOS-NDR devices and circuits," *IEE Electronics Letters*, vol. 42, pp. 514–515, Apr. 2006.
- [50] T. Akeyoshi, K. Maezawa, and T. Mizutani, "Weighted sum threshold logic operation of MOBILE's (monostable-bistable transition logic element) using resonant-tunnelling transistors," *IEEE Electron Device Lett.*, vol. 14, pp. 475–477, Oct. 1993.
- [51] K. Chen, T. Akeyoshi, and K. Maezawa, "Monostable-bistable transition logic elements (MOBILEs) based on monolithic integration of resonant tunnelling diodes

- (RTDs) and FETs,” *Jpn. Journal of Applied Physics*, vol. 34, pp. 1109–1203, Feb. 1995.
- [52] K. Chen, T. Akeyoshi, and K. Maezawa, “Monolithic integration of resonant tunneling diodes and FETs for monostable-bistable transition logic elements (MOBILEs),” *IEEE Electron Device Lett.*, vol. 16, pp. 70–73, Feb. 1995.
- [53] K. Chen, K. Maezawa, and M. Yamamoto, “InP-based high performance monostable-bistable transition logic elements (MOBILEs) using integrated multiple-input resonant-tunneling devices,” *IEEE Electron Device Lett.*, vol. 17, Issue 3, pp. 127–129, Mar. 1996.
- [54] W. Prost, “EU IST report LOCOM no. 28.844,” Dec. 2000.
- [55] J. M. Quintana, M. J. Avedillo, J. Núñez, and H. Pettenghi, “Operation limits for RTD-based MOBILE circuits,” *IEEE Transactions on Circuits and Systems Part 1: Fundamental Theory and Applications*, vol. 56, pp. 350–363, 2009.
- [56] H. Matsuzaki, H. Fukuyama, and T. Enoki, “Analysis of transient response and operating speed of MOBILE,” *IEEE Transactions on Electron Devices*, vol. 51, issue 4, pp. 616–622, 2004.
- [57] J. M. Quintana and M. J. Avedillo, “Analysis of the critical rise time in MOBILE-based circuits,” *Proc. 13th IEEE Int. Conf. on Electron. Circuits and Syst. (ICECS08)*, pp. 864–867, 2008.
- [58] T. Sollner, E. Brown, W. Goodhue, and H. Le, *Microwave and millimeter-wave resonant tunneling devices*. Physics of Quantum Electron Devices, 1990.
- [59] T. Aoyama, Y. Ohno, S. Kishimoto, K. Maezawa, and T. Mizutani, “Effects of the HEMT parameters on the operation frequency of resonant tunneling logic gate MOBILE,” *Electronics and Communications in Japan*, vol. 85, p. 2, 2002.
- [60] Y. Ohno, S. Kishimoto, T. Mizutani, and K. Maezawa, “Operation speed consideration of resonant tunneling logic gate based on circuit simulation,” *IEICE Trans. on Electron.*, vol. 11, pp. 1530–1536, 1996.
- [61] T. Uemura and P. Mazumder, “Rise time analysis of MOBILE circuit,” *IEEE Proc. Int. Symp. on Circuits and Systems*, pp. 864–867, 2002.
- [62] L. Sing-Rong, P. Mazumder, and Y. Kyoung-hoon, “On the functional failure and switching time analysis of the MOBILE circuit (monostable-bistable logic element),” *IEEE International Symposium on Circuits and Systems*, vol. 3, pp. 2531–2534, May 2005.
- [63] S. Mohan, P. Mazumder, and G. G.I. Haddad, “Ultrafast pipelined arithmetic using quantum electronic devices,” *IEEE Proc. Computers and Digital Techniques*, vol. 141, pp. 104–110, 1994.
- [64] M. J. Avedillo, J. M. Quintana, and H. Pettenghi, “Self-latching operation of MOBILE circuits using series-connection of RTDs and transistors,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 53, Issue 5, pp. 334–338, May 2006.

- [65] J. M. Quintana, M. J. Avedillo, and H. Pettenghi, "Self-latching operation limits for MOBILE circuits," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 4579–4582, 2006.
- [66] H. Pettenghi, M. J. Avedillo, and J. M. Quintana, "Single phase clock scheme for MOBILE logic gates," *IEE Electronics Letters*, vol. 42, pp. 1382–1383, 2006.
- [67] J. Núñez, J. M. Quintana, and M. J. Avedillo, "Operation limits for MOBILE followers," *Sixth IEEE Conference on Nanotechnology*, vol. 2, pp. 516–519, Jul. 2006.
- [68] M. Avedillo, J. Quintana, H. Pettenghi, R. R. Kelly, and T. C.J., "Multi-threshold threshold logic circuit design using resonant tunnelling devices," *IEE Electronics Letters*, vol. 39, pp. 1502–1504, 2003.
- [69] H. Pettenghi, M. J. Avedillo, and J. M. Quintana, "A novel contribution to the RTD-based threshold logic family," *IEEE International Symposium on Circuits and Systems (ISCAS)*, pp. 2350–2353, 2008.
- [70] H. Pettenghi, M. J. Avedillo, and J. M. Quintana, "Improved nanopipelined RTD adders using generalized threshold gates," *IEEE Transactions on Nanotechnology*, 2010.
- [71] M. J. Avedillo, J. M. Quintana, and H. Pettenghi, "Increased logic functionality of clocked series-connected RTDs," *IEEE Transactions on Nanotechnology*, vol. 5, pp. 606–611, 2006.
- [72] H. Pettenghi, M. J. Avedillo, and J. M. Quintana, "New circuit topology for logic gates based on RTDs," *Proceedings of the 5th IEEE Conference on Nanotechnology*, vol. 5, pp. 283–286, 2005.
- [73] H. Pettenghi, M. J. Avedillo, and J. M. Quintana, "Single Phase Clock Scheme for Mobile Based Circuits," *Conference on Design of Integrated Circuits and Systems*, 2006.
- [74] H. Pettenghi, M. J. Avedillo, and J. M. Quintana, "Nanopipelined RTD adders using multi-threshold threshold gates," *Conference on Design of Circuits and Integrated Systems (DCIS)*, 2005.
- [75] H. Pettenghi, M. J. Avedillo, and J. M. Quintana, "Using multi-threshold threshold gates in RTD-based logic design: a case study," *Microelectronics Journal*, vol. 39, pp. 241–247, 2008.
- [76] M. J. Avedillo and J. M. Quintana, "A threshold logic synthesis tool for RTD-based circuits," *Proceedings of the Euromicro Systems on Digital System Design (Dsd'04)*, pp. 624–627, 2004.
- [77] L. Ma, F.-H. Yang, and L.-C. Wang, "Logic analysis of high-speed MOBILE circuit," *8th International Conference on Solid-State and Integrated Circuit Technology*, pp. 1303–1305, 23–26 2006.
- [78] K. Maezawa, H. Matsuzaki, K. Arai, T. Otsuji, and M. Yamamoto, "High-speed operation of a resonant tunneling flip-flop circuit employing a MOBILE (monostable-bistable transition logic element)," *5th Device Research Conference Digest*, pp. 94–95, 23–25 1997.

- [79] J. M. Quintana, M. J. Avedillo, and J. Núñez, "DC correct operation in MOBILE inverters," *49th IEEE International Midwest Symposium on Circuits and Systems*, 2006.
- [80] J. M. Quintana, M. J. Avedillo, and J. Núñez, "Design guides for a correct DC operation in RTD-based threshold gates," *Proceedings of IEEE Euromicro Symposium on Digital System Design*, pp. 530–534, 2006.
- [81] J. M. Quintana, M. J. Avedillo, and H. Pettenghi, "Implementación de lógica umbral y multiumbral con RTDs," *XII Taller Iberchip*, 2006.
- [82] J. Núñez, J. M. Quintana, and M. J. Avedillo, "DC operation limits for MOBILE inverters," *XXI Conference on Design of Circuits and Integrated Systems (DCIS)*, Nov. 2006.
- [83] K. Maezawa, "Resonant tunneling diodes and their application to high-speed circuits," *IEEE Compound Semiconductor Integrated Circuit Symposium*, 2005.
- [84] M. Chibashi, K. Eguchi, and T. Waho, "A novel delta-sigma modulator using resonant tunnelling quantizers," *Proc. IEEE Int. Symposium on Circuits and Systems (ISCAS'04)*, vol. 1, issue 1, pp. 533–536, May 2004.
- [85] T. Waho, "Resonant tunneling transistor and its application to multiple-valued logic circuits," *25th International Symposium on Multiple-Valued Logic*, pp. 130–138, May 1995.
- [86] T. Waho, K. Chen, and M. Yamamoto, "Resonant-tunneling diode and HEMT logic circuits with multiple thresholds and multilevel output," *IEEE Journal of Solid-State Circuits*, vol. 33, issue 2, pp. 268–274, Feb. 1998.
- [87] J. Núñez, J. M. Quintana, and M. J. Avedillo, "Correct DC operation in RTD-based ternary inverters," *Second Annual IEEE International Conference on Nano/Micro Engineered and Molecular Systems (IEEE-NEMS)*, pp. 860–865, 2007.
- [88] J. Núñez, J. M. Quintana, and M. J. Avedillo, "Analytic approach to the operation of RTD ternary inverters based on MML," *16th International Workshop on Post-Binary ULSI Systems*, 2007.
- [89] J. Núñez, J. M. Quintana, and M. J. Avedillo, "Holding disappearance in RTD-based quantizers," *European Nano System Conference*, 2006.
- [90] J. Núñez, J. M. Quintana, and M. J. Avedillo, "Holding preserving in RTD-based multiple-valued quantizers," *7th IEEE Conference on Nanoelectronics*, 2007.
- [91] H. Takagi and G. Kano, "Complementary JFET negative-resistance devices," *IEEE Journal of Solid-State Circuits*, vol. 110, no. 6, pp. 509–515, 1975.
- [92] G. Kano and H. Iwasa, "A new lambda-type negative resistance device of integrated complementary FET structure," *IEEE Transactions on Electron Devices*, vol. 21, no. 7, pp. 448–449, 1974.
- [93] C.-Y. Wu and C.-Y. Wu, "An analysis and the fabrication technology of the lambda bipolar transistor," *IEEE Transactions on Electron Devices*, vol. 27, no. 2, pp. 414–419, 1980.

- [94] K.-J. Gan, C.-S. Tsai, and D.-S. Liang, "Design and characterization of the negative differential resistance circuits using the CMOS and BiCMOS process," *Analog Integrated Circuit Signal Processing (2010)*, vol. 62, pp. 63 – 68, 2010.
- [95] D.-S. Liang and K.-J. Gan, "New D-type flip-flop design using negative differential resistance circuits," *Proceedings 4th International Symposium on Electronic Design, Test & Applications*, pp. 258–261, 2008.
- [96] D.-S. Liang, "Novel voltage-controlled oscillator design by MOS-NDR devices and circuits," *Proceedings 9th International Conference on Engineering and Application Symposium*, pp. 372–375, 2005.
- [97] K.-J. Gan, C.-C. Hsiao, S.-Y. Wang, F.-C. Chiang, C.-S. Tsai, Y.-H. Chen, S.-H. Kuo, C.-P. Chen, and D.-S. Liang, "Logic circuit design based on MOS-NDR devices and circuits fabricated by CMOS process," *Fifth International Workshop on System-on-Chip for Real-Time Applications*, pp. 392 – 395, 2005.
- [98] D. Bol, J. Quintana, M. Avedillo, and J. Legat, "MOBILE digital circuits based on negative-differential-resistance MOS-NDR structures.," *Conference on Design of Circuits and Integrated Systems*, pp. 39–42, 2006.
- [99] J. Rabaey, *Digital integrated circuits: a design perspective*. Prentice-Hall, 1996.
- [100] A. Gonzalez, M. Bhattacharya, S. Kulkarni, and P. Mazumder, "Standard CMOS implementation of a multiple-valued logic signed-digit adder based on negative differential-resistance devices," *Proceedings. 30th IEEE International Symposium on Multiple-Valued Logic, 2000*, pp. 323–328, 2000.
- [101] A. Gonzalez, M. Bhattacharya, S. Kulkarni, and P. Mazumder, "CMOS implementation of a multiple-valued logic signed-digit full adder based on negative-differential-resistance devices," *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 924–932, 2001.
- [102] K.-J. Gan, D.-S. Liang, C.-C. Hsiao, C.-S. Tsai, and Y.-H. Chen, "Investigation of MOS-NDR voltage controlled ring oscillator fabricated by CMOS process," *IEEE Conference on Electron Devices and Solid-State Circuits*, pp. 825–827, 2005.
- [103] K.-J. Gan, D.-S. Liang, C.-S. Tsai, Y.-H. Chen, and S.-B. Kuo, "OR and NOR logic circuit design using negative differential resistance device fabricated by CMOS process," *IEEE Conference on Electron Devices and Solid-State Circuits*, pp. 813–816, 2005.
- [104] D.-S. Liang, Y.-H. Chen, C.-M. Wen, C.-D. Tu, K.-J. Gan, and C.-S. Tsai, "The design of MOS-NDR-based cellular neural network," *International Joint Conference on Neural Networks IJCNN*, pp. 1033–1035, 2006.
- [105] R. Mira, M. El-Sayed, and N. El-Faramawy, "CMOS implementation of programmable logic gates and pipelined full adders using threshold logic gates based on NDR devices," *Radio Science Conference*, pp. D3 1–8, 2004.
- [106] S. Muroga, *Threshold logic & its applications*. 1991.

- [107] C. Pacha, U. Auer, C. Burwick, P. Glosekotter, A. Brennemann, W. Prost, F.-J. Tegude, and K. Goser, "Threshold logic circuit design of parallel adders using resonant tunneling devices," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 8, issue 5, pp. 558–572, Oct. 2000.
- [108] P. Kelly, T. McGinnity, and L. Maguire, "Architectural requirements for threshold logic gates based on resonant tunneling devices," *Proceedings. 2004 IEEE International Joint Conference on Neural Networks*, vol. 3, pp. 1977–1981, 2004.
- [109] K. Chen, T. Waho, K. Maezawa, and M. Yamamoto, "Programmable logic gate based on controlled quenching of series-connected negative differential resistance devices," *54th Annual Device Research Conference.*, pp. 170–171, 1996.
- [110] J. Núñez, M. J. Avedillo, and J. M. Quintana, "Efficient realisation of MOS-NDR threshold logic gates," *Electronics Letters*, vol. 45, pp. 1158–1160, 2009.
- [111] H. Pettenghi, *Una aportacion al diseño digital usando dispositivos basados en efecto túnel resonante*. Tesis Doctoral, 2008.
- [112] T.-Y. Wu and S. Vrudhula, "A design of a fast and area efficient multi-input Muller C-element," *IEEE Transaction on Very Large Scale Integration (VLSI) Systems*, vol. 1, pp. 215–219, Jun. 1993.
- [113] S. Sudirgo, R. P. Nandgaonkar, and et al., "Monolithically integrated Si/SiGe resonant interband tunnel diode/CMOS demonstrating low voltage MOBILE operation," *J. Solid-State Electron.*, vol. 48, pp. 1907–1910, 2004.
- [114] L. Ding and P. Mazumder, "On circuit techniques to improve noise immunity of CMOS dynamic logic," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 12, pp. 919–925, 2004.
- [115] K. Karda, J. Brockman, S. Sutar, A. Seabaugh, and J. Nahas, "One-transistor bistable-body tunnel SRAM," *ICICDT'09*, pp. 233–236, 2009.
- [116] H. Zhang, P. Mazumder, and K. Yang, "Resonant tunneling diode based qmos edge triggered flip-flop design," *IEEE International Symposium on Circuits and Systems (ISCAS)*, 2004.
- [117] S. Kulkarni and P. Mazumder, "Edge-triggered flip-flop circuit based on resonant-tunneling diodes and MOSFETs," *European Conference on Circuit Theory and Design*, 2001.
- [118] S.-W. Cheng, "64-bit pipeline conditional carry adder with MTCMOS TSPC logic," *50th Midwest Symposium on Circuits and Systems (MWSCAS)*, pp. 879–882, 2007.
- [119] A. Khatibzadeh and K. Raahemifar, "A novel pipelined multiplier for high-speed DSP applications," *International Symposium on Signals, Circuits and Systems (ISSCS)*, vol. 11, pp. 107–110, 2005.
- [120] S. Mathew, M. Anders, R.-K. Krishnamurthy, and S. Borkar, "A 4-GHz 130-nm address generation unit with 32-bit sparse-tree adder core," *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 689–695, 2003.

- [121] F. De Miranda, J. Navarro, and W. Van Noije, "A 4 GHz dual modulus divider-by 32/33 prescaler in 0.35 μ m CMOS technology," *Proceedings of the 17th symposium on Integrated circuits and system design (SBCCI)*, pp. 94–99, 2004.
- [122] W. Prost, U. Auer, F.-J. Tegude, C. Pacha, K. F. Gosser, G. Janssen, and T. van der Roer, "Manufacturability and robust design of nanoelectronic logic circuits based on resonant tunnelling diodes," *Int. J. of Circuit Theory and Appl.*, vol. 28, pp. 537–552, 2000.
- [123] J. Yuan and C. Svensson, "High-speed CMOS circuit technique," *IEEE Journal of Solid-State Circuits*, vol. 24, pp. 62–70, 1989.
- [124] <http://www.umc.com/english/pdf/0.13DM.pdf>
- [125] <http://www.faradaytech.com>