

T E S I S

ARQUITECTURA DE SISTEMAS COMPLEJOS PARA CONTROL DE PROCESOS.  
MICROCONTROLADORES RECONFIGURABLES MODULARES.

PROYECTO MRM - 80 B

Por

José Luis CALVO BORREGO

Ingeniero Industrial por la E.T.S. de I.I. de Sevilla

Presentada en la

ESCUELA TECNICA SUPERIOR DE INGENIEROS INDUSTRIALES

de la

UNIVERSIDAD DE SEVILLA

Para la obtención del

Grado de Doctor Ingeniero Industrial

ARQUITECTURA DE SISTEMAS COMPLEJOS PARA CONTROL DE PROCESOS,  
MICROCONTROLADORES RECONFIGURABLES MODULARES.

PROYECTO MRM - 80 B

Por : D. José Luis Calvo Borrego

Director de Tesis : Prof. Dr. Javier Aracil Santonja

TRIBUNAL CALIFICADOR

Presidente: Prof. Dr. Gabriel A. Ferraté Pascual  
Universidad Politécnica de Barcelona

Vocales: Prof. Dr. Eugenio Andrés Puente  
Universidad Politécnica de Madrid

Prof. Dr. Javier Aracil Santonja  
Universidad de Sevilla

Prof. Dr. José Luis Manglano de Más  
Universidad de Sevilla

Prof. Dr. Enrique Alarcón Alvarez  
Universidad de Sevilla

El autor expresa su más sincero agradecimiento al Prof. Javier Aracil Santonja, sin cuyo apoyo y dirección no hubiera sido posible la realización de esta tesis.

Igualmente agradece a todo el personal del departamento la ayuda prestada, especialmente a aquellos que han intervenido en su realización. Realización que ha sido llevada a cabo gracias a la colaboración mantenida con empresas, cuya inestimable ayuda y apoyo lo han hecho posible.

# INDICE

## CAPITULO 1.- EL CONTROL DE PROCESOS .

- 1.1 Introducción.
- 1.2 Factores técnicos y económicos.
- 1.3 Tipos de controladores. Estado actual de la tecnología.
- 1.4 Características de los controladores de procesos.
- 1.5 Arquitectura de sistemas, tendencias de evolución.

## CAPITULO 2.- PROCESADORES DESCENTRALIZADOS, ARQUITECTURA Y PROBLEMAS DEL PARALELISMO.

- 2.1. Multiprogramación, multiprocesamiento y procesamiento en paralelo.
- 2.2 Modularidad tipo de conexiones.
  - Acceso completo
  - Línea Bus.
  - Conexión en serie
  - Redes.
- 2.3 Eficacia de las distintas estructuras de procesadores.
  - Flujo simple de instrucciones y datos.
  - Flujo múltiple de instrucciones y datos.

CAPITULO 3.- MICROCONTROLADORES, PROYECTO DE CONEXION Y CONTROL DE TRANSFERENCIAS.

- 3.1 Introducción
- 3.2 Conceptos estructurales
- 3.3 Especificaciones funcionales
  - 3.3.1 Línea Bus
  - 3.3.2 Transmisión de mensajes.
- 3.4 Tipos de módulos operativos. Funcionamiento
- 3.5 Especificaciones eléctricas
- 3.6 Implementación de los circuitos.

CAPITULO 4.- PROTOTIPO MPM - 80 B, MRM - 80 B, MONTAJE Y ESTRUCTURA BASICA.

- 4.1 Introducción
- 4.2 Arquitectura, función de los distintos bloques.
- 4.3 Línea Bus, conexiones.
- 4.4 Rack, soluciones mecánicas.
- 4.5 Alimentaciones.

## CAPITULO 5.--- MODULOS OPERATIVOS, REALIZACIÓN Y FUNCIONAMIENTO.

- 5.1 Tipos de módulos, funciones que realizan.
- 5.2 Montaje, tarjetas empleadas.
- 5.3 Clasificación
  - 5.3.1 Filtrado y adaptación de entradas y salidas.
    - 5.3.1.1 Protección de entradas digitales
    - 5.3.1.2 Filtro de señales analógicas
    - 5.3.1.3 Salida de potencia.
  - 5.3.2 Adaptación MRM-BUS a otros equipos
  - 5.3.3 Multiplexaje y registros de salida
    - 5.3.3.1 Multiplexaje digital
    - 5.3.3.2 Multiplexaje analógico
    - 5.3.3.3 Demultiplexor con registros de salida.
  - 5.3.4 Módulos controladores y aritmético-lógicos
- 5.4 Control externo y desarrollo de equipos
- 5.5 Elementos auxiliares, conexión a minicomputadores.

CAPITULO 6.-

CONCLUSIONES

- APENDICE A.1 Lenguaje de descripción del Hardware.
- APENDICE A.2 Relación de componentes.
- APENDICE A.3 Eficacia de procesadores con flujo simple de instrucciones y datos.
- APENDICE A.4 Eficacia de procesadores con flujo múltiple de instrucciones y datos.

## PLANTEAMIENTO Y RESUMEN DE LA TESIS.

Dentro del campo del control de procesos hace tiempo que existe para el diseñador el dilema de elegir entre un sistema de lógica cableada que debe implementar para la resolución de su problema específico y la utilización de un equipo universal de cálculo (Minicomputador) que mediante la oportuna especialización (programación), permita resolver su problema particular. La decisión entre ambas alternativas vendrá condicionada tanto por las características del proceso a controlar como por la capacidad técnica del equipo responsable del diseño.

Dentro de la amplitud del campo tratado deben distinguirse desde un principio claramente dos áreas netamente diferenciadas : la primera es aquella que se refiere a equipos especialmente adaptados a la resolución de problemas determinados y que pretenden realizar una función completamente detallada en las especificaciones iniciales mientras otra zona es aquella en que se pretenden resolver problemas que si bien son semejantes presentan divergencias suficientemente importantes como para que su realización con módulos fijos no especializables sea sino imposible, si lo suficientemente compleja como para que su costo y dificultad para adaptarse a modificaciones futuras que puedan aparecer, hagan poco práctica su utilización.



Es en esta segunda área en que el costo del diseño y su fácil adaptación son factores primordiales sobre el precio del HARDWARE, donde se pretende realizar una aportación sobre arquitectura de sistemas que permitan basándose en la utilización de los últimos avances tecnológicos, resolver de forma sistemática cualquier proyecto.

El proyecto actual se incluye dentro de los sistemas modulares que pueden ser descritos mediante el lenguaje PMS (Processor, Memory and Switch) detallado en el Apéndice 1. El sistema siguiendo la tendencia actual, presenta la capacidad de permitir adoptar en cada caso la configuración idónea escogiendo (o diseñando) los módulos necesarios y adaptándolos mediante la oportuna microprogramación a la resolución de cada problema.

Ha sido objeto constante de estudios el tema de procesamiento de informaciones en paralelo (60), tema de importancia fundamental si consideramos las enormes posibilidades que ofrecen hoy día al diseñador de sistemas los avances alcanzados por los circuitos que utilizara en la implementación del mismo. En dicho campo aparece clara la necesidad de una cierta sistemática en la síntesis, ya que la utilización de los métodos clásicos empleados en el diseño de sistemas secuenciales (4), (45), (66) y (84) basados todos ellos en la implementación con cir -

cuitos en SSI y MSI ( pequeña y media escala de integración ) , no son eficaces para la realización de sistemas basados en circuitos de LSI ( larga escala de integración ).

Los trabajos realizados sobre dicho tema se han desarrollado según dos líneas diferentes, una que intenta alcanzar una sistematización en el diseño interconectando células idénticas (25) y (26) lo cual presenta interés unicamente para la implementación de determinadas funciones específicas no muy complejas y otra desarrollando arquitectura de sistemas y mecanismos de transferencias de datos entre módulos lo suficientemente elaborados como para que permitan alcanzar un multiprocesamiento complejo sin resultar difícil su utilización en sistemas elementales, campo en el que se incluye el presente trabajo.

Si bien actualmente todo sistema diseñado se hace sobre la base de una modularidad del mismo, lo normal es que en cada proyecto se parta del diseño completo del sistema pensando unicamente resolver los problemas que se prevén puedan presentarse por lo que parece interesante definir en dicho campo arquitecturas y filosofías de transferencias de información standard analogamente a las existentes para conexión de instrumentos (67),(73) y (94), que basadas en las posibilidades actuales de la LSI y en especial de los Microcomputadores permitan normalizando las transferencias entre los mismos, facilitar el diseño de cualquier sistema.

La influencia que sobre el Software presenta la modularidad del Hardware ha sido analizada de forma global para permitir una optimización del equipo resultante mediante un diseño considerablemente simplificado, basado en una estructura muy eficaz (33) específicamente estudiada para la resolución de los problemas propios de los equipos diseñados para control de procesos.

Se ha analizado el problema clave de transferencias de datos entre módulos, tanto de forma síncrona como asíncrona para alcanzar los dos puntos considerados como claves en el mismo. Aumentar la fiabilidad del sistema, permitiendo gracias a la posibilidad de reconfiguración ante fallos, un funcionamiento degradado del mismo. Facilitar el diseño disminuyendo el tiempo necesario, tanto para equipos nuevos como para modificaciones futuras.

Siguiendo dicha línea de desarrollo se ha definido una arquitectura que permite el multiprocesamiento en módulos completamente independientes conectando sobre la misma línea bus (MRM - BUS) varios controladores que pueden dinámicamente ir tomando el control sobre la misma. El control de la transferencia de informaciones puede hacerse de forma síncrona o asíncrona mediante tres líneas previstas a efecto, punto clave en la conexión de módulos de diferente naturaleza, objeto hoy día de numerosos trabajos.

Por la naturaleza de los problemas a resolver, se ha dado gran importancia a la dinámica de gestión de las transferencias de E/S, que permitiendo una completa autonomía llevan dentro de su modularidad prevista la posibilidad de modificar la etapa final de adaptación al proceso (tarjetas tipo A del proyecto MRM - 80 B ).

Sobre dicho sistema descrito se ha implementado un equipo (proyecto MRM - 80 B) que permite tanto el análisis de los problemas de gestión de línea Bus, como de comunicaciones con el exterior, posibilitando por su carácter de prototipo, la programación de las memorias que constituyen los elementos base de los distintos módulos, dicho proyecto aparece claramente detallado en los capítulos siguientes. Donde queda también suficientemente clara su situación entre los elementos de lógica cableada y los minicomputadores de los que difiere completamente habiéndose estudiado la posibilidad de realizar con el mismo, cálculos complejos únicamente con la idea de obtener una estructura suficientemente evolucionada para permitir adoptarla para cualquier sistema de control sin temor a encontrar limitaciones en las posibilidades de la misma.

## RELACION DE SIMBOLOS

T : traductor  
D : operación de datos  
P : procesador  
S : conmutador  
K : control  
L : enlace  
M : memoria  
J : factor de confluencia  
O : tiempo de operación  
N : factor de anticipación  
E : tiempo de espera.

## CAPITULO 1

### EL CONTROL DE PROCESOS.

Se realiza en el mismo un análisis del problema del control de procesos de forma numérica, discutiendo los tipos - de controladores existentes en la actualidad, las características de los mismos y su tendencia de evolución.

## CAPITULO 1.

### 1.- EL CONTROL DE PROCESOS.

#### 1.1.- Introducción .

Es un hecho la importancia creciente que en aplicaciones industriales han alcanzado en los últimos años los equipos de control, dentro de la situación actual podemos diferenciar dos bloques claramente definidos (fig.1) constituidos por los sistemas realizados mediante lógica cableada y los Minicomputadores.

Ambos campos aparecían inicialmente definidos, ya que los equipos realizados mediante lógica cableada tanto si eran implementados con relés como con componentes de estado sólido no llegaban a alcanzar una capacidad de cálculo comparable a los minicomputadores.

El diseño de sistemas de control basados en Minicomputadores se reduce normalmente a un problema de Software (programación del mismo una vez escogida la configuración idénea) mientras que la implementación de controladores de lógica cableada tanto síncronos como asíncronos cuenta con bases teóricas suficientemente definidas. Aracil(4), Hill(45) para permitir una realización sistemática de los mismos.

En las etapas del diseño de los mismos :

- Realización de la tabla de funcionamiento
- Reducción de estados
- Asignación de estados
- Implementación del circuito

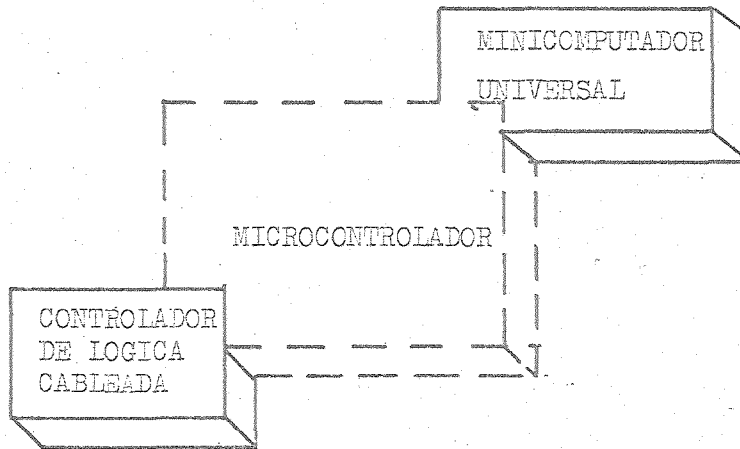
Siendo el problema de asignación óptima de estados el único que no permite un completo tratamiento sistemático, Story (84). Sin embargo la aparición de circuitos en LSI (larga escala de integración) y en especial de los Microprocesadores ha cubierto la zona existente entre los dos campos anteriores dando al diseñador de sistemas unos elementos de potencia muy superior a los existentes hasta ahora, pero para los que las técnicas anteriores carecen de sentido planteándose el problema a nivel de arquitectura y transferencias entre sistemas sín cronos y asín cronos cuya sistematización es bastante más compleja.

Son pues actualmente estos tres bloques,

- Sistemas de lógica cableada.
- Microcontroladores.
- Minicomputadores



CAPACIDAD DE CALCULO



OPERATIVIDAD EN TIEMPO REAL

Campos de aplicación de:

- Minicomputadores.
- Microcontroladores.
- Equipos de logica cableada.

fig 1

Los que debe considerar el responsable del diseño de un equipo destinado al control de un determinado proceso, entendiendo por microcontroladores no sólo los sistemas basados en Microprocesadores, sino también los microprogramados tanto sobre ROM (Read only memory) como sobre PLA ( Programmable Logic array ).

Para el responsable del proyecto la elección del sistema a utilizar ya no viene simplemente definida por la operatividad en tiempo real necesaria, ya que los microcontroladores pueden cubrir desde aplicaciones muy simples hasta equipos de potencia comparable a los basados en minicomputadores, sino que deberá considerar otros factores tales como los condicionantes del proceso, la facilidad para adoptar cambios futuros y sobre todo el aspecto económico.

#### 1.2.- Factores técnicos y económicos.

Al analizar la posibilidad de utilizar un computador digital o cualquier otro sistema para controlar un determinado proceso industrial, es necesario un estudio previo basado en los tres puntos siguientes :

- Analizar si realmente se trata de un problema de control.
- Estudiar si el mismo es solucionable mediante hardware o software.
- Análisis de la relación económica entre beneficios y costos.

Los sistemas operativos de control de procesos están sujetos frecuentemente a cambios o modificaciones difícilmente previsibles en el análisis inicial, éstos por lo tanto deben considerarse al realizar el equipo dada su influencia sobre los costos totales del mismo, Stout(83) por lo que la facilidad de adaptarse a los mismos deberá ser una de las condiciones de partida mas restrictivas a imponer en el diseño de cualquier sistema.

Podemos considerar dos grandes grupos dentro de los equipos para control de procesos :

- Equipos standard (o realizados con módulos standard)
- Equipo de desarrollo original.

Lo normal al intentar resolver un problema específico es analizar la posibilidad de hacerlo sobre la base de módulos standard tanto de Hardware como de Software, recurriendo al desarrollo de un equipo especial unicamente en caso de que la resolución del mismo basado en dichos bloques standard sea lo suficientemente compleja como para justificarlo.

Consideraciones económicas nos conducen de forma clara a buscar la solución del problema evitando en lo posible el recu -

rrir a diseños específicos para el mismo, ya que si bien la situación actual de la tecnología permite amplias posibilidades de diseño el costo que representa resulta prohibitivo si no se realiza un número suficientemente elevado de equipos exactamente iguales.

El punto más crítico una vez decidida la necesidad de diseñar un controlador especial para resolver un determinado problema es fijar una estructura de base del mismo lo suficientemente potente como para que su desarrollo quede justificado por sus posibilidades de reconfiguración futura, en dicho tema de vital importancia no existe sin embargo aún aceptada, ningún tipo de normalización ni en el punto de conexión entre módulos ni en la gestión de las transferencias entre los mismos. Presentando cada fabricante de circuitos (basicamente de microprocesadores) sistemas con arquitecturas muy sofisticadas difícilmente compatibles entre sí, por lo que la elección de una determinada familia como base para el diseño suele forzar al utilizador a continuar empleándola en futuros diseños, no sólo por las características de los propios circuitos, sino porque todos los elementos auxiliares necesarios para realizar un sistema basado en los mismos son muy difícilmente compatibles con cualquier otra familia.

Dentro del campo actual de la LSI aparece claramente reflejada la enorme importancia alcanzada por los microprocesadores de

los que practicamente todos los fabricantes de circuitos tienen sistemas comercializados en el mercado o en fase de desarrollo. Theis (86), Rosenblatt (74), existiendo hoy dia como puntos bá sicos para su operatividad en tiempo real la necesidad del desarrollo de un software operativo y un hardware aceptado a nivel de sistema que posibilite una utilización racional de los mismos.

Punto fundamental que reúne los condicionantes técnicos y económicos previos a la realización de un proyecto será el análisis de costo del hardware, software y del diseño dentro del mismo, aspecto en que aparece como fundamental el bajo peso del precio de los circuitos, por lo que los criterios de fácil diseño y aplicación serán los que tenderán a optimizarse frente a los clásicos de minimización de los componentes.

### 1.3.- Tipos de controladores. Estado actual de la Tecnología .

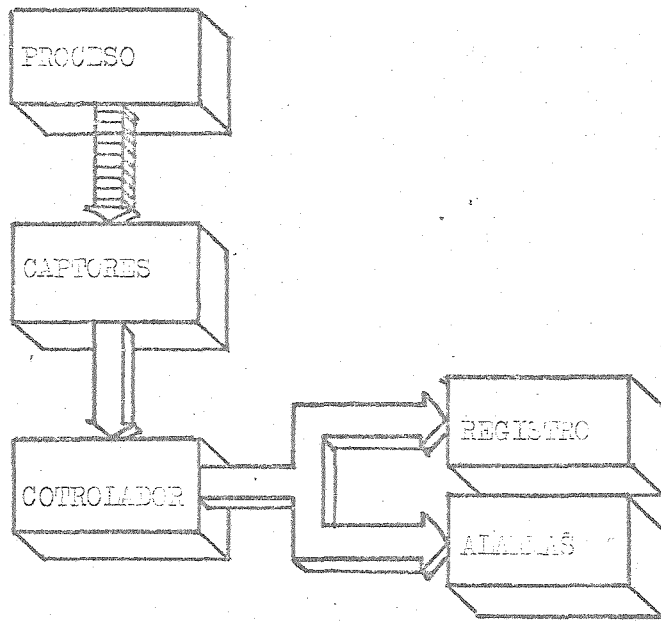
Todo controlador situado en un proceso puede realizar básicamente alguna de las tres funciones siguientes WILLIAMS(91) :

- Información de su estado.
- Cálculo de las acciones correctas.
- Control directo cerrando el bucle.

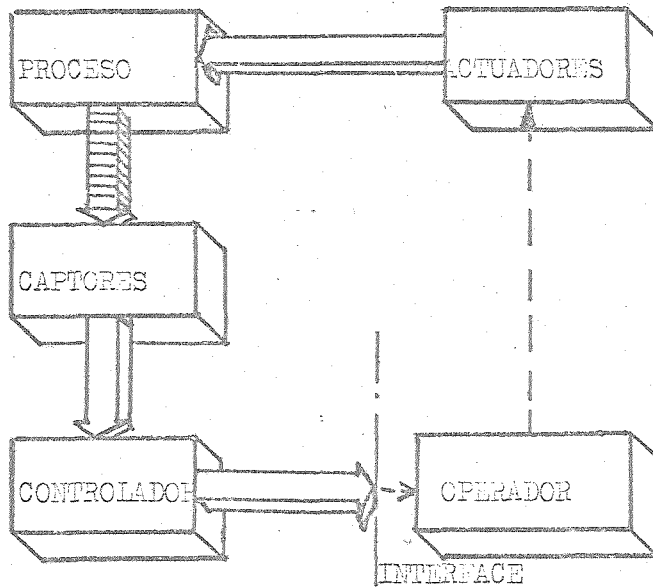
Si se limita a dar información de la situación del proceso el elemento de control funciona en bucle abierto, señalando las incidencias ocurridas en el proceso y como máximo almacenándolas para permitir un posterior análisis fuera del mismo, un diagrama de bloques representativo es el de la fig. 2.a adjunta.

Un controlador que permita el cálculo de las acciones correctoras sobre el proceso no se limita como en el caso anterior a un nuevo registro de incidencias, sino que internamente debe tener identificado al menos parcialmente el proceso, informando de las acciones a efectuar al operador que cerrará el bucle actuando sobre los órganos de control del proceso, el diagrama de bloques de un proceso en que se efectúa tal tipo de control aparece representado en la fig. 2. b.

Por último el control directo permite la conducción automática de un proceso ( o partes del mismo ) sin necesidad de ayuda de operadores externos. Dicho controlador debe realizar la adquisición de datos procedentes de los captadores conectados al proceso, el tratamiento de dichas informaciones optimizando la ley de control según el criterio previamente fijado y generando de acuerdo con la misma las oportunas órdenes que atacan directamente a los órganos de control del proceso, el diagrama de bloques del mismo aparece representado en la fig. 2. c.

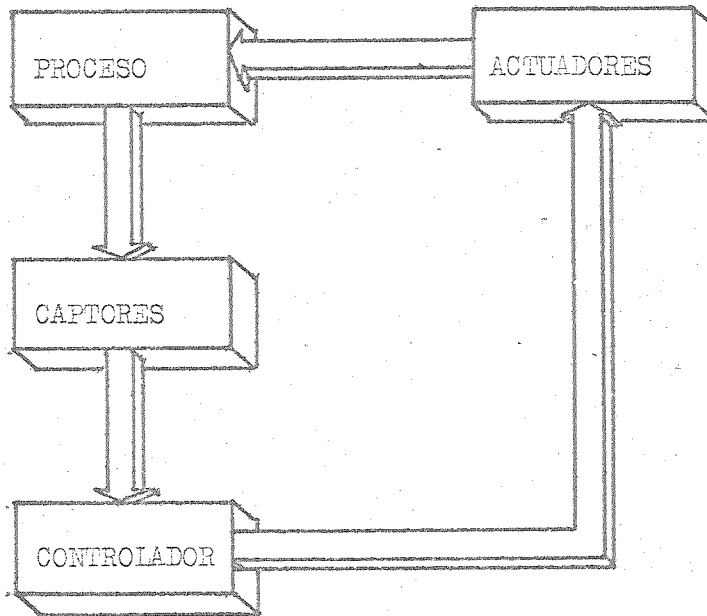


( a ) Información y registro de incidencias.



( b ) Cálculo de acciones correctoras.

Fig 2



(c) Control directo digital ( DDC ) en bucle cerrado.

fig 2



La clasificación en los tres grupos anteriores se ha realizado según el criterio de la tarea ejecutada por los mismos si bien se han definido claramente funciones diferentes, lo normal es que en un equipo complejo se presenten combinados los tres, de forma que determinadas acciones correctoras sea realizadas directamente por el equipo mientras otras más críticas exigen una supervisión del operador, quien a partir de la información recibida acciona los oportunos actuadores.

Actualmente el campo de mayor interés para el control de procesos por sus enormes posibilidades es el representado por los nuevos circuitos en LSI, que definiremos por ser su elemento más representativo como el de los microprocesadores. Los que como vemos representado en la fig. 1, pueden cubrir desde aplicaciones propias hasta ahora de circuitos con lógica cableada hasta algunas más complejas resueltas tradicionalmente sobre la base de un minicomputador, especialmente aquellas donde el costo del hardware es importante.

Un microprocesador es una unidad aritmética y lógica de proceso que funcionando en paralelo se conecta con el exterior a través de una (o varias) línea bus. Dicho circuito está implementado en LSI diferenciándose de los calculadores de bolsillo en la operación y transferencias de E/S en serie de estos últimos.

Comercializados a partir del 1970 por Intel con el modelo 4004 han sufrido un espectacular desarrollo, existiendo en la actualidad varios en el mercado y teniendo practicamente todos los fabricantes prototipos propios.

Sobre el estado actual de la tecnología existe abundante información, Altman (3), Garrow (39), Jackson (51), Rosenblatt (74), Theis (86), Youn (93) pudiendo destacar como básicas limitaciones en los mismos que nos conducen a estructuras de líneas bus diferentes a los minicomputadores (98) las siguientes :

- 1.- La limitación es el número de conexiones del circuito integrado en que está implementado el microprocesador, cuyo aumento incrementa enormemente su costo.
- 2.- Estando normalmente realizado en circuitos MOS la etapa de salida para hacer compatible con la lógica TTL exige una elevada superficie del mismo.
- 3.- La baja velocidad de funcionamiento de los mismos, especialmente en los primeros implementados en MOS, canal p.
- 4.- Su limitada capacidad aritmética que presenta dificultades para realizar operaciones normales en minicomputadores.
- 5.- Su número limitado de líneas de interrupción.

Sin embargo su campo de aplicación es inmenso por su reducido precio y facilidad de utilización, pudiendo considerarse que los circuitos actuales constituyen una segunda generación - ofreciendo ventajas en su arquitectura y una velocidad muy superior (MOS canal N y Bipolares), Theis (86).

#### 1.4.- Características de los controladores de procesos.

En un bucle de control de todo proceso aparecen como - variables de entrada al procesador encargado de dicha función, una gran cantidad de señales, las que informandolas del valor de las distintas variables que intervienen en los algoritmos de control, le permiten en cada instante calcular las oportunas acciones correctoras de las desviaciones detectadas respecto a la evolución fijada para el mismo.

La mayoría de dichas señales son de carácter analógico proviniendo de transductores de muy diferente naturaleza por lo que es necesaria una etapa de normalización y selección que las adapte y conecte al elemento responsable de los cálculos existentes en la ley de control exigida. El minicomputador de bido a la enorme capacidad de cálculo que posee y a su enorme flexibilidad para adaptarse a las necesidades propias de cada problema es una herramienta ideal para la automatización de - procesos.

Los sistemas operativos actuales de los minicomputadores permitiendo una eficaz programación en tiempo real de los mismos, alcanzan una potencia de cálculo enorme a un precio realmente reducido por lo que el empleo de los mismos está teniendo un desarrollo espectacular. Sin embargo por tratarse de un equipo universal previsto para la realización de muy variadas funciones no se adapta a determinadas exigencias impuestas por procesos complejos que exigen la utilización de órganos desarrollados especialmente para ellas. Por otra parte el estado actual de la tecnología permite sustituir aplicaciones realizadas hasta hoy con un elemento de cálculo universal por elementos desarrollados especialmente para las mismas que permiten una adaptación total al problema en la doble vertiente de Hardware y Software, son las condiciones básicas que deben cumplir los mismos las que se detallan a continuación.

El estado actual de la teoría de control con la dualidad presentada entre la teoría clásica y la teoría moderna del control - Aracil ( 3 ), la que exige para el procesador que no sea un mero sustituto de los reguladores P, PI, o PID implementado con circuitos más actuales, sino que debe ser una herramienta válida para realizar los algoritmos que exige la teoría moderna del control, aun que aún hoy gran parte de sus aplicaciones serian meras sustituciones de sistemas realizados con reguladores clásicos.

Como condiciones que ha de cumplir un controlador y que serán las bases de partida para todo proyecto de equipo a desarrollar, podemos detallar salvo consideraciones específicas impuestas por cada proyecto las siguientes características generales :

- Interface de entrada que permita la adaptación a los elementos procesadores de las señales procedentes de los transductores externos, realizando la conversión a una magnitud digital compatible con el resto del sistema. No debe presentar limitaciones respecto al número máximo de entradas admisibles ni en la velocidad de muestreo de las mismas, por lo que lo normal será escoger un sistema modular que permitiendo una gran cantidad de señales ofrezca la posibilidad de elegir en cada caso los módulos más adaptados a las especificaciones a cumplir.
- Interface de salida que permita a partir de los niveles lógicos internos obtener señales compatibles con los distintos tipos de actuadores existentes en el proceso. También es lógico elegir una solución basada en módulos compatibles intercambiables que no presente grandes limitaciones de ampliación.
- Para el control de la interface de E/S del sistema será necesaria una eficaz gestión, ya que siendo los intercambios con el proceso un elevado porcentaje de las operaciones del sistema ,

limitaciones en dicho punto pueden afectarle muy directamente. Por tanto es interesante conseguir una autonomía en los elementos de E/S que permitiendo un paralelismo entre tareas, limite la influencia que determinados elementos de reducida velocidad tales como los convertidores analógico-digitales (ADC) o multiplexores analógicos pueden tener sobre la potencia total del procesador.

- Capacidad de cálculo y memoria suficiente para no encontrar limitaciones ni en la velocidad de operación ni en la cantidad de datos o programas que puede almacenar. No hay que olvidar que un equipo de control de procesos puede presentar limitaciones para resolver un determinado problema en uno de los tres puntos apuntados :

- velocidad de cálculo
- capacidad de memoria
- cantidad de E/S admisibles.

Por tanto si se pretende diseñar un procesador que permita resolver desde problemas simples hoy día resueltos con lógica cableada, hasta complejos problemas que exigen elevada potencia de operación, el mismo debe permitir una fácil ampliación sin necesidad de modificar la estructura de base prevista. En los puntos señalados previamente es interesante resaltar un aspecto fundamental que a -

veces se trata con la debida importancia, y que se refiere a que las limitaciones que puede presentar un equipo en el apartado de velocidad de cálculo vendrán fijadas no como en los sistemas de gestión por cálculos de valores medies estadísticos, sino por el caso más desfavorable ya que las especificaciones vienen fijadas en forma de tiempo máximo admisible para una determinada acción . Afectando este punto tanto a los algoritmos a implementar ( soft ware) como al propio diseño del Hardware del sistema.

- Modularidad para poder adaptarse a problemas muy diferentes, dicho punto ya insinuado para las unidades de E/S afecta también al resto de elementos de cálculo o memoria.
- Facilidad para aplicarlo a cualquier proceso, lo que basado en un Hardware y Software modulares facilmente comprensibles debe permitir minimizar en todo lo posible el tiempo necesario para resolver un proyecto o modificar el actual, no hay que olvidar que dicho punto representa un elevado porcentaje de costo total del sistema.
- Un punto fundamental hoy día es la fiabilidad que puede ser crítico en determinados procesos, siendo prioritaria sobre otros factores de tipo económico. Por lo tanto el sistema debe permitir de forma análoga al aumento de potencia un aumento de fiabilidad basado en la redundancia de determinadas funciones consideradas críticas. No hay que olvidar que normalmente un controlador debe so portar un funcionamiento continuo, siendo en muchos casos tales como por ejemplo los satélites artificiales, Calvo (19) su fiabilidad un punto crítico del mismo.

Sobre dichos puntos cabría incluir para cada proyecto una serie de condiciones suplementarias que pueden llegar a ser tan restrictivas o más que las anteriores, pero si es interesante añadir para todo proyecto que debe preverse un fácil mantenimiento el cual normalmente vendrá facilitado por la estructura modular del sistema y complementado por algoritmos de detección de errores. El apartado de mantenimiento debe complementarse con la inclusión en el equipo de la posibilidad de substituir módulos por otros más avanzados tecnológicamente sin necesidad de modificar la estructura de base, con lo que se evitaria la obsolescencia rápida del mismo permitiendo su compatibilidad con los futuros equipos.



## 1.5. Arquitectura de sistemas, tendencias de evolución.

Los avances actuales de la tecnología en el campo de los componentes de estado sólido determinan las nuevas tendencias en la evolución de la estructura de los procesadores, afectando especialmente a los nuevos sistemas basados en un elevado nivel de paralelismo para los que la enorme densidad de integración y fiabilidad de la tecnología ha posibilitado la realización de estructuras altamente especializadas que ofrecen una mejora en la relación potencia/costo de gran cantidad de problemas.

Una característica general introducida por las nuevas tecnologías de componentes y que afecta a todos los demás puntos es la disminución de la importancia dada a la minimización dentro del diseño lógico, dedicando mayor atención a factores tales como la reducción del tiempo de diseño, la fiabilidad o facilidad de mantenimiento del equipo final, puntos de mayor influencia con el costo final del mismo.

Como tendencias actuales podemos fijar entre otras las siguientes :

- Estructuras descentralizadas de arquitectura universal espe  
cializable adaptables a la resolución de problemas tales co  
mo el tratamiento de bloques y listas o la interpretación -  
de lenguajes evolucionados.
  
- Modularidad que permita una reducción del tiempo de diseño  
mediante una normalización a ni el más elevado que el tradi  
cional de puertas lógicas, Bell(9). Normalización que pue  
de realizarse al nivel de transferencias entre registros ,  
Bell (8), Mc Donald (62) o de células universales en LSI  
para la realización de sistemas secuenciales ,David (26).
  
- Utilización de la microprogramación como herramienta stan  
dard que permite una indudable flexibilidad y sistematiza  
ción en el diseño, tanto para estructuras complejas como pa  
ra pequeños procesadores, partiendo de flexibles microins  
trucciones. De enorme interés resultan para el usuario las  
posibilidades que le ofrece la microprogramación dinámica ,  
Tucker (88) por lo que serán tratadas extensamente en otro  
apartado.
  
- Realización de circuitos especiales para la gestión propia  
de la máquina basicamente orientadas al control de procesa  
dores asociativos.

- Integración en el Hardware de las funciones principales de gestión de procesos bajo la forma de módulos especializa - bles.
- Utilización de memorias recirculantes y de direccionamiento lineal en sistemas descentralizados, mejorando para los mis - mos la lógica de acceso tanto a memorias principales como secundarias.
- Aplicación de memorias intermedias ( cache memory) rápidas para mejorar el tiempo acceso directo a memoria y evitar - las pérdidas en los multiprocesadores debidos a las conmuta - ciones para acceder los diferentes procesadores a la memo - ria compartida.
- Implementación de máquinas virtuales microprogramadas que per - mitan una conmutación dinámica, para conseguir una estructura variable adaptable al problema.
- Sistemas de estructura de elevada fiabilidad, para lo que son fundamentales los siguientes puntos.
  - a) Insensibilidad a los fallos transitorios.
  - b) Capacidad de autodiagnosís.
  - c) Autoreconfiguración, tanto del hardware como de software ante fallos permanentes.

Puntos en los que presentan elevadas posibilidades los multi procesadores gracias a la redundancia ampliable de los mismos a voluntad usando mayor número de módulos.

Como conclusión de las líneas generales de desarrollo defi nidas Bell (9), Higbie (44), IRIA (50) podemos fijar para la pró xima generación de procesadores la existencia de un "Hardware uni versal especializable para aplicaciones particulares", especiali- zación normalmente alcanzada mediante microprogramación generada de forma automática basada en el elevado desarrollo de todas las técnicas de diseño automático ( CAD ).

## CAPITULO 2

### PROCESADORES DESCENTRALIZADOS, ARQUITECTURA Y PROBLEMAS DEL

#### PARALELISMO

En dicho capítulo se analizan las estructuras más evolucionadas en la arquitectura de procesadores descentralizados, planteando para los mismos los problemas derivados del paralelismo y su influencia sobre la eficacia y fiabilidad de las distintas estructuras y mecanismos de transferencia de informaciones.

## 2.1. Multiprogramación, multiprocesamiento y procesamiento en paralelo.

Las distintas soluciones existentes para gestionar el tratamiento simultáneo de diversos problemas, han sido objeto de numerosos estudios por las enormes posibilidades que presentan los equipos que poseen dicha capacidad sobre todo desde el punto de vista de aumento de su potencia y fiabilidad. Puntos ambos críticos en el control de procesos donde no hay que olvidar que tanto en la elección de algoritmos como de arquitecturas de sistemas, el criterio de optimización a emplear será función no del tiempo medio, sino del valor máximo (caso más desfavorable) que puede impedirnos la realización de una determinada operación.

El término Multiprogramación tiene su origen en la aparición de unidades autónomas de entrada - salida que permiten realizar algún cálculo en la unidad central de proceso (la cual es única), mientras el programa supervisor controla la interacción de la misma con determinadas operaciones de entrada - salida. Así pues la multiprogramación es la gestión simultánea de varias tareas diferentes en un sistema con unidad de proceso única, basándose en la autonomía de determinados órganos de entrada - salida.

Los multiprocesadores tienen su origen en el uso de los órganos de control en bucle cerrado con el proceso, lo que introduce condiciones más restrictivas tanto para la potencia como para la fiabilidad del órgano de control. Por lo que se adopta la solución de construir sistemas con dos o más unidades centrales de proceso, las cuales en circunstancias normales tendrán asignadas actividades específicas, produciendo un fallo en alguna de ellas una degradación pero no un paro total del sistema, ya que el programa supervisor puede reconfigurarlo asignando a otros módulos las tareas correspondientes a la unidad averiada, la cual será eliminada de la nueva configuración.

Por lo tanto el multiprocesamiento presenta posibilidades suplementarias sobre la multiprogramación, la cual por otra parte puede continuar existiendo en cada uno de los procesadores, ya que en dicha estructura los procesadores funcionan con autonomía pero compartiendo un mismo conjunto de periféricos y memorias.

Mientras en un multiprocesador el paralelismo entre tareas se realiza dividiendo el programa a ejecutar en secciones relativamente independientes que son procesadas simultáneamente, se puede definir otro tipo de paralelismo basado en la ejecución simultánea a nivel de instrucciones en procesadores independientes, lo que conduce al término de procesamiento en paralelo el cual lleva normalmente implícito el término multiprocesamiento.

La distinción efectuada entre los términos multiprogramación, multiprocesamiento y procesamiento en paralelo es la normalmente aceptada en la bibliografía sobre el tema, Lehman (60), Meinadier (61), Slotnik (80) y White (90) entre otros, referencias que volverán a aparecer al detallar los problemas inherentes a la interacción entre los distintos módulos que integran un procesador en paralelo, ya que tanto si se trata de módulos universales como especializados, la explotación óptima de los mismos exige un elevado y complejo proceso de supervisión y asignación de recursos.



## 2.2. Modularidad tipo de conexiones

Según se ha visto en los apartados anteriores la modularidad es una de las condiciones previas de cualquier proyecto de elemento de control que queramos que posea una estructura adaptable a diferentes problemas. Partiendo de dicha base y aún antes de proceder a analizar las características de cada uno de los módulos integrantes de la misma se van a describir nivel de bloques las posibles formas de conexión de los mismos empujadas hoy día.

La justificación de la modularidad en el diseño de un controlador de procesos está suficientemente clara como para no necesitar insistir sobre la misma, pudiendo presentar como factores más significativos los siguientes :

- la uniformidad y sistematización en el diseño.
- su facilidad para permitir modificaciones en la estructura del mismo.
- la disminución del costo y tiempo de diseño necesario para futuros sistemas.
- el aumento potencial de fiabilidad alcanzable en los mismos.
- su fácil mantenimiento y reparación.

Factores globales que deben ser considerados unicamente como descriptivos, ya que al analizar la incidencia real de ca da uno de ellos sobre determinadas estructuras realizadas modu larmente, la enorme divergencia entrè las mismas impide un - análisis global.

En todo sistema organizado según una estructura modular aparece como fundamental el problema de las interconexiones en tre los distintos elementos. Punto para el que se han adopta do muchas soluciones diferentes, adaptadas para optimizar pará metros tan diversos como la simplicidad de conexión, la poten cia de cálculo o la fiabilidad del equipo. Entre ellas pode mos destacar las siguientes :

- Acceso completo independiente, en el cual cada elemento está unido directamente al resto del sistema. Por lo tan to cada uno puede comunicarse sin ningún tipo de interfe rencias con el resto del sistema, es muy poco empleado por la cantidad de conexiones necesarias que hace su construc ción muy costosa y a veces imposible.

Dentro de la solución basada en conexionado directo entre módulos y a pesar de su inconveniente inherente con su estructura de dificultad en la modificación de la misma que exige el cambio de conexiones, se suelen utilizar con figuraciones más simples (no completas) en que cada módulo sólo tiene un número limitado de conexiones, los que adap-

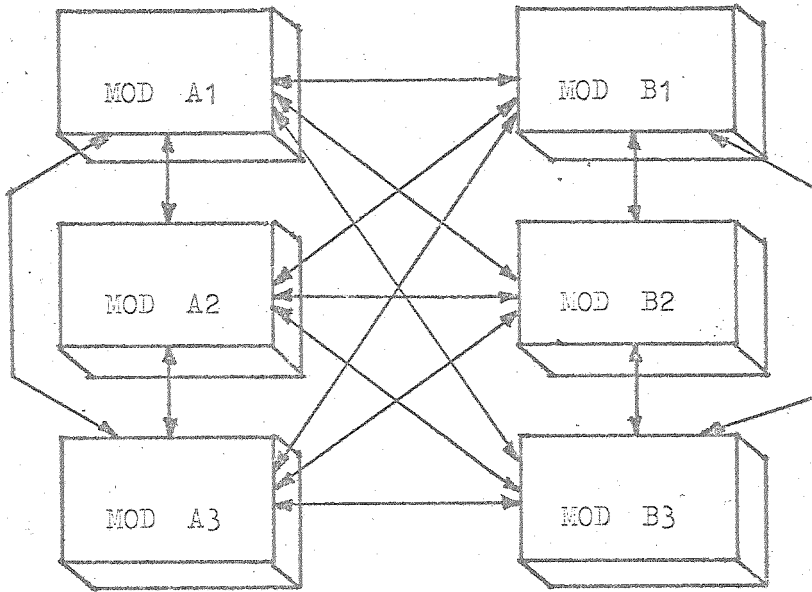


fig 3 Acceso completo independiente.

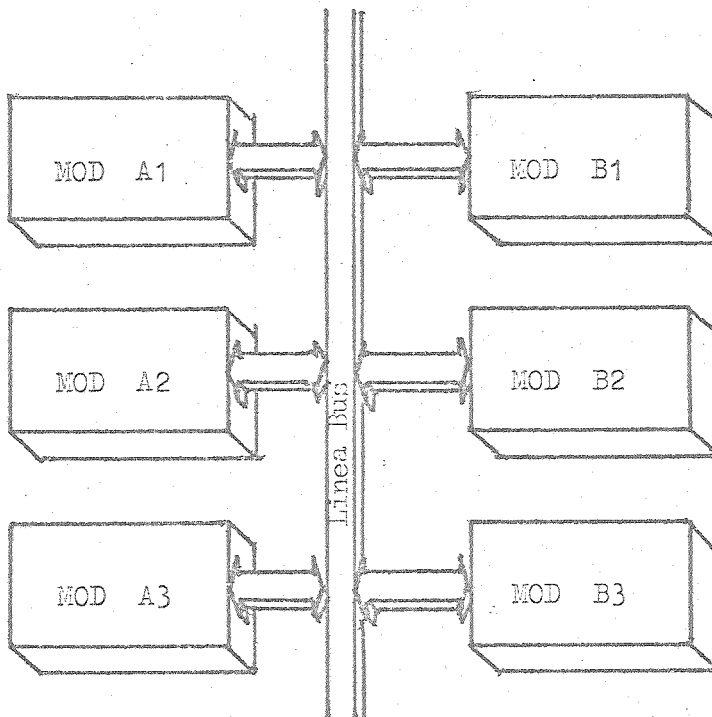


fig 4 Linea BUS única.

tados a determinados problemas pueden presentar una eficacia elevada.

La estructura más completa es la representada en la fig. 3 donde como vemos todos los elementos están interconectados.

- Línea Bus , dicha estructura aparece representada en la fig. 4 donde se ha dibujado una línea bus única, solución normal aunque a veces se detallan en la misma líneas diferentes correspondientes a datos, instrucciones o señales de control. Podemos incluir en este apartado los sistemas con mas de una línea Bus de transferencia de datos, arquitectura similar a la anterior que presenta una eficiencia elevada con un número de conexiones reducido, permitiendo una muy fácil ampliación del equipo mediante la simple conexión de los módulos suplementarios necesarios, sin necesidad de modificar la estructura de base del equipo.

- Conexión en serie, lo normal en una estructura basada en una única línea bus es que la misma ataque simultáneamente a todos los módulos, recibiendo la información varios de ellos en paralelo. Sin embargo existen estructuras tales como la representada en la fig. 5 en que la línea Bus ataca de forma sucesiva a los distintos módulos (conexión en serie), conexión que normalmente se completa hasta cerrar un lazo.

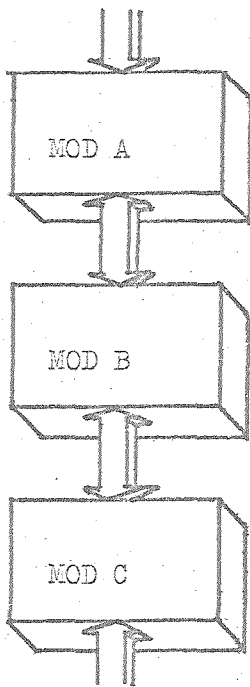


fig 5 Línea BUS serie.

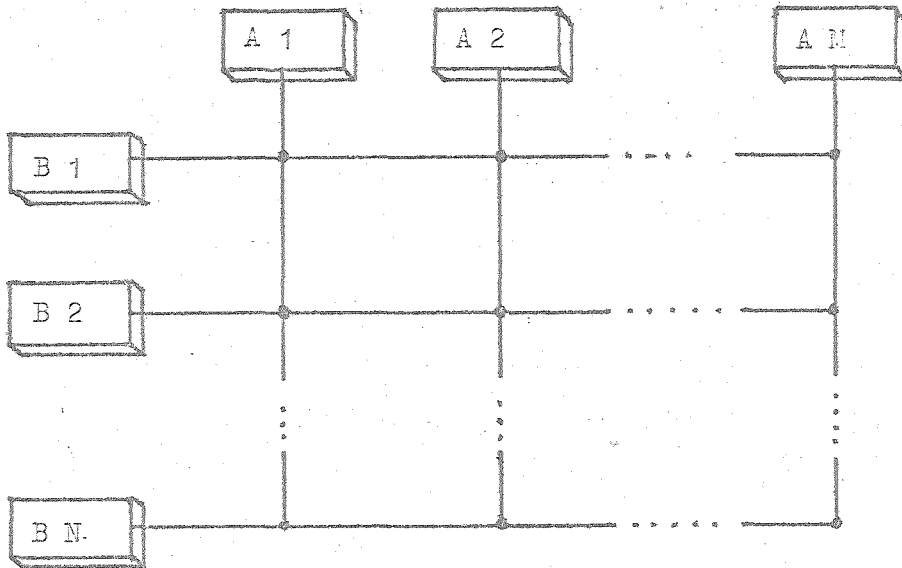


fig 6 Matriz de conexión.

Dicha estructura se suele utilizar para equipos simples en que la velocidad de funcionamiento puede ser reducida y en los que tienen prioridad factores tales como la minimización del cableado de conexión entre módulos o el precio del mismo.

- Conexión matricial , cuyo diagrama de bloques típico es el de la fig. 6 , permitiendo el mismo un elevado número de transmisiones simultáneas. Dichas transmisiones se realizan actuando las oportunas líneas que conectan los dos módulos deseados, conexión para la que hay que evitar las interferencias que pudieran organizarse por el uso simultáneo de una línea para más de un módulo.

Dicho sistema permite conectar redes de módulos con una elevada potencia de cálculo y fiabilidad pero necesita un elevado número de hilos cuyo costo en caso de exigirle condiciones restrictivas puede ser muy elevado.

Dichas estructuras constituyen las más características formas de conexión en sistemas modulares, pudiendo dentro de cada grupo encontrarse gran número de subdivisiones y siendo normal por otra parte encontrar sistemas que combinan varias de dichas soluciones en sus distintas unidades.

### 2.3. Eficacia de las distintas estructuras de procesadores .

Tomamos como criterio la eficacia en el uso de los recursos internos para comparar las diferentes organizaciones, prescindiendo de que consideraciones tales como gestión de E/S o el conjunto de instrucciones elegido pueda tener una influencia decisiva sobre el rendimiento final.

La estructura de los diferentes sistemas será descrita desde un punto de vista macroscópico empleando como concepto básico - para dicho análisis el de flujo, definido como secuencia de transferencias bien sean de datos o instrucciones. Según dicho criterio podemos establecer Flynn (33) la siguiente clasificación :

- 1) Sistemas con flujo simple de instrucciones y de datos (SISD) que constituyen la arquitectura más convencional de las máquinas actuales.
- 2) Sistemas con flujo simple de instrucciones y múltiple de datos (SIMD), donde se incluyen la mayor parte de los procesadores reticulados.
- 3) Flujo múltiple de instrucciones y simple de datos (MISD)
- 4) Máquinas con flujo múltiple de instrucciones y datos (MIMD) apartado dentro del que pueden considerarse incluidos los multiprocesadores.

Dicha clasificación si bien realizadas de una forma global, pudiéndose matizar grandes diferencias dentro de cada grupo, permite sin embargo un análisis detallado de las mismas empleando los siguientes conceptos :

J : Factor de confluencia que refleja el número de instrucciones procesadas en un sistema con flujo simple durante el tiempo de ejecución de una instrucción.

O : Tiempo de operación por instrucción representado en unidades de tiempo  $At$  , por lo tanto la máxima potencia de operación vendrá dada por

$$( I ) \quad \text{Pot max} = \frac{J}{O, At}$$

N : Factor de anticipación que representa el número de instrucciones entre aquella en que se comienza el cálculo de una condición de salto y la instrucción que realiza el test de dicho resultado.



## Eficacia de la estructura SISD

La mayor causa de ineficacia de las mismas procede de la interacción entre los flujos de datos e instrucciones. Pudiendo una instrucción necesitar un dato aún no disponible procedente de una operación p revia no finalizada, lo que puede afectar también al cálculo de una dirección.

Por otra parte en los saltos condicionales deben estar disponibles todos los datos antes de su ejecución, siendo el retraso debido a dicho factor dominante sobre el resto por lo que en los cálculos siguientes se considerará el factor de confluencia fijado exclusivamente por los saltos condicionales.

El retraso causado por la espera de un resultado únicamente existía si la condición

$$(II) \quad N \geq \frac{J}{0}$$

No se cumple, ya que si esto ocurre el resultado estará preparado cuando comienza la operación que lo necesita, en caso contrario el retraso será

$$(III) \quad \text{si } N < \frac{J}{0} \quad \text{retraso} = \left(0 - \frac{NO}{J}\right) \text{ At.}$$

Dado un bloque de  $X$  instrucciones con una probabilidad "p" de encontrar una perturbación (retraso) el tiempo total para ejecutarlas, Flynn (33) será :

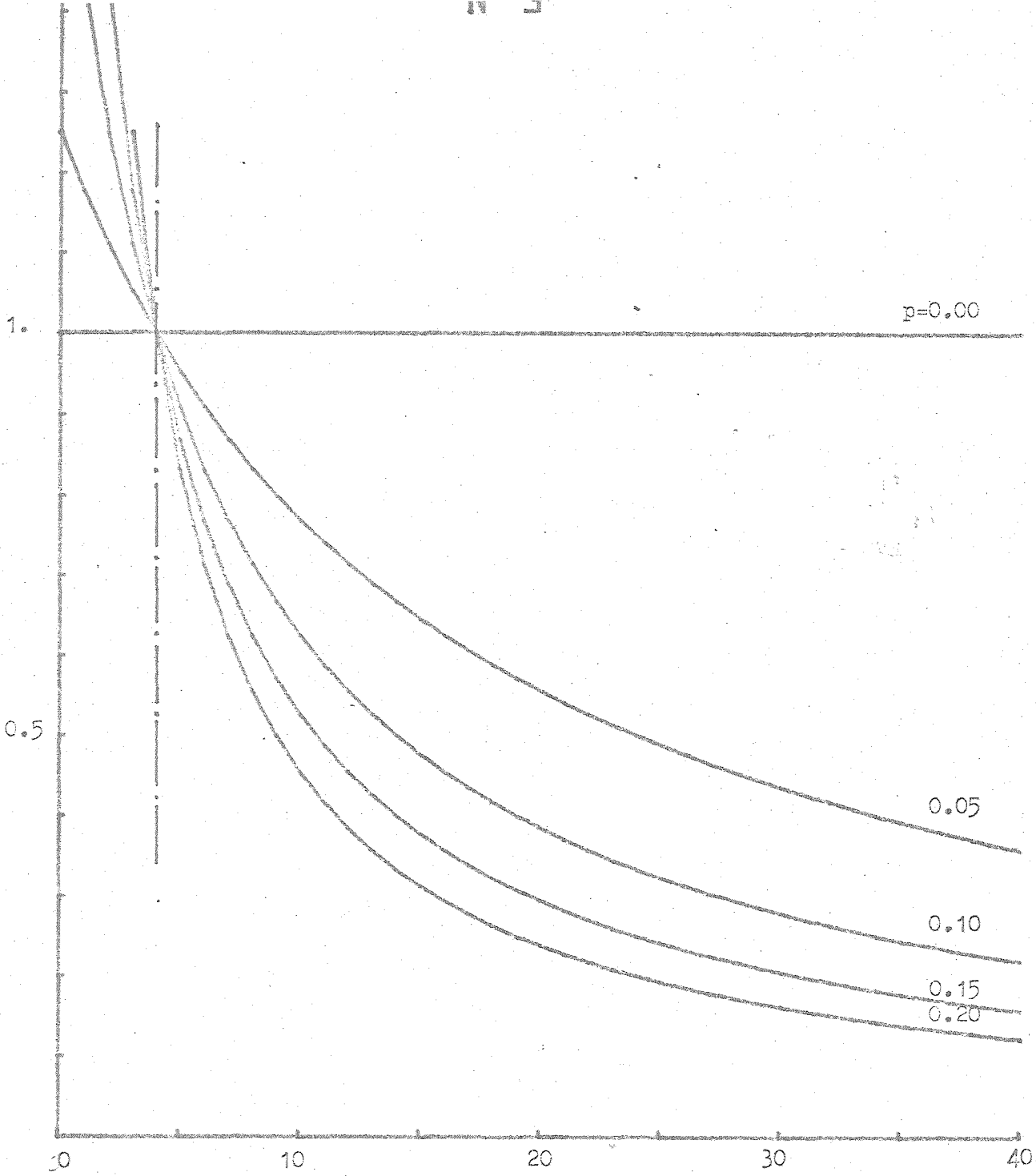
$$(IV) \quad \text{Tiempo total} = \left[ \frac{0}{J} \times (1-p) + 1 + p \times \left( 0 - \frac{NO}{J} \right) \right] At$$

Definiendo por eficacia el número de instrucciones ejecutadas por unidad de tiempo obtenemos :

$$(V) \quad \text{Eficacia} : \frac{J}{0,At} \cdot \frac{1}{1 + p(J-N-1)}$$

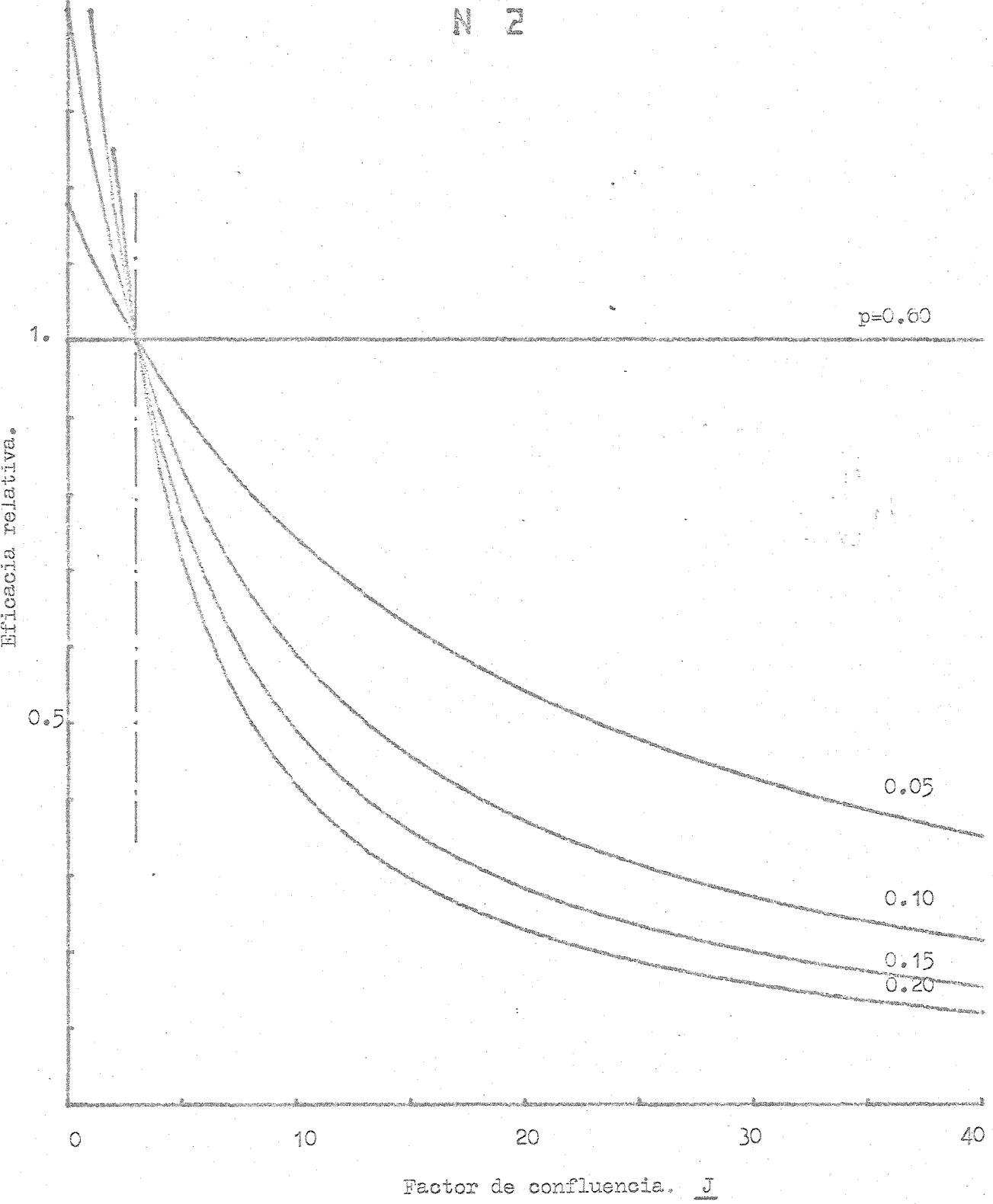
Para bloques de instrucciones suficientemente grandes, fórmula que se ha aplicado para obtener la fig. 3 adjunta, en la que se representa la pérdida de eficacia (relación entre eficacia y el valor máximo) frente al factor de confluencia para distintos valores de los restantes parámetros.

En la misma se obtiene la eficacia alcanzada para los valores normales alcanzados por la probabilidad de perturbación  $p$  (entre 0.05 y 0.20) y el factor de anticipación  $N$  que difícilmente puede superar el valor  $N : 3$  . Los cálculos necesarios y el listado del programa empleado aparecen detallados en el apéndice A-3.



Factor de confluencia, J

fig 3.a



Factor de confluencia,  $J$

fig 3.b

## Estructuras con flujo múltiple de datos.

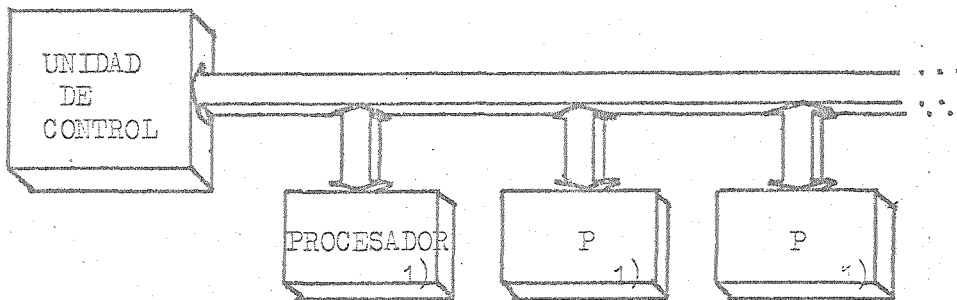
Dichos sistemas basados en una instrucción que controla un bloque de operandos presentan varios problemas entre los que - caben destacar; Lehman (60), Flynn (33) los siguientes :

- La comunicación entre los distintos procesadores sean o no elementos autónomos.
- Optimizar la relación entre la dimensión del bloque de operaciones a realizar y la red física que las ejecutara.
- La pérdida de eficacia debida a las ramificaciones, punto en que los diferentes estados en que pueden encontrarse los distintos procesadores puede originar conflictos.

Dichos puntos son básicos, pudiendo considerarse que - afectan por igual a las distintas arquitecturas de conexión de procesadores que podemos considerar dentro del presente apartado. Las cuales aparecen representadas en la fig. 7 adjunta.

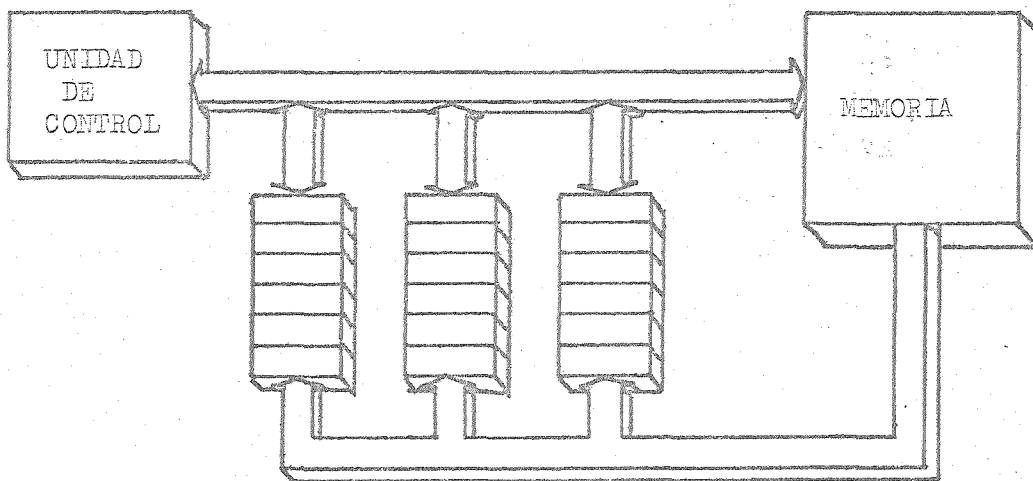
La primera de ellas (fig. 7.a) representa una red de procesadores independientes con registros propios de memorización controlados todos ellos por una única unidad de control.

Una forma especial de resolver la conexión reticular de procesadores es mediante el multiplexaje en el tiempo de la conexión

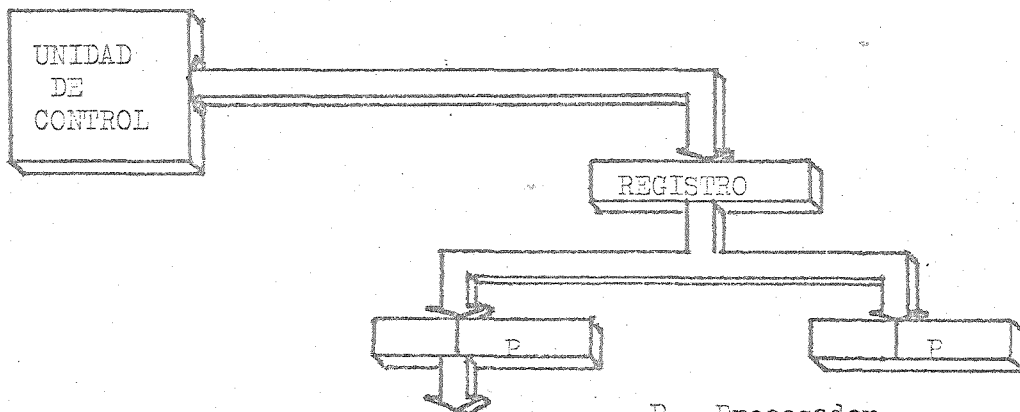


1) CON MEMORIA INTERNA

a) Procesadores independientes.



b) Procesador multiplexado (Pipelined)



P = Procesador.

entre módulos independientes adaptados a tareas específicas (Pipe line), representado en la figura 7.b. En dicha estructura la memoria está organizada para transferencias a elevada velocidad de informaciones que entrando como datos de base para los cálculos de los distintos módulos ( los cuales les llegan cada período de tiempo fijo), permite a estos realizar la función prevista generando un flujo de resultados que vuelven a la memoria.

Por último los procesadores asociativos (Fig. 7.c) constituyen una variación de la conexión reticular donde los elementos de cálculo no poseen acceso directo, siendo activados cuando se cumple una específica relación entre el dato contenido en un registro de entrada y un valor característico interno del mismo.

El problema de comunicación entre procesadores en estos tipos de estructura ha sido ampliamente estudiado Flynn (33) pudiendo aceptarse con suficiente aproximación que la potencia de los mismos es proporcional no al número de flujo de datos ejecutados en paralelo, sino al logaritmo en base 2 de dicho valor.

(VI)

$$P \approx \log_2 N$$

P = Performance

N = N° de flujo de datos

Expresión llamada de Minsky, y que traduce el valor de la degradación de potencia debida a todos los factores internos incluidos los originados por las ramificaciones condicionales. Dicha expresión suele representarse en términos relativos (expresión (VII))

$$(VII) \quad P. \text{ relativa} = \frac{M}{\log_2 M}$$

Degradación debida a la incompleta utilización de los recursos internos, la cual puede mejorarse mediante reestructuraciones en la programación orientadas a mantener ocupados simultáneamente el mayor número posible de procesadores.

#### Flujo múltiple de instrucciones y datos.

Los multiprocesadores tienen problemas clásicos de organización entre las que cabe señalar :

- la comunicación y composición del tratamiento a dar a la información.
- mientras el costo aumenta linealmente con la adición de nuevos módulos, la potencia lo hace más lentamente debido a las interferencias entre tareas.
- la reconfiguración dinámica de sus recursos para, proporcionando cambios en determinadas tareas, resolver las funciones críticas.



El problema acceso a procesadores asociado con el flujo múltiple de instrucciones compartiendo datos comunes puede originar una importante degradación en el sistema.

Definiendo para un procesador individual los siguientes parámetros,

O = tiempo de operación de una tarea suponiendo que no aparecen interferencias.

E = tiempo de espera para el acceso de datos necesarios.

Podemos obtener basándonos en un modelo de Markov según Madnick (33), la siguiente relación para la eficacia normalizada (valor máximo 1) de una estructura en función del número de procesadores.

$$(IX) \quad \text{Eficacia} = \frac{n - n(\text{espera})}{n}$$

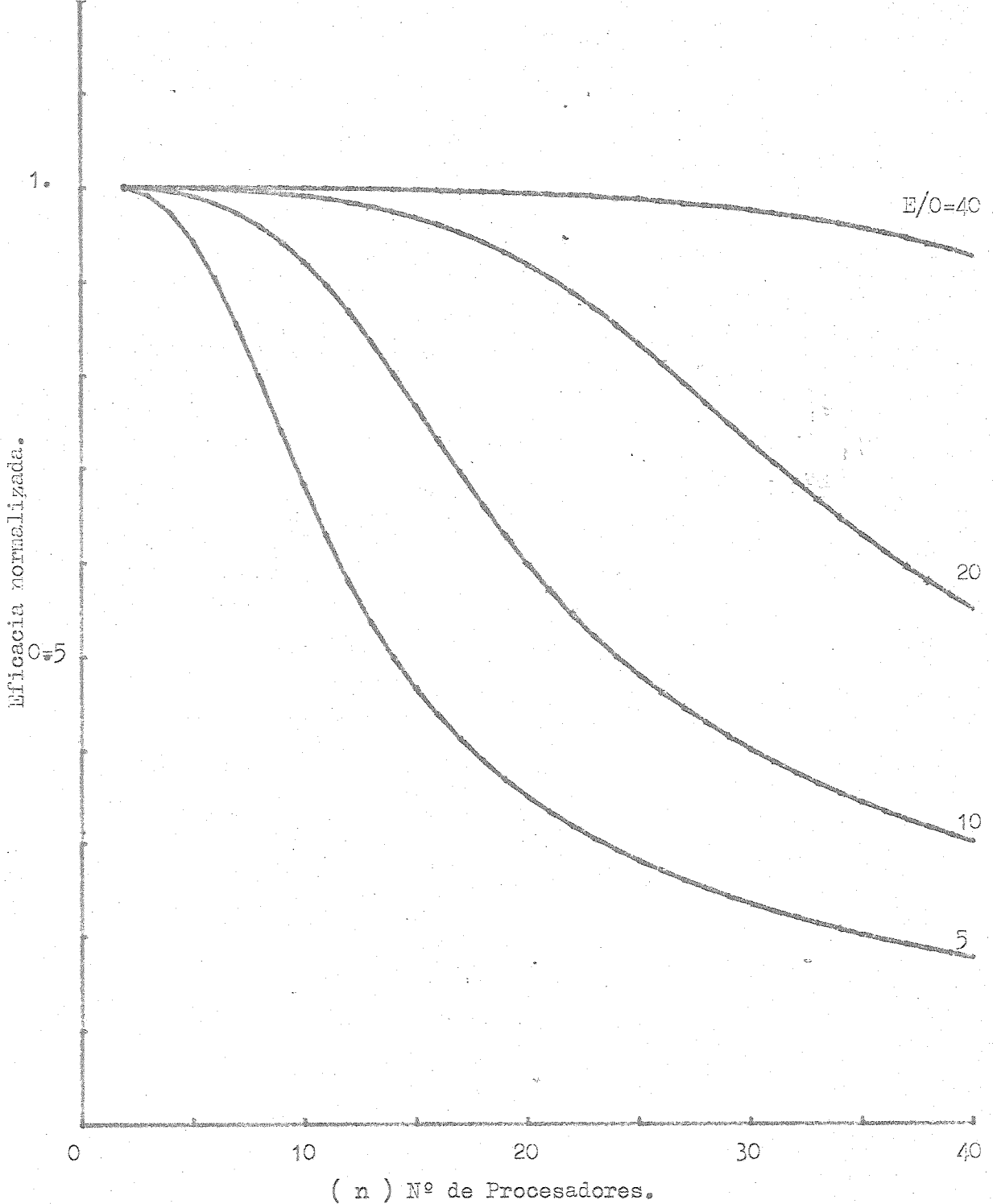
donde  $n = n^{\circ}$  de procesadores

$n(\text{espera}) = n^{\circ}$  de procesadores en estado de espera

siendo este último

$$(X) \quad n(\text{espera}) = \frac{\sum_{i=2}^n \frac{E^{i-1}}{(n-i)!} \left( \frac{E}{O} \right)^i}{\sum_{i=0}^n \frac{1}{(n-i)!} \left( \frac{E}{O} \right)^i}$$

Expresión que puede representarse gráficamente obteniendo la eficacia de distintas estructuras en función del número de procesadores para distintos valores del parámetro E/O que traduce el grado de interacción en los mismos.



Eficacia de estructuras con flujo multiple de instrucciones y datos.

## CAPITULO 3

### MICROCONTROLADORES. PROYECTO DE CONEXION Y CONTROL DE TRANSFEREN

CIAS.

Se desarrollan en el mismo los principios básicos y arquitectura propuesta para la normalización en el diseño de microcontroladores, detallando las líneas y mecanismos de conexión entre módulos así como el funcionamiento y posibilidades de cada uno de ellos.

### 3.1.- Introducción.

Parecen claras hoy día las ventajas que aporta una normalización en el campo de la interface entre aparatos programables de medida tal como la propuesta por la "comisión internacional electrotécnica" IEC (94), que define un método standard para la interconexión de sistemas usando una transmisión de Bytes en serie y bits en paralelo para datos digitales sobre un grupo de instrumentos.

La interface propuesta basada en una línea Bus compartida por los componentes del sistema, optimiza la comunicación entre microcontroladores según un mecanismo de control de transferencias y selección de configuraciones similar al aceptado para instrumentos, pero con sustanciales diferencias ya que tanto los objetivos perseguidos como los componentes del sistema son básicamente diferentes.

La estructura propuesta por su potencia permite su adopción para sistemas complejos sin que represente dificultad alguna su utilización sólo parcial en equipos simples como se detalla en el prototipo diseñado, el cual más que un sistema destinado a la resolución específica de un problema determinado, está orientado a permitir comprobar mediante ampliaciones futuras la eficacia real de la solución propuesta.

### 3.2. - Conceptos estructurales.

Partiendo de la modularidad en el diseño que permite considerar cada componente interno de un equipo con completa autonomía como si se tratara de elementos independientes, se necesita una estructura sobre la que estos puedan comunicarse y gestionar los problemas que plantea la mutua interacción.

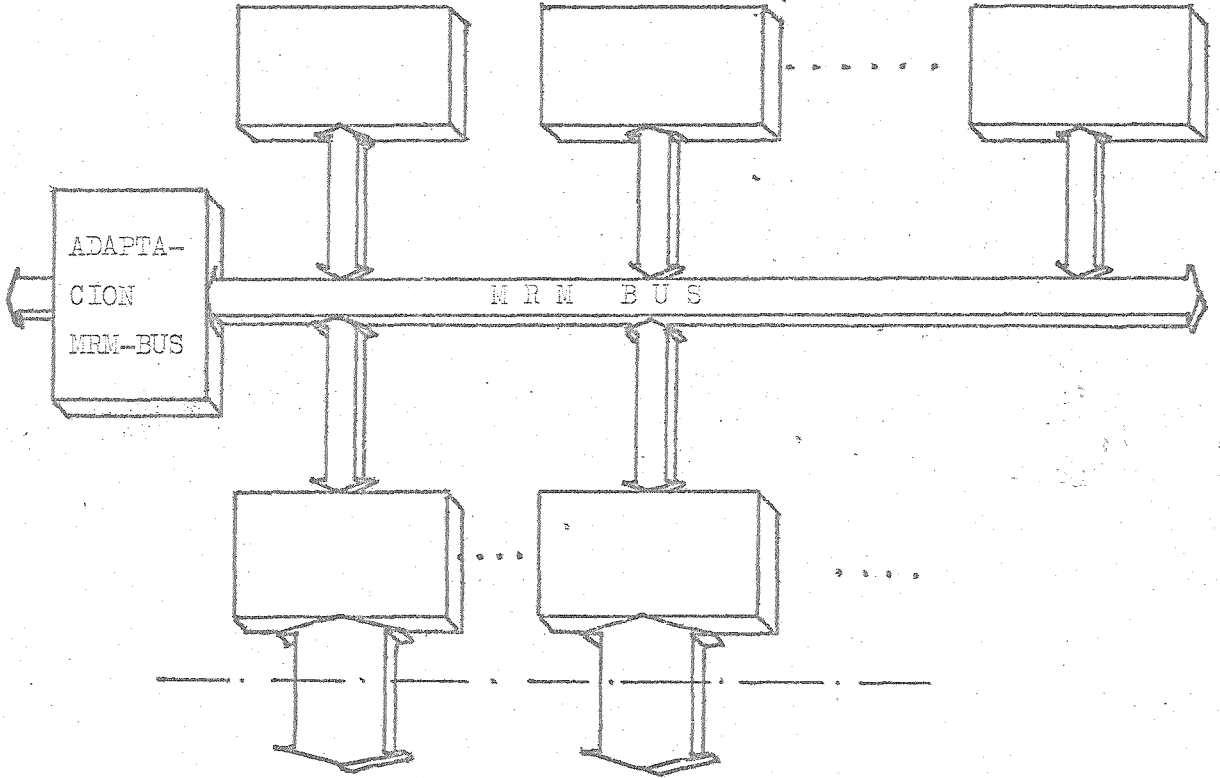
Una estructura de conexión puede definirse como conjunto de especificaciones con las cuales es posible diseñar los diferentes módulos necesarios para que conectados según la misma permitan realizar la tarea deseada. Para la misma deben definirse - tanto los mecanismos de control de transferencias como las necesarias especificaciones de tipo mecánico o eléctrico que eliminen - cualquier indeterminación en el diseño.

El objetivo perseguido es el de definir una estructura de base para la realización de controladores para procesos mediante módulos realizados con circuitos de avanzada tecnología (basicamente en LSI), los que conservando una completa autonomía eléctrica y mecánica deben comunicarse sin ningún tipo de ambigüedad. El sistema debe ser fácil de usar permitiendo la conexión de módulos de - muy diferente naturaleza con los que se implementaran desde equipos simples hasta otros de elevada potencia de cálculo o fiabilidad, lo que se conseguirá mediante el paralelismo entre procesadores inde - pendientes y la duplicación de aquellos que ejecutan funciones consideradas como críticas.

La arquitectura de sistema está basada en el elemento definido como "Microcontrolador reconfigurable modular" (MRM), el cual implementado con los módulos necesarios representa una unidad autónoma con capacidad para resolver cualquier problema específico. Dicho elemento está basado en una línea Bus Única sobre la que según unos mecanismos de transferencia definidos, se comunican entre sí y con el exterior los módulos conectados para la realización de cada aplicación concreta. Aparece representada en la fig. 3.1 la arquitectura de un microcontrolador sobre una línea Bus que recorriendo todos los módulos procesadores es la solución más normal, si bien la utilización de la misma según una estructura radial no representa ninguna dificultad. Cada microcontrolador está compuesto por todos aquellos módulos conectados sobre una misma línea Bus a la que pueden controlar, generar o recibir datos a través de la misma. Dicha conexión puede ser directa tal como la representada para todos los módulos operativos o bien a través de un módulo de adaptación ( Adaptación MRM - Bus) cuya función es eliminar los problemas estructurales o de niveles lógicos que pudieran presentarse.

Todo microcontrolador está basado en una línea Bus Única que permite la conversión de niveles lógicos para adaptarse a exigencias que plantee el nivel de ruido o la distancia entre bloques de módulos. Permitiendo así mismo la conexión entre sistemas independientes mediante un módulo de conexión cuya única función es

OPERADORES INTERNOS



PROCESO

fig 3.1 Microcontrolador Reconfigurable Modular, Arquitectura de base.



la de permitir la transferencia de datos entre los mismos, sin que ningún módulo controlador de un sistema pueda actuar sobre la configuración fijada en otro al que está conectado. Dicha posibilidad de conexión, fig. 3.2 permite la realización de redes de elementos que funcionando con autonomía aumenten de forma notable la potencia del equipo final, equipo que será la unión de tantos independientes como se desee, conservando cada uno de ellos el control necesario para gestionar la comunicación interna entre módulos operativos y de aquellos que realizan alguna transferencia de datos con el proceso, ya que ambos, fig. 3.1 tienen desde el punto de vista interno, una estructura idéntica.

### 3.3.- Especificaciones funcionales.

Sobre la base de una línea Bus (única o múltiple) a la que se conectan un número determinado de procesadores, existen varios elementos de cálculo implementados que alcanzan hasta los mini computadores universales, definiéndose para los mismos sobre arquitecturas conceptualmente muy diversas, mecanismos de control de transferencias basados en una unidad de base, ASMODEE (2), GRI(102) que controla en cada instante la transferencia entre dos módulos operativos mediante la oportuna instrucción del programa o bien directamente entre los módulos mediante un mecanismo de "Master-slave" tal como la usada en la línea de microcomputadores, PDP Digital (100). Las especificaciones que siguen definen un mecanismo de comunicación que permite la conexión de varios módulos controladores que compar-

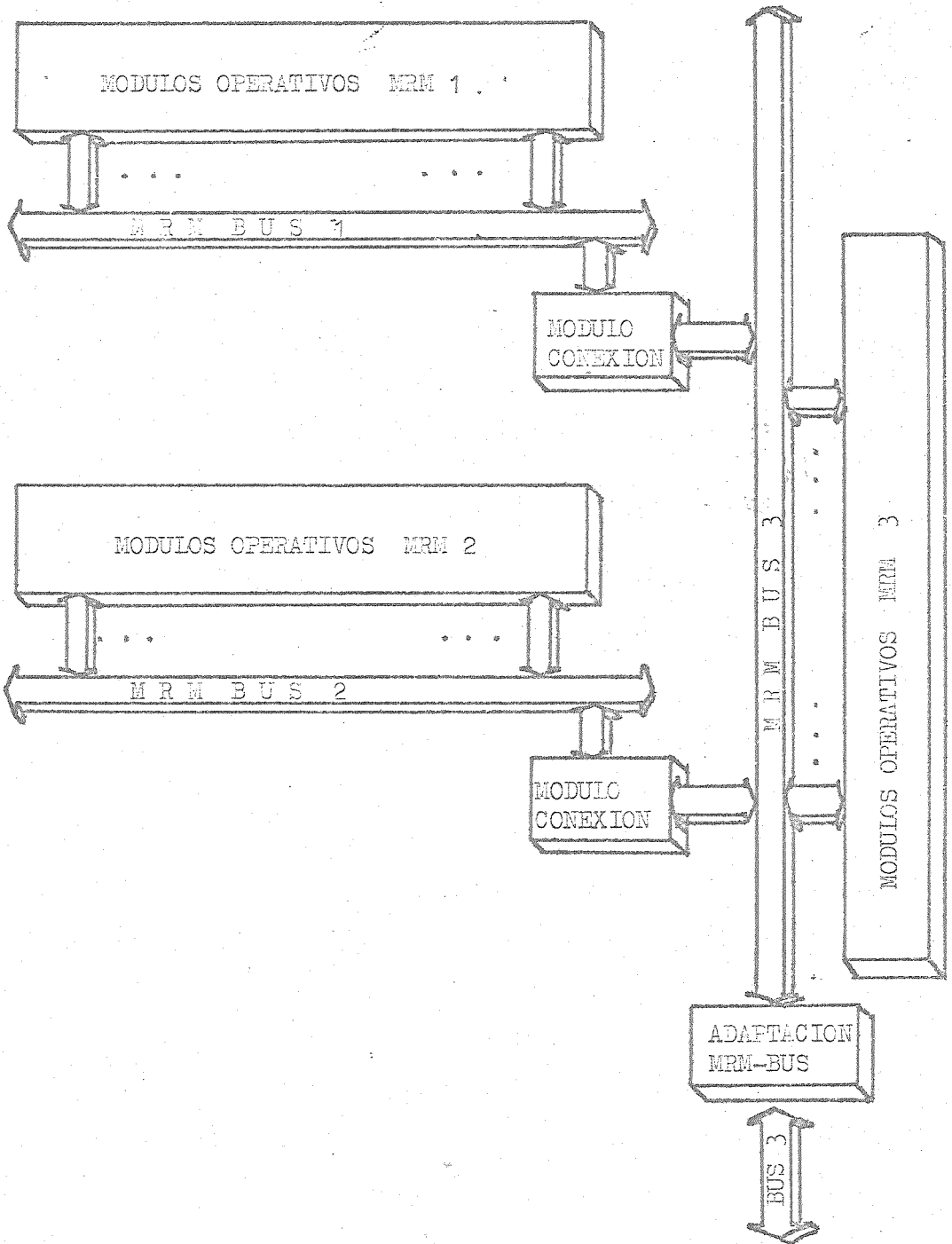


fig 3.2 Conexion de varios Microcontroladores independientes.

ten la misma línea Bus que consideramos puede alcanzar una elevada eficacia con una complejidad reducida.

Toda comunicación entre módulos está seleccionada por un elemento controlador que direcciona al generador del dato a transmitir sobre la línea Bus y a aquellos módulos que actuarán como receptores de dicha información, (puede ser sólo uno). La estructura de todo microcontrolador permite la conexión de varios módulos de control que actúan compartiendo los restantes operadores no pudiendo actuar sobre la línea más de un módulo de control en cada instante, el cual permite la transferencia de dicha función a otro módulo, bien directamente o ante la llegada de una interrupción prioritaria.

La estructura básica de un sistema determinado aparece en la fig. 3.3 adjunta donde en cada instante será uno de los controladores el que conectado a la línea Bus ejerza el control de la misma actuando los módulos que componen la configuración escogida ( el generador y los receptores ) para permitir la realización de la transferencia deseada, transferencia que define la operación a realizar ya que cada módulo está diseñado para efectuar una determinada (o varias), cuya ejecución comienza en el instante en que ha recibido los datos de entrada necesarios preparando el resultado (una vez obtenido) para su utilización en los cálculos posteriores, los que se realizan direccionando los módulos deseados como receptores de la información generada por el módulo que acaba de realizar el cálculo.

En la fig. 3.3 aparecen de forma esquemática las tres funciones ( controlador, receptor o generador) que en un - instante puede poseer un módulo. Representándose así mismo la función de dos tarjetas de adaptación de la línea Bus para una conexión de bloques de módulos a distancia.

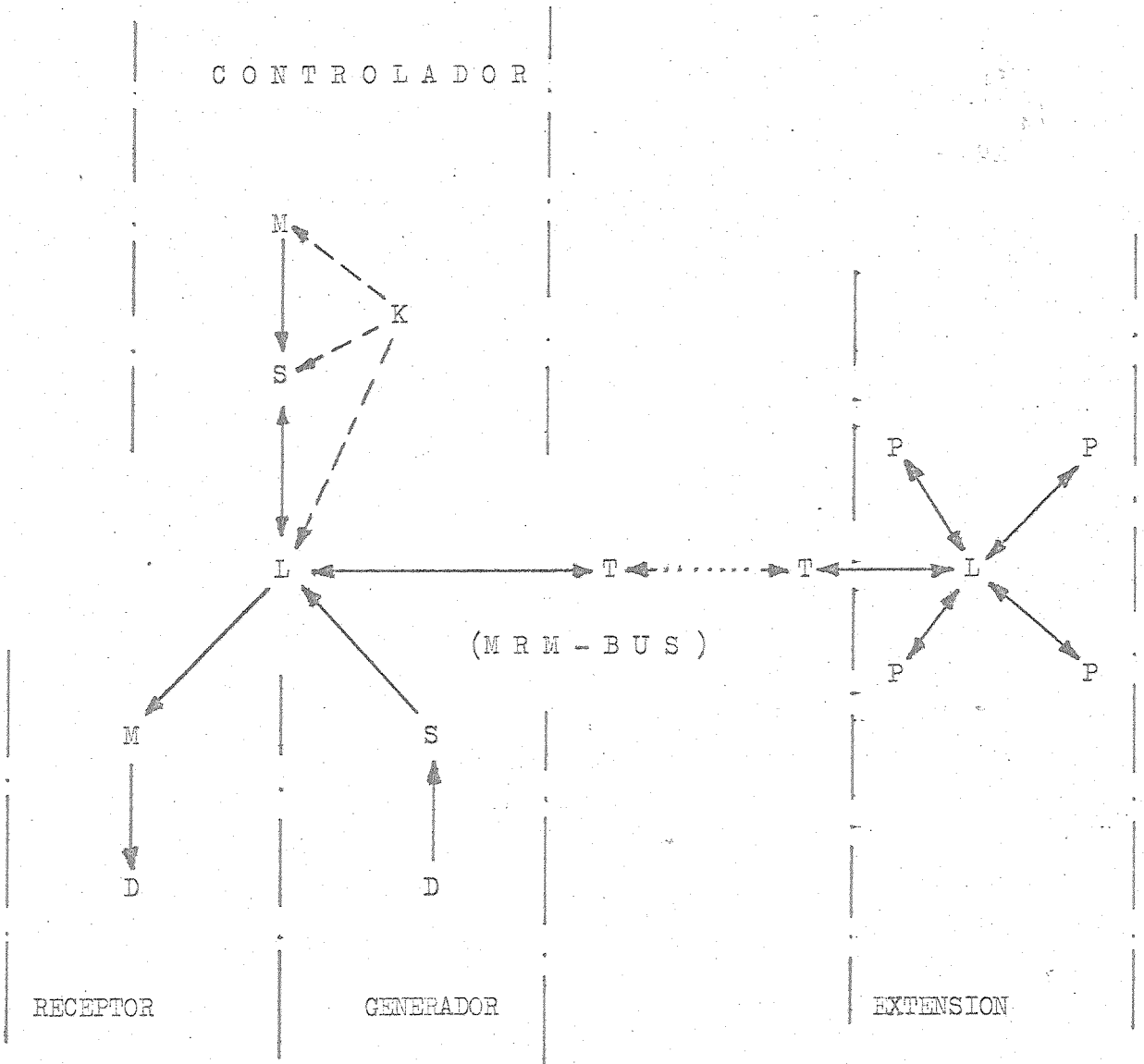


fig 3.3

### 3.3.1.- Línea Bus

El sistema está organizado sobre una línea Bus que es usada para todas las transferencias de datos, direcciones para fijar los módulos de procedencia y origen de la información y líneas de control para la gestión de la misma y de los distintos módulos.

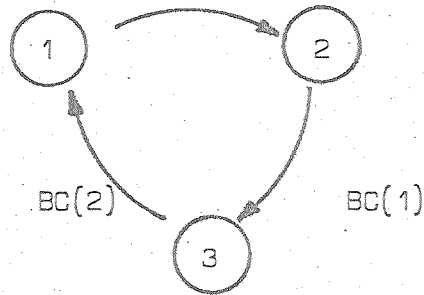
La línea Bus (MRM-BUS) está dividida en tres bloques :

- 1) Datos compuesto por 8 líneas  
(BA0... BA8) por las que se transmite toda la información entre módulos.
- 2) Direcciones formada por 8 líneas  
(BB0 ... BB8)
- 3) Control subdividida en :
  - a) Control de transferencias, constituida por tres líneas  
(BC0, BC1 y BC2)
  - b) Control de la configuración ( BC3 - BC7)

- 1) Bus de datos , comprende 8 líneas independientes sobre las que se transmiten datos codificados en binario bidireccional mente de forma asíncrona fijando los módulos generador y receptores entre los que se transmite el criterio para su interpretación.
- 2) Bus de direcciones , por cuyas 8 líneas se transmiten las direcciones de los módulos constituyentes de una configuración determinados.
- 3) Bus de control , compuesta por :
  - a) BC0,BC1, BC2 que controlan la realización de toda transferencia de forma asíncrona indicando :
    - BC0 : Indica la existencia de un dato en la línea Bus.
    - BC1 : Informa cuando los módulos que deben recibir el dato están preparados para hacerlo.
    - BC2 : Cuyo cambio de estado confirma la aceptación del dato por los receptores.
  - b) BC3 a BC7 usadas por los diferentes módulos conectados a la línea para controlarla, teniendo cada una su función específica.

### 3.3.2.- Transmisión de mensajes.

La transmisión de mensajes se controla mediante las tres líneas BC0, BC1 y BC2 que informan a los receptores y generadores de las condiciones necesarias para el cambio de estados correspondiente a la realización de la transmisión.



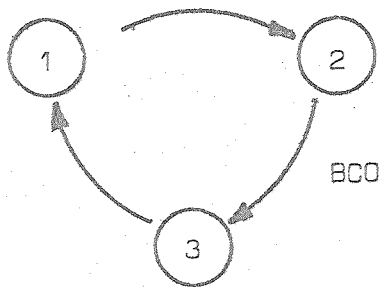
Generador : Diagrama de estados.

Estado 1 : Generador en bucle de cálculo

Estado 2 : Cálculo efectuado (dato disponible)

Estado 3 : Activa la línea de control BC0 informando a los receptores la existencia de un dato.

La confirmación de la aceptación del dato ( BC2) hace volver al generador a un estado de espera pudiendo el controlador modificar la configuración fijada en ese instante antes de comenzar una nueva transferencia.



Receptor : Diagrama de estados.

- Estado 1 : Receptor que obliga a mantener el dato sobre la línea Bus
- Estado 2 : Preparado para la recepción de datos activando la señal BC1 para informar al generador de dicha incidencia.
- Estado 3 : Se alcanza al activar el generador la línea BCO que confirma la validez del dato en la línea Bus

El receptor vuelve al estado 1 una vez recibido el dato procediendo a informar al generador de dicha incidencia (línea BC2) y realizando las operaciones correspondientes.

Dicho mecanismo es empleado para todas las transferencias debiendo por tanto implementarse en todas las tarjetas a realizar.



### 3.4. Tipos de módulos operativos. Funcionamiento.

Toda comunicación entre módulos se realiza estableciendo previamente una selección (controlador) de un módulo que enviara el dato (generador) y otro (u otros) que lo recibirán (receptor), dichos módulos pueden ser idénticos o diferentes por lo que se hablará de funciones que pueden ser :

- Controlador.
- Generador.
- Receptor.

Toda estructura de la interface (todo programa) se realizará con los tres tipos de módulos operativos (no confundir con módulos físicos independientes) definidos previamente.

- 1) un módulo con capacidad para ser seleccionado (direccionado) para recibir mensajes de otro conectado a la línea Bus.
- 2) un módulo generador de mensajes que puede ser activado mediante un direccionamiento sobre la línea Bus.
- 3) un controlador con capacidad para direccionar otros módulos conectados a la línea como generadores o receptores de mensajes.

Donde cada controlador realiza una función independiente actuando interactivamente en la gestión de los módulos operativos, módulos que constituyen en cada caso la configuración escogida según el criterio.

- Direccionamiento de un módulo generador, al existir sólo uno en cada configuración la elección de uno desactiva al resto.
- Los receptores pueden direccionarse varios, siendo desactivados por la selección de uno determinado no implementado.

El direccionamiento ejecutado por el controlador es virtual asignando dinámicamente (RAM) la dirección real del módulo receptor de un dato (operación) entre los varios idénticos existentes, dirección que es modificable ante la detección de un fallo (reconfiguración) en el mismo.

El punto más crítico en cuanto a eficacia Flynn (33) y (34), Higbie (44), Jackson (51), es el planteado por las bifurcaciones (saltos condicionales) para los que es necesario obtener previamente todos los resultados necesarios. Para el mismo se ha previsto la posibilidad de asignación previa del resultado para anticipar la ejecución de operaciones aún no decididas, punto para cuya comprobación efectiva es necesario un análisis sobre el equipo funcionando con diferentes algoritmos, dichas instrucciones de salto ejecutadas en módulos específicos informan al controlador actual del resultado

del mismo generando en la línea Bus dos datos distinguibles asignados previamente y que puedan ser interpretados por el mismo.

### 3.5.- Especificaciones eléctricas.

Es necesario mantener una compatibilidad entre todos los circuitos conectados a una línea Bus unificada tanto para computadores Chertkow (21) como para cualquier otro tipo de interface standard Fitzgerald (31), dicha compatibilidad debe no sólo referirse a la utilización del mismo tipo de lógica, sino a la elección de unos receptores de la señal en los módulos que permitan minimizar las reflexiones existentes Scarlett (76), Nelson (67) para cualquier configuración escogida.

Para normalización y después de las pruebas realizadas con los circuitos existentes en el mercado quedaban claras unicamente dos alternativas posibles :

- circuitos de lógica transistor transistor (TTL)
- lógica MOS complementaria (C/MOS)

ya que la elección de otro tipo de lógica para aplicaciones industriales carece hoy día de sentido, por diferentes motivos :

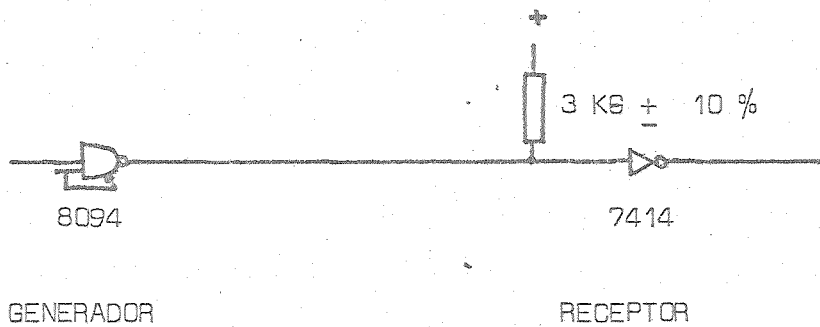
- DTL completamente superada
- ECL rápida pero de aplicación aún crítica y a un precio elevado, sólo justificable por una velocidad que no parece necesaria.
- IZL aún no comercializada

Entre ambas soluciones razonables (TTL frente a C/MOS) y pese a las ventajas inherentes de esta última en los aspectos de inmunidad al ruido y bajo consumo se ha seleccionado la TTL como standard para la línea Bus principalmente por consideraciones de velocidad, precio (aunque ya comienza a ser comparable) y compatibilidad con algunos de los circuitos en LSI y híbridos empleados.

Como generador de los diferentes módulos se ha seleccionado el circuito de lógica 3 estados DM 8094 que posee las siguientes características :

- Permite conectar hasta 128 directamente sobre la misma línea.
- Retraso 12 ns.
- Control independiente de cada Buffer. (necesario para el control de transferencias).
- Alimentación 5 voltios.
- En el estado de alta impedancia no presenta prácticamente carga sobre la línea.

Empleando como receptor de línea el representado en el montaje adjunto :



El cual como se ve está compuesto por un inversor ( que puede ser sustituido por un schmitt-trigger) con una resistencia de polarización a la entrada de 3 KΩ, valor para el cual se ha obtenido una reflexión mínima en la línea actual.

Dicha línea tendrá los siguientes niveles lógicos :

- " 0 "      valor bajo       $\leq$  0,8 voltios
- " 1 "      valor alto       $\geq$  2 voltios

Valores correspondientes a los circuitos TTL empleados , escogidos según el criterio de que la distancia entre los operadores y el nudo existente serán reducidas. Para montajes en que no ocurran dichas condiciones se pueden utilizar dentro de la misma línea Bus zonas de diferentes niveles lógicos conectados por los oportunos módulos de adaptación definidos.

Dichas especificaciones han sido las adoptadas para las pruebas actuales, no obstante se han realizado montajes empleando otros circuitos y niveles lógicos con excelente resultado, por lo que parece aconsejable en cada caso comprobar en cada montaje específico la solución idónea por lo que los módulos deben permitir una cierta flexibilidad para poder modificar la etapa de adaptación a la línea Bus.

### 3.6.- Implementación de circuitos.

Para la realización física de cualquier proyecto de micro controlador debe partirse de una normalización en todos los puntos descritos, normalización que puede aceptarse de forma general para todos los equipos diseñados siguiendo la arquitectura propuesta o tratarse con independencia para cada uno de ellos, si existen condicionantes que justifiquen la pérdida de compatibilidad que comporta dicha diversificación. Ante todo proyecto aparecen necesarios dos puntos fundamentales a definir :

- las dimensiones de tarjetas y el tipo de conector a emplear.
- los niveles lógicos sobre la línea Bus y los circuitos a emplear.

Dichos puntos debe tenderse a adoptarlos con carácter general si bien imposiciones externas pueden impedirlo entre proyectos muy diferentes conservandose unicamente la compatibilidad a nivel estructural y de diseño ( no de montaje) de los módulos, punto también de indudable interés.

Una vez analizado un problema se debe proceder para su realización (diseño) de acuerdo con los siguientes pasos :



- 1 - Elección de las posibilidades a utilizar dentro de las ofrecidas por el sistema, ya que para equipos muy simples puede no ser necesario implementar módulos capaces de funcionar muy sofisticadas en las transferencias internas con capacidades que nunca se usaran.
- 2 - Asignación de las funciones a realizar por cada módulo y elección del número de ellos a emplear para resolver la aplicación deseada.
- 3 - Selección del conjunto de funciones de la interface a utilizar, en algunas aplicaciones determinadas posibilidades y líneas de control pueden no necesitarse.
- 4 - Comprobación de la viabilidad de las velocidades de transferencias de datos exigidos (línea Bus).
- 5 - Elección de los módulos necesarios, realizando aquellos inexistentes, los cuales deberán cumplir las especificaciones impuestas presentando una modularidad interna y flexibilidad de reestructuración (microprograma) lo más elevada posible.

Con la configuración implementada debe procederse a una comprobación de la transmisión de señales en la línea Bus analizando para las máximas velocidades de transmisión exigidas las reflexiones existentes y procediendo a su ajuste, lo que los mó

dulos implementados deben permitir de una forma fácil.

Según dichos puntos se han realizado los módulos imple  
mentados para los que los montajes utilizados y circuitos defi  
nidos aparecen reflejados en los siguientes capítulos.

## CAPITULO 4

### PROTOTIPO MRM - 80 B, MONTAJE Y ESTRUCTURA BASICA

Se describe en dicho capítulo la estructura del prototipo de microcontrolador desarrollado, detallando en el mismo, las distintas soluciones mecánicas utilizadas y la conexión entre los distintos módulos y con el proceso.

## Capítulo 4

### Prototipo MRM - 80 B, montaje y estructura básica.

#### 4.1. - Introducción.

A lo largo de este capítulo y del siguiente se proceden a describir con detalle las soluciones escogidas para el montaje - del primer prototipo de "microcontroladores reconfigurables modulares", realizado, estudiando tanto las comunicaciones con el exterior como las transferencias sobre la línea Bus interna.

Dicho prototipo ha sido realizado no como un sistema que agote todas las posibilidades previstas por la arquitectura detallada en los dos capítulos precedentes, sino como equipo experimental que conectado en el bucle de control de procesos reales permita verificar experimentalmente su correcto funcionamiento y analizar sus posibilidades reales.

Dado su carácter de prototipo se ha previsto para el mismo una fácil comprobación y control externo del funcionamiento del sistema, adaptándole un completo panel de control que permita además el desarrollo y la comprobación de los futuros módulos a implementar para el sistema. Así mediante la tarjeta de programación de memorias (PROM - 1702A) y la conexión a la consola de pruebas se pueden tanto desarrollar los microprogramas para futuros módulos, como comprobarlas de forma automática, puntos ambos fundamentales conside -

rando que se pretende utilizar dicho prototipo no sólo como elemento para pruebas tanto funcionales como electrónicas, sino también como elementos de base para el desarrollo de módulos más complejos, en los que se irán probando las posibilidades y limitaciones de los diferentes circuitos, especialmente microprocesadores y módulos de adquisición y transmisión de datos.

Tanto los formatos de instrucciones y datos, como el montaje mecánico adoptado descrito en los apartados siguientes, ha sido previsto para permitir dichas modificaciones y ampliaciones, facilitando así mismo la realización de todas las pruebas necesarias.

#### 4.2. Arquitectura, función de los distintos bloques.

La arquitectura adoptada para los microcontroladores, objeto del presente trabajo, está basada según se detalla en el capítulo 3, en una línea bus única ( MRM - Bus), sobre la que es tán conectados los distintos módulos que constituyen el sistema y a través de la cual se realizan todas las transferencias de infor maciones entre módulos y el control de las mismas.

Dicha solución de adoptar una línea Bus sobre la que se conectan los distintos elementos que forman un equipo determi nado, es hoy día una solución clásica universalmente adoptada - tanto en computadores, Digital (100), GRI - 909 (102), Chertkow, (21) como en periféricos o incluso en equipos realizados con lógica cableada. Presentando sin embargo dicho campo una complejidad tal y una diferencia de principios tan radical en los objetivos perseguidos por los distintos sistemas, que una normalización en los formatos y mecanismos de control de transferencias tal como la realizada para conexión de instrumentos por la IEC (International Electrotechnical Commission) y estudiada a lo largo del pre sente trabajo aparece fundamental para facilitar el diseño y la normalización de equipos.

Para el presente prototipo la línea Bus adoptada pre viamente analizada, permite partir en el diseño de los distintos sistemas de una arquitectura de base con amplias posibilidades -

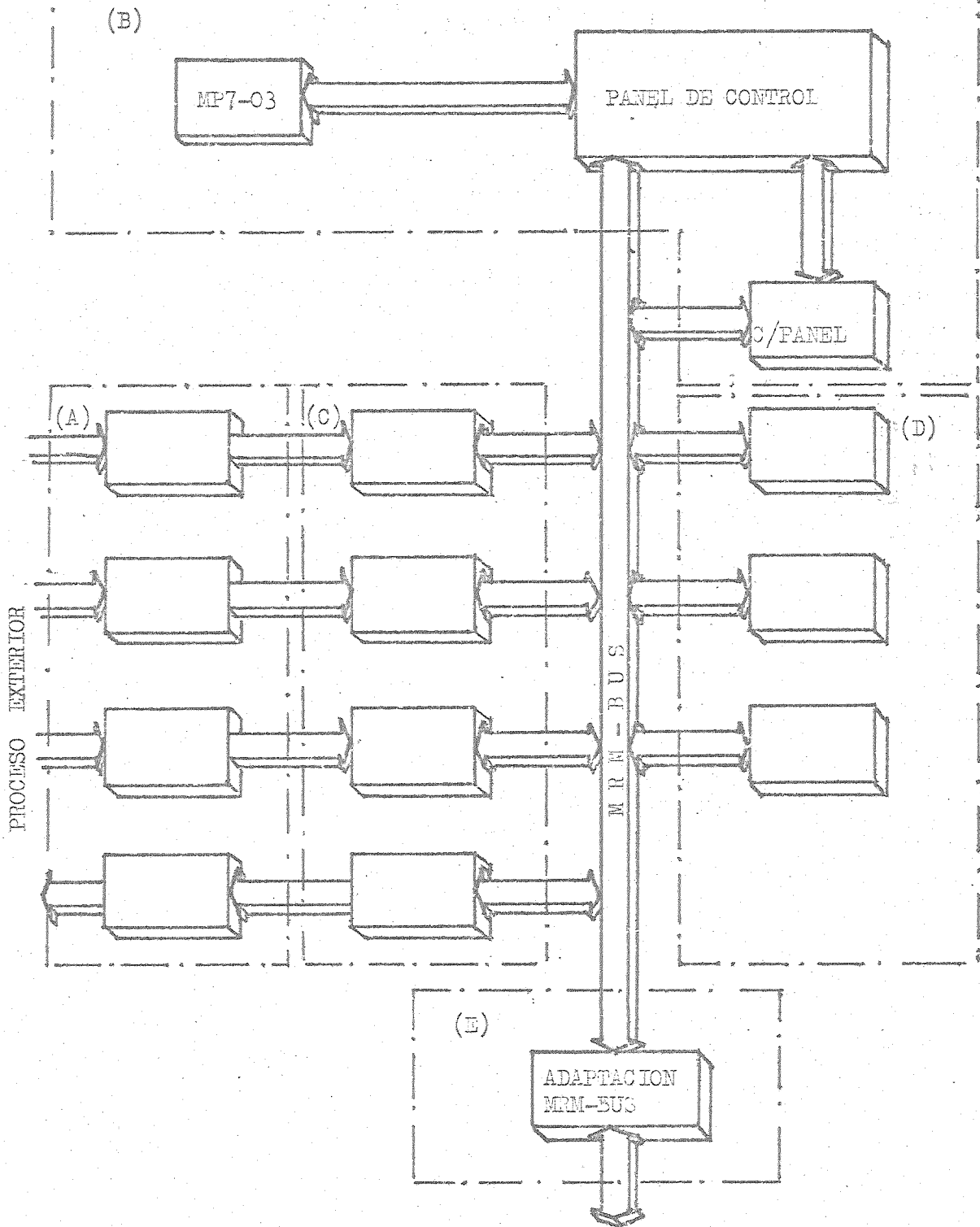


fig 4.1 MRM-80 B Diagrama de bloques.

de las que utilizaremos en cada proyecto unicamente las necesarias.

El prototipo según aparece detallado en la fig. 4.1 está organizado sobre la línea Bus a través de la que se controla todo el funcionamiento del mismo, según se detalla empleando la notación PMS ( Apéndice A.1) en la figura adjunta, correspondientes a las transferencias de datos (fig. 4.2) y líneas de control (fig. 4.3) del sistema.

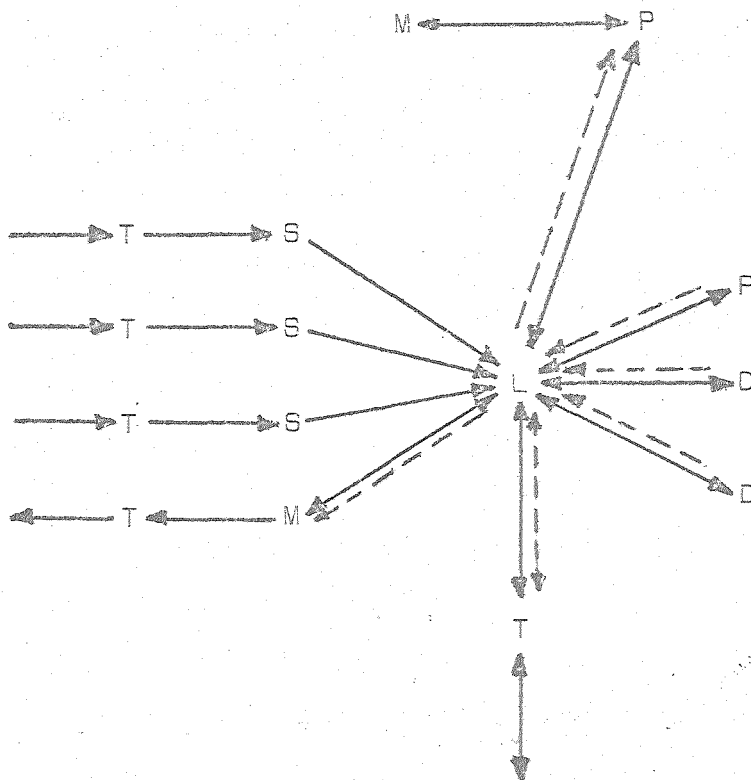


fig. 4.2 (líneas llenas )

fig. 4.3 (líneas detrazos )



Según aparece detallado en el diagrama de bloques representado en la fig. 4.1, las tarjetas están divididas en cinco grupos diferentes según la función asignada a las mismas :

- A) Tarjetas de adaptación de señales de entrada /salida, su función es realizar el filtrado de las señales procedentes del proceso y su normalización (Apartado 5.3.1) a niveles compatibles con los circuitos de las tarjetas de multiplexaje, mientras en las señales de salida que atacan accionadores en el proceso se realiza en dichas tarjetas una etapa final de amplificación de la señal para que alcance el nivel de potencia necesaria.
  
- B) Dicho bloque de tarjetas tiene por finalidad el facilitar el análisis y control de funcionamiento del sistema antes de su implantación definitiva en el proceso, así como permitir el desarrollo de futuros equipos. Se utiliza pues en la etapa de diseño y puesta a punto, por lo que su montaje mecánico debe permitir (apartado 4.4), una sustitución fácil.
  
- C) Se realizan a través del mismo todas las transferencias de datos y órdenes entre el proceso y el equipo de control ya que las tarjetas agrupadas en dicho bloque realizan la conexión a la línea bus interna de todas las señales procedentes del proceso, convirtiéndolas a un valor compati-

ble con los datos que circulan por la misma y el control gestionado por dicha línea Bus de todos los actuadores sobre el proceso.

Todos los módulos comprendidos en dicho apartado permiten una completa autonomía de funcionamiento que dota al sistema de un paralelismo de elevada eficacia en todas las transferencias. Punto vital en el control de procesos, donde la gestión de E/S absorbe normalmente un elevado porcentaje de la potencia de cálculo del equipo.

- D) Comprende dicho bloque todos los módulos operativos y controladores internos del sistema, cuya función abarca desde la realización de todas las operaciones aritmético lógicas y de almacenamiento necesarias hasta el control, de las transferencias a través de la línea bus interna del mismo.

Se incluyen dentro de dicho grupo también todos aquellos módulos controladores de periféricos, tales como lectoras, perforadoras de cinta, cassettes, impresoras, displays, etc. que existan en el sistema desarrollado, ya que los grupos A y C comprendían tarjetas adaptadas sólo a transferencias efectuadas con el proceso y no con nin -

gun otro tipo de periféricos, siendo tratados ambos problemas con total independencia entre sí.

- E) Su función es conectar el Bus interno del sistema a otras líneas standard de transferencias de datos similares a la misma o a cualquier otro elemento de cálculo más potente para el que pueda conectarse dicho equipo como un periférico adaptado a la resolución de determinados problemas específicos. En especial se ha estudiado el problema de adaptación a la línea Bus adoptada como standard para las transferencias entre instrumentos (ASCII Bus), (94) y al Buffer de E/S de determinados minicomputadores comerciales.

Para todos los bloques se ha definido la función global asignada, tratándose con detalle en el capítulo próximo la realización de las tarjetas comprendidas en los mismos.

#### 4.3.- Línea Bus, Conexiones.

El sistema está diseñado alrededor de una línea bus única a través de la cual se realizan todas las transferencias de datos entre los distintos módulos y las instrucciones necesarias para el control de los mismos.

Siguiendo la mecánica de control de transferencias previamente definida se ha construido el prototipo para el que se han montado (apartado 4-4) nueve conectores para módulos procesadores internos y cinco para las unidades de adaptación de entrada/salida.

Los módulos de adaptación de E/S están cada uno de ellos unido a un procesador capaz de realizar dicha función de comunicación con el proceso, estando todos los módulos internos conectados a través de una línea Bus única (MRM Bus) que recorre los nueve conectores señalados. Dicha línea Bus está realizada en parte mediante circuito impreso grabado sobre la tarjeta soporte de los diferentes módulos y en parte conectado mediante cableado según se detalla en la fig. correspondiente.

La tarjeta soporte de conectores lleva grabados ( o cableados) todas las señales y alimentaciones comunes a los distintos módulos y las líneas de comunicación con otros módulos es

pecíficos (adaptación de señales de E/S) y Panel de control con la tarjeta de programación de memorias. La relación de conexiones que constituyen la línea Bus están reflejadas en la tabla 4.1, mientras que la 4.2 representa los puntos en que aparecen las distintas líneas de alimentación.

Pin Nº	Tipo conexión	Identificación	Función
7-8	G	BA(0)	Línea Bus de datos
9-10	G	BA(1)	
11-12	G	BA(2)	
13-14	G	BA(3)	
15-16	G	BA(4)	
17-18	G	BA(5)	
19-20	G	BA(6)	
21-22	G	BA(7)	
31	W	BB(0)	Línea Bus de direcciones
32	W	BB(1)	
33	W	BB(2)	
34	W	BB(3)	
35-36	G	BB(4)	
37-38	G	BB(5)	
39-40	G	BB(6)	
41-42	G	BB(7)	
43-44	G	BC(0)	Control transferencias
45	W	BC(1)	
47	W	BC(2)	Línea Bus de control
49	W	BC(3)	
51	W	BC(4)	
53	W	BC(5)	Control configuración
55	W	BC(6)	
57	W	BC(7)	

Tabla 4.1.

conexiones MRM - Bus

Pin Nº	Tipo conexión	Identificación	Función
1,2,3,4	G	V1	Alimentación circuitos lógicos ( 5 v)
25-26	G	V2	Tensión negativa micro (10 v).
27-28	G	V3+	Alimentación circuitos analógicos y convertidores.
29-30	G	V3-	
117, 118 119, 120	G	GND	Plano de cero voltios

Tabla 4.2. Alimentaciones.

Todas las alimentaciones van realizadas por pistas grabadas sobre la tarjeta según la relación dada en la tabla anterior, donde se indica unicamente el valor de las mismas, detallándose sus características en el apartado 4.5.

El cableado entre los diferentes módulos es standard, pudiendo cada tarjeta colocarse internamente en cualquier posición, salvo aquellas que tienen comunicación con el proceso, viniéndoles su po

CP-1 } CP-2 } CP-3 } CP-4 }	65 66 : 113 114	{ CA-1 } { CA-2 } { CA-3 } { CA-4 }	11 13 : 107 109		Conexión de E/S des pués del filtrado.
CA-1 } CA-2 } CA-3 } CA-4 }	12 14 : 108 110	{ CE-1 } { CE-2 } { CE-3 } { CE-4 }	1 2 : 49 50		Conexión de E/S directa al exterior.
	7-8 9-10 11-12 13-14 15-16 17-18 19-20 21-22  31 32 33 34 35-36 37-38 39-40 41-42  Línea 43-44 45 47 49 51 53 55 57	CA-5  CA-5  CA-5	21 23 25 27 29 31 33 35  39 37 43 41 45 47 49 51  53 57 61 65 69 73 77 81	BA-0 BA-1 BA-2 BA-3 BA-4 BA-5 BA-6 BA-7  BB-0 BB-1 BB-2 BB-3 BB-4 BB-5 BB-6 BB-7  BC-0 BC-1 2 3 4 5 6 BC-7	} Adaptación MRM-BUS al exterior.  } DATO   } INSTRUCCION   } CONTROL
CA-5	12 14  108	CE-5	1 2  49		LINEA BUS EXTERNA (Conexión a otro elemento de cálculo).

sición ya fijada por el cableado existente con los correspondientes sensores o actuadores.

Dentro de los conectores tenemos definidas las conexiones mediante las figs. 4.3 y 4.4 . En la primera aparece la placa soporte de la línea Bus con las señales correspondientes a la misma identificadas en el plano, los bloques señalados en los conectores CP1, CP2, CP3 y CP4 (Pin 65 a Pin 114) son los conectados según aparece representado en la fig. 5.3.2 con las tarjetas situadas en los conectores CA1, CA2, CA3 y CA4 que van unidos a los conectores correspondientes de comunicación con el exterior ( conectores DE ). El conector CP-9 tiene un bloque de contactos (61 al 80) , que van cableados al panel de control como señales suplementarias del mismo.

Todo el cableado no detallado en la tabla previa correspondiente a la línea Bus aparece representado en la tabla 5.3.3 adjunta.



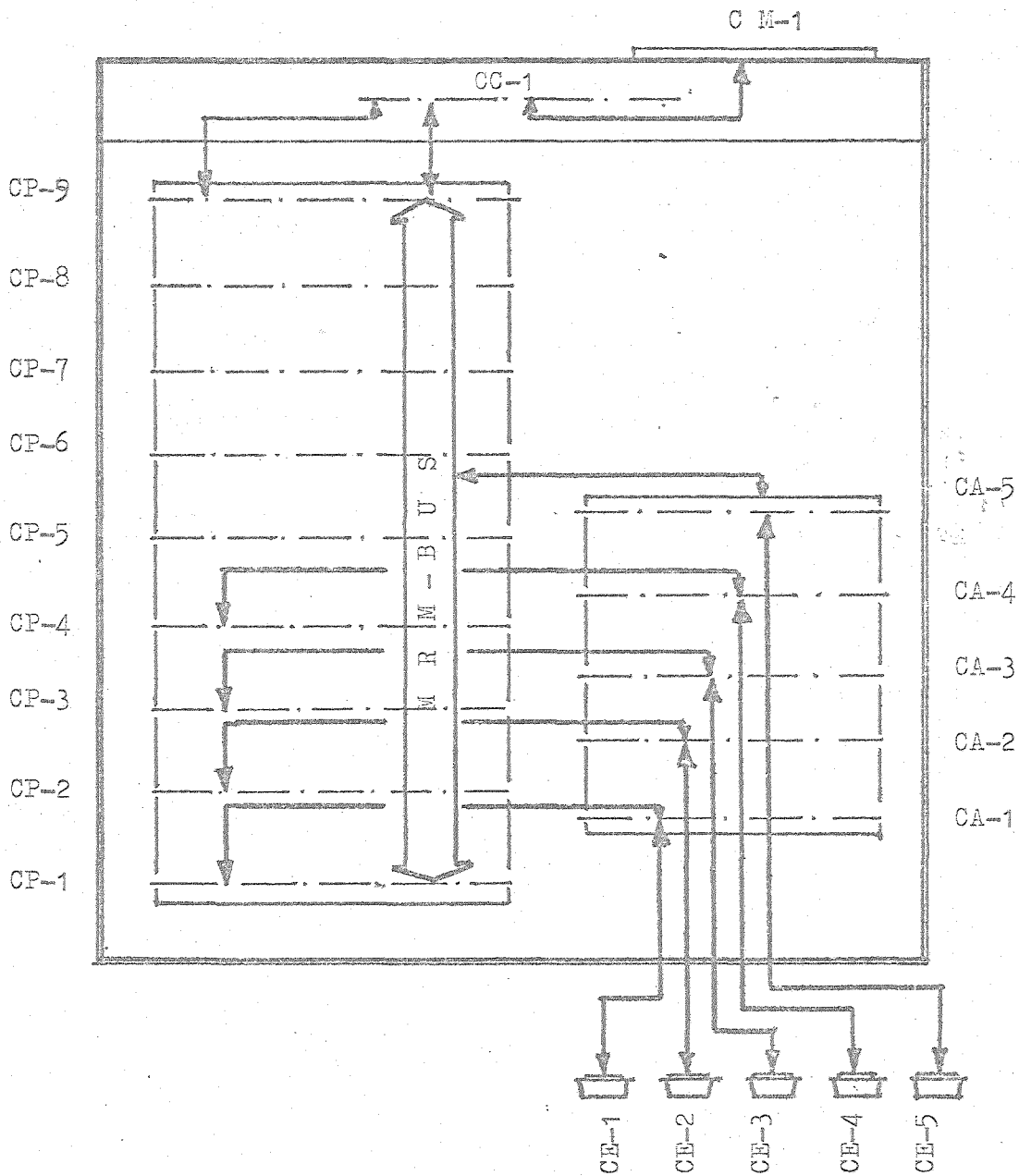


fig . 4.4 Cableado entre tarjetas (vista superior)

Una vez detallado dicho cableado externo se posee información suficiente para la construcción de los distintos módulos, no se detalla el cableado correspondiente a los módulos situados en los conectores CC-1 (Panel de control) y CM-1 (programación de memorias) ya que siendo utilizado de forma específica no se prevee el modificarlos ni diseñar otros que lo sustituyan, la información suplementaria correspondiente a los mismos aparece en los planos constructivos.

#### 4.4. Montaje. Soluciones mecánicas.

Para el montaje según se ve en las fotografías adjuntas se ha utilizado un módulo de soporte de conectores sobre el que - van montados.

- a) 9 conectores SAE CPH 7000 - 120 de 120 contactos para tarjetas enchufables correspondientes a los procesadores internos.
- b) 5 conectores SAE CPH 7000 - 120 de los que cuatro corresponden a la etapa de adaptación de E/S y el quinto a la tarjeta de adaptación MRM-Bus.
- c) 1 conector para el panel frontal que es opcional en el equipo.
- d) 1 conector VPB01E36 de 72 contactos para la conexión de la tarjeta de programación de memorias. Tarjeta cuyo montaje se realiza por el frontal del equipo.
- e) Un condensador Sprague 36 D conectado a la alimentación - del conector correspondiente al módulo de programación de memorias.

Dichos conectores están unidos mediante la línea Bus según se detalla en el apartado anterior y al exterior a través de 5 conectores Sourian PD 50 p montados en la parte posterior del módulo, conectores mediante los cuales se realizan todas las transferencias de información y órdenes entre el equipo y el proceso.

La inversión de las tarjetas se realiza verticalmente, existiendo unas guías de plástico para su alineación con los conectores, respetándose en todas estas la modularidad de mecánica necesaria para permitir fácilmente la intercambiabilidad definida como condición básica en el diseño estructural del equipo.

#### 4.5. Alimentaciones.

La alimentación del prototipo MRM-80 B se realiza mediante un módulo externo al mismo que genera las tensiones necesarias, solución que se ha adoptado para facilitar el montaje mecánico de los distintos módulos que por su condición de prototipo, estando algunas realizadas mediante wire-wrapp exigen un elevado espacio.

Todas las alimentaciones están cableadas a la regleta externa conservando una completa autonomía entre las mismas según se detalla en la tabla adjunta.

IDENT.	VALOR	FUNCION
$V_4 +$	5 v cc	} Tarjetas de filtro y adaptación al exterior.
GND <sub>1</sub>	0 V	
$V_1$	5 V cc	} Módulos procesadores
$V_3 +$	+15 V cc	
$V_3 -$	-15 V cc	
$V_2$	-10 V cc	
GND <sub>2</sub>	0 V	
$V_5$	-50 V ac (RMS)	} Programación memoria

Dichos valores se han adoptado de acuerdo con los filtros previstos y los circuitos lógicos empleados, (en el prototipo actual no se realiza una regulación interna en las tarjetas). Las intensidades máximas y características de regulación y rizado son modificables por lo que no se detallan.

## CAPITULO 5.

### MODULOS OPERATIVOS, REALIZACION Y FUNCIONAMIENTO .

En dicho capítulo se detallan los diferentes módulos que componen el prototipo MRM-80 B, especificando su función, forma de operación, relación de componentes y montaje de los mismos. Completándose el capítulo con un análisis de los problemas y posibilidades del equipo conectado a un minicomputador universal.

### 5.1. Tipos de módulos, función que realizan.

Según se detalla en el apartado 4.2., todos los módulos empleados tienen una forma de conexión similar sobre la línea Bus (MRM Bus), distinguiéndose en el prototipo actual varios bloques de tarjetas agrupadas de acuerdo con la función específica asignada a las mismas. Se procede a continuación a detallar los módulos realizados actualmente para los que se han impuesto varias condiciones generales comunes a todos ellos.

Cada módulo definido como una unidad independiente en todos los estudios anteriores ha sido montado sobre una tarjeta enchufable sobre la estructura de base del equipo, pudiendo montarse sobre una tarjeta universal cableada mediante "wire-wrapp" o sobre una placa de circuito impreso diseñada expresamente, conservando todas ellas según se detalla en el apartado 5.2 las mismas dimensiones externas y el tipo de conector.

Las tarjetas de adaptación de entradas/salidas (Bloque A) realizan una función de protección, filtrado y normalización de entradas habiéndose estudiado diversos circuitos pero montando en el prototipo actual las tarjetas 80 B/A01 que realizan la conexión directa de los módulos de multiplexaje y demultiplexaje con el exterior.

La programación de memorias se realiza mediante la tarjeta MP 7 - 03 utilizándose las mismas (intel 1702 A) para la micro



programación de los distintos módulos, dicho grupo (Bloque B) que da complementado por el panel de control que auxiliado por el módulo de pruebas permite la gestión y observación del funcionamiento interno del equipo.

Las tarjetas del multiplexaje de entrada tanto para señales de tipo digital como analógico se realizan mediante componentes de estado sólido, conectándose a la línea Bus mediante circuitos de lógica 3 estados según se detalla así como su estructura interna en el apartado 5.3.3., donde también se incluye el funcionamiento y montaje de los registros de salida, módulo que con los anteriores constituye la unidad de E/S de comunicación con el proceso al que se conecta mediante los módulos de adaptación y filtrado.

La función de control de la línea Bus y realización de las operaciones aritmético-lógicas y de almacenamiento del sistema, está asignada a las tarjetas agrupadas en el Bloque D, las que pudiendo ser de naturaleza muy diferente mantienen todas ellas el principio de modularidad tanto de arquitectura como mecánico impuesto, utilizando los mismos mecanismos y control de las transferencias internas. Dicha función queda complementada para la posibilidad de ampliación del equipo limitada en el prototipo actual por consideraciones mecánicas, mediante la tarjeta de adaptación de la línea Bus interna al exterior, adaptación que permite no sólo la conversión de niveles lógicos que posibilite la compatibilidad con otros equipos, sino también la adaptación a otras líneas Bus standard o unidades de E/S de otros elementos de cálculo más potente para ser utilizado como periférico de los mismos.

El presente informe tiene por objeto el estudio de la actividad de los empleados de la planta de fabricación de la ETSII de Sevilla, durante el periodo comprendido entre el 1 de enero de 1974 y el 31 de diciembre de 1974.

Para el estudio se han utilizado los datos obtenidos de los registros de asistencia y de los datos de producción de cada uno de los empleados, así como los datos de los salarios percibidos.

Los datos de asistencia se han obtenido de los registros de asistencia de la planta de fabricación, y los datos de producción de los registros de producción de cada uno de los empleados.

Los datos de salarios se han obtenido de los registros de salarios de la planta de fabricación.

Los datos de asistencia se han clasificado en función de la actividad realizada durante el periodo de estudio, y los datos de producción se han clasificado en función de la actividad realizada durante el periodo de estudio.

Los datos de salarios se han clasificado en función de la actividad realizada durante el periodo de estudio.

Los resultados del estudio se han resumido en el presente informe, y se han presentado en forma de gráficos y de tablas.

Los gráficos muestran la evolución de la actividad de los empleados durante el periodo de estudio, y las tablas muestran los datos de asistencia, de producción y de salarios de cada uno de los empleados.

Los resultados del estudio indican que la actividad de los empleados de la planta de fabricación de la ETSII de Sevilla, durante el periodo comprendido entre el 1 de enero de 1974 y el 31 de diciembre de 1974, ha sido bastante regular, y que los datos de asistencia, de producción y de salarios de cada uno de los empleados, se han mantenido bastante estables durante el periodo de estudio.

B	C	D	E	F	G	H	I	J	K	L	M	N	O	P	Q	R	S	T	U	V
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21



La conexión de los periféricos necesarios a conectar al sistema se realiza a través de los módulos definidos en el bloque D, quedando los bloques de E/S limitados a comunicación con el proceso.

## 5.2.- Montaje. Tarjetas empleadas

Como se trata de un prototipo en el que interesa una flexibilidad de montaje lo más elevada posible, se han implementado la mayoría de los módulos sobre tarjetas universales, tales como las representadas en las fig. 5.1 y 5.2, adjuntas, tarjetas que van montadas en el equipo según se detalla en los apartados 4.3 y 4.4.

Algunos módulos simples en que no se prevee la necesidad de modificaciones futuras, han sido realizados sobre circuito impreso conservando las mismas dimensiones y tipo de conector que las tarjetas universales, siendo por tanto intercambiables entre sí. En el prototipo actual se han grabado algunas tarjetas de multiplexaje digital (Apartado 6.3.3).

Las tarjetas universales según se ve en las figuras adjuntas permiten una completa libertad en la situación dentro de las mismas de los diferentes tipos de circuitos integrados encapsulados en D.I.L. (Dual in Line) y otros circuitos híbridos o componentes discretos necesarios. Realizándose la conexión de dichos elementos mediante "wire-wrap" (cable enrollado), técnica que permite una elevada densidad de componentes por módulo y una gran flexibilidad para

modificaciones.

Se ha previsto también la posibilidad en los mismos de situar un regulador (en capsula TO-3) por cada grupo de circuitos para evitar ruidos en las alimentaciones (apartado 5.5), opción -- que es fácil añadir o eliminar de los distintos módulos.

### 5.3. Clasificación.

Se detallan a continuación los distintos módulos desarrollados en el prototipo actual agrupados según los bloques descritos al definir la arquitectura del sistema, por lo que aparecen agrupadas por funciones que realizan según el siguiente orden :

- Tarjetas de filtrado y normalización de entradas para las que se discuten los diferentes tipos de montajes probados justificando la elección final adoptada
- Etapa de salida para resolver el problema de adaptación de potencia entre los circuitos lógicos y los actuadores del proceso enumerando las diferentes soluciones posibles.
- Adaptación de la línea Bus interna a otros equipos tales como instrumentos que permitan conexión modular o Mini-computadores universales.
- Tarjetas de selección de entradas (analógicas y digitales).

- Módulos de control de salidas con memorización de órdenes y posibilidad de conversión a magnitudes de tipo analógico.
- Controladores y módulos aritmético-lógicos cuya gran diversidad se discute detallando algunas de las configuraciones probadas.
- Unidades de control externo y desarrollo de microprogramas para futuros módulos.

Dichas tarjetas están detalladas en los apartados que siguen complementándose el estudio de las mismas con la descripción de los elementos auxiliares empleados en el desarrollo y prueba de las mismas.

### 5.3.1.- Filtrado y adaptación de entradas y salidas

La conexión entre los circuitos internos de cualquier elemento de cálculo conectado a un proceso y los sensores del mismo es un punto que en cualquier diseño exige un estudio detallado por los problemas que las inducciones y ruidos procedentes del exterior pueden originar. Problemas que pueden no sólo falsear de forma apreciable todos los cálculos realizados, sino que incluso pueden llegar a dañar de forma permanente los circuitos internos, dicha protección realizada para las entradas hay que considerarla también en la etapa de salida, ya que normalmente los actuadores conectados al proceso necesi

tan un nivel de potencia muy superior al máximo alcanzable por los circuitos propios de cálculo por lo que es necesaria una etapa intermedia de potencia para permitir la adaptación entre ambos.

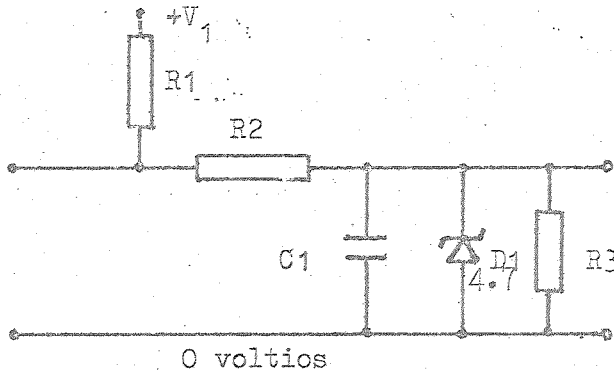
El estudio de la adaptación de señales entre el proceso y el órgano de control permite en el proyecto actual un análisis completamente independiente del resto del equipo (módulos tipo A) para el que se han realizado un número elevado de pruebas al objeto de tener soluciones adaptables a las necesidades de cada instalación específica. Se hace a continuación una ligera descripción de los distintos montajes probados dividiendo el problema en tres partes completamente independientes que agrupan el filtrado y protección de las señales de tipo digital para diferentes señales de entrada, el filtrado y normalización de las señales de tipo analógico procedentes de los distintos captores y la etapa de salida de potencia con las diferentes soluciones basadas en componentes de estado sólido o electromecánico.

#### 5.3.1.1.- Protección de entradas digitales.

Las señales de entrada de tipo digital en todo proceso suelen proceder de contactos libres de tensión o conmutados entre voltajes determinados que representan los niveles de ambos estados lógicos. El reducido margen de ruido y la elevada impedancia de -

entrada de los circuitos lógicos tanto si empleamos TTL como C/MOS impide su utilización como receptores directos de las señales procedentes del campo, señales que pueden alcanzar en ambientes críticos (subestaciones, barcos, etc) varias decenas de voltios debido a inducciones procedentes de líneas próximas. Para evitar los efectos de las mismas se han probado los montajes siguientes :

- Red de componentes discretos según el montaje adjunto



Para el cual se han probado los componentes detallados en la tabla siguiente para entradas procedentes de contactos libres de tensión.

V <sub>1</sub>	R <sub>1</sub>	R <sub>2</sub>	R <sub>3</sub>	C	Tiempo de respuesta
24 v	3,9 K	20 K	3 K	0,22 μF	0,35 m s.
24 v	3,9 K	20 K	3 K	0,7 μF	1 m s
24 v	3,9 K	20 K	3 K	2,2 μF	3,5 m s
24 v	3,9 K	20 K	3 K	2,2 μF	3,5 m s

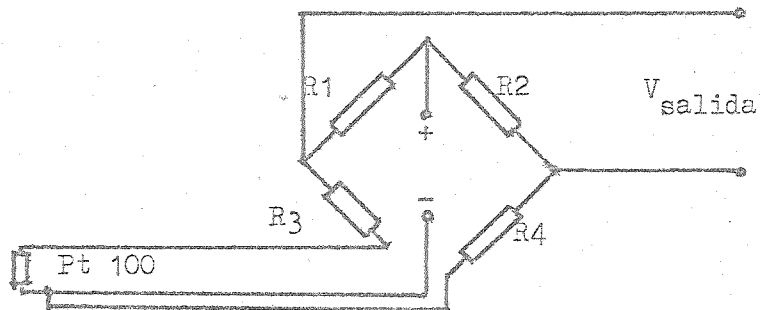


- Utilización de fotoacopladores para señales procedentes de contactos conmutados entre tensiones, para las que se han probado diversos tipos consiguiendo una separación galvánica completa entre el equipo y el proceso.
- Receptores de línea, empleando el LM 1489A como elemento de base en los mismos.

5.3.1.2.- Filtrado de señales analógicas.

La normalización de los diferentes tipos de señales analógicas es una etapa previa a la conversión de la misma a un valor digital, para la que dentro del amplio campo existente se han estudiado los circuitos necesarios para adaptar las señales procedentes de transductores de muy diversa índole a la etapa de multiplexaje. Analizándose señales procedentes de :

- Termoelementos conectados mediante un puente diferencial con tres hilos por punto ( fig. adjunta ).



- Termopares como ejemplo típico de señales de bajo nivel  
( 0 - 30 mv )
- Señales de intensidad y tensión de diferentes niveles.

Para las mismas se han probado diversos filtros con po los multiples activos y pasivos ( Butterworth, Tchebyscheff... ) sobre los que existe abundante bibliografía, por lo que no se de tallan los montajes ni resultados alcanzados.

#### 5.3.1.3.- Salida de potencia .

Se ha hecho un simple estudio de síntesis de las distin tas soluciones basadas en componentes de estado sólido y electro- mecánicos, analizando con detalle las posibilidades de las mismas, especialmente de relés tipo reed y estado sólido.

#### 5.3.2. - Adaptación MRM - BUS a otros equipos.

La función de dicho módulo es permitir la interacción del equipo con otros basados en mecanismos de control diferentes reali- zando la adaptación entre ambos, su función no es la de un módulo - de conexión tal como los definidos en el capítulo 3 que permiten la

composición reticular de sistemas complejos, ya que estos sólo actúan en sus configuraciones como generadores o receptores pero nunca conectan controladores de estructuras diferentes, lo que se puede conseguir mediante tarjetas de adaptación únicamente ya que las mismas tienen por finalidad poner en comunicación los controladores de un sistema dado con otros órganos de cálculo permitiendo a ambos actuar de forma análoga desde el punto de vista interno de selección y control de transferencias.

También puede realizar dicho módulo una simple conversión de niveles lógicos pasando a otros con umbral de ruido más elevado si entre los componentes conectados a una misma línea Bus existen condiciones de tipo eléctrico que lo justifiquen (elevada distancia, altas inducciones...), siendo en dicho caso un mero combinacional que puede proporcionar una separación galvánica completa entre módulos distantes. En el prototipo actual se ha realizado una tarjeta que realiza la conexión directa de la línea Bus al exterior (tipo 80 B/A01) para permitir mediante el panel de pruebas el control directo de la misma.

### 5.3.3.- Multiplexaje y registros de salida.

La función de los módulos agrupados dentro de este apartado es la de seleccionar de las señales procedentes del proceso

aquellas que en cada instante pasaran a los módulos operativos a través de la línea Bus (tarjetas de multiplexaje) y controlar los registros de salida (tarjetas de demultiplexaje).

Las señales procedentes del proceso sometidas a ruidos inducidos pasan como se ha detallado en el apartado 6.3.1 a través de unos módulos de filtrado y protección de entradas, por lo que en el estudio que sigue no se considera dicho aspecto que se da por resuelto para las señales de tipo tanto analógico como digital.

Las salidas hacia el proceso deben analogamente tener una última etapa de potencia en que bien mediante elementos electrónicos (relés) o componentes de estado sólido puedan controlar directamente el proceso, problema normal en cualquier tipo de aplicación de control directo digital (DDC), Williams (91). Dicha etapa final de potencia ha sido tratada de forma independiente, permitiendo su modularidad una completa y fácil adaptación a las necesidades de cada sistema.

Se detallan, a continuación los diferentes tipos de tarjetas realizadas, partiendo de señales libres de ruidos y terminando en una salida capaz de gobernar la etapa final de potencia.

### 6.3.3.1.- Multiplexaje digital.

Las tarjetas de multiplexaje digital realizadas en el prototipo no tienen autonomía en la gestión de la información - procedente del exterior, siendo un simple circuito combinatorial realizado con circuitos integrados que se pueden implementar tanto con TTL como C/MOS y cuya función es conectar a la línea Bus interna un dato de 8 bits entre los ocho existentes a la entrada de la misma.

Por la velocidad de funcionamiento tan elevado de dicho módulo, carece de sentido el incorporarle a la tarjeta la capacidad de realización del muestreo de las entradas de forma autónoma, si bien la configuración del sistema lleva prevista dicha posibilidad por lo que la realización de un módulo más complejo dotado de dicha autonomía no afectaría para nada a la estructura del resto del sistema.

La descripción de dicha tarjeta empleando el lenguaje PMS utilizado a lo largo del presente trabajo aparece en la fig. 5.3 adjunta, donde la información procedente del proceso (previamente filtrada) es convertida a niveles lógicos ( transductores T), siendo seleccionada mediante los ocho interruptores (s) que aparecen controlados por las tres líneas de selección interna, líneas que sufren una decodificación previa a su actuación sobre los interruptores.

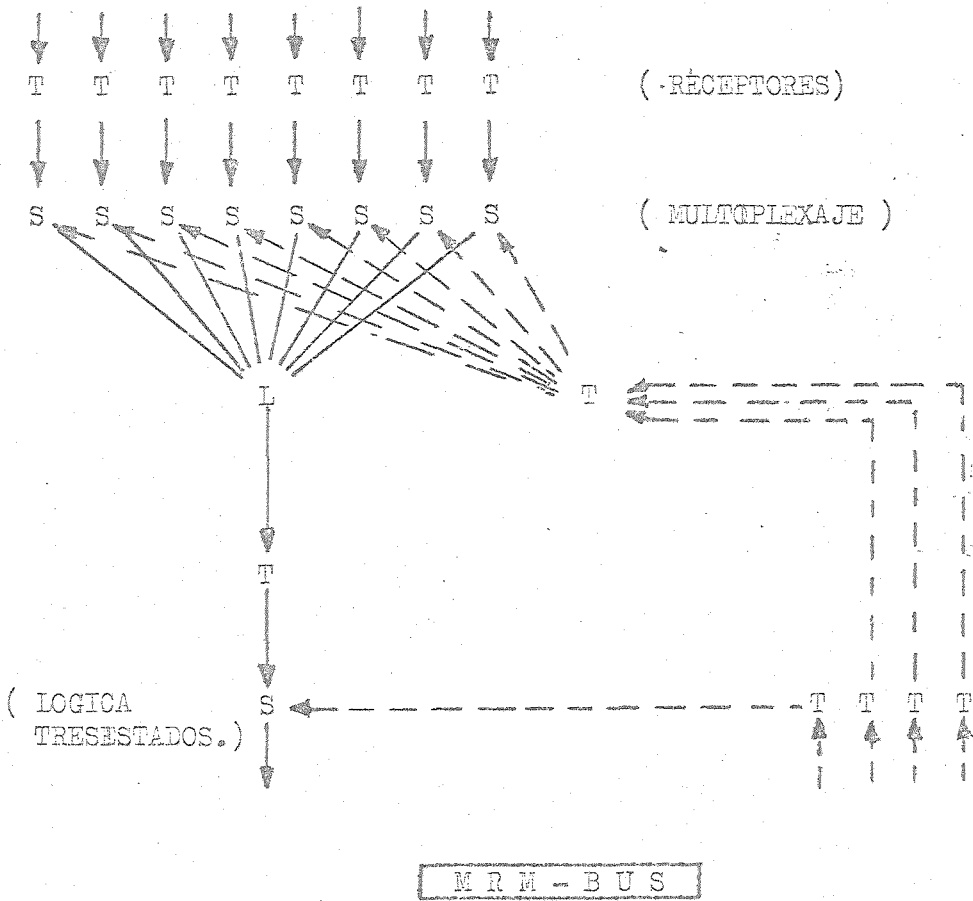


Fig. 5.3.

En dicha figura está representado el multiplexaje correspondiente a un sólo bit de la información, por lo que la transferencia de información (líneas continuas) aparecerá repetida ocho veces dentro de la tarjeta, mientras la parte de control (líneas de trazos) será única actuando de forma similar sobre todos ellos.

La tarjeta ha sido realizada de acuerdo con la función descrita en la fig. 5.3 y según el siguiente diagrama de bloques basado en los circuitos reales existentes en el mercado, punto sobre el que la descripción en lenguaje PMS previa no impone ninguna restricción.

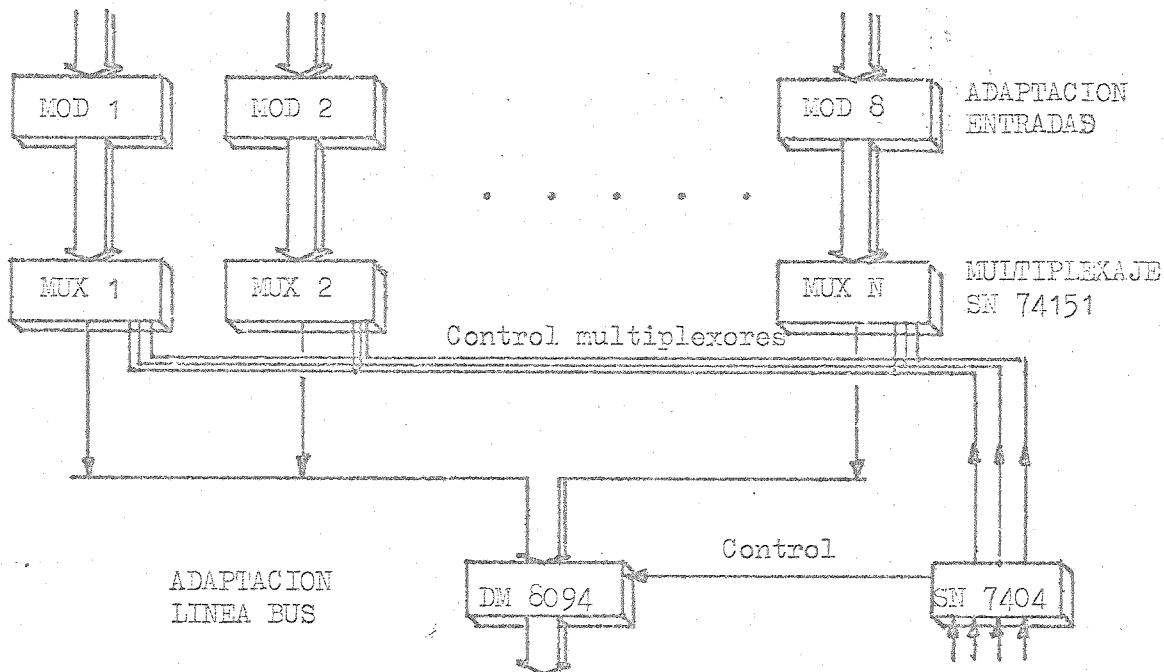


Fig. 5.3

Relación de componentes :

8	SN 74151
1	SN 7404
2	DM 8094
128	Resistencias
4	Condensadores

En dicho plano (aparte ) correspondiente al cableado de la tarjeta de multiplexaje digital se han representado todas las conexiones entre los distintos circuitos, detallando para la misma la posición de todas las señales en el conector situado sobre la tarjeta soporte de la línea Bus. Si bien aparecen en dicha tarjeta representadas 64 líneas de entrada, éste se ha hecho únicamente para utilizar las posibilidades que ofrecen los circuitos empleados, ya que como se detalla en el apartado 4.3 el prototipo actual tiene unas conexiones de E/S de 50 líneas, que son por tanto las únicas utilizables de las existentes en la tarjeta. Para evitar problemas en las no conectadas se ha previsto la etapa de adaptación de entradas detallada en los planos de cableado.

Para el montaje de dichos módulos de multiplexaje digital se han utilizado una tarjeta de circuito impreso grabada por ambas caras y de tamaño igual al de las tarjetas universales descritas en el apartado 5.2. Dicha tarjeta aparece representada en las fig. (5.4) y (5.5) correspondiéndose su cableado al detallado en el plano (apt). En dicho montaje y por tratarse de un prototipo, se han montado los circuitos sobre zócalos para permitir una fácil sustitución e intercambiabilidad de los mismos, punto que permite el fácil desarrollo de las pruebas realizadas.



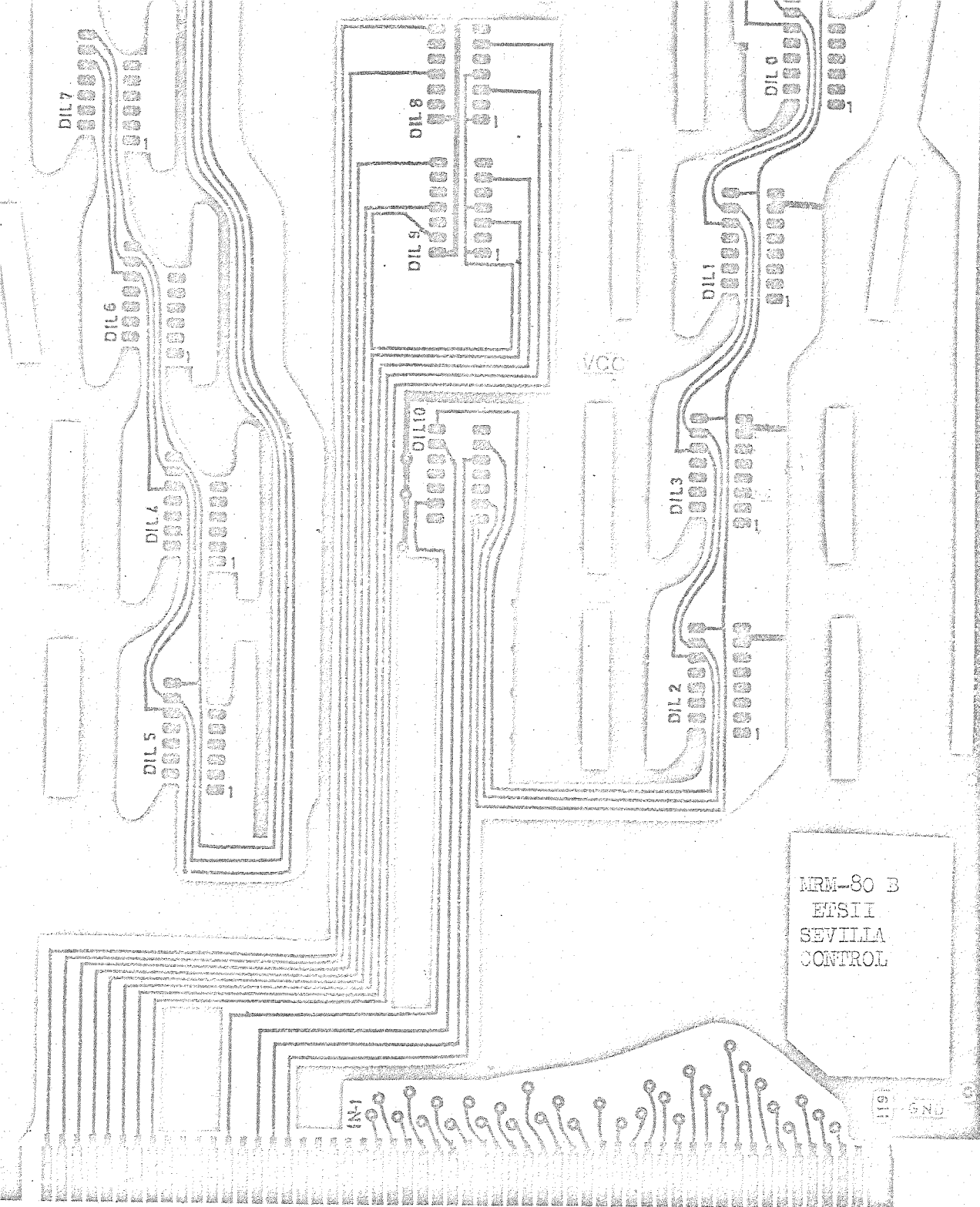


fig 5.4 Tarjeta de multiplexaje digital (cara 1)

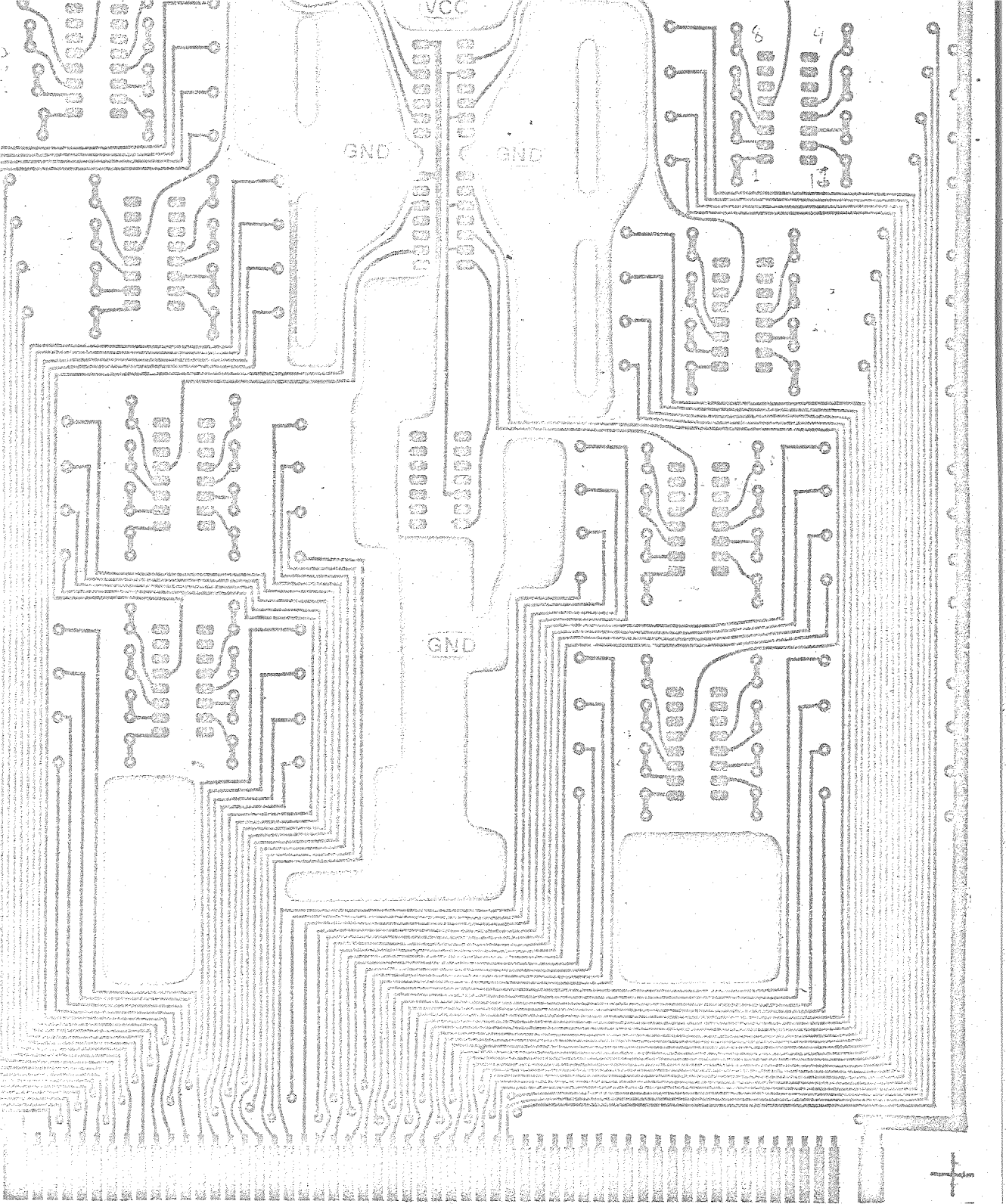


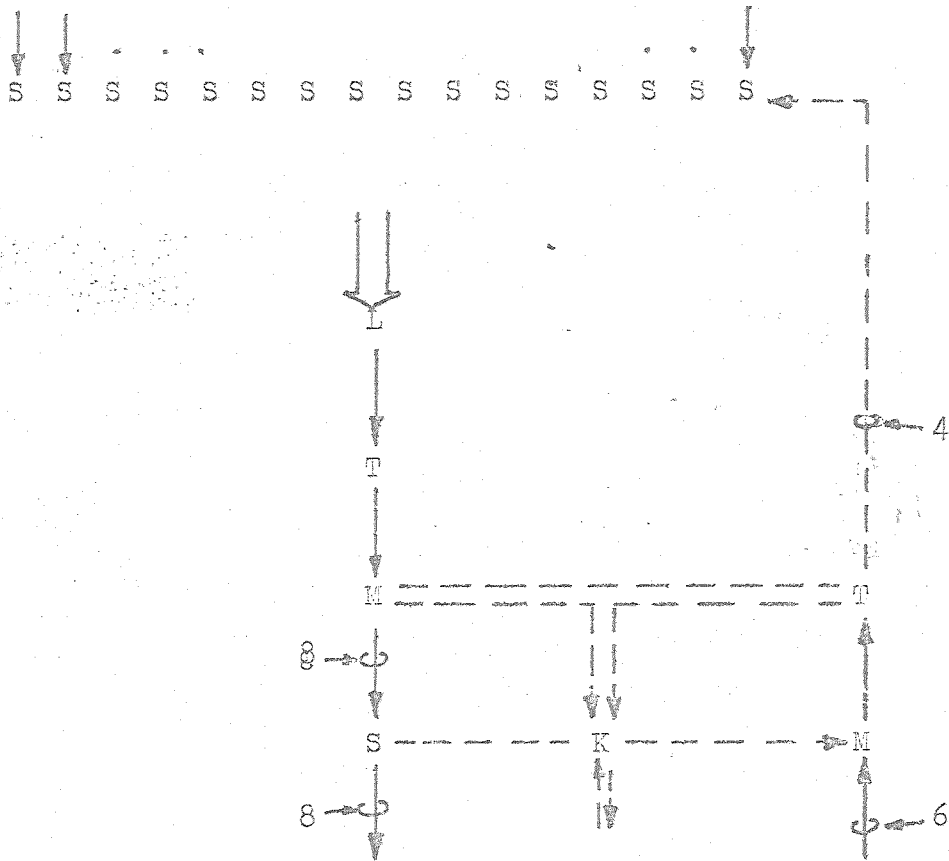
Fig 5.5 Tarfeta de multiplexaje digital (cara 2)

### 5.3.3.2.- Multiplexaje analógico.

Dichas tarjetas deben realizar la selección de una variable analógica de entrada y su conversión en una magnitud digital codificada en 8 bits compatible con el resto de las informaciones a transmitir por la línea Bus del equipo, ya que sobre la misma no se trata directamente ninguna información de tipo analógico.

Las entradas procedentes del exterior son 16 por cada módulo, teniendo un nivel de entrada de 0 - 10 Vcc libres de ruidos e inducciones externas, ya que las mismas han sido previamente tratadas en una tarjeta de filtrado y normalización cuya función, según se detalla en el apartado 5.3.1.2 es doble, ya que realiza el filtrado de las señales procedentes directamente del campo y la normalización de las mismas a valores de tensión comprendidas entre los límites señalados previamente. No hay que olvidar que dichas señales procedieran de captores de muy diversa índole en los que la magnitud eléctrica correspondiente a la variable física a medir puede ser una tensión, intensidad o resistencia de límites de variación muy diferentes, por lo que dicha etapa intermedia es completamente necesaria pudiendo tratarse con completa independencia del multiplexaje posterior.

La velocidad de funcionamiento vendrá limitada en el tratamiento de señales de tipo analógico por dos puntos críticos inexistentes en el multiplexaje de señales digitales : el tipo de



M R M - B U S

Fig. 5.6

Módulo que ha sido implementado sobre tarjeta universal cableada con wire-wrapp para facilitar las modificaciones y pruebas en la misma. Los componentes empleados aparecen detallados en el apéndice A - 2 que complementa los planos de cableado realizados.

conmutador escogido ( estado sólido o relé ) y el convertidor analógico - digital utilizado. En general la velocidad de funcionamiento de las mismas será considerablemente más lenta que en el tratamiento de señales digitales, por lo que se ha considerado interesante analizar la arquitectura interna de dicho módulo y previamente a la elección de los componentes necesarios para su implementación, el dotarlo de autonomía suficiente para que realice la selección de medida y la conversión analógico - digital sin más comunicación con el resto del equipo que la información al mismo de cuando ha alcanzado el valor correcto ( fin de operación ) y la gestión de la transferencia de dicho dato al modulo correspondiente. Dicha configuración permite un completo paralelismo entre un número practicamente ilimitado de módulos similares.

Empleando la notación PMS aparece en la fig. 5.6., detallada la estructura interna de dicha tarjeta, la cual está formada basicamente por un grupo de multiplexores analógicos que atacan a un convertidor analógico - digital de 8 bits, estando ambos bloques y el registro de entrada controlados por una pequeña unidad de control que gestiona las transferencias sobre la línea Bus.

5.3.3.3.- Demultiplexor con registros de salida.

El control de los múltiples actuadores que gestionan el funcionamiento del proceso debe realizarse a través de módulos conectados a la línea Bus interna cuyo formato de datos es de 8 bits. Dicha función es la realizada por las tarjetas de demultiplexaje - que se han implementado mediante el circuito DM 74155 que funciona según la tabla de verdad adjunta.

DM 74155

ENTRADAS				SALIDAS							
SELEC.			STROBE	(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)
C	B	A	1G-2G	2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
X	X	X	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H
L	H	L	L	H	H	L	H	H	H	H	H
L	H	H	L	H	H	H	L	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	L	H	H
H	H	L	L	H	H	H	H	H	H	L	H
H	H	H	L	H	H	H	H	H	H	H	L

Dicho decodificador selecciona a partir del direccionamiento codificado en binario uno de los cuatro registros de 8 bits de salida, registros que materializados por Biestables "latches" - (7475) están implementados sobre una tarjeta de circuito impreso universal cableada con wire wrapp.

En la etapa de salida se han conectado Buffers (7406) según se representa en la fig. 5.7 adjunta para evitar que reflexiones en líneas de salida puedan darnos lugar a errores al hacer cambiar de estado los biestables.

#### 5.3.4.- Módulos controladores y Aritmético - lógicos.

Dentro de dicho apartado se incluyen una gran cantidad de módulos operativos que constituirán los elementos básicos para la implementación de cualquier sistema complejo, todos ellos adaptados a la normalización impuesta en las transferencias y codificaciones de datos podrán comunicarse según la arquitectura propuesta.

Actualmente se han definido los algoritmos y diseñado los módulos considerados como más necesarias en aplicaciones de control de procesos, modelos que deberan ser complementados siguiendo la tendencia actual de sistemas con otros que resuelvan mediante su especialización los problemas específicos de cada proyecto . Se han considerado los siguientes módulos :

- Unidad de memorias, basado en memorias estáticas canal N , (Intel 2102 de elevado nivel de integración y fácil adaptación al resto del sistema.
- Unidad aritmética microprogramada con capacidad para operar en coma flotante.

- Unidad lógica incluyendo todos los tipos de test necesarios para facilitar al máximo el tratamiento de informaciones binarias.
- Microprocesador basado en el 4004 de intel con capacidad para la realización de operaciones aritméticas y el control del resto de los módulos

Tarjetas para cuya implementación futura en el prototipo actual se utiliza el pequeño controlador realizado que a través de las tarjetas de E/S y mediante la consola de pruebas permitirá el fácil desarrollo de las mismas.

#### 5.4.- Control externo y desarrollo de equipos

El prototipo actual permite la conexión directa de la consola de pruebas a la línea Bus interna para permitir analizar el funcionamiento del mismo y modificar las señales que se desee para simular fallos permanentes o transitorios en su funcionamiento.

Su utilización como herramienta para la implementación de futuros módulos es fundamental, pudiéndose emplear para el desarrollo de microprogramas y el grabado de las memorias correspondientes, para lo cual permite la conexión de la tarjeta MP7-03, adaptada específicamente a dicha función. Permitiendo también realizar la posterior comprobación de las mismas y de los módulos completos.



## 5.5.- Elementos auxiliares, conexión a minicomputadores.

Para permitir la conexión al Buffer de Entrada/Salida de un minicomputador universal se ha diseñado una unidad de prueba que agrupa las siguientes señales :

- 16 líneas de entrada procedentes de transistores a colector abierto (7405)
- 16 líneas de salida (7438) de baja impedancia
- 8 líneas de interrupción
- 8 líneas de control

Todas las líneas tienen visualización de estado mediante fotodiodos y posibilidad de control interno.

Se ha montado una unidad de prueba independiente de la anterior para el montaje y comprobación de las tarjetas (fotografías 7 y 8) que permite tanto la realización manual de dicha función como automáticamente controlada por el propio equipo. Dichos elementos auxiliares son actualmente simples herramientas para la realización del equipo por lo que no se detallan.

Se ha realizado a lo largo del presente trabajo un análisis de los problemas que plantea el diseño de un equipo de control de procesos que posea la suficiente generalidad y potencia como para permitir su aplicación a problemas diversos con --servando una estructura de base idéntica para todos ellos. Dentro del marco actual de arquitectura de sistemas y siguiendo -- las imposiciones de los circuitos actuales en LSI se han estudiado un bloque de equipos definidos como "Microcontroladores" para los que se han diseñado una arquitectura que aportando una normalización en la implementación de los mismos, permita su realización de forma sistemática.

La estructura de base adoptada permite la conexión de varios controladores que comparten los módulos operativos gestionando interactivamente el control de las transferencias entre los mismos, pudiendo reconfigurar dinámicamente dichas transferencias ante cualquier fallo. Según dicho principio y sobre la base de módulos previstos para una fácil implementación mediante microprogramación se ha desarrollado el proyecto de "Microcontroladores Reconfigurables Modulares" (MRM) detallado en el presente trabajo, el cual no estando diseñado para la resolución de un determinado problema de control permite adaptarse mediante la simple elección (o diseño) de los módulos necesarios a problemas tan diferentes como el multiplexaje de datos de entrada a un Minicomputador

universal, el registro autónomo de incidencias o el desarrollo y prueba automática de nuevos módulos.

Conforme a la estructura adoptada se ha montado un prototipo inicial ( MRM - 80 B) que permitirá comprobar practicamente la eficacia teórica de la estructura propuesta sirviendo así mismo como herramienta para el desarrollo de los nuevos módulos a realizar, módulos que pudiendo alcanzar una configuración compleja son facilmente realizables sobre la estructura propuesta.

## B I B L I O G R A F I A

1. D. ABRAMS - R. ROSENTHAL  
On the passing of MOSIDIC - B.  
Computer. March 73 (pag. 10).
2. A. ALABAU  
Contribution a la conception d'organes  
numeriques de traitement de l'informa-  
tion. Project ASMODEE.  
These Toulouse 1972.
3. J. ARACIL  
Métodos modernos de diseño de sistemas  
de control.  
Depto. Publicaciones. E.T.S.I.I de Se  
villa. 1974.
4. J. ARACIL - F. AYUSO  
J.L. CALVO.  
Sistemas lógicos secuenciales.  
Depto. Publicaciones. E.T.S.I.I. de Se  
villa. 1974.
5. M. BARBACCI - BELL  
ISP. A notation to describe a computer  
instruction set.  
Computer. March 73, pag. 22.
6. M. BARBACCI - BELL -  
SIEWIOREK.  
PMS : A notation to describe computer --  
structures.  
Computer March 73. ( pag. 19).
7. T.C. BARTEE  
Digital Computer fundamental.  
Mc Graw Hill 1972.
8. C.G. BELL - EGGERT  
The description and use of register --  
transfer modules.  
IEEE Trans on Comp. Mayo 72. pag. 495--  
500
9. C.G. BELL - R. CHEN  
S. REGE  
Effect of technology on near term compu  
ter structures.  
Computer March 72. pag. 29 - 37

10. C.G. BELL - J. GRASON . The register transfer modules design concept.  
Computer Design May 71, pag. 87-94
11. BELL - NEWELL Computer structures. Readings and exam  
ples.  
Mc Graw-Hill 1971
12. G. BOULAYE La microprogramation.  
Dunod 1971
13. G. BOULAYE Logique et organes des calculatrices  
numeriques.  
Dunod Universite 1970.
14. G. BOULAYE - MERMET International advanced summer. Institu-  
te on Microprogramming.  
Hermann. Paris 1973.
15. M.A. Breuer Design automation of digital systems.  
Prentice Hall, 1972.
16. J. BRUNER Microprogramation et architecture des  
machines.  
AFCET-IRIA, Oct. 24 1973. Paris.
17. CADWELL Switchin circuits and logical design.  
Wiley, 1968.
18. J.L. CALVO Application d'ASMODEE a la chaine de  
tannage ATC.  
Note TNPE 2 LAAS (Laboratoire d'Auto  
matique et Analyse de Systemes)Nov.72

19. J.L. CALVO  
Etude de modularisation des electroni-  
ques de controle d'altitude des satelli  
tes.  
Nota 20604 ESRO Enero 1973.
20. P. CHANG - DORR -SENESE  
The desing of a microprogrammed self chec  
king procesor.  
IEEE Trans on Comp. May. 73 pag. 489 -  
499.
21. D. CHERTKOW, R. CADY  
Unified bus maximized minicomputer fle-  
xibility.  
Electronics Dec. 70 pag. 47-52
22. Y. CHU  
Digital computer design fundamentals  
Mc Graw-Hill 1962
23. Y. CHU  
Computer hardware description languages.  
Computer. Dec. 74
24. A. COSTES - J. LARIE  
Contribution a la conception d'organes  
numeriques de commande.  
Journées d'etudes de l'A.F.C.E.T.  
Paris, Dec. 1971.
25. R. DAVID  
Synthese de réseaux sequentiels cellula-  
res. Automatismes. Mars 70.
26. R. DAVID  
Realisation de systemes sequentiels asyn-  
chrones por interconexion simple de ce-  
llules sequentielles identiques.  
Thesis de Doctorat et Sciences. Greno --  
ble. Avril 69

27. W. DAVIDOW  
How microprocessors boots profits.  
Electronics. July 74, pag. 103 - 108
28. R. DONNAN-KERSEY  
Synchronous data Link control : A perspective.  
IBM System Journal n° 2. 1974  
pag. 140 - 162.
29. R.A. ELLIS  
Workshop on modular computer systems.  
St. Louis. Dec. 2. 1971.
30. FALL  
Joint Computer conference. Dec. 72
31. B. FITZGERALD  
Standard interfaces promise new mini -  
computers networks.  
Electronics. 13 Sept. 73, pag. 123.
32. FLORES  
Computer Organizations.  
Prentice Hall 1969.
33. M. FLYNN  
Some computer organization and their  
effectiveness.  
IEEE Trans on Comp. Sep 72, pag. 948.
34. M. FLYNN - A. PODVIN  
An unconventional computer Architecture  
shared resource multiprocessing.  
Computer. March/April 72, pag. 20
35. FOSTER  
Computer architecture.  
Van Nostrand 1970.
36. FROSINI - GERACE  
A universal STT state assignment method  
for pulse input asynchronous sequential  
circuits.  
IEEE Trans on Comp. Aug. 71. pag. 866.

37. S.H. FULLER - D.P. SIEWIOREK      Semiconductor Technology and the architecture of large digital modules. Computer Oct. 73, pag. 14 - 21
38. L.C. FULNER      A modular plated-wire associative processor. Challenge of the Seventies. Proceedings of the IEEE 1970.
39. R. GARROW - HOU - LALLY      Microcomputer development system achieves Hardware.- Software harmony Electronics May 75 pag. 95, + 102
40. M.J. GONZALEZ  
C.V. RAMAMOORTHY      Parallel task execution in a decentralized system. IEEE Trans on Comp. Dec 72, pag. 1310 - 1321.
41. J.P. GRAY      Line control procedures. Proceedings of the IEEE Nov. 72, pag. 1301 - 1312.
42. H. GSCHWIND      Design of digital computer Springer-Verlag New York Inc.
43. S. HARRIS      Prospects brighten for data acquisition Electronics. April 75, pag. 83-87.
44. L.C. HIGBIE      Supercomputer Architecture. Computer Dec. 73, pag. 48
45. HILL - PETERSON      Switching theory and logical design Wiley 1968.



46. HILL - PETERSON Digital systems : Hardware organization and design.  
Wiley 1973.
47. HOLTON - BRYAN Structured Top-Down Howcharting.  
Datamation May 75, pag. 80 - 84.
48. G.D. HORNBUCKLE - E. ANCONA The LX-1 Microprocessor and its applications to real-time signal processing .  
IEEE Trans. on Comp. Aug. 70, pag. 710  
720
49. D. HORSCHLE Techniques de conversion. A/D et D/A .  
Masson et Cie. 1971.
50. S.S. HUSSON Microprogramming principles and practice.  
Prentice Hall 1970.
51. R.E. Jackson desinng a microprocessor based system  
Applied Computing Technology inc.
52. P. JANSON Common bus structure for minicomputers  
improves I/O flexibility.  
Control Engineering Jan 71, pag. 50-53.
53. E.C. JOSEPH Innovations in heterogeneous and homoge-  
neous distributed-function architectures.  
Lake Arrowhead workshop 1973.
54. J.E. JULIUSSEN -F. MOWLE Multiple Microprocessors with common main  
and control memories.  
IEEE Trans. on Comp. Nov. 73, pag 999 -  
1007.

55. L.J. KOCZELA-G. WANG  
The Design of a highly parallel computer organization.  
IEEE Trans on Comp. Jun 69, pag.520 -529.
56. KOHAVI  
Switching and finite automata theory.  
Mc Graw-Hill 1970.
57. G.A. KORN  
Minicomputers for engineer and scientifics.  
Mc Graw-Hill 1973
58. J. KURTZBERG - R.VILLANI  
A balanced Pipelining approach to multipro-  
cessing on an Instruction level.  
IEEE Trans. on comp. Feb. 73, pag. 149.
59. LAURENT - DAVID  
Synthese de systemes sequentiels complexes  
definis par leur graphe primitif. Integra-  
tion a grande echelle.  
Rairo J-1 año 1972, pag. 19-34.
60. M. LEHMAN  
A survey of problems and preliminary results  
concerning parallel processing and parallel  
processors.  
Proceedings of the IEEE Dec. 66, pag. 1889 -  
1901
61. J.P. MEINADIER  
Estructura y funcionamiento de los computa-  
dores digitales.  
Editorial A.C. 1973.
62. J. MC DONALD - J.SUSTMAN  
R. HARRIS  
Fast Register-Transfer-module writable con-  
trol store for microprogrammed computer de-  
sign.  
Proceedings of the IEEE. Nov.73 pag.1538 -  
43.

63. M. MINSKY  
Computation. Finite and infinite machines.  
Prentice Hall 1967.
64. M. MOULIN  
La mémoire virtuelle.  
Dossier, la presse informatique, 12 Feb.73
65. J. NANET  
Ordinateurs en temps réel. Applications industrielles.  
Masson & Cie. 1970.
66. P. NASLIN  
Circuits logiques et automatismes à sequen  
ces.  
Dunod. Paris 65
67. G. Nelson - D. Ricci  
A practical interface system for electronic  
instruments.  
Hewlett - Packard Oct. 72.
68. C. NEWPORT - J. RYZLAK  
Communications processors.  
Proceedings of the IEEE Nov. 72, pag. 1321-  
1332
69. R. PARMELEE - PETERSON  
Virtual storage and virtual machines concepts  
IBM System journal n° 2 - 1972. pag. 99-131.
70. Y. PAKER  
Minicomputer interfacing.  
Polytechnic of Central London. March 74.
71. L.R. RABINER - C. RADER  
Digital signal processing  
IEEE Press 1972
72. G. REYLING  
Consideration in choosing a microprogrammable  
bit - slice architecture.  
Computer July 74, pag. 26.

83. T.M. STOUT  
Economic justification of computer control systems.  
Automatica IFAC, Jan. 73, pag. 8 - 20
84. J.R. STORY - H.HARRISON  
Optimum state assignment for synchronous sequential circuits.  
IEEE Trans on Comp. Dec. 72, pag. 1365
85. D.J. THEIS  
Vector supercomputers  
Computers April 74, pag. 52
86. D.J. THEIS  
Microprocessor and microcomputer survey .  
Datamation, Dec. 74, pag. 90 - 100.
87. B. TYMANN  
Computer to computer communications systems.  
Computer Feb 73, pag. 27
88. A.B. TUCKER, M FLYNN  
Dynamic microprogramming: Processor organization and programming.  
Communications of the ACM April 71, pag. 240  
250.
89. W.H. WARE  
The ultimate computer  
IEEE Spectrum March 72, pag. 84 - 91
90. J.B. WHITE  
The effect of modularity on a reconfigurable architecture for either ultrareliability of multiprocessing.  
Marshall space flight center, Computer Feb.73
91. J. WEISBECKER  
A simplified microcomputer architecture.  
Computer March 74, pag. 41 - 47.

73. D. RICCI - NELSON  
Standard instrument interface.  
Electronics Nov. 74, pag. 96
74. A. ROSENBLATT  
Microprocessor. Automatic control proliferates.  
Electronics July 74, pag. 83 - 87.
75. J. ROSENFELD - R. VILLANI  
Micromultiprocessing : An approach to Multiprocessing at the level of very small task. IEEE tr. Feb 73 (149)
76. S. SCARLETT  
Transistor - Transistor logic and its interconnections.  
Van Nostrand 1972.
77. J.D. SCHOEFFLER - R.H. TEMPLE  
Minicomputer : Hardware, software and applications.  
IEEE Press.
78. G.W. SHULTZ - R.H. HOLT  
A Guide to using Lsi Microprocessor.  
Computer June 73. pag. 13
79. D. SIEWIOREK  
Introducing PMS.  
Carnegie - Mellon University. Dec. 74
80. S. SLOTNICK  
Parallelism in systems architecture.  
Proceedings of the IEEE 1970 IEEE International Computer Group Conference. pag. 367.
81. H. SOUBIES - CAMY  
Acquisition et traitement de données .  
Editions Radio, 1970.
82. H. SPRANG  
The structure and comparison of three real time operating systems for process control.  
Automatica (IFAC) Jan. 72, pag. 49.

92. J. WILLIAMS - F. RYAN  
Progress in direct digital control  
Instrument society of America 1969
93. L. YOUNG - T. BENNETT  
N-Channel MOS technology yields new generation of microprocessors.  
Electronics, April 74, pag. 88 - 96.
94.  
Interface system for programmable measuring apparatus.  
International Electrotechnical commission  
March 75, 130 pag.
95.  
Binary synchronous communications  
IBM Technical Bulletin
96.  
M 6800 Microcomputer system reference -  
Handbook  
Motorola 1974
97.  
8008 8 bit Parallel central processor unit.  
Intel corporation, April 72
98.  
Microprocessors on era assesment of Lsi  
computers components  
ERA 1973
99.  
4004 Reference Handbook  
Intel corporation 1971
100.  
PDP 11 Processor handbook  
Digital corporation
101.  
Especial issue on microprogramming.  
IEEE Trans on Comp. Aug. 74

102. 6 RI - 909 Systems reference manual  
6 RI - Computer corporation.
103. RCA LSI Microprocessor
104. Special issue on fault-tolerant computing.  
IEEE Trans on Comp. May 75
105. 1972. Compte rendu des journées d'études  
sur les recherches en structure des machines  
et architecture de systèmes.  
IRIA ( Institute de Recherche d'Informatique  
et automatique )
106. On some associative, parallel and analog  
computation.  
Associative information techniques. 1971

## APENDICE 1 . LENGUAJE DE DESCRIPCION DEL HARDWARE .

En el estado actual del Hardware aparece clara dada su complejidad, la necesidad de adoptar un lenguaje simbólico a la hora del diseño.

El uso de lenguajes computables para la descripción de sistemas digitales puede encontrarse originalmente en los trabajos de Shannon en 1939, permitiendo los mismos una descripción precisa del sistema a la vez que suministran una documentación suficiente para el diseño, punto que puede considerarse crítico en la mayoría de los sistemas, fundamentalmente desde el punto de vista de actualización de futuras modificaciones.

Si bien dichas ventajas justifican por sí mismas la adopción de un lenguaje específico, su cualidad decisiva es su perfecta adaptación a la simulación en computadores, por lo que constituyen un soporte básico del CAD (Computer Aided design) (15) para el que suministran dada su flexibilidad de aplicación a varios niveles de detalle, información desde la estructura del sistema hasta listas de cableado.

Dentro de los distintos tipos de lenguajes existentes en la actualidad para la descripción del Hardware , (5) (6) (55) (79) :



AHPL (A Hardware Programming Language)  
CDL (Computer Design Language)  
DDL (Digital systems Design Language)  
ISP (Instruction Set Processor)  
PMS (Processor, Memories and Switches)

El último de ellos (PMS) es el más adaptado al tipo de sistema detallado en el presente trabajo, por lo que se ha adoptado en el mismo.

La notación PMS es usada para la descripción al nivel de transferencias entre registros y estructuras de conmutación de señales, permitiendo la descripción de la estructura física de un computador mediante un número pequeño de componentes elementales. (6)(79).

Como primer paso se distinguen siete tipos básicos de componentes según el tipo de función que realizan :

M Memoria (Memory) : Almacena información, siendo sus operaciones las de lectura y escritura de la misma.

L Enlace ( Link ) : Realiza las transferencias de información en el sistema, siendo el soporte físico de todas ellas.

- K Control (Control) : Gestiona las operaciones de los restantes componentes del sistema. Excepto los procesadores "P" el resto de los componentes son pasivos y requieren un control "K" para actuar.
- S Conmutadores (Switch): Construye la unión entre los restantes componentes. Cada uno tiene asociados un conjunto de enlaces posibles y su operación consiste en permitir algunos e interrumpir otros de ellos.
- T Transductores(Transducer) : Cambia la estructura tanto de magnitudes físicas como el formato interno de la palabra.
- D Operación de datos(Data-Operation) : Es aquél componente que realiza las operaciones tanto lógicas como aritméticas.
- P Procesador(Processor) : Capaz de interpretar un programa para ejecutar una secuencia de operaciones. Consiste en un grupo de operaciones de las anteriores para obtener las instrucciones de memoria e interpretarlas como operaciones a ejecutar.

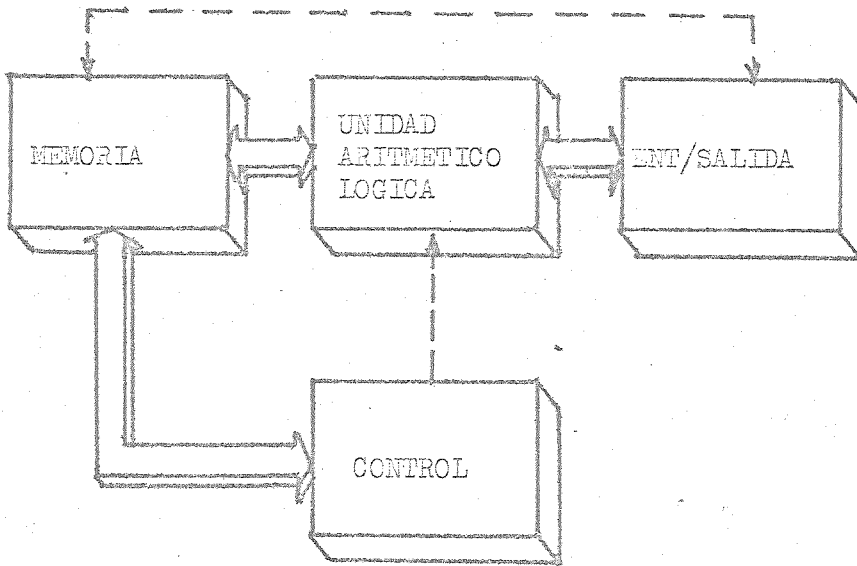


fig A - 1

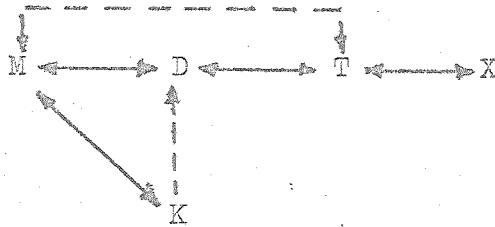


fig A - 2

Utilizando la notación FMS un sistema puede ser descrito a varios niveles de detalle, por ejemplo en las líneas bus (Links) se pueden detallar cada una como un componente independiente, sólo se detallarían a este nivel aquellas señales en que sea necesario, por ejemplo en algunas líneas de control(K).

Para la descripción de cada módulo se adoptará una nomenclatura similar, hasta detallar componentes básicos de los mismos.

El diagrama clásico de un Computador elemental puede verse en la Fig. A 1 adjunta.

Mientras en la Fig. A 2 podemos observar su diagrama correspondiente en notación FMS.

Donde X representa el mundo exterior, las líneas llenas son los caminos que recorren las instrucciones y datos y las líneas de trazos las señales de control, dicho criterio sería empleado a lo largo de todo el trabajo en el que la notación FMS es utilizada a varios niveles de detalle, incluyéndose en cada uno de ellos las aclaraciones necesarias para su completa comprensión, aplicándose tanto para la descripción de la arquitectura global del sistema como la definición de transferencias entre módulos y con el exterior, de forma similar a la empleada en las figs. A 3 y A 4 adjuntas para un procesador clásico basado en una línea Bus Única.

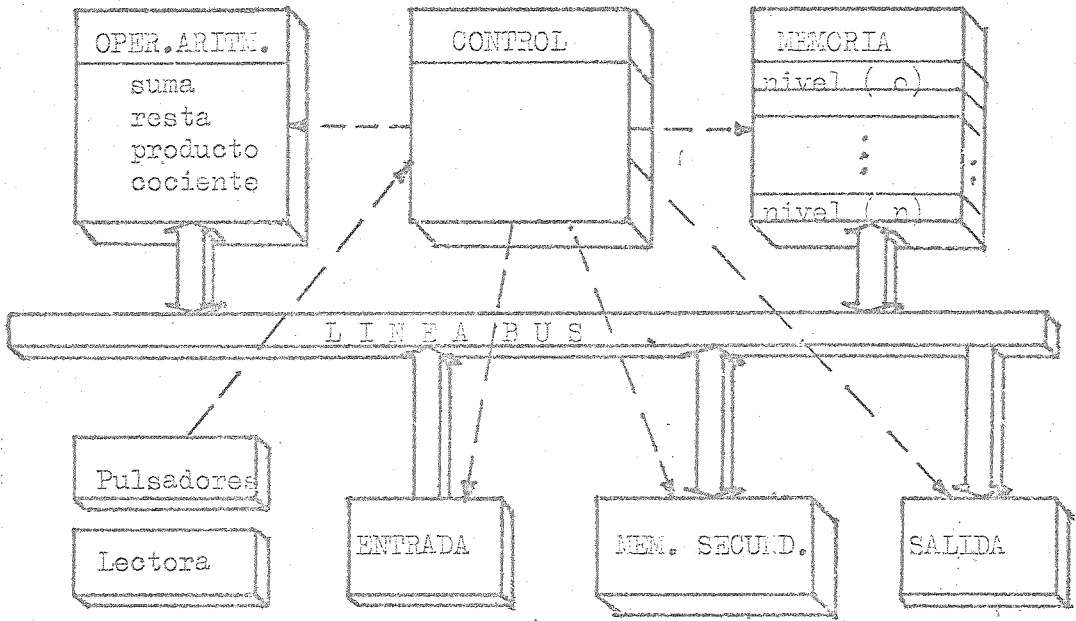


fig A.3

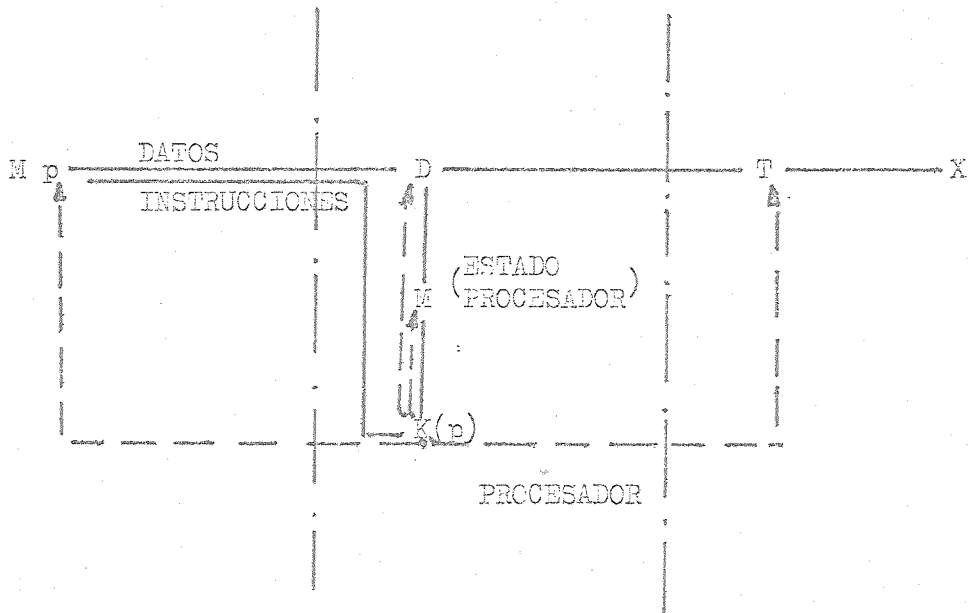


fig A.4

En el prototipo actual MRM-80 B realizado según la arquitectura definida para los "Microcontroladores Reconfigurables Modulares", se han utilizado los siguientes circuitos como configuración básica.

Tarjeta	Función	Multiplexaje Digital
8	Multiplexores de 8 bits	SN 74151
1	Inversor	SN 7404
2	lógica 3 estados	DM 8094
--	componentes discretos	

Tarjeta	Función	Multiplexaje Analógico
2	Multiplexores analógicos	AM 3705
1	Convertidor ADC (8 bits)	590-B
2	lógica 3 estados	DM 8094
2	Receptores	SN 7404

Tarjeta	Función	Controlador (Micro)
1	Microprocesador (Intel)	4004
1	Latch de direccionamiento	4008
1	Adaptador memorias	4009
--	Memorias ROM	2102
--	Memorias ROM	1702
--	Circuitos combinacionales (SSI)	

Tarjeta	Función	Registros salida
1	Demultiplexor	DM 74155
8	Latches	DM 7475
-	Inversores y buffers	

Tarjeta	Función	Operador aritmético-lógico universal
3	Multiplexor	SN 74153
3	Registro disp. 8 bits	SN 74198
2	Bloques de 4 registros de 4 bits	SN 74170
2	Unidad aritmética-lógica.	SN 74182
1	Acarrero rápido	SN 74181
4	Memoria ROM	IM 5600
2	Contador bidireccional	SN 74191
	Puertas lógicas	

Dichas tarjetas son complementadas por algunas específicas (MP 7 - 03) y sobre los circuitos básicos definidos se han implementado varias configuraciones diferentes que no se detallan en la relación precedente.

APENDICE A - 3

Eficacia de procesadores con flujo simple de instrucciones y datos

Se describe a continuación el programa empleado para obtener las gráficas representadas en el apartado 2.3 que reflejan la pérdida de eficacia de estructuras con flujo simple de instrucciones y datos debido a la interacción entre las mismas.

La fórmula empleada basado en los supuestos de Flynn (33) levemente modificada es la siguiente.

$$\text{eficacia relativa} = \frac{1}{1 + p (J-N+1)}$$

Aplicable unicamente para bloques de instrucciones suficientemente grandes y con la que obtenemos para diferentes valores del factor de anticipación (N) y de la probabilidad de perturbación (P), la pérdida de eficacia en función del factor de confluencia (J).

En la gráfica se desprecia la zona obtenida para la condición  $J \geq N-1$  ya que dicha condición inalcanzable conduciría lógicamente a una eficacia relativa superior a la unidad.



```

0:
SCL -1.5,0,0,40;
SFC 14F
1:
ENT "N",R1;DEP "
POWER PAPEL";
STP F
2:
AXE 0,0;.1,5;
LTR -1.4,17,322;
FXD 0;PLT "N ";
PLT R1;FLT 9F
3:
0+AF
4:
0+XIPEN F
5:
PLT -1/(1+A(X-R1
-1)),X;IF (X+1+X
)<40;GTO -0F
6:
PEN ;IF (A+.05+A
)<.2;GTO -2F
7:
GTO 1F
8:
END F
R400

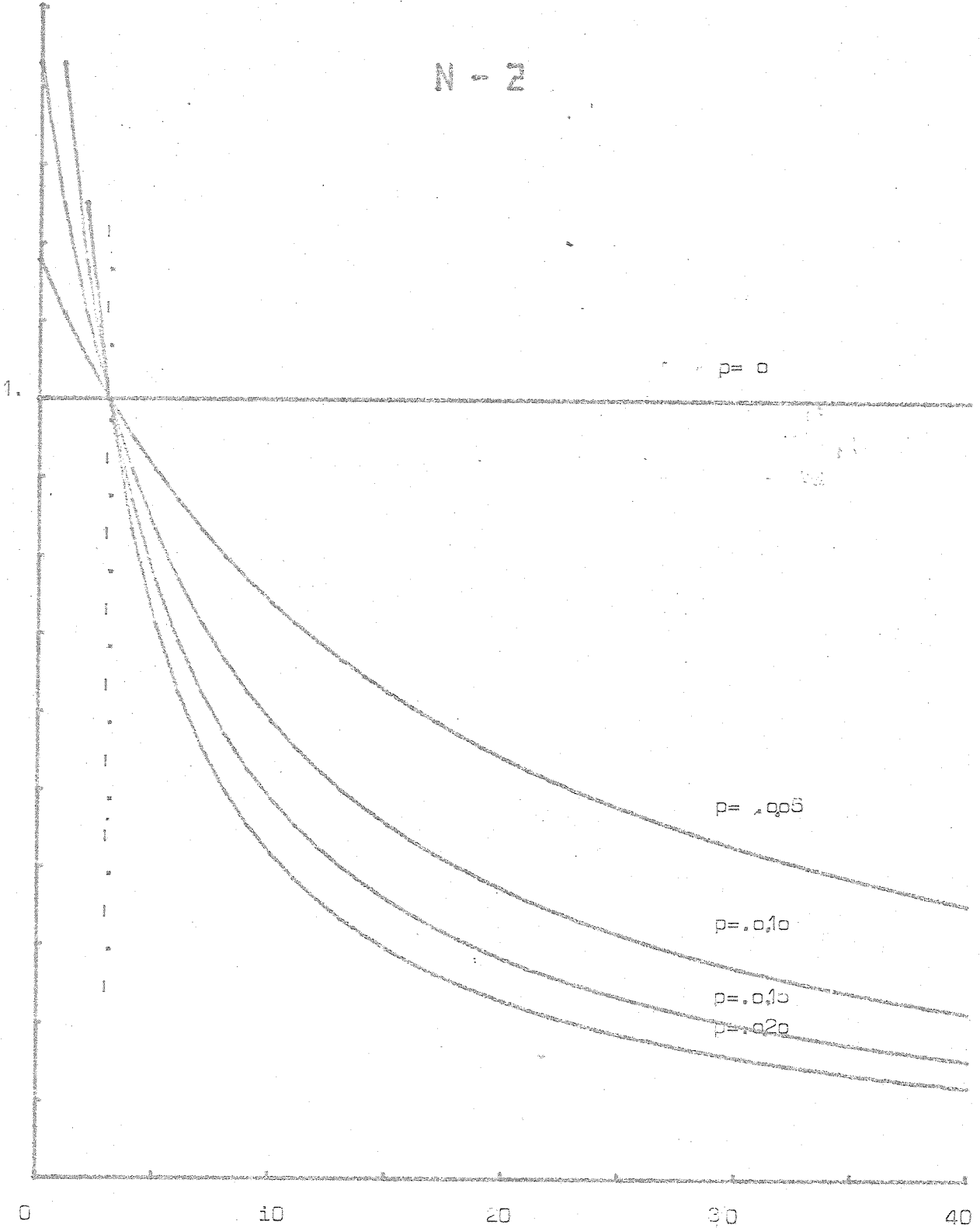
```

Programa A-3

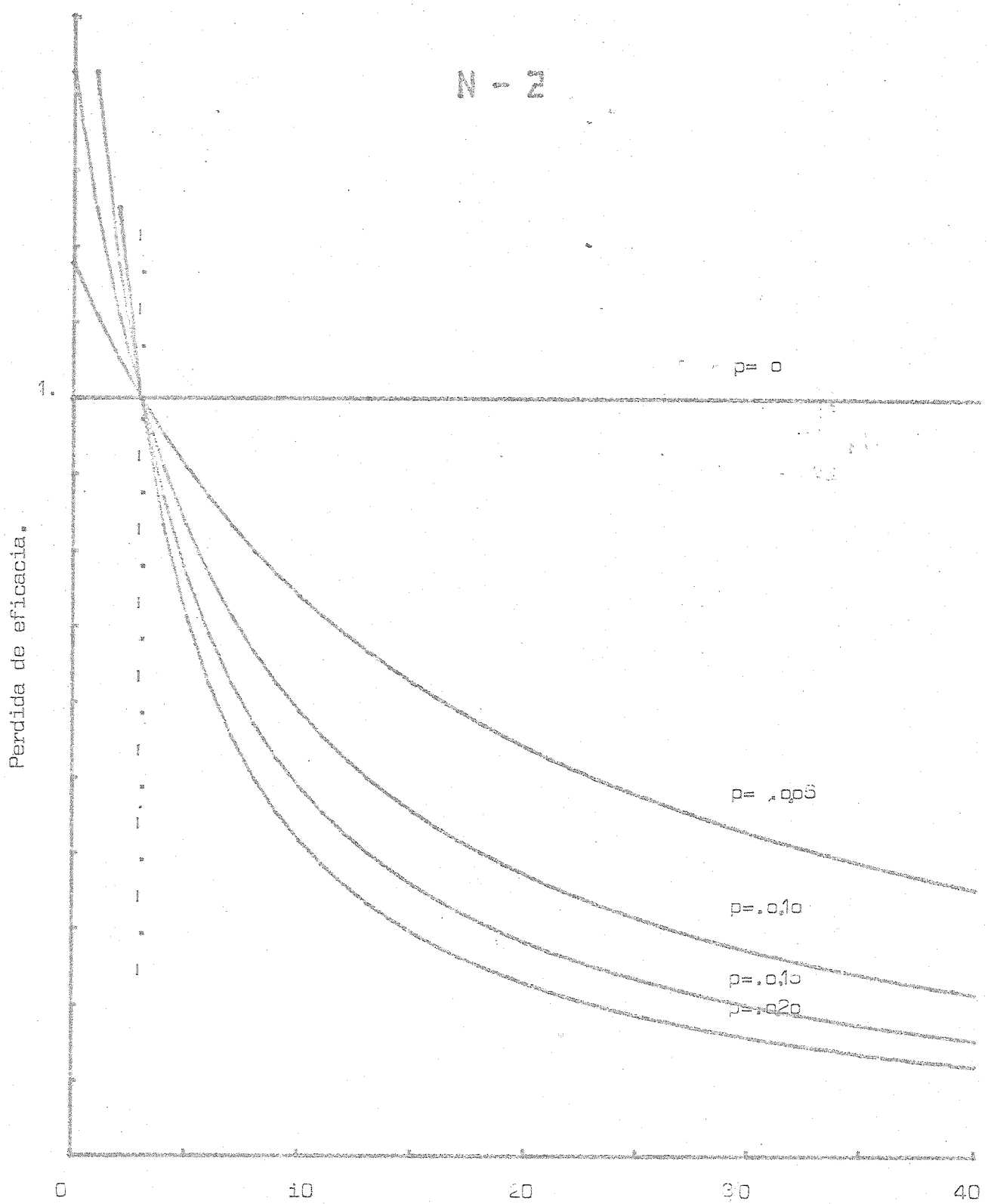
Eficacia de procesadores con estructura simple de instrucciones y datos.

N - 2

Perdida de eficacia.



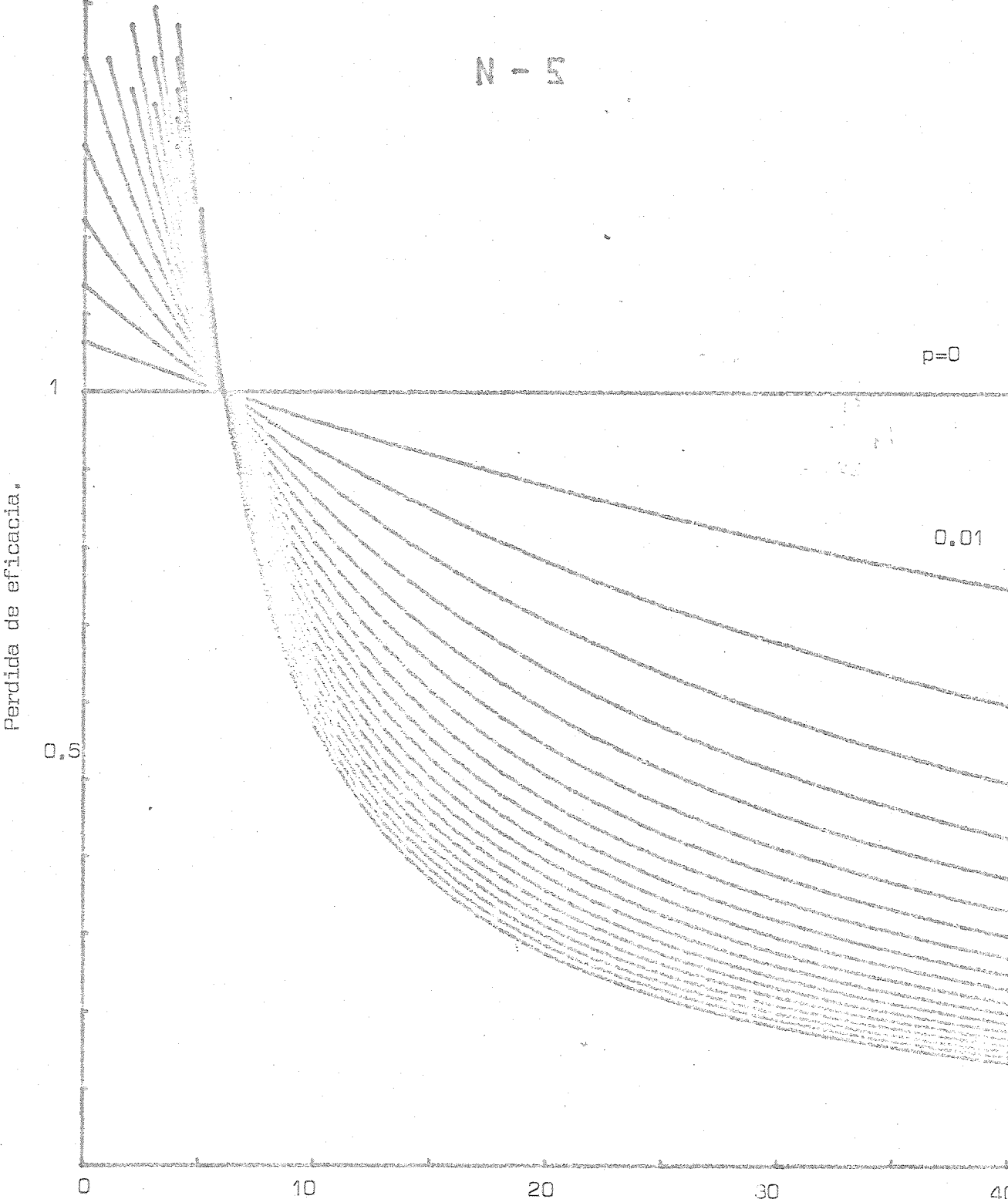
N - 2



Factor de confluencia J

Fig A - 3(A)

N-5



p=0

0.01

Perdida de eficacia.

Factor de confluencia J

Fig A-3(b)

Eficacia de procesadores con flujo múltiple de instrucciones y datos.

Como cálculo de la eficacia normalizada en función del número de procesadores y tomando como parámetro la relación entre el tiempo de espera y el tiempo de operación, se ha desarrollado el siguiente programa a partir de las expresiones (IX) y (X) del apartado 2.3.

$$(IX) \quad \text{Eficacia} = \frac{n - n(\text{espera})}{n}$$

$$(X) \quad n(\text{espera}) \approx \frac{\sum_{i=2}^n \frac{\left(\frac{E}{O}\right)^{i-1}}{(n-i)!}}{\sum_{i=0}^n \frac{\left(\frac{E}{O}\right)^i}{(n-i)!}}$$

La expresión anterior ha sido desarrollada en el programa adjunto donde entrando con el valor E/O como parámetro libre se calcula la eficacia normalizada para sistemas con un número de procesadores comprendido entre 2 y 40.

Los valores dados al parámetro  $x = E/O$  han sido ::

$$x_1 = 40$$

$$x_2 = 20$$

$$x_3 = 10$$

$$x_4 = 5$$

Con los que se han obtenido las curvas de la fig. A-4

adjunta

```

0:
SCL -1.2+0.0+40:
PXE 0+0.1+5:
SFB 14F
1:
A"12+R1+ENT "X"
R0+X+
2:
B"1+Y+R0+R3+
3:
R1-Y+R1+GB "F"+
4:
R3R2+R5+
5:
R+R6+R7+
6:
(Y-1)/(R5X)/(R1-Y)
)→R5)+R6+R6+
7:
1/R5+R7→R7+IF (Y
+1+Y)<R1)GTO -1+
8:
R7+(1/R0+1/R1)/R
2→R7+
9:
1-(R6/R7+R3)/R1+
R9+
10:
PLT -R9,R1+PEN :
IF (R1+1+R1)≤40:
GTO "B"+
11:
PEN +GTO "A"+
12:
"F"1+R2+
13:
IF A>1+R2A+R2+Z:
A-1+R1)GTO -0+
14:
RET +
R3B2

```

Programa A-4

Eficacia de procesadores con flujo multiple  
de instrucciones y datos.

Eficacia normalizada.

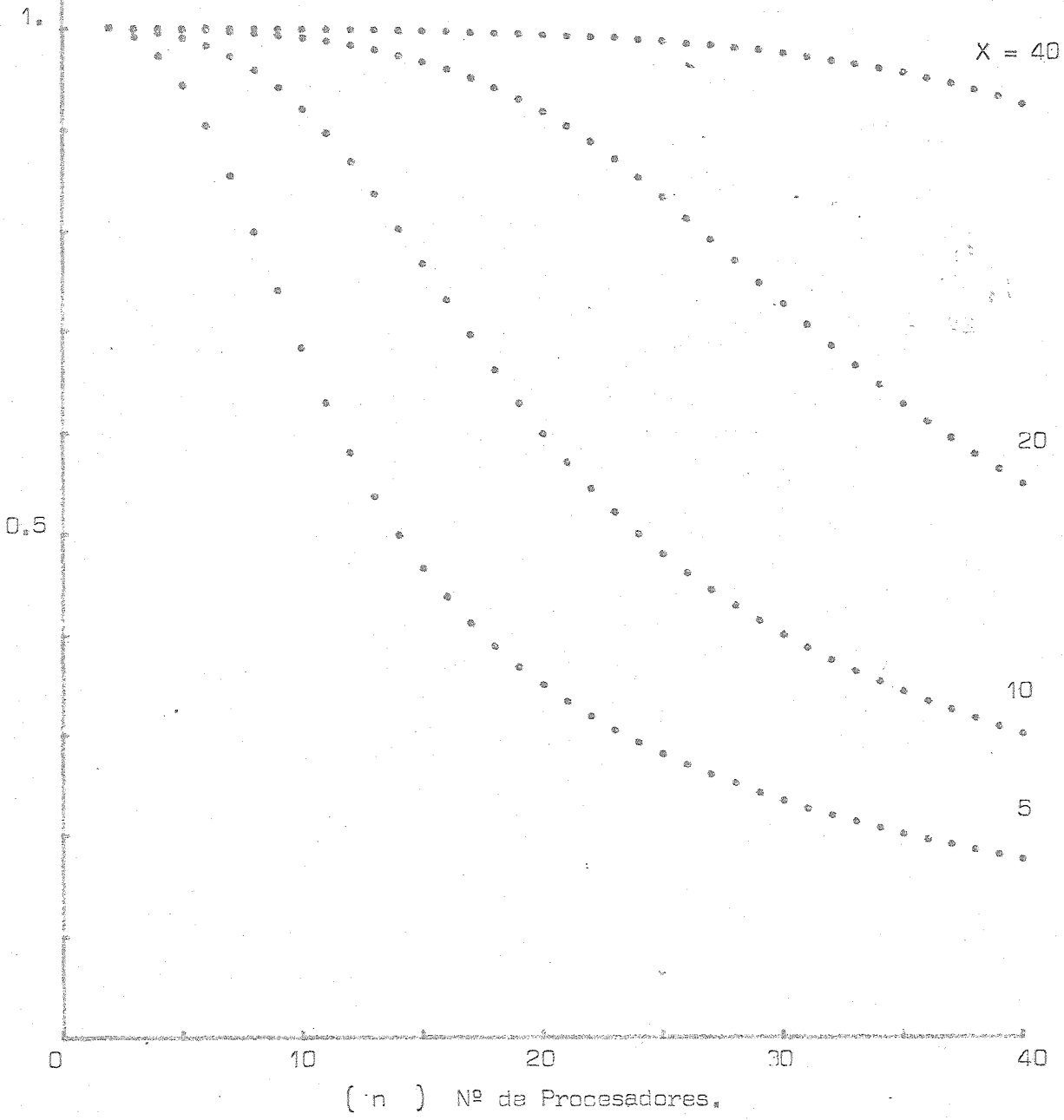
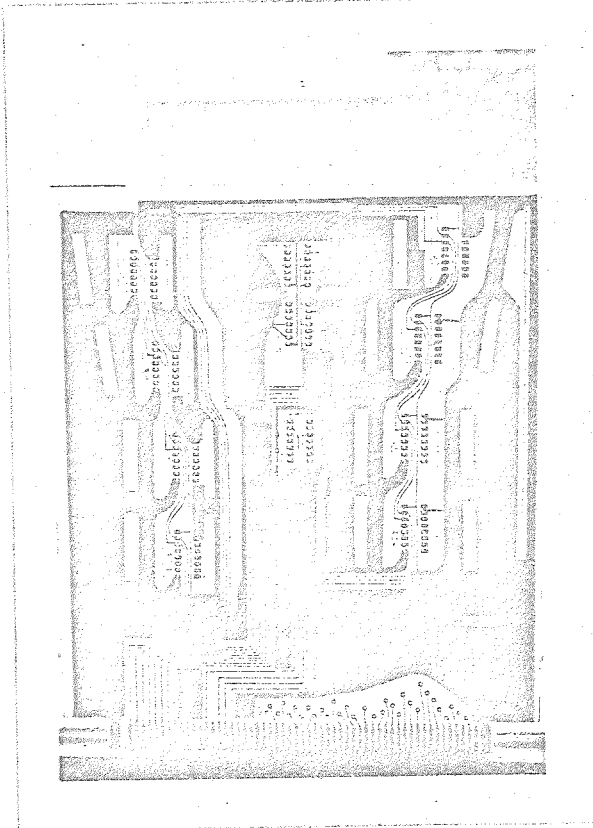
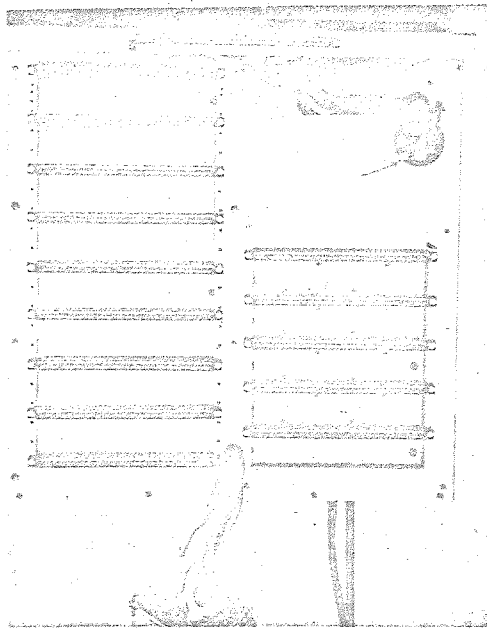


Fig A - 4





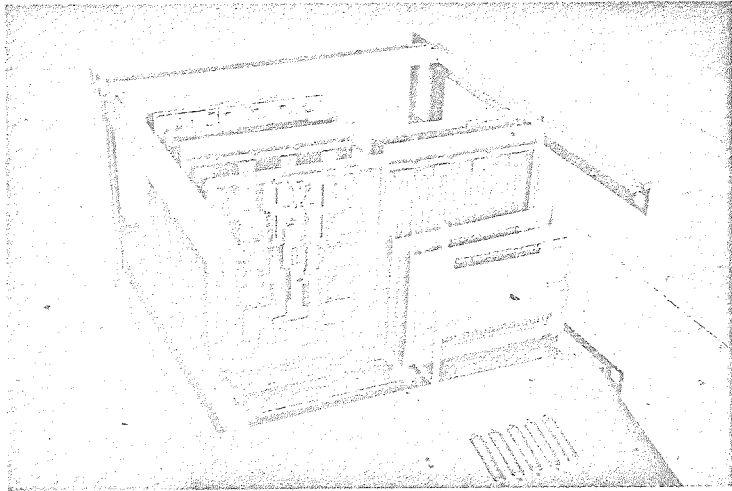
12.- Tarjeta de selección de entradas procedentes de contactos libres de tension.



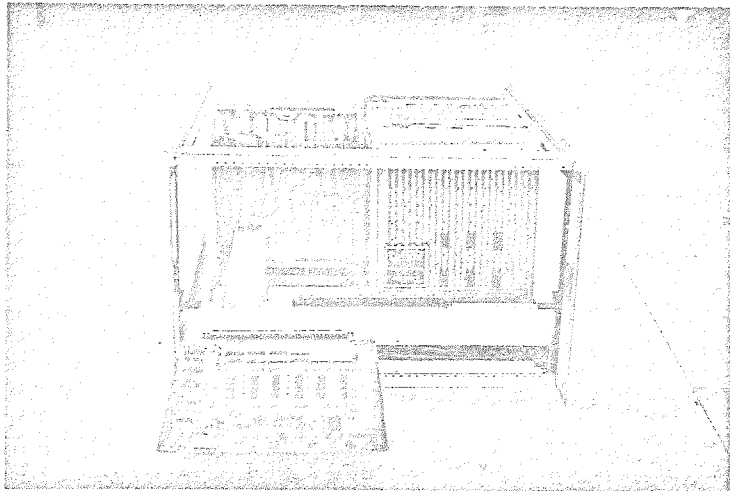
1.- Módulo soporte de conectores.



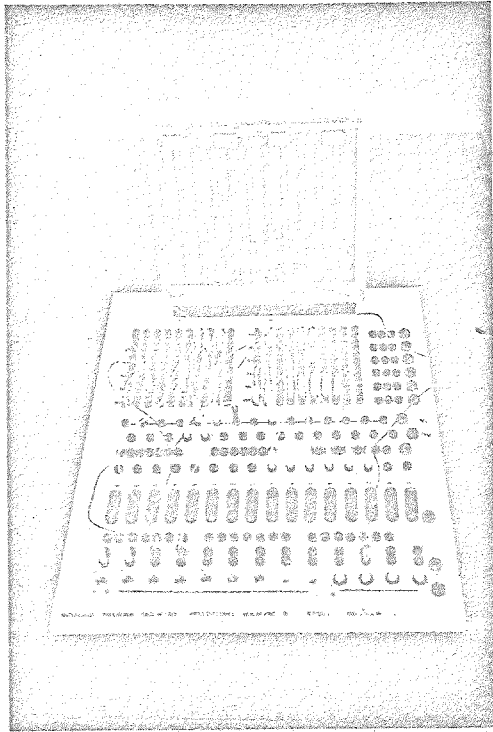
2.- módulo con tarjetas montadas.



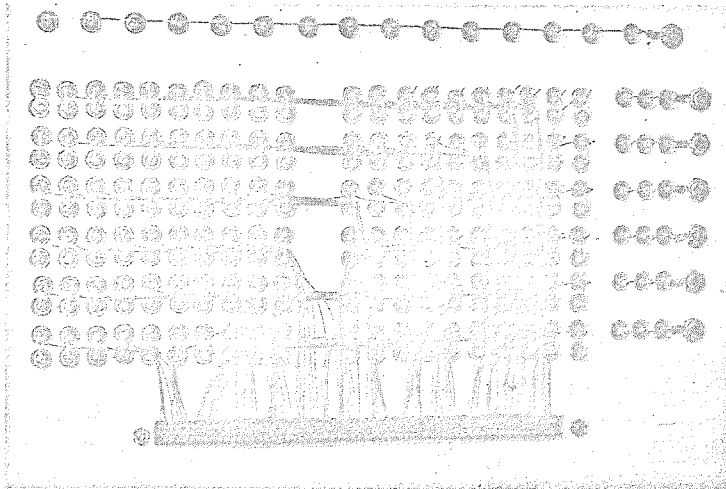
3.--Vista trasera con tarjetas y conectores de E/S.



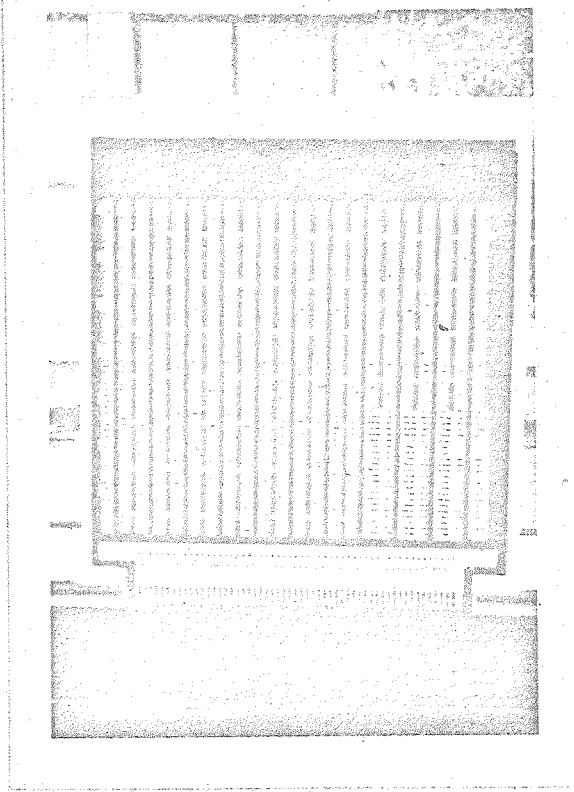
4.-- Frontal con tarjeta de programación de memorias( PROM ).



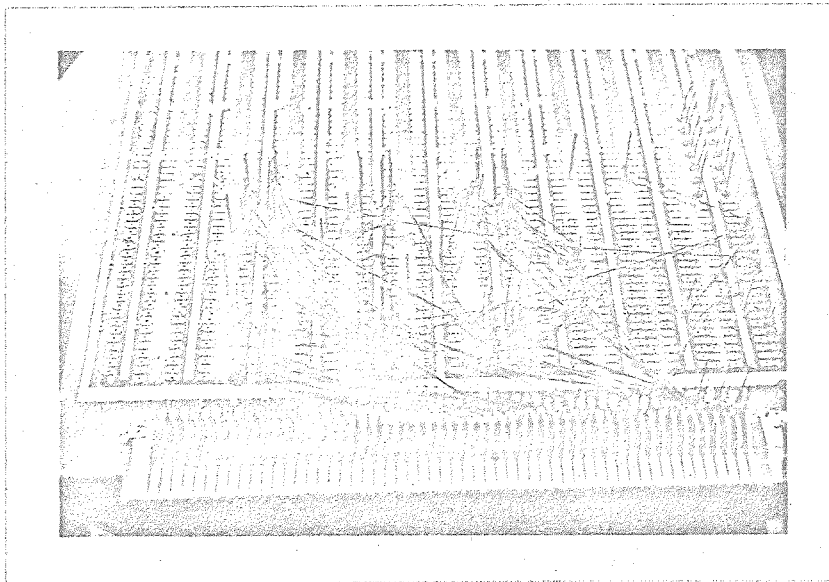
5.- Panel de pruebas.



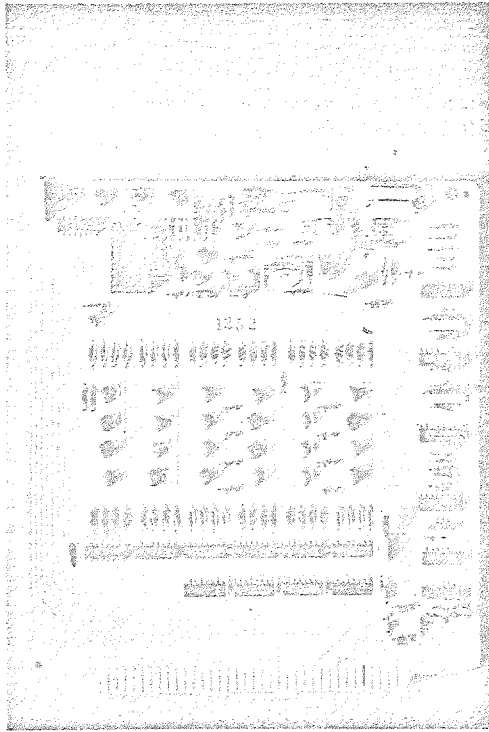
6.- Detalle del cableado del panel de pruebas.



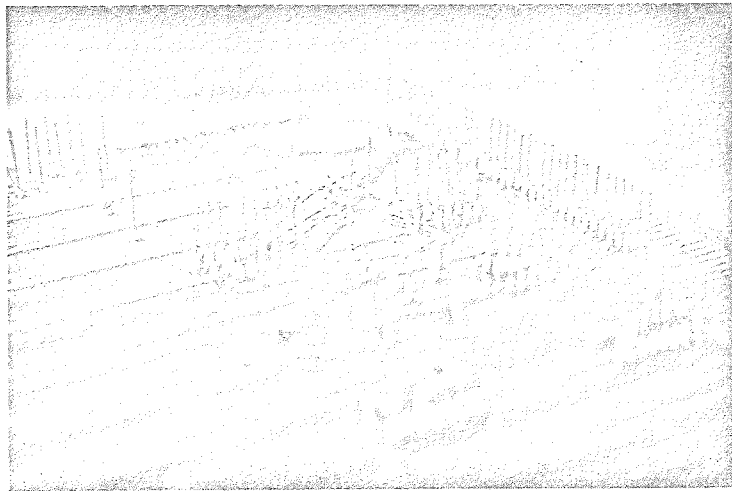
7.- Tarjeta universal sin componentes.



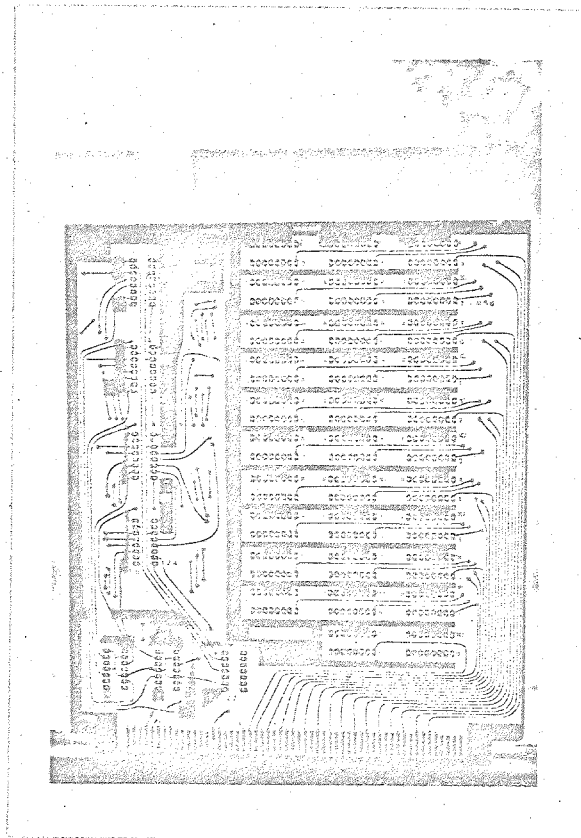
8.- Detalle del cableado de una tarjeta universal.



9.- Tarjeta de programación memorias ( PROM ).



10.- Cableado (Wire-Krapp) de la tarjeta de multiplexaje analógico.



11.- Tarjeta de multiplexaje digital con filtros.