

R. 401

T.S. 27

UNIVERSIDAD DE SEVILLA

FACULTAD DE FISICA

Departamento de Electricidad y Electrónica

**Diseño y simulación de una familia de
circuitos lógicos multivaluados
en tecnología CMOS**

<p>UNIVERSIDAD DE SEVILLA FACULTAD DE FISICA SECRETARIA</p> <p>25-2-83</p> <p>ENTRADA N.º 110</p>
--

**Memoria presentada para
aspirar al grado de Doctor
en Ciencias Físicas**

por

GUSTAVO SANCHEZ GOMEZ

Licenciado en Ciencias Físicas

Sevilla 1983



UNIVERSIDAD DE SEVILLA

FACULTAD DE FISICA

DISEÑO Y SIMULACION DE UNA FAMILIA DE CIRCUITOS LOGICOS
MULTIVALUADOS EN TECNOLOGIA CMOS

EL CATEDRATICO PONENTE

Y DIRECTOR



D. JOSE LUIS HUERTAS DIAZ

Catedrático de Electrónica
del Departamento de Electricidad y Electrónica, Facultad de Física de la Universidad de Sevilla.

Sevilla, Febrero de 1983.

MEMORIA

Presentada para aspirar al
grado de Doctor en Ciencias
Físicas por el Licenciado en
Ciencias:



GUSTAVO SANCHEZ GOMEZ

Mi agradecimiento,

A Jose Luis, por su acertada dirección y enseñarme a aprender.

A D. Antón, por la acogida que ha dado al trabajo.

A Sofía, Luis Felipe, Juan Manuel y Angel por colaborar directamente en la confección de esta Memoria.

A Santiago, Dori, Justo, Belén, Manolo y Carlos, por contribuir al clima de trabajo y convivencia que la ha hecho posible.

DISEÑO Y SIMULACION DE UNA FAMILIA DE CIRCUITOS LOGICOS
MULTIVALUADOS EN TECNOLOGIA CMOS

INDICE DE CAPITULOS

CAPITULO 1: INTRODUCCION

CAPITULO 2: LOGICA MULTIVALUADA

CAPITULO 3: MODELADO Y SIMULACION DE CIRCUITOS MOSTs

CAPITULO 4: OPERADORES UNARIOS

CAPITULO 5: FUNCIONES DE VARIAS VARIABLES

CAPITULO 6: CARACTERISTICAS DINAMICAS

CAPITULO 7: APLICACIONES Y GENERALIZACION

APENDICE 1: PROGRAMA MOSIM

APENDICE 2: RESULTADOS COMPARATIVOS DE SIMULACION EMPLEANDO MOSIM

APENDICE 3: PUERTAS DE TRANSMISION PARA SEÑALES TRIVALUADAS

CONCLUSIONES

CAPITULO 1

INTRODUCCION

1.1. CIRCUITOS LOGICOS MULTIVALUADOS: CONSIDERACIONES PRACTICAS	PAG. 1.1
1.2 EVOLUCION TECNOLOGICA PREVISIBLE.	1.5
1.3. OBJETIVOS BASICOS DEL TRABAJO Y ORGANIZACION DE LA MEMORIA.	1.7
REFERENCIAS.	

1.1. CIRCUITOS LOGICOS MULTIVALUADOS: CONSIDERACIONES PRACTICAS.

Desde 1.970, la aplicación de la lógica multivaluada (MV) al diseño de circuitos digitales ha recibido atención considerable por parte de diferentes grupos de investigación. Aunque el interés por el tema data de los años tempranos de la era del ordenador (ver, por ejemplo, /1/, como resumen histórico detallado), no puede calificarse de significativo hasta 1.971, año en que se crea el Comité de Interés Especial en Lógica MV del IEEE. A partir de ese año, la organización de un forum anual a nivel mundial, en el que han participado más de un centenar de grupos a lo largo de la década, ha servido para sustentar y fomentar una línea activa de investigación.

En esa línea, se reconoce ampliamente, que el aspecto clave a tener en cuenta es la obtención de diseños de circuitos que sean competitivos con los tradicionales componentes binarios. Investigadores en lógica MV han expresado repetidamente la opinión de que el impacto de tales circuitos sólo podrá medirse tras el desarrollo de circuitos integrados MV que estén comercialmente disponibles. Desafortunadamente la atención de los

fabricantes de sistemas L.S.I. (Large Scale integration) y V.L.S.I. (Very Large Scale Integration) hacia los componentes MV ha sido escasa, no siendo fácil explicar ese desinterés, que quizás pueda calificarse de histórico en el futuro /2/.

Es convencional tratar superficialmente el problema aduciendo que los inconvenientes de los circuitos MV superan a sus ventajas. Desde luego, tales circuitos exhiben tolerancias más reducidas y márgenes de ruido más estrechos y con mayor dependencia de las tensiones de alimentación. Sin embargo, creemos firmemente que el mayor enemigo de los elementos MV es de carácter psicológico. Resulta difícil cambiar el modo de trabajo de un enorme colectivo de científicos y técnicos que, en todo el mundo, emplean circuitos lógicos binarios. La enorme variedad de componentes diferentes que están disponibles, así como su simplicidad de uso, incide de manera decisiva en la gran inercia que la industria presenta a cambiar su filosofía de diseño. Por otra parte, las inversiones en el área binaria son inmensas y la competencia salvaje. Los fabricantes de dispositivos semiconductores no están interesados en la producción de pastillas integradas (chips) que no puedan vender en términos de " Megacircuitos/año " y mucho menos en derivar, en una época de crisis, hacia un mercado no establecido firmemente. Si tenemos en cuenta que la popularización de la herramienta matemática requerida por los circuitos MV es lenta, cabe predecir un tiempo razonablemente largo antes de que pueda plantearse un cambio sensible en las perspectivas actuales. En último término, el estado del problema para la industria es que las mejoras que significa la lógica MV no compensan todavía una reestructuración de su política de inversiones.

Alternativamente, frente a esa visión negativa que condiciona su aceptación tecnológica, los sistemas MV presentan ventajas innegables cuya incidencia práctica cabe esperar que vaya en aumento. En cualquier caso resulta claro que el diseño de nuevos circuitos que las potencien es el de-

safío vigente en la actualidad para la comunidad científica que presta atención a la lógica MV. Buenos ejemplos de logro positivos son la fabricación por parte de Intel de una memoria en lógica de 4 valores dentro del chip del procesador 8.087 o los circuitos 1^2L fabricados por Signetics /3,4/.

En nuestra opinión (por demás ampliamente contrastada /2, 4, 5, 6, 7/), existen dos razones básicas para utilizar Lógica MV en circuitos V.L.S.I. La primera es la posibilidad de usar de manera más eficiente el área de silicio ocupada en un chip. Esto significa incrementar la densidad funcional del sistema integrado. La otra razón básica es la reducción en el número de cables de interconexión, cuya incidencia aparece reflejada en tres niveles por lo menos. A nivel interno del chip porque minimiza el número de líneas de interconexión de las diferentes zonas del sistema. A nivel de interfase porque decremента el número pins a través de los cuales se establece la relación con el mundo exterior. Dicho de otra forma, permite aumentar la capacidad de intercambio de información a través de un número generalmente fijo de pins. Finalmente, a nivel externo porque el número de líneas de los buses de conexión de circuitos queda también reducido; optimizando aspectos tales como disminución de tamaño de equipos, influencia de acoplos entre cables, coste del cableado, etc.

Tecnológicamente hablando, la mayoría de edad de la Lógica MV sólo se producirá cuando simultáneamente se aprovechen esas dos ventajas. No obstante, en el momento presente, ambas deben considerarse por separado, como empíricamente se infiere a la vista de la literatura especializada /2/.

En efecto, si partimos de la suposición de que interesan chips con interfase binarios, la contribución práctica de los circuitos MV consiste en permitir incorporar circuitos más complejos dentro del chip de lo que permiten sus contrapartidas binarias. Téngase en cuenta que en un circui-

to binario el área ocupada (en promedio) por los dispositivos activos es de aproximadamente un 10%; las regiones de aislamiento cubren un 20%; en cambio, el 70% del área del chip se dedica al cableado interno. Claramente, la reducción del número de conexiones a nivel interno del circuito incide mucho más dramáticamente que el escalado de los dispositivos activos y el disponer de dispositivos MV permite realizar tal reducción de manera directa. Desde luego, será necesario añadir una circuitería interna de salida que permita generar señales binarias para conectar con el entorno externo del circuito integrado. El usuario de tales productos los puede tratar como componentes binarios convencionales y, por tanto, queda obviado el problema de la prevención al empleo de elementos MV a la que hemos hecho referencia anteriormente. El atractivo esencial de esta filosofía de diseño es poder conectar dispositivos binarios con otros que internamente son MV.

Por el contrario, si la evolución tecnológica sigue el camino que se predice en el momento presente, la principal motivación a la utilización de la Lógica MV la constituye la reducción del número de conexiones. Téngase en cuenta que el número de dispositivos por unidad de área crece a gran velocidad /8/, mientras que el número de puntos de interconexión de un chip permanece prácticamente constante. Desde esta perspectiva, el núcleo de procesamiento dentro del chip seguiría siendo binario y aprovecharía directamente las considerables posibilidades de empaquetamiento que existen actualmente. En cambio, las conexiones se realizarían previa decodificación a una base MV (presumiblemente cuaternaria) empleando circuitos de conversión incorporados dentro de la pastilla integrada.

En cualquier caso, la investigación sobre posibles diseños ventajosos de circuitos MV va a depender estrechamente del avance tecnológico. En el momento presente existen ya familias integradas MV cuya aplicabilidad únicamente ha sido testada a nivel de laboratorio de investigación,

pero que constituyen el fundamento básico de futuros desarrollos en este área /9-16/. Estas familias están íntimamente vinculadas a las tecnologías binarias más popularmente empleadas (TTL, ECL, I^2L , NMOS, CMOS, CCD) y su porvenir vendrá determinado en primera instancia por la evolución que tenga cada una de esas tecnologías durante los próximos años.

El objetivo central que persigue con esta Memoria es generar una propuesta de diseño para una familia lógica MV, que ofrezca una alternativa razonablemente práctica a la lógica binaria en el diseño de sistemas V.L.S.I. y sea compatible con circuitos binarios comercialmente disponibles. Con este planteamiento, la elección de la tecnología de base en la que apoyar tal diseño es un punto clave. Por ello, antes de tomar una decisión al respecto, abordaremos una prospección de lo que la Universidad y la Industria opina a nivel internacional sobre la evolución futura de la tecnología de circuitos integrados. Evidentemente las predicciones en Microelectrónica conllevan un alto riesgo de error; pero, al mismo tiempo, constituyen la principal fuente de orientación con la que los diferentes grupos de investigación cuentan para estructurarse a largo plazo.

1.2. EVOLUCION TECNOLOGICA PREVISIBLE.

Conviene plantearse en este punto qué tecnologías se verán primadas en un futuro debido al esfuerzo constante por incrementar la densidad y la rapidez de los circuitos integrados.

Se acepta que el aumento de la densidad tiene como consecuencia inmediata el hecho de que, para una tecnología dada, la potencia a disipar por chip se incrementa. No es necesario señalar los problemas que ello conlleva. Una solución es desde luego la disminución de los valores de alimentación, pero ello trae consigo un deterioro en la inmunidad al ruido que generalmente es inaceptable. Adicionalmente, al incrementar el número

ro de dispositivos activos en un chip aparecen nuevos problemas de interconexión internos que pueden llegar a ser de difícil solución.

Las previsiones tanto científicas como por parte de la industria, recogidas en encuestas publicadas durante los últimos meses, /17,18/, coinciden en que las tecnologías CMOS se verán fuertemente primadas en los próximos años. Un índice de esta reorientación es que actualmente son varias las casas comerciales con productos en el mercado en tecnología NMOS que los están rediseñando para utilizar CMOS. La razón de todo ello estriba en los siguientes puntos:

- 1°) La tecnología CMOS ofrece un bajísimo consumo (al menos un orden de magnitud por debajo de otras tecnologías MOS).
- 2°) Poseen una alta inmunidad al ruido, por tener los voltajes de salida muy próximos a las alimentaciones.
- 3°) Los procesos de fabricación se han hecho más predecibles y reproducibles en la actualidad de lo que eran hace pocos años.
- 4°) Han desaparecido las desventajas tradicionales de baja densidad y velocidad. Por otro lado, éstas estaban motivadas fundamentalmente por factores económicos, ya que al existir mayor inversión en otras tecnologías como las NMOS, éstas experimentaron durante algún tiempo mayores avances. Sin embargo, si se comparan las velocidades de las gates básicas con idénticas reglas de diseño, la gate CMOS conmuta en menos de la mitad del tiempo requerido por la NMOS.
- 5°) Los tiempos de subida, t_r , y de bajada, t_f , son comparables, mientras que en la gate NMOS $t_f \ll t_r$, existiendo gran asimetría. Es más, en CMOS la semisuma de dichos tiempos es menor de la mitad que la semisuma de ellos en NMOS.
- 6°) La complejidad del proceso de fabricación es equivalente a la de los procesos NMOS actuales que requieren hasta 4 tipos distin-

tos de MOSTs con diferentes tensiones de umbral /19/.

7º) Las tolerancias geométricas en la tecnología CMOS son mayores que en la NMOS, con la ventaja que esto supone cuando se persigue obtener transistores con factores geométricos más pequeños.

8º) La tecnología CMOS posee una versatilidad y flexibilidad muy grandes al permitir la realización de elementos lógicos y analógicos sobre un mismo bloque de semiconductor. Asimismo, el proceso CMOS es compatible con procesos bipolares /20/.

1.3. OBJETIVOS BASICOS DEL TRABAJO Y ORGANIZACION DE LA MEMORIA.

Por todo lo expuesto anteriormente, hemos enfocado nuestra atención en el proceso investigador que aparece resumido en esta Memoria, hacia el desarrollo de una familia MV en tecnología CMOS. Obviamente, la evolución que sufre la familia binaria básica afectará también a cualquier diseño en una base MV. No obstante, parece coherente tratar de encontrar estructuras de circuito que puedan ser una alternativa en lógica ternaria y/o cuaternaria y que sean consistentes con los componentes binarios en la misma tecnología. En cualquier caso, se ha planteado como fin primordial el que las propiedades básicas de la familia CMOS binaria actual (consumo de potencia, valores típicos de alimentación, velocidad de conmutación, área ocupada, etc) sean preservadas en sus contrapartidas ternaria y cuaternaria.

Para detallar con claridad la forma en que se ha cubierto este objetivo esencial, esta Memoria aparece organizada en otros seis capítulos, cuyo contenido pasaremos a detallar.

En primer lugar hemos creído conveniente presentar una panorámica de la Lógica Multivaluada, tanto desde el punto de vista matemático como de las realizaciones de circuitos existentes, y de esta forma salvar en parte el escollo que supone la restringida difusión que actualmente tiene.

Con ello pretendemos dar una idea del estado en que se encuentra en el momento presente, y suministrar un sustrato que facilite la comprensión de los restantes capítulos, encuadrando de esta forma la aportación que en ellos se expone. Este material constituye el contenido del Capítulo 2.

Como quiera que no disponemos de la posibilidad de integrar muestras, ni hemos dispuesto hasta ahora de un paquete comercial de programas de simulación de circuitos con el que poder verificar las realizaciones propuestas, hemos tenido que generar nuestras propias herramientas de simulación. Así en el Capítulo 3 se describe el programa MOSIM, para un computador de sobremesa, así como el modelo del MOST utilizado. Dicho programa se ha contrastado con un conjunto de comprobaciones experimentales que asimismo se exponen.

En el Capítulo 4 se expone la técnica de diseño de los operadores unarios que constituyen los bloques básicos de la implementación del resto de la familia de circuitos CMOS para operar en base tres. Asimismo se expone una solución a la elección de el conjunto de MOSTs que, configuren en última instancia la familia de circuitos una vez escogida la tecnología a utilizar.

El Capítulo 5 extiende, de una forma paralela al capítulo 4, la temática de diseño a funciones de más de una variable, haciendo incapié en el amplio abanico de posibilidades que surgen como consecuencia de combinar los elementos del conjunto de transistores derivados para generar los operadores unarios.

El comportamiento dinámico de los circuitos propuestos y su simulación sobre un circuito tipo conforma el contenido del Capítulo 6. Dicha simulación se ha contrastado con el desarrollo de una serie de pruebas experimentales. En él además se exponen algunos problemas que surgen en la generalización al caso MV de algunos parámetros dinámicos. Un resultado a señalar es que se establece un factor de mérito que es indepen-

diente de la base en la que opere dicho circuito.

Por último, el Capítulo 7 está dedicado al estudio de las aplicaciones de los circuitos propuestos al diseño estructuras de mayor complejidad, como circuitos aritméticos, circuitos de memoria, etc, junto con la generalización del método al diseño de una familia de circuitos CMOS para operar en lógica de 4 valores.

REFERENCIAS DEL CAPITULO 1:

- /1/ .- IEEE Computer Magazine, vol-9, 1974.
- /2/ .- Z.G.Vranesic: "Applications and scope of multileveled LSI technology ".IEEE Digest of papers VLSI, COMPCON 81, Spring, 1981, pp.213-216.
- /3/ .-M.Stark: "Two bits per cell ROM ".IEEE Digest of papers VLSI, COMPCON 81, Spring 1981, pp.209-212.
- /4/ .-T.T.Dao, E.J.McCluskey, L.K.Russell: "Multivalued injection Logic" IEEE Trans. on Comp., Dec.1977, pp.1233-1241.
- /5/ .-D.Etiemble: " Multivalued integrated circuits for signal transmission ".IEEE Digest of papers VLSI, COMPCON 81, Spring 1981, pp.205-208.
- /6/ .-E.J.McCluskey: " Logic Design of MOS Ternary Logic ". IEEE Proc. 10th Int. Symp. on Multiple Valued Logic (ISMVL). May 1980, pp1-5.
- /7/ .-J.L.Huertas and G.Sánchez Gómez: " Low-power CMOS implementation of some operators ". IEEE Proc. 11th ISMVL, 1981. pp.196-199.
- /8/ .-D.A.Patterson and C.H.Séquin: " Design considerations for single-chip computers of the future ". IEEE Trans. on Comp. vol.C-29, nº2, Feb.1980, pp.108-116.
- /9/ .-H.G.Kerkhoff, M.L.Tervoert: " The implementation of multiple-valued functions using charge-couple devices ". IEEE Proc. 10th ISMVL, May 1980, pp.6-15.
- /10/ .-N.Friedman, C.Salama. P.Thompson: " Realization of multileveled integrated injection logic full adder ". IEEE J.S.S.C., vol.SC-12, Oct.1977, pp.532-534.
- /11/ .-M.Yamada, K.Fujishima, K.Nagasawa, Y.Gamon: " A new multilevel

storage structure for high density CCD memory ".

IEEE J.S.S.C., vol.SC-13, Oct.1978, pp.688-693.

- /12/ .-A.Druzeta, Z.G.Vranesic, A.S.Sedra: " Application of multi-threshold elements in the realization of many valued logic networks ". IEEE Trans. on Comp., vol.C-23, Nov. 1974, pp.1194-1198.
- /13/ .-D.Etiemble, M.Israel: " Implementation of ternary circuits with binary integrated circuits ". IEEE Trans. on Comp. vol.C-26, Dec.1977, pp.1222-1233.
- /14/ .-H.Mouftah and I.Jordan: " Integrated circuits for ternary logic". Proc. 4th ISMVL, May 1974, pp.285-302.
- /15/ .-J.L.Huertas and J.M.Carmona: " Low-power ternary CMOS circuits ". Proc. 9th ISMVL, May 1979, pp.170-174.
- /16/ .-L.K.Russell: " Multi-level NMOS circuits ". IEEE Proc. COMPCON 81. 1981.
- /17/ .-D.Brussky: " 1983 Technology forecast: DIGITAL LSI ". Int. Electronic Design, Jan.6, 1983, pp.102-128.
- /18/ .-C.E.Spork: " 1983 Technology forecast: The outlook for the decade from 14 electronics leaders ". Int. Electronic Design, Jan.6, 1983, pp.148-149.
- /19/ .-B.T.Murphy, L.C.Thomas, A.U.McRae: " Twin tubs, domino logic, CAD speed up 32-bit processor ". Electronics, Oct.6, 1981, pp.106-111.
- /20/ .-D.L.Wollensen: " CMOS LSI-The computer component process of the 80's ". IEEE Computer Magazine, Feb.1980, pp.59-67.

CAPITULO 2

LOGICA MULTIVALUADA.

INDICE

2.1. INTRODUCCION.	PAG. 2.1
2.2. CONCEPTOS MATEMATICOS PREVIOS.	2.2
2.2.1. FUNCIONES DISCRETAS.	2.2
2.3. LOGICA MULTIVALUADA.	2.13
2.3.1. METODOS GENERALES DE REPRESENTACION DE FUNCIONES MULTIVALUADAS.	2.14
2.4. REPRESENTACIONES ALGEBRAICAS.	2.17
2.4.1. ALGEBRA DE ALLEN-GIVONE.	2.18
2.4.1.1. PROPIEDADES ALGEBRAICAS.	2.20
2.4.1.2. METODOS DE MINIMIZACION.	2.24
2.4.2. ALGEBRA DE VRANESIC, LEE Y SMITH.	2.27
2.4.2.1. PROPIEDADES ALGEBRAICAS.	2.28
2.4.2.1. CONSIDERACIONES SOBRE MINIMI- ZACION.	2.30
2.4.3. OTRAS REPRESENTACIONES ALGEBRAICAS.	2.31
2.5. MAQUINAS SECUENCIALES: MULTIESTABLES.	2.32
2.6. CIRCUITOS ELECTRONICOS PARA SISTEMAS LOGICOS MULTIVALUADOS.	2.35
2.6.1. CLASIFICACION DE LAS REALIZACIONES	2.35
2.6.1.1. MODO DE CARGA: (CCD).	2.36
2.6.1.2. IMPLEMENTACIONES EN MODO DE CORRIENTE.	2.38

2.6.1.3. IMPLEMENTACIONES EN MODO DE TENSION.	2.43
2.7. OBJETIVOS GENERALES.	2.53
REFERENCIAS.	2.56

2.1. INTRODUCCION.

Dado que el Tema presenta peculiaridades que no son del dominio general, hemos juzgado conveniente detenernos en este Capítulo en una revisión estructurada de aquellos conceptos fundamentales de la Lógica Multivaluada que inciden de forma directa como soporte básico del trabajo que se presenta en esta Memoria. Fundamentalmente con esta presentación se persiguen los tres objetivos siguientes:

- 1) Dar una visión matemática de la Lógica Multivaluada, que sin pretender ser excesivamente formal ni exhaustiva, sea lo suficientemente completa como para abordar de manera autocontenida la lectura de los siguientes capítulos. Hemos creído conveniente hacerlo desde un punto de vista que ponga de manifiesto las conexiones y diferencias con la lógica booleana, lo que nos lleva a situarnos de partida en el marco de las funciones discretas.
- 2) Dar una panorámica de los circuitos existentes para implementar la lógica multivaluada, centrándonos con mayor detalle en aquellos basados en el uso de transistores MOST.
- 3) Hacer una presentación de los objetivos que nos hemos planteado de cara a resolver el problema de diseñar una familia de circuitos CMOS para operar en lógica multivaluada.

2.2. CONCEPTOS MATEMATICOS PREVIOS.

En este apartado reproduciremos algunas definiciones, propiedades y teoremas matemáticos, que si bien se encuentran en la bibliografía consultada /1-6/, no siempre lo están de una forma operativa para los objetivos que perseguimos. Por otro lado, por ser la Lógica Multivaluada un área de investigación relativamente moderna, mucho del material bibliográfico que la conforma está disperso en revistas especializadas y resúmenes de congresos /7-9/, lo que hace necesaria la tarea de compendiar, sistematizar y unificar buena parte del material con vistas a una presentación estructurada del soporte que precisaremos a lo largo de esta Memoria.

2.2.1. FUNCIONES DISCRETAS.

Definición 1.- Una función,

$$f: S \rightarrow L$$

es una función discreta cuando los conjuntos S y L son conjuntos finitos no vacíos.

Ejemplo: La función f del conjunto $S = \{0,1,2,3,4\}$ en el conjunto $L = \{0, 1\}$ dada por:

$$f(x) = \begin{cases} 0, & \text{si } x \text{ es par} \\ 1, & \text{si } x \text{ es impar} \end{cases}, \quad \forall x \in S$$

Generalizando, el dominio S puede ser el producto cartesiano de n conjuntos finitos S_i :

$$S = S_{n-1} \times S_{n-2} \times \dots \times S_0 = \prod_{i=0}^{n-1} S_i$$

la función:

$$f: \prod_{i=0}^{n-1} S_i \rightarrow L^m$$

donde el codominio de f es el producto cartesiano de orden m de L por sí mismo, y puede ser escrita, $f_j(\vec{x})$, con $\vec{x} = (x_{n-1}, \dots, x_0)$, tomando la variable x_j valores en el conjunto S_j , y $0 \leq j \leq m-1$.

Ejemplo: Una máquina de estado finita, M , es un sistema,

$$| S, I, Z, \delta, \lambda |$$

donde S , I y Z son conjuntos finitos no vacíos de estados, símbolos de entrada y símbolos de salida respectivamente; en esta máquina,

$$\delta : S \times I \rightarrow S$$

$$\lambda : S \times I \rightarrow Z$$

son las funciones de próximo estado y de salida respectivamente, que pueden ser tratadas como funciones discretas generalizadas.

Definición 2.- Una función discreta es una función entera cuando cada uno de los conjuntos L y S_j están formados por enteros no negativos,

$$f : \prod_{i=0}^{n-1} \{0, 1, \dots, m_i-1\} \rightarrow \{0, 1, \dots, p-1\}$$

donde p y m_i son las cardinalidades de los conjuntos L y S_j , respectivamente.

Definición 3.- Una función discreta es una función lógica cuando los conjuntos L y S_j tienen la misma cardinalidad, es decir:

$$f : \{0, 1, \dots, p-1\}^n \rightarrow \{0, 1, \dots, p-1\}$$

Definición 4.- Una función lógica es una función de conmutación cuando la cardinalidad de los conjuntos S_j y L es dos, es decir:

$$f : \{0, 1\}^n \rightarrow \{0, 1\}$$

Definición 5.- Una función lógica es una función multivaluada cuando la cardinalidad de los conjuntos S_j y L es mayor que dos.

Como quiera que nuestro interés está centrado en las aplicaciones electrónicas dirigidas al modelado de un determinado tipo de circuitos (circuitos multivaluados), las siguientes definiciones están dirigidas en este sentido.

Definición 6.- Se denomina circuito de conmutación aquel que realiza una función de conmutación.

Así, los problemas relativos al análisis y la síntesis de circuitos de conmutación son el tema de estudio del ya bien estructurado campo conocido como Teoría de Conmutación.

Definición 7.- Se llama circuito lógico aquel que realiza una función lógica. En consecuencia, se llama circuito lógico multivaluado aquel que realiza una función lógica multivaluada.

Definición 8.- Una función entera es una función binaria cuando tiene la forma:

$$f : \prod_{i=0}^{n-1} \{0, 1, \dots, m_i-1\} \rightarrow \{0, 1\}$$

es decir, es una función bivaluada de variables multivaluadas.

Ejemplo: La matriz de adyacencia de un grafo,

$$f : V^2 \rightarrow \{0, 1\}$$

donde V es el conjunto de vértices del grafo.

Como veremos más adelante, algunos tipos de funciones binarias son de gran ayuda en el análisis y síntesis de circuitos multivaluados.

Definición 9.- Sea Z_r un conjunto (finito) de enteros $\{0, 1, \dots, r-1\}$, la función discreta:

$$f : \{0, 1\}^n \rightarrow Z_r$$

es lo que se conoce como una función pseudo-lógica.

Establecidas estas definiciones preliminares y, ya que, uno de los métodos de representación de funciones más útiles es el basado en expresiones algebraicas, haremos a continuación un breve compendio de nociones algebraicas que contribuirán a hacer este trabajo autocontenido, haciendo hincapié fundamentalmente en la estructura reticular que poseen las funciones discretas y, en particular las funciones multivaluadas.

Definición 10.- Denominaremos abreviadamente un Poconjunto (Poset) a un conjunto en el que se ha definido una relación de orden parcial.

Cuando se cumple la ley de dicotomía en un Poconjunto, es decir, cuando $\forall a, b \in P$ se cumple que $a \leq b$ o bien $b \leq a$, entonces el Poconjunto se llama un a cadena (conjunto totalmente ordenado) y el ordenamiento se llama ordenamiento lineal o total. Cuando $a, b \in P$ tal que:

$$\begin{aligned} a &\not\leq b \\ b &\not\leq a \end{aligned}$$

decimos entonces que a y b no son comparables.

Una forma simple e intuitiva de representación de un Poconjunto la constituyen los denominados diagramas de Haase. En él cada elemento del conjunto está representado por un punto, uniéndose mediante un segmento dos puntos siempre que los elementos representados por dichos puntos sean comparables, y situando en una posición inferior aquel que sea inferior en dicha comparación.

Definición 11.- Un Poconjunto P se llama un retículo si cada par de elementos de P tiene una cota superior mínima y una cota inferior máxima.

Recordemos asimismo que, en un Poconjunto, un elemento z tal que $z \leq x, \forall x \in P$ es necesariamente único si existe, y se llama elemento ce-

ro de P y se denota por 0 . Paralelamente se define el elemento unidad.

Por ser los retículos finitos los que nos interesan, nos ceñiremos a partir de ahora a ellos.

Teorema 1.- Todo retículo finito tiene tanto elemento cero como elemento unidad.

Prueba: Remítimos a la bibliografía consultada /3/.

Es fácil ver que tanto el dominio como el codominio de las funciones lógicas tienen estructura de retículos finitos.

Definición 12.- En cualquier retículo se definen las operaciones:

Unión : $a \vee b =$ cota superior mínima de $\{a, b\}$, $\forall a, b \in S$

Intersección : $a \wedge b =$ cota inferior máxima de $\{a, b\}$, $\forall a, b \in S$

En particular, para una cadena, tenemos que:

$$a \vee b = \text{máx} \{a, b\}$$

$$a \wedge b = \text{mín} \{a, b\}$$

Teorema 2.- Para las operaciones unión e intersección definidas en un retículo se cumplen siempre las cuatro propiedades siguientes:

$$\forall a, b, c \in S$$

- | | |
|-----------------------------|---|
| | $a \vee a = a$ |
| 1) <u>Ley idempotente:</u> | $a \wedge a = a$ |
| | $a \vee b = b \vee a$ |
| 2) <u>Ley conmutativa:</u> | $a \wedge b = b \wedge a$ |
| | $a \vee (b \vee c) = (a \vee b) \vee c$ |
| 3) <u>Ley asociativa:</u> | $a \wedge (b \wedge c) = (a \wedge b) \wedge c$ |
| | $a \vee (a \wedge b) = a$ |
| 4) <u>Ley de absorción:</u> | $a \wedge (a \vee b) = a$ |

Prueba: Es inmediata a partir de la definición 12.

Observación 1.- Alternativamente, un retículo también se puede definir de la siguiente forma: Todo conjunto S en el cual se definen dos operaciones \vee y \wedge que satisfacen las propiedades 2), 3) y 4) anteriores es un retículo.

Definición 13.- Un retículo se dice que es modular si y solo si:

$\forall a, b, c \in S$ se cumple que :

$$a \wedge b \vee (a \wedge c) = (a \wedge b) \vee (a \wedge c)$$

Así, por ejemplo es modular el retículo representado por el diagrama de Haase de la figura 2.1.1.a. En cambio, no es modular el de la figura 2.1.1.b.

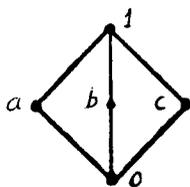


Fig.2.1.1.a:
Retículo modular

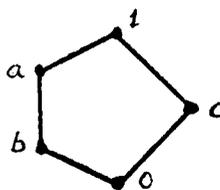


Fig.2.1.1.b:
Retículo no-modular

Definición 14.- Un retículo es distributivo si y sólo si: $\forall a, b, c \in S$ se cumple que:

$$a \wedge (b \vee c) = (a \wedge b) \vee (a \wedge c)$$

Por ejemplo, es distributivo el retículo representado en la figura 2.1.2.

Observación 2.- Es fácil demostrar que todo retículo distributivo es modular, pero la inversa no es cierta en general, como es el caso del retículo modular representado en la figura 2.1.1.a.

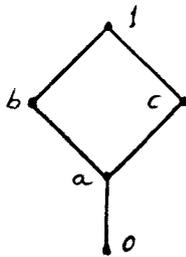


Fig.2.1.2: Retículo distributivo

Definición 15.- Un retículo finito es complementado si y sólo si $\forall a \in S$ existe al menos un elemento $b \in S$ tal que:

$$a \vee b = 1$$

$$a \wedge b = 0$$

A tal elemento, que denotaremos \bar{a} , lo llamamos complemento de a .

Los tres ejemplos anteriores son retículos complementados. Obsérvese que de los tres, el elemento c tiene dos complementos en dos de ellos.

Observación 3.- Un retículo sólo puede ser complementado si previamente tiene los elementos 0 y 1 , como es el caso de los retículos finitos.

Teorema 3.- En un retículo finito (o más genéricamente, con elementos 0 y 1) y que sea distributivo, un complemento es único si existe.

Prueba: Remitimos a la bibliografía consultada /3/.

Definición 16.- Un retículo distributivo y complementado es un Algebra de Boole.

En un álgebra de Boole las operaciones unión e intersección reciben los nombres de producto y suma, respectivamente, y normalmente se denotan por los símbolos " \cdot " y " $+$ ".

Alternativamente, para definir un álgebra de Boole se puede utilizar un conjunto de postulados básicos, como el dado por E.V.Huntington en 1904 en un trabajo ya clásico:

Definición 17.- Un álgebra booleana , B, es un conjunto sobre el cual se ha definido una relación de equivalencia " = " y dos operaciones binarias " + " y " · " tal que se cumplen los siguientes postulados:

P1.- Clausura: $\forall a, b \in B$, $a+b$ y $a \cdot b$ están unívocamente definidos en B.

P2.- Elementos identidad: Existen elementos 0 y 1 en B tal que $\forall a \in B$ se cumple que,

$$a + 0 = a$$

$$a \cdot 1 = a$$

P3.- Conmutativa: $\forall a, b \in B$ se cumple que:

$$a + b = b + a$$

$$a \cdot b = b \cdot a$$

P4.- Distributivas: $\forall a, b, c \in B$ se cumple que:

$$a + bc = (a + b)(a + c)$$

$$a(b + c) = ab + ac$$

P5.- Leyes de complementaridad: $\forall a \in B$, existe un elemento $\bar{a} \in B$ tal que:

$$a + \bar{a} = 1$$

$$a \cdot \bar{a} = 0$$

P6.- Hay al menos dos elementos no equivalentes en B.

P7.- Principio de sustitución: Si $a=b$, entonces $\forall c \in B$ se cumple que:

$$a + c = b + c$$

$$a \cdot c = b \cdot c$$

Es de notar que, las anteriormente definidas funciones de conmutación están definidas sobre un conjunto $\{0, 1\}$ que tiene estructura de álgebra de Boole, de ahí que a veces se le llamen funciones booleanas. Normalmente se confunden los dos términos y sin embargo hay una diferencia sutil entre álgebra de conmutación y álgebra de Boole. Es más, toda álgebra de conmutación es un álgebra de Boole pero no a la inversa. Ilustraremos esto con un ejemplo. Sea la función de conmutación dada por la expresión:

$$F_1(x_1, x_2) = \bar{x}_1 + x_2 \tag{2.1}$$

Esta función puede evaluarse sobre el álgebra de Boole dada por el diagrama de Haase de la figura 2.1.3. Por ejemplo, para $x_1=1$ y $x_2=0$:

$$F_1(x_1, x_2) = \bar{1} + 0 = 0$$

Consideremos ahora la función booleana

$$F_2(x_1, x_2) = \bar{x}_1 + x_2 \tag{2.2}$$

definida sobre el álgebra de Boole dada por el diagrama de Haase de la figura 2.1.4. En este caso, por ejemplo, para $x_1=a_2$ y $x_2=0$:

$$F_2(x_1, x_2) = \bar{a}_2 + 0 = a_5 + 0 = a_5.$$



Fig.2.1.3.

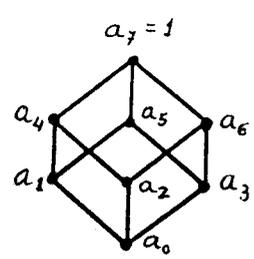


Fig.2.1.4.

Obviamente $(1 > a_5 > 0)$; la función (2.1) aunque formalmente parece idéntica a (2.2) resume una aplicación que en la práctica es distinta

según se ha hecho referencia más arriba.

Las funciones booleanas, y por tanto las de conmutación, están relacionadas con la lógica formal (o lógica matemática), por lo que es usual llamar al cuerpo de doctrina que estudia las funciones de conmutación, Lógica Booleana a Lógica Binaria. Lo mismo ocurre con las funciones lógicas multivaluadas, recibiendo el nombre de Lógica Multivaluada el estudio de dichas funciones.

Hemos visto que el concepto de complemento de una variable es básico para el desarrollo de un álgebra booleana. Por otro lado, este tipo de álgebra es una herramienta fácil y potente para el análisis y la síntesis de circuitos de conmutación, por lo que en un principio se podría desear utilizarlas para la representación de funciones multivaluadas. Sin embargo, como se puede demostrar fácilmente /11/, no es posible encontrar una definición de complemento tal que satisfaga los teoremas del álgebra booleana, para el caso multivaluado. Esto no significa que no se pueda usar un complemento tal que ayude en las tareas de minimización y construcción de funciones multivaluadas.

En estas condiciones introduciremos a continuación un nuevo tipo de estructuras, las álgebras de Post disjuntas, que como veremos más adelante, se adecúan muy bien para la representación de funciones multivaluadas.

Definición 18.- Álgebras de Post Disjuntas /5, 6, 12/

Sea un sistema cerrado caracterizado por $\{S, V, C_0, C_1, \dots, C_{p-1}, e_0, e_1, \dots, e_{p-1}\}$ donde $e_0 \dots e_{p-1}$ son elementos distinguidos de $S \cdot V$ y $C_0 \dots C_{p-1}$ son operadores binarios. $C_0 \dots C_{p-1}$ son operadores unarios. Este sistema es un álgebra de Post de orden p si satisface los siguientes postulados $\forall x, y \in S$:

P1.-El conjunto S con las operaciones \vee y \wedge es un retículo distributivo.

P2.- a) $e_0 \vee x = x$

b) $e_i \wedge e_j = e_i, \forall i \leq j$

c) $e_i \wedge e_j = e_j, \forall i \leq j$

d) $x \wedge e_{p-1} = x$

P3.- a) $C_i(x) \wedge C_j(x) = e_0, \forall i \neq j$

b) $C_0(x) \vee C_1(x) \vee \dots \vee C_{p-1}(x) = e_{p-1}$

P4.- a) $C_i(x \vee y) = \{ C_i(x) \wedge [C_0(y) \vee C_1(y) \vee \dots \vee C_i(y)] \} \vee$
 $\vee \{ C_i(y) \wedge [C_0(x) \vee C_1(x) \vee \dots \vee C_i(x)] \}$
 $\forall i > 1$

b) $C_0(x \wedge y) = C_0(x) \vee C_0(y)$

P5.- $C_i(e_j) = e_0, \forall i \neq j$

P6.- $x = \bigvee_{i=0}^{p-1} [e_i \wedge C_i(x)]$

En particular, para $p = 2$, tenemos $e_0 = 0, e_1 = 1, C_0(x) = \bar{x}$ y $C_1(x) = x$ y sustituyendo tenemos uno de los conjuntos de axiomas que definen el álgebra de Boole. Obsérvese que del postulado P3 surge la definición de complemento en este álgebra.

Se puede observar también que los elementos distinguidos, e_i , constituyen un subretículo muy particular, una cadena. Al número de elementos p , es a lo que se denomina orden del álgebra de Post.

En la figura 2.2.5 están representados los distintos diagramas de Haase para las álgebras de Post de orden 2, 3, etc. En primer lugar vemos que en la primera fila aparece representadas todas las álgebras postianas de orden 2, es decir, todas las álgebras booleanas. La primera columna es también singular, ya que, como se observa, está formada por cadena, es decir, representa a aquellas álgebras en las que el conjunto S coincide con la cadena e_0, e_1, \dots, e_{p-1} .

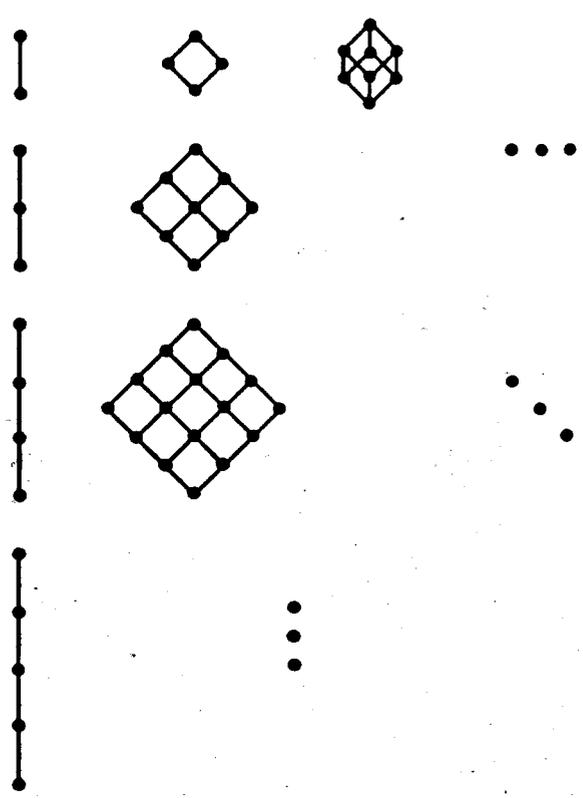


Fig. 2.2.5: Algebras de Post

Hay que destacar la diferencia fundamental que existe, por ejemplo, entre el diágrama de la fila 1ª columna 2ª correspondiente al álgebra de Boole B_2^2 y el diágrama de la fila 3ª y columna 1ª, ya que aunque las dos álgebras representadas tienen 4 elementos, éste último diágrama no corresponde a una álgebra de Boole, pues no todos sus elementos tienen complemento (tal y como se entiende por tal en un retículo).

2.3. LOGICA MULTIVALUADA.

Con este sustrato teórico, podemos ya centrarnos en dar una visión del cuerpo de doctrina que se ha ido configurando en los últimos años y que se conoce como Teoría Lógica Multivaluada (LMV). Por tal se entiende el conjunto de conceptos y técnicas destinadas al modelado (y por tanto útiles para el análisis y síntesis) de circuitos electrónicos que

realizan funciones multivaluadas. Expresado así, vemos que la lógica MV se define con respecto a los circuitos multivaluados de forma paralela a la Teoría de Conmutación. Sin embargo, tiene un alcance sensiblemente mayor. En primer lugar, la lógica MV puede considerarse como una extensión directa de la Teoría de la Conmutación en lo que se refiere al modelado lógico de sistemas digitales en condiciones estáticas. Pero al mismo tiempo, la lógica MV permite modelar situaciones transitorias que aparecen durante el funcionamiento de circuitos binarios y no son representables empleando los dos valores lógicos de un álgebra de conmutación; por ejemplo, los fenómenos de azar (hazard) son detectables de forma sistemática utilizando un álgebra MV /10/.

Igual que en los de conmutación, la realizabilidad práctica de circuitos MV depende principalmente de dos factores críticos, como son la disponibilidad de implementaciones fiables de algunos circuitos MV básicos (también llamados puertas MVs o primitivas), y de adecuadas técnicas de síntesis. Del primero de ellos nos ocuparemos en el apartado 2.6, mientras que en relación con el segundo, seguidamente se expondrá con cierto detenimiento algunas herramientas destinadas al modelado de circuitos combinatoriales MV, pasando a continuación en el apartado 2.3.2 a esbozar los aspectos más relevantes de distintos métodos de síntesis.

2.3.1 METODOS GENERALES DE REPRESENTACION DE FUNCIONES MULTIVALUADAS.

Existen distintos métodos para representar funciones MV, aunque todos caen dentro de alguno de los dos grupos siguientes:

- I) Métodos gráficos y tabulares.
- II) Métodos algebraicos.

Los métodos algebraicos, cuyo sustrato hemos visto en el apartado precedente, dependen esencialmente del álgebra que se considere. Serán tratados con mayor detenimiento por su importancia en 2.3, pasando a

continuación a describir los métodos gráficos y tabulares más esenciales:

1.a.- Tablas de verdad o carta de Veitch corresponde al listado de los distintos valores de cada variable de salida en función de todas las posibles combinaciones de los valores de las variables de entrada, puestas éstas en orden lexicográfico. Normalmente, si la función que tenemos es;

$$f: S \times S \times \dots \times S \quad S$$

el dominio se particiona en dos grupos de conjunto, tal y como;

$$(S \times S \times \dots \times S) \text{ y } (S \times S \times \dots \times S)$$

tal que $r + s = n$, para obtener una tabla o mapa de Marquand.

1.b.- Mapas de Karnaugh.- Es idéntica a la anterior salvo que la enumeración del dominio es en orden de código Gray. Fue sugerida por Karnaugh en 1.953 para las funciones de conmutación.

La diferencia fundamental entre las tablas de verdad y de Karnaugh está en el término adyacencia. Cabe considerar los puntos del dominio $\times_n S$ como puntos de un espacio euclidiano n - dimensional R^n . Así, dos puntos a_0 y a_1 son adyacentes si sólo difieren en una única coordenada.

1.c.- Representación cúbica.- La anterior interpretación n -dimensional permite hacer un mapeo de la función MV n -dimensional en un cubo n -dimensional de arista p (el número de elementos distintos de S). Este cubo n -dimensional sólo tiene aquellos vértices para los cuales la función es no-nula.

1.d.- Representación topológica .- Al incrementarse el número de variables y/o el número de elementos de S , la complejidad

geométrica se dispara, por lo que es más conveniente que la información esencial de la representación cúbica pueda retenerse definiendo unos conjuntos en los cuales aparezcan los vértices agrupados en función del valor que la función tenga en ellos. Este tipo de anotación tiene la ventaja de ser fácilmente almacenada y procesada por un computador, facilitando, por ejemplo, tareas como las minimización.

En las tablas 2.3.1, 2.3.2 y 2.3.3 pueden verse los mapas de Veitch, Karnaugh y notación cúbica respectivamente, para la función:

$$f: S^2 \times S \rightarrow S \text{ donde } S = \{0,1,2\}$$

definida por:

$$f = x_1 \vee (x_2 \wedge x_3)$$

		x_1x_2								
		00	01	02	10	11	12	20	21	22
x_3	0	0	0	0	1	1	1	2	2	2
	1	0	1	1	1	1	1	2	2	2
	2	0	1	2	1	1	2	2	2	2

Tabla 2.1.1.

		x_1x_2								
		00	01	02	10	11	12	20	21	22
x_3	0	0	0	0	1	1	1	2	2	2
	1	0	1	1	1	1	1	2	2	2
	2	0	1	2	2	1	1	2	2	2

Tabla 2.1.2.

	(0,0,0)	(0,2,2)
	(0,0,1)	(1,2,2)
OFF =	(0,0,2)	(2,0,0)
	(0,1,0)	(2,0,1)
	(0,2,0)	(2,0,2)
	(0,1,1)	ON ₂ = (2,1,0)
	(0,1,2)	(2,1,1)
	(0,2,1)	(2,1,2)
	(1,0,0)	(2,2,0)
	(1,0,1)	(2,2,1)
ON ₁ =	(1,0,2)	(2,2,2)
	(1,1,0)	
	(1,1,1)	
	(1,1,2)	
	(1,2,0)	
	(1,2,1)	

Tabla 2.3.3

2.4.- REPRESENTACIONES ALGEBRAICAS.

Una expresión algebraica permite representar elementos de S en función de otros elementos de S, y contiene toda la información requerida para obtener los elementos "representados" a partir de los elementos "representantes". Así, un problema fundamental en el estudio de sistemas algebraicos, y cuya resolución se han dedicado muchos de los recientes trabajos en lógica MV, es conseguir que los elementos de un sistema dado se expresen en función de un subconjunto de elementos del sistema. Luego una vez elegido un conjunto de funciones implementables en la practica, hay que disponer de un álgebra tal que funciones de complejidad arbitraria pudan ser representadas en términos de simples combinaciones algebraicas de esas funciones básicas. Si además, la elección de las funciones básicas y el álgebra permiten el desarrollo de una técnica para simplificar de una forma práctica las representaciones funcionales desarrolladas, dichas representaciones serán más útiles. Por otro lado, es de desear que un tal sistema sea válido con independencia del valor de la lógica.

Con este criterio de bondad para un álgebra, distinguiremos dos tipos /6/. Las álgebras de tipo B, que son aquellas en las que los operadores unarios de Post son bivaluados, y las álgebras de tipo M, que son aquellas en las que dichos operadores son multivaluados.

En el siguiente subapartado estudiaremos un álgebra de tipo B, llamada álgebra de Allen y Givone, que puede considerarse como la más efectiva y de uso más extendido entre las de este tipo /6,11,16/.

2.4.1.- ALGEBRA DE ALLEN-GIVONE.

Consideremos un álgebra de Post disjunta de $p+1$ valores, siendo el conjunto S:

$$S = \{ 0, 1, 2, \dots, p \}$$

por tanto disponemos ya de los operadores binarios max y min (por tratarse de una cadena) y sólo nos queda concretar los operadores unarios del álgebra.

Definición 19.- Un operador de Givone o literal es un operador unario que viene definido por:

$$x = \begin{cases} p & \text{sii } a \leq x \leq b \\ 0 & \text{en otro caso} \end{cases} \quad (2,3)$$

Observación: Nótese que x es una variable bivaluada aunque x es multivaluada. Asimismo, observese que no se trata de una función binaria ya que el codominio es $(0,p)$ y no $(0,1)$.

Definición 20.- Un operador de Givone complementado o literal complementado se define como :

$$\overline{x} = \begin{cases} 0 & \text{sii } a \leq x \leq b \\ p & \text{en otro caso} \end{cases} \quad (2,4)$$

Definición 21.- Cualquier álgebra de Post disjunta en la que los operadores unarios están definidos como operadores de Givone, recibe el nom

bre de álgebra de Allen-Givone.

El conjunto de operadores así definidos es redundante, ya que cualquier subconjunto de $(p+1)$ operadores, con la única restricción de que sean disjuntos dos a dos (ver P3 de la definición 18), es suficiente para que el álgebra sea completa. Normalmente dicho subconjunto está integrado por los dos tipos de operadores que se introducen a continuación.

Definición 22.- Un operador básico de Givone, $x_{i,j}$, es un operador de Givone en el que $i=j, \forall i \in S$.

Una alternativa es elegir $\lceil \log_2 (p+1) \rceil$ operadores y definir la operación complemento de la forma siguiente:

Definición 23.- El complemento de una variable MV es un operador unario dado por:

$$\bar{x} = p - x \tag{2.5}$$

donde el signo menos corresponde a la sustracción aritmética. De esta manera, aplicando este operador sobre los operadores de Givone escogidos obtenemos el resto de los operadores unarios necesarios para que el álgebra sea completa. Incluso, en lógicas de bases impares, obtenemos un operador más de los necesarios estrictamente.

Esta forma de elegir el conjunto de operadores presenta además la ventaja de que la manipulación de las expresiones algebraicas se torna mucho más cómoda, como se verá seguidamente, y la minimización de funciones MV se puede hacer de una forma que recuerda bastante a la minimización de las funciones booleanas.

Antes de que pasemos a ver alguna de las propiedades algebraicas más útiles, cabe señalar que los operadores de Givone o literal reciben con frecuencia nombres distintos, dependiendo del contexto y del autor, como también sucede con otros operadores que veremos más adelante. Esto puede inducir a confusión a veces, por lo que se está haciendo cada vez más necesaria una normalización de la nomenclatura. Así, por ejemplo es

corriente encontrar denominaciones tales como:

$J_i(x)$ función característica de 2^0 género del número i , /17/
 Equivale al operador básico de Givone, $x_{i,i}$.
 x_i Literal delta, /18/. Equivale a $x_{i,i}$.

o bien en el campo de las funciones discretas:

$x^{(c)}$ Exponenciación en el retículo, siendo $S \supset c = \{i, \dots, j\}$
 Equivale a $x_{i,j}$.

Por otro lado no hay que confundir los anteriores con los que aparecen en la siguiente definición:

Definición 24.- Función intervalo (cerrado) de una variable MV es un operador unario definido por:

$$x_{[a,b]} = \begin{cases} 1 & \text{si } a \leq x \leq b \\ 0 & \text{en otro caso} \end{cases} \quad (2.6)$$

Si $a=b$, se denomina intervalo delta, o función característica del número a , $j_a(x)$.

$x_{[a,b]}$ también recibe el nombre de literal delta fuerte, $x^{a,b}$ /19/. Nótese que $x_{[a,b]} = 1 \cdot x_{a,b}$.

2.4.1.1. Propiedades algebraicas.-

Ya que $x_{a,b}$ y $\overline{x_{a,b}}$ son bivaluadas y por su definición satisfacen todos los axiomas del álgebra de Boole, también satisfacen todos sus teoremas. Sin embargo, resulta interesante poner de manifiesto una serie de propiedades que son directa o indirectamente derivables del carácter bivaluado de los operadores de Givone y que tienen gran incidencia en la capacidad manipulativa que estos operadores ofrecen. En cualquier caso, conviene resaltar que son los operadores de Givone y no las variables MV del álgebra de Allen-Givone los que satisfacen tal álgebra.

Propiedad 1:
$$\overline{x_{a,b}} = x_{o,a-1} + x_{b+1,p} \quad (2,7)$$

$$\text{donde } \begin{cases} 0, a-1 \\ x = 0 & \text{para } a = 0 \\ b+1, p \\ x = 0 & \text{para } b = p \end{cases}$$

Propiedad 2: $\begin{matrix} 0, p \\ x = p \end{matrix} \quad (2,8)$

Propiedad 3:

$${}_{a,w}x + {}_{y,b}x = \begin{cases} {}_{a,b}x & \text{si } a \leq y \leq w \leq b \\ {}_{y,b}x & \text{si } y \leq a \leq w \leq b \\ \frac{{}_{w+1,y-1}x}{x} & \text{si } w < y, a = 0 \text{ y } b = p \end{cases} \quad (2,9)$$

Propiedad 4:

$${}_{a,b}x = {}_{c,d}x + {}_{e,f}x \quad \text{sii} \begin{cases} a = c \cdot e \\ b = d + f \\ e-1 \leq d \\ c-1 \leq f \end{cases} \quad (2,10)$$

Propiedad 5:

$${}_{a,w}x \cdot {}_{y,b}x = \begin{cases} {}_{y,w}x & \text{si } a \leq y \leq w \leq b \\ {}_{y,b}x & \text{si } a \leq y \leq b \leq w \\ 0 & \text{si } a \leq w \leq y \leq b \end{cases} \quad (2,11)$$

Propiedad 6:

$${}_{a,b}x = {}_{c,d}x \cdot {}_{e,f}x \quad \text{sii} \begin{cases} a = c \cdot e \\ b = d \cdot f \\ c \leq f \\ e \leq d \end{cases} \quad (2,12)$$

Propiedad 7:

$$\begin{aligned} \overline{a,b} \\ x + \overline{a,b} \\ x &= p \\ \overline{a,b} \\ x \cdot \overline{a,b} \\ x &= 0 \end{aligned} \tag{2,13}$$

Vamos a ver que haciendo uso de (2,3) y de las constantes multivaluadas $c_i \in \{0,1, \dots, p\}$, podemos expresar cualquier función MV median-

te $\overline{a_i, b_i}$ y c_i .

De (2,3) y de la definición de operación min:

$$c \cdot x = \begin{cases} c & \text{si } a \leq x \leq b \\ 0 & \text{en otro caso} \end{cases} \tag{2,14}$$

y de (2,5):

$$\overline{c \cdot x} = \begin{cases} p-c & \text{si } a \leq x \leq b \\ p & \text{en otro caso} \end{cases} \tag{2,15}$$

Teorema 4:

$$\overline{c + x} = \overline{c} \cdot \overline{a,b} \\ x \tag{2,16}$$

Prueba: Distinguiremos los dos casos de las definiciones 19 y 20:

caso 1: para $a \leq x \leq b$, el primer miembro es:

$$\overline{c + x} = \overline{c + p} = \overline{p} = 0$$

y el segundo miembro es:

$$\overline{c} \cdot x = \overline{c} \cdot 0 = 0$$

caso 2: para $a > x$ ó $b < x$, el primer miembro es:

$$\overline{c + x} = \overline{c + 0} = \overline{c}$$

y el segundo miembro es:

$$\overline{c} \cdot x = \overline{c} \cdot p = \overline{c}$$

□

Teorema 5:

$$\overline{c \cdot x} = \overline{c} + \overline{x} \quad (2,17)$$

La demostración es paralela a la anterior. O bien, a partir del teorema anterior y las leyes de De Morgan, ya que la definición 23 también satisface dichas leyes /11/.

Extensiones inmediatas de (2,16) y (2,17) son las expresiones:

$$\overline{c + \sum_j a_j x_j} = \overline{c} \cdot \prod_j \overline{a_j x_j} \quad (2,18)$$

$$\overline{c \cdot \prod_j a_j x_j} = \overline{c} + \sum_j \overline{a_j x_j} \quad (2,19)$$

Teorema 6: Toda función MV de n variables se puede expresar en la forma:

$$f(x_1, \dots, x_n) = \sum_{i=0}^p x_j^{i,i} \cdot f_j(i) \quad (2,20)$$

donde:

$$f_j(i) = f(x_1, \dots, x_{j-1}, i, x_{j+1}, \dots, x_n)$$

Es decir, éste es el conocido desarrollo de Shannon para la variable x_j .

Teorema 8: Toda función MV de n variables admite un desarrollo en la forma:

$$f = \sum_k c_k \cdot \prod_{j=1}^n a_{kj} x_j^{b_{kj}} \quad (2,21)$$

donde c_k son constantes.

De cara a la minimización de expresiones, precisaremos algunos conceptos relativos a este tipo de desarrollos.

Definición 25: Un término producto o función bloque es una función MV de la forma:

$$P(x_1, \dots, x_n) = c \cdot \prod_{i=1}^n a_i x_i^{b_i}$$

donde $c \in S$ y se llama peso o rango del término producto. Un término producto tal que $a_i = b_i, \forall i$ es un elemento join-irreducible o min-término y la expresión (2,21), recibe el nombre de desarrollo canónico disjuntivo de la función f .

Definición 26: Un término producto

$$P_k = c_k \cdot \overset{a_{k_1}, b_{k_1}}{x_1} \cdot \overset{a_{k_2}, b_{k_2}}{x_2} \cdot \dots \cdot \overset{a_{k_n}, b_{k_n}}{x_n}$$

se dice que cubre a otro término producto:

$$P_j = c_j \cdot \overset{a_{j_1}, b_{j_1}}{x_1} \cdot \dots \cdot \overset{a_{j_n}, b_{j_n}}{x_n}$$

$$\text{si y sólo si : } \begin{cases} 1^\circ) c_j \leq c_k \\ 2^\circ) a_{k_i} \leq a_{j_i} \leq b_{j_i} \leq b_{k_i}, \forall i \in \{0, 1, \dots, n\} \end{cases}$$

Definición 27: Un término producto $P(\vec{x})$ es una implicante de la función $f(\vec{x})$ (es decir, P implica a f) si y sólo si el valor que toma P no excede del valor que toma f para cualquier asignamiento de las variables $(x_1, \dots, x_n) = \vec{x}$ para los que f está definida. Es decir, denominando a un asignamiento de las variables por \vec{c} (vector de constantes): $P(\vec{x})$ es una implicante de $f(\vec{x})$ si:

$$1^\circ) P(\vec{c}) > 0 \quad \forall \vec{c} \in S^n$$

$$2^\circ) P(\vec{c}) \leq f(\vec{c}) \quad \forall \vec{c} \in S^n$$

Definición 28: Una implicante de una función recibe el nombre de implicante prima si no es implicada por otras implicantes de la función.

2.4.1.2: MÉTODOS DE MINIMIZACIÓN.

Se entiende por simplificación de una expresión algebraica al proceso de obtención de una expresión equivalente que es mejor bajo algún criterio, frecuentemente denominado criterio de coste, mientras que minimización es el proceso de obtención de una expresión algebraica que

es la óptima bajo dicho criterio. Este varía normalmente con el avance de la tecnología, existiendo una relación entre el coste de una realización y el número de entradas a las puertas (consideradas como primitivas), número de puertas; conjunto de puertas distintas, cableado, etc. Esto, en muchos casos, está también relacionado con el número de literales que contiene una expresión algebraica.

La mayoría de los métodos de minimización consisten en, partiendo de la forma normal disyuntiva, obtener el conjunto de implicantes primas y la elección de un cubrimiento mínimo a partir de este conjunto. No obstante, para funciones, f , con un número pequeño de variables (por ejemplo $n \leq 4$) y en bases pequeñas ($p+1 \leq 4$), tanto f como \bar{f} pueden minimizarse por cálculos a mano utilizando los teoremas y propiedades anteriores o por el empleo de mapas. Para funciones con n y/o $(p+1)$ superiores, lo más conveniente es utilizar métodos tabulares, similares a los conocidos para funciones de conmutación. En este sentido, una buena referencia básica pueden ser los trabajos de Su y Sarris /11/ y Su y Cheung /5/.

Alternativamente, existe un tipo de implementación muy similar debida a Birk y Farmer /20/, en la que en lugar de utilizar literales se consideran los operadores unarios que introducimos a continuación.

Definición 29: Un detector de umbral o literal de umbral (U_p) es un operador unario con salida bivaluada definido por:

$$x^i = \begin{cases} p & \text{si } x \geq i \\ 0 & \text{en otro caso} \end{cases} \quad (2,22)$$

También se designa por $U_i(x)$.

De una forma paralela se define el detector de umbral (down)

$$D_i(x) = \begin{cases} p & \text{si } x \leq i \\ 0 & \text{en otro caso} \end{cases} \quad (2,23)$$

Lógicamente un operador de Givone puede expresarse en función de

de estos operadores, así:

$$x^{i,j} = x^i \cdot \overline{x^{j+1}} \quad (2,24)$$

o a la inversa:

$$x^i = x^{i,p} \quad (2,25)$$

Para realizaciones del tipo de Birk y Farmer existe un procedimiento algorítmico que permite la obtención de minimizaciones óptimas o casi óptimas /6/. El interés de estas implementaciones reside en la mayor facilidad de realización de los detectores de umbral en todas las tecnologías integradas existentes.

Como recapitulación de las álgebras que acabamos de ver, la estructura de circuito a la que llegamos está representada por el diagrama de bloques de la figura 2.4.1. En ésta el bloque decodificador está consti

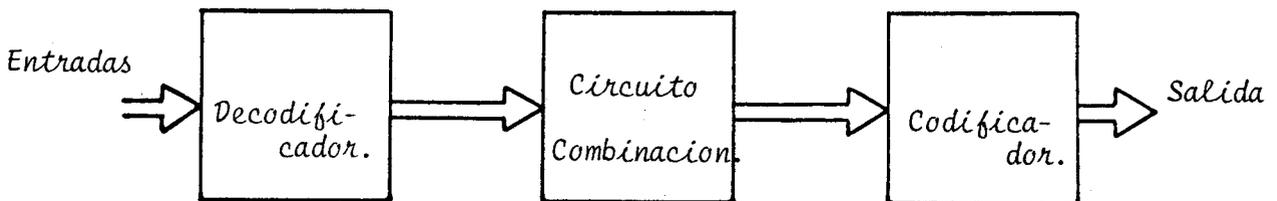


Fig. 2.4.1.

tuido por operadores unarios de salida bivaluada. A primera vista, esta estructura puede parecer bastante ineficaz, ya que puede pensarse que es un abandono de la solución multivaluada al diseño. Pero presenta las enormes ventajas que suponen, tener expresiones canónicas muy simples y emplear técnicas de minimización cuyo paralelismo con el binario no es necesario resaltar. Incluso el bloque central de la figura se puede implementar con circuitos binarios estandars. Es más, como señala McCluskey /41/, es posible el diseño de circuitos que respondan a esta arquitectura utilizando únicamente métodos de diseño de la lógica binaria clásica, con lo que no es necesario de que el diseñador tenga que apren

der un nuevo formalismo de diseño co objeto de utilizar la lógica MV.

2.4.2.- ALGEBRA DE VRANESIC, LEE Y SMITH.

Dentro de este subapartado vamos a describir cocisamente otra de las álgebras que más se utilizan, junto con la de Allen-Givone, y en la que los operadores unarios son multivaluados, con lo que nos servirá pa ra ilustrar las álgebras de tipo M a que hicimos referencia antes.

Consideremos un conjunto de variables (x_1, x_2, x_3, \dots) que pueden tomar p valores lógicos del conjunto $S = \{0, 1, \dots, p-1\}$. Al ser dicho conjunto una cadena, tambien tenemos definidas las operaciones binarias reticulares max y min que ya conocemos. Los operadores unarios definidos ahora son:

Definición 30: Llamaremos "inversor" de Vranesic al operador unario da do por:

$$x^{(k)} = \begin{cases} k & \text{si } x=0, \forall k \in S \\ 0 & \text{en otro caso} \end{cases} \quad (2,26)$$

por tanto vemos que existen p inversores de Vranesic distintos.

Definición 31: Se denomina operador cíclico en sentido horario (o sim plemente, operador cíclico) de orden k a un operador definido por:

$$x \xrightarrow{k} = (x + k) \text{ mód } p, \forall k \in S \quad (2,27)$$

En particular si $k = 1$ recibe el nombre de operador sucesor, y se designa por $x \rightarrow$ simplemente.

Por tanto existen p operadores cíclicos diferentes tambien.

Estos son realmente los operadores unarios que introdujo primero Post /22/ y demostró que los operadores cíclicos junto con la operación producto lógico, forman un conjunto funcionalmente completo. Como conse cuencia, el conjunto de operaciones que tenemos en este álgebra es un conjunto redundante, pero en cambio simplifican los desarrollos de las

funciones y su manipulación.

Definición 32: Se llama álgebra de Vranesic-Lee-Smith a un álgebra de Post disjunta en la que los operadores unarios son los p operadores cíclicos y los p inversores que se pueden definir sobre el conjunto S .

Definición 33: Operador cíclico en sentido anti-horario de orden k es un operador unario dado por:

$$x \xleftarrow{k} = (x - k) \text{ mód } p, \quad \forall k \in S \quad (2,28)$$

Este operador es conveniente introducirlo, aunque no tiene un significado lógico independiente al de la definición 31.

2.4.2.1: PROPIEDADES ALGEBRAICAS.

A partir de las definiciones anteriores es fácil deducir las siguientes propiedades:

$$P1: x \xleftarrow{k} = x \xrightarrow{p-k} \quad (2,29)$$

$$P2: x \cdot x^{(k)} = 0 \quad (2,30)$$

$$P3: (x \cdot x^{(k)})^{(m)} = m \quad (2,31)$$

$$P4: \prod_{j=0}^{p-1} (x \xrightarrow{j}) = 0 \quad (2,32)$$

$$P5: \sum_{j=0}^{p-1} (x \xleftarrow{j}) = p-1 \quad (2,33)$$

$$P6: x \xrightarrow{0} = x \xrightarrow{p} = x \quad (2,34)$$

$$P7: (f^{(m)})^{(n)} + (f^{(k)})^{(1)} + (f^{(p-1)})^{\rightarrow} \subseteq f \quad (2,35)$$

donde f es una función MV y $1 \leq n \leq p-m$

P8: Si $1 \leq j \leq k$ se cumple:

$$f^{(j)} + f^{(k)} = f^{(k)} \quad (2,36)$$

$$f^{(j)} \cdot f^{(k)} = f^{(j)} \tag{2,37}$$

$$f_1^{(j)} \cdot f_2^{(j)} = f_1^{(k)} \cdot f_2^{(j)} = f_1^{(j)} \cdot f_2^{(k)} \tag{2,38}$$

$$P9: (f + f \overset{m}{\rightarrow})^{(k)} = 0 \tag{2,39}$$

$$P10: \sum_{j=0}^{p-2} (f \overset{j}{\leftarrow})^{(j+1)} = f \rightarrow \tag{2,40}$$

P11:

$$\begin{aligned} f^{(1)} + (f \leftarrow)^{(2)} + \dots + (f \overset{l-2}{\leftarrow})^{(l-1)} + \\ + (f \overset{l-1}{\leftarrow})^{(l)} + \dots + (f \overset{j-1}{\leftarrow})^{(j)} \cdot y + \\ + (f \overset{j}{\leftarrow})^{(j+1)} + \dots + (f \overset{p-2}{\leftarrow})^{(p-1)} = \\ = f^{(1)} + (f \leftarrow)^{(2)} + \dots + (f \overset{l-2}{\leftarrow})^{(l-1)} + \\ + f \rightarrow \cdot y + (f \overset{j}{\leftarrow})^{(j+1)} + \dots + (f \overset{p-2}{\leftarrow})^{(p-1)} \end{aligned} \tag{2,41}$$

$$1 \leq l \leq (p-1)$$

donde $1 \leq j \leq (p-1)$

$$1 \leq j$$

$$P12: f + f \leftarrow = f + f^{(p-1)} \tag{2,42}$$

$$P13: \prod_{j=1}^{p-1} (f \rightarrow^j) = f^{(1)} \tag{2,43}$$

$$P14: \left[\sum_{j=0}^{p-1} (x \rightarrow^j)^{(p-1)} \cdot f_j \right]^m = \sum_{j=0}^{p-1} \left[(x \rightarrow^j)^{(p-1)} \cdot f_j^m \right] \tag{2,44}$$

donde f_j corresponden a funciones MV arbitrarias.

Teorema 10:

$$(x_1 + x_2 + \dots + x_n)^{(k)} = x_1^{(k)} \cdot x_2^{(k)} \cdot \dots \cdot x_n^{(k)} \tag{2,45}$$

Teorema 11:

$$(x_1 \cdot x_2 \cdot \dots \cdot x_n)^{(k)} = x_1^{(k)} + x_2^{(k)} + \dots + x_n^{(k)} \tag{2,46}$$

Estos teoremas, que son duales uno de otro, tienen significado y utilidad parecida a las leyes De Morgan del álgebra booleana y es consecuencia del carácter binario (no bivaluado) del operador "inversor". Su demostración se puede encontrar en /23/.

Siguiendo con el paralelismo con el caso binario, y de la misma forma como aparecen las operaciones NAND y NOR, combinando la definición 29 con las operaciones max y min, se definen las operaciones:

Operación K-NAND:

$$(x \cdot y)^{(n)} = \begin{cases} k & \text{si } \min(x, y) = 0 \\ 0 & \text{en otro caso} \end{cases} \quad (2,47)$$

Operación K-NOR:

$$(x + y)^{(n)} = \begin{cases} k & \text{si } \max(x, y) = 0 \\ 0 & \text{en otro caso.} \end{cases} \quad (2,48)$$

Teorema 12: Toda función MV de n variables puede expresarse en la forma canónica de suma de productos de sumas:

$$f(x_1, \dots, x_n) = \sum_{k=1}^{p-1} \left\{ \prod_{C/f(C)=k} \left[\sum_{i=1}^n x_i^{c_i} \right] \right\}^{(k)} \quad (2,49)$$

donde $C/f(C) = K$ representa el conjunto de vértices de la función, $C = (c_1, c_2, \dots, c_n)$ para los cuales $f(C) = K$

2.4.2.2. Consideraciones sobre minimización.-

En este tipo de álgebra también existe un procedimiento sistemático, susceptible de ser automatizado, que si bien no conduce siempre a formas absolutamente mínimas, sí a formas muy simplificadas. Dicho método parte del desarrollo canónico y es una extensión del método de cubrimiento para funciones binarias de Roth /15/, aunque hace uso de un concepto nuevo como es ^{el} de cubrimiento de transferencia. En las referencias /6,21/ se puede encontrar una exposición detallada de él. Conviene resaltar que

el proceso es de una complejidad superior al visto para álgebras con operadores unarios bivaluados, por lo que si la función a simplificar no tiene un número grande de variables, conviene hacerlo de una forma heurística a partir de las propiedades antes dadas.

2.4.3: OTRAS REPRESENTACIONES ALGEBRAICAS.

Hemos visto dos álgebras de las que mejor se adaptan a la manipulación de funciones de cara a su implementación mediante un circuito electrónico. Sin embargo, en alguna tecnología en particular como la I^2L , que veremos posteriormente, estas técnicas de síntesis no se adecúan bien, debido a que las operaciones reticulares max y min no encajan bien con el carácter aritmético natural de suma de corrientes en dicha tecnología. Así, se han propuesto /19,26/ sistemas algebraicos distintos, aunque no mucho de los anteriores, para la síntesis en I^2L .

Para otros objetivos pueden resultar más idóneas otras formas de expresión. En particular, con miras a obtener el conjunto mínimo de test (es decir, de patrones de entrada o excitaciones) que hay que aplicar a un circuito para detectar si existe, o no, algún fallo (del tipo stuck-at) de un conjunto dado de fallos posibles, la tarea es más fácil si la representación es otra. Como hemos demostrado /24,25/, de cara a dicho objetivo, la representación más idónea de las funciones MV parte de considerar el conjunto S como el anillo abeliano y distributivo del conjunto de clases residuales módulo p . Con este enfoque, el desarrollo de Shanon, para la variable i , de la función f toma la forma:

$$f = \overset{[0,0]}{x_i} \hat{\wedge} f_i(0) \hat{\wedge} \overset{[1,1]}{x_i} \hat{\wedge} f_i(1) \hat{\wedge} \dots \hat{\wedge} \overset{[p-1,p-1]}{x_i} \hat{\wedge} f_i(p-1)$$

donde: $\hat{\wedge}$ significa producto mód p

$\hat{\wedge}$ significa suma mód p

$f_i(k)$ es la función de $(n-1)$ variables que resulta de sustituir en la función f la variable x_i por el valor

constante k.

$\{k, k\}$
 x_i es la función intervalo definida por (2,6)

De esta forma, y utilizando la generalización de derivada parcial booleana dada por Kodandapani, y que denominamos derivada parcial MV de rango k, hemos obtenido, además de sus propiedades, un método de obtención de los tests de error, una generalización del desarrollo de Reed-Muller, así como una extensión de la regla de la cadena. Hay que resaltar que el procedimiento es válido tanto para implementaciones del tipo MV-B-MV como multivaluadas puras.

Este tipo de representación puede ser también de utilidad en el diseño de procesadores aritméticos MV, que es una de las aplicaciones más prometedoras de la lógica MV.

2.5. MAQUINAS SECUENCIALES: MULTIESTABLES.

Hasta ahora hemos tratado problemas relacionados con la lógica combinacional MV. En este apartado vamos a esbozar algunos de los aspectos más relevantes en conexión con los sistemas secuenciales MV.

Como es sabido, la síntesis de máquinas secuenciales se hace fundamentalmente en tres etapas:

- 1°) A partir de las especificaciones del problema, se construye un diagrama de flujo, que modela el comportamiento lógico del circuito electrónico que pretendemos sintetizar.
- 2°) Dado que tal diagrama no es único, necesitamos reducir al mínimo el número de estados necesarios para tener el comportamiento deseado. Como quiera que tanto esta fase como la anterior se plantean y resuelven en un contexto no binario, la forma de ejecutarlas es idéntica a la ya conocida por Teoría de Conmutación.
- 3°) Asignamiento de códigos a los estados. Debido a que se pre

tende que las variables de estado sean MV, esta última fase sí se ve afectada por la base lógica en la cual se desea implementar la máquina. Además tiene características distintas dependiendo de si la máquina es síncrona o asíncrona, ya que en éstas últimas el asignamiento elegido, no sólo condiciona el coste de la realización, sino también el funcionamiento correcto de la máquina.

En el caso de circuitos síncronos, el objetivo principal que condiciona el asignamiento suele ser que el circuito combinacional de entrada a cada uno de los elementos de memoria sea mínimo, ya que con ésto se consigue mayor velocidad de respuesta y que el coste real del circuito sea mínimo.

En lógica MV, ésto nos lleva además al problema de definir y realizar elementos de memoria MV. Un elemento de memoria p-valuado se define /50/:

Definición 34.- Un elemento de memoria p-valuado es una realización de circuito MV de una máquina de memoria. Cualquier símbolo de entrada l_i está representado por una combinación de variables de entrada p-valuadas x_1, x_2, \dots, x_g y cualquier estado σ_j está codificado como una combinación de variables de estado p-valuadas A_1, A_2, \dots, A_n .

Definición 35.- Un flip-flop p-valuado o p-flop es un elemento de memoria p-valuado de orden p, es decir, con p estados.

Al margen de estas consideraciones teóricas, al pasar al caso MV, como sucede con frecuencia, se abre un enorme abanico de posibilidades en la generalización. Como es sabido, en el caso binario todos los flip-flops se basan en el uso de dos puertas NAND o dos puertas NOR transversalmente acopladas, y alguna circuitería adicional para obtener los diferentes tipos de flip-flops. Sin embargo, la celda de memoria propiamente

te dicha consta de dos inversiones de la señal en un lazo cerrado. El resto puede ser considerado como la circuitería de excitación del elemento de memoria.

En función de esto, podemos observar que al disponer en el caso MV de mayor variedad de operadores con la propiedad involutiva (por ejemplo, en base 3 disponemos de 6), disponemos de mayor variedad de posibles lazos cerrados de operadores que tengan p estados estables. Al añadir la circuitería precisa a dichos lazos con objeto de dotarlos de la excitación adecuada para ejercer el control del contenido lógico almacenado, se amplían aún más el conjunto de posibilidades de generalización. Estas son fundamentalmente de dos tipos:

- a) Estructural: que consiste en la sustitución de las puertas binarias que forman el biestable, por puertas MV que las generalizan /49,51/. Por ejemplo, el equivalente al flip-flop R-S binario con dos puertas NAND es el R-S p-valuado con dos puertas \overline{MIN} , cuya ecuación de próximo estado es idéntica a la binaria:

$$Q(t+1) = S(t) + \overline{R}(t) \cdot Q(t) \quad (2,50)$$

- b) Analítica: Consiste en generalizar las ecuaciones correspondientes de los flip-flops a bases superiores. A su vez existen dos opciones al poderse generalizar las ecuaciones de próximo estado /51/ o las ecuaciones de excitación del flip-flop /52/.

De esta forma han ido surgiendo los p-flops D, T, J-K, J_K , simples o en configuración "master-slave", etc., así como registros de desplazamiento, contadores y células RAM /44, 49, 51-57/.

Por otro lado, igual que hemos visto para las funciones combinacionales, este conjunto de posibilidades de comportamiento lógico secuencial está modulado por la realizabilidad práctica en la tecnología particular en la que se vaya a implementar.

2.6. CIRCUITOS ELECTRONICOS PARA SISTEMAS LOGICOS MULTIVALUADOS.

Además de las técnicas de síntesis adecuadas, es obvia la necesidad de disponer de implementaciones electrónicas fiables de las funciones MV primitivas y a ellos se ha dedicado gran cantidad de trabajo en los últimos años. En este apartado pretendemos dar una breve panorámica de ello.

Hasta ahora uno de los mayores obstáculos en el diseño de sistemas lógicos MV ha sido el encontrar realizaciones de primitivas que sean físicamente lo más simples posible y que exhiban p estados estables, siendo $p > 2$. Además, es de desear que tengan otras características tales como poco costo, velocidad alta de conmutación, que sean fiables y a ser posible sean compatibles con los elementos de hardware existentes.

Principalmente, desde finales de la década de los 60, se ha realizado un gran esfuerzo en la consecución de estos objetivos ideales, apareciendo una multiplicidad de realizaciones electrónicas, de las cuales algunas, han logrado atraer el interés de la industria /27,35/.

2.6.1. CLASIFICACION DE LAS REALIZACIONES.

Dada la diversidad de implementaciones, de cara a dar una visión global de ellas, es conveniente hacer una taxonomía en función de alguna de sus características. Pensamos que el mejor criterio para clasificarlas es en función de tipo variable física utilizada como soporte del contenido lógico /18/.

Los diseños disponibles de circuitos MV usan una o más de las tres variables físicas siguientes:

- a) Carga
- b) Corriente
- c) Voltaje

Sin embargo, hay que resaltar que esta categorización no es estanca, como veremos más adelante.

Por brevedad, describiramos la realización más representativas y expondremos los elementos de circuitos que constituye la base de cada familia MV. Para más detalle sobre implementaciones de otras funciones remitimos a la biografía consultada.

2.6.1.1. MODO DE CARGA: (CCD).

La carga es el vehículo para transferir información en una variedad de " dispositivos acoplados por carga " (CCD) explícitamente adaptados para operar en lógica MV.

Los CCD básicamente se pueden considerar como una serie de condensadores MOS /30/. A grandes rasgos, constan de una sección de entrada, una de transferencia y una sección de salida. Tanto en la sección de entrada como en la de salida hay, respectivamente, una conversión de voltaje a carga y viceversa. Son diodos que inyectan y detectan " paquetes " de carga del sustrato del CCD. La figura 2.6.1. representa una sección de un CCD de canal n con un reloj de tres fases.

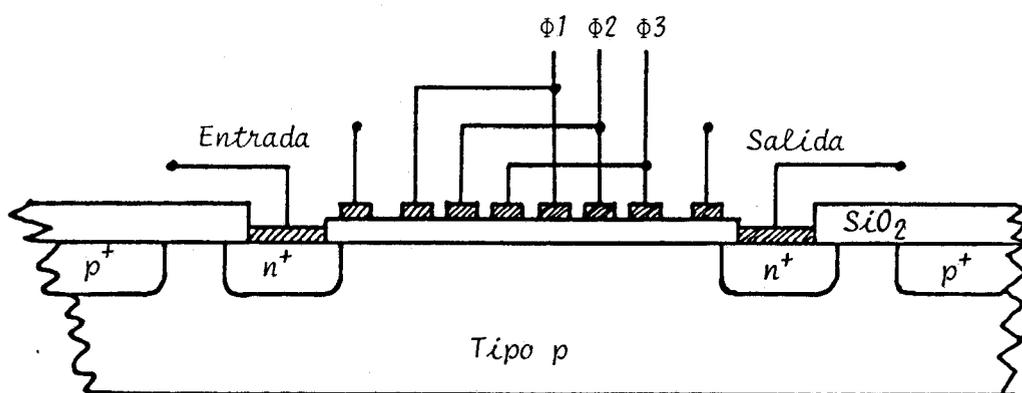


Fig. 2.6.1.

En la sección de transferencia se pueden distinguir puertas de transferencia (t) y puertas de almacenamientos. Si una vez inyectado un paquete de carga, mantenemos la puerta ϕ_2 a un potencial más alto que ϕ_1 y ϕ_3 , el dispositivo sirve como elemento de almacenamiento de carga, como

muestra esquemáticamente la figura 2.6.2, y si a la puerta ϕ_3 la pulsamos con una tensión superior, la carga se desplaza debajo de ella (ver figura 2.6.3).

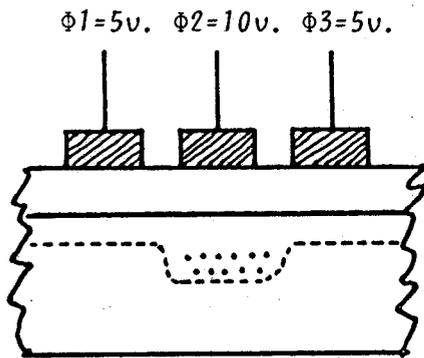


Fig. 2.6.2.

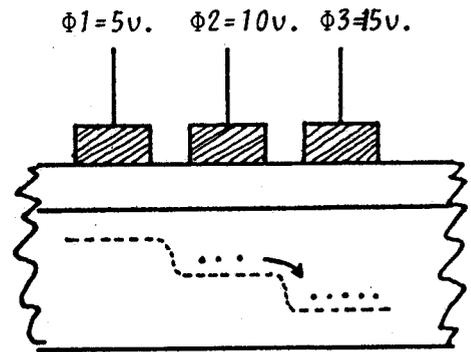


Fig. 2.6.3.

En recientes trabajos Kerkhoff y col. /27-29/ han implementado para lógica de 4 valores un conjunto completo de operaciones básicas con CCD, así como han propuesto los diagramas de circuito para su representación.

Los paquetes de carga se pueden expresar como:

$$Q_s = n \cdot Q_E \quad \text{donde } n \in \{0,1,2,3\}$$

y Q_E es el paquete unidad de carga.

El diagrama de una puerta de almacenamiento de carga, con posibilidad de almacenar hasta 3 Q_E , pero que contiene Q_E es el mostrado en la figura 2.6.4.



Fig. 2.6.4.

De este modo, como la carga procedente de diferentes puertas de almacenamiento se puede sumar por transferencia a un elemento de almacenamiento, esto se expresa:

$$Q_1 + Q_2 = Q_3$$

supongamos, por ejemplo que que $Q_1 = 2Q_E$ y $Q_2 = Q_E$, entonces el diagrama para la operación suma de cargas es el de la figura 2.6.5, donde el otro símbolo que aparece en la figura representa puertas de transferencia.

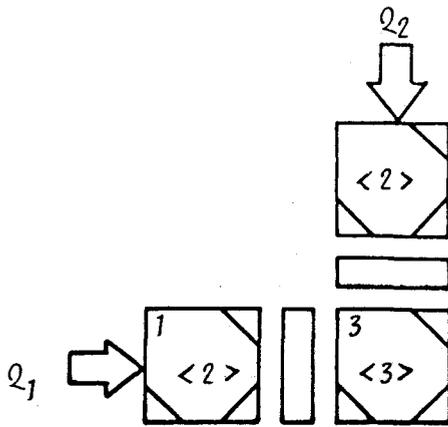


Fig. 2.6.5.

Esta operación básica de manipulación de carga junto con otras tales como " desbordamiento de carga " y " control de carga por puerta flotante ", permiten implementar las operaciones max, min, complemento, operadores de Givone y la operación sucesor, así como, convertidores de cuaternario a binario y viceversa. Por tanto,

ademas de poder implementar cualquier función MV, tiene facilidad de interfase con la lógica binaria.

La lógica CCD es una lógica MOS dinámica, con todas las ventajas e inconvenientes de esta. Muestras de estos circuitos se han fabricado, operando a 1 Mhtz.

2.6.1.2. IMPLEMENTACIONES EN MODO DE CORRIENTE.

Dentro de este grupo de realizaciones distinguiremos dos tecnologías: Familia ECL y familia I²L.

a) Familia ECL:

Este tipo de circuitos, como ocurre con los CCD respecto a la carga, no corresponden al tipo puro de modo de corriente, ya que hay conversiones de tensión-intensidad y viceversa. Es decir, aunque operan internamente en intensidad, externamente lo hacen en tensión.

El conjunto de funciones básicas se implementa como puertas multiumbral, llamadas MT(p), introducida por Druzeta, Sedra y Vranesic /31/. La función que realiza este tipo de circuito, representado en la figura 2.6.7 es:

$$F(x_1, \dots, x_n) = H(e)$$

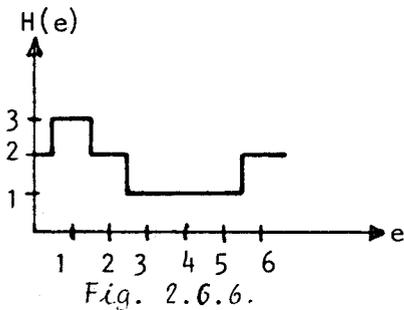
donde:

$$e = \sum_{i=1}^n a_i x_i = \text{excitación}$$

a_i = peso asociado a la entrada x_i

$H(e)$ = característica de transferencia.

Así en el ejemplo, para la función de dos variables en lógica de 4 valores dada por la característica de transferencia representada gráficamente por la figura 2.6.6. y siendo $a_1 = a_2 = 1$, su tabla de verdad es la que aparece en la tabla 2.6.1.



$x_2 \backslash x_1$	0	1	2	3
0	2	3	2	1
1	3	2	1	1
2	2	1	1	1
3	1	1	1	2

Tabla 2.6.1.

El circuito puede tener como máximo M umbrales, que deben verificar:

$$M \leq e_{\text{máx}} \leq (p-1) \sum_{i=1}^n |a_i|$$

En el ejemplo anterior $M \leq 6 \leq 6$, y observando el esquema de la figura 2.6.6, vemos que $M = 4$.

Como se ve en la figura 2.6.7, el elemento $MT(p)$ consta de tantos comparadores como umbrales haya. Las tensiones de comparación, V_{Ti} , se generan con circuitería adicional (no representada).

Cada comparador, conectado a una fuente de intensidad $p_i I_0$, donde I_0 es la separación entre dos niveles lógicos consecutivos, deriva dicha corriente por un transistor u otro, dependiendo del valor de V_{Ti} . Es decir, si $V_s > V_{Ti}$ el transistor asociado a V_s conduce y establece un cami-

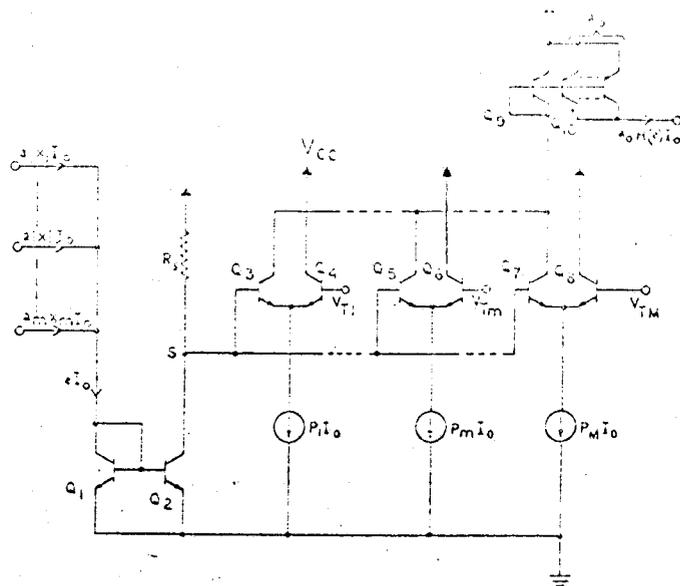


Fig. 2.6.7: Elemento MT(p).

no para la corriente $p_i i_0$ hasta el espejo p-n-p de la parte superior derecha, en el caso de estar conectado a él. La salida total del sistema es la suma de todas las intensidades que convergen en el espejo.

Hay que señalar que son las implementaciones más rápidas de las que existen, debido a no entrar nunca en saturación, si bien la velocidad depende bastante de los valores elegidos para las resistencias. Como contrapartida presentan el inconveniente de un elevado consumo de potencia. Además, su complejidad puede ser alta si la función no es total o al menos parcialmente simétrica.

Finalmente, reseñar que recientemente /32/ se han propuesto circuitos ECL que operan en modo de tensión, que aunque presentan inconvenientes, para ciertas aplicaciones (codificadores y decodificadores para circuitos de interconexión) tienen notables ventajas.

b) Familia I^2L :

Esta familia opera en modo de corriente totalmente.

Desde su reciente concepción /33,34/, diversos esfuerzos se han hecho para aprovechar muchas de sus ventajas en el dise

ño de circuitos para lógica MV /35/.

El elemento básico de esta familia para operar en lógica MV está representado en la figura 2.6.8.

Este simple dispositivo con varios colectores, es básicamente un espejo de corriente pero con la ventaja adicional de que cada colector no está afectado por la carga de los otros. Cada uno de éstos está dimensionado para conducir la misma corriente. Uno de ellos está realimentado y conectado a la base. Si la entrada, x , está en circuito abierto, la corriente I (suministrada por un espejo p-n-p, no representado) entra por el colector realimentado, provocando que todas las salidas tenga una corriente I igual (o menor, dependiendo tan sólo de la carga).

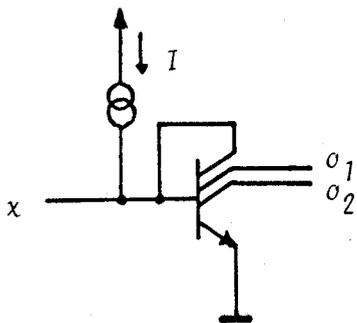


Fig. 2.6.8.

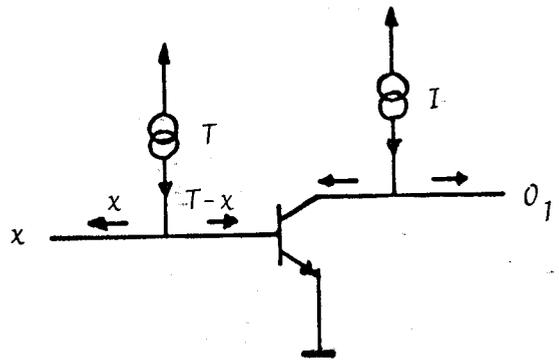


Fig. 2.6.9.

Si en cambio, desde la entrada sacamos una corriente, x , por el colector realimentado sólo fluye $(I-x)$ unidades de corriente, la cual se replica en el resto de los colectores. Cuando $x > I$, el dispositivo se corta, haciendo que el voltaje de base se haga cero y la corriente en los colectores también.

Otro elemento básico es el detector de umbral que se muestra en la figura 2.6.9. Aunque el principio de funcionamiento

es el mismo, podemos sintetizarlo por:

$$0_1 = \begin{cases} 1 & \text{si } x \geq T \\ 0 & \text{si } x < T \end{cases} \begin{array}{l} \text{ya que no entraría corriente} \\ \text{en la base} \end{array}$$

Con la ayuda de estos elementos básicos, Dao, McCluskey y Russell /35/ han implementado las operaciones complemento MV (ver figura 2.6.10), la operación sucesor, x , operadores de Givone y las operaciones reticulares max y min.

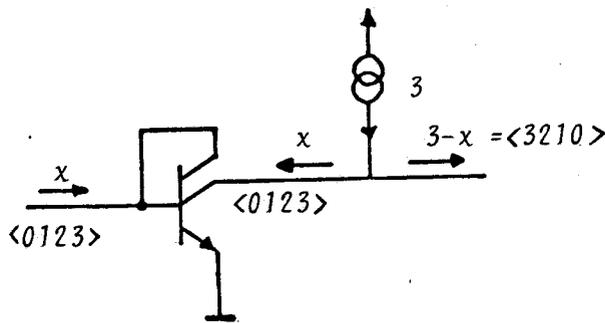


Fig. 2.6.10.

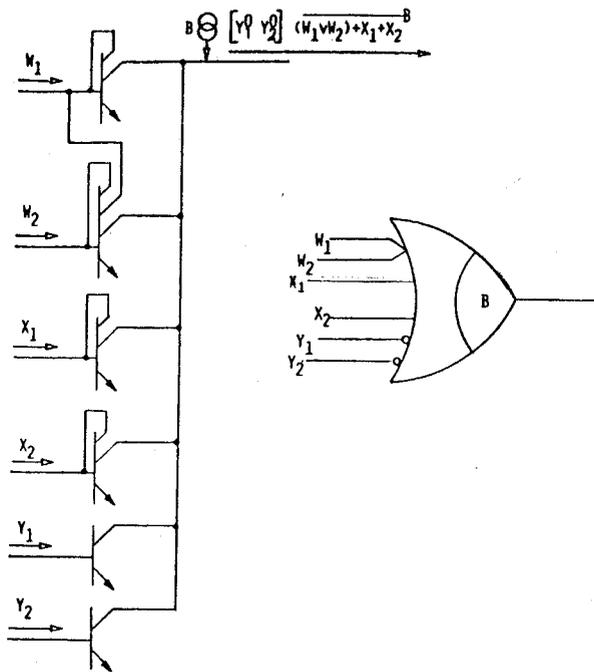
Posteriormente, McCluskey /19/ ha propuesto combinar las operaciones max y min en un sólo dispositivo, (como aparece en la figura 2.6.11), llamado puerta lógica universal "quad". También propone un método de síntesis utilizando esta puerta como básica, junto con las puertas que generan los literales.

Recientemente /26/, Davis y Deschamps han sugerido un método alternativo de síntesis con 1^2L para L.M.V., debido al problema señalado en el apartado 2.4.3, basado en los operadores inhibición y diferencia truncada, que son básicamente modificaciones de los representados en las figuras 2.6.9 y 2.6.8 respectivamente.

En definitiva, se trata de una tecnología muy prometedora para operar en L.M.V., ya que aún con el inconveniente que supone el tener que manipular entradas y salidas de corriente,

conserva muchas de las características que tiene en el caso binario, tales como un producto velocidad-potencia disipada bajo, alta densidad de empaquetamiento, etc. Además el n° de niveles lógicos está limitado sólo por factores tecnológicos, siendo la base 4 la que mayor atención ha recibido por diversas motivaciones.

Finalmente, apuntar que la empresa Sigmetics ha desarrollado los primeros circuitos en MVI^2L , con una perspectiva comercial.



2.6.1.3. IMPLEMENTACIONES EN MODO DE TENSION.

Esta clase de realizaciones electrónicas incluye la mayor variedad de familias lógicas. Sin embargo tienen en común que casi todos los circuitos se han realizado a partir de elementos existentes para operar en lógica binaria, lo que tiene como consecuencia inmediata que los componentes básicos presentan umbrales fijos, careciendo por tanto estas familias de la flexibilidad del grupo anterior.

El esquema general de este tipo de implementaciones encaja bastante bien con el de la figura 2.4.1. Salvo excepciones todas las implementaciones reportadas están enfocadas para bases pequeñas ($p = 3$). Haciendo una clasificación por tecnología, tenemos:

- | | | | | | |
|--------------------------------------|---|------------------|---|---|--------------------|
| Implementaciones en modo de tensión. | } | - Familia TTL | } | } | - con resistencias |
| | | - Familia MESFET | | | |
| | | - Familia MOS | | | |
| NMOS | } | - pura | | | |
| CMOS | | | | | |

Describiremos brevemente las dos primeras, pasando a continuación a la familia MOS por tener mayor conexión con este trabajo.

a) Familia TTL:

Las realizaciones en esta tecnología han sido descritas por D. Etemble y M. Israel /36, 37/ para lógica de tres valores. Están implementadas a partir de pastillas comerciales que realizan la operación NAND en binario. El elemento básico, que es un inversor ternario, se muestra en la figura 2.6.12.

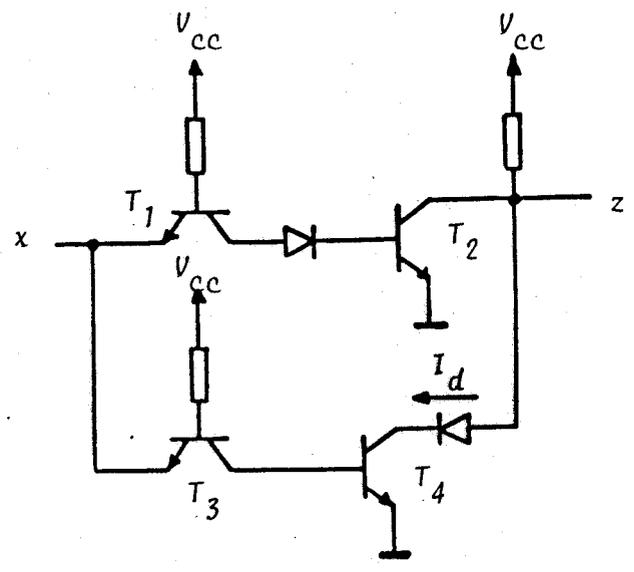


Fig. 2.6.12.

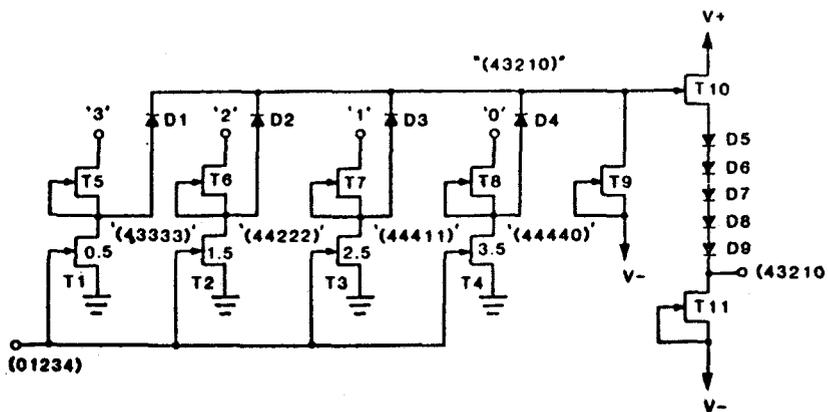
Como se ve, son dos inversores binarios modificados por la adición de un diodo. Desgraciadamente tiene el inconveniente de, o bien presentar bastante disimetría entre los niveles de salida, o bien ser muy sensible al ruido.

El operador min es exactamente igual salvo que T_1 y T_2 son multiemisores.

b) Familia MESFET:

Es también una realización de circuito para implementar el álgebra de Allen-Givone que utiliza como elementos de circuitos MESFET de AsGa. Ha sido propuesta por Tront y Givone /38, 39/ y pretende obviar uno de los mayores inconvenientes de gran parte de las realizaciones como es la baja velocidad de operación.

La realización propuesta es para operar en lógica de 5 valores, necesitando MESFET con diferentes tensiones de estrangulamiento, V_p , para discriminar los distintos valores lógicos. En la figura 2.6.13 puede verse un inversor para base 5.



Cada transistor deja de conducir para $V_{GS} \leq V_p$ y conduce

para $V_{GS} > V_p$. Debido a la naturaleza de las características I-V de estos dispositivos, se utiliza lógica negativa, es decir $V_{x-1} > V_x$, siendo x un valor lógico. Debido a que en los puntos intermedios del circuito los valores de tensión no se corresponden con los valores usados externamente para representar los estados lógicos, se necesita la batería de diodos Schottky D_5-D_9 para desplazar los niveles.

Hasta el presente sólo se han reportado resultados obtenidos por simulación para lógica de 5 valores. Como inconvenientes hay que señalar la dificultad tecnológica de la fabricación de dispositivos con AsGa, junto con su coste elevado. Además las densidades de empaquetamiento no son altas hasta el momento presente.

c) Familia NMOS:

Esta familia, recientemente desarrollada por Russell /40/, utiliza como elementos de circuito MOSFET de canal n, tanto de empobrecimiento como de enriquecimiento. Aunque puede extenderse la técnica de síntesis para construir circuitos para operar en base 4, inicialmente está diseñada para operar en lógica ternaria.

Esta tecnología utiliza el esquema general dado en la figura 2.4.1.

Los elementos básicos de la etapa de decodificación son los representados en las figuras 2.6.14 y 2.6.15. La fuente V_{DD} es 5 volt. y los tres niveles lógicos 0, 1 y 2 corresponden a los valores 0 v., 2.5 v. y 5 v.

Fijémonos en el funcionamiento del detector de umbral de la figura 2.6.15. T_4 al ser de empobrecimiento está permanentemente en conducción. Sólo cuando la entrada supera la tensión

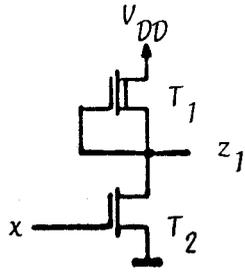


Fig. 2.6.14.

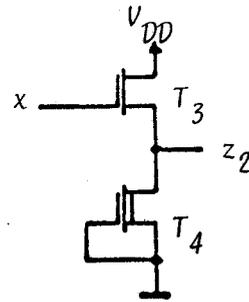


Fig. 2.6.15.

de umbral de T_3 (que se elige de 3 voltios) éste entra en conducción, actuando el conjunto como un divisor de tensión y fijando la salida a 2.5 voltios aproximadamente. Como la salida z_2 sólo se puede conseguir (con una adecuada elección de los parámetros de fabricación de T_3 y T_4) que sea la mostrada en la tabla:

x	z_2
0	0
1	0
2	1

por esta razón se eligen los llamados literales débiles /19/ como operadores unarios, así la figura 2.4.14 realiza la operación:

$$x^{[0]} = \begin{cases} 1 & \text{si } x = 0 \\ 0 & \text{si } x = 1,2 \end{cases}$$

y la figura 2.4.15:

$$x^{[2]} = \begin{cases} 0 & \text{si } x = 0,1 \\ 1 & \text{si } x = 2 \end{cases}$$

Por parte del codificador, el circuito básico y su tabla es el que muestra la figura 2.6.16.

Así por ejemplo, sin más que conectar $x^{[2]}$ a la entrada A

y x^0 a la entrada B, la salida z realiza la operación sucesor x .

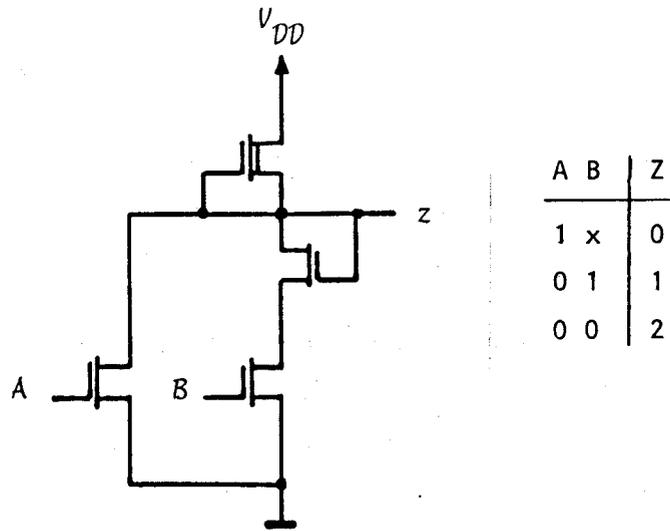


Fig. 2.6.16.

De esta forma, que es similar a la NMOS binaria, es posible realizar funciones complejas, tales como la puerta max, el semisumador, el sumador completo, etc.

Hay que señalar que no hay todavía un procedimiento de optimización sistemática en esta tecnología. Por otro lado, si bien utiliza únicamente dos tensiones de polarización en la realización de los circuitos, el hecho de consumir potencia en situación estática, junto con la disipación que se produce al generarse el nivel intermedio por división de tensión, es un factor contraproducente para una densidad de empaquetamiento alta.

d) Familia CMOS:

Utilizando MOST complementarios han ido apareciendo varias alternativas en los últimos años. Algunas se diferencian poco entre sí y presentan como denominador común el estar basadas

en la utilización de dispositivos MOST diseñados para operar en binario. Expondremos sólo las dos fundamentales.

A comienzos de la década de los 70 Mouftahy Jordan /42-44/ proponen el diseño de una familia para operar en lógica de base tres utilizando CMOS y resistencias, cuyo elemento básico está representado en la figura 2.6.17. La idea utilizada es usar

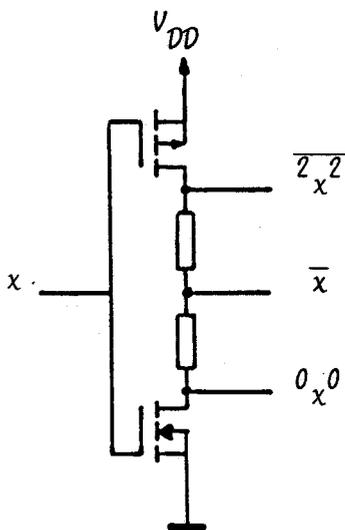


Fig. 2.6.17.

dos resistencias en la salida, para desdoblarse el umbral lógico del inversor CMOS binario. De esta forma obtenemos simultáneamente los tres operadores unarios;

$\overline{2x^2}$, \overline{x} y $0x^0$. Haciendo exactamente lo mismo con las puertas NAND y NOR binarios obtenemos los operadores binarios min y max, como muestra las figuras 2.6.18 y 2.6.19 respectivamente. Partiendo del inversor

ternario de la figura 2.6.17 y añadiendo 4 resistencias y 2 MOST uno de canal p y otro

de canal n de la forma esquematizada por la figura 2.6.20 obtenemos un circuito muy simple que implementa además los dos operadores unarios $x \rightarrow y$ y $x \leftarrow y$, /46/.

Como ya es sabido, este conjunto de operadores es más que suficiente para implementar cualquier función ternaria.

Este tipo de implementaciones tiene la ventaja de su gran parecido con los correspondientes circuitos en binario. La separación entre niveles lógicos es controlable a partir de la tensión de polarización, con lo que se puede conseguir una buena inmunidad al ruido. Sin embargo, este esquema está inherentemente limitado a la base 3. Además debido a las resistencias, tanto la velocidad de conmutación como el fan-out son más redu-

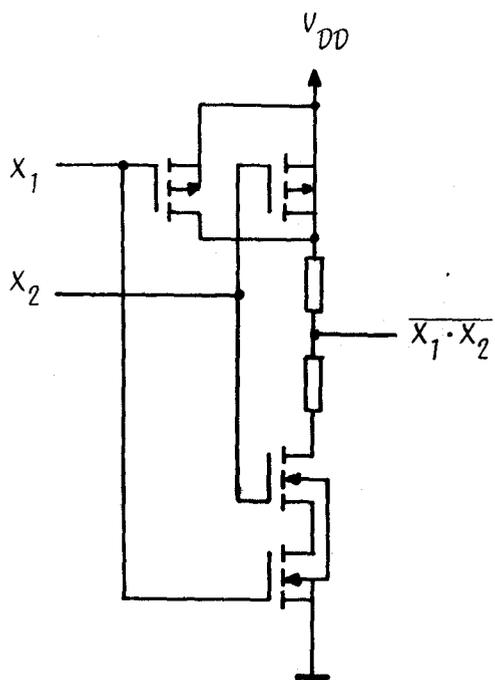


Fig. 2.6.18: \overline{MTN} ternaria

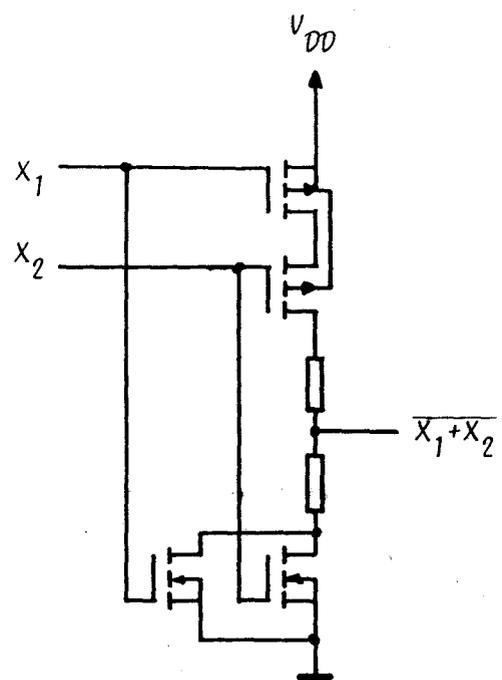


Fig. 2.6.19: \overline{MAX} ternaria

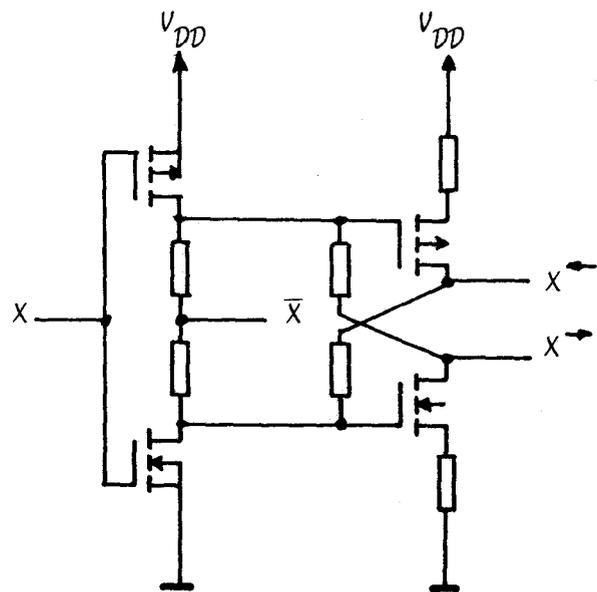


Fig. 2.6.20: Operadores \overline{X} , $X \rightarrow$ y $X \leftarrow$ ternarios.

cidos que el caso binario. Por otro lado, cuando se genera el nivel intermedio siempre hay un MOST canal p y un MOST canal n conduciendo simultaneamente, disipandose potencia en situacion estacionaria, apartándose por tanto en este sentido del comportamiento de la familia CMOS binaria. Este inconveniente hace que no se pueda tener un circuito complejo en un sólo chip, y por tanto su utilidad se ve retringida.

Con objeto de obtener circuitos CMOS para trabajar en lógica MV con las mismas ventajas que en el caso binario, se han reportado varias soluciones /45, 47/, de las cuales la más destacable es la de Huertas y Carmona /48/. En ella, para obviar los inconvenientes anteriores se eliminan todas las resistencias y se genera el nivel intermedio mediante una polarización. Ahora, los detectores de umbral, netamente separados del inversor ternario, se obtienen por separado y están esquematizados juntos con sus características de transferencia, en las figuras 2.6.21 y 2.6.22.

En ellos como se observa, los transistores T_3 y T_4 conectados como diodos actuan como desplazadores del umbral típico de un inversor CMOS binario.

Por otro lado, el nivel intermedio se genera en la salida mediante el bloque decodificador mostrado junto con su tabla de operacion lógica en la figura 2.6.23.

Así por ejemplo, como se observa en dicha tabla, conectando

directamente $\overline{2,2}$ a la entrada A del bloque decodificador y $0,0$ a la B, obtenemos en la salida la puerta identidad. 0 bien, a-

ñadiendo dos inversores binarios tal que hagamos $A = \overline{\overline{0,0}}$ y $B =$

$\overline{2,2}$
 $= \overline{\overline{x}}$, obtenemos el inversor ternario, que si bien es sensible-

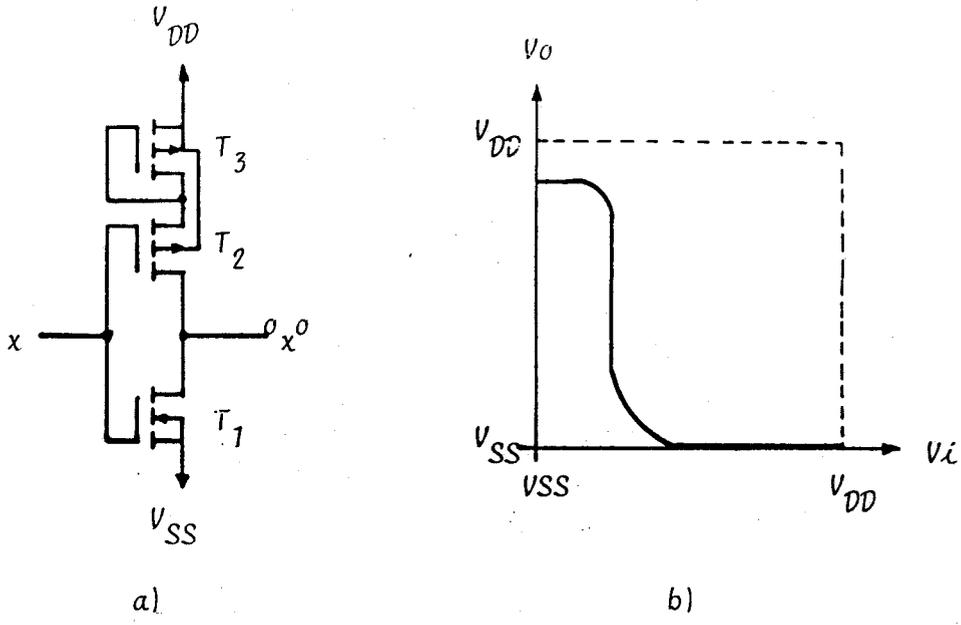


Fig. 2.6.21: Operador de Givone x^0 para l3gica ternaria. a) Circuito b) Característica de transferencia.

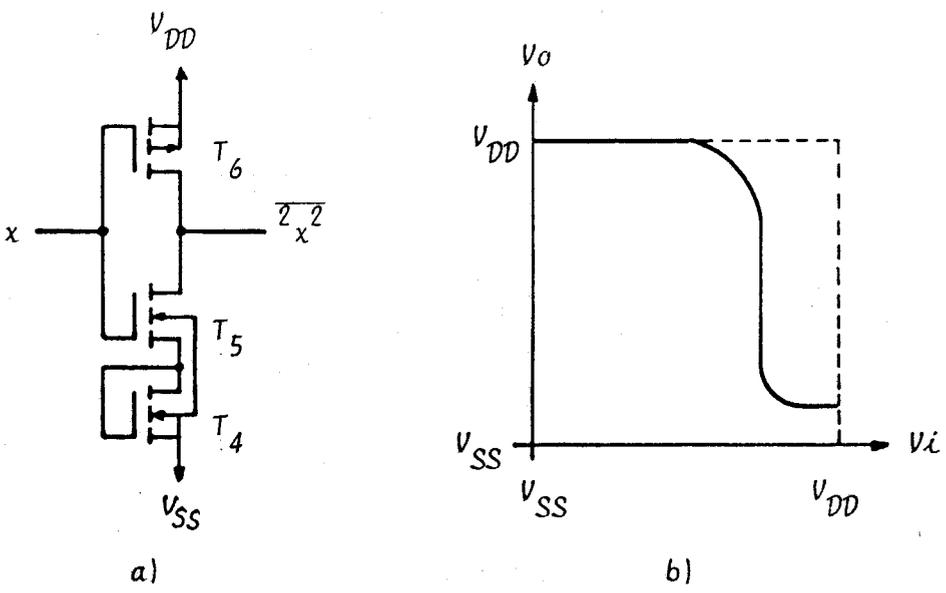


Fig. 2.6.22: Operador de Givone $\overline{x^2}$ para l3gica ternaria. a) Circuito b) Característica de transferencia.

costo) comparables ya con los de algunas tecnologías NMOS /59/. Es más, la velocidad de conmutación de los circuitos NMOS y la de los CMOS se encuentran muy próximas, pues aunque éstos presentan capacidades del orden de dos veces las de los NMOS, también pueden suministrar el doble de corriente.

Por estas razones fundamentalmente, nos hemos planteado como objetivo central el desarrollo de una familia de circuitos CMOS para operar en lógica MV, que no presente los inconvenientes de las realizaciones conocidas hasta el momento, revisadas en el apartado anterior. Por ello es necesario:

1º) Eliminar los MOST conectados como resistencias no-lineales en los circuitos decodificadores, mostrados en las figuras 2.6.21 y 2.6.22 para desplazar los umbrales lógicos.

2º) Además no deben presentar consumo de potencia cuando la salida de los circuitos suministre niveles lógicos intermedios. Y ello interesa conseguirlo, eliminando la necesidad de utilizar codificadores en la salida, ya que complican las configuraciones.

3º) Mantener en definitiva, las mismas características que tienen los circuitos CMOS binarios con respecto a consumo, velocidad, inmunidad al ruido, fan-out y facilidad de diseño.

Ello nos ha llevado a rediseñar los MOSTs que constituyen los circuitos, y por tanto tener que descender a un nivel de diseño más bajo que el nivel de circuito, es decir, a nivel de diseño de dispositivos. Como contrapartida, tendremos elementos especiales concebidos para operar en lógica MV, en contraste con las realizaciones anteriores en CMOS.

Dicho de otro modo, la filosofía de diseño que hemos seguido es distinta a la habitual, en el sentido de que, en lugar de diseñar circuitos

básicos a partir de los cuales implementar el resto de las funciones, se diseñan un conjunto de MOSTs básicos a partir de los cuales se pueden implementar el mayor número de operaciones básicas y de esta forma flexibilizar mucho más el diseño lógico.

Ya que no disponemos de una facilidad de integración que nos permita la fabricación de MOSTs distintos a los existentes en el mercado, hemos tenido que desarrollar y validar herramientas de simulación sobre computador con las que poder comprobar la viabilidad de los diseños propuestos.

REFERENCIAS DEL CAPITULO 2.

- /1/ .- C.L. Liu: " Elements of discrete mathematics ". Mc Graw-Hill, 1.977.
- /2/ .- F.P. Preparata, R.T. Yeh: " Introduction to discrete structures " Addison Wesley, 1.973.
- /3/ .- Dornhoff and Hohn: " Applied Modern Algebra ". Macmillan Pub. 1.978.
- /4/ .- Davio, Deschamps and Thayse: " Discrete and switching functions " Mc Graw-Hill, 1.978.
- /5/ .- D.C.Rine: " Computer Science and Multiple-Valued Logic ". North-Holland, 1.977.
- /6/ .- J.L.Huertas: "Lógica multivaluada ". 2º curso de Verano de Informática. Las Palmas, 1.980.
- /7/ .- IEEE, Transactions on Computers, dec. 1.977, vol C-26, nº12 y Sep 1.981., vol C-30, nº9.
- /8/ .- IEEE, Computer Magazine, vol 7, Sep. 1.974.
- /9/ .- Proceedings de los 12 congresos de Internatinal Symposium on Multiple-Valued Logic (I.S.M.V.L.).
- /10/.- Eichelberger, E.: " Hazard detection in combinational and sequential circuit ". IBM J. Res. Develop., 9, pp 90-99. 1.965.
- /11/.- S.Y.H. Su and A.A. Sarris: " The relationship between multivalued switching algebra and boolean algebra under different definitions of Complements ", IEEE Trans. on Comp, vol C-21, nº5, May 1.972 pp. 479-485.
- /12/.- J.C. Muzio and T.C. Wesselkamper: " Generalized Finite Post algebras ". Procedings del 8º I.S.M.V.L. Rosemont 1.978.
- /13/.- S.C. Lee: " Modern Switching Theory and Digital Design ". Prenti-

ce-Hall. 1.978.

/14/.- R.Miller: " Switching Theory " vol I. Wiley. 1.965.

/15/.- J.P.Roth: " Computer logic, Testing and verification ". Pitman
1.980.

/16/.- C.Allen and D. Givone: " A minimization technique for multiple-
valued logic systems ". IEEE Trans. on Comp., C-17, pp.
182-184, 1.988.

/17/.- G.P. Gavrilov, A.A. Sapozhenko: " Problemas de matemática discre-
ta ". Ed. MIR, 1.980.

/18/.- K.C. Smith: " The prospects of multivalued logic: A technology
and applications view ". IEEE Trans. on Comp. C-30, pp
619-634, 1.981.

/19/.- E.J. McCluskey: " Logic design of multivalued l^2 logic circuits ".
IEEE Trans. on Comp. C-28, pp 546-559. Agosto 1.979.

/20/.- J.E. Birk, D.E. Farmer: " An algebraic method for designing multi-
valued logic circuits using principally binary compo-
nents ". IEEE Trans. on Comp. C-24, pp 1101-1104, Nov.
1.975.

/21/.- Z.G. Vranesic, E.S. Lee and K.C. Smith: " A many-valued algebra
for switching systems " IEEE Trans. on Comp. C-19,pp
964-971, Oct. 1.970.

/22/.- E. Post.: " Introduction to a general theory of elementary propo-
sitions ". Amer. J. Math. 93, pp 163-185. 1.921.

/23/.- Z.G. Vranesic: " A multivalued switching theory ". Ph. D. disser-
tation. Univ. of Toronto, Canada, Abril 1.968.

/24/.- J.L. Huertas, G. Sánchez Gómez: " Detección de fallos en circuitos
lógicos multivaluados ". 4º Congreso de Informática y
Automática Madrid. Octubre 1.979, pp 645-652.

/25/.- G. Sánchez Gómez, J.L. Huertas: " Cálculo diferencial multivalua-

- do ". A publicar.
- /26/.- M. Davio, J.P. Deschamps: " Synthesis of discrete functions using 1^2 L technology " IEEE Trans. on Comp. C-30, pp 653-661, Sept. 1.981.
- /27/.- H.G. Kerkhoff, M.L. Tervoert: " Multiple-valued logic charge-couple devices ". IEEE Trans. on Comp. C-30, pp 664-652, Sept. 1.981.
- /28/.- H.G. Kerkhoff, M.L. Tervoert: " The implementation of multiple-valued functions using charge-couple devices ". 10th I.S.M.V.L. Evanston, pp 6-15, May. 1.980.
- /29/.- H.G. Kerkhoff, M.L. Tervoert, H.A.C. Tilmans: " Desing considerations and measurement results of multiple-valued logic CCD's ". 11th I.S.M.V.L, Oklahoma City. pp 205-211 May. 1.981.
- /30/.- W.S. Boyle, G.E. Smith: "Charge couple semiconductor devices ". Bell Syst. Technical Journal, 49, pp 587-593, April 1.970.
- /31/.- A. Druzeta, Z.G. Vranesic y A.S. Sedra: " Application of multi-threshold elements in the realization of many-valued logic networks ". IEEE Trans. on Comp. pp 1.194-1.204, Nov. 1.974.
- /32/.- M. Brilman, D. Etiemble, P. Tatarean: " A 4-valued ECL encoder and decoder circuit ". IEEE Journ. of Solid State Circuits, SC-17, pp 547-552, Jun. 1.982.
- /33/.- K. Hart, A. Slob: " Integrated injection logic: A new approach to LSI ". IEEE J.S.S.C. SC-7, pp 346-351, Oct. 1.972.
- /34/.- K. Hart, A. Slob: " Integrated injection logic (1^2 L) ". Philips Tech. Rev., vol 33, pp 76-85, Mar. 1.973.
- /35/.- T.T. Dao, E.J. McCluskey, L.K. Russell: " Multivalued Integrated

- Injection Logic ". IEEE Trans. on Comp. C-26, pp. 1.233-1.241, Dic. 1.977.
- /36/.- D. Etiemble, M. Israel: " A new concept for ternary logic elements ". Proc. 4th I.S.M.V.L. pp 437-455, May 1.974.
- /37/.- D. Etiemble, M. Israel: " Implementation of ternary circuits with binary integrated circuits ". IEEE Trans. on Comp. C-26, Dic. 1.977.
- /38/.- J.G. Tront and D. Givone: " A design of multiple-valued logic gates based on MESFETS ". IEEE Trans. on Comp. C-28, pp 854-862, Nov 1.979.
- /39/.- J.G. Tront and D. Givone: " Multiple-valued logic gates using MESFETS ". Proc. 9th I.S.M.V.L. pp 175-181, May. 1.979.
- /40/.- E.J. McCluskey: " Logic design of MOS ternary logic ". Proc. 10th I.S.M.V.L. pp 1-5, Jun. 1.980.
- /41/.- E.J. McCluskey: " A discussion of multiple-valued logic circuits" Proc. 12th, I.S.M.V.L., pp 200-205, París, May 1.982.
- /42/.- H.T. Mouftah, I.B. Jordan: " Integrated circuits for ternary logic ". Proc. 4th I.S.M.V.L., pp 285-302, May 1.974.
- /43/.- H.T. Mouftah, I.B. Jordan: " Implementation of three-valued logic with COS/MOS integrated circuits ". Electron. Lett. vol. 10, pp 441-442, Oct. 1.974.
- /44/.- H.T. Mouftah, I.B. Jordan: " Design of ternary COS/MOS memory and sequential circuits ". IEEE Trans. on Comp. C-26 pp. 281-288, Mar. 1.977.
- /45/.- J.L. Huertas, J. I. Acha, J.M. Carmona: " Implementation of some ternary operators with CMOS integrated circuits " . Electron. Lett. n°15, pp. 385-386, Jul. 1.976.
- /46/.- J.M. Carmona, J.L. Huertas, J.I. Acha: " Realization of three-

- valued CMOS cycling gates ". Electron. Lett. vol 14, n°9, pp. 288-290, April 1.978.
- /47/.- J.M Carmonas, J.L. Huertas, J.I. Acha: " A note on the implementation of three valued unary operators with CMOS integrated circuits ". Int. J. Electron. vol 46, pp. 205-208, 1.979.
- /48/.- J.L. Huertas, J.M. Carmona: " Low-power ternary CMOS circuits ". Proc. 9th I.S.M.V.L., pp 170-174, Bath, 1.979.
- /49/.- T.A. Irwing, S.G. Shiva, H.T. Nagle: " Flip-flops for multiple-valued logic ". IEEE Trans. on Comp. C-25, pp. 237-246, Mar. 1.976.
- /50/.- J.L. Huertas, J.I. Acha, G. Sánchez Gómez: " Theory and design of multivalued memory elements ". Proc. 8th I.S.M.VL. pp. 213-220, Rosemont, 1.978.
- /51/.- A.S. Wojcik: " Multivalued asynchronous sequential circuits". Proc. 4th I.S.M.V.L., pp. 155-166, 1.974.
- /52/.- J.L. Huertas, J.I.Acha: " J_k multistable: A generalization of the binary J-K flip-flop ". Proc. 7th I.S.M.V.L., pp 138-142, 1.977.
- /53/.- J.I. Acha, J.L. Huertas: " General excitation table for a JK multistable ". Electron. Lett. vol 11, pp. 624, Dec. 1.975.
- /54/.- J.L. Huertas, J.I. Acha, J.M.Carmona: " Design and implementation of tristables using CMOS integrated circuits ". Electron. Circ. and Syst. Abril 1.977, vol 1, n°3, pp. 88-94.
- /55/.- J.L. Huertas, J.I. Acha, J.M. Carmona: " J-K Flip-flop for CMOS integrated circuits ". Int. J. Electronics, vol 47, n°4, pp. 381-385, 1.979.

/56/.- M. Karim: " A ternary J-K memory ". Proc. 8th I.S.M.V.L., pp.
221-225, 1.978.

/57/.- M.S. Wills: " A behavioral model and triggering modes for MVL
R-flops ". Proc. 8th I.S.M.V.L., pp. 226-234, 1.978.

/58/.- M.I. Elmasry, ed.,: " Digital MOS integrated circuits ". IEEE
Press. 1.981.

/59/.- VLSI Laboratory, Texas: " Technology and design challenges of
MOS VLSI ". IEEE, J.S.S.C. SC-17, pp. 442-448, Jun.
1.982.

CAPITULO 3

MODELADO Y SIMULACION DE CIRCUITOS MOSTS.

INDICE

3.1. INTRODUCCION.	PAG. 3.1
3.2. MODELO DEL MOST.	3.4
3.2.1. TENSION DE UMBRAL.	3.6
3.2.2. MODELO PARA LA CORRIENTE EN LA REGION DE INVERSION FUERTE.	3.9
3.2.3. MODELO PARA LA CORRIENTE EN LA REGION SUBUMBRALE.	3.12
3.3. DESCRIPCION DE MOSIM.	3.13
3.3.1. BLOQUE DE MANEJO DE DATOS.	3.13
3.3.2. BLOQUE DE CARACTERIZACION DEL MOST.	3.15
3.3.3. BLOQUE DE CARACTERIZACION DEL CIRCUITO.	3.17
3.4. IMPLEMENTACION DE MOSIM.	3.21
3.5. COMPROBACIONES EXPERIMENTALES.	3.28
REFERENCIAS.	3.33

3.1. INTRODUCCION.

Con la aparición de los circuitos integrados la simulación se ha convertido en una herramienta indispensable para el diseñador de este tipo de estructuras. En consecuencia han ido apareciendo multitud de programas de ordenador con el objeto de facilitar dicha tarea. Podemos clasificar en primera aproximación tales programas en los siguientes tipos:

- Análisis numérico de dispositivos (ej., MODMAG).
- Simulación de procesos tecnológicos (ej., SUPREM).
- Simulación de circuitos (ej., SPICE-2).
- Generación de interconexiones.
- Generación de máscaras.
- Generación de patrones de test.

La simulación de circuitos es posiblemente el campo, dentro de la microelectrónica, donde el ordenador empezó a aplicarse primero /1/. La razón de ello es que para comprobar la validez del diseño de un circuito integrado, sería excesivamente costosa la fabricación y posterior testado de prototipos de dicho circuito. Así, la simulación del circuito en un ordenador para cubrir este cometido, abarata y facilita el diseño, acometiéndose su producción una vez obtenidas ciertas garantías en su comportamiento.

Normalmente, un simulador de circuito es capaz de representar un cir

cuito en uno o varios de los niveles de abstracción siguientes:

- Nivel de sistema
- Nivel de transferencia de registros.
- Nivel funcional.
- Nivel lógico.
- Nivel " Timing-Switch ".
- Nivel de dispositivos (transistores, diodos , etc.).

La elección de un nivel de simulación u otro se hace estableciendo un compromiso entre la exactitud requerida y la velocidad de ejecución de dicha simulación.

Usualmente en la simulación se procede de una forma jerárquica utilizando los diferentes niveles de abstracción en un proceso de " top-down ", acabando en aquel nivel de concrección que permite optimizar las características de funcionamiento del circuito, como son la velocidad, el consumo, tamaño, etc. En una etapa posterior se pasa a la utilización de programas interactivos de generación de máscaras para la fabricación final del circuito o sistema bajo estudio.

En otro sentido, los programas de simulación de circuitos se pueden encuadrar en dos grupos principalmente. En primer lugar, aquellos destinados al tratamiento de circuitos con gran número de elementos. Suelen ser programas con poca interactividad; necesitan de un computador rápido y con gran capacidad de memoria /2-6/. El otro tipo de programas, enfocados hacia ordenadores pequeños, ataca el problema desde la perspectiva de subdividir el circuito en células básicas según la función lógica que realizan /7,8/. Este planteamiento tiene dos inconvenientes; de un lado no siempre es posible dicha subdivisión del circuito y de otro es necesario obtener las ecuaciones correspondientes a cada bloque básico en función de las ecuaciones que gobiernan el comportamiento de los elementos

que la constituyen. Esta última dificultad se traduce en el empleo de un catálogo limitado de bloques básicos.

En particular, para los objetivos de este trabajo, teníamos dos necesidades concretas: 1º) Diseño de MOSTs, que aún siendo de una tecnología estandar, tengan características distintas a los disponibles en el mercado, y 2º) comprobación de los diseños de circuitos constituídos por estos MOSTs. Por otro lado, tropezamos con la limitación que supone no tener a nuestro alcance un computador potente en el que correr programas de simulación de los existentes (como SPICE-2 y MSINC). Realmente tampoco tendría mucho sentido emplear estos paquetes de software debido a que los circuitos a simular son de un número bajo de MOSTs (de 15 a lo sumo). Por otra parte, nuestro interés no ha estado dirigido, en el trabajo que se resume en la presente memoria, hacia la optimización de dichos circuitos de cara a una integración. Probablemente como continuación sí nos plantearemos tal optimización, que deberá hacerse en contacto con algún Departamento universitario que posea una facilidad de integración adecuada.

Estas son las razones por las que hemos desarrollado un programa de simulación de circuitos que estén constituídos por MOSTs y resistencias, MOSIM /9/, para correr en un computador de sobremesa. El programa está situado entre los dos tipos a que hemos hecho referencia anteriormente, ya que se eliminan los inconvenientes del particionado y premodelado de células, trabajando directamente con los modelos de los elementos. Además, la implementación del programa en un lenguaje muy interactivo, como loes el Basic, permite obviar en parte la introducción de un estudio de sensibilidades, ya que se puede observar con comodidad la influencia que tiene sobre las salidas la variación de diferentes parámetros.

En consecuencia, y dada la repercusión sobre el resto del trabajo, dedicaremos este capítulo a describir el modelo del MOST que hemos utilii

zado para los diseños, así como el programa de simulación, MOSIM, y su validación por contrastación con medidas experimentales realizadas sobre circuitos reales.

3.2. MODELO DEL MOST.

Una parte clave de un programa de simulación son los modelos utilizados para describir el comportamiento de los dispositivos. Entre las distintas posibilidades de elección, un modelo del MOST que sea lo más simple posible, pero que mantenga la mayor cantidad de información física, es el más adecuado para nuestros propósitos.

El análisis tanto físico como matemático del comportamiento de los MOSTs es en general bastante complejo debido a la naturaleza bidimensional del dispositivo. En este sentido existen modelos bastante precisos /10,11/ que dan cuenta del funcionamiento del MOST en un margen amplio de situaciones. Sin embargo son modelos demasiado complejos para ser incorporados en programas de simulación de circuitos. Para este menester son mucho más útiles modelos unidimensionales basados en el ya clásico de Ihantola y Moll /12/ que considera la llamada aproximación de canal gradual. Sin embargo, la mayoría de estos modelos fallan en la predicción del comportamiento de la corriente tanto en la región subumbral como en la saturación. En ésta última región, al incrementar el voltaje de drenador, los modelos preveen un decrecimiento de la corriente. En la región subumbral el potencial superficial permanece casi constante a lo largo del canal, demostrándose /13/ que el principal mecanismo de transporte es la difusión. Pao y Sah /14/ han desarrollado una teoría general unidimensional que predice resultados correctos tanto para la región de inversión fuerte como para la región de inversión débil o subumbral, no obstante la expresión que obtienen de la corriente contiene una integral do ble, lo que la hace de difícil aplicación en programas de simulación.

El modelo del MOST que hemos utilizado para el diseño, y que vamos a describir seguidamente, utiliza la ya mencionada aproximación de canal gradual para la región de inversión fuerte y para la región subumbral el comportamiento vendrá dado por el modelo de Swanson y Meindl /13/. Este modelo es válido para los dispositivos llamados de canal largo, es decir, aquellos en los que el campo eléctrico longitudinal es mucho menor que el transversal en el canal.

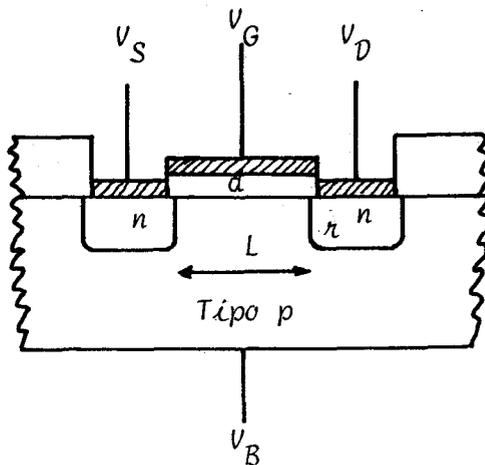


Fig. 3.2.1: Sección de un MOST (de canal n)

En la figura 3.2.1 se muestra el esquema de la estructura básica de un MOST, que en este caso es de canal n. Uno de canal p es idéntico, sin más que cambiar las zonas de tipo p por zonas tipo n y viceversa. A continuación pasamos a exponer el conjunto de ecuaciones que hemos tenido presente para modelar este dispositivo de cuatro terminales. Dado que la justificación formal de ellas está fuera de nuestros propósitos, además de requerir excesivo espacio, remitimos para ello a la bibliografía consultada /15- 21/. A grandes rasgos, para una descripción del estado de funcionamiento del MOST, necesitamos conocer tres magnitudes: Tensión de umbral, tensión de drenador de saturación y la corriente que circula entre drenador y surtidor.

3.2.1. TENSION DE UMBRAL.

Como es sabido la tensión de umbral se define como aquella tensión de puerta para la cual el valor del potencial superficial es $\phi_s = 2\phi_f$, siendo ϕ_f el potencial de Fermi del sustrato. En general, para el MOST de canal n, la expresión que nos da el valor de la tensión de umbral es /16/:

$$V_{th} = V_{FB} - 2\phi_f + \sqrt{\frac{2\epsilon_{si} \cdot q}{C_{ox}^2} N_a (2|\phi_f| + |V_S - V_B|)} + V_S \quad (3,1)$$

y para el MOST de canal p:

$$V_{th} = V_{FB} - 2\phi_f - \sqrt{\frac{2\epsilon_{si} \cdot q}{C_{ox}^2} N_d (2|\phi_f| + |V_S - V_B|)} + V_S \quad (3,1-bis)$$

donde V_{FB} es la tensión de puerta necesaria para que el potencial superficial sea nulo (condición de banda plana), ϕ_f es el potencial de Fermi del sustrato, C_{ox} es la capacidad de puerta debida al óxido, N_a y N_d son las concentraciones de impurezas aceptoras y donadoras respectivamente de los sustratos, ϵ_{si} la permitividad del Si y q la carga del electrón.

A su vez las tres primeras magnitudes deben ser calculadas. Así, C_{ox} puede determinarse suponiendo una estructura de condensador de placas planas, es decir:

$$C_{ox} = \frac{\epsilon_{ox}}{d} \quad (3.2)$$

donde ϵ_{ox} es la permitividad del óxido de puerta y d el espesor del mismo.

Utilizando la aproximación de Maxwell-Boltzman, el potencial de Fermi para un sustrato tipo p viene dado por:

$$\phi_f = - \frac{kT}{q} \ln \left(\frac{N_a}{n_i} \right) \quad (3.3)$$

y para un sustrato tipo n por:

$$\phi_f = \frac{kT}{q} \ln \left(\frac{N_d}{n_i} \right) \quad (3.3-bis)$$

donde, a temperatura ambiente $\frac{kT}{q} \approx 0.026$ volt. y n_i es la densidad de portadores en el material intrínseco, que para el Si, a temperatura ambiente, vale $1.45 \cdot 10^{10} \text{ cm}^{-3}$.

Por último, la tensión de banda plana, viene dada por la expresión:

$$V_{FB} = \phi_{MS} - \frac{Q_{SS}}{C_{ox}} \quad (3.4)$$

donde ϕ_{MS} es la diferencia entre la función trabajo del metal y la del semiconductor y Q_{SS} la carga parásita en la superficie de unión del óxido y el semiconductor.

Para el cálculo de ϕ_{MS} hay que distinguir dos casos en función de que el material utilizado para realizar la puerta del dispositivo, sea un metal o bien sea silicio fuertemente dopado (y por tanto con una alta conductividad). Para el caso en que la puerta sea metálica, la diferencia de función trabajo viene expresada por:

$$\phi_{MS} = - (\phi_{Si} - \phi_M) \quad (3.5)$$

donde ϕ_M es la función trabajo del metal y la función trabajo del silicio es:

$$\phi_{Si} = \phi_{SO} + \frac{E_g}{2q} - \phi_f \quad (3.6)$$

con $\phi_{SO} \approx 3.2$ volt y $\frac{E_g}{2q} \approx 0.55$ volt. ϕ_{Si} depende de la concentración de impurezas del sustrato, a través de ϕ_f .

Si en cambio, la puerta se realiza de silicio policristalino con un dopado de concentración N_{ga} , la función trabajo de dicha puerta también viene dada por la expresión (3,6) y la diferencia de función trabajo (que seguiremos denominando ϕ_{MS}) será:

$$\phi_{MS} = - (\phi_{fp} - \phi_{fsust}) \quad (3.7)$$

donde ϕ_{fp} es el potencial de Fermi de la puerta.

Por otro lado, es digno de señalar que el segundo sumando de (3,4) da cuenta de tres fenómenos superpuestos que hacen que el óxido y su interfase con el silicio no sean perfectos /22,23/. En primer lugar existe una carga fija (Q_0) en la interfase $\text{SiO}_2\text{-Si}$ cuyo valor depende de las condiciones de oxidación y de la orientación cristalográfica del sustrato. Se debe al Si parcialmente ionizado y su valor oscila entre 10^{10} cm^{-2} y $5 \cdot 10^{11} \text{ cm}^{-2}$, lo que implica (para un espesor típico de óxido de $d = 1.000 \text{ \AA}$) un valor de tensión de -0'05 volt. a -1'5 voltios. En segundo lugar existen los llamados estados rápidos de superficie que pueden ser cargados y descargados al variar la tensión en la superficie, ϕ_s , y que tienen el mismo orden de valor que las anteriores. Existen técnicas adecuadas para minimizar su densidad. En tercer lugar , existen iones alcalinos móviles en el óxido, cuyo origen está en su introducción parásita en la red durante el procesamiento de los dispositivos, y que pueden desplazarse a través de la red forzados por los campos aplicados. Su distribución es desconocida y sólo puede establecerse mediante medidas a posteriori. Como consecuencia V_{FB} se determina experimentalmente, aunque sí se puede tener a priori un orden de valor.

Hasta aquí hemos supuesto que el sustrato tiene un dopado uniforme. Esta situación con frecuencia interesa alterarla mediante implantación iónica /24/, creando un dopado poco profundo en la interfase $\text{SiO}_2\text{-Si}$ para ajustar la tensión de umbral a un valor deseado. Esto permite, no sólo disponer de MOST con distintas tensiones de umbral sobre la misma oblea, sino incluso que haya MOST de enriquecimiento y de empobrecimiento. Cuando se efectúa una implantación iónica, la distribución de iones implantados viene dada con muy buena aproximación /15/ por la expresión:

$$N_i(x) = \frac{D_i}{\sqrt{2\pi}\Delta R_p} \exp\left[-\frac{(x-R_p)^2}{2(\Delta R_p)^2}\right] \quad (3.8)$$

donde D_i es la dosis implantada (cm^{-2}), R_p es el rango proyectado (profundidad donde es mayor la concentración) y ΔR_p es la desviación estándar. Tanto R_p como ΔR_p dependen de la especie iónica y de la energía de implantación. En el caso límite en que R_p sea la distancia de la interfase $\text{SiO}_2\text{-Si}$ (ya que la implantación iónica se hace a través de una capa de óxido) y $\Delta R_p \rightarrow 0$, la carga implantada está localizada casi exclusivamente en dicha interfase y es equivalente a una reducción (o aumento, dependiendo de la especie iónica) de la carga fija en una cantidad $q \cdot D_i$. Por tanto, en este caso, la tensión de umbral del dispositivo viene expresada con muy buena aproximación por:

$$V_{th} = V_{FB} - 2\phi_f + \frac{qD_i}{C_{ox}} + \sqrt{\frac{2\epsilon_{si}q}{C_{ox}^2} N_a (2|\phi_f| + |V_S - V_B|)} + V_S \quad (3.9)$$

Aunque existen modelos más elaborados que dan cuenta mejor de esta situación /25/, la anterior aproximación es suficiente para nuestros propósitos.

Adicionalmente, la implantación iónica tiene otras ventajas, como es el permitir un autoalineamiento de drenador y surtidor, en el caso de realizarse éstos por implantación iónica. También permite la fabricación de dispositivos de canal-enterrado (buried-channel devices) que pueden ser a su vez de estrangulamiento (normalmente-on) o de ensanchamiento (normalmente-off). Estos MOSTs si bien también podrían ser aplicados a los diseños propuestos en esta Memoria, no serán considerados, ni están implementados en el modelo de MOSIM, por requerir mayor complejidad en su formulación.

3.2.2. MODELO PARA LA CORRIENTE EN LA REGION DE INVERSION FUERTE.



La corriente de drenador-surtidor para la región de inversión fuerte utilizando la aproximación del canal gradual, conduce a la familiarmente conocida " expresión en 3/2 ". Para el MOST de canal n, dicha región corresponde a tensiones de gate $V_G \geq V_{th}$ y la expresión resultante es /16/:

$$I_{DS} = \mu_n \frac{W}{L} C_{ox} \left(V_G - V_{FB} + 2\phi_f - \frac{V_D + V_S}{2} \right) (V_D - V_S) - \mu_n \frac{3W}{2L} \sqrt{2\epsilon_{si} q N_a} \left[(2|\phi_f| + |V_D - V_B|)^{3/2} - (2|\phi_f| + |V_S - V_B|)^{3/2} \right] \quad (3.10)$$

Para un MOST de canal p, dicha región de funcionamiento corresponde a $V_G \leq V_{th}$ y la expresión es en este caso:

$$I_{DS} = -\mu_p \frac{W}{L} C_{ox} \left(V_G - V_{FB} + 2\phi_f - \frac{V_D + V_S}{2} \right) (V_D - V_S) + \mu_p \frac{3W}{2L} \sqrt{2\epsilon_{si} q N_d} \left[(2|\phi_f| + |V_D - V_B|)^{3/2} - (2|\phi_f| + |V_S - V_B|)^{3/2} \right] \quad (3.10-bis)$$

No obstante, la expresión (3.10) son válidas siempre que la capa de inversión existe a lo largo de todo el canal. Si la tensión de drenador, V_D , aumenta lo suficiente como para hacer que la carga móvil del canal se anule en el extremo de éste en contacto con él ($Q'_n(L) = 0$), la corriente se satura. La tensión de drenador que cumple tal condición, llamada tensión de saturación de drenador, viene dada para un MOST canal n por:

$$V_{DSat} = V_G - V_{FB} + 2\phi_f - \frac{\epsilon_{si} q}{C_{ox}^2} N_a \left(\sqrt{1 + \frac{2C_{ox}^2}{\epsilon_{si} q N_a} (V_G - V_{FB} - V_B)} - 1 \right) \quad (3.11)$$

y para el MOST de canal p:

$$V_{DSat} = V_G - V_{FB} + 2\phi_f + \frac{\epsilon_{si} q}{C_{ox}^2} N_d \left(\sqrt{1 + \frac{2C_{ox}^2}{\epsilon_{si} q N_d} (V_G - V_{FB} - V_B)} - 1 \right) \quad (3.11-bis)$$

Una utilización conjunta de (3.11) y (3.10) lleva a que para $V_D > V_{DSat}$ en el canal n ($V_D < V_{DSat}$ en el de canal p) la corriente es constante, es decir, independiente del valor de V_D . Sin embargo ésto en

la realidad no es exacto, ya que para $V_D > V_{DS\ t}$ el punto de estrangulamiento del canal se aleja del drenador y en consecuencia la longitud efectiva del canal es $L'_{ef} < L$. Un modelo cuantitativo exacto de esta modulación de la longitud del canal por V_D es bastante complicado por la naturaleza bidimensional del problema. Aunque este efecto es prácticamente despreciable en los dispositivos de canal largo, en este caso se puede modelar por la expresión experimental, válida para canal n /26/:

$$I'_{DS} = I_{DS} \left[1 + \lambda_n (V_D - V_{DSat}) \right] \quad (3.12)$$

y para el MOST de canal p:

$$I'_{DS} = I_{DS} \left[1 - \lambda_p (V_D - V_{DSat}) \right] \quad (3.12-bis)$$

donde λ_n y λ_p son constantes que se ajustan experimentalmente y tienen un orden de valor de: $\lambda_n \approx 0'006$ y $\lambda_p \approx 0'017$.

Existe un segundo efecto de saturación debido a la variación que experimenta la movilidad de los portadores en el canal debido tanto al campo eléctrico transversal como al longitudinal. Aunque no existe una expresión teórica satisfactoria que de cuenta de este fenómeno, Frohman-Bentchkowsky /27/ han obtenido una ecuación empírica que es bastante operativa. Observando experimentalmente que la movilidad es prácticamente constante hasta campos de $E_0 = 6 \cdot 10^4$ V/cm, se llega a una expresión del tipo:

$$\mu = \mu_0 \left[\frac{E_0}{E} \right]^{c_1} \quad (3.13)$$

donde μ_0 es la movilidad para campo nulo y c_1 es una constante empírica que para MOSTs de canal n es del orden de $c_1 \approx 0'10 \sim 0'12$ y para MOSTs de canal p, $c_1 \approx 0'2$, /28/. Como E es el campo resultante de la componente normal y transversal, (3.13) toma la forma:

$$\mu = \mu_0 \left[1 - \frac{|V_G - V_{th} - 1/2(V_D - V_S)|}{d \cdot 6 \cdot 10^4} \right]^{-c_1} \quad (3.14)$$

3.2.3. MODELO PARA LA CORRIENTE EN LA REGION SUBUMBRAL.

Las expresiones (3.10) son válidas siempre que el dispositivo esté operando en la región de inversión fuerte, es decir, siempre que $\phi_s \geq 2 \phi_f$, o lo que es igual, que la capa de inversión tenga una concentración de portadores igual y opuesta a la del sustrato. Sin embargo, cuando $\phi_f \leq \phi_s \leq 2 \phi_f$, es decir, cuando la concentración de portadores móviles en la capa de inversión sea menor (aunque de signo opuesto) a la del sustrato, el dispositivo se dice que está en la región subumbral o región de inversión débil. Esta región se caracteriza principalmente porque la corriente es debida a la difusión de portadores a lo largo del canal, en lugar de ser una corriente de arrastre debida al campo longitudinal. Además, para tensiones $V_D - V_S$ poco mayores a $\frac{kT}{q}$ la corriente se satura haciéndose prácticamente independiente de la tensión de drenador. Hay numerosas aplicaciones de los MOSTs, tanto analógicas como digitales, en las que el funcionamiento en esta región juega un papel importante, de ahí el interés en los últimos años en modelarla. En la bibliografía /29/ los modelos para la corriente subumbral se obtienen normalmente a partir de la teoría " exacta " de Pao y Sah /14/, de entre ellos el de Swanson y Meindl /13/ es razonablemente simple y preciso. En él, la corriente para $V_G < V_{th}$ para un MOST de canal n viene dada por:

$$I_{DS} = \mu_n \frac{W}{L} C_{ox} \frac{1}{m} \left(\frac{nkT}{q} \right)^2 \cdot e^{\left[\frac{q}{nkT} (V_G - V_{th} - \frac{nkT}{q}) \right]} \left[1 - e^{\left(- \frac{mq |V_D - V_S|}{nkT} \right)} \right] \quad (3.15)$$

donde n y m son constantes y son cocientes de capacidades del dispositivo, de las cuales n tiene que ser determinada experimentalmente por depender de Q_{ss} . Son mayores que 1 y normalmente menores que 4.

Paralelamente, para el caso del MOST de canal p y para $V_G > V_{th}$:

$$I_{DS} = -\mu_p \frac{W}{L} C_{ox} \frac{1}{m} \left(\frac{nkT}{q}\right)^2 \cdot e^{-\left[\frac{q}{nkT}(V_G - V_{th} - \frac{nkT}{q})\right]} \left[1 - e^{-\left(\frac{mq|V_D - V_S|}{nkT}\right)}\right]$$

(3.15-bis)

Finalmente diremos que el modelo que hemos utilizado en DC, tanto para el diseño, como para el programa de simulación MOSIM viene condensado por el conjunto de ecuaciones: (3.1), (3.2), (3.3), (3.4), (3.5), (3.7), (3.9), (3.10), (3.11), (3.12), (3.14) y (3.15).

3.3. DESCRIPCION DE MOSIM.

El programa, cuyo listado y normas básicas de uso se puede encontrar en el Apéndice I, consta básicamente de tres partes:

- 1.- Bloque de manejo de datos.
- 2.- Bloque de caracterización de MOSTs.
- 3.- Bloque de caracterización del circuito.

El modelo del MOST descrito, está materializado en dos subrutinas: una en la que se calcula V_{th} del MOST correspondiente y otra en la que se calcula la intensidad I_{DS} . A dichas subrutinas se accede, siempre que se requiera, a partir de los bloques 2° y 3°, como veremos seguidamente.

3.3.1. BLOQUE DE MANEJO DE DATOS.

Este bloque presenta varias opciones, a las que se puede entrar desde las tres subrutinas siguientes:

DATOS.- Subrutina que permite introducir los datos correspondientes a los MOSTs uno a uno según los va requiriendo el programa.

Estos datos, están organizados en dos tipos:

- a) Datos comunes a todos los MOSTs de que vaya a constar el circuito, que son:

ϕ_m : función trabajo del metal que se emplee para las puertas, en el caso de que éstas sean metálicas, (en voltios).

ϵ_{ox} : permitividad del dieléctrico utilizado para las puertas, (en F / cm).

Q_{ss} : carga en la interfase dieléctrico-Si, (C/cm²).

μ_{n_o} : movilidad superficial de los e⁻ para campo nulo, (cm²/V · s).

μ_{p_o} : movilidad superficial de los huecos para campo nulo.

b) Datos particulares de cada MOST, que son:

- Tipo de canal (p o n).
- W: anchura del canal (mm).
- L: longitud del canal (mm).
- $N_{a/d}$: dopado del sustrato (cm⁻³).
- Tipo de electrodo de puerta (metálica o de silicio do pado).
- N_g : dopado de electrodo de puerta, en el caso de que sea de silicio policristalino.
- N_i : concentración de iones implantados, en el caso de que tenga canal implantado, (cm⁻²).
- λ : factor de modulación de la longitud del canal por la tensión de drenador.

Esta subrutina permite tambien, en el caso de que existan los datos ya en la memoria, visualizar y modificar cual quiera de ellos.

CONEXION: En esta subrutina se especifican las tensiones a que están conectados los terminales de los MOSTs, así como cuáles son las entradas y las salidas del circuito. Esto se va hacien-

do a requerimiento del programa.

FIDAT: Esta subrutina permite:

- 1°) Grabar los datos introducidos por las dos subrutinas anteriores en un fichero de soporte magnético, creándolo y dimensionándolo automáticamente.
- 2°) Leer los datos de un circuito o un conjunto de MOSTs que previamente hayan sido almacenados en un fichero.

3.3.2. BLOQUE DE CARACTERIZACION DE MOST.

Está constituido por la subrutina T(I), y permite, elegido un MOST de los que están en memoria, calcular la tensión de umbral del mismo y, opcionalmente, suministra las características de salida tanto en la región por encima del umbral como en la región subumbral. La figura 3.3.1. muestra una salida típica de esta subrutina para un MOST de canal n en la región de inversión fuerte.

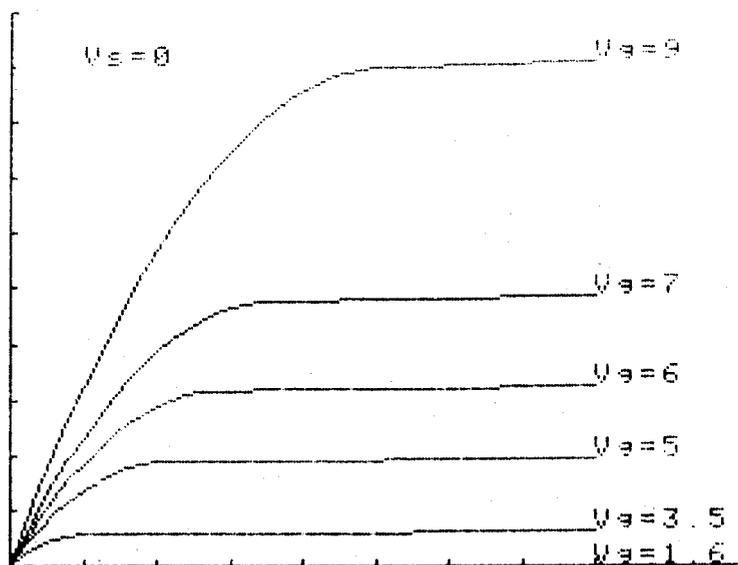


Fig. 3.3.1: Características de un MOST canal n en inversión fuerte.

La figura 3.3.2. corresponde al mismo MOST, pero en la región subum-

bral, siendo la ordenada el $\log(I_{DS})$ y la abscisa V_G . La figura 3.3.3 corresponde a las características de un MOST de canal p.

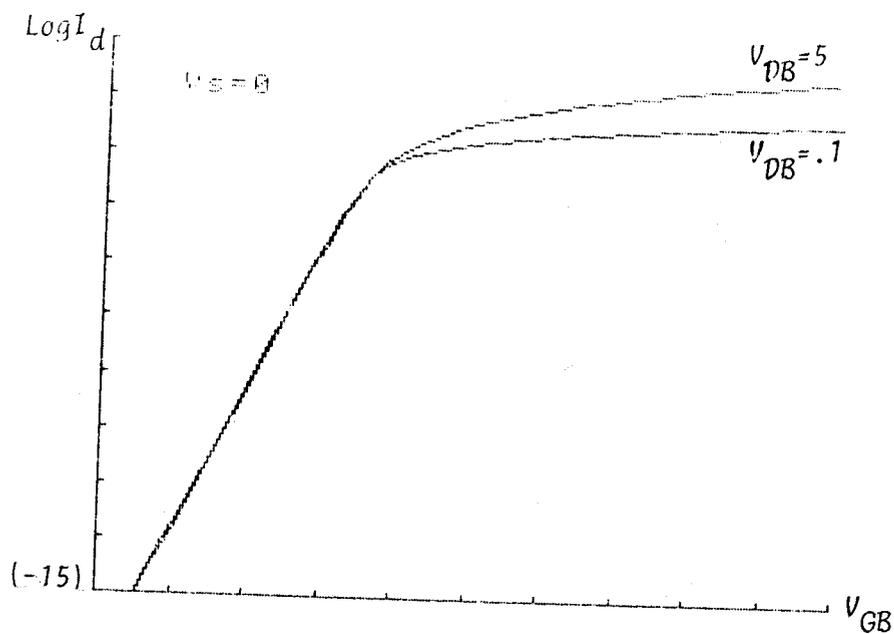


Fig. 3.3.2: Característica de un MOST canal n en inversión débil.

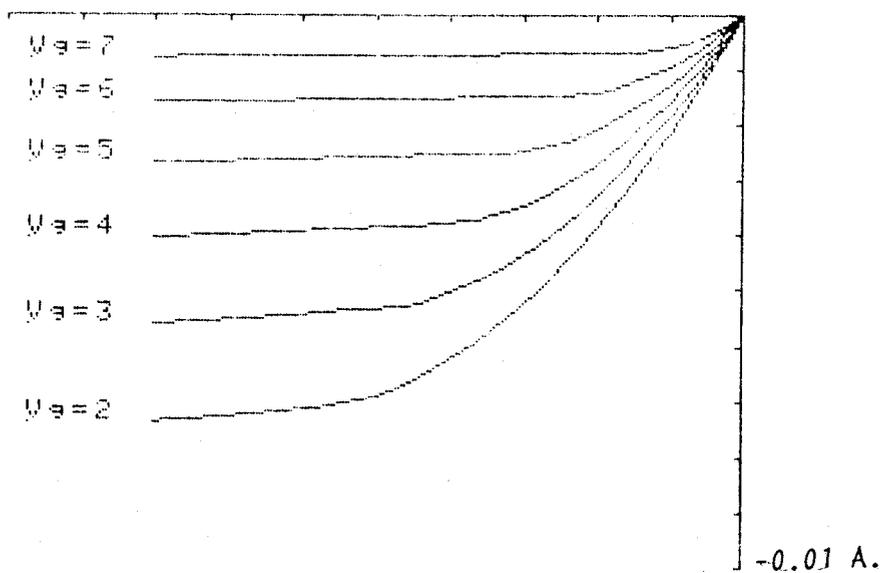


Fig. 3.3.3: Características de un MOST canal p en inversión fuerte.

3.3.3. BLOQUE DE CARACTERIZACION DEL CIRCUITO.

Constituye el núcleo fundamental del programa y consta de dos subrutinas:

ESTAMOS: Es la subrutina de cálculo y simulación del comportamiento en DC del circuito. Suministra las tensiones en los nudos de salida para cada tensión de entrada, es decir, la característica de transferencia matricial del sistema. Su diagrama de flujo es el que se muestra en la figura 3.3.4.

Debido a la limitada memoria disponible en la máquina para la que se ha escrito el programa y con objeto de no lentificar excesivamente la ejecución del mismo, las ecuaciones de las intensidades en los nudos del circuito hay que introducir las como instrucciones antes de lanzar el programa. Sin embargo, debido al nivel del lenguaje utilizado, tienen una forma muy simple como veremos.

Al principio, el programa pide una apreciación inicial de los valores de las tensiones en los nudos de salida para el primer valor de tensión de entrada. Mediante iteración por el método de Newton-Raphson resuelve el correspondiente sistema de ecuaciones algebraicas no-lineales. A partir de ahí, para los siguientes valores de la tensión de entrada, toma como apreciación inicial los valores de salida de la tensión de entrada anterior. En memoria van quedando las tensiones de salida y las intensidades para cada uno de los valores de entrada.

El método de Newton-Raphson presentan a veces, como es sabido, problemas de no convergencia o de convergencia lenta. Estos normalmente se debe a la presencia de mínimos locales, a divergencia u oscilaciones de comportamiento similar a la de los ciclos límites. Para salvar en parte estos inconvenientes se han utilizado dos técnicas, a saber: a) Caso de detectar la anulación del jacobiano en una iteración, el programa modifica los valores

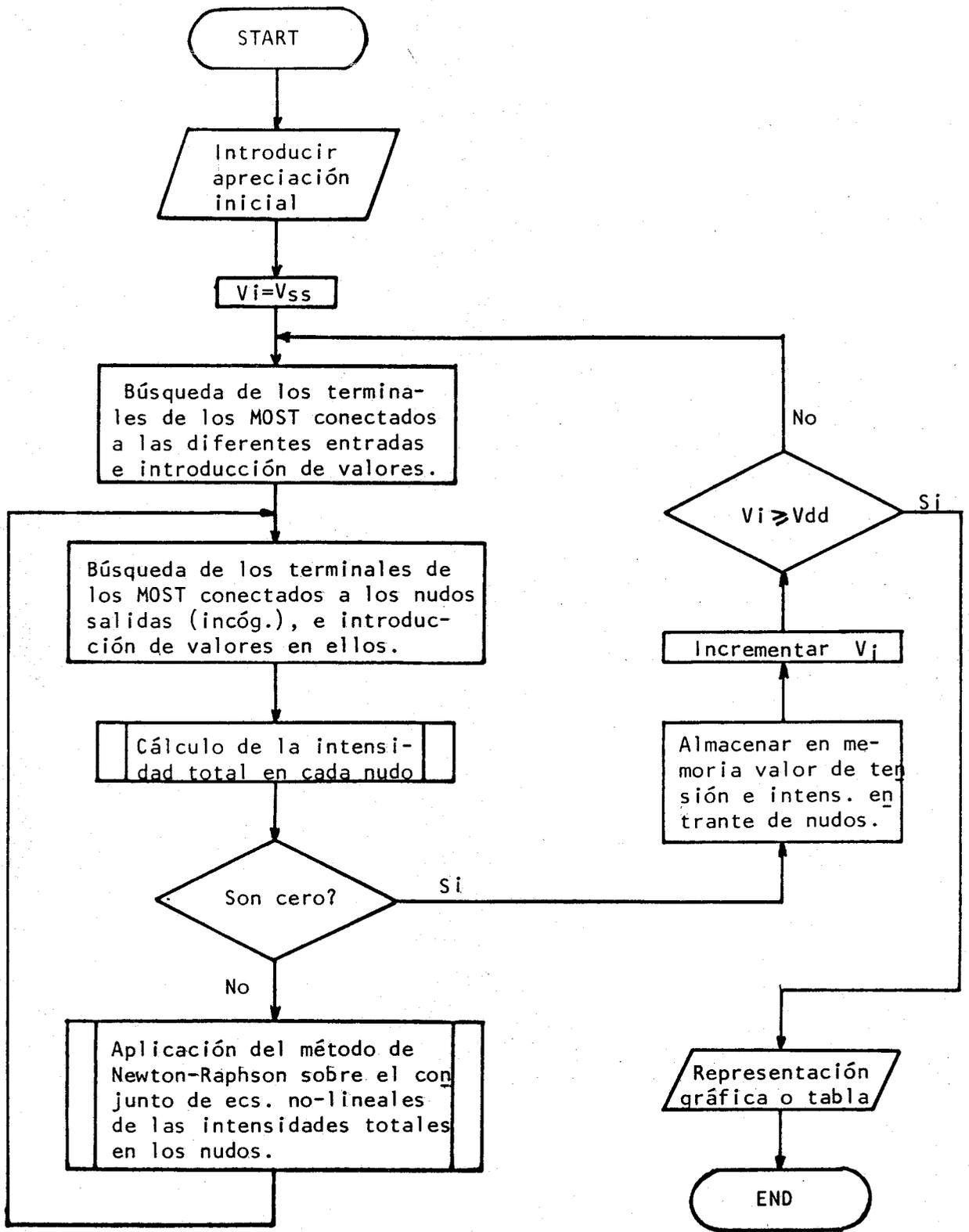


Fig. 3.3.4: Diagrama de flujo del bloque ESTAMOS (MOSIM)

los valores de partida en dicha iteración. b) Las salidas se mantienen acotadas, de forma que cuando se detecte que alguna de ellas sale de los valores de polarización del circuito, se modifica automáticamente el paso de derivación en el cálculo del jacobiano.

RESULT: Es la segunda subrutina de que consta el bloque de caracterización de circuitos y está pensada para proporcionar los resultados de las subrutina ESTAMOS. Presenta tres opciones, a saber:

- Dar un listado de valores de la tensión de salida para cada entrada de cualquier nudo de salida.
- Dar las características de transferencia en forma gráfica.
- Almacenar en soporte magnético dichas características.

Esta última opción es de gran utilidad en los casos de circuitos que permitan particionado ya que puede conducir a un ahorro sustancial en el tiempo de cálculo. En efecto, como en cada iteración hay que calcular el jacobiano, esto significa que en general para un circuito con n nudos de interconexión hay que calcular n^2 derivadas parciales. Por tanto, si se procesa el circuito en dos bloques y utilizamos la salida del primero como entrada del segundo, el tiempo de calculo será sensiblemente menor. Veamos ésto con más detalle con un caso práctico que de camino mostrará la utilización del programa y su forma de generar una salida.

Sea por ejemplo el circuito de la figura 3.3.5. Se trata de un circuito con 8 MOST (5 de canal n y 3 de canal p) y que tiene 5 nudos incógnitas (0_1-0_5). Está polarizado con $V_{SS} = 10$ volt.. Como se ve, el bloque formado por T_1 , T_2 y T_3 es el operador $^0x^0$ para lógica ternaria propuesto por Huertas y Carmona /30/ que vimos en el capítulo anterior y el bloque formado por T_4 , T_5 y T_6 nos da el operador $\overline{2,2}x$. Los transistores tienen características iguales y son muy similares a las de la se

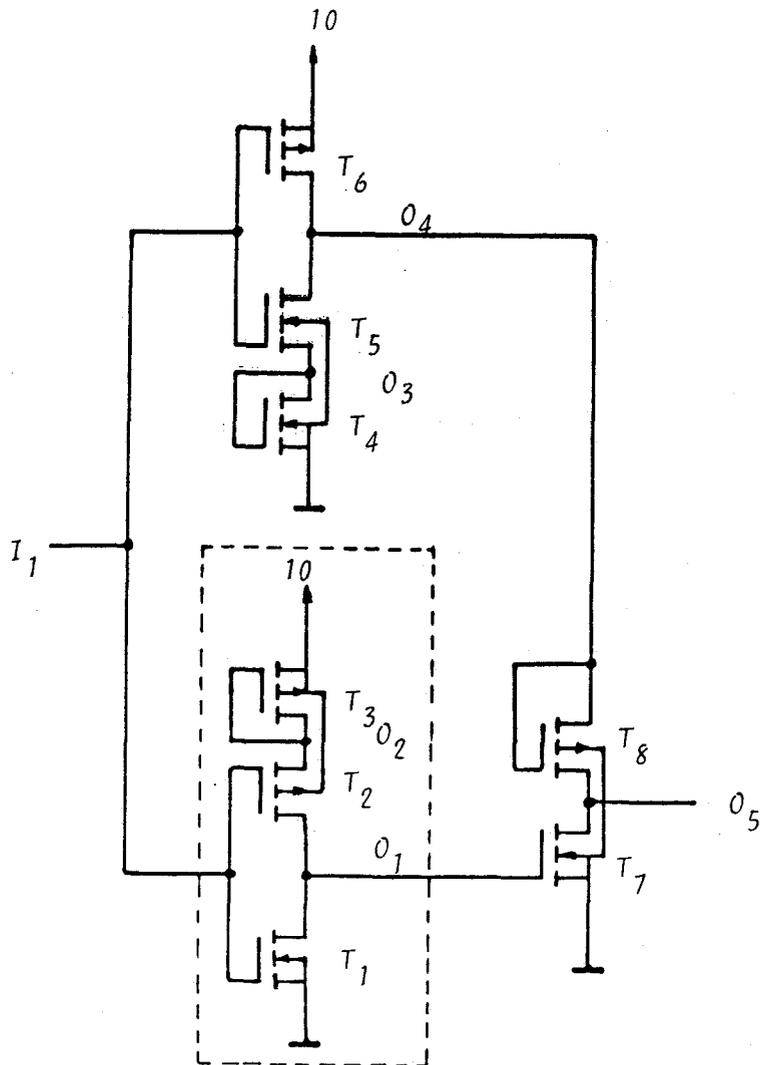


Fig. 3.3.5.

rie 14xx estandar.

Dicho circuito puede analizarse con MOSIM como tal, en cuyo caso el conjunto de ecuaciones que hay que introducir es:

Para el nudo 0_1 : $FNA_1 = FNT(1) + FNT(2)$.

Para el nudo 0_2 : $FNA_2 = FNT(2) - FNT(3)$.

Para el nudo 0_3 : $FNA_3 = FNT(4) - FNT(5)$.

Para el nudo 0_4 : $FNA_4 = FNT(5) + FNT(6) + FNT(8)$.

Para el nudo 0_5 : $FNA_5 = FNT(7) - FNT(8)$

donde $FNT(i)$ es la función que nos da la corriente que circula por el MOST i .

En este caso, en cada iteración hay que calcular 25 derivadas parciales, y como consecuencia un tiempo de procesado de 187 minutos. Las características de transferencia aparecen en las figuras 3.3.6, 3.3.7, 3.3.8, 3.3.9 y 3.3.10 para los nudos 0_1 , 0_2 , 0_3 , 0_4 y 0_5 respectivamente. Los datos de los MOSTs, opcionalmente también suministrados por el programa son los que aparecen en la tabla 3.3.1.

Alternativamente, ya que la salida 0_1 no está afectada por la etapa siguiente (ni la 0_2), este circuito se puede analizar de otra forma.

Primero se analiza el bloque que da x , es decir, el que está enmarcado en la figura 3.3.5. Hecho esto, la salida 0_1 , mediante la subrutina RESULT se almacena en disco para ser utilizada posteriormente como entrada al segundo bloque del circuito, que en este caso es el resto. Seguidamente se introducen los datos de este segundo bloque, que ahora se trata como un circuito con dos entradas l_1 e l_2 , obteniendo ésta del fichero anteriormente creado. Como se observa, ahora al procesar el primer bloque en cada iteración sólo se calculan 2^2 derivadas y al procesar el segundo, 3^2 derivadas, haciendo que el tiempo de cálculo total sea del orden de 95 minutos.

En la figura 3.3.11 aparece la gráfica de la intensidad que circula por los MOSTs T_1 , T_2 y T_3 y la figura 3.3.12 la que circula por T_4 y T_5 , poniéndose de manifiesto el bajo fan-out de estos operadores, que es una de sus principales desventajas según se apuntó en el capítulo anterior.

3.4. IMPLEMENTACION DE MOSIM.

El programa se ha escrito en la versión de Basic extendido del microcomputador de sobremesa HP-85A, dotado de una ROM especial para el tra-

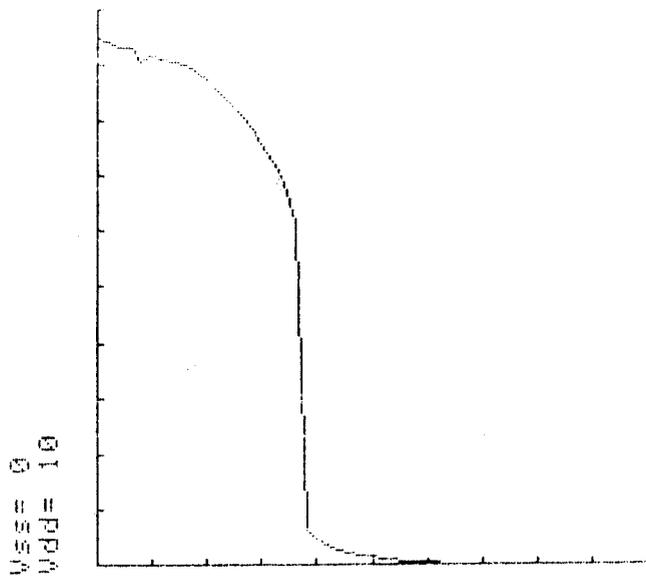


Fig. 3.3.6: Característica de transferencia del nudo 0_1 del circuito de la figura 3.3.5.

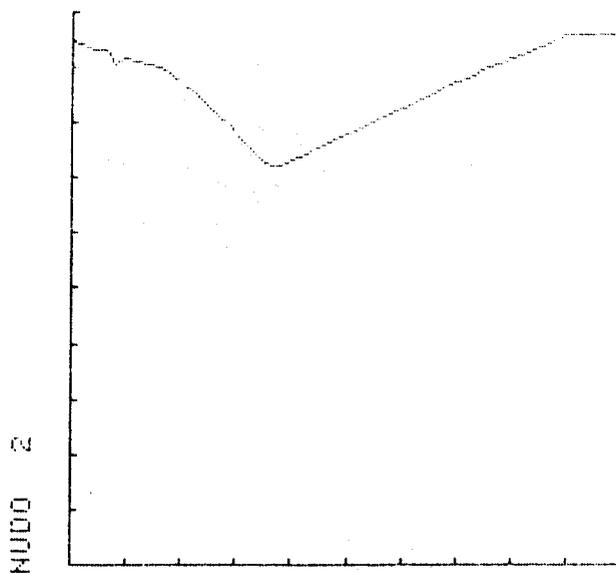


Fig. 3.3.7: Característica de transferencia del nudo 0_2 del circuito de la figura 3.3.5.

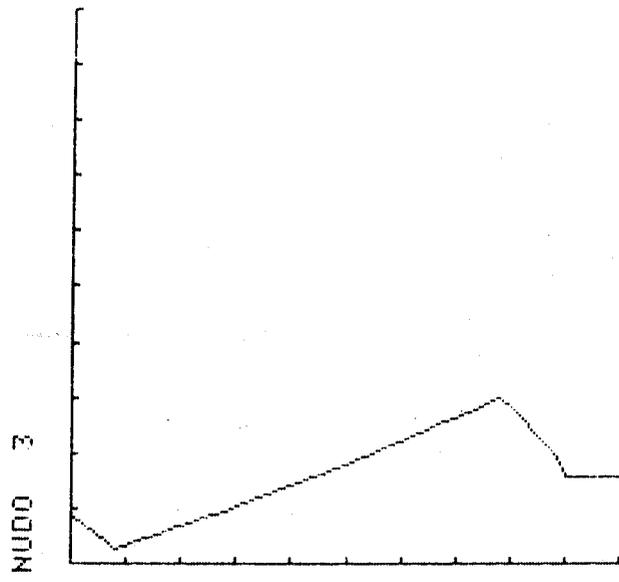


Fig. 3.3.8: Característica de transferencia del nudo 0_3 del circuito de la figura 3.3.5.

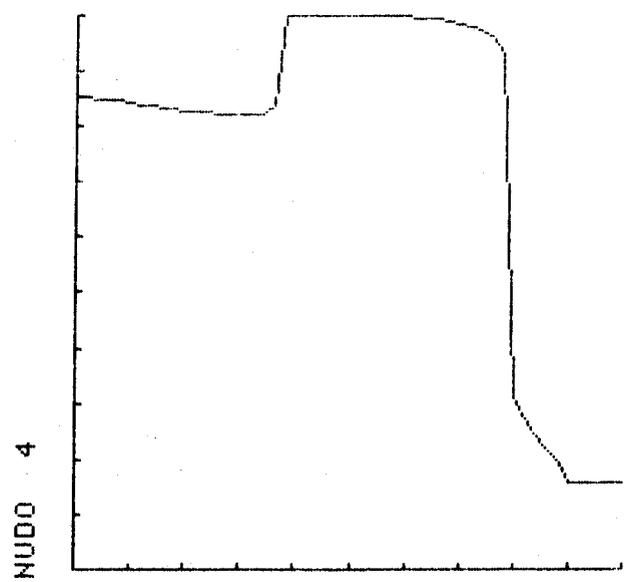


Fig. 3.3.9: Característica de transferencia del nudo 0_4 del circuito de la figura 3.3.5.

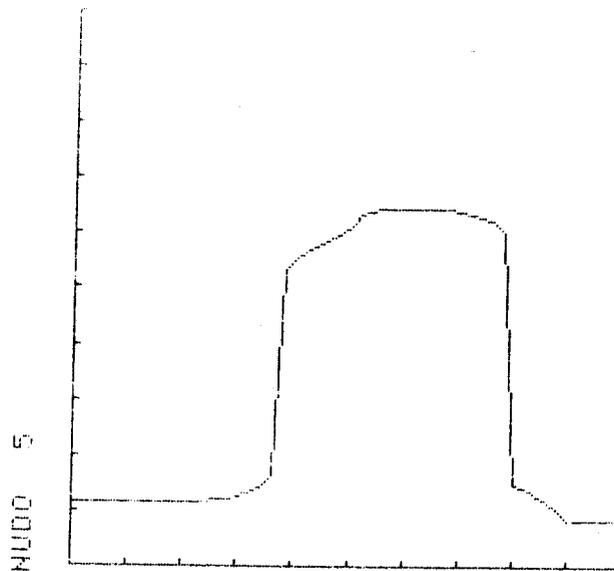


Fig. 3.3.10: Característica de transferencia del nudo 0_5 del circuito de la figura 3.3.5.

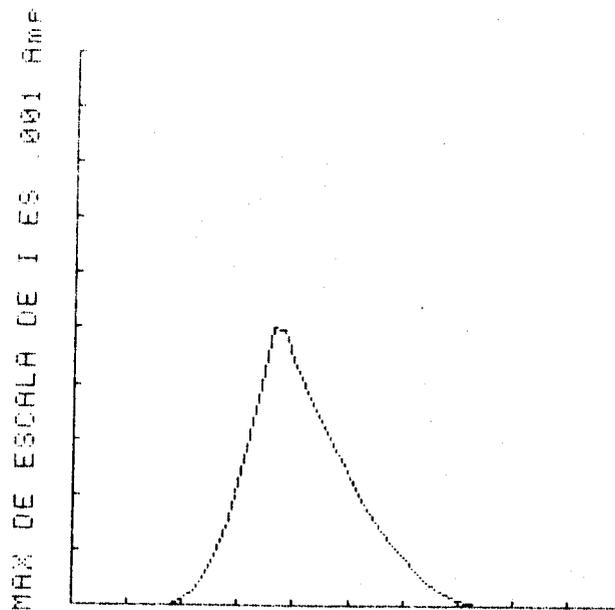


Fig. 3.3.11: Gráfica de la intensidad que circula por los MOSTs T_1 , T_2 y T_3 en función de la tensión de entrada.

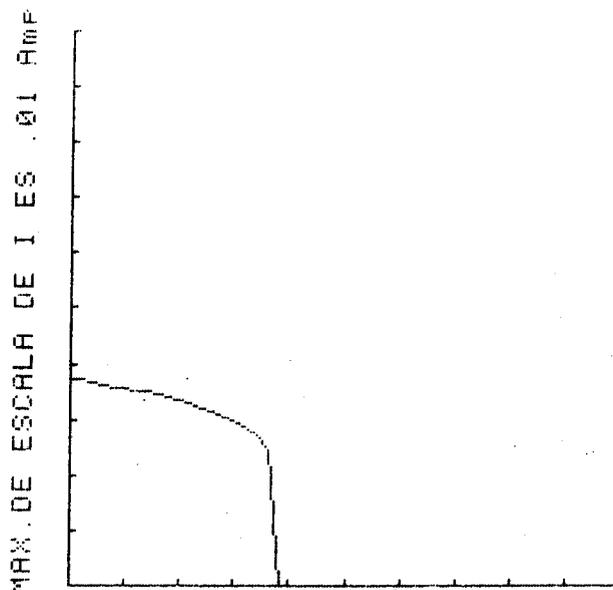


Fig. 3.3.12: Gráfica de la intensidad que circula por los MOSTs T_4 y T_5 en función de la tensión de entrada, para el circuito de la figura 3.3.5.

DATOS COMUNES

FUNCION TRABAJO DEL METAL, $\phi_{ms} =$
 3.2
 PERMITIVIDAD DEL OXIDO=
 3.461914E-13
 ESPESOR DEL OXIDO, $d = .000012$
 CARGA EN LA INTERFACE, $Q_{ss} =$
 .000000014
 MOVILIDAD DE LOS ELEC. PARA CAMPO
 NULO, $\mu_n = 600$
 MOVILIDAD DE LOS HUECOS PARA CAM
 PO NULO, $\mu_p = 200$

TRANSISTOR 1

DE CANAL N
 $W = .1905$
 $L = .005$
 $N_a = 9.E15$
 DE GATE DE SILICIO, $N_a = 1.E16$
 $\lambda = .005$
 $V_{th} = 1.78886413325$
 $V_b = 0$
 $V_s = 0$
 $V_g = ENTRADA$
 $V_d = SALIDA 1$

TRANSISTOR 2

DE CANAL P
 $W = .4953$
 $L = .0054$
 $N_d = 1.5E15$
 DE GATE DE SILICIO, $N_a = 1.E16$
 $\lambda = .017$
 $V_{th} = -1.03526686064$
 $V_b = 10$
 $V_s = SALIDA 2$
 $V_g = ENTRADA$
 $V_d = SALIDA 1$

Tabla 3.3.1.

TRANSISTOR 3

DE CANAL P
 $W = .4953$
 $L = .0054$
 $N_d = 1.5E15$
 DE GATE DE SILICIO, $N_a = 1.E16$
 $\lambda = .017$
 $V_{th} = -1.03526686064$
 $V_b = 10$
 $V_s = 10$
 $V_g = SALIDA 2$
 $V_d = SALIDA 2$

TRANSISTOR 4

DE CANAL N
 $W = .1905$
 $L = .005$
 $N_a = 9.E15$
 DE GATE DE SILICIO, $N_a = 1.E16$
 $\lambda = .005$
 $V_{th} = 1.78886413325$
 $V_b = 0$
 $V_s = 0$
 $V_g = SALIDA 3$
 $V_d = SALIDA 3$

TRANSISTOR 5
DE CANAL N
W= .1905
L= .005
Na= 9.E15
DE GATE DE SILICIO, Na= 1.E16
 λ = .005
Vth= 1.78886413325
Vb= 0
Vs=SALIDA 3
Vg=ENTRADA
Vd=SALIDA 4

TRANSISTOR 6
DE CANAL P
W= .4953
L= .0054
Nd= 1.5E15
DE GATE DE SILICIO, Na= 1.E16
 λ = .017
Vth=-1.03526686064
Vb= 10
Vs= 10
Vg=ENTRADA
Vd=SALIDA 4

TRANSISTOR 7
DE CANAL N
W= .1905
L= .005
Na= 9.E15
DE GATE DE SILICIO, Na= 1.E16
 λ = .005
Vth= 1.78886413325
Vb= 0
Vs= 0
Vg=SALIDA 1
Vd=SALIDA 5

TRANSISTOR 8
DE CANAL N
W= .1905
L= .005
Na= 9.E15
DE GATE DE SILICIO, Na= 1.E16
 λ = .005
Vth= 1.78886413325
Vb= 0
Vs=SALIDA 5
Vg=SALIDA 4
Vd=SALIDA 4

Tabla 3.3.1
(cont.)

3.20

tamiento de matrices en conjunción con una unidad de disco flexible. El espacio de memoria que utiliza es de aproximadamente 26k bytes, con lo que es posible el análisis de circuitos de hasta 15 MOST y hasta 5 nudos de interconexión de elementos. Estos números vienen impuestos más por la velocidad de procesado que por la capacidad de memoria de la máquina (30 kbyte). En este sentido hay que decir que la velocidad de procesado viene también condicionada por el hecho de usar un lenguaje interpretado en lugar de uno compilado, así como por la bondad de la apreciación inicial introducida para las tensiones de salida. Estos números son orientativos y más que suficientes para nuestro propósito, teniendo en cuenta el tamaño de las estructuras lógicas básicas que se han desarrollado y se detallan en capítulos posteriores de esta Memoria.

3.5. COMPROBACIONES EXPERIMENTALES.

Una vez escrito el programa ha sido necesario verificar tanto el correcto funcionamiento como el grado de exactitud conseguido en la simulación. Con este objeto se han montado hasta 15 estructuras de circuitos distintos con elementos discretos de los disponibles en las pastillas 14.007 de Motorola. Estos circuitos han sido polarizados a distintas tensiones y medido sus respuestas para señales de entrada de baja frecuencia (100-1.000 Htz). Dichas señales de entrada y de salida se han digitalizado por medio de un osciloscopio, tomando 501 muestras, y se han transmitido los datos al computador para su representación. Seguidamente se ha simulado con MOSIM cada una de estas estructuras y contrastado los resultados con las medidas anteriores.

Veamos con algún detalle uno de tales circuitos, si bien remitimos al Apéndice II para ver el resto de los circuitos comprobados. En la figura 3.3.14 aparece reproducido de nuevo el inversor para lógica ternaria de Mouftah y Jordan /31/ ya citado en el capítulo anterior. Las re-

sistencias utilizadas en el montaje real tienen un valor nominal de 10 K Ω y está polarizado entre 0 y 10 voltios. En estas condiciones la característica de transferencia real para el nudo 0₂ es la nube de puntos que aparece en la figura 3.3.15 y la simulada por MOSIM es la que aparece en la figura 3.3.16. Asimismo, los operadores x y x que se obtienen en los nudos 0₃ y 0₁, respectivamente, tienen las características que se muestran en las figuras 3.3.17 y 3.3.18 respectivamente, en las cuales aparecen superpuestas las medidas experimentales y los resultados obtenidos en la simulación.

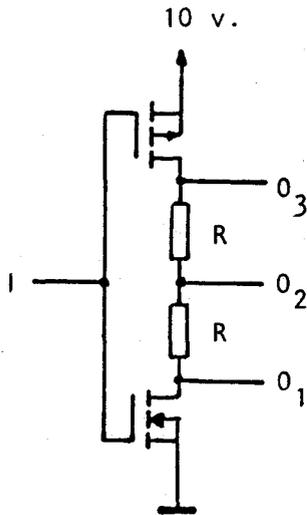


Fig. 3.3.14: Inversor ternario de Mouftah-Jordan

Para la simulación, tanto de este circuito como de los restantes que aparecen en el Apéndice II, los valores escogidos para los parámetros de los MOSTs son del orden de valor de los utilizados por Meyer /28/, con ajustes para que la característica del inversor CMOS típico sea lo más cercana posible a la medida experimentalmente, ya que no disponemos de datos del fabricante. No obstante, como éste sólo garantiza unos máximos y unos mínimos para las características eléctricas, existiendo una dispersión de los valores de los parámetros de un chip a otro, hace que todo esfuerzo por un ajuste fino entre las medidas experimentales y la simulación esté fuera de lugar. Con todo, se observa una buena concordancia, y las discrepancias pueden ser imputadas entre otras causas a:

- Modelo utilizado para la región subumbral.
- A no incluir en el modelo las resistencias de drenador y surtidor.
- A las diferencias de los valores de los parámetros reales

de los MOST y la supuestas para la simulación.

- A la diferencias entre los valores reales y nominales de las resistencias en aquellas estructuras en las que estas están presente.
- A variaciones en la fuente de alimentación así como en el generador de señales de excitación.

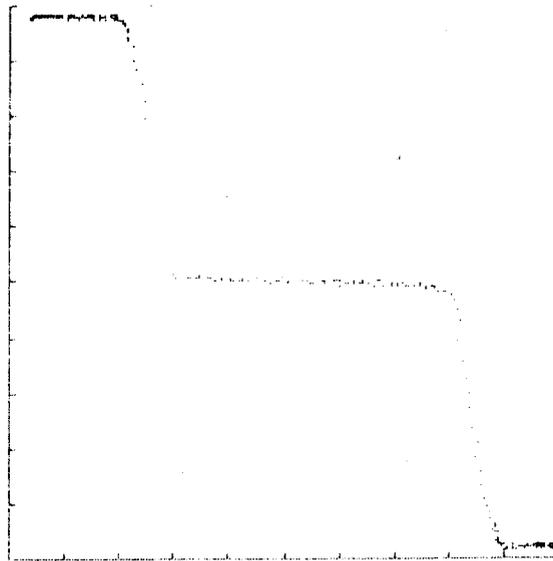


Fig. 3.3.16: Característica de transferencia real del nudo 0_2 del circuito de la figura 3.3.15, obtenida por digitalización.

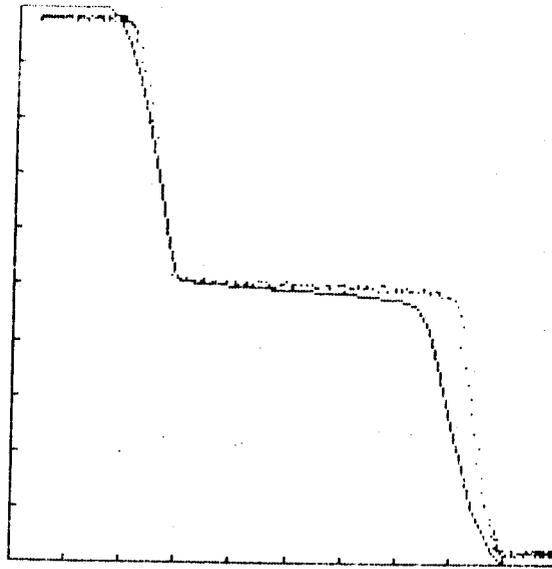


Fig. 3.3.16: Características real (nube de puntos) y simulada (línea con tinua) del nudo O_2 del circuito de la figura 3.3.14.

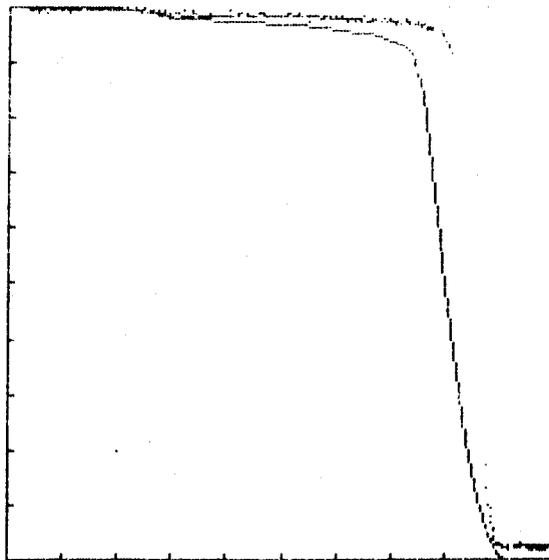


Fig. 3.3.17: Características real y simulada del nudo O_3 del circuito de la figura 3.3.14.

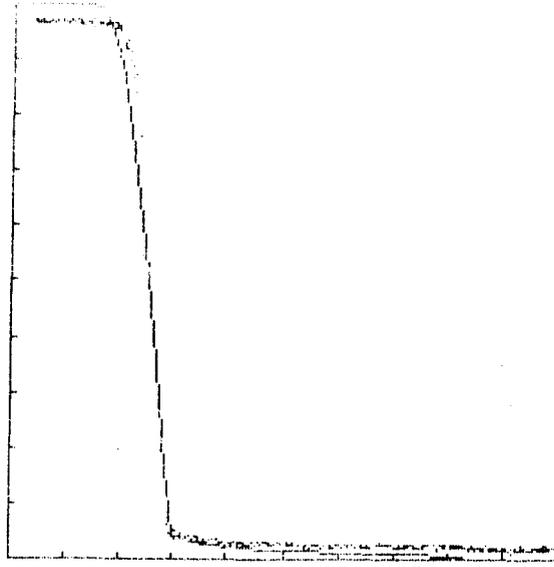


Fig. 3.3.18: Características real y simulada del nudo 0_1 del circuito de la figura 3.3.14.

REFERENCIAS DEL CAPITULO 3.

- /1/ .- F.H. Branin: " DC and transient analysis of networks using a digital computer ". IRE International Convention 1.962.
- /2/ .- A.R. Newton: " Teehniques for fhe simulation of large-scale inte^{grated} circuits " IEEE. Trans. Circuits and Sys. vol. CAS-26, pp. 741-749, Sept. 1.979.
- /3/ .- L.W. Nagel: " SPICE-2: A computer program to simulate semiconduc^{tor} circuits ", Univ. California, Berveley, ERL. Me^{mo}, ERL-M520, May 1.975.
- /4/ .- T.K. Young and R.W. Dutton: " Mini-MSINC- A minicomputer simula^{tor} for MOS circuits with modular built-in model ". IEEE J.S.S.C., pp. 730-732. Oct. 1.976.
- /5/ .- S.P. Fan, et al.: " MOTIS-C: A new circuit simulator for MOS LSI circuits ". Proc. 1.977 IEEE. Int. Symp. Circuits and Systems. (Phoenix, Az.).
- /6/ .- H. De Man et al.: " DIANA: Mixed mode simulator with a hardware description language for hiezarchical design of VLSI ". IEEE. ICC'80. Conf. Proc., pp. 356-360, Oct. 1.980.
- /7/ .- Polycoll LSI, Motorola Semiconductor Products Inc. Phoenix, Az. July 1.970.
- /8/ .- A. Vladimirescu: " Calculator-aided design of MOS integrated cir^{cuits} ". IEEE. J.S.S.C., vol. -SC-10, pp. 151-161, Jun. 1.975.
- /9/ .- J.L. Huertas, G. Sánchez: " MOSIM: Un simulador interactivo para circuitos MOS ". 5° Congreso Nacional de Informáti^{ca} y Automática. Madrid, Mayo, 1.982.

- /10/.- D. Vandorpe, J. Borel, G. Merckel y P. Saintot: " An accurate Twodimensional numerical analysis of the MOS transistor ". Solid-State Electron. vol.-15, pp. 547-557, 1.972.
- /11/.- M.S. Mock: " A Two-dimensional. mathematical model of the insulated-gate field-effect transistor.". Solid-State Electron. vol.16, pp. 601-609, 1.973.
- /12/.- H.K.J. Ihautola and J.L. Moll: " Design theory of a surface field-effect transistor ". Solid-State Electron. vol.7, pp. 423-430. 1.964.
- /13/.- R.M. Swanson and J.D. Meindl: " Ion implanted complementary MOS transistors in low-voltage circuits ". IEEE J.S.S.L. vol. SC-7, pp. 146-153. 1.972.
- /14/.- H.C. Pao and C.T. Sah: " Effects of diffusion Current on Characteristics of Metal-Oxide (Insulator) -Semiconductor transistors (MOST) ". Solid-State Electron. vol.9,pp. 927-937, 1.966.
- /15/.- S.M. Sze; " Physics of semiconductor devices ". 2nd Ed. Wiley. 1.981.
- /16/.- R.S. Muller, T.I. Kamins: " Device electronics for integrated circuits ". Ed. Wiley, 1.977.
- /17/.- W.M. Penney, L. Lau: " MOS integrated circuits ". Ed. Krieger, Rep. ed. 1.979.
- /18/.- W.N. Carr, J.P. Mize: " MOS/LSI diseño y aplicación ". Ed. Marcombo. 1.979.
- /19/.- R.H. Crawford: " MOSFET in circuit design ". Mc. Graw-Hill. 1.967.
- /20/.- M.I. Elmasry: " Digital MOS integrated circuits ! A tutorial in digital MOS integrated circuits ". Ed. por M.I. Elmasry, IEEE Press. 1.981.

- /21/.- F.S. Jenkins, E.R. Lane, W.W. Lattin and W.S. Richardson: " MOS -Device modeling for Computer Implementation ".
IEEE Trans. on Circ. Theory, CT-20, pp. 649-658,
Nov. 1.973.
- /22/.- Curso de: " Tecnologías de realización de circuitos Integrados ".
vol.3. Madrid, Junio 1.982. Centro de Física Aplica
da " Leonardo Torres Quevedo ". U.E.I. de Micro-
electrónica.
- /23/.- E.H. Nicollian and J.R. Brews: " MOS physics and technology ".
Ed. Wiley. 1.982.
- /24/.- J. Mc Dougall, K. Manchester: " Ion implantation offers a bagful
of benefits for MOS ". Electronics, Jun.22,1970,
pp.86-90.
- /25/.- J.S.T.Huang, G.W.Taylor: " Modeling of an ion-implanted silicon-
gate depletion-mode IGFET ". IEEE Trans. Electron
devices, ED-22, Nov.1975, pp.995-1001.
- /26/.- R.Pinkhann: " TI-59 MOS-FET program aids LSI designers ". Elec-
tronics, July 17, 1980, pp.137-139.
- /27/.- D.Frohman-Bentchkowsky, A.S.Grove: " Conductance of MOS transists
tors in saturation ". IEEE Trans. Electron devices,
ED-16, Enero 1969, pp.108-113.
- /28/.- J.Meyer: " MOS models and circuit simulation ". RCA Rev., vol.32,
Mar.1971, pp.42-63.
- /29/.- W.Fichtner, H.W.Potzl: " MOS modelling by analytical approximati
tions. I. Subthreshold current and treshold voltage"
Int. Jour. of Electron. pp. 33-55.
- /30/.- J.L.Huertas, J.M.Carmona: " Low-power ternary CMOS circuits ".
Proc. 9th I.S.M.V.L., pp.170-174, Bath, 1979.
- /31/.- H.T.Mouftah, I.B.Jordan: " Implementation of three-valued logic

with COS/MOS integrated circuits ". Electron. Lett.
vol.10, pp.441-442, Oct.1974.

CAPITULO 4

OPERADORES UNARIOS.

INDICE

4.1. INTRODUCCION.	PAG. 4.1
4.2. OPERADORES UNARIOS: CLASIFICACION.	4.2
4.3. DISEÑO DE OPERADORES INVERSORES DE UN UMBRAL.	4.3
4.3.1. DISEÑO DEL PAR DE OPERADORES $A(X)$, $B(X)$.	4.7
4.3.2. DISEÑO DEL PAR DE OPERADORES $C(X)$, $D(X)$.	4.13
4.3.3. DISEÑO DEL PAR DE OPERADORES $E(X)$, $F(X)$.	4.15
4.3.4. CONJUNTO DE MOSTS REQUERIDOS	4.16
4.4. OBTENCION DE LOS MOSTS NECESARIOS.	4.17
4.4.1. REVISION DE TECNOLOGIAS CMOS.	4.17
4.4.2. ELECCION DE LOS MOSTS: EJEMPLO PRACTICO.	4.22
4.4.2.1. MOSTS DE CANAL N.	4.22
4.4.2.2. MOSTS DE CANAL P.	4.26
4.4.3. COMENTARIOS ADICIONALES.	4.26
4.4.4. SIMULACION DE LOS OPERADORES.	4.29
4.5. OPERADORES SEGUIDORES DE UN UMBRAL	4.42
4.6. OPERADORES UNARIOS CON DOS UMBRALES.	4.42
4.6.1. PRIMERA FORMA DE IMPLEMENTACION: PFI.	4.46
4.6.2. SEGUNDA FORMA DE IMPLEMENTACION: SFI.	4.53
4.6.3. FORMAS ALTERNATIVAS DE IMPLEMENTACION: TFI Y CFI.	4.56
4.7. RESUMEN.	4.58
REFERENCIAS.	4.60

4.1. INTRODUCCION.

Ya hemos puesto de manifiesto en el capítulo 2 los principales problemas que presentan las implementaciones existentes de circuitos MV en tecnología CMOS. Con objeto de obviar tales inconvenientes, hemos desarrollado una sistemática de diseño de circuitos CMOS, para operar en bases mayores que dos, que aborda el problema desde una perspectiva distinta a las hasta ahora existentes. Este enfoque parte del diseño de MOSTs específicos para operar en dichas bases, en contraste con las realizaciones previamente reportadas en las que los MOSTs utilizados estaban concebidos para dar sus prestaciones óptimas en lógica binaria. Con ello se pretende que los circuitos CMOS para operar en bases superiores a dos conserven todas las ventajas que tienen en el caso binario.

El presente capítulo está dedicado a resolver el problema de sintetizar los operadores unarios, en una lógica de más de dos niveles, basándonos en diseño previo de los MOSTs necesarios para ello. Comenzaremos estableciendo una clasificación de dichos operadores en función del número de umbrales lógicos que presentan. A partir de esta clasificación, se presta atención en el apartado 4.3 a un tipo particular de operadores con un único umbral que, como se demuestra, forman los elementos básicos de la familia. A continuación, se plantea y resuelve el problema de seleccionar un conjunto reducido de MOSTs que permite diseñar tales opera

leccionar un conjunto reducido de MOSTs que permite diseñar tales operadores. En los dos últimos apartados se discute la realización de los restantes operadores unarios utilizando los elementos básicos introducidos en 4.3.

En los diseños tanto de este capítulo como de los siguientes nos ceñiremos a la lógica ternaria por simplicidad, aunque para bases superiores el método es directamente aplicable como se pondrá de manifiesto en el capítulo 7.

4.2. OPERADORES UNARIOS: CLASIFICACION.

Un operador unario es una función de una única variable. Como es sabido, existen p^p posibles operadores unarios de una variable p -valuada. Como ejemplo en la tabla 4.2.1 se muestran los 27 operadores unarios distintos de una variable trivaluada. La importancia de algunos de tales operadores ya ha sido puesta de manifiesto en las técnicas de síntesis expuestas en el capítulo 2.

De las diferentes posibilidades de clasificación de este conjunto de operadores, una particularmente adecuada para nuestros propósitos es la que surge de considerarlos como funciones multiumbral multivaluadas /1/.

Supongamos un conjunto de niveles lógicos $S = \{0, 1, \dots, p-1\}$ y dos vectores que llamaremos respectivamente vector de valores, $R = (r_0, r_1, \dots, r_k)$, con $r_i \in S$, y vector de umbrales lógicos, $T = (t_1, t_2, \dots, t_k)$, con $t_j < t_{j+1}$. Con ésto, podemos establecer la siguiente definición.

Definición 4.1.- Una función multiumbral m -valuada (MVMTF) con un vector de valores, R , y un vector de umbrales, T , se define como:

$$U_T^R(e) = \begin{cases} r_0 & \text{si } e < t_1 \\ \vdots \\ r_j & \text{si } t_j \leq e < t_{j+1} \\ \vdots \\ r_k & \text{si } t_k \leq e \end{cases} \quad (4.1)$$

donde e es una variable de excitación que toma valores en la recta real y m el número de r_i distintos.

Por ejemplo, para $p=3$, $R = (0,2,0)$ y $T = (0'5,1'5)$, la función:

$$U_{T_2}^R(e) = \begin{cases} 0 & \text{si } e < 0'5 \\ 2 & \text{si } 0'5 \leq e < 1'5 \\ 0 & \text{si } 1'5 \leq e \end{cases}$$

que es bivaluada, ya que $m=2$. Su gráfica es la representada en la figura 4.2.1.

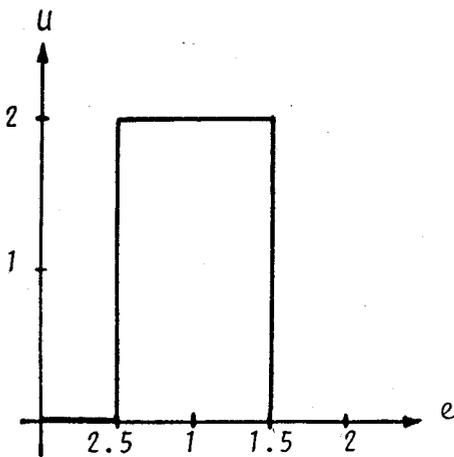


Fig. 4.2.1.

De esta manera todas las funciones unarias, para una variable p -valuada, se pueden clasificar en función del número de valores y el número de umbrales en la correspondiente función m -valuada de k umbrales [2]. En la tabla 4.2.2 aparece esta clasificación de las funciones unarias para lógica ternaria.

En la tabla 4.2.2, los operadores no-triviales conceptualmente más simples son aquellos en los que $m = 2$ y $k = 1$. Dentro de este grupo existen dos subgrupos netamente diferenciados, a saber: aquellos en los que $r_0 > r_1$ y que llamaremos inversores de un umbral, y aquellos en los que $r_0 < r_1$ y que llamaremos seguidores de un umbral. En lo que sigue prestaremos atención por separado a la síntesis de cada uno de estos dos subgrupos.

4.3. DISEÑO DE OPERADORES INVERSORES DE UN UMBRAL.

La idea de partida consiste en encontrar la forma de modificar el inversor CMOS convencional, y/o los MOSTs que lo constituyen, de manera que

x	U(x)
1	012
2	000
3	001
4	002
5	010
6	011
7	012
8	020
9	021
10	022
11	100
12	101
13	102
14	110
15	111
16	112
17	120
18	121
19	122
20	200
21	201
22	202
23	210
24	211
25	212
26	220
27	221
28	222

m	k	n	Operadores unarios
1	0	3	(000)(111)(222)
2	1	12	(001)(011)(002)(022)(112)(122) (110)(100)(220)(200)(221)(211)
	2	6	(010)(101)(121)(212)(020)(202)
3	2	6	(012)(021)(102)(120)(201)(210)

Tabla 4.2.2.

Tabla 4.2.1: Operadores unarios

que se comporte como el inversor de un umbral MV que nosotros elijamos.

Previamente introduciremos la nomenclatura con la que, por comodidad, serán designados en adelante estos operadores ternarios:

$$\begin{aligned}
 A(x) &= \langle 200 \rangle & B(x) &= \langle 220 \rangle \\
 C(x) &= \langle 100 \rangle & D(x) &= \langle 110 \rangle \\
 E(x) &= \langle 211 \rangle & F(x) &= \langle 221 \rangle
 \end{aligned}$$

donde $x = \langle 012 \rangle$.

Por otro lado, de todos es conocido que el inversor CMOS convencional, cuyo esquema es el de la figura 4.3.1, presenta una característica de transferencia tal y como la que aparece en la figura 4.3.2.

Las tensiones de umbral, en lugar de estar referidas con respecto a la tensión de surtidor como es normal en la literatura, las referiremos

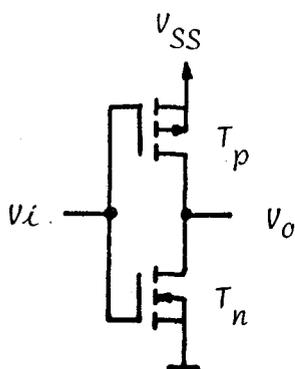


Fig. 4.3.1: Inversor CMOS

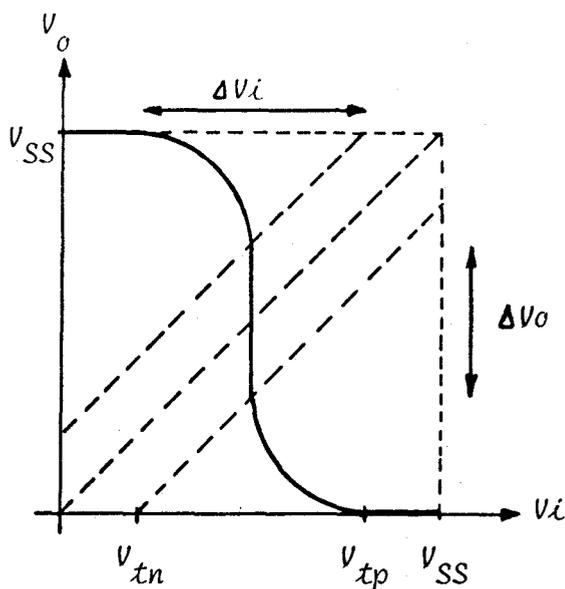


Fig. 4.3.2: Característica de transferencia del inversor CMOS.

a masa, estando expresadas por (3.9). En consecuencia, según esta convención es claro que V_{th_p} depende de la tensión V_{SS} . Ahora bien, tal circuito presenta la particularidad de tener el surtidor y el sustrato (en cada MOST) a igual potencial, permitiendo que la señal de salida tenga una excursión de valores igual a la que se le permite a la entrada. Si, en cambio, aceptamos como posible que ambos dispositivos tengan contrapolarización en el sustrato, el inversor CMOS toma la apariencia más genérica que se muestra en la figura 4.3.3, debiendo cumplirse para que los diodos surtidor-sustrato no estén directamente polarizados, la restricción de que:

$$V_{Sp} \leq V_{SS}$$

$$V_{Sn} \geq 0$$

La característica de transferencia en este caso es la mostrada en la figura 4.3.4. En este circuito los valores máximo y mínimo de salida vienen determinados por los valores de tensión de los surtidores de ambos MOST. Asimismo, la posición del umbral lógico, $V_{i_{sat}}$, está condicionada

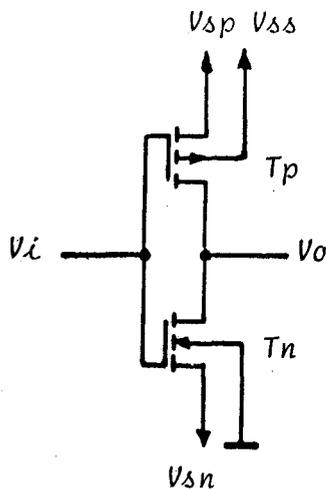


Fig. 4.3.3: Inversor CMOS
Caso general.

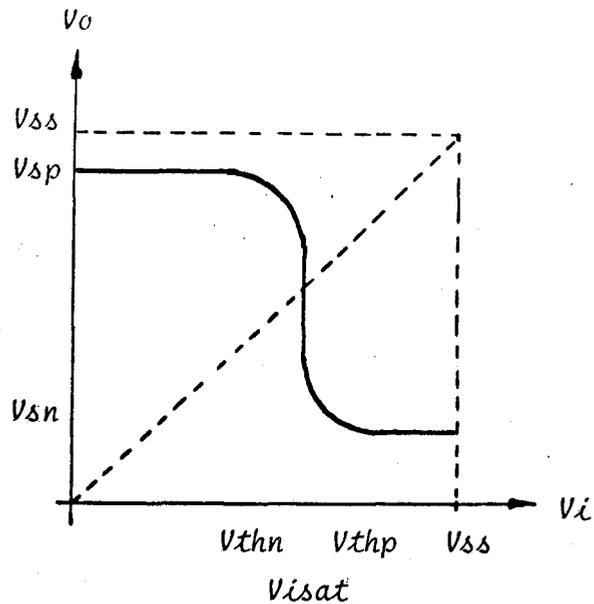


Fig. 4.3.4: Característica de transferencia del inversor CMOS.
Caso general.

por los valores de las tensiones de umbral y las geometrías de ambos dispositivos.

Observando la figura 4.3.4 es obvio que modificando un inversor CMOS sólo podemos obtener un operador inversor de un umbral. Es decir, que para sintetizar operadores unarios de dos umbrales necesitaremos al menos dos circuitos inversores CMOS conectados de alguna forma, ya que cada uno de ellos sólo es capaz de suministrar un único umbral lógico. Esto se tratará en el apartado 4.5.

Para que el circuito de la figura 4.3.3 se comporte como un inversor de un umbral con un vector de valores $R = (r_0, r_1)$ lo primero que debe cumplir es que la tensión de surtidor del MOST de canal n ha de ser $V_{Sn} = V(r_1)$, y la tensión de surtidor del MOST de canal p, $V_{Sp} = V(r_0)$. Es decir, todos los inversores de un umbral con el mismo vector de valores diferirán únicamente en la posición del umbral lógico. En concreto, para el caso ternario que nos ocupa, la pareja de inversores $A(x)$ y $B(x)$, con $R = (2, 0)$, tendrán $V_{Sn} = V(0) = 0$ volt. y $V_{Sp} = V(2) = V_{ss}$ volt.

En segundo lugar será necesario establecer la posición de V_{isat} para cada operador y a partir de dicho valor, determinar las correspondientes V_{th_n} y V_{th_p} . Para conseguir las prestaciones óptimas cuando diseñemos la pareja de operadores inversores de un umbral con igual vector de valores, los niveles de los umbrales lógicos, t_j , deben ser escogidos igualmente espaciados a lo largo del intervalo $(0, V_{ss})$. Esto nos lleva a tener que considerar simultáneamente el diseño de las regiones de transición para esta pareja de operadores. Evidentemente, en un caso genérico p -va luado $(p > 3)$ habrá que cosiderar simultáneamente $p-1$ inversores de un umbral. En nuestro caso ternario hay que cosiderar simultáneamente $A(x)$ y $B(x)$, por tener ambos $R = (2,0)$, $C(x)$ y $D(x)$ por tener ambos $R = (1,0)$ y finalmente $E(x)$ y $F(x)$ por tener ambos $R = (2,1)$.

4.3.1. DISEÑO DEL PAR DE OPERADORES $A(x)$, $B(x)$.

Utilizando un modelo simplificado del MOST, como es el modelo de control de carga /3/, el nivel del umbral lógico de un inversor CMOS (cuando ambos dispositivos se encuentran en saturación), viene expresado por la relación:

$$V_{isat} = \frac{\sqrt{\frac{K_p}{K_n}} V_{th_p} + V_{th_n}}{1 + \sqrt{\frac{K_p}{K_n}}} \quad (4.2)$$

donde K_p y K_n son factores que dependen de la geometría de los MOSTs y están dados por:

$$K_p = \frac{\mu_p \epsilon_{ox}}{2 \cdot d} \frac{W_p}{L_p} \quad (4.3)$$

$$K_n = \frac{\mu_n \epsilon_{ox}}{2 \cdot d} \frac{W_n}{L_n} \quad (4.4)$$

Observando (4.2) vemos que, en principio, manejando los parámetros K_p, K_n, V_{th_p} y V_{th_n} es posible ajustar V_{isat} al valor deseado, dentro de

ciertos límites. Sin embargo, como veremos en el capítulo 6, K_p y K_n han de ser lo más similares posible con objeto de que, en las transiciones, los valores de los tiempos de subida y bajada sean lo más próximos entre sí. Por tanto, en el resto de este capítulo consideraremos $K_p = K_n$ y la única vía para ejercer el control que pretendemos sobre la posición del umbral del inversor (V_{isat}) la constituye el ajuste de V_{th_p} y V_{th_n} .

La figura 4.3.5 muestra las características de transferencia para los operadores $A(x)$ y $B(x)$, en lógica ternaria, así como el significado gráfico de la siguiente notación:

$V(r_0)$ = tensión del nivel lógico r_0 .

$V_{th_{pj}}$ = tensión de umbral del MOST de canal p.

$V_{th_{nj}}$ = tensión de umbral del MOST de canal n.

V_{isatj} = nivel del umbral lógico del operador = t_j

ΔV_{ij} = anchura de la región de transición = $V_{th_{pj}} - V_{th_{nj}}$ (4.5)

ΔV_{oj} = magnitud de la transición abrupta entre los dos niveles lógicos = $V(r_0) - V(r_1) - \Delta V_{ij}$ (4.6)

ΔV_{xj} = separación entre dos regiones de transición consecutivas.

donde $1 \leq j \leq (p-1)$, ya que siempre hay $(p-1)$ inversores con el mismo vector de valores.

El nivel de umbral lógico con las suposiciones anteriores y esta notación queda:

$$V_{isatj} = \frac{V_{th_{pj}} + V_{th_{nj}}}{2} = \frac{\Delta V_{ij} + 2V_{th_{nj}}}{2} \quad (4.7)$$

La influencia de la posición relativa de las regiones de transición se puede ver mediante ΔV_{xj} , como se muestra en la figura 4.3.5. Su valor viene dado por:

$$\Delta V_{xj+1} = V_{th_{nj+1}} - (V_{th_{nj}} + \Delta V_{ij}) \quad (4.8)$$

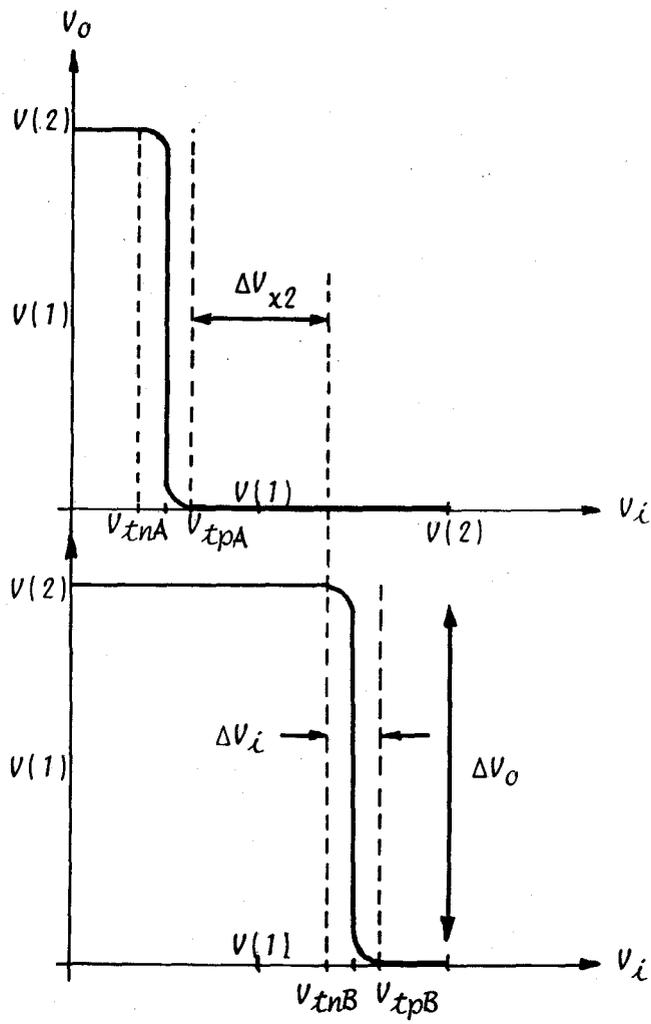


Fig. 4.3.5: Características de transferencia de los inversores de un umbral $A(x)$ y $B(x)$.

o bien, sustituyendo (4.5) en (4.8) viene dado por:

$$\Delta V_{x_{j+1}} = V_{th_{nj+1}} - V_{th_{pj}} \quad (4.8-bis)$$

Para obtener un comportamiento lógico y un comportamiento dinámico homogéneos para todos los operadores que se diseñan simultáneamente, ΔV_{oj} debe ser el mismo para cada uno de ellos, así como ΔV_{ij} y ΔV_{xj} . Nótese por (4.8-bis) la influencia que $V(r_0)$ tiene sobre el valor de ΔV_{xj} (a través de $V_{th_{pj}}$) y sobre la relación entre ellos, de forma que si cambia $V(r_0)$, la relación $\Delta V_{xj} = \Delta V_{xk}$, para $k \neq j$, ya no se mantiene.

Por otro lado, como ha de verificarse que $\Delta V_x > 0$, esto motiva que $V(r_0)$ esté limitado por un valor máximo de manera que se cumpla siempre que:

$$V_{th_{pj}} < V_{th_{j+1}} \quad (4.9)$$

(recuérdese que $V_{th_{pj}}$ depende directamente de $V(r_0)$). Es más, si queremos garantizar unos márgenes de ruido aceptables, debemos tener que:

$$\Delta V_x = k \cdot \Delta V_i, \text{ con } k > 2 \quad (4.10)$$

En el otro extremo, como en todo inversor CMOS, la diferencia entre las tensiones a que están conectados los surtidores de los MOSTs, tiene un mínimo que viene impuesto por:

$$V(r_0) - V(r_1) \geq V_{min} = \text{máx}(\Delta V_{oj}) \quad (4.11)$$

o lo que es lo mismo, $\Delta V_{ij} > 0, \forall j$.

De (4.5), (4.8) y de la condición de que tanto ΔV_{xj} como ΔV_{ij} sean iguales para todo j , obtenemos:

$$(p - 1)(\Delta V_x + \Delta V_i) = V(p-1) = V_{ss} \quad (4.12)$$

Teniendo en cuenta el requerimiento de umbrales lógicos igualmente espaciados:

$$V_{isat_j} = \frac{(2j-1)(\Delta V_x + \Delta V_i)}{2}, \forall j \in \{1, \dots, p-1\} \quad (4.13)$$

Sustituyendo (4.13) en (4.7):

$$V_{th_{nj}} = 1/2 \left[(2j-1)\Delta V_x + 2(j-1)\Delta V_i \right] \quad (4.14)$$

Llegado a este punto, ya estamos en condiciones de, mediante el conjunto de expresiones anteriores, elaborar un procedimiento de diseño. En primer lugar, a partir de (4.11) y (4.14) podemos tener una expresión que nos relaciona la tensión del máximo valor de la lógica y la máxima tensión de umbral que necesitamos para los MOSTs de canal n, la cual es:

$$V_{th_{np-1}} = 1/2 \left[(2p-3)k + 2(p-2) \right] \frac{V_{ss}}{(k+1)(p-1)} = V_M \quad (4.15)$$

Apartir de ella, el valor de la constante k viene dado por:

$$k = \frac{2(p-2)V_{ss} - 2(p-1)V_M}{2(p-1)V_M - (2p-3)V_{ss}} \quad (4.16)$$

Dado que el denominador de (4.16) ha de ser negativo para que tenga sentido físico, se ha de verificar que:

$$\frac{2(p-1)}{2p-3} V_M < V_{ss} \quad (4.17)$$

y como ha de ser $k > 2$ para tener una separación entre las zonas de transición grande comparado con la anchura de éstas:

$$V_{ss} < \frac{3(p-1)}{3p-5} V_M \quad (4.18)$$

En definitiva el procedimiento a seguir lo podemos sintetizar en la forma siguiente:

- 1°) Se elige el valor máximo para la tensión de umbral de los MOSTs, ya que éste depende de consideraciones tecnológicas que veremos más adelante.
- 2°) Se elige la tensión, $V_{ss} = V(p-1)$, del máximo valor de la lógica a implementar, con las restricciones impuestas por (4.17) y (4.18). Automáticamente, por (4.16) viene dado ya el valor de k.

Alternativamente, se puede elegir en primer lugar el valor de V_{SS} y k , viniendo seguidamente V_M (valor de la máxima tensión de umbral) dado por la expresión (4.15).

- 3°) Se calculan ΔV_i y ΔV_x a partir de las expresiones (4.10) y (4.12).
- 4°) Se determinan las restantes tensiones de umbral de los otros MOSTs de canal n, por (4.14), y de los otros MOSTs de canal p, por (4.5).

Expuesta la técnica a seguir, podemos ya aplicarla al diseño de los operadores cuyo vector de valores es $R = (2,0)$, es decir, según nuestra nomenclatura, $A(x)$ y $B(x)$, cuyas características de transferencia son las mostradas en la figura 4.3.5:

1°) Elegimos: $V_{th_{n2}} = 3'4 \text{ v.} = V_M$

2°) Elegimos: $V_{SS} = V(2) = 5 \text{ v.}$

por tanto:

$$k = \frac{2 \cdot 5 - 4 \cdot 3'4}{4 \cdot 3'4 - 3 \cdot 5} = 2'571$$

$$3^\circ) \left. \begin{aligned} 2(\Delta V_x + \Delta V_i) &= 5 \text{ v.} \\ \Delta V_x &= k \cdot \Delta V_i \end{aligned} \right\} \begin{cases} \Delta V_i = 0'7 \text{ v.} \\ \Delta V_x = 1'8 \text{ v.} \end{cases}$$

4°) $V_{th_{n1}} = 1/2 \Delta V_x = 0'9 \text{ v.}$

$$\begin{aligned} V_{th_{p2}} &= \Delta V_i + V_{th_{n2}} = 0'7 + 3'4 = 4'1 \text{ v.} \\ V_{th_{p1}} &= \Delta V_i + V_{th_{n1}} = 0'7 + 0'9 = 1'6 \text{ v.} \end{aligned} \quad \left\{ \begin{array}{l} \text{referidas a masa y} \\ \text{no a su sustrato.} \end{array} \right.$$

Nótese que las tensiones de umbral lógico de ambos operadores, por (4.7), son:

para $A(x)$: $V_{isat} = \frac{0'9 + 1'6}{2} = 1'25 \text{ v.}$

para $B(x)$: $V_{isat} = \frac{3'4 + 4'1}{2} = 3'75 \text{ v.}$

Ambos inversores estarán polarizados entre 0 y 5 voltios, de la forma que se esquematiza en las figuras 4.3.6 y 4.3.7, respectivamente. Como se

ve, no se requiere contrapolarización en este caso.

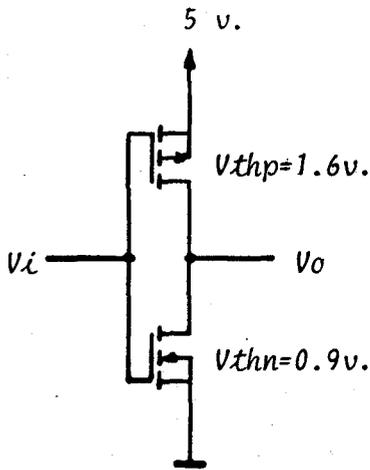


Fig. 4.3.6: Inversor A(x)

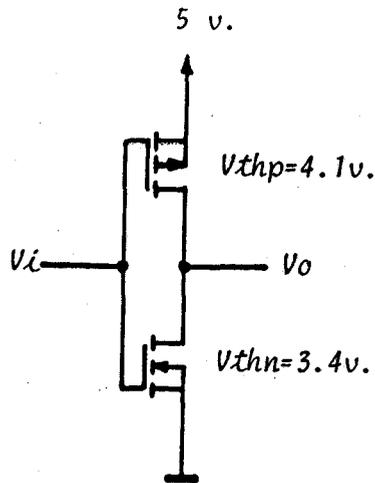


Fig. 4.3.7: Inversor B(x)

4.3.2. DISEÑO DEL PAR DE OPERADORES C(x), D(x).

En segundo lugar haremos el diseño de los inversores de un umbral con el vector de valores $R = (1,0)$, es decir, según la nomenclatura anterior, C(x) y D(x), cuyas características de transferencia, a priori, deben tener la forma de las que aparecen en las figuras 4.3.8 y 4.3.9 respectivamente.

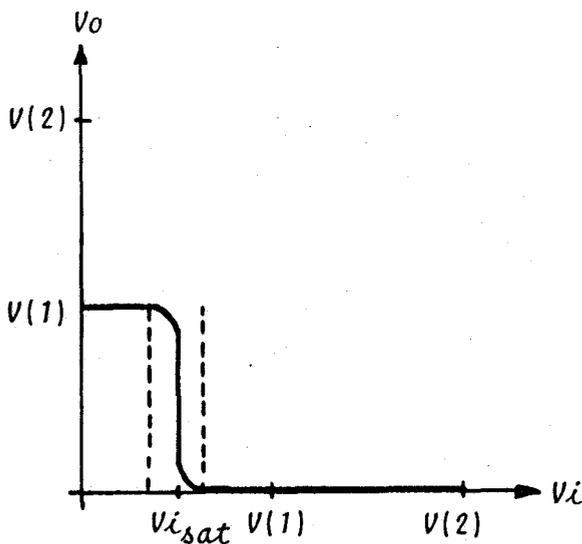


Fig.4.3.8: Característica de C(x)

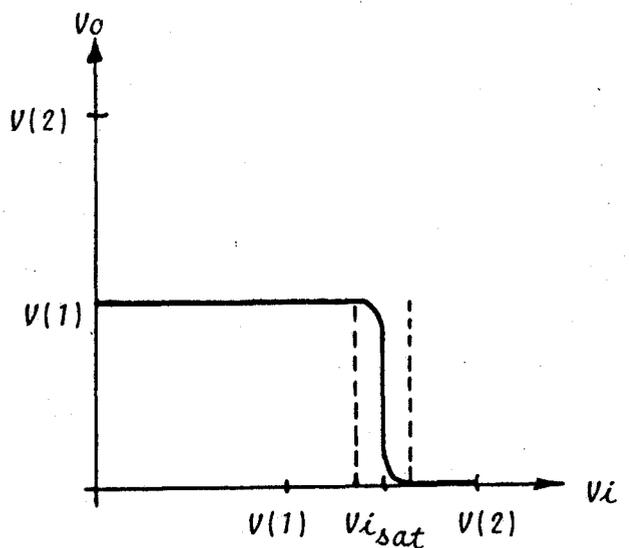


Fig. 4.3.9: Característica de D(x)

Para empezar, dado que el máximo valor lógico de salida es el estado " 1 ", la tensión a que tiene que estar conectado el surtidor del MOST de canal p ha de ser $V(1) = 2'5$ v., para ambos inversores. Pero, como quiera que, la entrada va a tener un margen de valores de 0 a 5 v., para que el dispositivo funcione correctamente, estando siempre el diodo surtidor-substrato inversamente polarizado, necesitamos que los substratos de dichos MOSTs estén conectados a 5 v.

Con esta premisa el procedimiento a seguir es exacto al hecho para $A(x)$ y $B(x)$, con la salvedad de que V_{ss} ya está elegido. Como por otro lado, los umbrales lógicos deseamos que sean los mismos, esto conduce a:

$$C(x) \begin{cases} V_{th_{n1}} = 0'9 \text{ v.} \\ V_{th_{p1}} = 1'6 \text{ v.} \end{cases}$$

$$D(x) \begin{cases} V_{th_{n2}} = 3'4 \text{ v.} \\ V_{th_{p2}} = 4'1 \text{ v.} \end{cases}$$

Nótese que se cumple la restricción (4.11).

En conclusión, el MOST de canal n de $C(x)$ es idéntico al que se debe utilizar para implementar el operador $A(x)$ y el MOST de canal n de $D(x)$ es igual al que se debe utilizar para construir el operador $B(x)$. En cambio el MOST de canal p de $C(x)$ debe tener un umbral de 1'6 v. pero con el surtidor conectado a 2'5 v. y el substrato a 5 v., es decir, que si tuviese las mismas condiciones de polarización que el de $A(x)$ no tendría dicha tensión de umbral. Por tanto, es un MOST distinto. Una discusión análoga es válida para establecer la diferencia entre los MOSTs de canal p de $B(x)$ y $D(x)$.

Los esquemas de circuito de $C(x)$ y $D(x)$ son, en consecuencia, los que aparecen en las figuras 4.3.10 y 4.3.11, respectivamente.

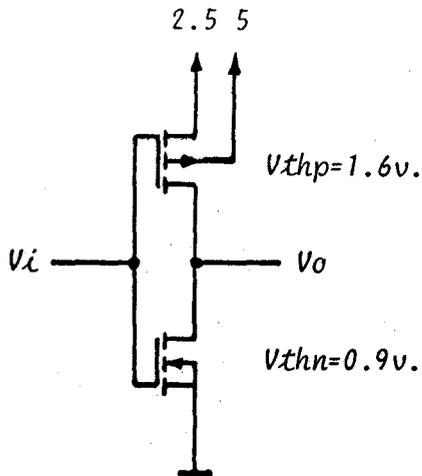


Fig. 4.3.10: Inversor C(x)

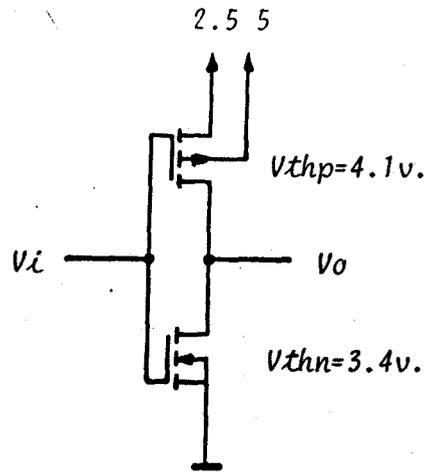


Fig. 4.3.11: Inversor D(x)

4.3.3. DISEÑO DEL PAR DE OPERADORES E(x), F(x).

Por último los inversores de un umbral con el vector de valores $R = (2,1)$, que son E(x) y F(x), presentan la misma particularidad para los MOSTs de canal n, que los MOSTs de canal p para C(x) y D(x). Por tanto, los surtidores de los MOSTs de canal n están conectados a $V(1) = 2'5$ v. y sus substratos a $V(0) = 0$ v. Aplicando la técnica de síntesis, llegamos a:

$$E(x) \begin{cases} V_{th_{n1}} = 0'9 \text{ v.} \\ V_{th_{p1}} = 1'6 \text{ v.} \end{cases}$$

$$F(x) \begin{cases} V_{th_{n2}} = 3'4 \text{ v.} \\ V_{th_{p2}} = 4'1 \text{ v.} \end{cases}$$

Los esquemas de circuito mostrados en las figuras 4.3.12 y 4.3.13 corresponden a E(x) y F(x) respectivamente. Como se ve, en este caso los MOSTs de canal p son iguales a los utilizados para A(x) y B(x), siendo distintos los de canal n.

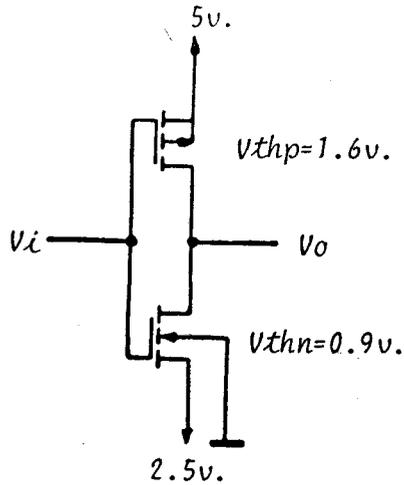


Fig. 4.3.12: Inversor E(x)

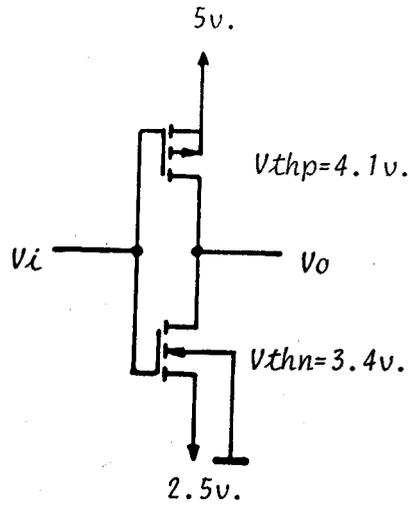


Fig. 4.3.13: Inversor F(x)

4.3.4. CONJUNTO DE MOSTs REQUERIDOS.

En resumen, para implementar los 6 inversores de un umbral en lógica ternaria, con las tensiones lógicas definidas en la forma:

$$V(0) = 0 \text{ voltios}$$

$$V(1) = 2'5 \text{ ''}$$

$$V(2) = 5 \text{ ''}$$

necesitamos disponer en principio de 8 tipos de MOSTs diferentes, a saber:

N1 : MOST canal n con $V_{th} = 0'9 \text{ v.}$ con $\begin{cases} V_{Sn} = 2'5 \text{ v.} \\ V_{Bn} = 0 \text{ v.} \end{cases}$
para el operador E(x).

N2 : MOST canal n con $V_{th} = 0'9 \text{ v.}$ con $V_{Sn} = V_{Bn} = 0 \text{ v.}$
para los operadores A(x) y C(x).

N3 : MOST canal n con $V_{th} = 3'4 \text{ v.}$ con $\begin{cases} V_{Sn} = 2'5 \text{ v.} \\ V_{Bn} = 0 \text{ v.} \end{cases}$
para el operador F(x).

N4 : MOST canal n con $V_{th} = 3'4 \text{ v.}$ con $V_{Sn} = V_{Bn} = 0 \text{ v.}$
para los operadores B(x) y D(x).

P1 : MOST canal p con $V_{th} = 4'1 \text{ v.}$ con $\begin{cases} V_{Sp} = 2'5 \text{ v.} \\ V_{Bp} = 5 \text{ v.} \end{cases}$
para el operador D(x).

P2 : MOST canal p con $V_{th} = 4'1$ v. con $V_{Sp} = V_{Bp} = 5$ v.
para B(x) y F(x).

P3 : MOST canal p con $V_{th} = 1'6$ v. con $\begin{cases} V_{Sp} = 2'5 \text{ v.} \\ V_{Bp} = 5 \text{ v.} \end{cases}$
para C(x).

P4 : MOST canal p con $V_{th} = 1'6$ v. con $V_{Sp} = V_{Bp} = 5$ v.
para A(x) y E(x).

4.4. OBTENCION DE LOS MOSTS NECESARIOS.

Acabamos de ver la necesidad de disponer de diferentes tipos de MOSTs para la realización de circuitos que operen en L.M.V.. Además, es obvio que si esta familia CMOS pretende ser una alternativa viable a otras tecnologías en lógica MV, e incluso a la lógica binaria, los circuitos deben permitir su realización sobre un único chip.

En este apartado intentaremos dar unas directrices para realizar tales circuitos a la luz de las tecnologías existentes en microelectrónica, centrandonos en la expresión (3.9) que nos da la tensión de umbral. Sin embargo, queda fuera de este trabajo el análisis detallado y la optimización de cualquier proceso de fabricación, ya que esto constituiría en sí el desarrollo y puesta a punto de una tecnología de circuitos integrados. Básicamente pues nos limitaremos en consecuencia a mostrar la realizabilidad de los transistores necesarios.

4.4.1. REVISION DE TECNOLOGIAS C-MOS.

Veamos brevemente, en líneas generales, las tecnologías de fabricación de circuitos integrados CMOS /5/. Dichas tecnologías pueden ser de tipo "bulk", es decir, con substrato de cierta conductividad, y de tipo SOS, en la que el substrato es un aislante (normalmente zafiro). Dentro de las tecnologías de tipo "bulk" se distingue entre el proceso estan-

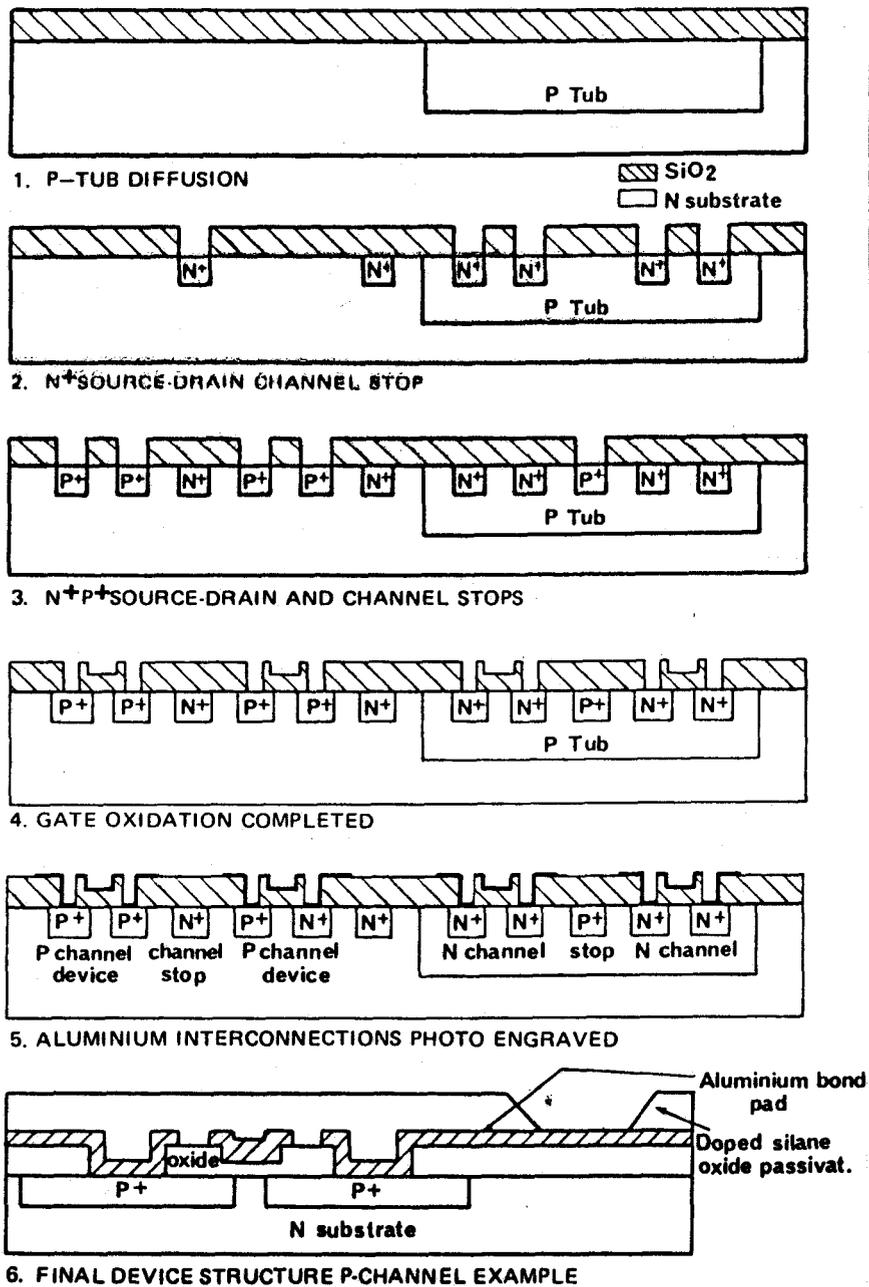
dar bulk p-well, normalmente con puerta de aluminio, y el proceso bulk n-well, con puerta de silicio dopado o de aluminio. En las tecnologías tipo SOS, existen dos principalmente que son la de capa gruesa (" Thick film "), que se caracteriza por existir substrato de Si entre el surtidor y el aislante (y el drenador y el aislante) y la tecnología SOS de capa fina, en la que surtidor y drenador descansan directamente sobre el aislante, que permite velocidades más alta de funcionamiento.

En el proceso p-well se parte se un substrato de silicio tipo N, con un dopado medio (del orden de 10^{15} cm^{-3}), sobre el que, tras un proceso de oxidación y grabado se hace una implantación iónica de boro para crear una zona tipo p, que es la que albergará el MOST de canal n, y que constituirá el substrato de éste. (Ver figura 4.4.1.).

En el proceso n-well, en cambio, se parte de un substrato de silicio tipo p, con bajo dopado (con objeto de reducir capacidades parásitos), sobre el que tras el proceso de oxidación y grabado, se crea un pozo de tipo N, por implantación iónica con fósforo, el cual albergará el MOST de canal p y que constituirá su substrato. (ver figura 4.4.2.).

Tanto en un proceso como en el otro, aparte de las posteriores implantaciones iónicas de alta energía (>150 Kev.) para crear las zonas de surtidor y drenador en ambos MOSTs, se suelen hacer al menos dos implantaciones de baja energía para ajustar las tensiones de umbral a los valores deseados.

Una tercera tecnología para CMOS recientemente desarrollada es la denominada " Twin-tube " (tubos o pozos-emparejados) /6,7/. Este proceso originalmente se ha concebido para optimizar por separado los dos substratos distintos de los circuitos CMOS convencionales y proveer de capacidades parásitas bajas en ambos transistores simultáneamente. Consiste en, partiendo de un substrato tipo n de muy bajo dopado (alta resistividad) y por dos implantaciones iónicas consecutivas, una con boro y otra con



CMOS-WAFER PROCESSING

Fig. 4.4.1: Distintas etapas del proceso p-well, (de /10/).

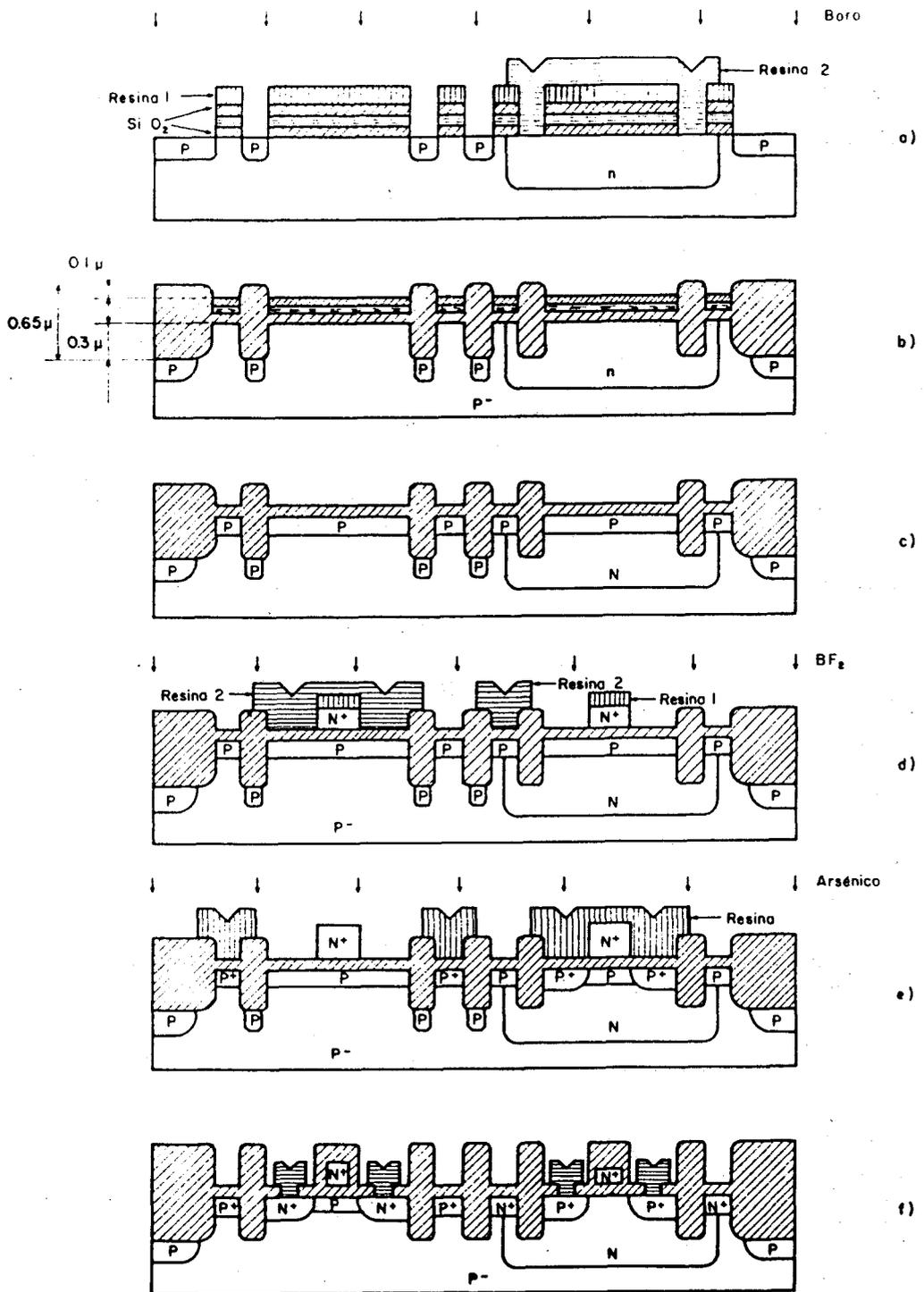


Fig. 4.4.2: Distintas etapas del proceso n-well, (de 15/).

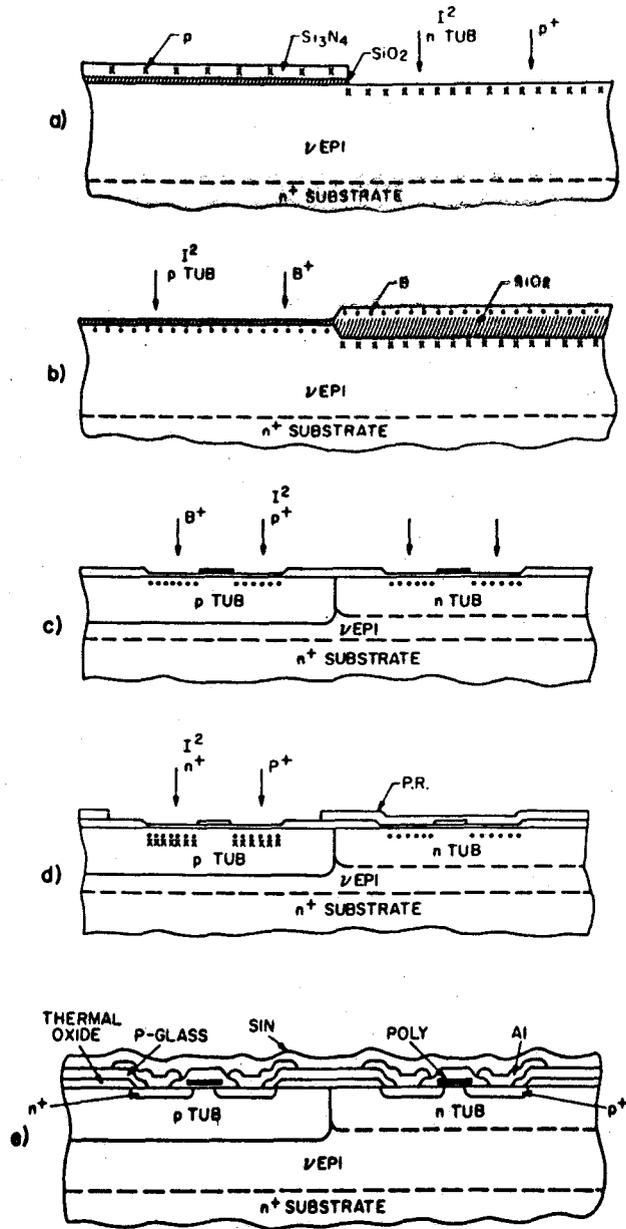


Fig. 4.4.3: Distintas etapas del proceso "Twin-tube", (de 16/).

fósforo, crear las zonas tipo p y tipo n, que constituirán los substratos de los MOSTs de canal n y de canal p respectivamente. La figura 4.4.3 muestra un esquema de los tres primeros pasos de esta tecnología desarrollada en los laboratorios Bell. Implantaciones iónicas posteriores en los canales permiten los ajustes pertinentes de las tensiones de umbral y la formación de los drenadores y surtidores. De esta forma tan sólo el espesor del óxido de puerta y la carga parásita en la interfase, Q_{ss} , afectan por igual a los dispositivos de canal p y de canal n.

4.4.2. ELECCION DE LOS MOSTS : EJEMPLO PRACTICO.

Visto esto, pasemos ahora a estudiar la forma de conseguir las distintas tensiones de umbral que necesitamos. En primer lugar, sea cual sea la tecnología elegida para realizar los circuitos que estamos considerando para lógica ternaria, es claro que todos los substratos tipo p han de estar conectados a $V(0) = 0$ v. y todos los substratos de tipo n lo han de estar a $V(2) = 5$ v.

4.4.2.1. MOST DE CANAL N.

En estas condiciones veamos los parámetros sobre los que es posible influir y que determinan el valor de la tensión de umbral de un MOST. Comencemos por reproducir la expresión (3.9) por comodidad, válida para los dispositivos de canal n:

$$V_{th} = V_{FB} - 2\phi_f + \frac{qD_i}{C_{ox}} + \sqrt{\frac{2\epsilon_{si}q}{C_{ox}^2} N_a (2|\phi_f| + |V_S - V_B|)} + V_S \quad (4.19)$$

donde el signo "+" es válido para una implantación iónica de átomos aceptores (boro) y el signo "-" para una implantación iónica de átomos dadores (fósforo). Como se aprecia por (4.19) disponemos de muchos grados de libertad sobre los que actuar para fijar la tensión de umbral de los 4 MOSTs de canal n que necesitamos. No obstante, desde el punto de vista práctico

es conveniente que el número de éstos grados de libertad sea lo menor posible con objeto de minimizar el número de máscaras y de procesos diferentes a realizar en la fabricación de un chip. En primer lugar, observando el sumando que está bajo la raíz es obvio que no podemos tener un único MOST que con $V_S = 0$ v. tenga una $V_{th} = 0'9$ v. y con $V_S = 2'5$ v. tenga una $V_{th} = 3'4$ v., ya que debido a la influencia de N_a , el $\Delta V_{th} > \Delta V_S$. En consecuencia, no podemos reducir el número de MOSTs de canal n, al menos con una separación entre umbrales lógicos de 2'5 v. como hemos hecho en el apartado anterior. De todas formas, aún eligiendo una separación mayor, un dopado N_a bajo y un espesor de óxido grande, difícilmente el valor de dicha raíz es menor que 0'5 v.

Seguidamente vamos a probar que manteniendo comunes todos los parámetros en la ecuación (4.19) salvo D_i , es decir, sólo por implantación iónica de poca profundidad en el canal, podemos obtener los 4 MOSTs que nos hacen falta. Partamos de un sustrato tipo p de alta resistividad (10^{14} cm⁻³) con orientación cristalina $\langle 100 \rangle$, lo que significa que $Q_{SS} \simeq 1'4 \cdot 10^{-8}$ C/cm⁻² /8/, al que se le va a hacer crecer un óxido de puerta estandar de 1.000 Å y con dicha puerta de aluminio ($\phi_M = 3'2$ v.). Con estos datos podemos representar gráficamente V_{th} frente a la dosis implantada de átomos aceptores, como muestra la figura 4.4.4. En ella la ordenada indica V_{th} en voltios, la abcisa indica el $\log(D_i)$ desde 10^{11} cm⁻² hasta 10^{13} cm⁻². Las curvas que se muestran corresponden respectivamente al valor de V_{th} para $V_S = 0$ v. y para $V_S = 2'5$ v. Las abcisas de los puntos de corte de dichas curvas con las rectas $V_{th} = 0'9$ v. y $V_{th} = 3'4$ v. nos dan las dosis que deben ser implantadas para conseguir tales umbrales con el correspondiente valor de V_S . En la figura aparecen señalados los MOSTs de canal n, N2, N3 y N4. Como se ve, con tal conjunto de valores no es posible obtener N1. En la figura 4.4.5. aparece una gráfica similar, pero en este caso el valor de abcisa representa dosis de io-

nes dadores, apareciendo visible únicamente la curva para $V_S = 2.5 \text{ v.}$
En ella se ve cómo es posible la obtención del cuarto MOST de canal n,
N1.

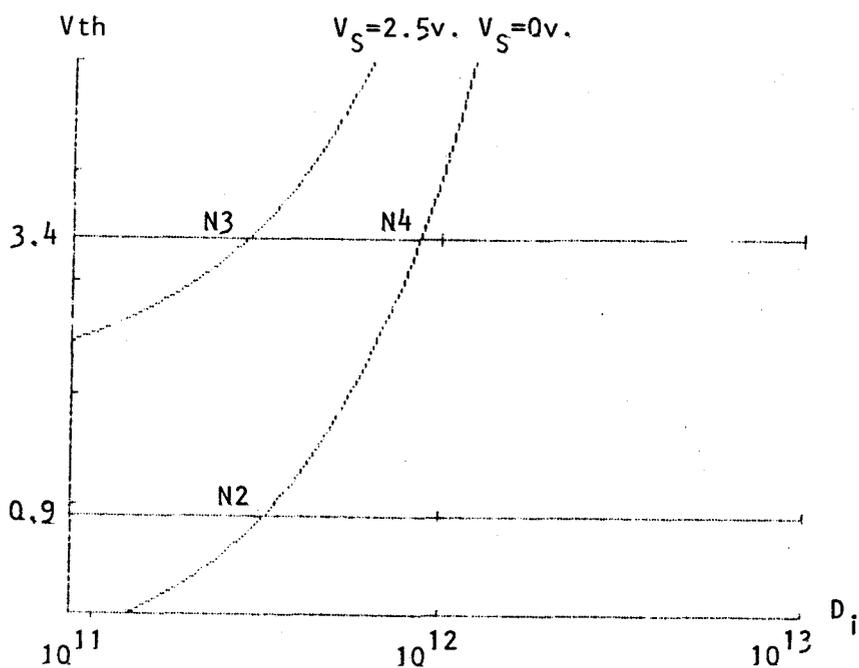


Fig. 4.4.4: Tensión de umbral frente a dosis implantada de iones aceptores.

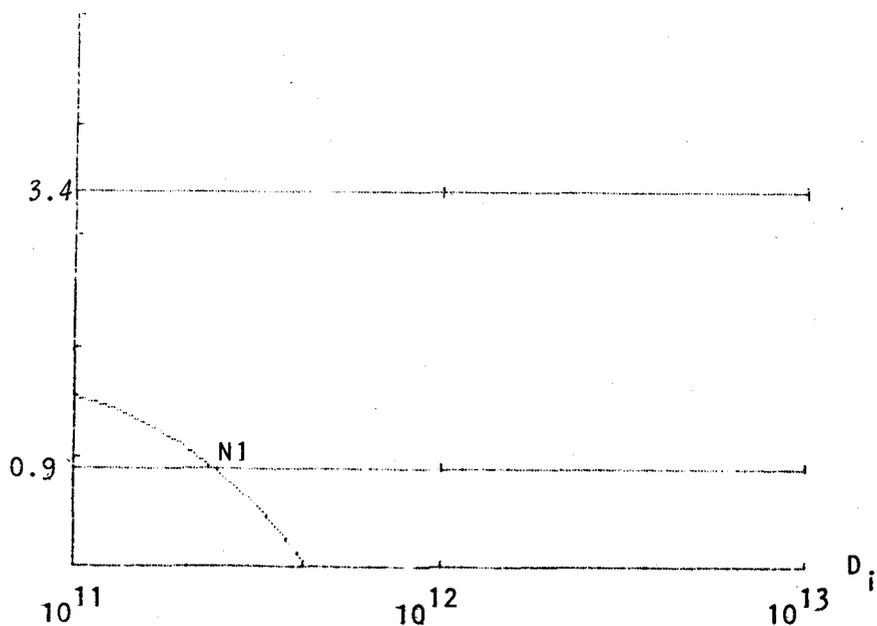


Fig. 4.4.5: Tensión de umbral frente a dosis implantada de iones dadores, para un MOST canal n.

Recapitulando, los resultados que obtenemos vienen resumidos en la tabla 4,3, donde se detallan las características esenciales de los cuatro MOSTs de canal n que se han seleccionado.

CANAL N		
0.00001	D	
0.000000014	QSS	
1. 14	NA	
CANAL IMPLANTADO		
CON FDSF.		
2.4 11	NI	
GATE METALICA		
2.5	VS	
0.	VB	
.0000000346	CDX	
-.2298081972	%F	
3.2	%M	
-1.237208769	VFB	
.8979691095	VTH	

MOST N1

CANAL N		
0.00001	D	
0.000000014	QSS	
1. 14	NA	
CANAL IMPLANTADO		
CON BORO		
3.4 11	NI	
GATE METALICA		
0.	VS	
0.	VB	
.0000000346	CDX	
-.2298081972	%F	
3.2	%M	
-1.237208769	VFB	
.9087646397	VTH	

MOST N2

CANAL N		
0.00001	D	
0.000000014	QSS	
1. 14	NA	
CANAL IMPLANTADO		
CON BORO		
3. 11	NI	
GATE METALICA		
2.5	VS	
0.	VB	
.0000000346	CDX	
-.2298081972	%F	
3.2	%M	
-1.237208769	VFB	
3.39711438	VTH	

MOST N3

CANAL N		
0.00001	D	
0.000000014	QSS	
1. 14	NA	
CANAL IMPLANTADO		
CON BORO		
8.8 11	NI	
GATE METALICA		
0.	VS	
0.	VB	
.0000000346	CDX	
-.2298081972	%F	
3.2	%M	
-1.237208769	VFB	
3.40790991	VTH	

MOST N4

Tabla 4.4.3

4.4.2.2. MOST DE CANAL P.

Si el proceso elegido es un proceso bulk n-well con puerta de aluminio, necesitamos crear los pozos de dopados en los cuales estarán situados los MOSTs de canal p, y la concentración de impurezas que se introduzcan (por implantación iónica) ha de ser por lo menos de un orden de magnitud superior a la concentración del substrato de partida, que, como hemos visto, ha sido elegido de 10^{14} cm^{-3} . Supongamos que elegimos el valor $N_d = 10^{15} \text{ cm}^{-3}$ para el valor de dopado de los pozos de tipo n.

Asimismo, la expresión que nos da la tensión de umbral para los MOSTs de canal p, y cuya variación hay que estudiar, es:

$$V_{th} = V_{FB} - 2\phi_f + \frac{qD_i}{C_{ox}} - \sqrt{\frac{2\epsilon_{si}q}{C_{ox}^2} N_d (2|\phi_f| + |V_S - V_B|)} + V_S \quad (4.20)$$

Como antes, podemos hacer una representación de la tensión de umbral en función de la dosis implantada, como muestran las figuras 4.4.6 y 4.4.7. Ahora los valores en que estamos interesados son aquellos que tienen valores de ordenada $V_{th} = 1'6 \text{ v.}$ y $V_{th} = 4'1 \text{ v.}$ En dichas gráficas aparecen significados los MOSTs correspondientes al diseño del aparato anterior, y sus parámetros enumerados en la tabla 4.4.

4.4.3. COMENTARIOS ADICIONALES.

Alternativamente, podíamos haber partido de un valor distinto para el espesor del óxido de puerta y/o del valor del dopado de los substratos, obteniéndose otros valores para las dosis de implantación. Además, observando detenidamente las tablas de 4.3 y 4.4, vemos que existe cierta proximidad entre los valores de D_i de P3 y N3 y entre los valores de D_i de P1 y N4. Esto hace interesante el plantearse el problema de cara a una primera optimización, que aquí no abordamos, si es posible encontrar unos valores de partida para d_{ox} y/o N_d/a tales que hagan que dichos

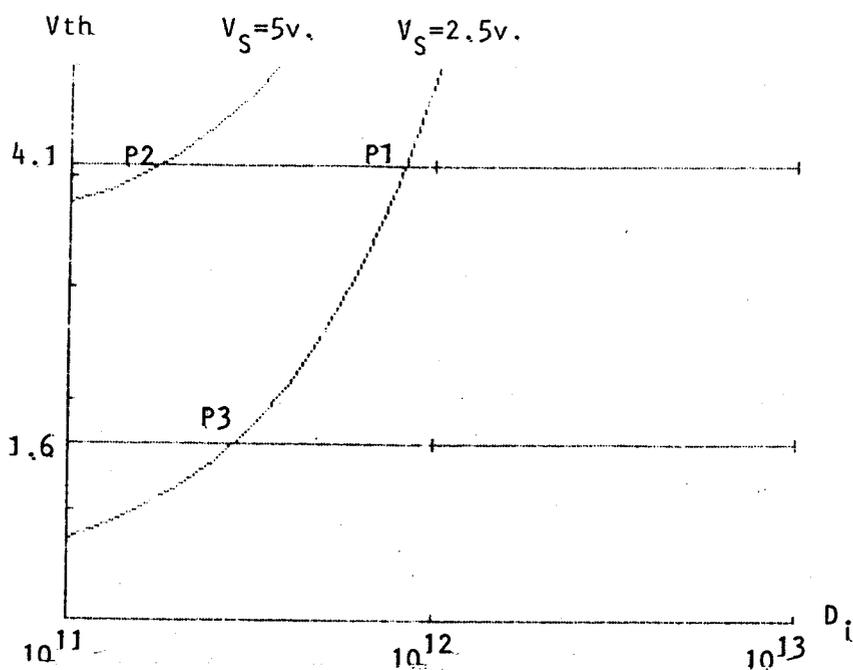


Fig. 4.4.6: Tensión de umbral frente a dosis implantada de iones aceptores, para un MOST canal p con $N_d = 10^{15} \text{ cm}^{-3}$.

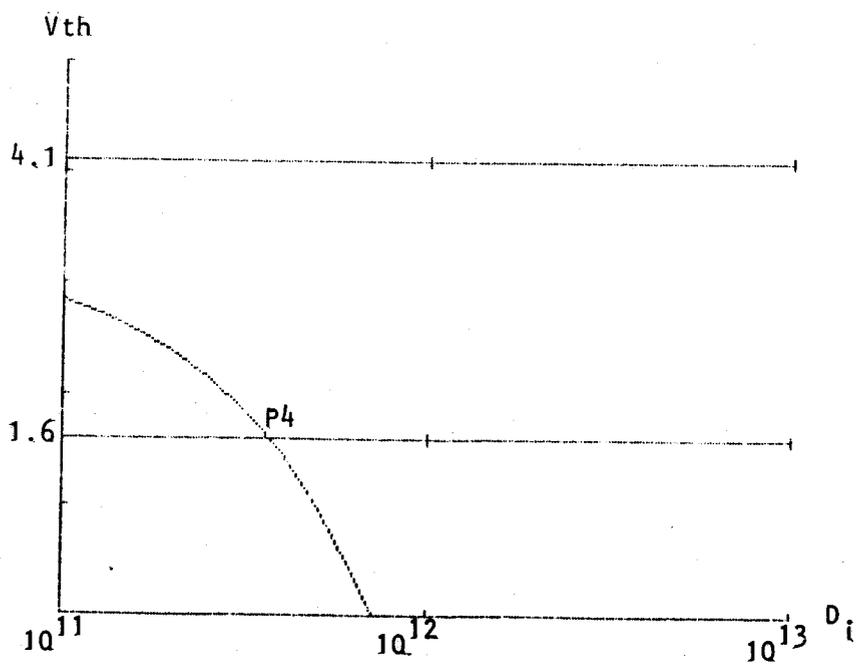


Fig. 4.4.7: Tensión de umbral frente a dosis implantada de iones dadores, para un MOST canal p con $N_d = 10^{15} \text{ cm}^{-3}$.

CANAL P		
0.000001	D	
0.000000014	QSS	
1. 15	ND	
CANAL IMPLANTADO		
CON BORD		
8.26 11	NI	
GATE METALICA		
2.5	VS	
5.	VB	
.0000000346	COX	
.2896754096	%F	
3.2	%M	
-.7177251619	VFB	
4.102221995	VTH	

MOST P1

CANAL P		
0.000001	D	
0.000000014	QSS	
1. 15	ND	
CANAL IMPLANTADO		
CON BORD		
1.73 11	NI	
GATE METALICA		
5.	VS	
5.	VB	
.0000000346	COX	
.2896754096	%F	
3.2	%M	
-.7177251619	VFB	
4.103019971	VTH	

MOST P2

CANAL P		
0.000001	D	
0.000000014	QSS	
1. 15	ND	
CANAL IMPLANTADO		
CON BORD		
2.87 11	NI	
GATE METALICA		
2.5	VS	
5.	VB	
.0000000346	COX	
.2896754096	%F	
3.2	%M	
-.7177251619	VFB	
1.607704772	VTH	

MOST P3

CANAL P		
0.000001	D	
0.000000014	QSS	
1. 15	ND	
CANAL IMPLANTADO		
CON FDSF.		
3.65 11	NI	
GATE METALICA		
5.	VS	
5.	VB	
.0000000346	COX	
.2896754096	%F	
3.2	%M	
-.7177251619	VFB	
1.613130794	VTH	

MOST P4

Tabla 4.4.4.

valores coincidan. Esto redundaría en el beneficio que supone el ahorro de una o más máscaras y de una o más implantaciones para el ajuste de las tensiones de umbral.

Otra posible alternativa a estudiar sería determinar si adoptando la tecnología de "Twin-tube", el hecho de optimizar los substratos por separado, puede conducir a un ahorro en el número de pasos a realizar para fabricar circuitos con este espectro de MOSTs distintos, además de la obtención de una mejora en el comportamiento dinámico.

4.4.4. SIMULACION DE LOS OPERADORES.

Por último, ya estamos en condiciones de, partiendo del conjunto de valores dados en las tablas 4.3 y 4.4, obtener por simulación las correspondientes características de transferencias de los inversores de un umbral $A(x)$, $B(x)$, $C(x)$, $D(x)$, $E(x)$ y $F(x)$, considerando en principio que en cada uno de ellos $K_p = K_n$. Sin embargo, a pesar de esta igualdad, tenemos libertad de elección para la geometría de uno de los MOSTs de la pareja que forma el inversor, de tal forma que le permite poseer unas características de fan-out apropiadas. Así, para $A(x)$ con los valores que aparecen en la tabla 4.5, obtenemos la característica de transferencia de la figura 4.4.8. Asimismo la representación de la corriente que circula frente a la tensión de entrada, se muestra en la figura 4.4.9. De igual manera: las tablas 4.4.6 a 4.4.10 y las figuras 4.4.10 a 4.4.19, ilustran aspectos similares de los otros cinco inversores.

DATOS COMUNES

FUNCION TRABAJO DEL METAL, ϕ_{ms} =
3.2
PERMITIVIDAD DEL OXIDO=
3.461914E-13
ESPESOR DEL OXIDO, d = .00001
CARGA EN LA INTERFACE, Q_{ss} =
.000000014
MOVILIDAD DE LOS ELEC PARA CAMPO
NULO, μ_e = 600
MOVILIDAD DE LOS HUECOS PARA CAM
PO NULO, μ_p = 200

TRANSISTOR 1

DE CANAL N
 N = 2
 L = .005
 N_a = 1.E14
CANAL IMPLANTADO CON D_1 =
340000000000
DE GATE METALICA
 λ = .005
 V_{th} = 907399498897
 V_b = 0
 V_s = 0
 V_g =ENTRADA
 V_d =SALIDA 1

TRANSISTOR 2

DE CANAL P
 N = 6
 L = .005
 N_d = 1.E15
CANAL IMPLANTADO CON D_1 =
-365000000000
DE GATE METALICA
 λ = .017
 V_{th} =-3.38540368751
 V_b = 5
 V_s = 5
 V_g =ENTRADA
 V_d =SALIDA 1

Tabla 4.4.5: Datos utilizados para la simulación de $A(x)$.

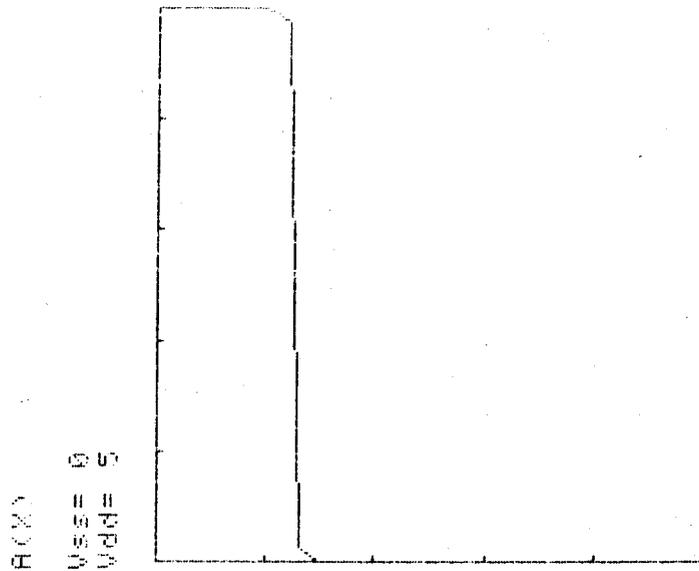


Fig. 4.4.8: Característica de transferencia del inversor A(x).
Escala 1 v./div.

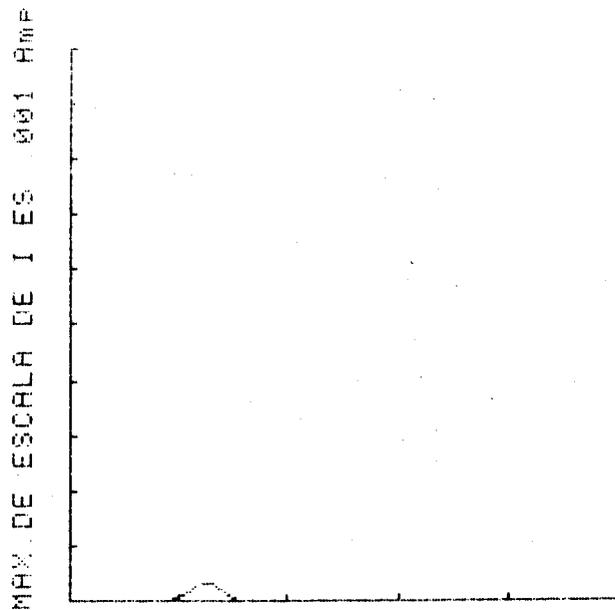


Fig. 4.4.9: Corriente que circula frente a la tensión de entrada por el inversor A(x).

DATOS COMUNES

FUNCION TRABAJO DEL METAL, ϕ_{ms} =
3.2
PERMITIVIDAD DEL OXIDO=
3.461914E-13
ESPESOR DEL OXIDO, d = .00001
CARGA EN LA INTERFACE, Q_{ss} =
.000000014
MOVILIDAD DE LOS ELEC. PARA CAMPO
NULO, μ_n = 600
MOVILIDAD DE LOS HUECOS PARA CAM
PO NULO, μ_p = 200

TRANSISTOR 1

DE CANAL N
 W = 2
 L = .005
 N_a = 1.E14
CANAL IMPLANTADO CON D_i =
880000000000
DE GATE METALICA
 λ = .005
 V_{th} = 3.40437660463
 V_b = 0
 V_s = 0
 V_g =ENTRADA
 V_d =SALIDA 1

TRANSISTOR 2

DE CANAL P
 W = .6
 L = .005
 N_d = 1.E15
CANAL IMPLANTADO CON D_i =
173000000000
DE GATE METALICA
 λ = .017
 V_{th} =-.89767464514
 V_b = 5
 V_s = 5
 V_g =ENTRADA
 V_d =SALIDA 1

Tabla 4.4.6: Datos utilizados para la simulación de B(x)

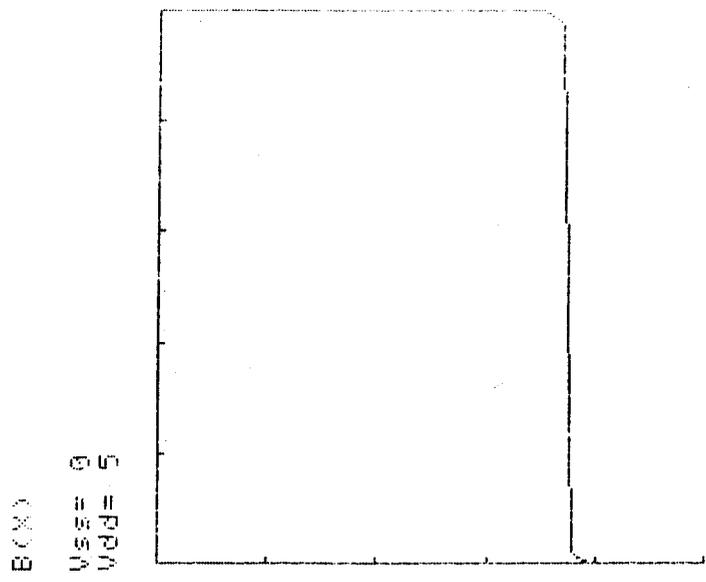


Fig. 4.4.10: Característica de transferencia del inversor B(x).
Escala 1 v./div.

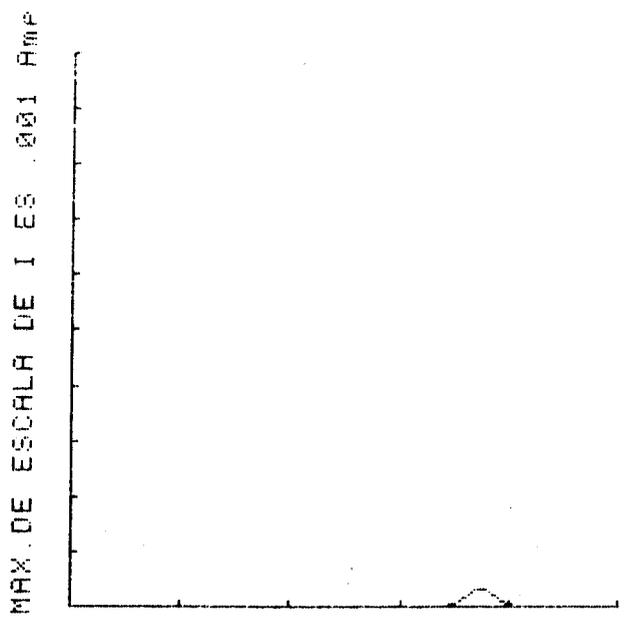


Fig. 4.4.11: Corriente que circula frente a la tensión de entrada por el inversor B(x).

DATOS COMUNES

FUNCION TRABAJO DEL METAL, ϕ_{ms} =
3.2
PERMITIVIDAD DEL OXIDO=
3.461914E-13
ESPESOR DEL OXIDO, d = .00001
CARGA EN LA INTERFACE, Q_{ss} =
.0000000014
MOVILIDAD DE LOS ELEC. PARA CAMPO
NULO, μ_n = 600
MOVILIDAD DE LOS HUECOS PARA CAM
PO NULO, μ_p = 200

TRANSISTOR 1

DE CANAL N
 W = .2
 L = .005
 N_a = 1.E14
CANAL IMPLANTADO CON D_i =
340000000000
DE GATE METALICA
 λ = .005
 V_{th} = .907399498897
 V_b = 0
 V_s = 0
 V_g =ENTRADA
 V_d =SALIDA 1

TRANSISTOR 2

DE CANAL P
 W = .6
 L = .005
 N_d = 1.E15
CANAL IMPLANTADO CON D_i =
287000000000
DE GATE METALICA
 λ = .017
 V_{th} =-.370535033931
 V_b = 5
 V_s = 2.5
 V_g =ENTRADA
 V_d =SALIDA 1

Tabla 4.4.7: Datos utilizados para la simulación de $C(x)$.

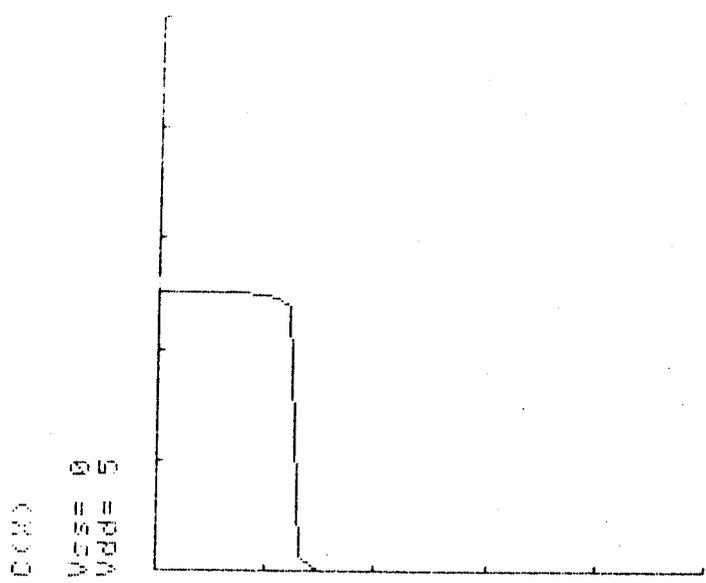


Fig. 4.4.12: Característica de transferencia del inversor C(x).
Escala 1 v./div.

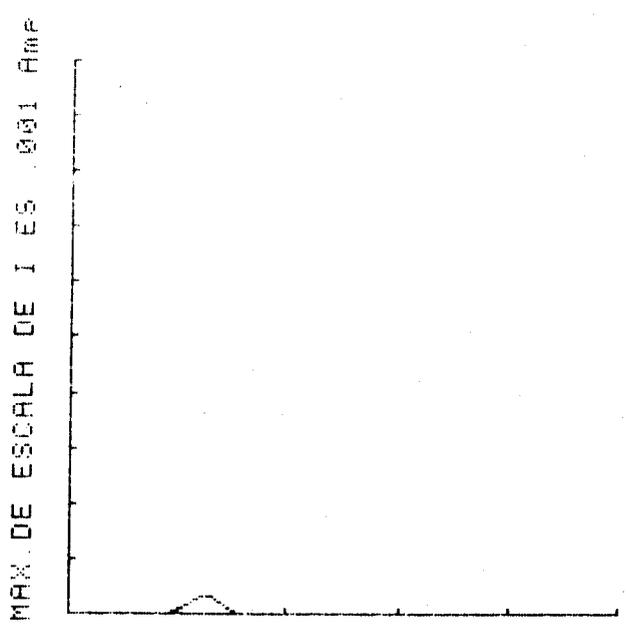


Fig. 4.4.13: Corriente que circula frente a la tensión de entrada por el inversor C(x).

DATOS COMUNES

FUNCION TRABAJO DEL METAL, ϕ_{ms} =
3.2
PERMITIVIDAD DEL OXIDO=
3.461914E-13
ESPESOR DEL OXIDO, d = .00001
CARGA EN LA INTERFACE, Q_{ss} =
.000000014
MOVILIDAD DE LOS ELEC.PARA CAMPO
NULO, μ_e = 600
MOVILIDAD DE LOS HUECOS PARA CAM
PO NULO, μ_p = 200

TRANSISTOR 1

DE CANAL N
 W = .2
 L = .005
 N_a = 1.E14
CANAL IMPLANTADO CON D_i =
880000000000
DE GATE METALICA
 λ = .005
 V_{th} = 3.40437660463
 V_b = 0
 V_s = 0
 V_g =ENTRADA
 V_d =SALIDA 1

TRANSISTOR 2

DE CANAL P
 W = .6
 L = .005
 N_d = 1.E15
CANAL IMPLANTADO CON D_i =
826000000000
DE GATE METALICA
 λ = .017
 V_{th} = 2.12181804012
 V_b = 5
 V_s = 2.5
 V_g =ENTRADA
 V_d =SALIDA 1

Tabla 4.4.8: Datos utilizados para la simulación de $D(x)$.

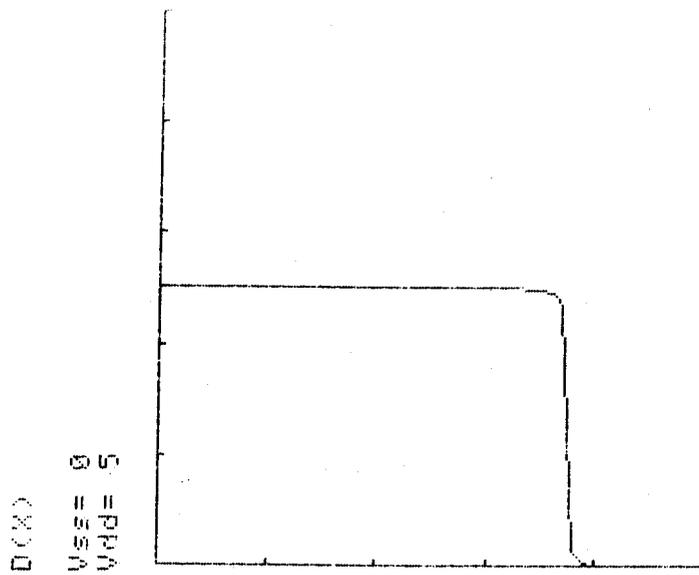


Fig. 4.4.14: Característica de transferencia del inversor $D(x)$.
Escala 1 v./div.

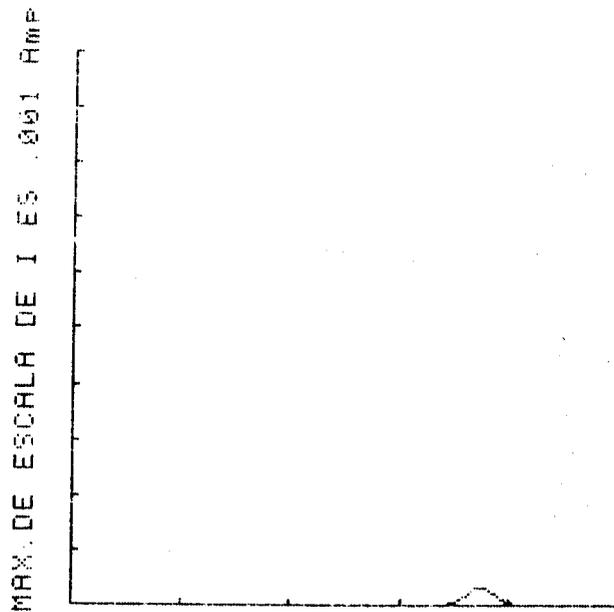


Fig. 4.4.15: Corriente que circula frente a la tensión de entrada por el inversor $D(x)$.

DATOS COMUNES

FUNCION TRABAJO DEL METAL, ϕ_{ms} =
3.2
PERMITIVIDAD DEL OXIDO=
3.481914E-13
ESPESOR DEL OXIDO, d = .00001
CARGA EN LA INTERFACE, Q_{ss} =
.000000014
MOVILIDAD DE LOS ELEC. PARA CAMPO
NULO, μ_n = 600
MOVILIDAD DE LOS HUECOS PARA CAM
PO NULO, μ_p = 200

TRANSISTOR 1

DE CANAL N
 W = .2
 L = .005
 N_a = 1.E14
CANAL IMPLANTADO CON D_1 =
-240000000000
DE GATE METALICA
 λ = .005
 V_{th} =-1.77453887392
 V_b = 0
 V_s = 2.5
 V_g =ENTRADA
 V_d =SALIDA 1

TRANSISTOR 2

DE CANAL P
 W = .6
 L = .005
 N_d = 1.E15
CANAL IMPLANTADO CON D_1 =
-365000000000
DE GATE METALICA
 λ = .017
 V_{th} =-3.38540368751
 V_b = 5
 V_s = 5
 V_g =ENTRADA
 V_d =SALIDA 1

Tabla 4.4.9: Datos utilizados para la simulación de E(x).

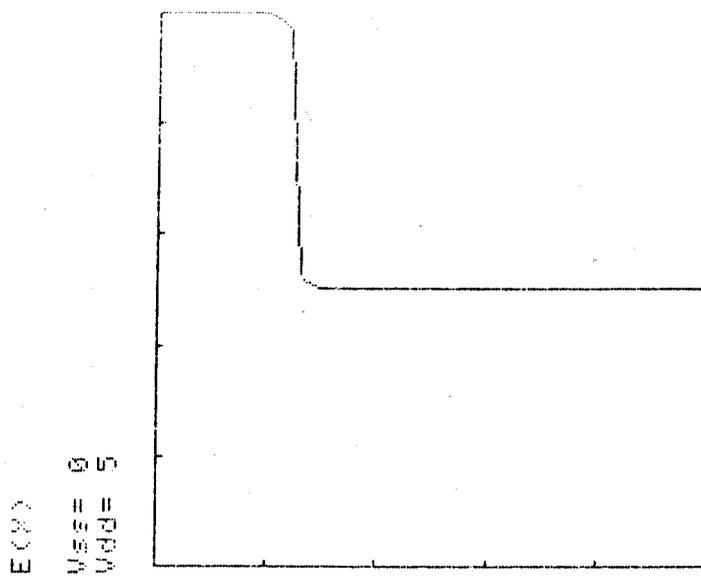


Fig. 4.4.16: Característica de transferencia del inversor E(x).
Escala 1 v./div.

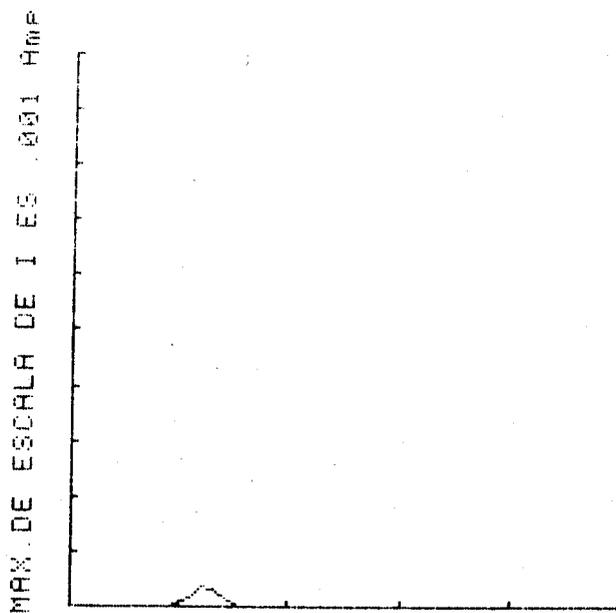


Fig. 4.4.17: Corriente que circula frente a la tensión de entrada por el inversor E(x).

DATOS COMUNES

FUNCION TRABAJO DEL METAL, ϕ_{ms} =
3.2
PERMITIVIDAD DEL OXIDO=
3.461914E-13
ESPESOR DEL OXIDO, d = .00001
CARGA EN LA INTERFACE, Q_{ss} =
.000000014
MOVILIDAD DE LOS ELEC. PARA CAMPO
NULO, μ_n = 600
MOVILIDAD DE LOS HUECOS PARA CAM
PO NULO, μ_p = 200

TRANSISTOR 1

DE CANAL N
 W = .2
 L = .005
 N_a = 1.E14
CANAL IMPLANTADO CON D_i =
300000000000
DE GATE METALICA
 λ = .005
 V_{th} = .722438231804
 V_b = 0
 V_s = 2.5
 V_a =ENTRADA
 V_d =SALIDA 1

TRANSISTOR 2

DE CANAL P
 W = 6
 L = .005
 N_d = 1.E15
CANAL IMPLANTADO CON D_i =
173000000000
DE GATE METALICA
 λ = .017
 V_{th} =-.89767464514
 V_b = 5
 V_s = 5
 V_a =ENTRADA
 V_d =SALIDA 1

Tabla 4.4.10: Datos utilizados para la simulación de $F(x)$.

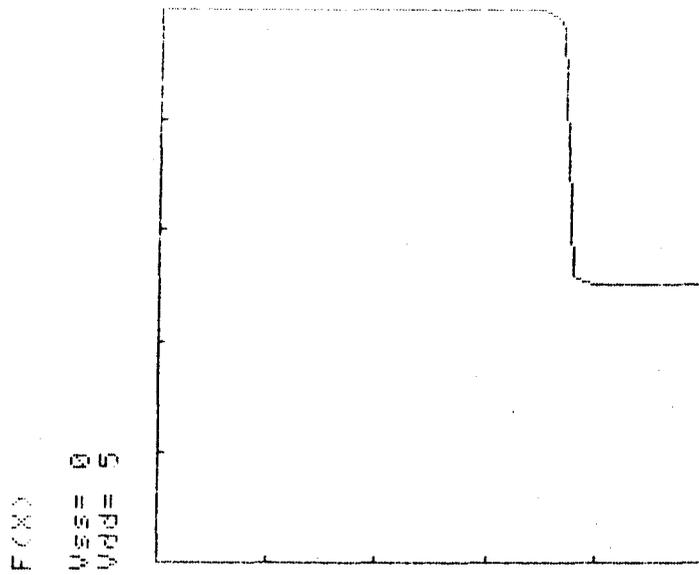


Fig. 4.4.18: Característica de transferencia del inversor $F(x)$.
Escala 1 v./div.

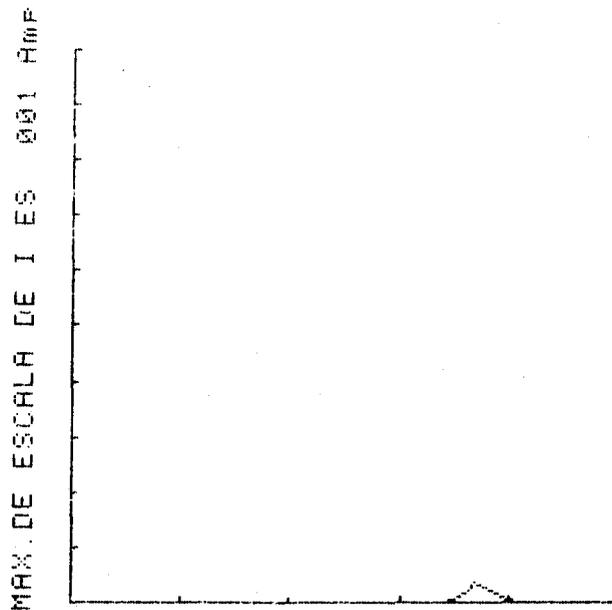


Fig. 4.4.19: Corriente que circula frente a la tensión de entrada por el inversor $F(x)$.

4.5. OPERADORES SEGUIDORES DE UN UMBRAL.

Como ya vimos en el apartado 4.2, los operadores seguidores de un umbral son aquellos en los que, con un vector de valores $R = (r_0, r_1)$, se cumple que $r_0 < r_1$. Siguiendo con la nomenclatura lexicográfica adoptada en 4.3, a dichos operadores los designaremos en la forma siguiente:

$$G(x) = (122) = 1 + x^{1,2}$$

$$H(x) = (112) = 1 + x^{2,2}$$

$$I(x) = (022) = x^{1,2}$$

$$J(x) = (002) = x^{2,2}$$

$$K(x) = (011) = 1 \cdot x^{1,2}$$

$$L(x) = (001) = 1 \cdot x^{2,2}$$

La forma inmediata de obtención de estos operadores es mediante la conexión en cascada de dos inversores de un umbral. En la figura 4.5.1 a la 4.5.6 se dan todas las combinaciones permitidas para obtener cada uno de los seguidores de un umbral. Un primer análisis de tales estructuras empleando una función de Petrick, muestra que sólo es necesario uno de los siguientes conjuntos de inversores de un umbral para obtener todos los seguidores de un umbral:

BCE, ADF, ABCF, ABDE, BDEF, ACDE.

Obsérvese asimismo, que para obtener cualquiera de estos conjuntos sólo son precisos 6 tipos de MOSTs distintos de los 8 tipos originales.

4.6. OPERADORES UNARIOS CON DOS UMBRALES.

Según la tabla 4.2, este conjunto de operadores unarios queda clasificado en dos subgrupos de 6 elementos cada uno. Sin embargo, existe la

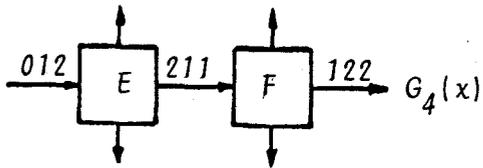
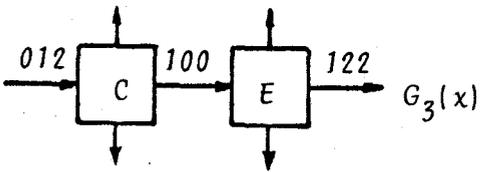
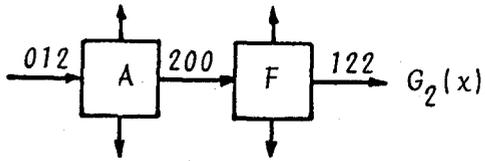
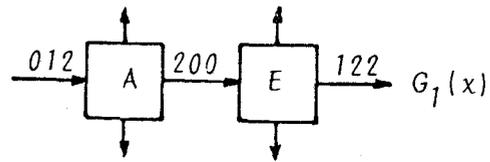


Fig. 4.5.1.

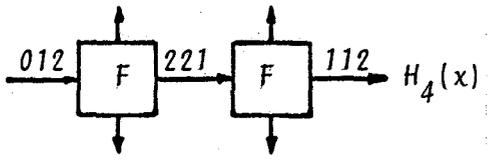
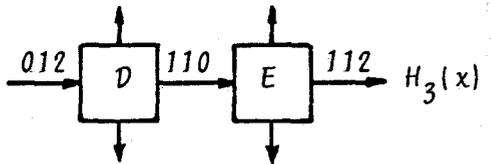
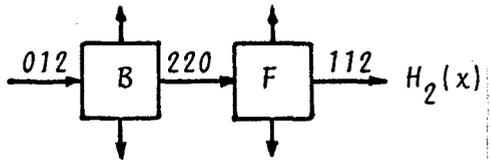
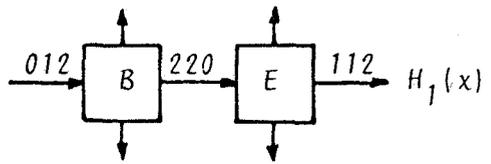


Fig. 4.5.2.

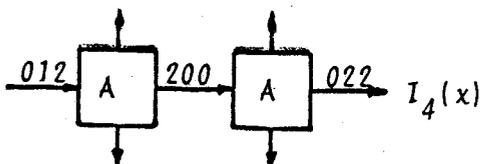
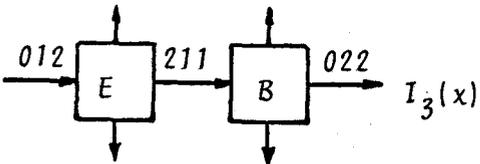
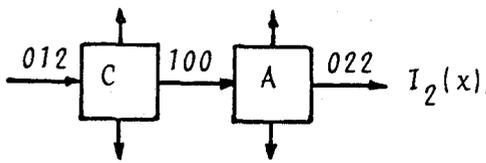
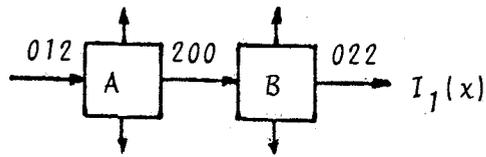


Fig. 4.5.3.

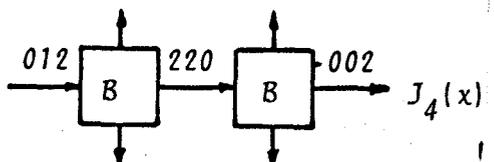
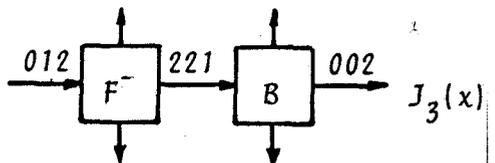
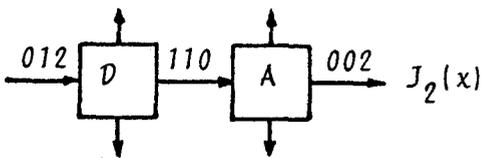
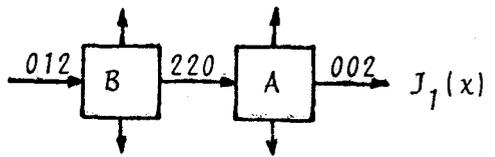


Fig. 4.5.4.

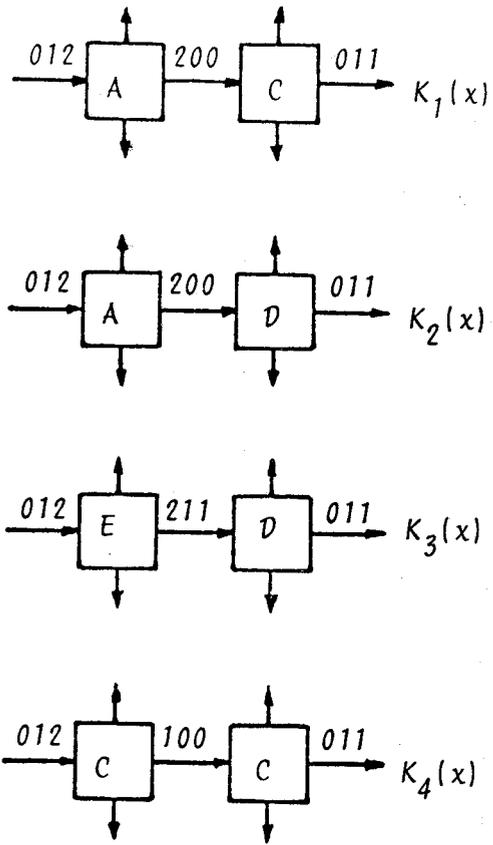


Fig. 4.5.5.

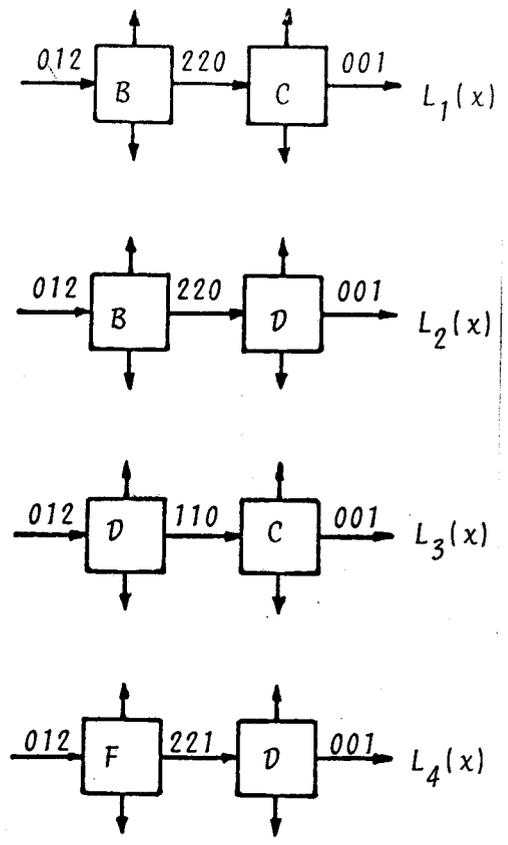


Fig. 4.5.6.

posibilidad de contemplar dicho conjunto desde otro punto de vista. Siempre que en el vector de valores se cumpla que $r_{i-1} > r_i$, diremos que el umbral lógico correspondiente, t_i , es negativo, y viceversa, siempre que $r_{i-1} < r_i$, diremos que el umbral lógico, t_i , es positivo. Desde esta perspectiva, quedan clasificados los 12 operadores con dos umbrales de la forma siguiente:

- Operadores con los dos umbrales positivos: (012)
- Operadores con los dos umbrales negativos: (210)
- Operadores con el primer umbral positivo
y el segundo umbral negativo: (021), (121), (120),
(010), (020)
- Operadores con el primer umbral negativo
y el segundo umbral positivo: (102), (212), (201),
(101), (202)

Esta clasificación viene motivada por aspectos ligados a la síntesis.

Por los apartados anteriores, hemos visto que los distintos umbrales negativos pueden conseguirse con un inversor de un umbral y los umbrales positivos con un seguidor de un umbral.

Cuando un inversor CMOS está en uno de sus estados, en el drenador de uno de los MOSTs se fija una tensión prácticamente igual a la que tiene en su surtidor, permaneciendo el otro transistor cortado. Por tanto, si dentro del margen de valores de entrada con el que se da esta situación variamos la tensión de surtidor del MOST en conducción, esa variación se transmitirá a su drenador y, por consiguiente, a la salida. Por supuesto, es necesario que la tensión de umbral de dicho MOST cumpla ciertos requerimientos respecto de la entrada. Evidentemente estas restricciones variarán según que el MOST bajo consideración sea el de canal n o el de canal p. Sea pues, un inversor de un umbral, $\beta(x)$, según se muestra en la figura 4.6.1. La idea central de diseño se basa en que una

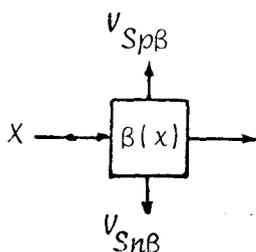


Fig. 4.6.1

de sus tensiones de surtidor venga modulada por otro operador. Esencialmente sean encontrado cuatro formas distintas de realización de operadores con dos umbrales. A continuación pasamos a describirlas separadamente.

4.6.1 PRIMERA FORMA DE IMPLEMENTACION.

Consideremos en primer lugar el caso en el que la tensión modulada es $V_{Sp\beta}$. Emplearemos un segundo operador que llamaremos $\alpha(x)$, según aparece en la figura 4.6.2. Para que la salida del circuito, es decir de

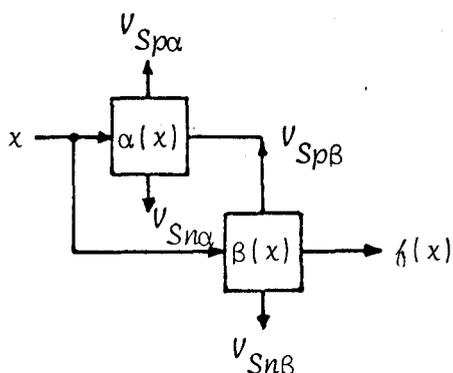


Fig. 4.6.2.

$\beta(x)$, siga teniendo la propiedad de que sólo exista circulación de corriente cuando se efectúa la transición entre dos valores lógicos y además tenga dos umbrales lógicos, la pareja de operadores ha de verificar tres restricciones. 1º) $t_\alpha \neq t_\beta$, siendo t_α y t_β los umbrales lógicos respectivos.

2º) Para todo valor lógico, i , la tensión que lo representa, x_i , debe cumplir que:

$$V_{th_{p\beta}}[\alpha(x_i)] > V_{th_{n\beta}} \quad \forall x_i < V_{th_{n\beta}}$$

para evitar que la salida esté en alta impedancia para dicho valor lógico de entrada.

3º) No existe ningún valor lógico, i , para el que se cumpla simultáneamente que:

$$V_{th_{p\beta}}[\alpha(x_i)] > x_i$$

$$V_{th_{n\beta}} < x_i$$

para evitar que los dos MOSTs de $\beta(x)$ estén simultáneamente con-

duciendo.

Nótese que, cumpliéndose estas restricciones, tanto $\alpha(x)$ como $\beta(x)$ pueden ser cualesquiera de los 12 operadores unarios de un umbral obtenidos en los anteriores apartados. A todo circuito que responda a la estructura de la figura 4.6.2 lo llamaremos primera forma de implementación (PFI). Todas las estructuras posibles de la PFI son las que se muestran en las figuras 4.6.3 a la 4.6.18. Como vemos es posible obtener el operador seguidor de dos umbrales u operador identidad (los dos umbrales lógicos positivos), el operador inversor de dos umbrales u operador complemento ternario (los dos umbrales lógico negativos) y todos los operadores cuyo primer umbral lógico es positivo y el segundo negativo, menos el operador (020). Consideraciones análogas a las del apartado 4.5, nos muestran que con el conjunto de inversores BDEF es posible obtener todos estos operadores. Esto hace especialmente

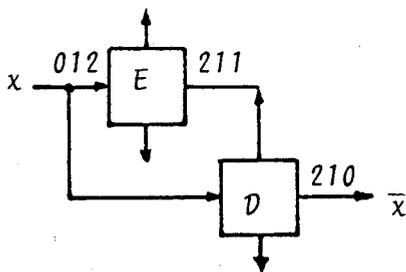


Fig. 4.6.3.

Ejemplo 4.6.1: Como ilustración, veamos detenidamente el caso del operador complemento ternario. Ya que posee los dos umbrales lógicos negativos, tanto $\alpha(x)$ como $\beta(x)$ son inversores de umbral, y en concreto $E(x)$ y $D(x)$ respectivamente. Por consiguiente, su diagrama de circuito es el de la figura 4.6.19.

En este circuito se cumple que:

$$\left. \begin{array}{l} 1^\circ) \quad t_\alpha = 1'25 \text{ v.} \\ \quad \quad t_\beta = 3'75 \text{ v.} \end{array} \right\} \implies t_\alpha \neq t_\beta$$

2º) Para $x_i = 0 \text{ v.}$ (0 lógico)

$$V_{th_{pD}}[E(0)] > 4'1 \text{ v.} > V_{th_{nD}} = 3'4 \text{ v.}$$

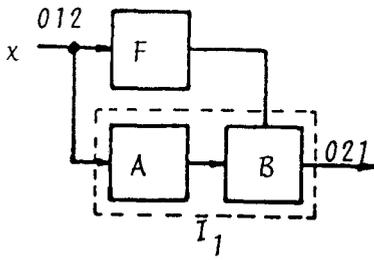


Fig. 4.6.4.

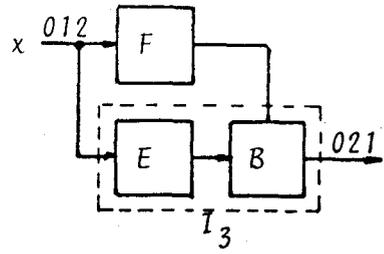


Fig. 4.6.5.

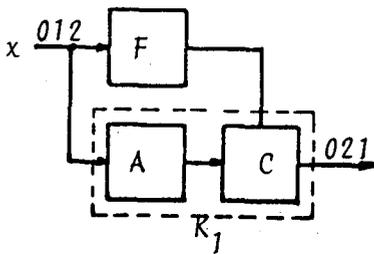


Fig. 4.6.6.

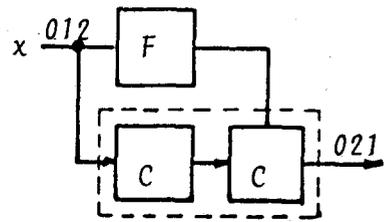


Fig. 4.6.7.

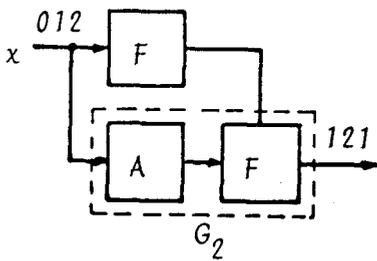


Fig. 4.6.8.

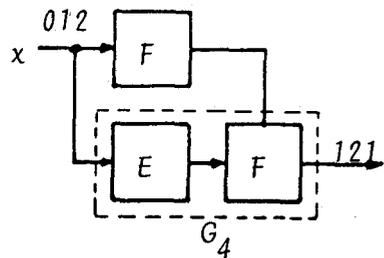


Fig. 4.6.9.

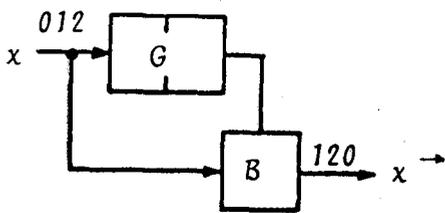


Fig. 4.6.10.

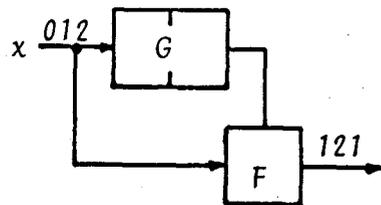


Fig. 4.6.11.

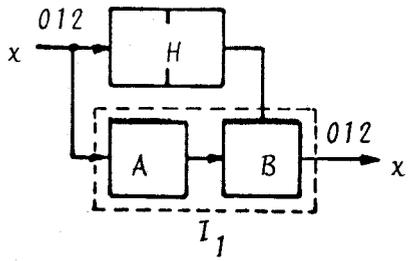


Fig. 4.6.12.

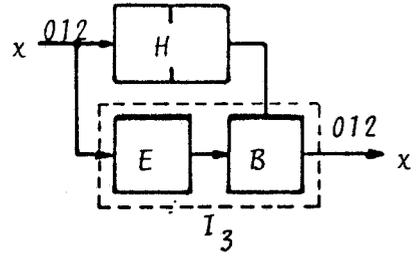


Fig. 4.6.13.

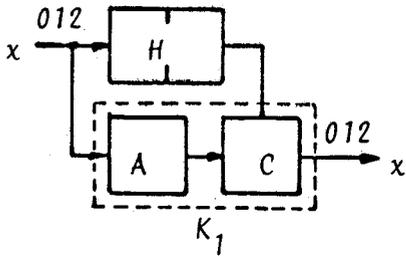


Fig. 4.6.14.

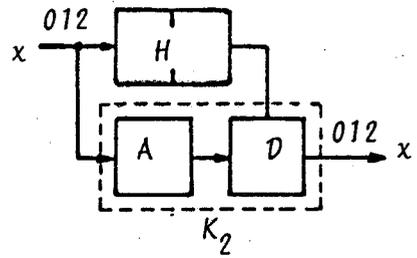


Fig. 4.6.15.

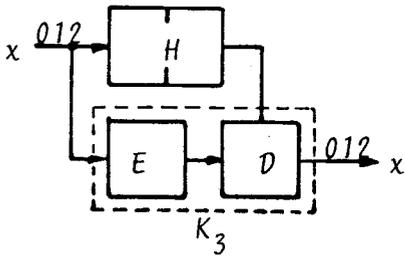


Fig. 4.6.16.

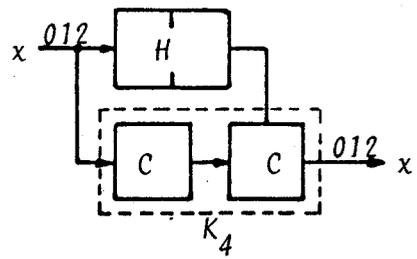


Fig. 4.6.17.

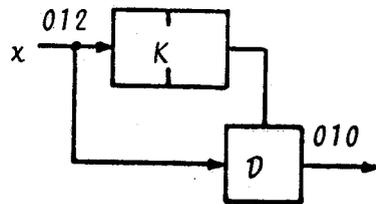


Fig. 4.6.18.

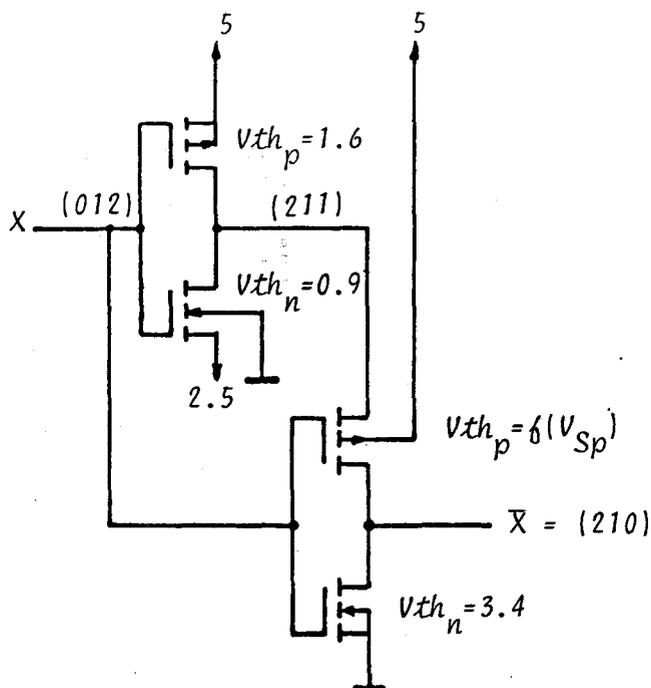


Fig. 4.6.19: Operador complemento ternario.

Para $x_i = 2'5$ v. (1 lógico)

$$V_{th_{pD}}[E(2'5)] = 4'1 \text{ v.} > V_{th_{nD}} = 3'4 \text{ v.}$$

$$3^\circ) \text{ Para } x_i = 0 \text{ v. } \left\{ \begin{array}{l} V_{th_{pD}}[E(0)] > 4'1 \text{ v.} > 0 \text{ v.} \\ V_{th_{nD}} = 3'4 \text{ v.} > 0 \text{ v.} \end{array} \right\} \text{ se cumple.}$$

$$\text{Para } x_i = 2'5 \text{ v. } \left\{ \begin{array}{l} V_{th_{pD}}[E(2'5)] = 4'1 \text{ v.} > 2'5 \text{ v.} \\ V_{th_{nD}} = 3'4 \text{ v.} > 2'5 \text{ v.} \end{array} \right\} \text{ se cumple}$$

$$\text{Para } x_i = 5 \text{ v. } \left\{ \begin{array}{l} V_{th_{pD}}[E(5)] = 4'1 \text{ v.} < 5 \text{ v.} \\ V_{th_{nD}} = 3'4 \text{ v.} < 5 \text{ v.} \end{array} \right\} \text{ se cumple}$$

La simulación mediante MOSIM de este circuito da como resultado la característica de transferencia que aparece en la figura 4.6.20 y una gráfica de la potencia disipada como la que muestra la figura 4.6.21.

Ejemplo 4.6.2: Asimismo, la simulación de otro operador de gran relevancia como es el operador cíclico de la figura 4.6.10 arroja como resultados las gráficas de las figuras 4.6.22 y 4.6.23.

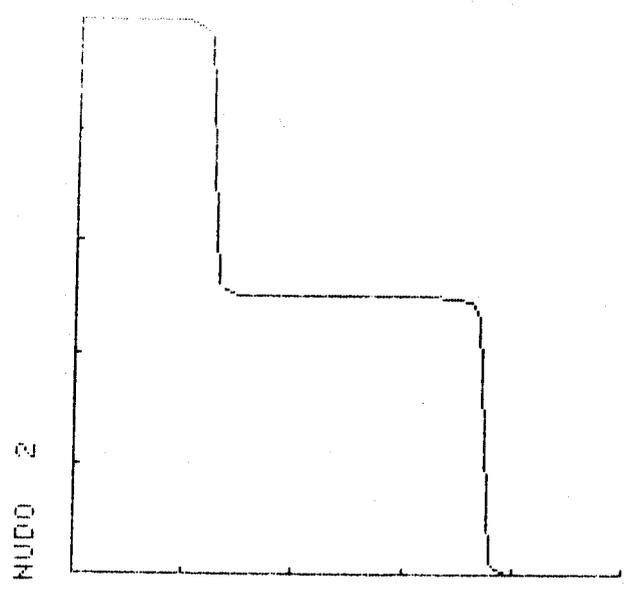


Fig. 4.6.20: Característica de transferencia del operador complemento ternario de la figura 4.6.19.

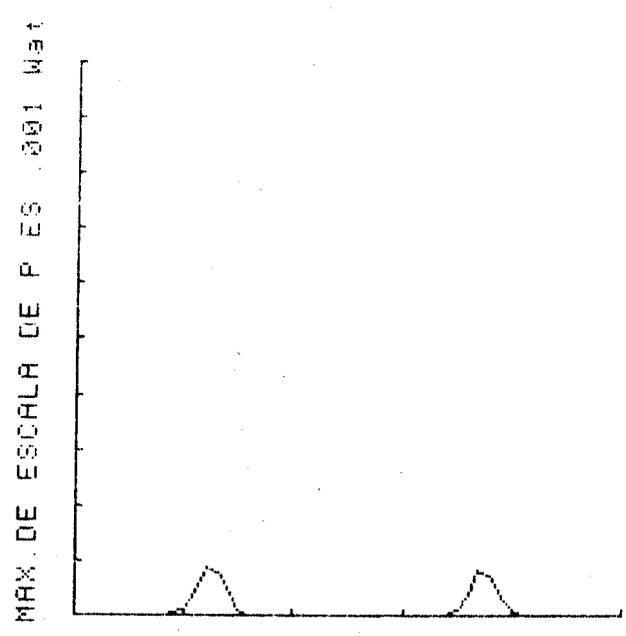


Fig. 4.6.21: Gráfica de la potencia disipada frente a la tensión de entrada por el operador complemento de la figura 4.6.19.

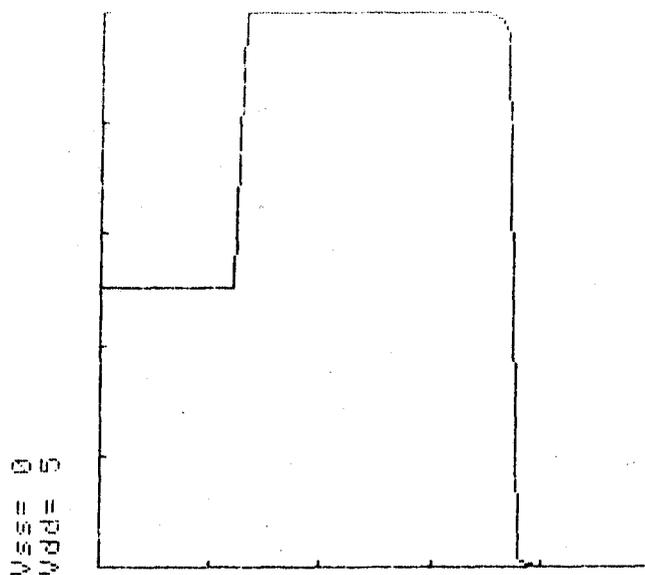


Fig. 4.6.22: Característica de transferencia del operador cíclico de la figura 4.6.10.

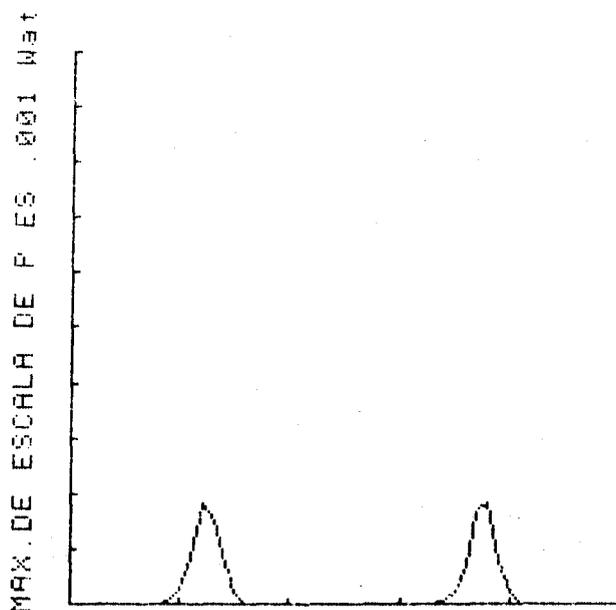


Fig. 4.6.23: Gráfica de la potencia disipada frente a la tensión de entrada por el operador cíclico de la figura 4.6.10.

4.6.2 SEGUNDA FORMA DE IMPLEMENTACION.

Alternativamente, en el caso en que sea $V_{Sn\beta}$ la tensión modulada, la estructura de circuito es la de la figura 4.6.24, a la que llamaremos segunda forma de implementa-

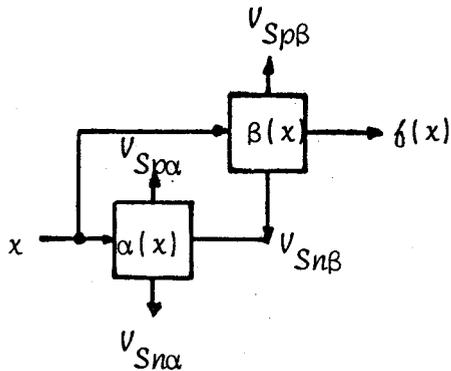


Fig. 4.6.24: SFI

ción, (SFI). Las condiciones a ve rificar en este caso son:

1°) $t_\alpha \neq t_\beta$, siendo t_α y t_β los umbrales lógicos respectivos.

2°) Para todo valor lógico, i , la tensión que lo representa, x_i , debe cumplir que:

$$V_{th_{n\beta}}[\alpha(x_i)] < V_{th_{p\beta}}, \forall x_i > V_{th_{p\beta}}$$

3°) No existe ningún valor lógico, i , para el que se cumpla simul

táneamente que:

$$V_{th_{n\beta}}[\alpha(x_i)] < x_i$$

$$V_{th_{p\beta}} > x_i$$

Todas las estructuras de circuito posibles de la SFI son las que aparecen en las figuras 4.6.25 a la 4.6.40.

Vemos que además de los operadores identidad y complemento, se ob tienen todos los operadores cuyo primer umbral es negativo y el segundo positivo, salvo el operador (202). Ahora es el conjunto ACDE el mínimo con el que se obtienen todos estos operadores.

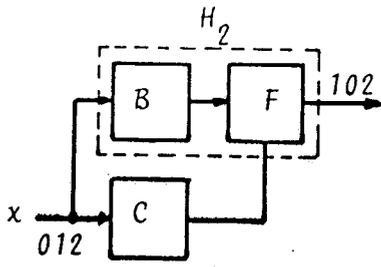


Fig. 4.6.25.

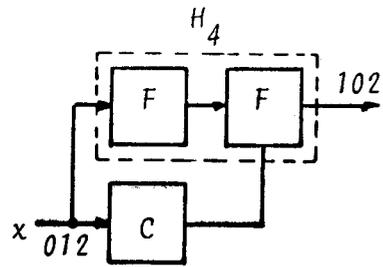


Fig. 4.6.26.

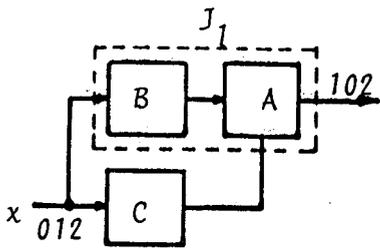


Fig. 4.6.27.

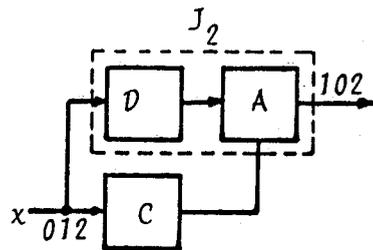


Fig. 4.6.28.

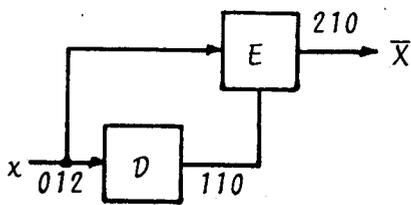


Fig. 4.6.29.

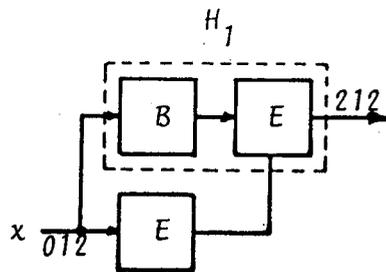


Fig. 4.6.30.

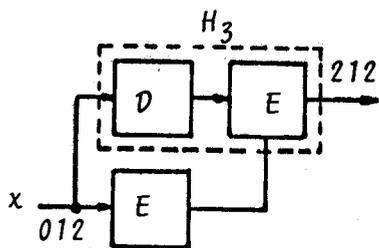


Fig. 4.6.31.

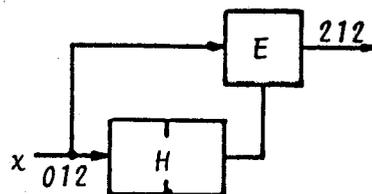


Fig. 4.6.32.

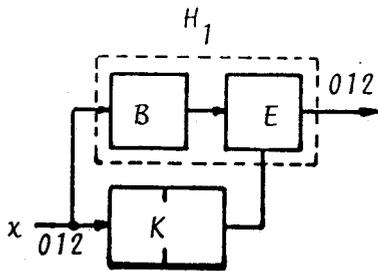


Fig. 4.6.33.

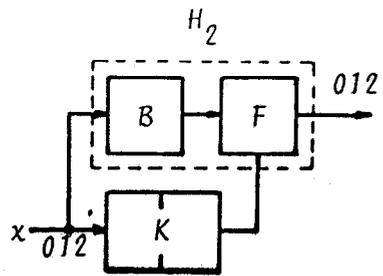


Fig. 4.6.34.

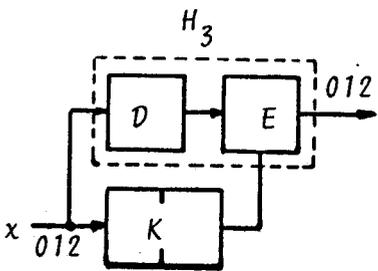


Fig. 4.6.35.

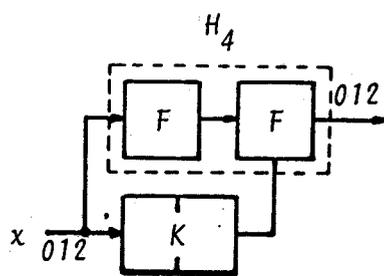


Fig. 4.6.36.

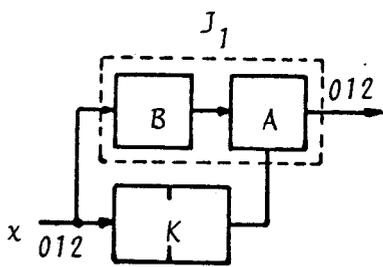


Fig. 4.6.37.

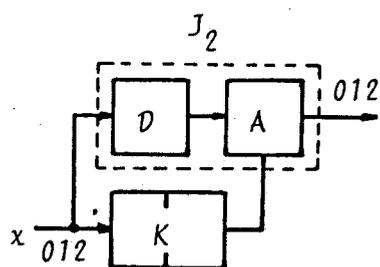


Fig. 4.6.38.

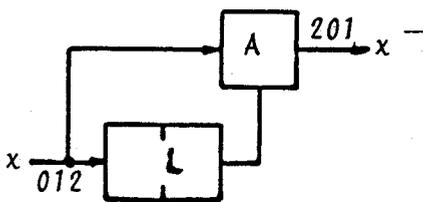


Fig. 4.6.39.

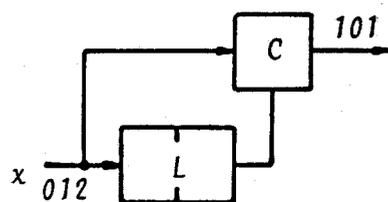


Fig. 4.6.40.

4.6.3. FORMAS ALTERNATIVAS DE IMPLEMENTACION.

Des formas nuevas de síntesis, similares a las anteriores, se obtienen si en lugar de modular $V_{Sp\beta}$ (o $V_{Sn\beta}$) entre dos valores lógicos, lo hacemos entre un valor lógico y el estado de alta impedancia. Así llamaremos tercera forma de implementación (TFI) si hacemos la síntesis actuando sobre $V_{Sp\beta}$, como indica el ejemplo de la figura 4.6.41.

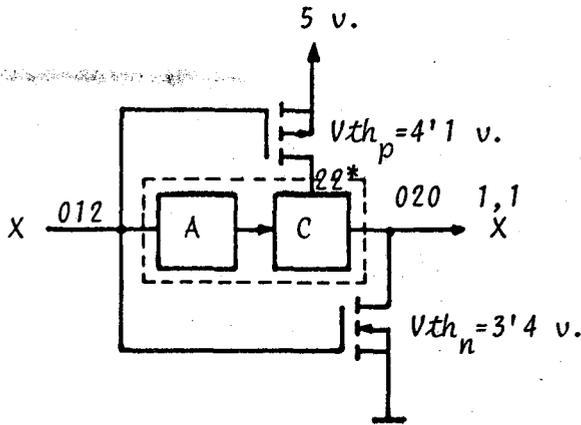


Fig. 4.6.41: Operador X .

En este caso, los inversores $A(x)$ y $C(x)$ son los que constituyen el seguidor de un umbral, K_1 , que se muestra en la figura 4.5.5, y puede ser sustituido por K_4 . Asimismo, los otros dos MOSTs que aparecen son los que forman el inversor $B(x)$.

Como se ve, de esta forma es posible la obtención de uno de los dos operadores, X , que no es posible generar mediante las formas de síntesis anteriormente expuestas. La simulación mediante MOSIM de este operador arroja el resultado que se muestra en la figura 4.6.42. Sustituyendo $C(x)$ por $A(x)$ la función resultante es la misma, como se puede comprobar.

Ejemplo 4.6.3: Si en lugar del inversor $C(x)$ de la figura 4.6.41, utilizamos el inversor $E(x)$, es decir, si utilizamos $G_1(x)$ ó $G_3(x)$ (ver figura 4.5.1), obtenemos una forma distinta de implementación del operador cíclico $x \rightarrow$, como se puede ver en la figura 4.6.43. Nótese que esta forma requiere el mismo número de MOSTs que la PFI; es más, son los mismos conectados de diferente manera.

Simétricamente, la cuarta forma de implementación, CFI, la obtiene

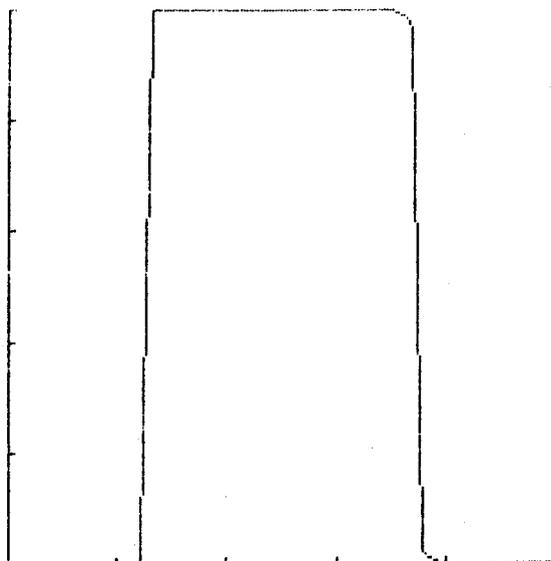


Fig. 4.6.42: Característica de transferencia del circuito de la figura 4.6.41, simulada mediante MOSIM.

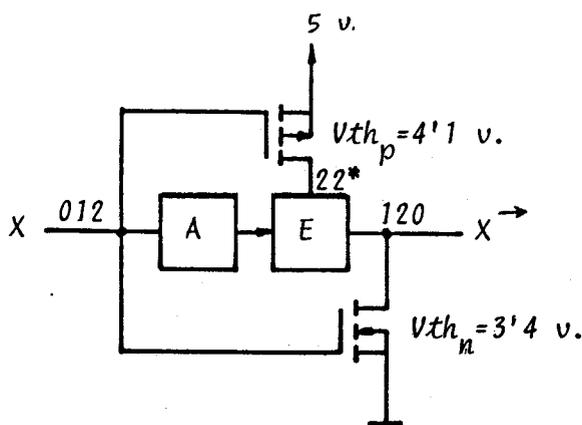


Fig. 4.6.43: Operador cíclico X .



mos actuando sobre $V_{Sn\beta}$, mediante la cual conseguimos generar el último operador, $\overline{\overline{x}}$ como muestra el diagrama de la figura 4.6.44. En este caso podemos utilizar H_2 (ver figura 4.5.2) como aquí aparece, o bien H_4 , además de los otros dos MOSTs que son los que constituyen el inversor $A(x)$.

Paralelamente al caso anterior, cambiando el inversor $F(x)$ por $D(x)$, es decir, utilizando L_2 ó L_4 , tenemos otra forma de implementación del otro operador cíclico $x \leftarrow$.

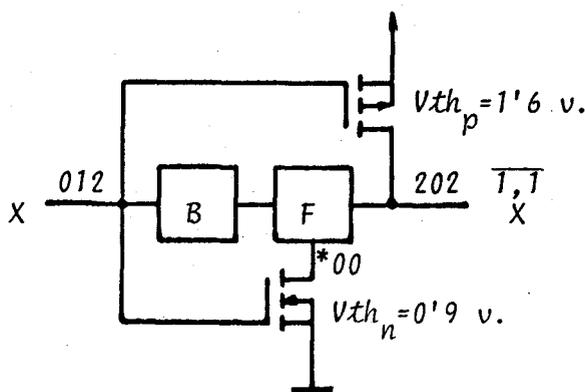


Fig. 4.6.44: Operador $\overline{\overline{x}}$.

4.7. RESUMEN.

En el presente capítulo hemos partido de una clasificación de los operadores unarios desde la perspectiva de las funciones multiumbral. Asimismo hemos estudiados en primer lugar las modificaciones que son factibles de realizar sobre el inversor CMOS convencional con objeto de dotarlo de mayor utilidad en lógica MV. Con ello hemos visto que con dicha estructura de circuito es posible implementar los 6 operadores unarios que hemos denominado inversores de un umbral.

Para obtener ésto, se ha puesto de manifiesto la necesidad de disponer de 8 tipos distintos de MOSTs, apuntándose una forma de obtenerlos

a la luz de las tecnologías existentes. Sin embargo, factores tecnológicos u económicos a la hora de realizar dichos circuitos, podrían enfocar la obtención de los umbrales necesarios hacia otras posibles soluciones. Incluso podrían restringir o hacer aconsejable la obtención de únicamente 6 de los 8 MOSTs, a costa de hacer algunas realizaciones de circuito algo más complejas.

A continuación se ha expuesto la realización del conjunto de operadores seguidores de un umbral, como consecuencia inmediata de los inversores de un umbral. Finalmente hemos expuesto las cuatro formas de implementación con las que son posible la obtención del resto de los operadores unarios, a partir de los dos grupos de operadores anteriores.

REFERENCIAS DEL CAPITULO 4.

- /1/ .- O.Ishizuka: " On Multivalued Multithreshold Networks Composed of Conventional Threshold Elements ". IEEE Trans. on Computers, C-26, nº12, Dec.1977, pp.1251-1257.
- /2/ .- O.Ishizuka: " A consideration for realizing unary functions of a multivalued variable ". IEEE Proc. 12th I.S.M.V.L. París, May 1982, pp.89-93.
- /3/ .- H.Taub, D.Schilling: " Digital integrated electronics ". McGraw-Hill, 1977.
- /4/ .- J.L.Huertas, G.Sánchez Gómez: " Low-power CMOS implementation of some operators ". IEEE Proc. 11th I.S.M.V.L., Oklahoma, May1981, pp.196-199.
- /5/ .- Curso de: " Tecnologías de realización de circuitos integrados ". vol.3, Madrid, Junio 1982, Centro de Física Aplicada " Leonardo Torres Quevedo ". U.E.I. de Microelectrónica.
- /6/ .- L.C.Parrillo, R.S.Payne, R.E.Davis, G.W.Reuthinger y R.L.Field: " Twin-tub CMOS. A technology for VLSI circuits ". IEEE Proc. International Electron Devices Meeting, Washington, 1980, pp.752-755.
- /7/ .- B.T.Murphy, L.C.Thomas, A.U.Mac Rae: " Twin-tubs, domino logic, CAD speed up 32-bit processor ". Electronics, Oct.6, 1981, pp.106-111.
- /8/ .- J.L.Huertas, G.Sánchez Gómez: " Synthesis of 3-valued unary operators in CMOS integrated technology ". A publicar en E.C.S.
- /9/ .- Motorola Semic. Prod. Inc.: " McMOS Handbook ". 1974.

CAPITULO 5

FUNCIONES DE VARIAS VARIABLES.

INDICE

5.1. INTRODUCCION.	PAG. 5.1
5.2. FUNCIONES BASICAS DE DOS VARIABLES. CLASIFICACION	5.2
5.2.1. INVERSORES DE DOS VARIABLES CON ESTRUCTURA NOR.	5.4
5.2.2. INVERSORES DE DOS VARIABLES CON ESTRUCTURA NAND.	5.13
5.3. FUNCIONES DE DOS VARIABLES DE ESTRUCTURA COMPUES- TA.	5.18
5.3.1. PRIMERA FORMA DE IMPLEMENTACION.	5.19
5.3.2. SEGUNDA FORMA DE IMPLEMENTACION.	5.27
5.3.3. TERCERA Y CUARTA FORMA DE IMPLEMENTACION.	5.28
5.4. FUNCIONES DE DOS VARIABLES CON ESTRUCTURA EXOR	5.32
5.5. RESUMEN.	5.36
REFERENCIAS.	5.38

5.1. INTRODUCCION.

En el capítulo anterior se ha puesto de relieve la flexibilidad que los MOSTs obtenidos en el diseño de los inversores de un umbral ofrecen para la implementación de funciones de una variable. Asimismo ha quedado patente que los circuitos básicos son los seis inversores de un umbral, en el sentido de que a partir de ellos se obtienen los restantes operadores unarios.

El presente capítulo lo dedicaremos al estudio de funciones varias variables, siguiendo el mismo esquema expositivo del capítulo 4. Es decir, comenzaremos estudiando aquellas funciones de dos o más variables, que presentan un manifiesto paralelismo con los inversores unarios de un umbral. A continuación, y a partir de éstos, se tratará de la obtención de funciones de mayor complejidad utilizando las cuatro formas de implementación ya expuestas. Como veremos, el abanico de funciones distintas que se implementan de una forma simple se hace muy elevado. Esta simplicidad hay que entenderla en contraste con las realizaciones que se obtendrían aplicando las técnicas tradicionales de síntesis esbozadas en el capítulo 2.

Hay que hacer constar que nuestro interés no va a dirigirse hacia

la obtención de un conjunto funcionalmente completo, sino de todas aquellas funciones que presentan una realización de circuito simple con esta técnica. A lo largo de la exposición se verá claramente que entre todas esas funciones se podrán seleccionar conjuntos completos correspondientes a las diferentes álgebras.

Si pérdida de generalidad, y para mayor sencillez en la exposición, trataremos fundamentalmente el caso de funciones con dos variables de entrada, puesto que, como veremos enseguida, las de mayor número de variables admiten un tratamiento totalmente paralelo.

Por otro lado, aunque podríamos continuar el formalismo del capítulo 4, partiendo de una clasificación de funciones de dos (o más) variables desde el punto de vista de las funciones multiumbral, no lo haremos así. Esto está motivado por que los umbrales lógicos pierden el significado tan intuitivo que poseen en las funciones de una sola variable /1/. Por otra parte, como ayuda a la síntesis, esto tendría justificación en el caso de trabajar con una tecnología en la que la operación suma ponderada fuera fácilmente implementable.

5.2. FUNCIONES BASICAS DE DOS VARIABLES. CLASIFICACION.

Como ya hemos dicho, los bloques fundamentales a partir de los cuales se diseñan todos los operadores unarios, son los seis inversores de un umbral $A(x)$ a $F(x)$. Los seis son operadores de un umbral lógico y sólo se diferencian entre sí en su vector de valores 0/y la posición de dicho umbral lógico. Nótese que, en lógica ternaria, sólo hay dos posiciones posibles para un umbral lógico: la que corresponde al operador de Givone ${}^0_x^0$ y la del operador de Givone ${}^0_x^1$. En lógica de 4 valores hay tres posiciones posibles: ${}^0_x^0$, ${}^0_x^1$ y ${}^0_x^2$, y así sucesivamente. Nótese así mismo, que éstos son los únicos operadores de Givone que tienen las características de un inversor. Por esta razón desde ahora nos referiremos

a ellos con el nombre genérico de inversores de Givone.

Definición 5.1: En lógica de p valores, un inversor de Givone es todo operador de Givone que sea de la forma:

$${}^0x^i \quad \text{siendo } i \in \{0, 1, \dots, p-2\} \quad (5.1)$$

A partir de esta definición podemos modificar la definición 4.1 para el caso particular de los inversores de un umbral en la forma siguiente.

Definición 5.2: Sea el vector de valores $R = (r_0, r_1)$, con $r_0 > r_1$. Se llama inversor de un umbral a todo operador definido por:

$$U_{0,i}^R(x) = \begin{cases} r_0 & \text{si } {}^0x^i = 2 \\ r_1 & \text{si } {}^0x^i = 0 \end{cases} \quad (5.2)$$

donde $i \in \{0, 1, \dots, p-2\}$.

Como el número de vectores de valores de dos componentes con $r_0 > r_1$ en lógica de p valores es:

$$C(2,p) = \frac{p!}{(p-2)! 2!} \quad (5.3)$$

y el número de inversores de Givone es $(p-1)$, el número de inversores de un umbral que existen (y por tanto de bloques básicos de una variable) es:

$$N_i = (p-1) \frac{p!}{(p-2)! 2!} \quad (5.4)$$

así por ejemplo, para $p = 2$, $N_i = 1$

para $p = 3$, $N_i = 6$

para $p = 4$, $N_i = 18$, etc.

El diferente enfoque que hemos introducido con la definición 5.2 con respecto a la definición 4.1 se justifica por el hecho de que, con la expresión (5.2), es más simple la construcción de los bloques básicos de más de una variable a partir de los inversores de un umbral.

Definición 5.3: Sean dos inversores de un umbral, $U_{0,i}^R$ y $U_{0,j}^R$, con el mismo vector de valores $R = (r_0, r_1)$. Se llama inversor de dos variables a toda función de dos variables definida de la forma siguiente:

$$U_{0,i}(x_1) * U_{0,j}(x_2) = \begin{cases} r_0 & \text{si } 0_{x_1}^i * 0_{x_2}^j = 2 \\ r_1 & \text{si } 0_{x_1}^i * 0_{x_2}^j = 0 \end{cases} \quad (5.5)$$

donde la operación genérica " * " denota las operaciones MIN o MAX.

Si se trata de la operación MIN, obtenemos los inversores de dos variables con estructuras NOR, es decir son funciones cuya estructura de circuito, como veremos seguidamente es idéntica a las puertas NOR de la lógica binaria. Si se trata de la operación MAX, obtenemos los inversores de dos variables con estructura NAND.

Paralelamente al caso de funciones de una única variable, si a un inversor de dos variables le conectamos en cascada un inversor de un umbral, obtenemos las llamadas funciones seguidores de dos variables. Finalmente, la interconexión, mediante alguna de las 4 formas de implementación, ya vistas, de estos dos grupos de funciones nos dan funciones de dos variables cuya similitud con las funciones de más de un umbral lógico del capítulo 4 es digno resaltar.

5.2.1. INVERSORES DE DOS VARIABLES CON ESTRUCTURA NOR.

La estructura de circuito genérica de una puerta NOR es la representada en la figura 5.2.1. No es difícil ver que si los MOSTs T_1 y T_3 son los constituyentes del inversor de un umbral $A(x)$, que a la luz de la definición 5.2 es:

$$A(x) = U_{00}(x) = \begin{cases} 2 & \text{si } 0_{x^0} = 2 \\ 0 & \text{si } 0_{x^0} = 0 \end{cases} \quad (5.6)$$

y si T_2 y T_4 también son los MOSTs de $A(x)$, entonces el circuito de la figura 5.2.1 realiza la función:

$$A(x_1) \cdot A(x_2) = \begin{cases} 2 & \text{si } 0x_1^0 \cdot 0x_2^0 = 2 \\ 0 & \text{si } 0x_1^0 \cdot 0x_2^0 = 0 \end{cases} \quad (5.7)$$

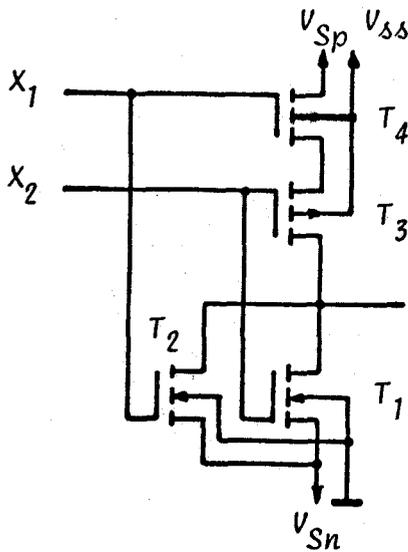


Fig. 5.2.1: Estructura NOR.

cuya tabla de verdad es la de la tabla 5.2.1. A este inversor de dos variables adoptaremos el convenio de denominarlo por $A1(x_1, x_2)$.

Análogamente, las contrapartidas de los inversores de un umbral $B(x)$, $C(x)$, $D(x)$, $E(x)$ y $F(x)$ son los inversores de dos variables con estructura NOR, $B1(x_1, x_2)$, $C1(x_1, x_2)$, $D1(x_1, x_2)$, $E1(x_1, x_2)$ y $F1(x_1, x_2)$ cuyas tablas de verdad son las mostradas en las tablas

5.2.2 a 5.2.6.

Obsérvese además, que los MOSTs T_1 y T_3 , de la figura 5.1, en principio, pueden corresponder a un tipo de inversor distinto al formado a partir de T_2 y T_4 . Concretamente, si T_1 y T_3 son los MOSTs de $B(x)$ y T_2 y T_4 los de $A(x)$ obtenemos la función cuya tabla es la 5.2.7, y que representaremos por:

$$AB1(x_1, x_2) = A(x_1) \cdot B(x_2) = \begin{cases} 2 & \text{si } 0x_1^0 \cdot 0x_2^1 = 2 \\ 0 & \text{si } 0x_1^0 \cdot 0x_2^1 = 0 \end{cases} \quad (5.8)$$

Evidentemente, sin más que permutar las variables de entrada obtenemos la función simétrica de éste. Sin embargo, como se puede comprobar fácilmente, no existe ningún otro inversor, aparte del $B(x)$, que combinado con $A(x)$ en una estructura NOR nos de una función de funcionamiento correcto. Siempre existe un patrón de entrada para el que se produce la conducción simultánea de los MOSTs de canal p y uno de los

de canal n , o bien se produce una salida en alta impedancia.

De la misma manera entre $C(x)$ y $D(x)$ existe compatibilidad, resultando la función:

$$CD1(x_1, x_2) = C(x_1) \cdot D(x_2) = \begin{cases} 1 & \text{si } 0x_1^0 \cdot 0x_2^1 = 2 \\ 0 & \text{si } 0x_1^0 \cdot 0x_2^1 = 0 \end{cases} \quad (5.9)$$

cuya tabla de verdad es la 5.2.8. Igualmente para $E(x)$ y $F(x)$ resulta:

$$EF1(x_1, x_2) = E(x_1) \cdot F(x_2) = \begin{cases} 2 & \text{si } 0x_1^0 \cdot 0x_2^1 = 2 \\ 1 & \text{si } 0x_1^0 \cdot 0x_2^1 = 0 \end{cases} \quad (5.10)$$

cuya tabla de verdad es la 5.2.9.

Nótese por otro lado que estos tres casos de inversores de dos variables están contemplados en la definición 5.3 al exigirse en ésta únicamente que los vectores de valores de los inversores de un umbral de partida sean iguales, y no la igualdad de dichos inversores.

Es de destacar que sólo existen 9 inversores de dos variables ya que:

$$\begin{aligned} BA1(x_1, x_2) &= AB1(x_2, x_1) \\ DC1(x_1, x_2) &= CD1(x_2, x_1) \\ FE1(x_1, x_2) &= EF1(x_2, x_1). \end{aligned}$$

Finalmente, y como ya hemos apuntado, conectando a la salida de $A1(x_1, x_2)$ el inversor $E(x)$ o el $F(x)$ obtenemos el seguidor de dos variables $G1(x_1, x_2)$ cuya tabla de verdad es la 5.2.10. En la tabla 5.2.19 se muestran las 4 formas posibles de implementar dicho seguidor de dos variables $G1(x_1, x_2)$ donde de manera formal se expresa la topología de interconexión empleada. Por ejemplo, la conexión a la salida de $A1(x_1, x_2)$ del inversor $E(x)$ se expresa:

$$G1(x_1, x_2) = E \{A1(x_1, x_2)\}$$

De igual forma, las tablas 5.2.11 á 5.2.18 son las tablas de verdad

de los seguidores de dos variables que resultan de invertir $B1(x_1, x_2)$ á $EF1(x_1, x_2)$ respectivamente, y las tablas 5.2.20 á 5.2.27 muestran las distintas formas de realización junto con su notación.

$x_2 \backslash x_1$	0	1	2
0	2	0	0
1	0	0	0
2	0	0	0

$$A1(x_1, x_2) = \begin{cases} 2 & \text{si } x_1 \cdot x_2 = 2 \\ 0 & \text{si } 0 \cdot 0 \cdot 0 \cdot 0 = 0 \end{cases}$$

Tabla 5.2.1: $A1(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	2	2	0
1	2	2	0
2	0	0	0

$$B1(x_1, x_2) = \begin{cases} 2 & \text{si } 0 \cdot 1 \cdot 0 \cdot 1 = 2 \\ 0 & \text{si } 0 \cdot 1 \cdot 0 \cdot 1 = 0 \end{cases}$$

Tabla 5.2.2: $B1(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	1	0	0
1	0	0	0
2	0	0	0

$$C1(x_1, x_2) = \begin{cases} 1 & \text{si } 0 \cdot 0 \cdot 0 \cdot 0 = 2 \\ 0 & \text{si } 0 \cdot 0 \cdot 0 \cdot 0 = 0 \end{cases}$$

Tabla 5.2.3: $C1(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	1	1	0
1	1	1	0
2	0	0	0

$$D1(x_1, x_2) = \begin{cases} 1 & \text{si } 0 \cdot 1 \cdot 0 \cdot 1 = 2 \\ 0 & \text{si } 0 \cdot 1 \cdot 0 \cdot 1 = 0 \end{cases}$$

Tabla 5.2.4: $D1(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	2	1	1
1	1	1	1
2	1	1	1

$$E1(x_1, x_2) = \begin{cases} 2 & \text{si } 0 \cdot 0 \cdot 0 \cdot 0 = 2 \\ 1 & \text{si } 0 \cdot 0 \cdot 0 \cdot 0 = 0 \end{cases}$$

Tabla 5.2.5: $E1(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	2	2	1
1	2	2	1
2	1	1	1

$$F1(x_1, x_2) = \begin{cases} 2 & \text{si } 0x_1 + 0x_2 = 2 \\ 1 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.6: $F1(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	2	0	0
1	2	0	0
2	0	0	0

$$AB1(x_1, x_2) = \begin{cases} 2 & \text{si } 0x_1 + 0x_2 = 2 \\ 0 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.7: $AB1(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	1	0	0
1	1	0	0
2	0	0	0

$$CD1(x_1, x_2) = \begin{cases} 1 & \text{si } 0x_1 + 0x_2 = 2 \\ 0 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.8: $CD1(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	2	1	1
1	2	1	1
2	1	1	1

$$EF1(x_1, x_2) = \begin{cases} 2 & \text{si } 0x_1 + 0x_2 = 2 \\ 1 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.9: $EF1(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	1	2	2
1	2	2	2
2	2	2	2

$$G1(x_1, x_2) = \begin{cases} 1 & \text{si } 0x_1 + 0x_2 = 2 \\ 2 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.10: $G1(x_1, x_2)$

$x_1 \backslash x_2$	0	1	2
0	1	1	2
1	1	1	2
2	2	2	2

$$H1(x_1, x_2) = \begin{cases} 1 & \text{si } 0 \cdot 1 \cdot 0 \cdot 1 = 2 \\ 2 & \text{si } 0 \cdot 1 \cdot 0 \cdot 1 = 0 \end{cases}$$

Tabla 5.2.11: $H1(x_1, x_2)$

$x_1 \backslash x_2$	0	1	2
0	0	2	2
1	2	2	2
2	2	2	2

$$I1(x_1, x_2) = \begin{cases} 0 & \text{si } 0 \cdot 0 \cdot 0 \cdot 0 = 2 \\ 2 & \text{si } 0 \cdot 0 \cdot 0 \cdot 0 = 0 \end{cases}$$

Tabla 5.2.12: $I1(x_1, x_2)$

$x_1 \backslash x_2$	0	1	2
0	0	0	2
1	0	0	2
2	2	2	2

$$J1(x_1, x_2) = \begin{cases} 0 & \text{si } 0 \cdot 1 \cdot 0 \cdot 1 = 2 \\ 2 & \text{si } 0 \cdot 1 \cdot 0 \cdot 1 = 0 \end{cases}$$

Tabla 5.2.13: $J1(x_1, x_2)$

$x_1 \backslash x_2$	0	1	2
0	0	1	1
1	1	1	1
2	1	1	1

$$K1(x_1, x_2) = \begin{cases} 0 & \text{si } 0 \cdot 0 \cdot 0 \cdot 0 = 2 \\ 1 & \text{si } 0 \cdot 0 \cdot 0 \cdot 0 = 0 \end{cases}$$

Tabla 5.2.14: $K1(x_1, x_2)$

$x_1 \backslash x_2$	0	1	2
0	0	0	1
1	0	0	1
2	1	1	1

$$L1(x_1, x_2) = \begin{cases} 0 & \text{si } 0 \cdot 1 \cdot 0 \cdot 1 = 2 \\ 1 & \text{si } 0 \cdot 1 \cdot 0 \cdot 1 = 0 \end{cases}$$

Tabla 5.2.15: $L1(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	0	2	2
1	0	2	2
2	2	2	2

$$M1(x_1, x_2) = \begin{cases} 0 & \text{si } 0x_1 \cdot 0x_2 = 2 \\ 2 & \text{si } 0x_1 \cdot 0x_2 = 0 \end{cases}$$

Tabla 5.2.16: $M1(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	0	1	1
1	0	1	1
2	1	1	1

$$N1(x_1, x_2) = \begin{cases} 0 & \text{si } 0x_1 \cdot 0x_2 = 2 \\ 1 & \text{si } 0x_1 \cdot 0x_2 = 0 \end{cases}$$

Tabla 5.2.17: $N1(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	1	2	2
1	1	2	2
2	2	2	2

$$O1(x_1, x_2) = \begin{cases} 1 & \text{si } 0x_1 \cdot 0x_2 = 2 \\ 2 & \text{si } 0x_1 \cdot 0x_2 = 0 \end{cases}$$

Tabla 5.2.18: $O1(x_1, x_2)$

$$G_1^1(x_1, x_2) = E[A1(x_1, x_2)]$$

$$G_2^1(x_1, x_2) = F[A1(x_1, x_2)]$$

$$G_3^1(x_1, x_2) = E[C1(x_1, x_2)]$$

$$G_4^1(x_1, x_2) = F[E1(x_1, x_2)]$$

Tabla 5.2.19.

$$I_1^1(x_1, x_2) = B[A1(x_1, x_2)]$$

$$I_2^1(x_1, x_2) = A[C1(x_1, x_2)]$$

$$I_3^1(x_1, x_2) = B[E1(x_1, x_2)]$$

$$I_4^1(x_1, x_2) = A[A1(x_1, x_2)]$$

Tabla 5.2.21.

$$K_1^1(x_1, x_2) = C[A1(x_1, x_2)]$$

$$K_2^1(x_1, x_2) = D[A1(x_1, x_2)]$$

$$K_3^1(x_1, x_2) = D[E1(x_1, x_2)]$$

$$K_4^1(x_1, x_2) = C[C1(x_1, x_2)]$$

Tabla 5.2.23.

$$GH_1^1(x_1, x_2) = E[AB1(x_1, x_2)]$$

$$GH_2^1(x_1, x_2) = F[AB1(x_1, x_2)]$$

$$GH_3^1(x_1, x_2) = E[CD1(x_1, x_2)]$$

$$GH_4^1(x_1, x_2) = F[EF1(x_1, x_2)]$$

Tabla 5.2.25.

$$KL_1^1(x_1, x_2) = C[AB1(x_1, x_2)]$$

$$KL_3^1(x_1, x_2) = D[EF1(x_1, x_2)]$$

$$H_1^1(x_1, x_2) = E[B1(x_1, x_2)]$$

$$H_2^1(x_1, x_2) = F[B1(x_1, x_2)]$$

$$H_3^1(x_1, x_2) = E[D1(x_1, x_2)]$$

$$H_4^1(x_1, x_2) = F[F1(x_1, x_2)]$$

Tabla 5.2.20.

$$J_1^1(x_1, x_2) = A[B1(x_1, x_2)]$$

$$J_2^1(x_1, x_2) = A[D1(x_1, x_2)]$$

$$J_3^1(x_1, x_2) = B[F1(x_1, x_2)]$$

$$J_4^1(x_1, x_2) = B[B1(x_1, x_2)]$$

Tabla 5.2.22.

$$L_1^1(x_1, x_2) = C[B1(x_1, x_2)]$$

$$L_2^1(x_1, x_2) = D[B1(x_1, x_2)]$$

$$L_3^1(x_1, x_2) = C[D1(x_1, x_2)]$$

$$L_4^1(x_1, x_2) = D[F1(x_1, x_2)]$$

Tabla 5.2.24.

$$IJ_1^1(x_1, x_2) = B[AB1(x_1, x_2)]$$

$$IJ_2^1(x_1, x_2) = A[CD1(x_1, x_2)]$$

$$IJ_3^1(x_1, x_2) = B[EF1(x_1, x_2)]$$

$$IJ_4^1(x_1, x_2) = A[AB1(x_1, x_2)]$$

Tabla 5.2.26.

$$KL_2^1(x_1, x_2) = D[AB1(x_1, x_2)]$$

$$KL_4^1(x_1, x_2) = C[CD1(x_1, x_2)]$$

Tabla 5.2.27.

5.2.2. FUNCIONES DE DOS VARIABLES CON ESTRUCTURA NAND.

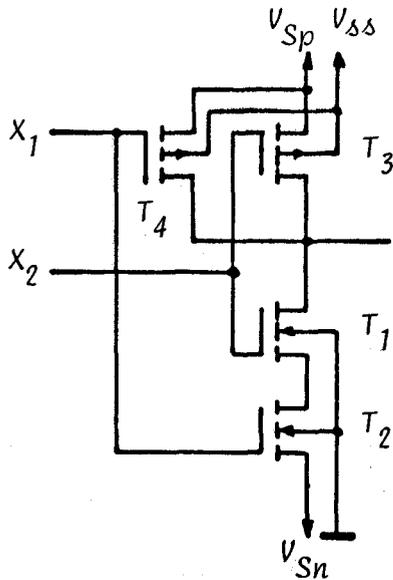


Fig. 5.2.2: Estructura NAND.

El procedimiento para obtener los 9 inversores de dos variables distintos con estructura NOR, es totalmente aplicable a la estructura NAND representada en la figura 5.2.2. De esta forma resultan otras 9 funciones de dos variables con 4 MOSTs en estructura NAND, cuyas tablas de verdad son las mostradas en las tablas 5.2.19 á 5.2.27.

Así por ejemplo, la tabla 5.2.19 corresponde a la función:

$$A2(x_1, x_2) = A(x_1) + A(x_2) = \begin{cases} 2 & \text{si } {}^0x_1 + {}^0x_2 = 2 \\ 0 & \text{si } {}^0x_1 + {}^0x_2 = 0 \end{cases}$$

y la tabla 5.2.25 a la función:

$$AB2(x_1, x_2) = A(x_1) + B(x_2) = \begin{cases} 2 & \text{si } {}^0x_1 + {}^0x_2 = 2 \\ 0 & \text{si } {}^0x_1 + {}^0x_2 = 0 \end{cases}$$

Asímismo, la tabla 5.2.28 á 5.2.36 corresponden a las funciones que resultan de conectar a la salida de las 9 funciones anteriores, un inversor de los seis básicos.

Con la estructura de una puerta NAND o de una puerta NOR, seguidas o no de un inversor de un umbral podemos sintetizar 36 funciones distintas de dos variables, cuya salida sólo contiene dos de los tres valores lógico posibles (48 distintas, si se consideran distintas las funciones al permutar las dos variables). Sin embargo existen $3 \cdot 2^3 = 1.536$ fun-

	x_1			
x_2		0	1	2
0		2	2	2
1		2	0	0
2		2	0	0

$$A2(x_1, x_2) = \begin{cases} 2 & \text{si } 0x_1^0 + 0x_2^0 = 2 \\ 0 & \text{si } 0x_1^0 + 0x_2^0 = 0 \end{cases}$$

Tabla 5.2.19: $A2(x_1, x_2)$

	x_1			
x_2		0	1	2
0		2	2	2
1		2	2	2
2		2	2	0

$$B2(x_1, x_2) = \begin{cases} 2 & \text{si } 0x_1^1 + 0x_2^1 = 2 \\ 0 & \text{si } 0x_1^1 + 0x_2^1 = 0 \end{cases}$$

Tabla 5.2.20: $B2(x_1, x_2)$

	x_1			
x_2		0	1	2
0		1	1	1
1		1	0	0
2		1	0	0

$$C2(x_1, x_2) = \begin{cases} 1 & \text{si } 0x_1^0 + 0x_2^0 = 2 \\ 0 & \text{si } 0x_1^0 + 0x_2^0 = 0 \end{cases}$$

Tabla 5.2.21: $C2(x_1, x_2)$

	x_1			
x_2		0	1	2
0		1	1	1
1		1	1	1
2		1	1	0

$$D2(x_1, x_2) = \begin{cases} 1 & \text{si } 0x_1^1 + 0x_2^1 = 2 \\ 0 & \text{si } 0x_1^1 + 0x_2^1 = 0 \end{cases}$$

Tabla 5.2.22: $D2(x_1, x_2)$

	x_1			
x_2		0	1	2
0		2	2	2
1		2	1	1
2		2	1	1

$$E2(x_1, x_2) = \begin{cases} 2 & \text{si } 0x_1^0 + 0x_2^0 = 2 \\ 1 & \text{si } 0x_1^0 + 0x_2^0 = 0 \end{cases}$$

Tabla 5.2.23: $E2(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	2	2	2
1	2	2	2
2	2	2	1

$$F2(x_1, x_2) = \begin{cases} 2 & \text{si } 0x_1 + 0x_2 = 2 \\ 1 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.24: $F2(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	2	2	2
1	2	2	2
2	2	0	0

$$AB2(x_1, x_2) = \begin{cases} 2 & \text{si } 0x_1 + 0x_2 = 2 \\ 0 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.25: $AB2(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	1	1	1
1	1	1	1
2	1	0	0

$$CD2(x_1, x_2) = \begin{cases} 1 & \text{si } 0x_1 + 0x_2 = 2 \\ 0 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.26: $CD2(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	2	2	2
1	2	2	2
2	2	1	1

$$EF2(x_1, x_2) = \begin{cases} 2 & \text{si } 0x_1 + 0x_2 = 2 \\ 1 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.27: $EF2(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	1	1	1
1	1	2	2
2	1	2	2

$$G2(x_1, x_2) = \begin{cases} 1 & \text{si } 0x_1 + 0x_2 = 2 \\ 2 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.28: $G2(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	1	1	1
1	1	1	1
2	1	1	2

$$H2(x_1, x_2) = \begin{cases} 1 & \text{si } 0x_1 + 0x_2 = 2 \\ 2 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.29: $H2(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	0	0	0
1	0	2	2
2	0	2	2

$$I2(x_1, x_2) = \begin{cases} 0 & \text{si } 0x_1 + 0x_2 = 2 \\ 2 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.30: $I2(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	0	0	0
1	0	0	0
2	0	0	2

$$J2(x_1, x_2) = \begin{cases} 0 & \text{si } 0x_1 + 0x_2 = 2 \\ 2 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.31: $J2(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	0	0	0
1	0	1	1
2	0	1	1

$$K2(x_1, x_2) = \begin{cases} 0 & \text{si } 0x_1 + 0x_2 = 2 \\ 1 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.32: $K2(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	0	0	0
1	0	0	0
2	0	0	1

$$L2(x_1, x_2) = \begin{cases} 0 & \text{si } 0x_1 + 0x_2 = 2 \\ 1 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.33: $L2(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	0	0	0
1	0	0	0
2	0	2	2

$$M2(x_1, x_2) = \begin{cases} 0 & \text{si } 0x_1 + 0x_2 = 2 \\ 2 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.34: $M2(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	0	0	0
1	0	0	0
2	0	1	1

$$N2(x_1, x_2) = \begin{cases} 0 & \text{si } 0x_1 + 0x_2 = 2 \\ 1 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.35: $N2(x_1, x_2)$

$x_2 \backslash x_1$	0	1	2
0	1	1	1
1	1	1	1
2	1	2	2

$$O2(x_1, x_2) = \begin{cases} 1 & \text{si } 0x_1 + 0x_2 = 2 \\ 2 & \text{si } 0x_1 + 0x_2 = 0 \end{cases}$$

Tabla 5.2.36: $O2(x_1, x_2)$

ciones de dos variables cuya salida es bivaluada. De las 36 funciones, 18 precisan sólo 4 MOSTs para su realización y las 18 restantes precisan 6 MOSTs, existiendo para cada función de éste último grupo, 4 circuitos distintos que la realizan. Es decir, existen 90 circuitos distintos para generar los 18 inversores de dos variables y los 18 seguidores de dos variables.

5.3. FUNCIONES DE DOS VARIABLES DE ESTRUCTURA COMPUESTA.

De forma paralela a la expuesta en el capítulo 4, podemos aplicar las 4 formas de interconexión a estos nuevos bloques básicos para obtener nuevas funciones de dos variables. Como hemos visto en el capítulo citado, con la ayuda de estas 4 formas de interconexión podemos llegar a sintetizar la totalidad de las 24 funciones no triviales de una variable. Ahora, como veremos seguidamente, los resultados son también dignos de resaltar por la multiplicidad de funciones de dos variables que permiten ser realizadas con 12 MOSTs o menos. No obstante, la totalidad de las funciones de 2 variables en lógica de 3 valores (que es $3^3 = 19.683$) no es realizable partiendo de las 36 funciones citadas y las 4 formas de interconexión.

Sin embargo, si disponemos de un conjunto funcionalmente completo para generar un álgebra, podremos implementar cualquier función mediante cualquiera de las técnicas clásicas de síntesis descritas en el capítulo 2.

Dicho conjunto funcionalmente completo lo tenemos en todo caso, utilizando operadores de los obtenidos hasta ahora junto con alguna de las funciones de la que vamos a obtener en este apartado. Esto es válido tanto si utilizamos un álgebra de Givone como si utilizamos un álgebra de Vrasenic-Lee-Smith. Pero además, disponemos de una multitud de otras funciones distintas del mismo orden de complejidad y coste que aquellas que

se utilicen para formar el conjunto funcionalmente completo requerido por el álgebra particular elegida. Esto permite al diseñador no ya una libertad de movimiento en su tarea, sino la posibilidad de implementar funciones mediante circuitos mucho más simples a los que se obtendrían a partir de las técnicas clásicas de síntesis.

5.3.1. PRIMERA FORMA DE IMPLEMENTACION.

Como ya hemos apuntado disponemos de 90 circuitos diferentes que realizan los inversores y seguidores de dos variables.

Por otro lado, en concordancia con lo que vimos en el capítulo anterior, la primera forma de interconexión consiste, en esencia, en hacer variar el máximo valor lógico suministrado por un circuito, $\beta(\underline{x})$, mediante otro circuito $\alpha(\underline{x})$, dentro del margen de valores de entrada en el que $\beta(\underline{x})$ debería suministrar dicho valor lógico máximo. La figura 5.3.1 representa un diagrama de bloques de este tipo de estructura, para dos variables de entrada.

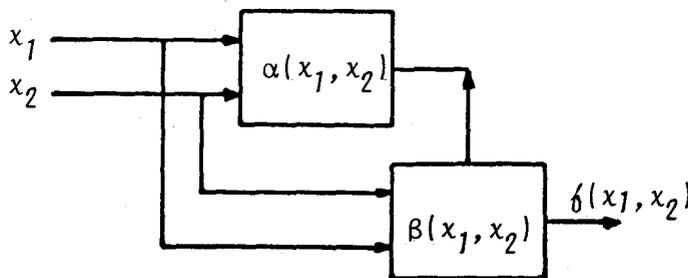


Fig. 5.3.1.

Como quiera que, lo que interesa de $\alpha(x_1, x_2)$ es su salida, con los circuitos vistos hasta ahora, sólo disponemos en principio de 36 posibilidades para $\alpha(x_1, x_2)$. Sin embargo, para $\beta(x_1, x_2)$ disponemos de mayor número de posibilidades, aunque como veremos, no todas conducen a un resultado positivo, debido a que o bien, no funcionan correctamente, o bien realizan funciones ya obtenidas de una forma más simple.

Para empezar fijémosnos en aquellas funciones candidatas a actuar como $\beta(x_1, x_2)$ y que se obtengan mediante una NOR (o una NAND) seguidas por un inversor de un umbral, es decir, las 18 funciones G1-KL1 y G2-KL2. En estas funciones el máximo valor lógico de salida se obtiene a partir de la tensión V_{Sp} del inversor de salida (ver figura) y éste en cada una de dchas funciones sólo puede ser de dos tipos distintos. Por esta razón, de los 90 circuitos obtenidos hasta ahora, sólo 54 circuitos son diferentes desde el punto de vista de la primera forma de interconexión.

Ahora, las condiciones dadas en el apartado 4.6 para esta forma de interconexión adquieren una expresión algo más compleja. Obsérvese, que cualquiera de las funciones de dos variables obtenidas hasta ahora, tiene un umbral lógico diferente, en principio, si se mantiene fija una variable y se la considera únicamente función de la otra y viceversa. Es decir, considerando por ejemplo el caso de la función $AB1(x_1, x_2)$ en ella vemos que:

$$t_{AB1}(x_1, 0) = 0'5$$

$$t_{AB1}(0, x_2) = 1'5$$

Evidentemente para $A1(x_1, x_2)$ tenemos que $t_{A1}(x_1, 0) = t_{A1}(0, x_2) = 0'5$

Para el caso de funciones con estructura NAND, tal y como $AB2(x_1, x_2)$ tenemos que :

$$t_{AB2}(x_1, 2) = 0'5$$

$$t_{AB2}(2, x_1) = 1'5$$

pero es claro que $t_{AB2}(x_1, 0)$ o $t_{AB2}(0, x_2)$ no existen.

En consecuencia la condición primera del apartado 4.6 toma la forma siguiente: $\exists i \in \{0, 1, \dots, p\}$ en el que:

$$t_\alpha(x_1, i) \neq t_\beta(x_1, i)$$

o bien, $\exists j \in \{0, 1, \dots, p\}$; sino existe alguno de los dos, se supone que se cumple la desigualdad.

$$t_\alpha(j, x_2) \neq t_\beta(j, x_2)$$

Esto hace que de nuevo se vea reducido el número de circuitos candidatos a poder ser conectados en el lugar de $\beta(x_1, x_2)$. Sea por ejemplo $\alpha(x_1, x_2) = E1(x_1, x_2)$ con lo que: $t_\alpha(x_1, 0) = t_\alpha(0, x_1) = 0'5$ y no existen $t_\alpha(x_1, i)$ ni $t_\alpha(i, x_2) \forall i \neq 0$. De los 54 circuitos que teníamos, hay 9 (A1, C1, E1, G₁1, G₃1, I₁1, I₂1, K₁1, K₂1) que tienen los mismos umbrales lógicos anteriores. Por tanto, quedan sólo 45 posibilidades para $\beta(x_1, x_2)$.

Además, condiciones análogas a la segunda y tercera del apartado 4.6 se deben cumplir con objeto de evitar que se produzcan salidas de alta impedancia o de un valor lógico no predecible para ciertas combinaciones de entrada. De esta forma vemos que, para cada una de las 36 funciones que pueden tomar el lugar de $\alpha(x_1, x_2)$ en la figura 5.3.1, debemos probar (al menos) 45 circuitos para determinar si situados en el lugar de $\beta(x_1, x_2)$, si verifican o no las dos condiciones citadas. Con esto obtenemos las distintas funciones que resultan mediante la PFI. Evidentemente un problema de ésta índole sólo es práctico abordarlo a partir de un programa de ordenador que, por simulación lógica, suministre el conjunto de circuitos válidos que resultan (de las 828 posibilidades).

Como muestra de lo que acabamos de decir, en las figuras 5.3.2 á 5.3.10 se dan todos los circuitos posibles con la PFI y $\alpha(x) = E1(x_1, x_2)$.

El primero de ellos, figura 5.3.2, es de gran importancia práctica como hemos visto, pues es la operación \overline{MAX} . Las 4 siguientes son funciones distintas a ésta aunque del mismo grado de complejidad.

Asímismo, y aunque no enumeremos todas, otras funciones de interés como $(x + y)$, $(x + y)^{\rightarrow}$, $(\overline{x \cdot y})$ o $(x \cdot y)$ pueden ser obtenidas de esta forma, como muestran las figuras 5.3.10, 5.3.11, 5.3.12 y 5.3.13 respectivamente.

Por otro lado, también aparecen funciones nuevas cuya salida sólo

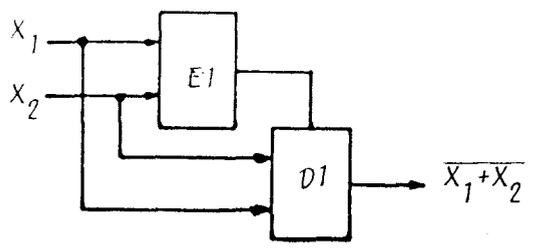


Fig. 5.3.2;

$x_2 \backslash x_1$	0	1	2
0	2	1	0
1	1	1	0
2	0	0	0

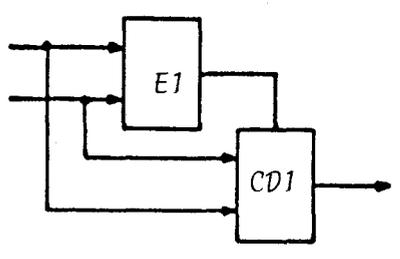


Fig. 5.3.3.

$x_2 \backslash x_1$	0	1	2
0	2	0	0
1	1	0	0
2	0	0	0

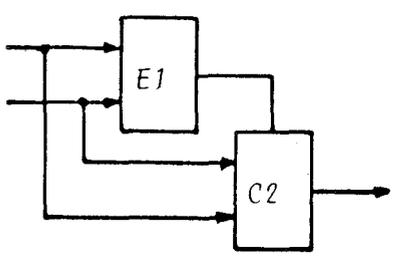


Fig. 5.3.4.

$x_2 \backslash x_1$	0	1	2
0	2	1	1
1	1	0	0
2	1	0	0

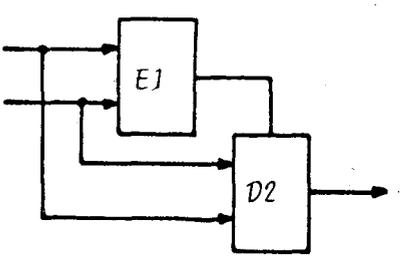


Fig. 5.3.5.

$x_2 \backslash x_1$	0	1	2
0	2	1	1
1	1	1	1
2	1	1	0

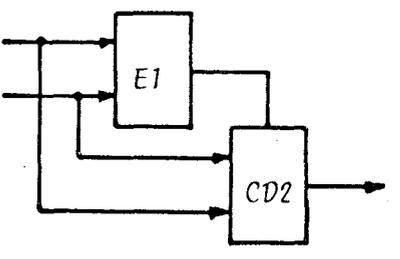
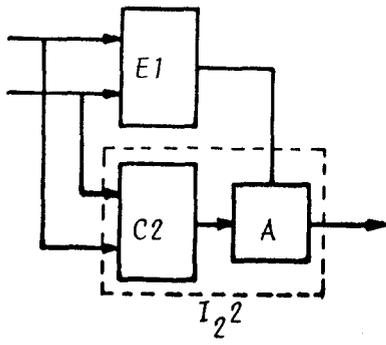


Fig. 5.3.6.

$x_2 \backslash x_1$	0	1	2
0	2	1	1
1	1	1	1
2	1	0	0



	x_1	0	1	2
x_2	0	2	1	1
	1	0	1	1
	2	0	1	1

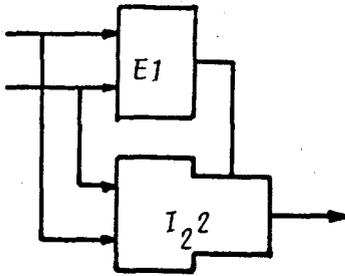
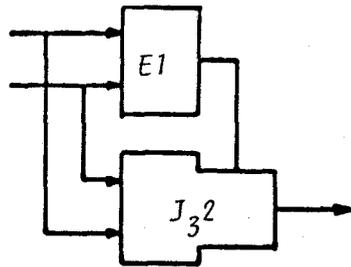
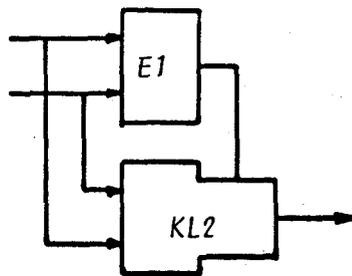


Fig. 5.3.7.



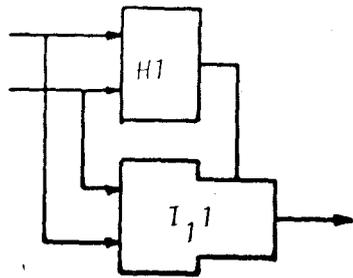
	x_1	0	1	2
x_2	0	2	1	1
	1	1	1	1
	2	0	0	1

Fig. 5.3.8.



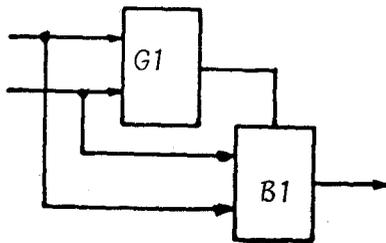
	x_1	0	1	2
x_2	0	2	1	1
	1	1	1	1
	2	0	1	1

Fig. 5.3.9.



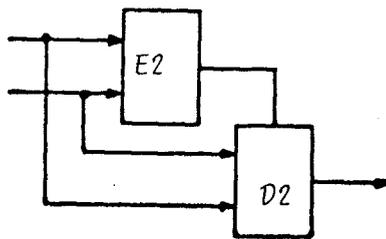
$x_2 \backslash x_1$	0	1	2
0	0	1	2
1	1	1	2
2	2	2	2

Fig. 5.3.10.



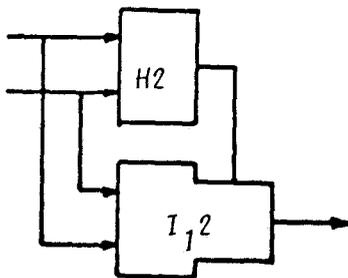
$x_2 \backslash x_1$	0	1	2
0	1	2	0
1	2	2	0
2	0	0	0

Fig. 5.3.11.



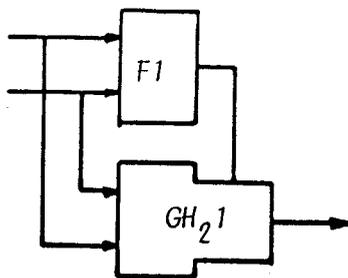
$x_2 \backslash x_1$	0	1	2
0	2	2	2
1	2	1	1
2	2	1	0

Fig. 5.3.12.



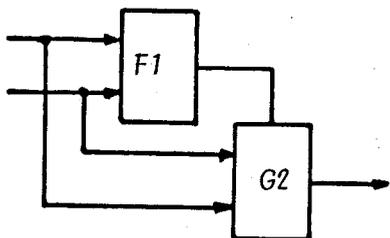
$x_2 \backslash x_1$	0	1	2
0	0	0	0
1	0	1	1
2	0	1	2

Fig. 5.3.13.



$x_1 \backslash x_2$	0	1	2
0	1	2	1
1	1	2	1
2	1	1	1

Fig. 5.3.14.



$x_1 \backslash x_2$	0	1	2
0	2	2	1
1	1	2	1
2	1	1	1

Fig. 5.3.15.

contienen dos valores lógicos y que no son generables por una estructura NOR o NAND. Ejemplos de tal tipo de funciones, junto con sus tablas correspondientes, se muestran en las figuras 5.3.14 y 5.3.15.

Aparte de lo expuesto hasta ahora, el número de funciones generables mediante PFI utilizando circuitos con estructura NAND es más amplio. Recordemos que en el subapartado 5.2.1 dijimos que para que una estructura tal tuviera un funcionamiento correcto, los MOSTs involucrados debían pertenecer a inversores de un umbral con el mismo vector de valores. Veamos esto con algún detenimiento. Formemos, por ejemplo, un circuito con estructura NAND a partir de $A(x)$ y $E(x)$ como muestra la figura 5.3.16. La salida de tal circuito está perfectamente definida para

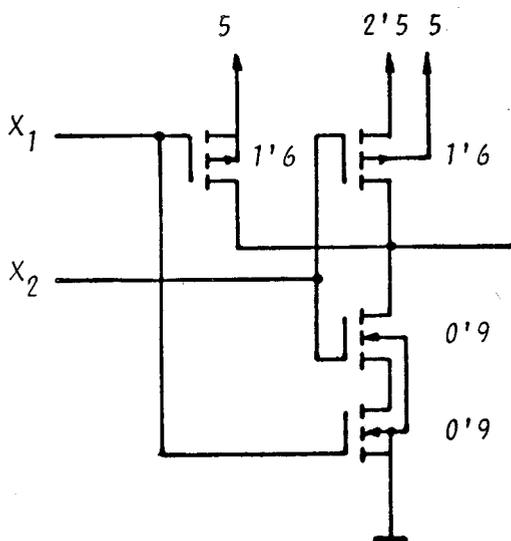


Fig. 5.3.16.

$x_2 \backslash x_1$	0	1	2
0	?	1	1
1	2	0	0
2	2	0	0

Tabla 5.3.1.

todos los patrones de entrada, como muestra la tabla 5.3.1, salvo para $x_1 = x_2 = 0$ en la que ambos MOSTs de canal p conducen simultáneamente, existiendo conflicto entre las tensiones que cada uno intenta fijar.

Sin embargo, si V_{Sp2} está conectado mediante la PFI a la función $E(x_1)$ como se muestra en la figura 5.3.17, el circuito funciona correctamente generando la función dada por la tabla 5.3.2.

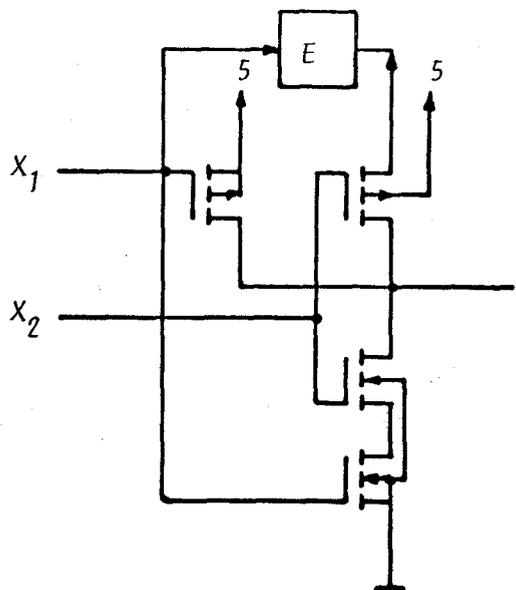


Fig. 5.3.17.

	x_1	0	1	2
x_2	0	2	1	1
	1	2	0	0
	2	2	0	0

Tabla 5.3.2.

De esta forma, las estructuras NAND, AD, BC y BD, adecuadamente mo
duladas generan nuevas funciones.

5.3.2. SEGUNDA FORMA DE IMPLEMENTACION.

La segunda forma de síntesis para funciones de más de una variable obedece a un diagrama de bloques tal y como el mostrado en la figura 5.3.19. Por una discusión análoga a la hecha en el subpartado anterior vemos que es posible la obtención, mediante esta forma de interconexión del mismo número de funciones, aunque muchas de ellas seran distintas tales como $(x + y)^{\leftarrow}$ o $(x \cdot y)^{\leftarrow}$.

Además, tambien en este caso disponemos de nuevas posibilidades a partir de estructuras, que ahora son del tipo NOR, que no teniendo aisladamente un funcionamiento correcto, conducen a funciones nuevas por SPI. Es el caso de, por ejemplo, el circuito mostrado en la figura 5.3.20, en el que la estructura NOR está formada a partir de los inversores $A(x)$

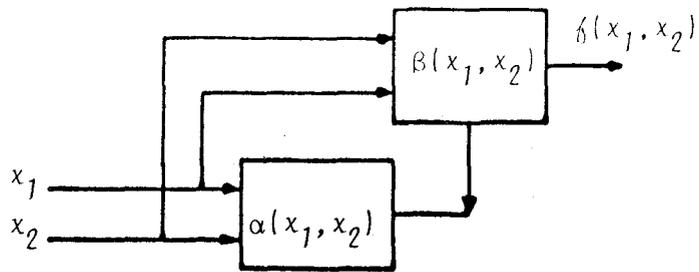


Fig. 5.3.19.

y $E(x)$. La tabla de verdad de dicho circuito es la que se muestra en la tabla 5.3.3.

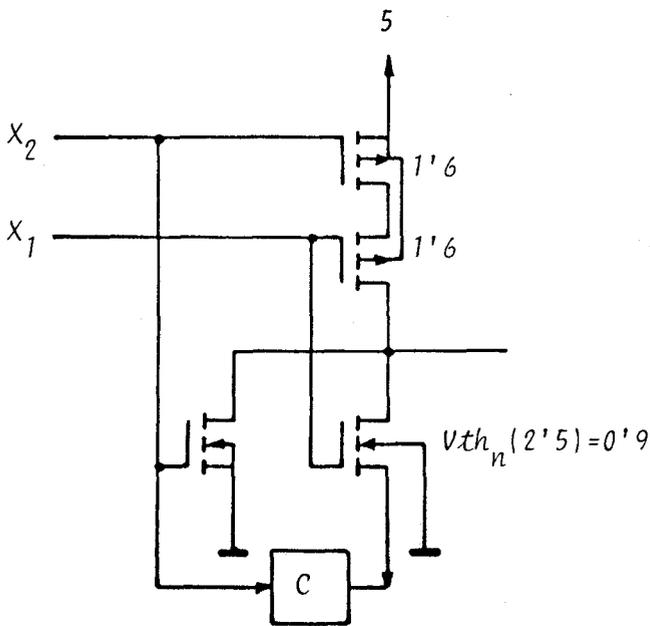


Fig. 5.3.20.

$x_1 \backslash x_2$	0	1	2
0	2	0	0
1	1	0	0
2	1	0	0

Tabla 5.3.3.

De esta manera tambien se puede obtener funciones nuevas a partir de las estructuras NOR: AF, BE y BF respectivamente.

5.3.3. TERCERA Y CUARTA FORMA DE SINTESIS.

Como vimos en el apartado 4.6 la tercera forma, TFI, se basa en mo-

dular, la tensión V_{Sp} de un operador, entre un valor lógico y el estado de alta impedancia. Una vez vista las estructuras de circuito del tipo NOR y NAND, podemos contemplar esta tercera forma de síntesis desde una perspectiva que se facilite su generalización a funciones de mayor número de variables. Por comodidad reproducimos en la figura 5.3.21 el

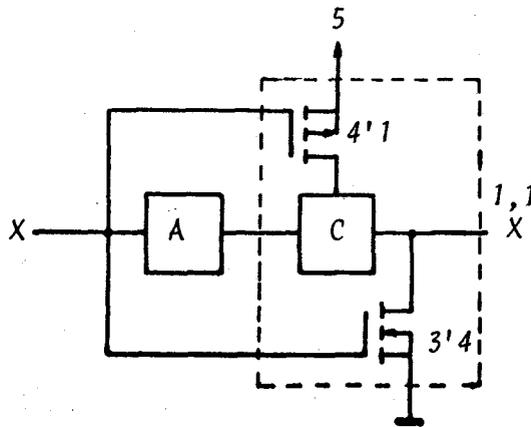


Fig. 5.3.21.

ejemplo de la figura 4.3.36. Es fácil darse cuenta de que el subcircuito que aparece enmarcado en la figura 5.3.21 no es más que la función NOR CB, cuyo diagrama de circuito es el mostrado en la figura 5.3.22.

T_3 ($V_{th} = 1'6$ v. para $V_{Sp} = 2'5$ v.) y T_4 ($V_{th} = 0'9$ v.) forman $C(x_2)$; T_1 ($V_{th} = 4'1$ v. para $V_{Sp} = 5$ v.) y T_2 ($V_{th} = 3'4$ v.) forman $B(x_1)$. Este circuito posee la tabla de salida 5.3.4.

Nótese que tanto para $(x_1, x_2) = (01)$ como para $(x_1, x_2) = (11)$ la salida no es predecible por encontrarse en conducción simultánea T_1 , T_3 y T_4 . Sin embargo, al conectar $A(x)$ a la entrada X_2 , como se muestra en la figura 5.3.21, los únicos patrones de entrada que realmente aplicamos a las entradas de CB son $(x_1, x_2) = (02), (10), (20)$, los cuales como vemos en la tabla 5.3.4 conducen a una salida perfectamente definida. En consecuencia, la figura 5.3.21, y en general cualquier circuito de la tercera forma, la podemos representar de forma más compacta por un diagrama de

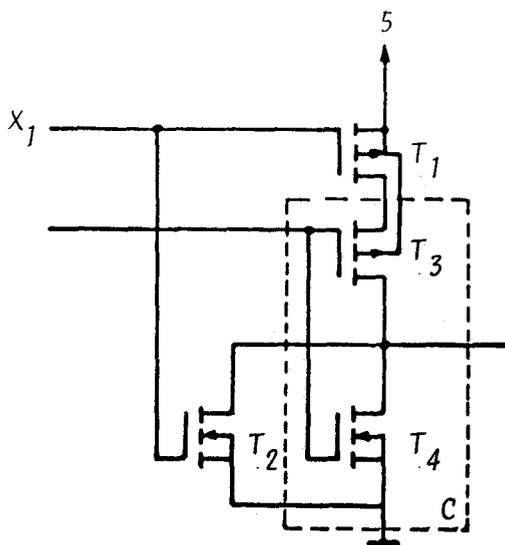


Fig. 5.3.22.

$x_1 \backslash x_2$	0	1	2
0	2	2	0
1	?	?	0
2	0	0	0

Tabla 5.3.4.

bloques como el de la figura 5.3.23. Es decir, en otras palabras, la ter

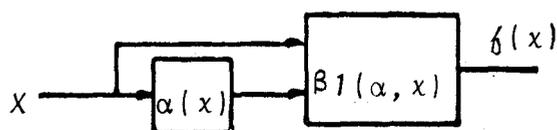


Fig. 5.3.23.

cera forma de interconexión para funciones de una variable no es más que la utilización conjunta de un inversor de un umbral y un circuito tipo NOR de dos variables interconectados en la forma indicada.

Por simetría, podemos contemplar la cuarta forma de implementación (CFI) para funciones de una variable como la que resulta de la utilización combinada de un inversor de un umbral y un circuito tipo NAND de dos variables, interconectados en la forma también indicada por la figura 5.3.23 (salvo que ahora es $\beta_2[\alpha(x), x]$ según la nomenclatura adoptada).

Por otro lado, todas las funciones de una variable que se implementan a partir de tres inversores con la PFI $x \rightarrow, 1 + \overset{1}{x} \overset{1}{x}$, $x \rightarrow, 1 \cdot \overset{1}{x} \overset{1}{x}$ (ver figuras 4.6.3 á 4.6.15) y utilizando los mismos componentes se pueden sintetizar de la TFI (ver apartado 4.6) y en consecuencia obe-

decen a la estructura de la figura 5.3.23 en la que se utiliza un circuito NOR. Paralelamente, todas las funciones de una variable que se implementan a partir de tres inversores con la SFI $(x \Rightarrow)^{\rightarrow}$, $1 + \overline{\overline{x}}$, $x \leftarrow$, $1 \cdot \overline{\overline{x}}$ (ver figuras 4.6.22 á 4.6.35) obedecen a la estructura de la figura 5.3.23 tambien, pero en la que se utiliza un circuito NAND.

Co esta perspectiva, el abordar la obtención de funciones de dos variables mediante la TFI es inmediata: mediante la interconexión de una NOR o NAND de dos variables ($\alpha(x_1, x_2)$) con una NOR de tres variables de la forma indicada en el diagrama de bloques de la figura 5.3.24.

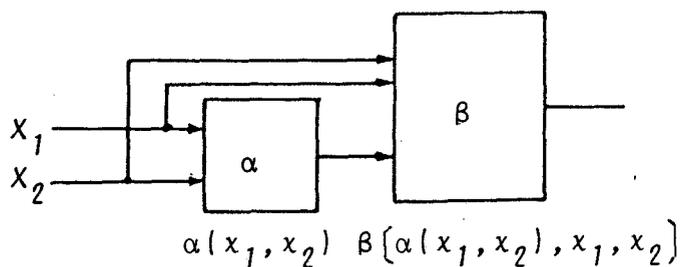


Fig. 5.3.24.

Como ejemplo, la contrapartida para funciones de dos variables, del circuito de la figura 5.3.21 es el que se muestra en la figura 5.3.25, que realiza la función $\overline{\overline{x_1}} + \overline{\overline{x_2}}$ y cuya tabla es la tabla 5.3.5.

Ahora, igual que ocurre para funciones de una variable, toda función de dos variables que requiera para su síntesis por la PFI dos inversores de dos variables y un inversor de un umbral (por ejemplo, el cir-

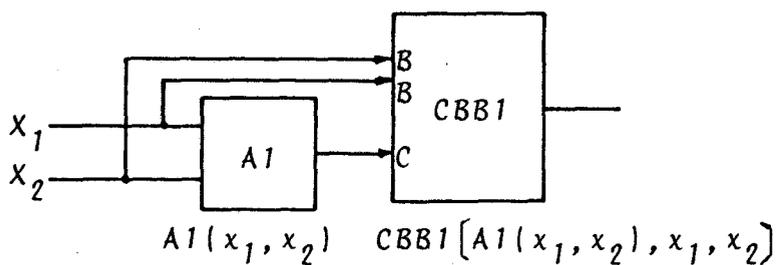


Fig. 5.3.25.

	x_1	0	1	2
x_2	0	0	2	0
1	2	2	0	
2	0	0	0	

Tabla 5.3.5.

cuito de la figura 5.3.7). Se puede sintetizar mediante la TFI, utilizando los mismos MOSTs. Nótese que aquí en general el bloque $\beta[\alpha(x_1, x_2), x_1, x_2]$ puede tener una estructura algo más compleja. Este es el caso de la figura 5.3.26 que es el resultado de combinar una estructura NAND y una estructura NOR.

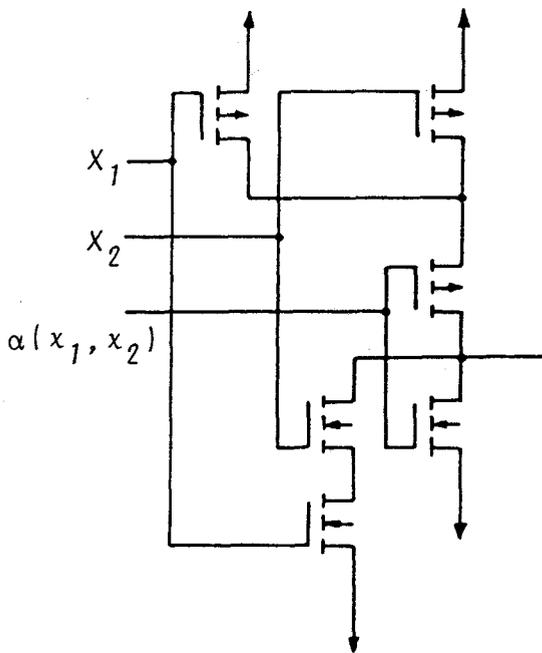


Fig. 5.3.26.

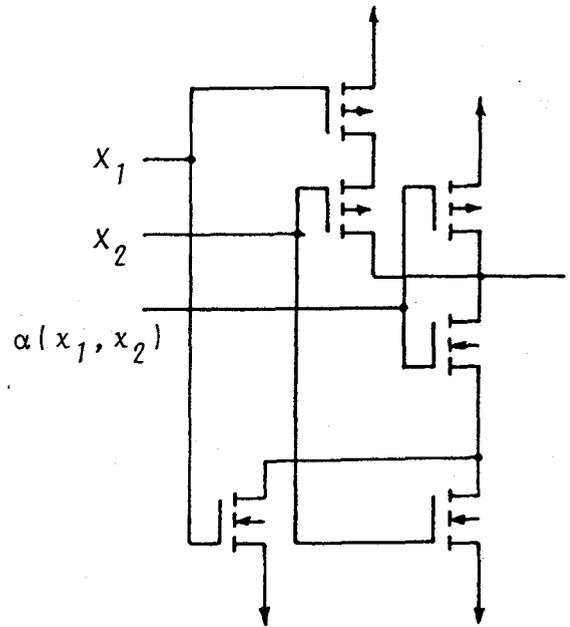


Fig. 5.3.27.

De forma simétrica, las funciones sintetizables por la CFI pueden requerir que el bloque $\beta[\alpha(x_1, x_2), x_1, x_2]$ tenga la estructura de una NOR y una NAND combinadas, como es el caso de la figura 5.3.27, o bien una NAND pura de tres entradas.

5.4. FUNCIONES DE DOS VARIABLES CON ESTRUCTURA EXOR.

Un hecho que se ha podido constatar en lo expuesto hasta ahora y que merece la pena recalcar, es que cualquier estructura de circuito CMOS existente para el caso de lógica binaria tiene varias réplicas en el caso multivaluado. Es decir, en nuestro caso concreto, con la misma estructura de circuito y alterando sólo los MOSTs que la constituyen, ob-

tenemos funciones ternarias distintas. Para corroborar ésto y por su interés intrínseco, en este apartado vamos a ver la familia de funciones de dos variables que surgen al considerar la estructura de circuito de la función ExOR binaria. Al igual que ocurre a partir de las estructuras NOR y NAND, las funciones que resultan son bivaluadas, es decir, su salida sólo contiene dos de los tres valores lógicos.

La función ExOR para lógica binaria y con tecnología CMOS obedece al diagrama de circuito de la figura 5.4.1 /2/. En el diagrama se expresa los valores lógicos en cada nudo, para cada combinación de entrada, e indicando con " * " los estados de alta impedancia. Nótese que es es

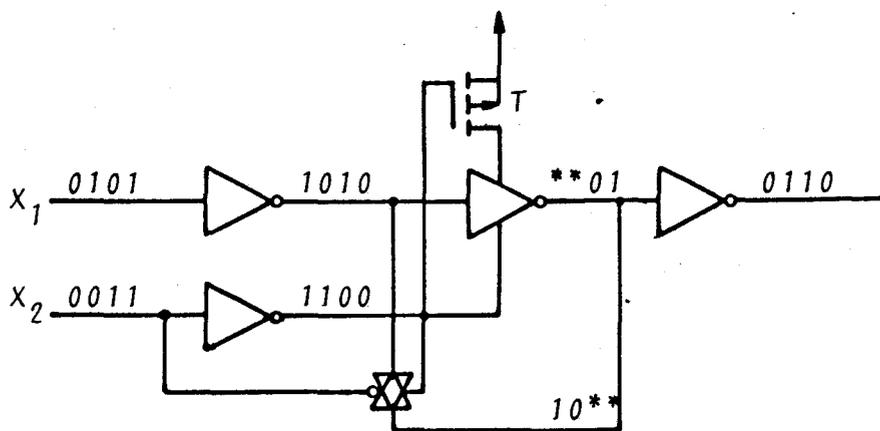


Fig. 5.4.1 : Estructura ExOR.

ta realización es más eficiente que si se realizara con puertas NAND por ejemplo.

Sustituyendo en tal circuito cada inversor binario por un inversor de un umbral y el MOST T por uno de los MOSTs de canal p de los obtenidos en el capítulo 4, es posible generar toda una gama distinta de funciones para lógica de tres valores. A su vez estas funciones pueden ser consideradas como básicas para, mediante las cuatros formas de implementación ya expuestas, obtener nuevas funciones de mayor complejidad.

A continuación vamos a evaluar el número de funciones que podemos obtener, así como exponer algunos ejemplos de ellas.

Sustituyendo en la figura 5.4.1 todos los inversores binarios por inversores de un umbral del tipo $A(x)$, y el MOST T por $P_2(P_4 \text{ ó } P_3)$, obtenemos el circuito de la figura 5.4.2, que realiza la función de la tabla 5.4.1.

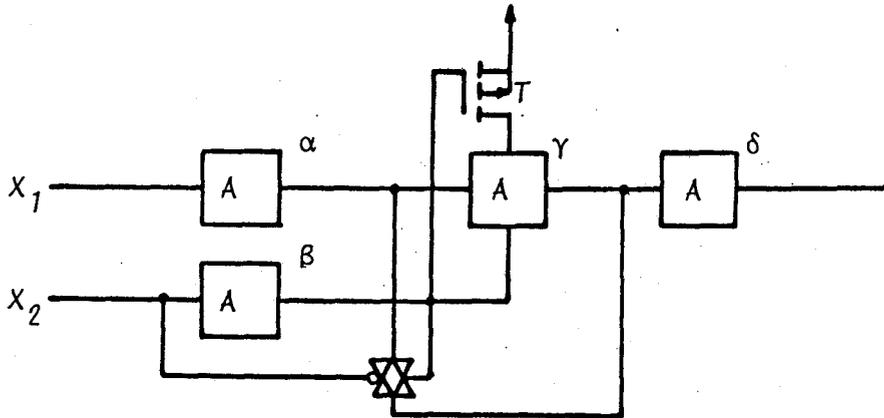


Fig. 5.4.2 .

$x_2 \backslash x_1$	0	1	2
0	0	2	2
1	2	0	0
2	2	0	0

Tabla 5.4.1.

$x_2 \backslash x_1$	0	1	2
0	0	1	1
1	1	0	0
2	1	0	0

Tabla 5.4.2.

$x_2 \backslash x_1$	0	1	2
0	1	2	2
1	2	1	1
2	2	1	1

Tabla 5.4.3.

En primer lugar, si tal estructura la realizamos de forma que, en lugar del inversor $A(x)$ de la etapa de salida señalado con δ en la figura 5.4.2, ponemos $C(x)$ ó $D(x)$ obtenemos la función dada en la tabla 5.4.2. Si es $E(x)$ (ó $F(x)$) el inversor utilizado, obtenemos la función dada por la tabla 5.4.3. En conclusión, simplemente variando la construc

$x_2 \backslash x_1$	0	1	2
0	0	2	2
1	0	2	2
2	2	0	0

Tabla 5.4.4.

$x_2 \backslash x_1$	0	1	2
0	0	1	1
1	0	1	1
2	1	0	0

tabla 5.4.5.

$x_2 \backslash x_1$	0	1	2
0	1	2	2
1	1	2	2
2	2	1	1

Tabla 5.4.6.

ción de δ tenemos tres funciones distintas.

En segundo lugar, si la etapa de entrada de la señal x_2 , es decir, el inversor de un umbral señalado en la figura 5.4.2 con β , los sustituimos por $B(x)$, y de nuevo analizamos todas las posibilidades para la etapa de salida (δ), se obtienen las funciones de las tablas 5.4.4 á 5.4.6. Sin embargo, es de destacar que por lo que respecta al inversor β de la figura 5.4.2, estas dos son las únicas posibilidades. La razón de ello estriba en que es el inversor encargado de controlar la puerta de transmisión. En el apéndice 3 se trata la implementación de una puerta de transmisión a partir de los MOSTs obtenidos en el capítulo 4, y él se expone que tales puertas han de controlarse con los valores lógicos 2 y 0 para que presenten baja impedancia para los tres valores lógicos a transmitir. Resumiendo, para el lugar β sólo son posibles los dos inversores de un umbral $A(x)$ y $B(x)$.

En tercer lugar, el inversor de un umbral marcado con α en la figura 5.4.2, puede ser cualquiera de los 6 inversores de un umbral $A(x)$ a $F(x)$, por tanto se multiplican por 6 el número de circuitos.

En cuarto lugar, el inversor situado en el lugar γ con el MOST T asociado, puede ser $A(x)$, $B(x)$, $C(x)$ o $D(x)$. Por tanto, hasta ahora disponemos de $n_\delta \cdot n_\beta \cdot n_\alpha \cdot n_\gamma = 3 \cdot 2 \cdot 6 \cdot 4 = 124$ circuitos distintos.

Adicionalmente, veamos el caso en el que el inversor γ sea el inversor de un umbral $E(x)$. En este caso, siempre que la salida del inversor situado en el lugar β sea el estado 0, el MOST N1 de $E(x)$ estará en conducción, independientemente del valor de entrada, que exista simultáneamente conducción de los dos MOSTs en dicho inversor, que provocará a su vez una entrada no predecible en δ . Por último, si es $F(x)$ el que ocupa el lugar γ éste problema se presenta tan sólo si el inversor α presenta algun 1 lógico en su salida (a la vez que β presenta un 0 lógico). En este caso habría conducción simultánea de los dos MOSTs de $F(x)$. En con-

secuencia, como $A(x)$ y $B(x)$ no presentan 1 lógico en su salida, pueden ocupar el lugar α , estando el inversor $F(x)$ en el lugar γ . Por tanto, disponemos de $n_\delta \cdot n_\beta \cdot n_\alpha^1 = 3 \cdot 2 \cdot 2$ circuitos más.

En definitiva, el número de circuitos posibles con estructura ExOR es 136.

5.5. RESUMEN.

En este capítulo hemos expuesto la realización de funciones de más de una variable, a partir de combinar el conjunto de MOSTs obtenidos en el capítulo 4 con las estructuras de circuito convencionales en la familia CMOS binaria. Se ha introducido el concepto de inversor de dos variables (y en general, de más de una variable), como una generalización del inversor de un umbral, que incluye como casos particulares las estructuras NOR y NAND. Asimismo hemos visto la diversidad de funciones ternarias que es posible obtener con la misma estructura que la función ExOR binaria. Por otra parte, se ha querido destacar el amplio espectro de funciones que surgen de interconectar mediante las cuatro formas de implementación los bloques anteriores. De esta forma, y a modo de ejemplo, hemos obtenidos algunas de gran interés, como las operaciones MAX y MIN, cuyos circuitos son más simples que los anteriormente reportados.

No obstante, queda fuera del presente trabajo el hacer una clasificación de los circuitos resultantes con vistas a disponer de una sistemática de diseño. Es decir, dada una función a implementar, encontrar el conjunto de subfunciones, que la realice de la forma más simple posible. No obstante ello puede hacerse mediante las cuatro formas de implementación propuestas o bien mediante las técnicas de minimización en un álgebra tipo A o de tipo B, de las que hablamos en el capítulo 2.

En el capítulo 7 expondremos algunos ejemplos de aplicación de los circuitos obtenidos en estos dos últimos capítulos, al diseño de sistemas

digitales que operen en lógica ternaria, que poseen gran importancia prá
tica.

REFERENCIAS DEL CAPITULO 5.

- /1/ .- O.Ishizuka: " On Multivalued Multithreshold Networks Composed of
Conventional Threshold Elements ". IEEE Trans. on
Computers, C-26, n°12, Dec.1977, pp.1251-1257.
- /2/ .- Motorola Semic. Prod. Inc.: " CMOS Handbook ". 1974.

CAPITULO 6.

CARACTERISTICAS DINAMICAS.

INDICE

6.1. INTRODUCCION.	PAG. 6.1
6.2. TIEMPOS DE CONMUTACION: TIEMPOS DE SUBIDA Y TIEMPOS DE BAJADA.	6.2
6.2.1. TIEMPO DE BAJADA.	6.3
6.2.2. TIEMPO DE SUBIDA.	6.6
6.2.3. INVERSORES DE UN UMBRAL.	6.9
6.3. TIEMPOS DE PROPAGACION.	6.12
6.4. TIEMPOS DE CONMUTACION DEL INVERSOR TERNARIO: TRANSICIONES SIMPLES.	6.16
6.4.1. TRANSICIONES $0 \rightarrow 1$ Y $1 \rightarrow 0$.	6.17
6.4.2. TRANSICION $2 \rightarrow 0$.	6.18
6.5. TIEMPOS DE CONMUTACION DEL INVERSOR TERNARIO: TRANSICIONES COMPLEJAS.	6.18
6.5.1. DESCRIPCION DEL CIRCUITO AUXILIAR.	6.19
6.5.2. TRANSICION $0 \rightarrow 2$.	6.21
6.5.3. TRANSICION $1 \rightarrow 2$.	6.26
6.5.4. TRANSICION $2 \rightarrow 1$.	6.28
6.6. TIEMPOS DE CONMUTACION DEL OPERADOR COMPLEMENTO TIPO SFI.	6.32
6.7. POTENCIA DISIPADA Y FRECUENCIA MAXIMA DE OPERA- CION: FACTOR DE MERITO.	6.37
6.7.1. ELECCION DEL CIRCUITO TIPO.	6.38

6.7.2. CALCULO DE LA POTENCIA MEDIA DISIPADA PARA LOGICA TERNARIA.	6.38
6.7.3. FACTOR DE MERITO PARA UNA BASE GENERICA.	6.41
6.7.4. CONSIDERACIONES SOBRE LA EVALUACION EX- PERIMENTAL DEL FACTOR DE MERITO.	6.42
REFERENCIAS.	6.45

6.1. INTRODUCCION.

Hasta este momento hemos abordado el diseño de nuevos circuitos realizados en tecnología CMOS desde la perpestiva de lograr un determinado comportamiento lógico en bases superiores a dos. Dicho de otra manera, únicamente nos hemos preocupado de las características estáticas de tales circuitos y sólo de forma marginal hemos hecho referencia a su comportamiento dinámico. No obstante, en la práctica, la velocidad de conmutación es un aspecto primordial de una familia lógica. Por ello, conviene desarrollar un estudio detallado que nos permita determinar los valores típicos de los diferentes parámetros temporales significativos.

En el presente capítulo abordaremos el estudio de tal comportamiento mediante un modelo razonablemente simple. Por simulación, determinaremos los parámetros de los MOSTs que influyen en la respuesta transitoria y, por tanto, han de tenerse en cuenta como complemento de las consideraciones estáticas para un diseño realista de los circuitos que se proponen en esta memoria.

Concretando, en el apartado 6.2 acometemos el cálculo de los tiempos

de conmutación de los seis inversores de un umbral, haciendo hincapié en el mayor número de dichos tiempos que ahora hay que considerar. Ello es una consecuencia directa del mayor número de niveles lógicos. Seguidamente se expone el cálculo de los tiempos de propagación, poniéndose de manifiesto el problema de su medida experimental a partir del "par de retraso" en un anillo oscilador. El apartado 6.4 está dedicado al estudio de los tiempos de transición del operador complemento ternario a partir de su simulación mediante un modelo simple, aunque convenientemente contrastado con la experiencia. Hemos elegido dicho operador por ser sus realizaciones representativas de las PFI y SFI y las más simples de ellas. Por último, hacemos una evaluación de la potencia típica consumida por un elemento representativo de la familia CMOS expuesta y proponemos una definición de factor de mérito que sea útil para la comparación de distintas familias lógicas independientemente de la base para la que hayan sido diseñadas.

6.2. TIEMPOS DE CONMUTACION: TIEMPOS DE SUBIDA Y TIEMPOS DE BAJADA.

Ecuaciones analíticas que modelen la respuesta transitoria, a una función escalón de entrada, de los inversores MOST y en particular, del inversor CMOS típico, se encuentran ampliamente en la bibliografía consultada /1-4/. Sin embargo tal y como aparecen formuladas no son directamente aplicables al caso genérico del inversor CMOS que aparece en la

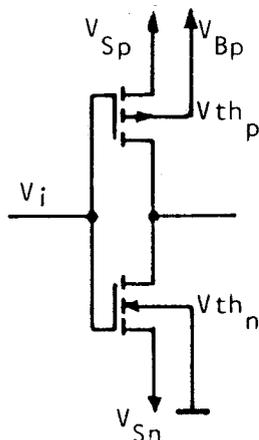


figura 6.2.1, en el que los surtidores y los substratos de ambos MOSTs pueden tener tensiones distintas.

Por otra parte, dejando de lado la mayor o menor exactitud del modelo utilizado para los MOSTs, los resultados obtenidos no dejan de ser más que una aproximación a

Fig. 6.2.1: Inversor CMOS

la situación real, ya que, las más de las veces la entrada del circuito provendrá de otro inversor y por tanto no es una función escalón. Un análisis que tiene en cuenta este efecto puede encontrarse en la referencia /5/, pero su complejidad hace cuestionable el interés real que presenta. En cualquier caso esta influencia no es muy marcada, ya que como mucho el tiempo de subida y el de bajada se incrementa como la raíz cuadrada del número de etapas conectadas en cascada /2/.

Teniendo en cuenta las consideraciones anteriores, nuestro primer paso vuelve a ser seleccionar un modelo que conjugue simplicidad con precisión. Por ello, haremos la idealización de considerar las entradas como funciones escalón y emplearemos el modelo de control de carga para los MOSTs. Asimismo, no tendremos en cuenta aquellas capacidades parásitas de los dispositivos cuya influencia puede considerarse de segundo orden, considerando únicamente las capacidades de salida y entrada del inversor a las que tomaremos como constantes. Estas restricciones son convencionales en la bibliografía especializada y se reconocen como adecuados los resultados que facilitan en estructuras binarias. Con estas premisas la ecuación diferencial que gobierna la respuesta transitoria es:

$$C_L \frac{d v_o}{d t} = I_p - I_n \quad (6.1)$$

donde I_p e I_n son las intensidades que circulan por los MOSTs de canal p y de canal n respectivamente. Trataremos ahora de determinar separadamente los tiempos de cambio del circuito de la figura 6.2.1.

6.2.1. TIEMPO DE BAJADA.

Comencemos recordando la definición de tiempo de bajada. Se llama tiempo de bajada a aquel necesario para que la señal pase desde el 0'9 de la excursión de valores de salida hasta el 0'1 de la misma.

Si aplicamos a la entrada del inversor una entrada escalón de la forma:

$$v_i = \begin{cases} 0 & \text{para } t < 0 \\ V_i > V_{th_p} & \text{para } t \geq 0 \end{cases} \quad (6.2)$$

la ecuación diferencial (6.1) para $t \geq 0$ queda reducida a:

$$C_L \frac{dv_o}{dt} = -I_n \quad (6.3)$$

$$\text{con la condición inicial : } v_o(0) = V_{Sp} \quad (6.4)$$

ya que el MOST de canal p está en la zona de corte.

En el transitorio que se desarrolla a continuación se distinguen dos situaciones, a saber: un intervalo en el cual T_n está en zona de triodo.

Cuando T_n está saturado, es decir, para:

$$V_{DS_n} \geq V_i - V_{th_n}$$

o lo que es lo mismo:

$$v_o \geq V_i + V_{Sn} - V_{th_n} \quad (6.5)$$

la ecuación diferencial (6.3) queda:

$$C_L \frac{dv_o}{dt} = -K_n (V_i - V_{th_n})^2 \quad (6.6)$$

que, integrando con la condición inicial (6.4), nos da:

$$\begin{aligned} v_o(t) &= - \int_0^t \frac{K_n}{C_L} (V_i - V_{th_n})^2 dt = \\ &= V_{Sp} - \frac{K_n}{C_L} (V_i - V_{th_n})^2 \cdot t \end{aligned} \quad (6.8)$$

es decir, cuando T_n esté en zona triodo, la ecuación diferencial (6.3) se convierte en:

$$C_L \frac{dv_o}{dt} = - K_n \left[2(V_i - V_{th_n}) (v_o - V_{Sn}) - (v_o - V_{Sn})^2 \right] \quad (6.9)$$

que, integrando, conduce a:

$$t(v) = C_L \int_{V_i + V_{Sn} - V_{th_n}}^v \frac{dv'}{-K_n \left[2(V_i - V_{th_n}) (v' - V_{Sn}) - (v' - V_{Sn})^2 \right]} \quad (6.10)$$

como:

$$\int \frac{du}{a^2 - u^2} = \frac{1}{a} \tan h^{-1} \frac{u}{a}$$

haciendo en (6.10) el cambio de variables

$$u = - (v' - V_{Sn}) + (V_i - V_{th_n})$$

$$du = - dv'$$

$$a = (V_i - V_{th_n})$$

resulta:

$$t(v) = \frac{C_L}{K_n} \left[\frac{1}{(V_i - V_{th_n})} \tan h^{-1} \frac{(V_i - V_{th_n}) - (v' - V_{Sn})}{(V_i - V_{th_n})} \right]_{V_i - V_{Sn} - V_{th_n}}^v \quad (6.11)$$

Las ecuaciones (6.7) y (6.11) nos proporcionan información sobre la evolución relativa de v_o respecto a t . Pero lo que nos interesa es establecer, a partir de ambas ecuaciones, el tiempo de bajada. Para ello, comenzaremos determinando el tiempo t_1 que tarda v_o en llegar al valor $V_{Sp} - 0.1 (V_{Sp} - V_{Sn})$. Durante ese tiempo, T_n está en saturación; esto significa emplear 6.7. Sustituyendo obtenemos:

$$t_1 = \frac{C_L}{K_n} \frac{0.1 (V_{Sp} - V_{Sn})}{(V_i - V_{th_n})^2} \quad (6.12)$$

Por otra parte, la ecuación (6.11) no comienza a ser válida hasta que se abandone la saturación. Consecuentemente debemos calcular el tiempo que el sistema invierte en alcanzar la zona de triodo, es decir, el tiempo que tarda en caer desde V_{Sp} hasta $(V_i + V_{Sn} - V_{th_n})$. Este tiempo, al que llamaremos t_o , también debe calcularse a través de (6.7) y resulta ser:

$$t_o = \frac{C_L}{K_n} \frac{V_{Sp} - V_{Sn} - V_i + V_{th_n}}{(V_i - V_{th_n})^2} \quad (6.13)$$

Finalmente, si llamamos t_2 al instante en el que se cumple:

$$v = V_{Sp} - 0.9 (V_{Sp} - V_{Sn})$$

obtenemos:

$$t_2 = \frac{C_L}{K_n} \left[\frac{1}{(V_i - V_{th_n})} \tanh^{-1} \frac{(V_i - V_{th_n}) - 0.1(V_{Sp} - V_{Sn})}{(V_i - V_{th_n})} \right] \quad (6.14)$$

El tiempo de bajada, t_f , es calculable como:

$$t_f = t_2 + (t_o - t_1)$$

es decir:

$$t_f = \frac{C_L}{K_n (V_i - V_{th_n})} \left[\frac{0.9(V_{Sp} - V_{Sn}) - V_i + V_{th_n}}{(V_i - V_{th_n})} \tanh^{-1} \left(1 - \frac{0.1(V_{Sp} - V_{Sn})}{(V_i - V_{th_n})} \right) \right] \quad (6.15)$$

6.2.2. TIEMPO DE SUBIDA.

El tiempo de subida del inversor representado en la figura 6.2.1, lo calcularemos de forma paralela al tiempo de bajada. Para ello, consideramos aplicada una tensión a la entrada de la forma:

$$v_i = \begin{cases} V_{Bp} & \text{para } t < 0 \\ V_i < V_{th_n} & \text{para } t \geq 0 \end{cases} \quad (6.16)$$

En esta situación, el MOST de canal n es el que está cortado. La ecuación diferencial (6.1) para $t \geq 0$ queda reducida a:

$$C_L \frac{dv_o}{dt} = I_p \quad (6.17)$$

con la condición inicial:

$$v_o(0) = V_{Sn} \quad (6.18)$$

Recordemos que el tiempo de subida se define como el tiempo necesario para que la señal de salida suba desde el 10% hasta el 90% de su margen de variación.

Mientras T_p está en zona de saturación, es decir, mientras se verifica:

$$v_{SD} \geq -V_i - V_{th_p}$$

o lo que es lo mismo:

$$v_o \leq V_{Sp} + V_i - V_{th_p} \quad (6.19)$$

(recuerdese que todas las tensiones, incluso las de umbral, están medidas respecto a masa), la ecuación (6.17) toma la forma:

$$C_L \frac{dv_o}{dt} = K_p (-V_i + V_{th_p})^2 \quad (6.20)$$

que integrando:

$$v_o(t) = \frac{K_p}{C_L} (-V_i + V_{th_p})^2 \cdot t + V_{Sn} \quad (6.21)$$

Cuando entra en la zona triodo, es decir, cuando se verifica que:

$$v_o > V_{Sp} + V_i - V_{th_p}$$

la ecuación (6.17) tiene la forma.

$$C_L \frac{dv_o}{dt} = K_p \left[2(-V_i + V_{th_p})(V_{Sp} - v_o) - (V_{Sp} - v_o)^2 \right] \quad (6.22)$$

Integrando:

$$t(v) = \frac{C_L}{K_p} \int_{V_{Sp} + V_i - V_{th_p}}^v \frac{dv'}{|2(-V_i + V_{th_p})(V_{Sp} - v') - (V_{Sp} - v')^2|}$$

cuya solución es:

$$t(v) = \frac{C_L}{K_p} \frac{1}{(-V_i + V_{th_p})} \left[\tan h^{-1} \frac{(-V_i + V_{th_p}) - (V_{Sp} - v')}{(-V_i + V_{th_p})} \right]_{V_{Sp} + V_i - V_{th_p}}^v \quad (6.23)$$

Una vez vistas las ecuaciones que gobiernan la evolución temporal de la señal, podemos hacer el computo final del tiempo de subida. En primer lugar, el tiempo que tarda en subir la tensión de salida hasta el 10% del margen de variación, es decir, el tiempo que tarda en alcanzar: $V_{Sn} + 0.1(V_{Sp} - V_{Sn})$ es, a partir de (6.21):

$$t_1 = \frac{C_L}{K_p} \frac{0.1(V_{Sp} - V_{Sn})}{(-V_i + V_{th_p})^2} \quad (6.24)$$

y el tiempo que tarda T_p en salir de la situación de saturación, es decir, el tiempo que tarda v_o en llegar al valor $(V_{Sp} + V_i - V_{th_p})$ es:

$$t_o = \frac{C_L}{K_p} \frac{V_{Sp} - V_{Sn} + V_i - V_{th_p}}{(-V_i + V_{th_p})^2} \quad (6.25)$$

Llamando t_2 al instante en el que: $v_o = V_{Sn} + 0.9(V_{Sp} - V_{Sn})$ a partir de (6.23) obtenemos:

$$t_2 = \frac{C_L}{K_p} \frac{1}{(-V_i + V_{th_p})} \left[\tanh^{-1} \frac{(-V_i + V_{th_p}) - 0.1(V_{Sp} - V_{Sn})}{(-V_i + V_{th_p})} \right] \quad (6.26)$$

Finalmente, el tiempo de subida: $t_r = t_2 + (t_o - t_i)$ es:

$$t_r = \frac{C_L}{K_p} \frac{1}{(-V_i + V_{th_p})} \left[\frac{(V_i - V_{th_p}) + 0.9(V_{Sp} - V_{Sn})}{(-V_i + V_{th_p})} + \right. \\ \left. + \tanh^{-1} \frac{(-V_i + V_{th_p}) - 0.1(V_{Sp} - V_{Sn})}{(-V_i + V_{th_p})} \right] \quad (6.27)$$

6.2.3. INVERSORES DE UN UMBRAL.

Mediante las expresiones (6.15) y (6.27) ya estamos en condiciones de calcular los tiempos de bajada y subida respectivamente, de los inversores de un umbral, $A(x)$ á $F(x)$, con los MOSTs que obtuvimos en el apartado 4.4. Nótese que para cada inversor habrá que calcular bien dos tiempos de subida y uno de bajada o viceversa. Esto se debe a que, poseyendo cada uno de ellos dos posibles valores de salida, su entrada puede tener tres valores lógicos.

La tabla 6.2.1 es el resultado de los cálculos de dichos tiempos, expresados en ns, para cada inversor de un umbral y cada tensión de entrada, considerando un valor de la capacidad de carga de $C_L = 10\text{pF}$. En dicha tabla, para cada inversor, se muestran en primer lugar las dimensiones y los umbrales de los MOSTs, así como las tensiones a que están conectados los surtidores de los dispositivos. Asimismo se muestran, denotados por V_c , los umbrales lógicos para cada uno de los inversores, y calculados a partir de la expresión (4.7). Conviene señalar que los valores obtenidos son del mismo orden de magnitud que los que posee la familia CMOS estan-

dar diseñada para el caso binario /6/, que para una polarización de 5 voltios es del orden de 30-35 ns típico y 75 ns máximo.

0.2	WN	0.2	WN
0.005	LN	0.005	LN
.0004154297	KN	.0004154297	KN
.9073394988	VTN	3.404376604	VTN
0.6	MP	0.6	MP
0.005	LP	0.005	LP
.0004154297	KP	.0004154297	KP
1.614596313	VTP	4.102325355	VTP
1. -11	CL	1. -11	CL
5.	VSP	5.	VSP
0.	VSN	0.	VSN
0.	VIN	0.	VIN
39.29401475	TR	8.592892168	TR
2.5	VIN	2.5	VIN
40.29571163	TF	39.84773361	TR
5.	VIN	5.	VIN
8.621208284	TF	40.15558068	TF
1.260997906	VC	3.75335096	VC
A(x)		B(x)	

Tabla 6.2.1.

0.2	WN	0.2	WN
0.005	LN	0.005	LN
.0004154297	KN	.0004154297	KN
0.973994988	VTN	3.404376604	VTN
0.6	WP	0.6	WP
0.005	LP	0.005	LP
.0004154297	KP	.0004154297	KP
1.607704772	VTP	4.102221995	VTP
1. -11	CL	1. -11	CL
2.5	VSP	2.5	VSP
0.	VSN	0.	VSN
0.	VIN	0.	VIN
24.4975917	TR	7.502096148	TR
2.5	VIN	2.5	VIN
26.54404524	TF	24.62554342	TR
5.	VIN	5.	VIN
7.648357181	TF	24.78122157	TF
1.29084988	VC	3.7532993	VC
$C(x)$		$D(x)$	
0.2	WN	0.2	WN
0.005	LN	0.005	LN
.0004154297	KN	.0004154297	KN
.8979691095	VTN	3.39711438	VTN
0.6	WP	0.6	WP
0.005	LP	0.005	LP
.0004154297	KP	.0004154297	KP
1.614596313	VTP	4.102325355	VTP
1. -11	CL	1. -11	CL
5.	VSP	5.	VSP
2.5	VSN	2.5	VSN
0.	VIN	0.	VIN
24.33853953	TR	7.501902286	TR
2.5	VIN	2.5	VIN
24.63002604	TF	24.62311961	TR
5.	VIN	5.	VIN
7.502454616	TF	24.60998913	TF
1.256282711	VC	3.749719867	VC
$E(x)$		$F(x)$	

Tabla 6.2.1. (cont.)

6.3. TIEMPOS DE PROPAGACION.

Para un inversor, el tiempo de propagación se define como el que transcurre desde que la entrada alcanzada al 50% de su excursión de valores, hasta que la salida alcanzada el 50% del suyo, como indica la figura 6.3.1

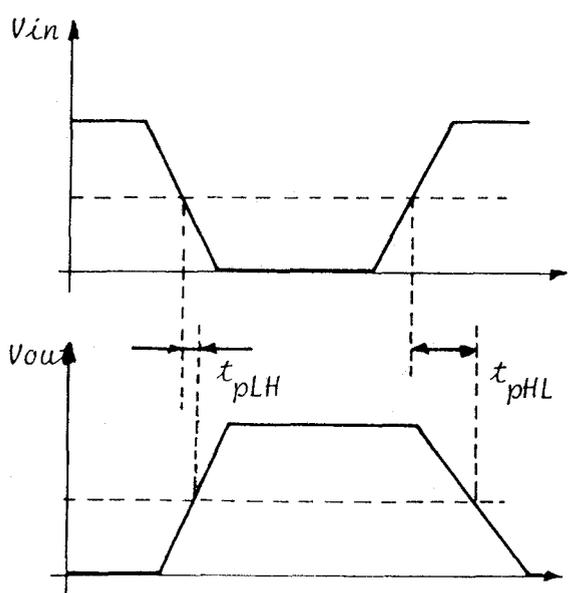


Fig. 6.3.1.

/6,7/. Evidentemente, no tienen por qué ser iguales el tiempo de retraso a la subida, t_{pLH} , y el tiempo de retraso a la bajada, t_{pHL} .

En ocasiones sólo se considera un único tiempo de propagación definido como promedio de los dos anteriores. Este tiempo de propagación o tiempo de retraso, t_{pd} , es el que se mide a partir del llamado

" par de retraso " (delay pair) t_p /1,8,9/. Este retraso se define como el tiempo invertido por la señal al atravesar dos inversores y se mide entre dos instantes que corresponden al 50% de la diferencia de valores,

de forma que $t_{pd} = \frac{t_p}{2}$. Para su medida experimental normalmente se realiza un anillo oscilador con un número impar de inversores conectados en serie y con un lazo de realimentación entre la salida del último y la entrada del primero. Con la tensión de polarización adecuada, el circuito genera una señal periódica cuya frecuencia, f , está relacionada con t_p y t_{pd} según:

$$t_p = \frac{1}{n \cdot f}$$

o bien:

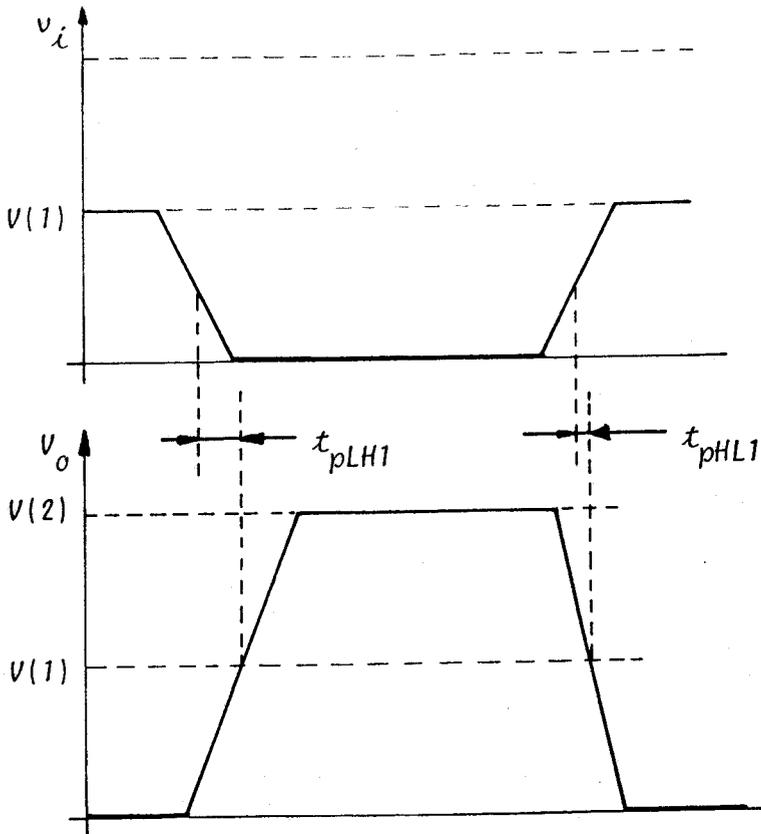


Fig. 6.3.2.

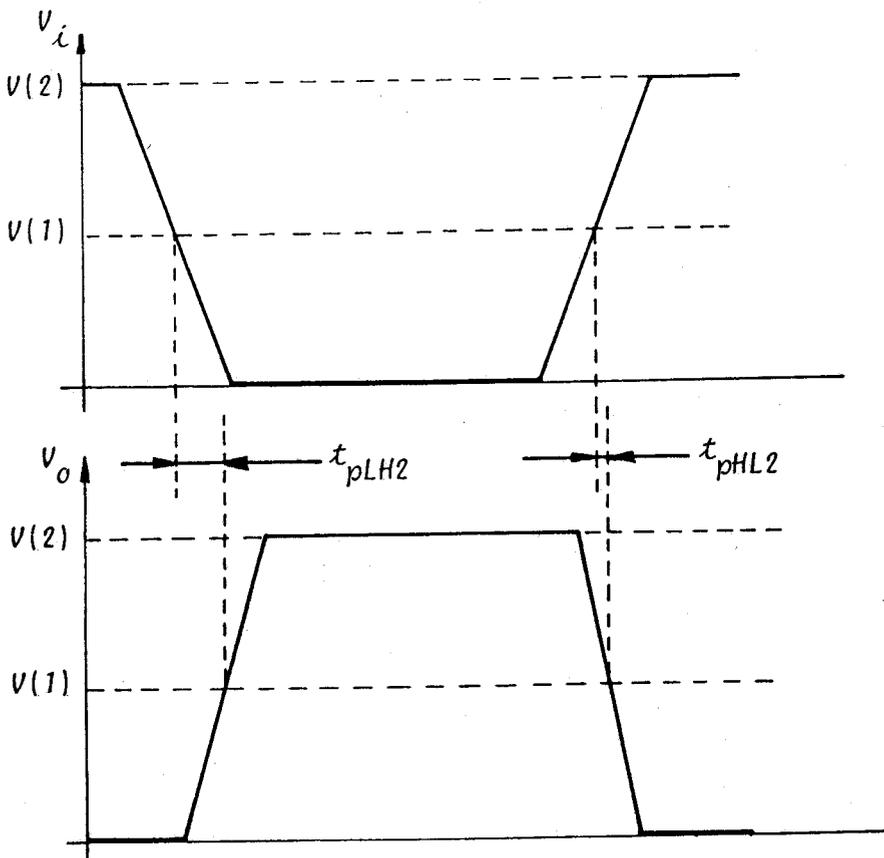


Fig. 6.3.3.

$$t_{pd} = \frac{1}{2nf} \quad (6.28)$$

siendo n el número de inversores del anillo.

Nótese que, en nuestro caso, para cada uno de los seis tipos de inversores, esta forma de medida no es válida más que cuando la entrada cambia entre los valores lógicos que suministra la salida. Es decir, tomando como ejemplo el inversor A(x), es obvio que no es igual el tiempo de retraso t_{PHL} cuando la entrada varía de 0 → 2 que cuando varía de 0 → 1. Como resulta que A(x) no puede suministrar una salida que varíe entre 0 y 1, dicho tiempo de retraso no puede medirse mediante un anillo oscilador de inversores A(x). En consecuencia, habría que medir los tiempos de retraso por separado. Para el caso del inversor A(x), como se puede ver en los diagramas de tiempos de las figuras 6.3.2 y 6.3.3, los tiempos de retraso a medir serían 4 distintos, a saber:

- t_{PHL1} cuando la entrada varía de 0 → 1
- t_{PHL2} cuando la entrada varía de 0 → 2
- t_{PLH1} cuando la entrada varía de 1 → 0
- t_{PLH2} cuando la entrada varía de 2 → 0

de los que mediante el anillo oscilador con inversores A(x) sólo se podría medir ($t_{PHL2} + t_{PLH2}$). No obstante, podemos definir dos pares de retraso para cada inversor, que en el caso del inversor A(x) son:

$$\begin{aligned} t_{p1} &= t_{PHL1} + t_{PLH1} \\ t_{p2} &= t_{PHL2} + t_{PLH2} \end{aligned} \quad (6.29)$$

Por otro lado, según se deduce en la referencia /1/ el par de retraso t_p puede ser aproximado por la expresión:

$$t_d = 0.9 \cdot C_L \left(\frac{1}{i_{nm\acute{a}x}} + \frac{1}{i_{pm\acute{a}x}} \right) \quad (6.30)$$

donde $i_{nm\acute{a}x}$ e $i_{pm\acute{a}x}$ son las corrientes máximas que circulan por los MOSTs,

que vienen dadas por:

$$i_{nm\acute{a}x} = K_n (V_{im\acute{a}x} - V_{th_n})^2 \quad (6.31)$$

$$i_{pm\acute{a}x} = K_p (-V_{imin} + V_{th_p})^2 \quad (6.32)$$

siendo $V_{im\acute{a}x}$ y V_{imin} las tensiones maximas y maximas de entrada. En consecuencia disponemos de una expresion que puede arrojar luz sobre el orden de valor que poseen los tiempos de retraso. Sustituyendo los valores de la tabla 6.2.1 en (6.30) obtenemos:

$$t_{p1} = 84 \text{ ns} \quad (0 \leq V_{in} \leq 2'5 \text{ v.})$$

$$t_{p2} = 48 \text{ ns} \quad (0 \leq V_{in} \leq 5 \text{ v.})$$

con los que los tiempos de propagacion son del orden de la mitad y por tanto estan dentro del margen de valor (30 ns) de los que poseen los inversores comerciales para logica binaria /6/.

Aplicando asimismo (6.30) al resto de los inversores obtenemos la tabla 6.3.1.

Inspeccionando la tabla 6.3.1 podemos concluir que los mayores retrasos de la seal en los circuitos propuestos se producen siempre que la entrada de los inversores $A(x)$ y $B(x)$ varien entre uno de los valores logicos extremos y el valor logico intermedio. En cualquier caso, no aparecen grandes disparidades con los valores correspondientes al caso binario.

$$A(x) \begin{cases} t_{p1} = 84 \text{ ns} & (0 \leq V_{in} \leq 2'5) \\ t_{p2} = 48 \text{ ns} & (0 \leq V_i \leq 5) \end{cases}$$

$$B(x) \begin{cases} t_{p1} = 84'7 \text{ ns} & (2'5 \leq V_i \leq 5) \\ t_{p2} = 48'9 \text{ ns} & (0 \leq V_i \leq 5) \end{cases}$$

$$C(x) \begin{cases} t_{p1} = 42'3 \text{ ns} & (0 \leq V_i \leq 2'5) \\ t_{p2} = 24 \text{ ns} & (0 \leq V_i \leq 5) \end{cases}$$

$$\begin{aligned}
 D(x) & \begin{cases} t_{p1} = 42'3 \text{ ns} & (2'5 \leq V_i \leq 5) \\ t_{p2} = 24'5 \text{ ns} & (0 \leq V_i \leq 5) \end{cases} \\
 E(x) & \begin{cases} t_{p1} = 41'8 \text{ ns} & (0 \leq V_i \leq 2'5) \\ t_{p2} = 23'9 \text{ ns} & (0 \leq V_i \leq 5) \end{cases} \\
 F(x) & \begin{cases} t_{p1} = 42'2 \text{ ns} & (2'5 \leq V_i \leq 5) \\ t_{p2} = 24'3 \text{ ns} & (0 \leq V_i \leq 5) \end{cases}
 \end{aligned}$$

Tabla 6.3.1.

6.4. TIEMPOS DE CONMUTACION DEL INVERSOR TERNARIO: TRANSICIONES SIMPLES.

Una vez estudiado el comportamiento dinámico de los inversores de un umbral la siguiente cuestión a plantearse es la modificación que sufren los tiempos de bajada y subida al ser interconectados mediante la PFI o la SFI. Lo más idóneo es estudiarlo sobre el circuito más simple que es posible construir con tal estructura, el operador complemento ternario. La figura 6.4.1 representa el diagrama de circuito de dicho operador implementado mediante la

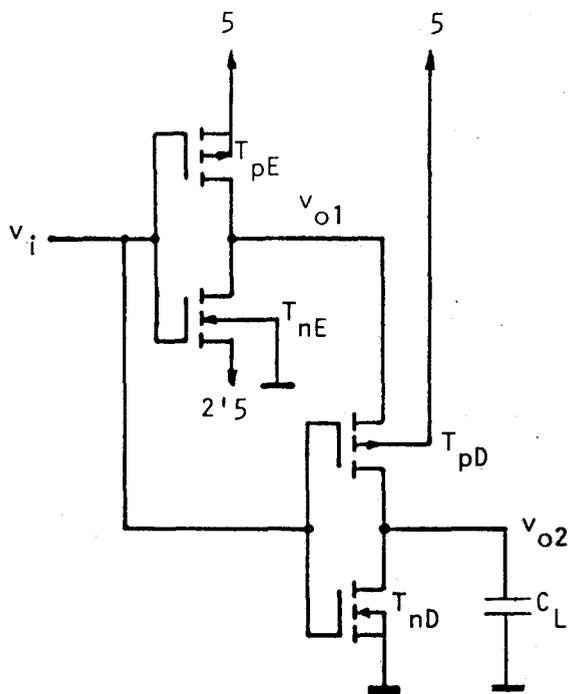


Fig. 6.4.1: Operador \bar{X} (PFI)

realizado mediante la PFI; en ella se indica la notación que seguiremos en este apartado.

En dicho circuito hay que considerar seis posibles transiciones, a saber:

- 0 → 1
- 0 → 2
- 1 → 2
- 1 → 0
- 2 → 0
- 2 → 1

y en consecuencia, habrá que tener en cuenta tres tiempos, en principio distintos, de subida:

$$t_{r01}, t_{r02}, t_{r12}$$

y tres tiempos distintos de bajada:

$$t_{f10}, t_{f20}, t_{f21}$$

Estudiaremos con detalle el circuito para determinar la influencia que tiene cada operador ($E(x)$ y $D(x)$) sobre los diferentes tiempos. No obstante dada la diferente naturaleza de los fenómenos implicados, debemos catalogar las transiciones en dos grupos distintos. El primero de ellos puede ser estudiado directamente y a ello dedicaremos el resto de este apartado. El segundo requiere establecer previamente algunas consideraciones, por lo que su estudio se pospone hasta que tales consideraciones hayan sido hechas.

6.4.1. TRANSICIONES 0 → 1 Y 1 → 0.

Para que se produzca la transición 0 → 1 en la salida, la entrada v_i debe variar de 2 a 1, pero en tal caso la salida de $E(x)$, v_{01} , permanece inalterada, como indica el esquema de la figura 6.4.2. Por tanto,

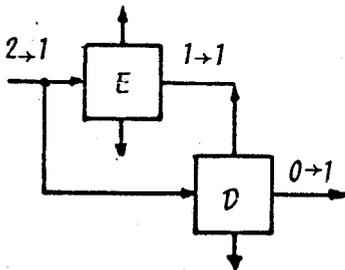


Fig. 6.4.2.

dicho tiempo de subida es el mismo que se indica en la tabla 6.2.1 para el operador $D(x)$ cuando la entrada se fija un 1 lógico. Es decir:

$$t_{r01} = 24 \cdot 6 \text{ ns}$$

En cuanto a la transición 1 → 0 estamos en el caso simétrico al anterior, y al no haber tampoco alteración en v_{01} podemos volver

a emplear la tabla 6.2.1 lo que nos da:

$$t_{f10} = 24.7 \text{ ns}$$

6.4.2. TRANSICION 2 → 0.

Este caso es algo distinto a los dos anteriores. Cuando se produce dicha transición en la salida v_{02} , significa que a la entrada hemos aplicado un cambio de 0 a 2. Como puede verse en la figura 6.4.3, ahora si existe un cambio en el valor de v_{01} . No obstante, al aplicar dicha transición a la entrada de $D(x)$, se

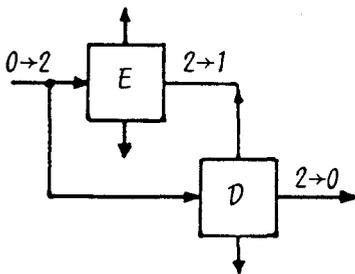


Fig. 6.4.3.

corta T_{pD} y entra en conducción T_{nD} . Por tanto, estamos en una situación similar a la considerada en la transición $1 \rightarrow 0$, salvo que ahora la tensión inicial es $v(2) = 5$ voltios. Aplicando en consecuencia la expresión (6.15), para ese valor de entrada, obtenemos:

$$t_{f20} = 40 \text{ ns}$$

6.5. TIEMPOS DE CONMUTACION DEL INVERSOR TERNARIO ; TRANSICIONES COMPLEJAS.

En contraste con las tres transiciones descritas, las otras tres corresponden a situaciones en las que los dos inversores de un umbral, que constituyen el circuito global, se encuentran simultáneamente en situación transitoria. Como no disponemos de la posibilidad de hacer medidas sobre los circuitos propuestos, si no es a través de su simulación, hemos elaborado un modelo simplificado de los fenómenos que ocurren en estas tres transiciones, para obtener información de la forma en que se efectúan, así como tener una estimación cuantitativa de los tiempos de

subida y de bajada. No obstante, con objeto de contrastar el modelo con una situación real, hemos montado un circuito sobre el que se han efectuado medidas experimentales. En este apartado, describiremos tal circuito confrontaremos los resultados de simulación con los datos obtenidos del circuito real. Esto nos permitirá una validación indirecta de la simulación de las tres transiciones del inversor ternario no tratadas en la sección anterior, a los que desde ahora llamaremos transiciones complejas.

6.5.1. DESCRIPCIÓN DEL CIRCUITO AUXILIAR.

Hemos montado a partir de pastillas estandar 4.007 el circuito de la figura 6.5.1.

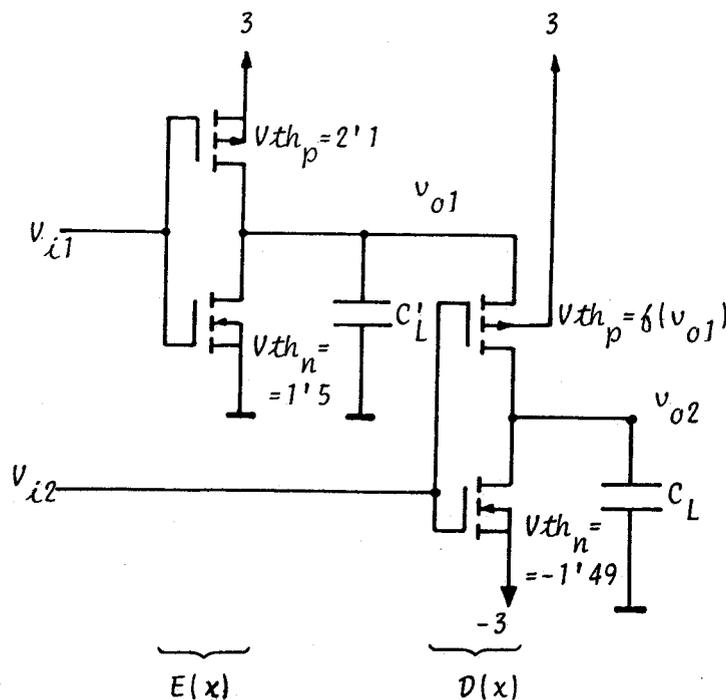


Fig. 6.5.1: Circuito auxiliar de prueba.

Dicho circuito no es, a pesar de su apariencia, un operador comple-



mento debido a que los valores de las tensiones de umbral de los MOSTs disponibles obligan a tener que excitar las entradas a los dos inversores con señales distintas. Esto es necesario con objeto de forzar un comportamiento similar de las salidas de los dos inversores, a las que tienen los componentes del operador complemento. Para ello es preciso elegir 3, 0 y -3 voltios para representar los tres niveles de salida. De esta forma, las transiciones de salida requieren el conjunto de excitaciones mostradas en la tabla 6.5.1.

Trans. Lógica	v_{o2}	v_{i1}	v_{i2}
0→1	-3→0	3	0→-3
0→2	-3→3	3→0	3→-3
1→2	0→3	3→0	-3
1→0	0→-3	3	-3→0
2→0	3→-3	0→3	-3→3
2→1	3→0	0→3	-3

Tabla 6.5.1.

En cuanto a las condiciones del experimento, las señales de entrada que hemos utilizado son trenes de pulsos con los tiempos de transición siguientes:

$$v_{i1} : t_r \simeq t_f = 10 \text{ ns}$$

$$v_{i2} : t_r \simeq t_f = 23 \text{ ns}$$

Las capacidades C'_L y C_L mostradas en la figura 6.5.1 corresponden a las capacidades debidas a las sondas del osciloscopio utilizadas para las medidas y tienen un valor de 15 pF.

6.5.2. TRANSICION 0 → 2.

El esquema lógico de esta transición es el mostrado en la figura 6.5.2. En dicho esquema vemos que se produce conmutación en ambos inversores, conduciendo simultáneamente T_{pE} y T_{pD} .

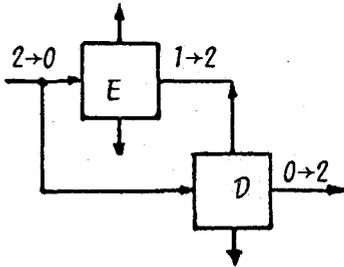


Fig. 6.5.2.

Además de la inevitable capacidad parásita que introduce T_{pD} en la salida v_{o1} (ver figura 6.4.1) debemos tener presente, que al ir subiendo la tensión v_{o1} , la tensión de umbral de T_{pD} irá variando y por tanto también variará su conducción, dependiendo por tanto la corriente que circula por T_{pE} de la que circula por T_{pD} .

Como se puede ver en la tabla 6.5.1, la transición $0 \rightarrow 2$ en el circuito experimental de la figura 6.5.1 la podemos simular haciendo que caigan v_{i1} desde 3 voltios a 0 voltios y v_{i2} caiga desde 3 voltios hasta -3 voltios, simultáneamente.

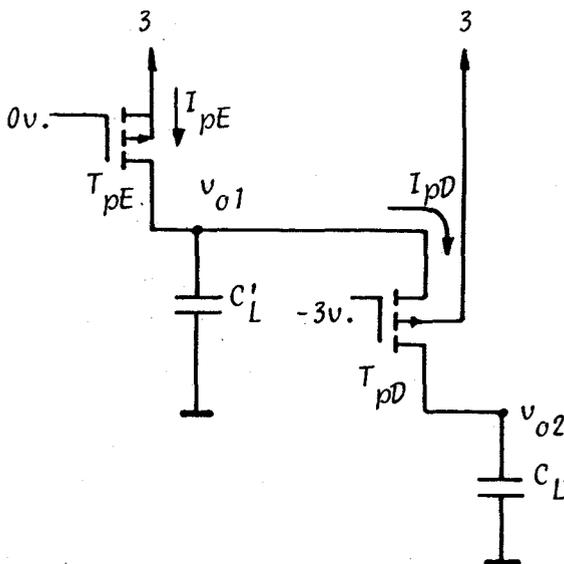


Fig. 6.5.3: Circuito equivalente para la transición 0 → 2, del circuito de prueba.

En la figura 6.5.3 se representa el circuito equivalente para $t > 0$, suponiendo $t = 0$ el instante en el que conmutan las entradas. El comportamiento de dicho circuito viene descrito por el sistema de ecuaciones diferenciales:

$$\frac{dv_{01}}{dt} = \frac{1}{C_L''} (I_{pE} - I_{pD}) \quad (6.33)$$

$$\frac{dv_{02}}{dt} = \frac{1}{C_L} I_{pD} \quad (6.34)$$

con las condiciones iniciales $v_{01}(0) = 0$ v. y $v_{02}(0) = -3$ v. Nótese que I_{pD} no sólo depende directamente de v_{01} y v_{02} , sino también indirectamente de v_{01} a través de la tensión de umbral de T_{pD} . Para las corrientes, I_{pE} e I_{pD} , que circulan por los MOSTs de canal p implicados, hemos utilizado el modelo de primer orden ya expuesto en el apartado 6.2, y para la tensión de umbral, la expresión (3.1. bis). En la ecuación (6.33) la capacidad C_L'' es la resultante de la capacidad introducida por la sonda de medida más la capacidad parásita introducida por T_{pD} , que si bien es variable con la tensión, en primera aproximación la hemos modelado por una capacidad constante de un valor de 5pF aproximadamente.

El sistema de ecuaciones (6.33) y (6.34) resuelto numéricamente en la computadora, mediante el método de Runge-Kutta de 2ºorden, en el intervalo $0 \leq t \leq 300$ ns, arroja el resultado que aparece en la gráfica de la figura 6.5.4. La figura 6.5.5 es una fotografía de la medida hecha en el osciloscopio en esta situación. Cada división horizontal corresponde a 50 ns y cada división vertical a 1 voltio. La señal que varía desde 0 a 3 voltios corresponde a la tensión de v_{01} y la señal que varía desde -3 a 3 voltios es la evolución temporal de la tensión v_{02} . Comparando las figuras 6.5.4. y 6.5.5 vemos una excelente concordancia entre las medidas experimentales ($t_{r02} = 160$ ns) y el resultado arrojado por la simulación ($t_{r02} = 155$ ns).

Para comprobar la suposición hecha anteriormente sobre el valor constante de la capacidad parásita introducida por T_{pD} hemos medido únicamente v_{02} en un segundo experimento. La fotografía del resultado experimental

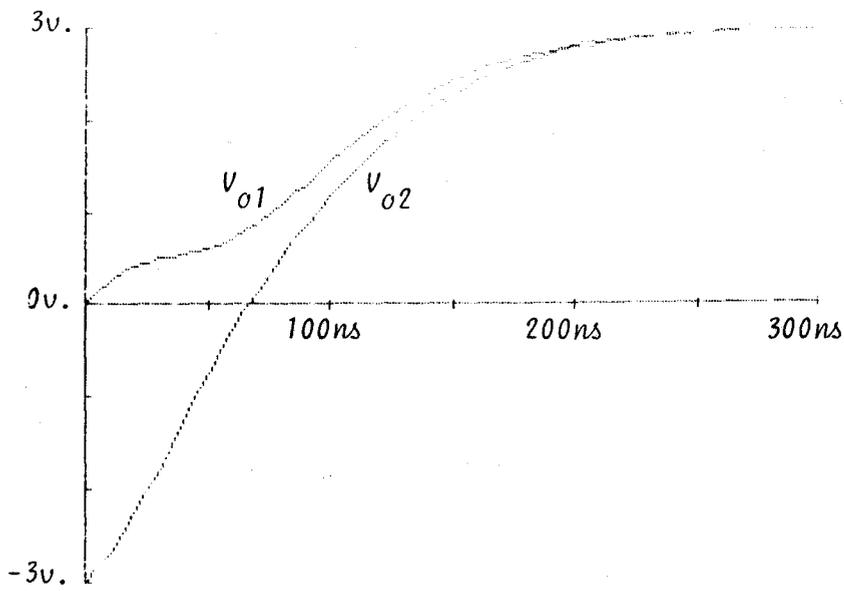


Fig. 6.5.4: Simulación de la transición de 0 a 2 del circuito experimental de la figura 6.5.1. ($C_L'' = 20$ pF).

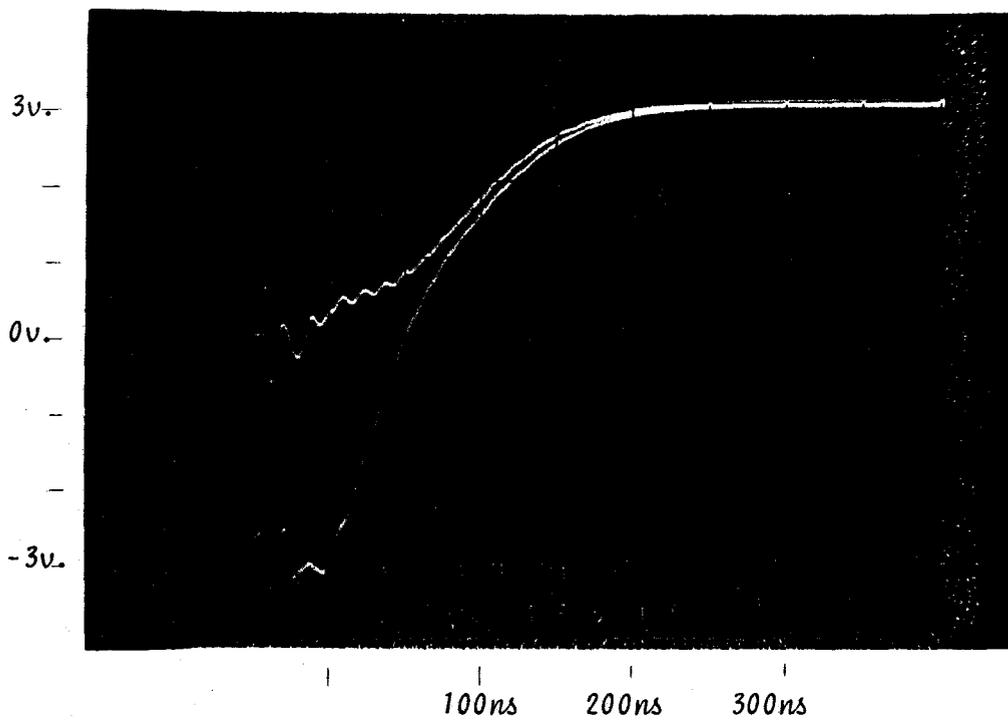


Fig. 6.5.5: Oscilograma de la transición de 0 a 2 del circuito experimental de la figura 6.5.1. ($C_L'' = 20$ pF)

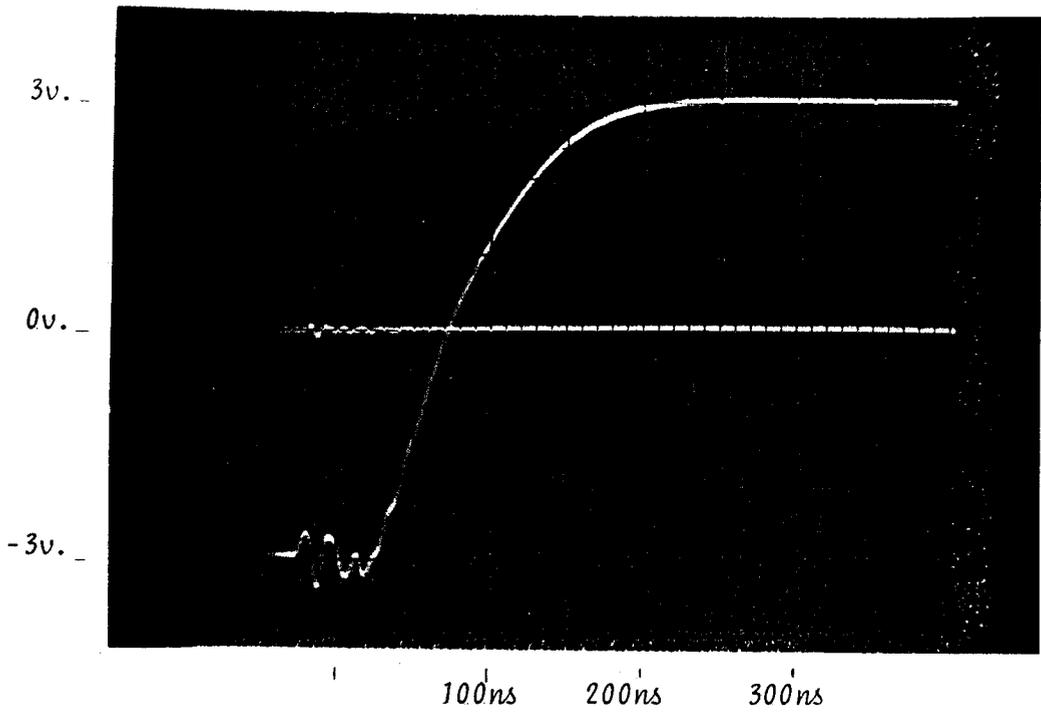


Fig. 6.5.6: Oscilograma de la transición de 0 a 2 del circuito experimental de la figura 6.5.1. ($C_L'' = 5 \text{ pF}$).

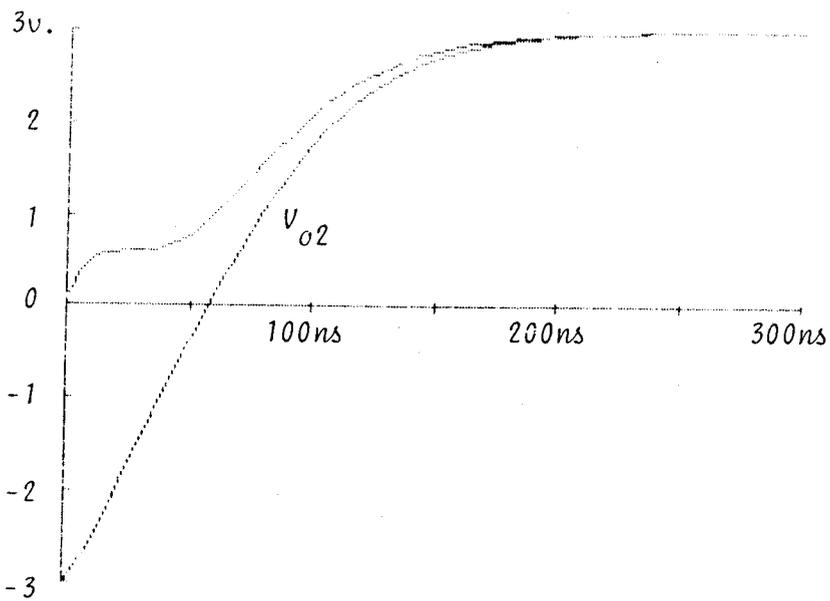


Fig. 6.5.7: Simulación de la transición de 0 a 2 del circuito experimental de la figura 6.5.1. ($C_L'' = 5 \text{ pF}$).

en este caso es la mostrada en la figura 6.5.6, arrojando un resultado de $t_{r02} = 115$ ns. Por otro lado, resolviendo de nuevo el sistema (6.33) y (6.34) con $C_L'' = 5$ pF y $C_L = 15$ pF la simulación da como resultado la gráfica de la figura 6.5.7, a partir de la cual se obtiene $t_{r02} = 110$ ns.

Esto confirma con una aceptable aproximación el valor considerado para C_L'' .

Volviendo ahora al caso del inversor ternario de la figura 6.4.1, y utilizando los valores de los MOSTs P_1 y P_4 dados en el capítulo 4, con $v_{i1} = v_{i2} = 0$ voltios y $v_{o1}(0) = 2.5$ voltios y $v_{o2}(0) = 0$ voltios, obtenemos el comportamiento de la transición de $0 \rightarrow 2$, cuya gráfica es la mostrada en la figura 6.5.8.

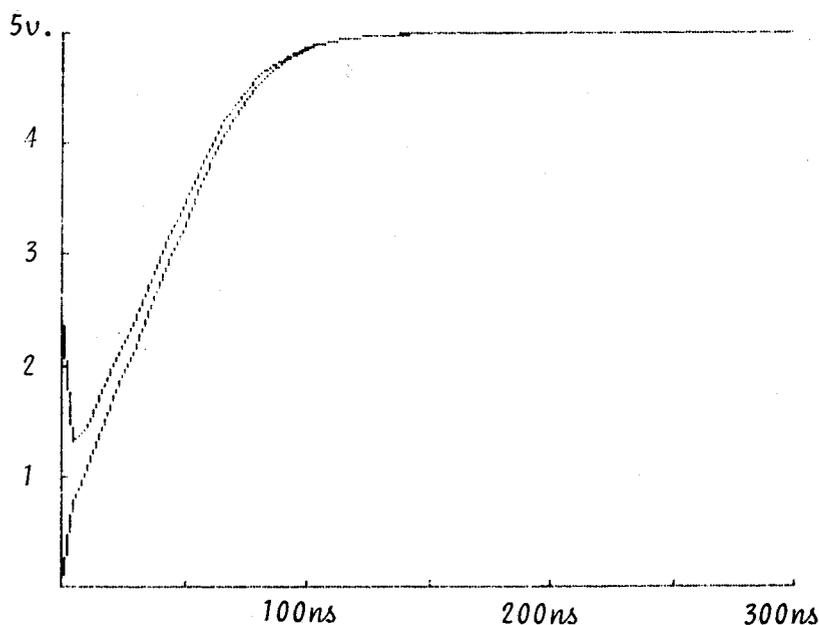


Fig. 6.5.8: Simulación de la transición de 0 a 2 del operador complemento ternario de la figura 6.4.1.

A partir de dicha figura podemos estimar que:

$$t_{r02} = 75 \text{ ns}$$

Este tiempo es el que se mediría cargando la salida v_{o2} con una ca-

pacidad de 15 pF debida a una sonda de medida y considerando $C_L'' = 5$ pF, igual al caso anterior.

6.5.3. TRANSICION. 1 → 2.

En el circuito experimental, esta transición se consigue aplicando a las respectivas entradas del esquema de la figura 6.5.1 las tensiones: v_{i1} variando desde 3 voltios a 0 voltios y manteniendo $v_{i2} = -3$ voltios, como se puede ver a partir de la tabla 6.5.1.

En este caso, el circuito equivalente para $t > 0$, es exactamente el mismo que el de la figura 6.5.3. El sistema de ecuaciones diferenciales que rige su comportamiento está formado por tanto, por las expresiones (6.33) y (6.34), con la única salvedad de que ahora las condiciones iniciales son $v_{01}(0) = v_{02}(0) = 0$ voltios.

Las figuras 6.5.9 y 6.5.10 muestran la medida experimental y la simulación, respectivamente, de esta transición. En ambos, la curva superior corresponde a la evolución temporal de la tensión v_{01} y la inferior a la evolución de la tensión de la salida v_{02} , considerando que $C_L'' = 20$ pF y $C_L = 15$ pF. De nuevo podemos constatar para la transición medida, una buena predicción de la simulación, $t_{r12} = 115$ ns, frente al resultado observado, $t_{r12} = 120$ ns.

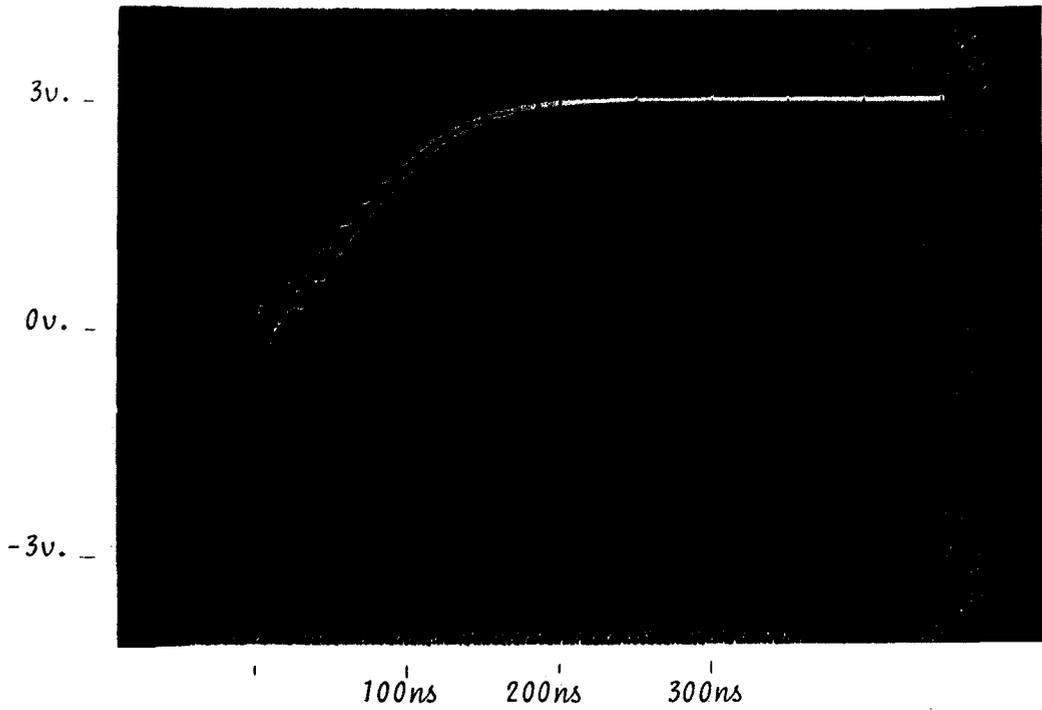


Fig. 6.5.9: Medida experimental de la transición de 1 a 2 del circuito de la figura 6.5.1.

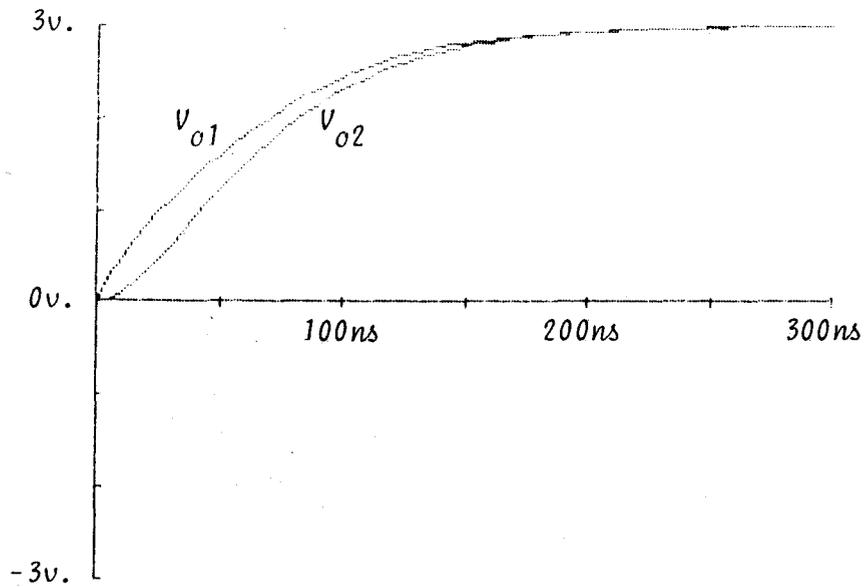


Fig. 6.5.10: Simulación de la transición de 1 a 2 del circuito de la figura 6.5.1.

Haciendo ahora la misma simulación para el operador complemento ternario, es decir, utilizando los valores de P_1 y P_4 dados en el capítulo 4, con $v_{i_1} = v_{i_2} = 0$ voltios, las condiciones iniciales $v_{01}(0) = v_{02}(0) = 2.5$ voltios y los valores $C_L' = 5$ pF y $C_L = 15$ pF, obtenemos la gráfica de la transición de 1 á 2 de dicho operador, representada en la figura 6.5.11. A partir de ella obtenemos el valor del tiempo de subida:

$$t_{r12} \approx 50 \text{ ns}$$

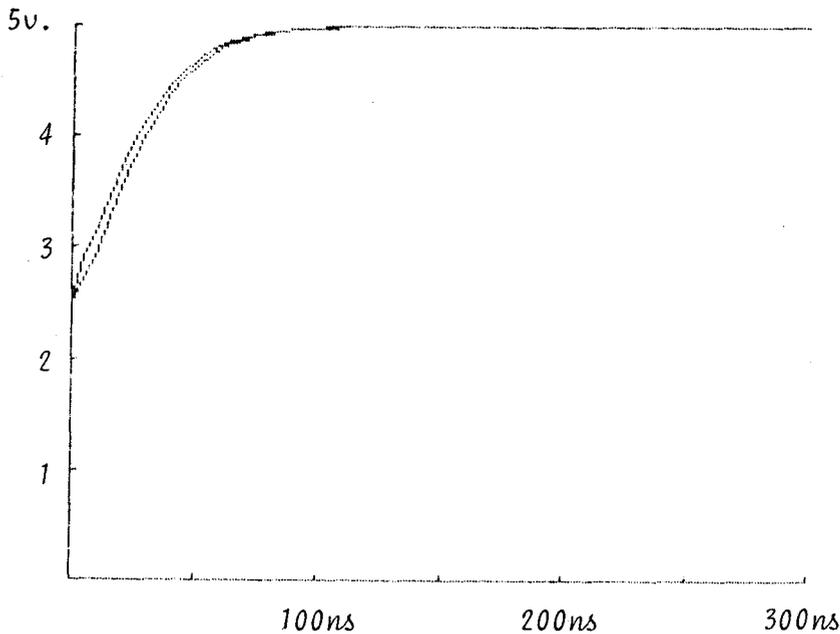


Fig. 6.5.11: Simulación de la transición de 1 a 2 del operador complemento ternario de la figura 6.4.1.

6.5.4. TRANSICION 2 → 1.

En el circuito experimental de la figura 6.5.1, esta transición se consigue aplicando las entradas v_{i_1} variando de 0 á 3 voltios y $v_{i_2} = -3$ voltios.

Para esta transición, el circuito equivalente para $t > 0$, es el representado en la figura 6.5.12.

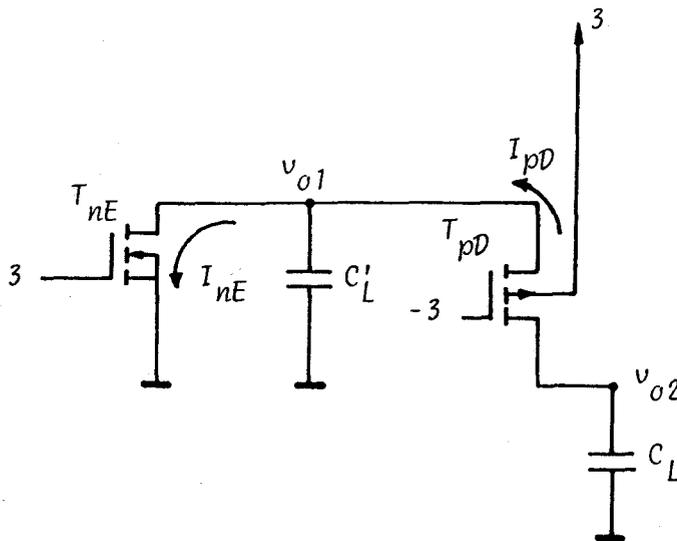


Fig. 6.5.12: Circuito equivalente para la transición 2 1 del circuito de la fig. 6.5.1.

En esta transición ocurre que el MOSTs T_{pD} conduce en sentido contrario a como lo hace en las transiciones anteriores, ya que $v_{o2}(0) = 5$ voltios. Esto significa que, en instantes posteriores a $t = 0$, es el MOST T_{nE} el que va a descargar las capacidades C'_L y C_L (ésta a través de T_{pD}) hasta el valor de 0 voltios. Por tanto, para $t > 0$, v_{o1} irá descendiendo por delante de v_{o2} . Esto hace que el terminal que actúa como surtidor en T_{pD} es el conectado a v_{o2} , y por tanto es ésta la tensión que irá influyendo en la variación de la tensión de umbral de T_{pD} .

En consecuencia el sistema de ecuaciones diferenciales que gobierna esta transición es :

$$\frac{dv_{o1}}{dt} = \frac{1}{C'_L} (I_{pD} - I_{nE}) \quad (6.35)$$

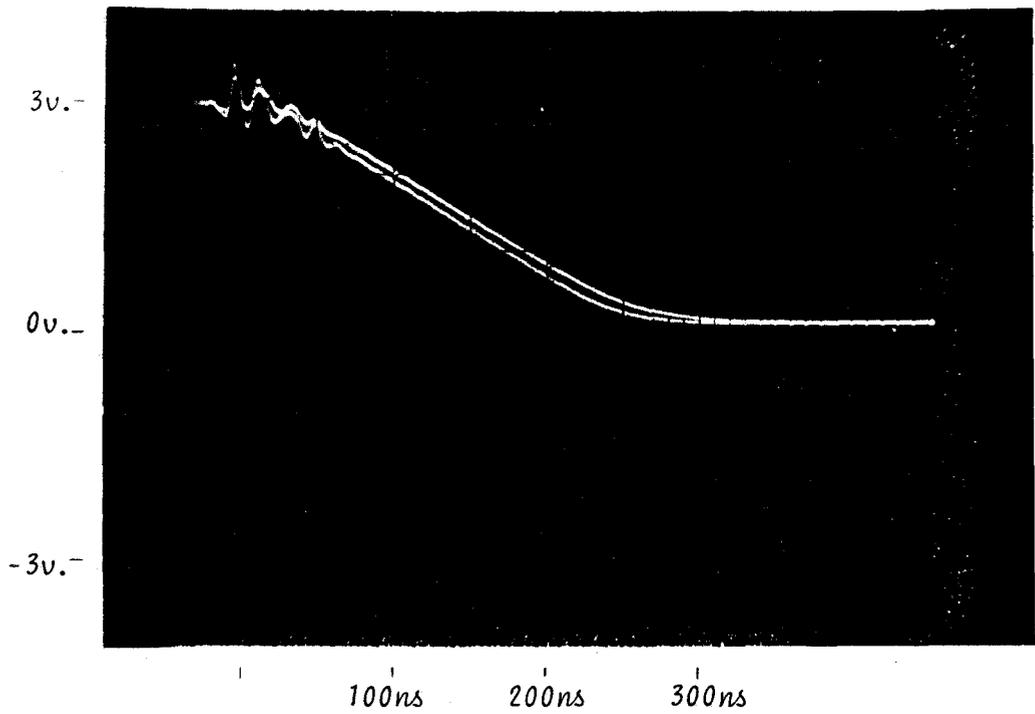


Fig. 6.5.13: Medida experimental de la transición de 2 a 1 del circuito de la figura 6.5.1.

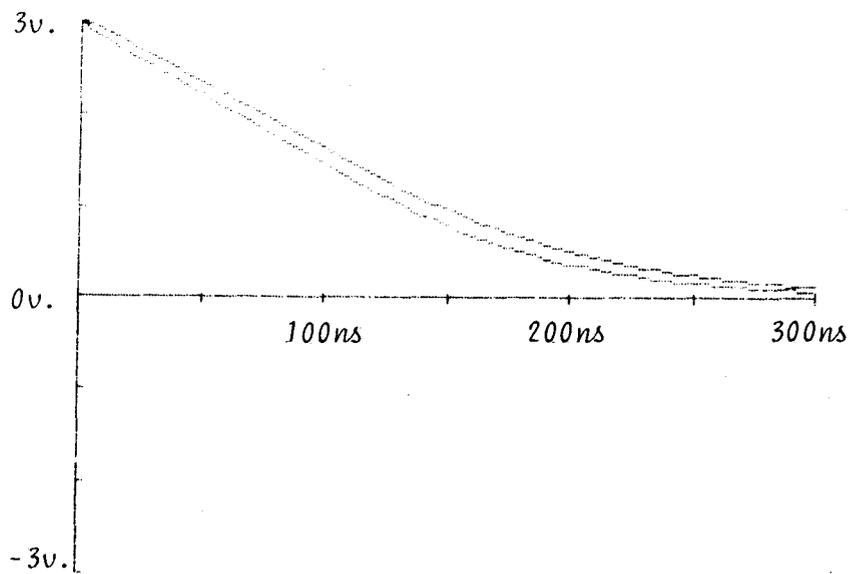


Fig. 6.5.14: Simulación de la transición de 2 a 1 del circuito experimental de la figura 6.5.1.

$$\frac{dv_{02}}{dt} = - \frac{1}{C_L} I_{pD} \quad (6.36)$$

con las condiciones iniciales $v_{01}(0) = v_{02}(0) = 3$ voltios.

En la figura 6.5.13 podemos ver el resultado experimental para $C_L'' = 20$ pF y $C_L = 15$ pF y en la figura 6.5.14 el resultado de la simulación utilizando el sistema de ecuaciones (6.35) y (6.36) con las condiciones iniciales y constantes anteriores. Una vez más vemos la proximidad que existe entre el resultado experimental del tiempo de bajada $t_{f21} = 120$ ns y el resultado obtenido por simulación $t_{f21} = 205$ ns, corroborando la bondad del modelado usado para este fenómeno.

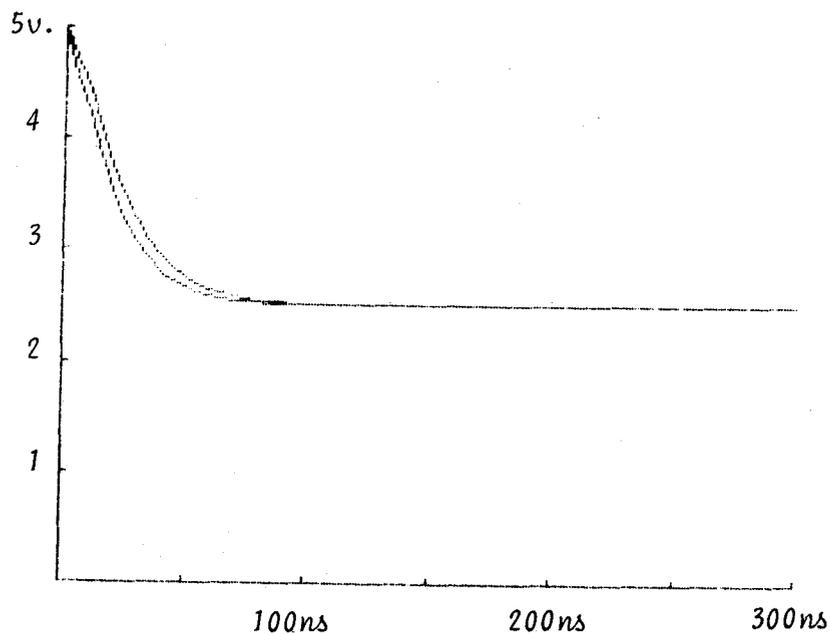


Fig. 6.5.15: Simulación de la transición de 2 a 1 del operador complemento ternario de la figura 6.4.1.

Finalmente, utilizando el mismo modelo de la transición para nuestro circuito de la figura 6.4.1, y utilizando las características de los MOSTs

N1 y P1 dadas en el capítulo 4, obtenemos las gráficas de la figura 6.5.15. En esta simulación, como es natural, $v_{01}(0) = v_{02}(0) = 5$ voltios y $v_{i1} = v_{i2} = 2.5$ voltios. A partir de ella se obtiene el tiempo de bajada:

$$t_{f21} \simeq 60 \text{ ns}$$

6.6. TIEMPOS DE CONMUTACION DEL OPERADOR COMPLEMENTO TIPO SFI.

De forma totalmente paralela podemos hacer una evaluación de los tiempos de conmutación del operador complemento realizado por la segunda forma de implementación (SFI), cuyo diagrama es el mostrado en la figura 6.6.1.

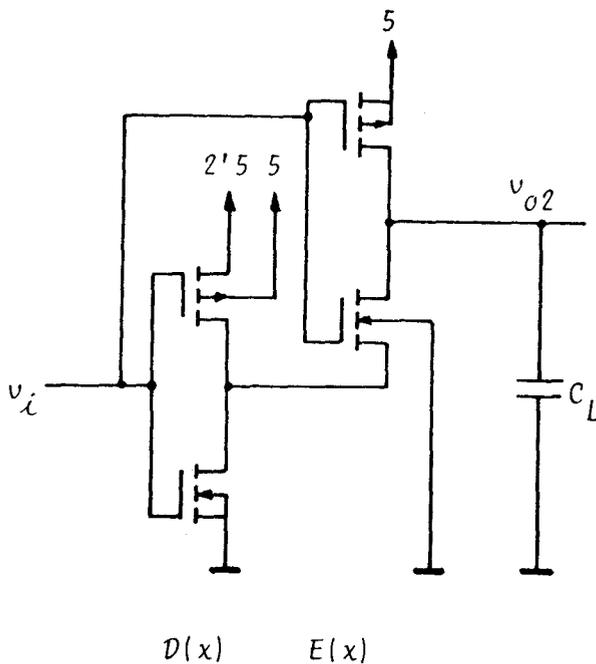


Fig. 6.6.1: Operador \bar{X} (SFI).

En este caso, los tres tiempos de transición simples, es decir, aquellos determinados sólo por el inversor de salida ($E(x)$) son :

$$t_{r02} = 39.3 \text{ ns}$$

$$t_{r12} = 24.3 \text{ ns}$$

$$t_{f21} = 24.6 \text{ ns}$$

Para la determinación de los otros tres tiempos hemos modelado las transiciones correspondientes mediante

un sistema de ecuaciones diferenciales análogo al estudiado anteriormente. Para su comprobación hemos montado el circuito simétrico al de la figura 6.5.1, que se muestra en la figura 6.6.2.

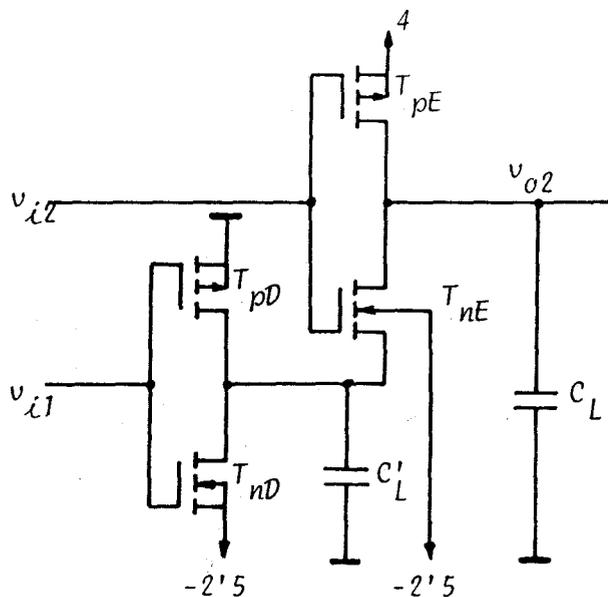


Fig. 6.6.2: Circuito de prueba de SFI.

En este caso, las tensiones correspondientes a los valores lógicos 0, 1 y 2 son -2'5, 0 y 4 voltios respectivamente, lo cual ha sido necesario por la disimetría de los valores de las tensiones de umbral de los MOSTs de canal n y de canal p de las pastillas comerciales. En estas condiciones, la transición de 2 á 0 tiene la forma de la figura 6.6.3. Simulando el transitorio mediante el sistema de ecuaciones diferenciales:

$$\frac{dv_{01}}{dt} = \frac{1}{C'_L} (-I_{nD} + I_{nE}) \quad (6.37)$$

$$\frac{dv_{02}}{dt} = \frac{1}{C_L} (-I_{nE}) \quad (6.38)$$

con las condiciones iniciales $v_{01}(0) = 0$ v., $v_{02}(0) = 4$ v., las entradas $v_{i1} = 0$ v. y $v_{i2} = 4$ v. y con $C'_L = 5$ pF y $C_L = 15$ pF, se obtiene el resultado de la figura 6.6.4, que demuestra la bondad de la descripción del fenómeno en base a la simulación hecha.

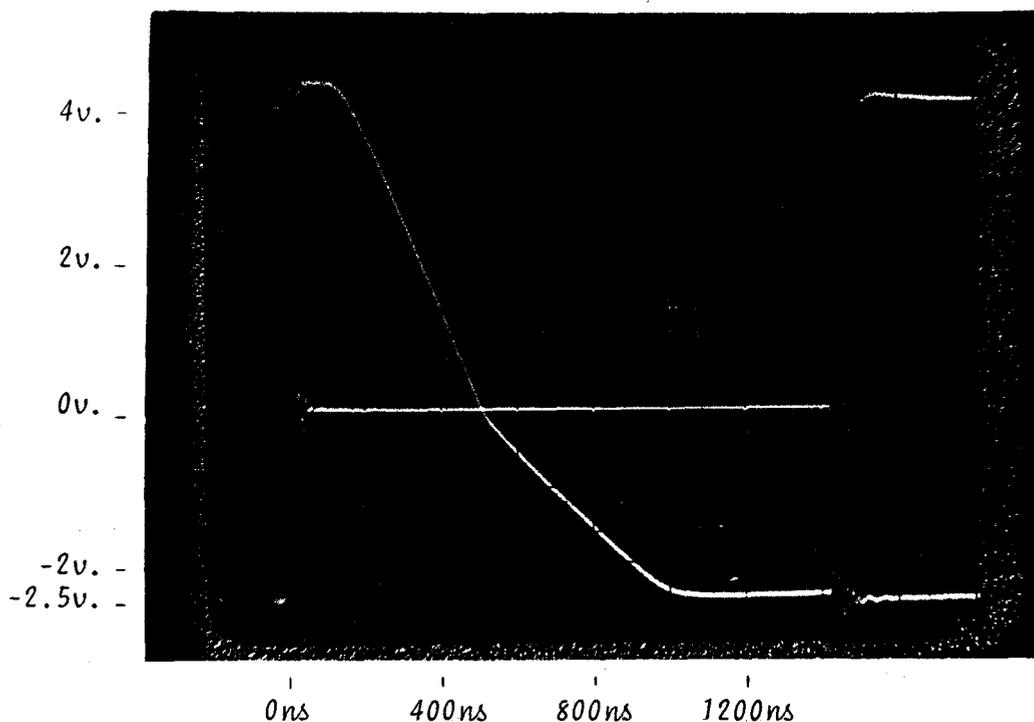


Fig. 6.6.3: Medida de la transición de 2 a 0 del circuito experimental de la figura 6.6.2.

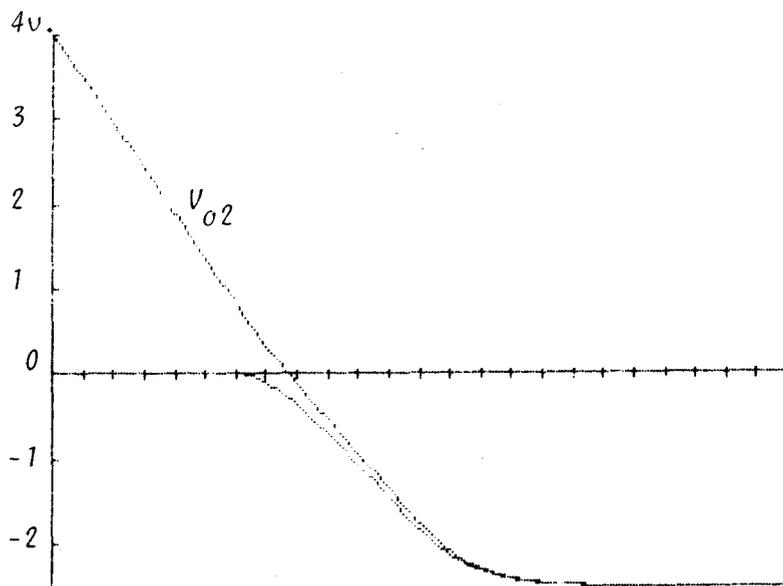


Fig. 6.6.4: Simulación de la transición de 2 a 0 del circuito experimental de la figura 6.6.2. (Escala horizontal 50 ns/div.).

Haciendo las simulaciones de las transiciones de $2 \rightarrow 0$, $1 \rightarrow 0$ y $0 \rightarrow 1$ para el operador complemento de la figura 6.6.1 podemos tener un valor aproximado de los tiempos de dichas transiciones. Los resultados de las simulaciones son los mostrados en las figuras 6.6.5, 6.6.6 y 6.6.7, de las que obtenemos:

$$t_{f20} = 75 \text{ ns}$$

$$t_{f10} = 50 \text{ ns}$$

$$t_{f01} = 62 \text{ ns}$$

Con ello vemos que los tiempos de transición mínimos y máximos de ambas realizaciones coinciden, si bien corresponden a transiciones distintas. Esto era lógico suponerlo dada la simetría tanto de las realizaciones como de los MOSTs constituyentes. La consecuencia más interesante de este hecho es la flexibilidad de diseño que ofrece el poder utilizar alternativamente ambos diseños (PFI y SFI) del complemento ternario.

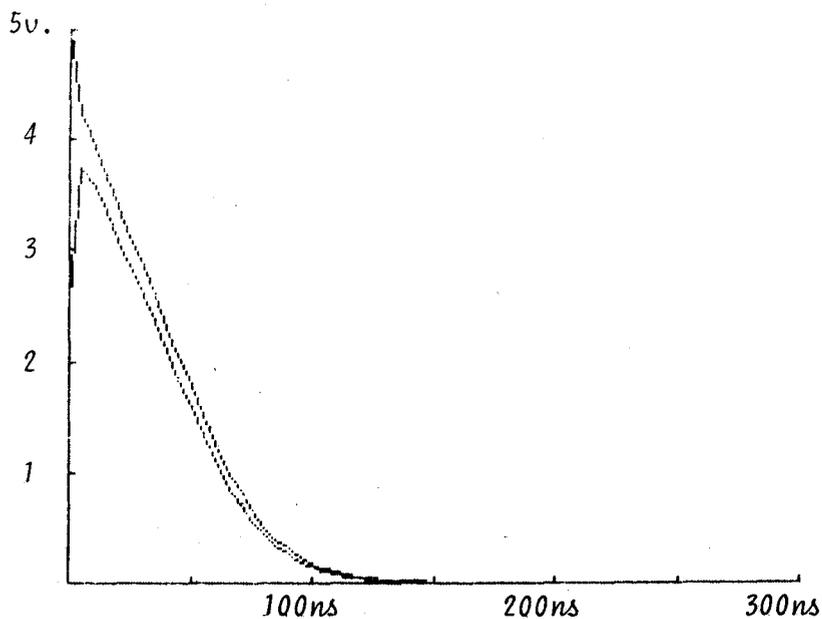


Fig. 6.6.5: Simulación de la transición de 2 a 0 del operador complemento ternario de la figura 6.6.1. (SFI).

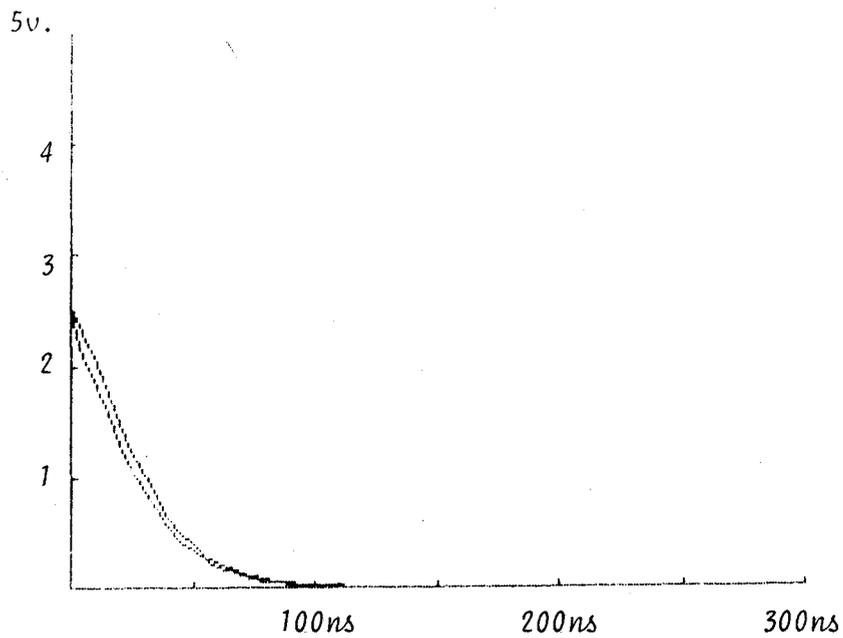


Fig. 6.6.6: Simulación de la transición de 1 a 0 del operador complemento ternario de la figura 6.6.1. (SFI).

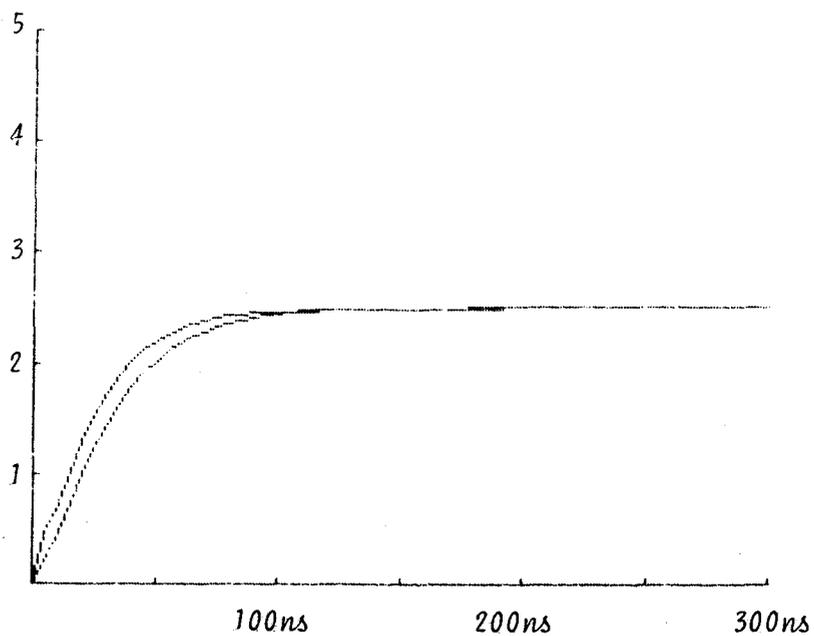


Fig. 6.6.7: Simulación de la transición de 0 a 1 del operador complemento ternario de la figura 6.6.1. (SFI).

6.7. POTENCIA DISIPADA Y FRECUENCIA MAXIMA DE OPERACION: FACTOR DE MÉRITO.

La propuesta y el diseño de una familia lógica deben ir acompañados de una evaluación realtiva de las prestaciones que esta nueva línea puede dar en comparación con otras familias existentes. Desde hace tiempo se considera que la magnitud que más se adecua a dar una medida de la utilidad potencial de una línea lógica es el producto retraso-potencia, ampliamente conocido como factor de mérito / 10, 11, 8, 12 /. La aplicación de esta medida al inversor típico de cada familia permite establecer consideraciones comparativas que pueden tenerse por significativas. El término retraso se entiende aquí como el tiempo requerido para transmitir información y el término potencia se emplea como la disipación media de potencia por circuito.

Parece lógico, en este punto de la memoria en que ya se han elaborado consideraciones estáticas y dinámicas, aprovechar tales consideraciones para establecer el valor del factor de mérito de los nuevos circuitos. No obstante, al considerar una familia de circuitos MV tal como la que se ha presentado aquí, surgen varios problemas a los que prestaremos atención en este apartado.

En primer lugar, no directa la elección del circuito representativo sobre el que realizar la evaluación. En binario sólo existe un operador unario en sentido estricto, el inversor, mientras que ahora disponemos de 23 (descontando la puerta identidad y los tres operadores triviales). Como no todos suministran los tres valores lógicos, en principio para cada uno de ellos la potencia media por circuito es diferente. En segundo lugar los circuitos lógicos MV tienen mayor contenido lógico o informativo que los circuitos binarios, luego necesitamos de una figura de mérito que contemple este aspecto con vistas a poder hacer una comparación con las familias binarias existentes. En tercer lugar nos encontramos con el

problema de la evaluación experimental de la figura de mérito o de las magnitudes que la configuran.

6.7.1. ELECCION DEL CIRCUITO TIPO.

Según vimos en el capítulo 4, tenemos tres tipos distintos de operadores unarios, si atendemos a su orden de complejidad. A saber, los que se implementan a partir de una, dos o tres inversores de un umbral. Luego en una primera aproximación y por término medio, podemos suponer que las funciones se implementan con un orden de complejidad de dos inversores de un umbral, simplificando así el problema de elección. Además, es lógico exigir que el circuito sobre el que hagamos el cómputo de potencia media disipada, sea capaz de efectuar todas las transiciones posibles entre los distintos valores lógicos. En consecuencia tenemos que el único operador unario que verifica ambas condiciones es el operador complemento ternario, representado en la figura 6.4.1

6.7.2. CALCULO DE LA POTENCIA MEDIA DISIPADA PARA LOGICA TERNARIA.

En un inversor CMOS estandar, la potencia media disipada a una frecuencia $f_o = \frac{1}{T_o}$ se evalúa /1/ a partir de la expresión:

$$P(f_o) = P_{din} + P_{est} \quad (6.39)$$

donde para la tecnología CMOS:

$$\begin{aligned} P_{est} &\approx 0 \\ P_{din} &= C_L \cdot v_o^2 \cdot f_o \end{aligned} \quad (6.40)$$

siendo v_o la diferencia de tensión entre la tensión del nivel lógico superior y la tensión del nivel lógico inferior, y T_o es el periodo de una onda cuadrada suficiente para que se produzcan las dos transiciones posibles.

En el caso que nos ocupa, la potencia media disipada por operación lógica, entendiendo por tal la transición de una variable lógica desde un estado lógico a otro, hemos de evaluarla en un periodo de tiempo tal que se produzcan todas las transiciones posibles. Es decir, ya que ahora tenemos 6 transiciones posibles, habremos de hacer el cálculo en un periodo de $3T_0$. Por tanto, a nuestro circuito de la figura 6.4.1 hemos de suministrarle una señal periódica de periodo $T = 3T_0$, siendo además capaz de provocar en el circuito todas las transiciones posibles. En la figura 6.7.1 se puede ver un diagrama temporal de la señal periódica que cumple tales requerimientos, así como la señal de salida resultante.

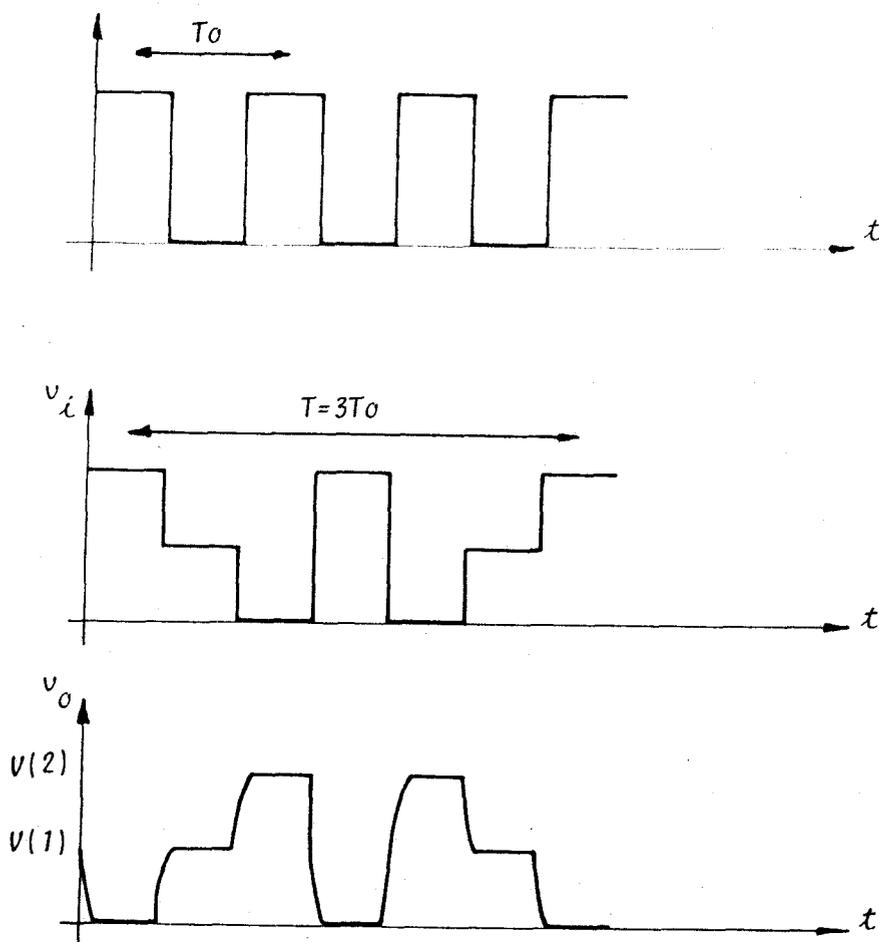


Fig. 6.7.1.

Haciendo el cálculo de la energía disipada en cada una de las transiciones de una forma totalmente paralela a la hecha en la referencia /1/, y teniendo en cuenta los inversores de un umbral (E(x) y D(x)) implicados en cada uno de ellos tenemos:

Transición 0 → 1:

$$W_{01} = C_L \int_0^{v(1)} [v(1) - v_{02}] dv_{02} \quad (6.41)$$

Transición 1 → 2:

$$W_{12} = C_L'' \int_{v(1)}^{v(2)} [v(2) - v_{01}] dv_{01} + C_L \int_{v(1)}^{v(2)} [v(2) - v_{02}] dv_{02} \quad (6.42)$$

Transición 2 → 0:

$$W_{20} = C_L'' \int_{v(1)}^{v(2)} v_{01} dv_{01} + C_L \int_{v(0)}^{v(2)} v_{02} \cdot dv_{02} \quad (6.43)$$

Transición 0 → 2:

$$W_{02} = C_L'' \int_{v(1)}^{v(2)} [v(2) - v_{01}] dv_{01} + C_L \int_{v(0)}^{v(2)} [v(2) - v_{02}] dv_{02} \quad (6.44)$$

Transición 2 → 1:

$$W_{21} = C_L'' \int_{v(1)}^{v(2)} v_{01} \cdot dv_{01} + C_L \int_{v(1)}^{v(2)} v_{02} \cdot dv_{02} \quad (6.45)$$

Transición 1 → 0:

$$W_{10} = C_L \int_{v(0)}^{v(1)} v_{02} \cdot dv_{02} \quad (6.46)$$

Evaluando las expresiones anteriores y sumando tenemos que la potencia media disipada por operaciones lógicas es:

$$\begin{aligned} P &= \frac{1}{T} [W_{01} + W_{12} + W_{20} + W_{02} + W_{21} + W_{10}] = \\ P &= \frac{2}{T} [C_L v(2)^2 + C_L'' (v(2)^2 - v(1)^2)] \end{aligned} \quad (6.47)$$

6.73. FACTOR DE MERITO PARA UNA BASE GENERICA.

Ahora bien, la potencia media consumida por operación lógica dada por la expresión (6.47) no es directamente comparable con la potencia media por operación lógica de la familia CMOS binaria, debido a que una operación lógica de ésta suministra $\frac{3}{2}$ veces menos información que la familia lógica ternaria que estamos considerando. De esta forma el factor de mérito que proponemos para comparación entre una familia lógica de base P y una familia lógica binaria es :

$$F = \frac{2}{p} P \cdot T_0 \quad (6.48)$$

siendo T_0 el periodo de una señal cuadrada en el que se producen dos operaciones lógicas, P la potencia media disipada por operación lógica y p la base de la lógica implementada por la familia lógica. Nótese que si la familia lógica considerada es binaria $p = 2$ y el factor de mérito queda reducido al ya conocido.

Para un circuito CMOS ternario tendremos:

$$P = \frac{2}{3T_0} [C_L v(2)^2 + C_L'' (v(2)^2 - v(1)^2)] \quad (6.49)$$

por lo que, aplicando (6.48) a nuestro caso, podemos escribir:

$$F = \frac{2}{3} \frac{2}{3T_0} [C_L v(2)^2 + C_L'' (v(2)^2 - v(1)^2)] \cdot T_0$$

$$F = \frac{4}{9} [C_L v(2)^2 + C_L'' (v(2)^2 - v(1)^2)] \quad (6.50)$$

Por otro lado, la potencia media disipada en una familia CMOS binaria, para una capacidad de carga típica C_L igual a la considerada para los circuitos ternarios, y con una diferencia de tensión entre niveles lógicos que sea igual a la tensión $v(2)$ de la familia ternaria, es:

$$P_b = \frac{1}{T_0} C_L \cdot v(2)^2 \quad (6.51)$$

y por tanto, su factor de mérito es:

$$F_b = C_L \cdot v(2)^2 \quad (6.52)$$

A efectos de comparación, podemos hacer una evaluación de las expresiones (6.50) y (6.52) utilizando los valores:

$$v(2) = 5 \text{ v.}$$

$$v(1) = 2.5 \text{ v.}$$

$$C_L = 15 \cdot 10^{-12} \text{ Far.}$$

$$C_L'' = 5 \cdot 10^{-12} \text{ Far.}$$

$$F = 2.083 \cdot 10^{-10}$$

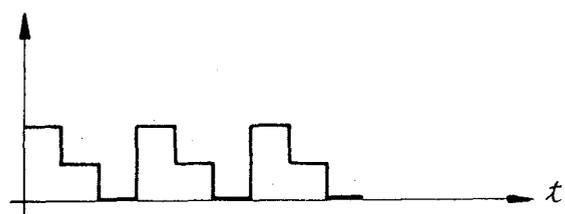
$$F_b = 3.75 \cdot 10^{-10}$$

es decir, que la familia CMOS ternaria es 1.8 veces más eficiente que la familia CMOS binaria, operando ambos a la misma frecuencia.

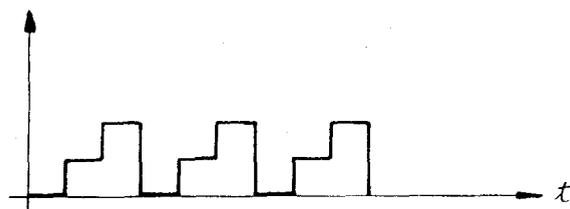
6.7.4. CONSIDERACIONES SOBRE LA EVALUACION EXPERIMENTAL DEL FACTOR DE MERITO.

Debemos comenzar apuntando que la señal v_i de la figura 6.7.1 no puede ser generada por un anillo oscilador de operadores ternarios que tengan la propiedad involutiva y sean homogéneos. Así, por ejemplo, uti-

lizando a partir de \bar{x} sólo podemos conseguir o bien oscilaciones entre 0 y 2, o bien el valor 1 estables. Un oscilador basado en operadores cíclicos x^{\rightarrow} generará una señal periódica con la forma representada en la figura 6.7.2 - a: por tanto, únicamente permite medir el tiempo medio de retraso de tres de las transiciones posibles. Además hay que tener presente que dicho tiempo medio de retraso será superior al que se mediría si esas mismas tres transiciones las efectuaran operadores \bar{x} . La razón de ello estriba en que, como se ve en el esquema de la figura 6.7.3, la transición de $2 \rightarrow 1$ debe su retraso a los inversores A(x) y E(x). Asímis



a)



b)

Fig. 6.7.2.

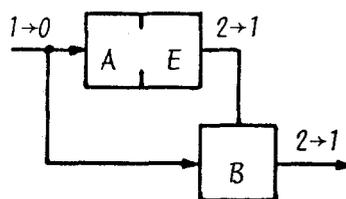


Fig. 6.7.3: Operador X^{\rightarrow}

mo, la potencia media consumida por dicho oscilador no corresponde, obviamente, más que a esas tres transiciones. Un razonamiento análogo vale para el oscilador constituido por puertas cíclicas x^{\leftarrow} , cuya señal generada es la mostrada en la figura 6.7. 2-b.

La solución al problema está en considerar simultáneamente dos anillos osciladores ; uno, basado en operadores x^{\rightarrow} y el otro en operadores x^{\leftarrow} . Ambos, por supuesto, con el mismo número de elementos. Promediando conjuntamente las dos cadenas podemos obtener un resultado significativo.

En nuestro caso, al no disponer de muestras integradas, no hemos po-

dido realizar una estimación experimental del factor de mérito. No obstante, a modo de ilustración, podemos obtener una apreciación conservativa de la frecuencia máxima de operación considerando las transiciones más lentas del operador complemento ternario ya estudiado en los apartados 6.5 y 6.6. En primer lugar, la frecuencia máxima teórica de operación viene determinada por el tiempo de propagación más largo /8.11/. Aunque no disponemos de una expresión teórica que nos permita calcular los tiempos de propagación de \bar{x} , si podemos hacer una estimación del valor máximo. Observando los tiempos de transición de los inversores D(x) y E(x) de la tabla 6.2.1, vemos que al interconectarlos en PFI, los tiempos de transición del operador \bar{x} resultante no superarán ninguno el triple del máximo. En consecuencia, es razonable inferir que los tiempos de propagación de dicho operador no superen tampoco el triple de los tiempos de propagación calculados en 6.3 para los inversores E(x) y D(x). Esto nos lleva a establecer para $t_{pdm\acute{a}x} \simeq 65$ ns y para la frecuencia máxima una estimación dada por:

$$f_{m\acute{a}x} = \frac{1}{T_{m\acute{a}x}} \leq \frac{1}{2t_{pdm\acute{a}x}} = \frac{1}{2 \cdot 65 \text{ ns}} = 7'6 \text{ Mhtz.}$$

REFERENCIAS DEL CAPITULO 6.

- /1/ .- J.R.Burns: " Switching response of complementary - symmetry MOS transistor. Logic circuits ". RCA Review. December 1.964, pp 628-661.
- /2/ .- H.Tanb, D. Schilling: " Digital integrated electronics ". Mc. Graw-Hill, 1.977.
- /3/ .- D.J. Hamilton, W.G. Howard: " Basic integrated circuit engineering" Mc. Graw-Hill, 1.975.
- /4/ .- R.H. Crawford: " MOSFET circuit design ". Mc. Graw-Hill, 1.967.
- /5/ .- ED. Seewann: " Switching Speeds of MOS inverters ". IEEE. Journal of Solid-State circuits, vol. sc-15, n° 2, April 1.980, pp. 246-252.
- /6/ .- Motorola Semic. Prod. Inc.: " Mc. MOS. Data Book ". 1.973.
- /7/ .- Motorola Semic Prod. Ind.: " Mc. MOS Handbook ". 1.974.
- /8/ .- M.H.White: " Characterzation of CMOS devices for VLSI ". IEEE. J.S.S.C. vol. SC-17, n°2, April 1.982,pp. 208-214.
- /9/ .- A. Aitken, P. Kung: " The influence of design and process parameters on the reliability of CMOS integrated circuits ". Pergamon Press. Microelectronics and Reliability. vol. 17, 1.978, pp. 201-210.
- /10/.- H.C. Josephs: " A figure of merit for digital systems ". Pergamon Press. Microelectronics and Reliability. vol. 14, 1.965, pp. 345-350.
- /11/.- R. Müller, H. Pfleiderer, K. Stein: " Evergy per logic Operation in Integrated Circuits: Definition and determination ". IEEE. J.S.S.C., vol. SC-11, n°5, October 1.976, pp. 657-661.
- /12/.- E.O. Johnson: " Power-delay Energy Comparison of Bipolar and IGFET.

Digital Devices and circuits ". IEEE Trans. on Electron
Devices, vol. ED- , pp. 1.044-1.045.

CAPITULO 7

APLICACIONES Y GENERALIZACION.

INDICE

7.1. INTRODUCCION.	PAG. 7.1
7.2. CIRCUITOS ARITMETICOS.	7.2
7.2.1. SEMISUMADOR.	7.2
7.2.2. RESTA EN MODULO 3.	7.7
7.2.3. PRODUCTO EN MODULO 3.	7.7
7.2.4. COMPARACION CON CIRCUITOS BINARIOS.	7.9
7.3. BUFFER DE 4 ESTADOS.	7.13
7.4. ELEMENTOS DE MEMORIA: 3-FLOPS.	7.17
7.5. CELULA RAM DE MEMORIA.	7.20
7.6. CELULA DE MEMORIA DE SOLO LECTURA: ROM.	7.25
7.7. EXTENSION A LOGICA DE 4 VALORES.	7.29
REFERENCIAS.	7.36

7.1. INTRODUCCION.

En el presente capítulo acometeremos el diseño de circuitos que forman parte de estructuras de mayor complejidad, tales como unidades aritméticas, unidades para controlar bases multivaluadas y circuitos con capacidad de memoria. Con ello pretendemos mostrar algunas aplicaciones de diseño prácticos de la nueva familia de circuitos CMOS-MV que se ha propuesto en esta memoria.

Existe otro aspecto que queremos poner de manifiesto. Hasta ahora, hemos diseñado, los operadores de Givone, los " inversores " de Vranesic, los operadores cíclicos así como el complemento ternario a partir de unos bloques básicos. También disponemos de las puertas MAX y MIN. Este conjunto de funciones es suficiente para acometer el diseño de cualquier función lógica ternaria, con la ayuda de una de las dos álgebras expuestas en el capítulo 2. Sin embargo, al tener a nuestro alcance mayor número de funciones " elementales " realizables con el mismo coste (entendiendo aquí por tal, mismo número de MOSTs y misma estructura) que las funciones ante

riores, es fácil intuir que otras funciones más complejas pueden tener realizaciones más simples que si se utilizan las técnicas tradicionales. Por todo ello, nuestra atención en este capítulo no va a estar centrada en la aplicación de técnicas de diseño empleando los operadores básicos de un álgebra; antes bien, trataremos de obtener diseños de circuitos especialmente útiles desde un punto de vista práctico, pero en estos diseños intentaremos generar bloques optimizados a nivel de transistor.

Por último, esbozaremos la extensión del método propuesto al diseño de una familia de circuitos con tecnología CMOS destinada a funcionar en lógica de 4 valores que, independientemente de las dificultades tecnológicas que pueda suscitar, pone de manifiesto la generalidad de dicho método.

7.2. CIRCUITOS ARITMETICOS.

7.2.1. SEMISUMADOR.

Es conocido que el circuito semisumador de dos bits en lógica binaria es el circuito que realiza la función ExOR. También es conocido que en tecnología CMOS dicha función es realizable como indica la figura 7.2.1, /Data 1/, que es más eficiente que la implementación por métodos

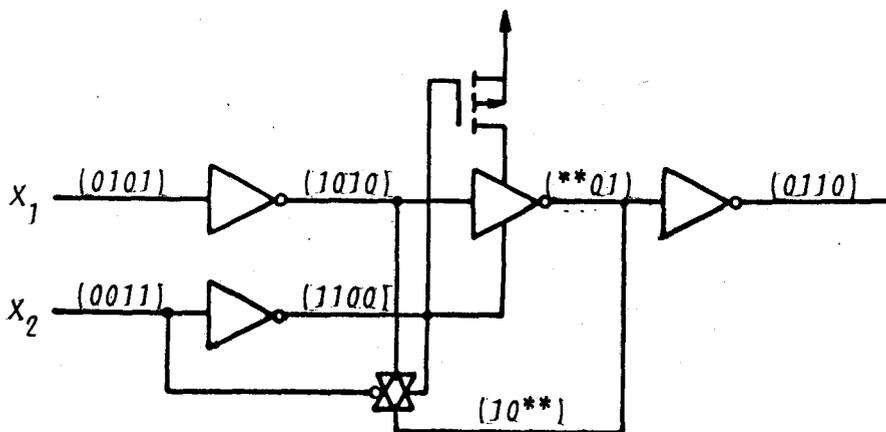


Fig. 7.2.1: ExOR binaria.

clásicos.

Un circuito semisumador de dos bits en lógica de tres valores ha de tener un comportamiento como indica la tabla 7.2.1. Nótese que ahora un

$x_1 \backslash x_2$	0	1	2
0	0	1	2
1	1	2	0
2	2	0	1

Tabla 7.2.1.

un bit puede tener tres valores por lo que suele de nominarse un trit. A partir de la tabla 7.2.1 es fá cil ver que, según el valor que tenga una variable, por ejemplo x_2 , la salida es x_1 , x_1^{\rightarrow} ó x_1^{\leftarrow} . En consecuencia implementando los dos operadores cíclicos sobre una variable, podemos seguir manteniendo la estructura de la figura 7.2.1, siendo el valor de la

otra variable la que determine la salida. Observese que los inversores co locados en la salida y en la entrada x_1 permiten aislar la puerta de trans misión de las condiciones de cange sin alterar el comportamiento lógico desde la doble inversión en el camino entrada-salida correspondiente. Man teniendo el mismo criterio de aislamiento, en el caso ternario tenemos que implementar las operaciones \bar{x}_1 , x_1^{\rightarrow} y x_1^{\leftarrow} ya que $x = x^{\leftarrow}$ y $x = x^{\rightarrow}$. Una forma de hacerlo como vimos en el apartado 4.6 es como se indica en

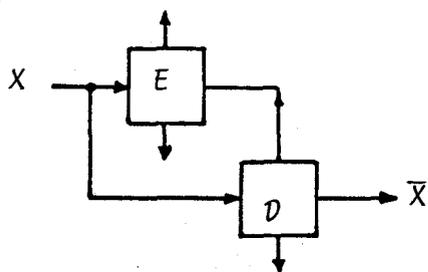


Fig. 7.2.2.

las figuras 7.2.2, 7.2.3.a y 7.2.4.a. De esta forma son necesarios 8 inversores de un umbral, o lo que es lo mismo, 16 MOSTs. Sin embargo, nótese que disponemos de la función \bar{x} , los operadores cíclicos también se obtienen de la forma indicada en las figuras 7.2.3.b y 7.2.4.b.

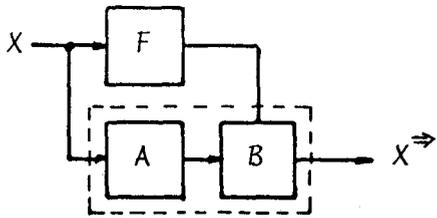


Fig. 7.2.3-a

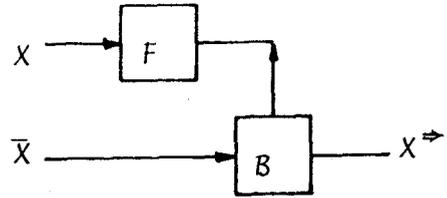


Fig. 7.2.3-b

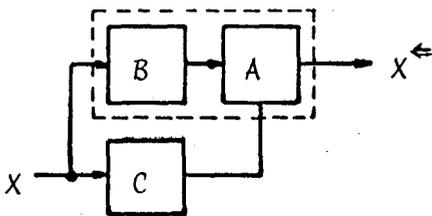


Fig. 7.2.4-a

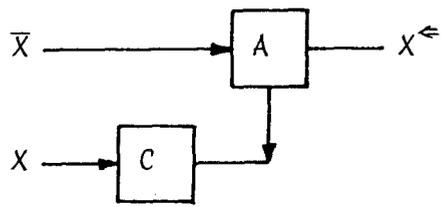


Fig. 7.2.4-b

En consecuencia, podemos obtener los tres operadores involutivos anteriores con sólo los 6 inversores de un umbral, como se indica en la figura 7.2.5. Es decir, es posible, en casos como éste, obtener funciones de varias salidas mediante un proceso de "embutido" de varias funciones.

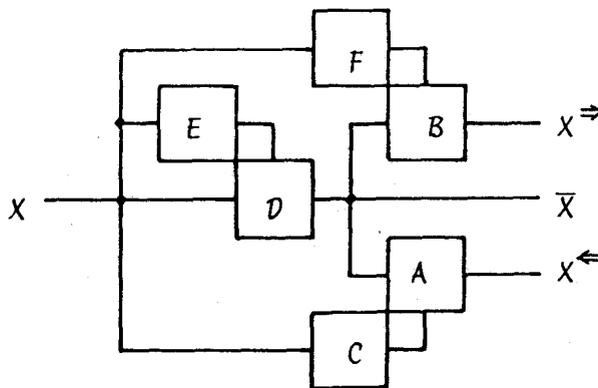


Fig. 7.2.5.

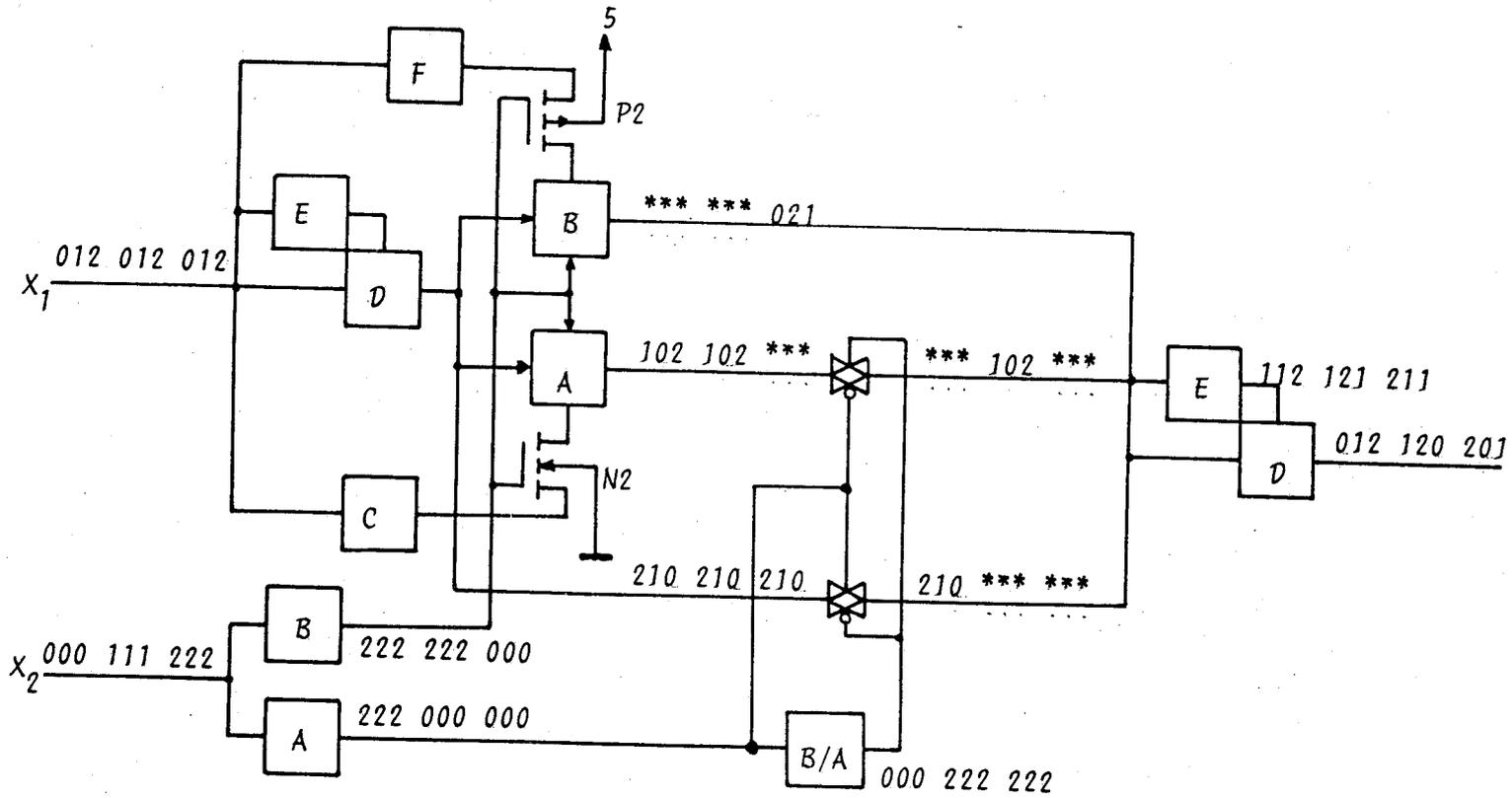


Fig. 7.2.6: Circuito sumador en módulo 3

De esta forma, para obtener el operador de semisuma sólo es necesario añadir un MOST a cada inversor $A(x)$ y $B(x)$ de la figura 7.2.5 (de forma análoga al situado en la segunda etapa de la figura 7.2.1 del caso binario), e igualmente el circuito de control de las salidas en función de la variable x_2 . Así, el semisumador de dos bits para lógica de 3 valores toma la forma de la figura 7.2.6. En la figura hemos indicado los valores lógicos presentes en cada línea para cada una de las combinaciones de entrada.

Para obtener el sumador completo tenemos que diseñar un circuito que genere el bits de arrastre (carry) para tres combinaciones de entrada, como se indica en la tabla 7.2.2. Esto es inmediato conseguirlo a partir de las tres funciones con estructura NAND:

$x_1 \backslash x_2$	0	1	2
0	0	0	0
1	0	0	1
2	0	1	1

Tabla 7.2.2.

$$AB_2(x_1x_2)$$

$$BA_2(x_1x_2)$$

$$C_2(x_1x_2)$$

interconectadas como indica la figura 7.2.7, que precisa para su realización de 12 MOSTs.

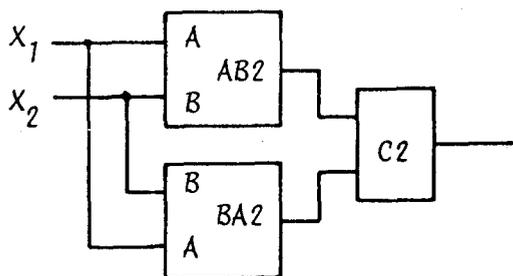


Fig. 7.2.7: Circuito de arrastre para el sumador en módulo 3.

Nótese que las funciones $AB_2(x_1x_2)$ y $BA_2(x_1x_2)$ están realizadas por circuitos idénticos, distinguiéndose en que tienen las entradas permutadas. La función que realizan es la mostrada en la tabla 5.2.25.

7.2.2. RESTA EN MODULO 3:

La resta en módulo 3 de dos señales ternarias viene representada por la función de la tabla 7.2.3. Comparándola con la tabla 7.2.1 vemos que

$x_1 \backslash x_2$	0	1	2
0	0	1	2
1	2	0	1
2	1	2	0

Tabla 7.2.3.

la diferencia estriba en permutar la segunda y la tercera filas. Por tanto, es claro que el circuito que la realice puede tomar la misma estructura del semisumador variando convenientemente el subcircuito de control dependiente de x_2 . Esto es lo que se muestra en el diagrama de la figura 7.2.8.

7.2.3. CIRCUITO DE PRODUCTO EN MODULO 3.

El circuito multiplicador de dos trits es aquel que realiza el producto módulo 3 de sus dos entradas. La función es, por tanto, la mostrada en la tabla 7.2.4 y el arrastre, viene dado por la tabla 7.2.5.

$x_1 \backslash x_2$	0	1	2
0	0	0	0
1	0	1	2
2	0	2	1

Tabla 7.2.4.

$x_1 \backslash x_2$	0	1	2
0	0	0	0
1	0	0	0
2	0	0	1

Tabla 7.2.5.

La técnica de diseño de este circuito puede seguir una técnica totalmente paralela a la del semisumador que acabamos de ver. Ahora sólo necesitamos implementar las funciones $\overline{x_1}$ y x_1^+ , ya que junto con la complementación de salida nos proporcionarán la segunda y tercera filas de la tabla 7.2.4. Dichas funciones se pueden obtener, como se ve en la figura 7.2.9, a partir de los 6 inversores de un umbral (compárese con la figura 7.2.5).

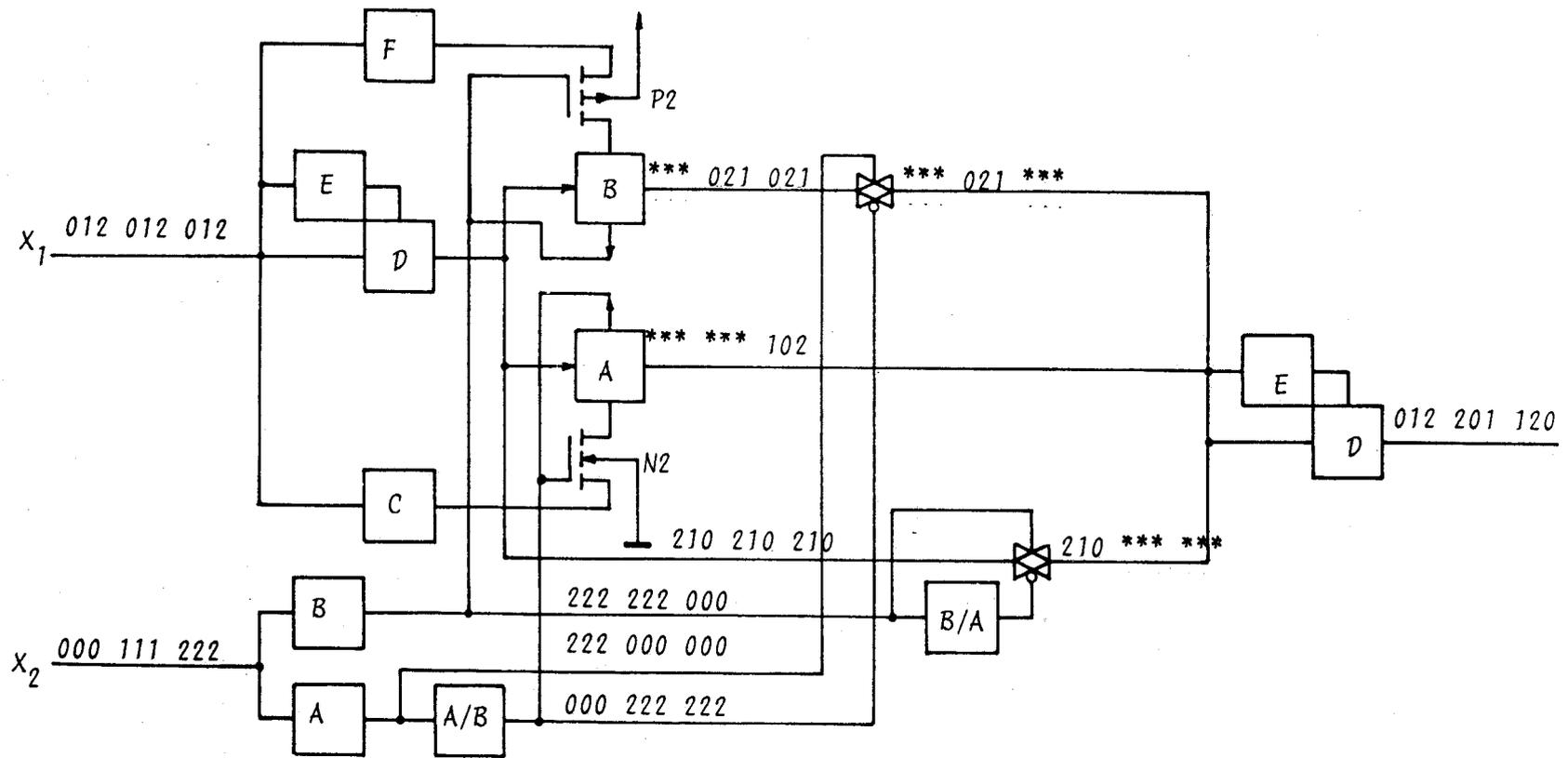


Fig. 7.2.8: Resta en módulo 3.

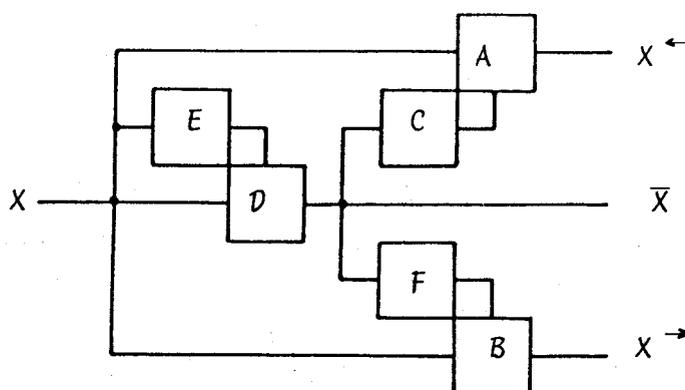


Fig. 7.2.9.

Sólo queda añadir los MOSTs necesarios para controlar estas funciones a partir de la otra variable x_2 , llegandose en forma directa a la realización mostrada en la figura 7.2.10. Este circuito consta de un total de 23 MOSTs. Nótese que la primera fila de la tabla 7.2.4, se obtiene controlando simplemente el MOST señalado con α en la figura, y dicho control lo ejerce x_2 . Igual que antes, para facilitar la comprensión del funcionamiento del circuito, hemos indicado los valores lógicos en cada línea para cada combinación de entrada.

En cuanto al circuito necesario para implementar el arrastre del producto, se obtiene simplemente con la función de estructura NAND $L_2(x_1, x_2)$ vista en el apartado 5.2.

7.2.4. COMPARACION CON CIRCUITOS BINARIOS.

Con objeto de poner de manifiesto la eficiencia de los circuitos anteriores, en este subapartado haremos una estimación de ella por comparación con el caso binario. Dicha estimación la vamos a hacer en base a considerar la cantidad de información, que puede manipular un circuito, por unidad de coste.

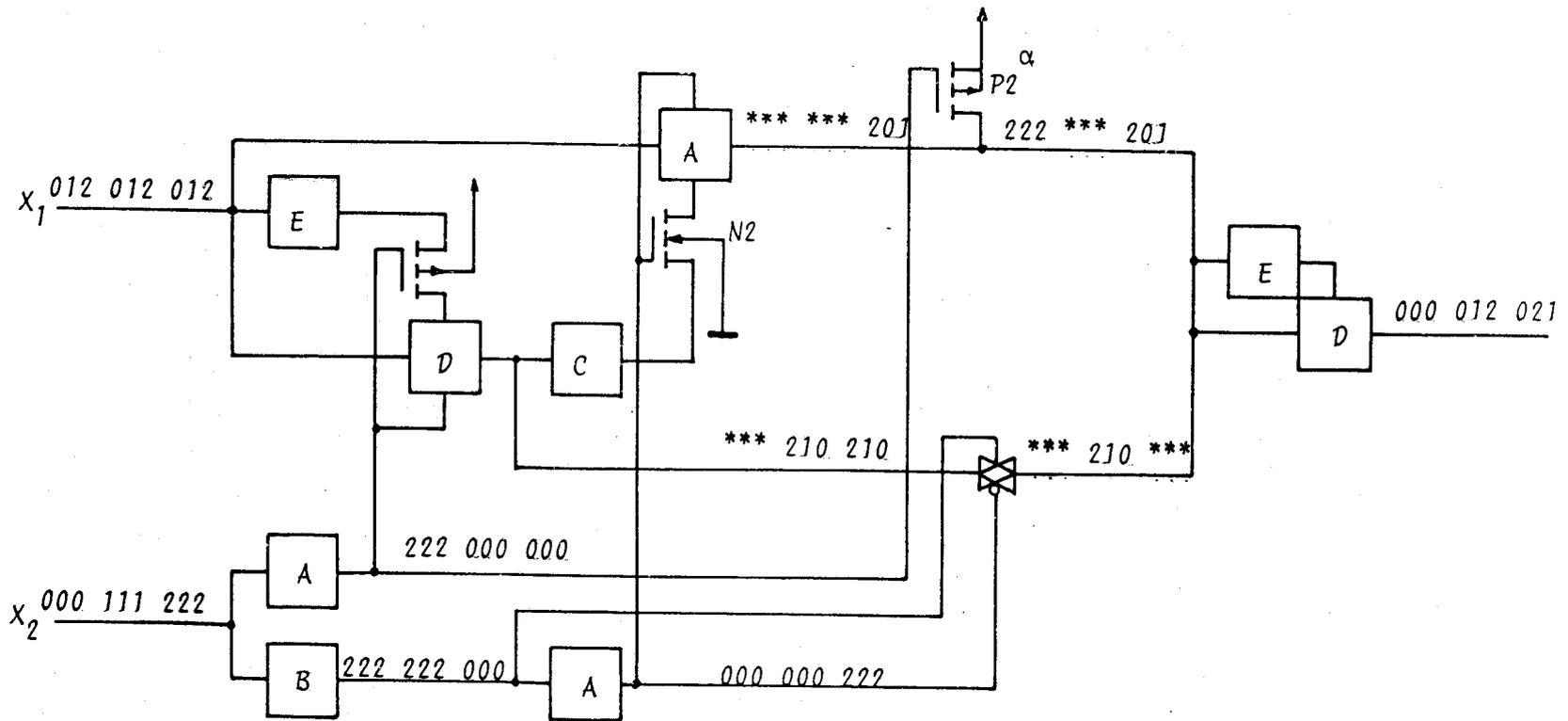


Fig. 7.2.10: Producto en módulo 3.

En primera aproximación el coste de un circuito podemos suponer que está directamente relacionado con el número de MOSTs que contiene. Por otro lado, en circuitos combinatoriales la cantidad de información que pueden manipular se puede asimilar al número de combinaciones distintas de entradas que poseen. Por tanto, la cantidad de información por unidad de coste I_n , consideraremos en este caso que es:

$$I_n = \frac{\text{número de combinaciones de entrada}}{\text{número de MOSTs}}$$

Consideremos como ejemplo el circuito sumador complemento de un bit (full adder) /11/ que aparece representado en la figura 7.2.11. Como se ve, consta de dos puertas ExOR y tres NAND de dos entradas, lo cual supone un coste de 36 MOSTs. Obviamente al ser un circuito de tres entradas posee 8 patrones distintos de entrada. Por tanto su cantidad de información por unidad de coste es:

$$I_2 = \frac{8}{36} = \frac{1}{4}$$

La contrapartida del circuito anterior en lógica de tres valores es el sumador complemento de un trit. El circuito que lo realiza es el que aparece esquematizado en la figura 7.2.12. En ella se ve que se precisan dos sumadores en módulo 3 como el de la figura 7.2.6 para generar el trit de suma y 4 inversores de dos variables, 1 de tres y 1 de cuatro variables para generar el trit de arrastre. Todo ello supone un coste de 86 MOSTs. Sin embargo, con el mismo número de entradas (y de salida) que el sumador completo binario, podemos ahora distinguir entre 27 situaciones distintas. Esto supone que la cantidad de información por unidad de coste es en este caso:

$$I_3 = \frac{27}{86} = 0'314$$

Esto significa que con el criterio de comparación utilizado el suma

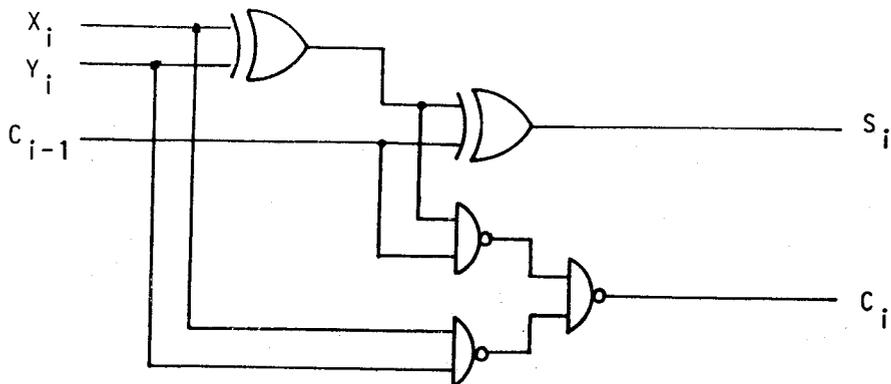


Fig. 7.2.11: Sumador completo de un bit.

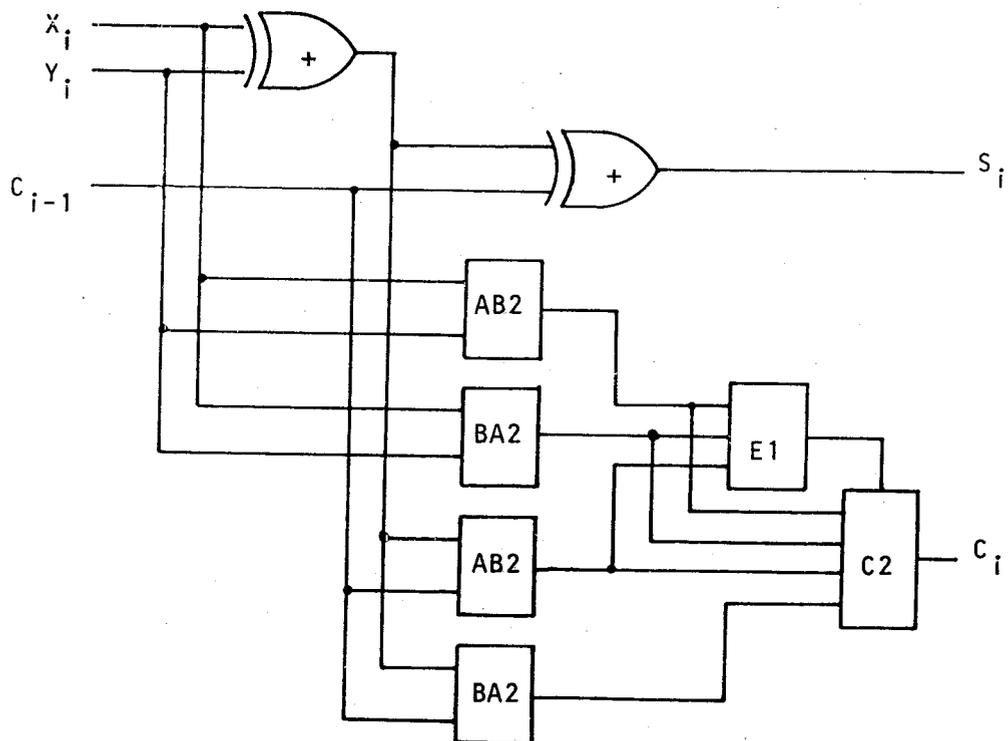


Fig. 7.2.12: Sumador completo de un trit.

dor completo de dos trit es $1_3/1_2 = 1'256$ más eficiente que el sumados completo de dos bit.

7.3. BUFFER DE 4 ESTADOS.

En este apartado describiremos el diseño de un circuito que además de dar como salida los tres valores lógicos, permita desconectar esta salida de las fuentes de polarización bajo control de las entradas, poseyendo por tanto un cuarto estado de salida que es de alta impedancia. Tal circuito, como vamos a ver, es una extensión directa de los llamados "buffer 3-state" de la familia CMOS binaria.

El circuito CMOS binario que implementa el "buffer-inversor" con tres estados de salida es el que se muestra en la figura 7.3.1, y la tabla de verdad que realiza es la 7.3.1. Las líneas discontinuas indican

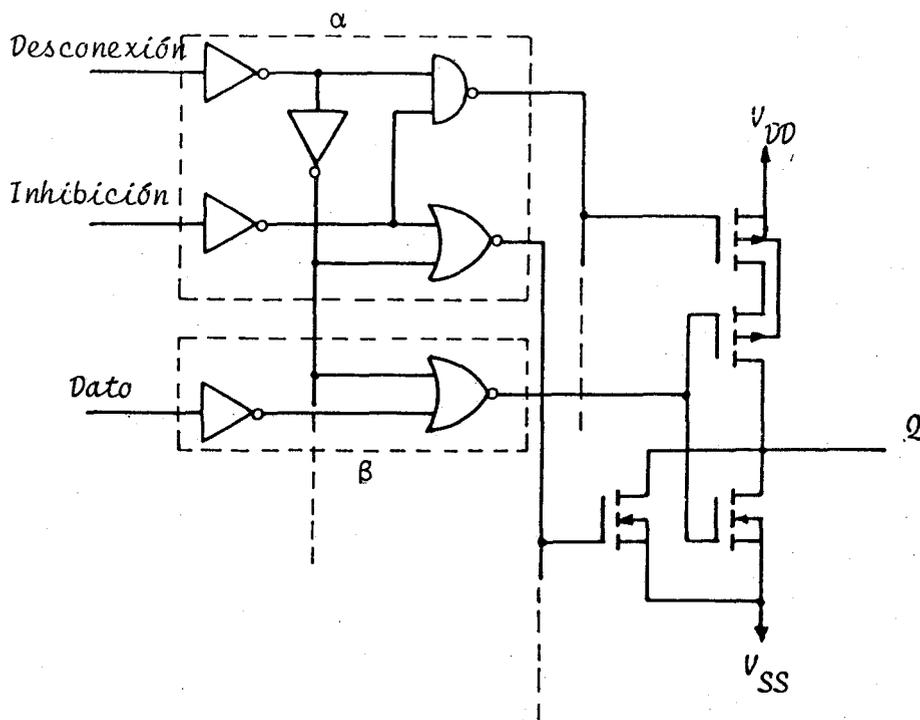


Fig. 7.3.1: Buffer de 3 estados (binario).

Dato	Inh.	Des.	Q
0	0	0	1
1	0	0	0
X	1	0	0
X	X	1	Alta imp.

Tabla 7.3.1.

que el control ejercido por las entradas de desconexión e inhibición se hace sobre un conjunto de datos. Nótese que existen tres situaciones distintas, a saber; 1°) Una combinación de entrada de control que permite el paso de datos (y lo convierte). 2°) Una combinación de entradas que, sean cuales sean los datos, da como salida el mínimo valor lógico y 3°) Una combinación de control que pone en alta impedancia la salida.

La extensión de este circuito al caso de lógica ternaria, también pretendemos que exhiba estos tres tipos de comportamiento. Para hacerlo se nos presentan dos posibilidades distintas; 1°) que el control lo ejerzan dos señales bivaluadas, como es el caso del circuito de la figura 7.3.1 para lógica binaria. 2°) que el control lo ejerza una única señal multivaluada, en este caso ternaria.

Veamos primero el diseño con control bivaluado. Si exigimos que los valores lógicos que toman las señales de desconexión e inhibición sean 0 y 2, el circuito de control (equivalente al bloque señalado por α en la figura 7.3.1), adopta exactamente la misma estructura. Sólo hay que sustituir los tres inversores binarios por inversores de un umbral $A(x)$ y las puertas NAND y NOR por la puerta NAND $A_2(x_1, x_2)$ y la puerta NOR $A_1(x_1, x_2)$ respectivamente, como indica la figura 7.3.2.

Para mayor sencillez, podemos exigir que cuando se permite el paso

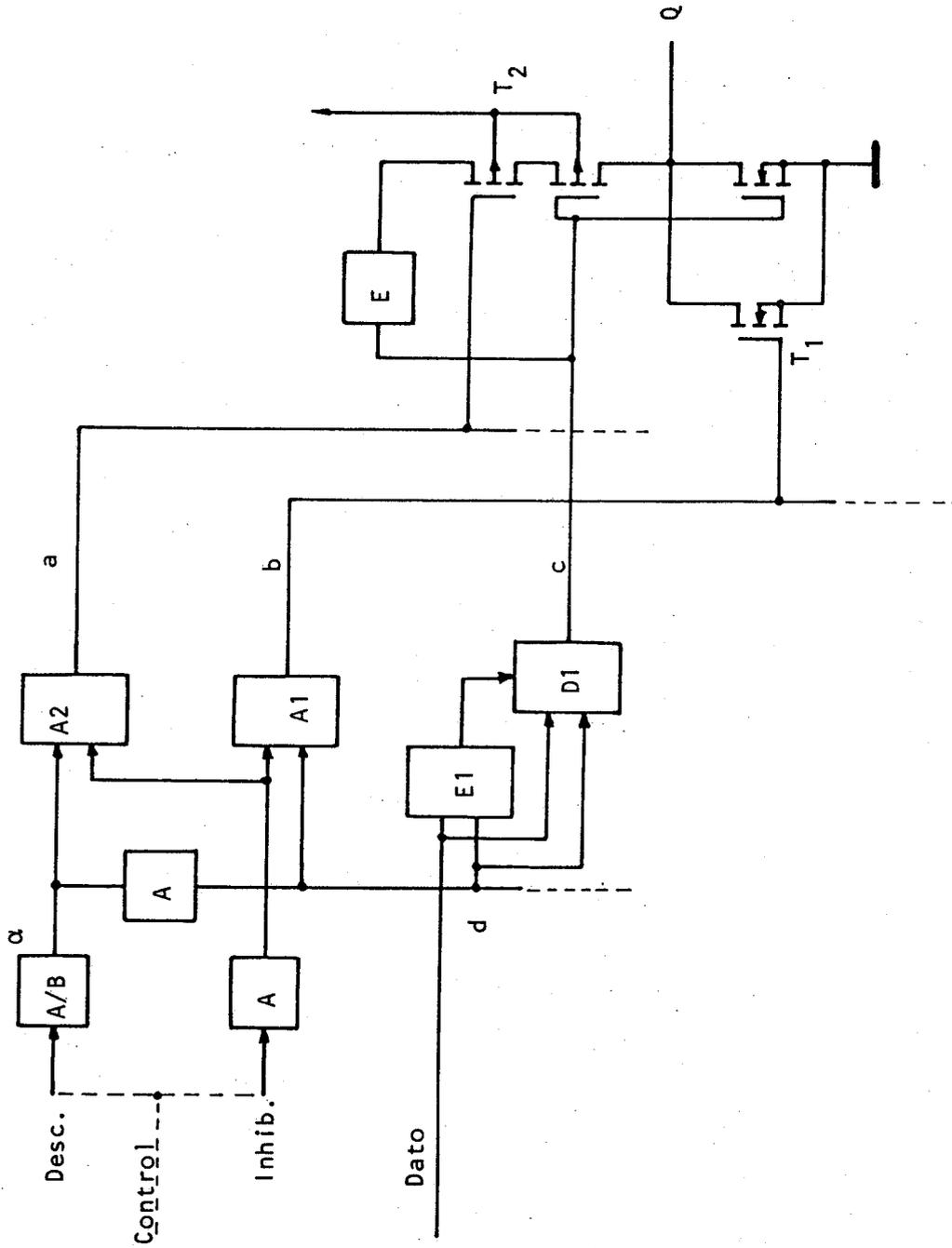


Fig. 7.3.2: Buffer de 4 estados (ternario).

de datos, estos aparezcan en la salida inalterado, es decir, sin complementar. Nótese que en la realización binaria aparece invertido. En tal

Dato		0	1	2
d	0	2	1	0
	1	1	1	0
	2	0	0	0

Tabla 7.3.2.

caso, el bloque denotado por β en la figura 7.3.1, queda sustituido por el circuito cuya salida es c en la figura 7.3.2. Este realiza la función que se indica en la tabla 7.3.2 que no es más que la función $\overline{\text{MAX}}$ que vimos en el apartado 5.3. Nótese que, dado que la entrada d es bivaluada, de dicha tabla sólo se utilizan la primera y la tercera fila.

Finalmente la etapa de salida del circuito de la figura 7.3.2 no es más que el operador complemento ternario, cuya salida se gobierna a través de los MOSTs T_1 y T_2 controlados por las señales a y b . En definitiva, la tabla de verdad que realiza el circuito complemento es la tabla 7.3.3.

Dato	Inh.	Des.	Q
0	0	0	0
1	0	0	1
2	0	0	2
X	2	0	0
X	X	2	Alta imp.

Tabla 7.3.3.

Veamos en segundo lugar el diseño para el caso de que el control lo ejerza una única señal ternaria.

En la figura 7.3.2 el Inversor de un umbral señalado por α , puede ser del tipo $A(x)$ o $B(x)$ según hemos especificado sobre la propia figura. Observese que, ya que la señal de desconexión es bivaluada, el circuito resultante tendrá exactamente el mismo comportamiento al descrito ante-

riormente. Sin embargo, si utilizamos en dicho lugar α el inversor $B(x)$ y unimos las dos entradas de control (desconexión e inhibición) en una sola, que denominamos control podemos permitir que ésta sea una señal trivaluada y el circuito resultante sigue exhibiendo el mismo comportamiento. Esto está indicado en la figura mediante línea de puntos. Ahora la tabla de verdad del circuito queda convertida en la tabla 7.3.4.

Dato	Control	Q
0	0	0
1	0	1
2	0	2
X	1	0
X	2	Alta imp.

Tabla 7.3.4.

En definitiva, puede verse que con el mismo circuito podemos ejercer el control bivaluado clásico mediante dos líneas, o bien, ejercer el control mediante una señal trivaluada, simplemente uniendo ambas líneas en una única entrada.

7.4. ELEMENTOS DE MEMORIA: 3- FLOPS.

Como ya ha sido apuntado en el apartado 2.4, las posibilidades de generalización en un contexto lógico de los distintos elementos de memoria binarios al caso multivaluado, son muchos. En consecuencia, un estudio sistemático de las posibilidades de realización de todos los elementos propuestos hasta la fecha / /, empleando los circuitos que en esta memoria introducimos, sería muy extensa. Aquí nos limitaremos al diseño de la generalización del flip-flop R-5, y del flip-flop D, por su sencillez /4/

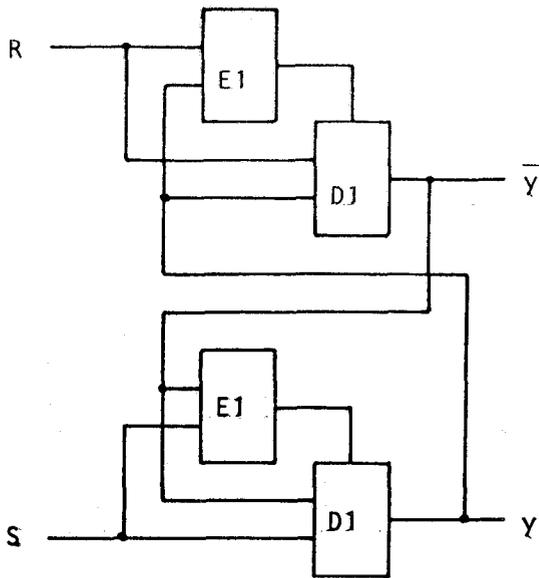


Fig. 7.4.1: 3-flop R-S realizado con puertas $\overline{\text{MAX}}$

RS Y	00	01	02	10	11	12	20	21	22
02	02	02	02	11	11	01	20	10	00
11	11	11	02	11	11	01	20	10	00
20	20	11	02	20	11	01	20	10	00

Tabla 7.4.1: Tabla de transición del 3-flop R-S realizado con puertas $\overline{\text{MAX}}$.

RS Y	00	01	02	10	11	12	20	21	22
02	22	12	02	21	11	02	20	11	02
11	22	12	02	21	11	11	20	11	11
20	22	12	02	21	11	11	20	20	20

Tabla 7.4.2: Tabla de transición del 3-flop R-S realizado con puertas $\overline{\text{MIN}}$.

y utilidad práctica. Extensiones a otros caos son directamente generables a partir del material contenido en este apartado.

La figura 7.4.1 muestra una realización con puertas $\overline{\text{MAX}}$ del R-15 3-flop. Su tabla de transición correspondiente es la mostrada en la tabla 7.4.1. Nótese que, como en el caso binario, hay combinaciones de entrada que no deben producirse, por conducir a situaciones en las que las dos salidas no son complementadas. A partir de la tabla es fácil ver que no deben permitirse las entradas $(RS)=(12), (21), (22)$.

Es de destacar que las dos puertas $\overline{\text{MAX}}$ de la figura 7.4.1 están realizadas según la primera forma. El comportamiento lógico del 3-flop R-S no se vería modificado si hubiésemos puesto una $\overline{\text{MAX}}$ de la primera forma y una $\overline{\text{MAX}}$ de la segunda forma. Sin embargo, como hemos visto en el capítulo 6, mientras la $\overline{\text{MAX}}$ de la primera forma tiene su máximo tiempo de transición en la transición de 0 á 2, la $\overline{\text{MAX}}$ de la segunda forma lo tiene de 2 á 0, y lo mismo ocurre con las demás transiciones simétricas. Como quiera que cuando el 3-flops bascula, ambas puertas $\overline{\text{MAX}}$ lo hacen en sentidos opuestos, si pusiéramos una de la primera forma y una de la segunda forma, el tiempo necerario para alcanzar la estabilidad se vería deteriorada. En consecuencia para obtener un comportamiento dinámico óptimo hemos de construir el R-S con los dos $\overline{\text{MAX}}$ realizadas de la primera forma, o bien las dos realizadas de la segunda forma.

Alternativamente, sin más que poner puertas $\overline{\text{MIN}}$ en lugar de puertas $\overline{\text{MAX}}$ obtenemos el 3-flop RS, cuya tabla de transición es la tabla 7.4.2. Ahora las tres combinaciones de entrada prohibidas son (00), (01) y (10).

Por otro lado, añadiendo las correspondientes puertas $\overline{\text{MAX}}$ (o $\overline{\text{MIN}}$), en la forma que en binario se hace con NOR (o NAND), obtenemos las versiones sincronizadas de los 3-flops R-S. Igualmente si añadimos un operador complemento como se indica en la figura 7.4.2 obtendremos el 3-flop D síncrono.

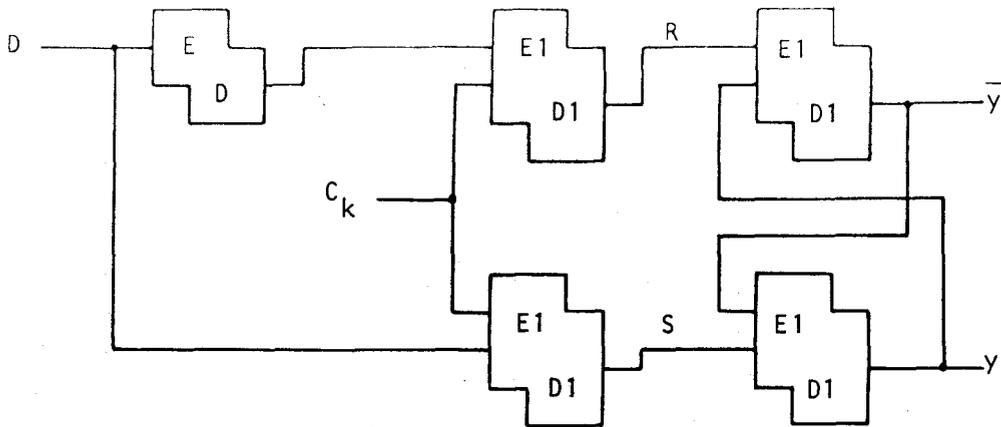


Fig. 7.4.2: 3-flop D a partir de puertas MAX.

7.5. CELULA RAM DE MEMORIA.

En una RAM estática, /5/ la única que trataremos en esta Memoria, cada celda está constituida por un circuito biestable. Este es el caso por ejemplo de la RAM comercial McM 14.505 de 64 bits /5/, cuya celda básica está representada en la figura 7.5.1. Como cualquier memoria RAM típica, está organizada de forma que un conjunto de líneas de selección, X, direcciona la palabra deseada y otro conjunto de líneas, Y, seleccionan el bit. Para escribir un dato, en esta organización de memoria, circuitos adicionales sitúan el dato D y su complemento \bar{D} en las líneas correspondientes y, simultáneamente, se eleva la tensión de la línea de selección de palabra, X, con lo que entran en conducción T_1 y T_2 . De esta forma las señales D y \bar{D} son almacenadas en el biestable. Cuando baja la tensión de la línea X, T_1 y T_2 desconectan la celda de las líneas D y \bar{D} . La lectura se efectúa, activando mediante la señal R/W circuitos adicionales que permiten la salida del contenido de la celda a través de D y \bar{D} , cuando de nuevo subimos la tensión de la línea de selección de palabra, X.

Para lógica de 3 valores y con los circuitos CMOS propuestos en esta

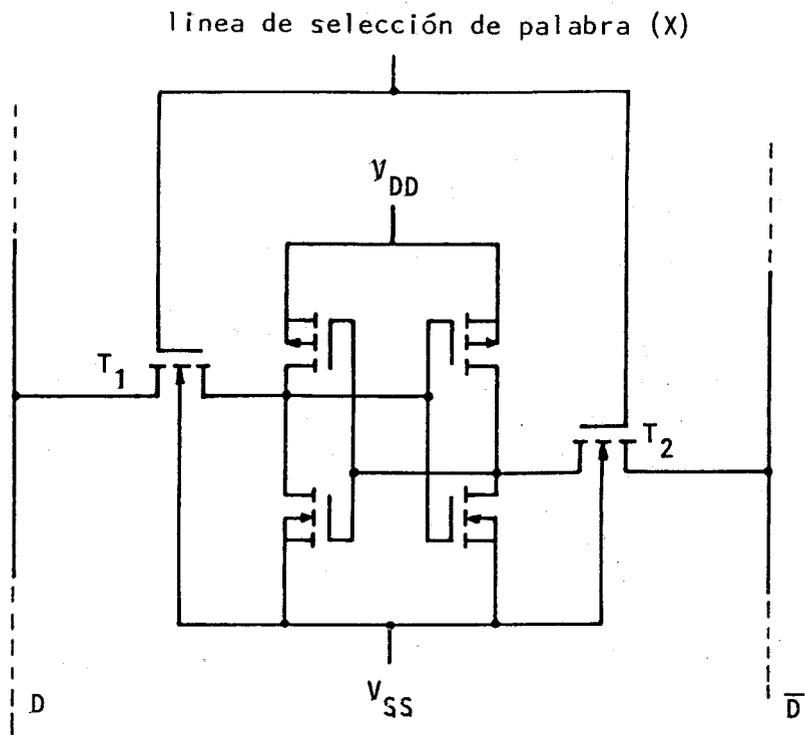


Fig. 7.5.1: Célula RAM CMOS binaria.

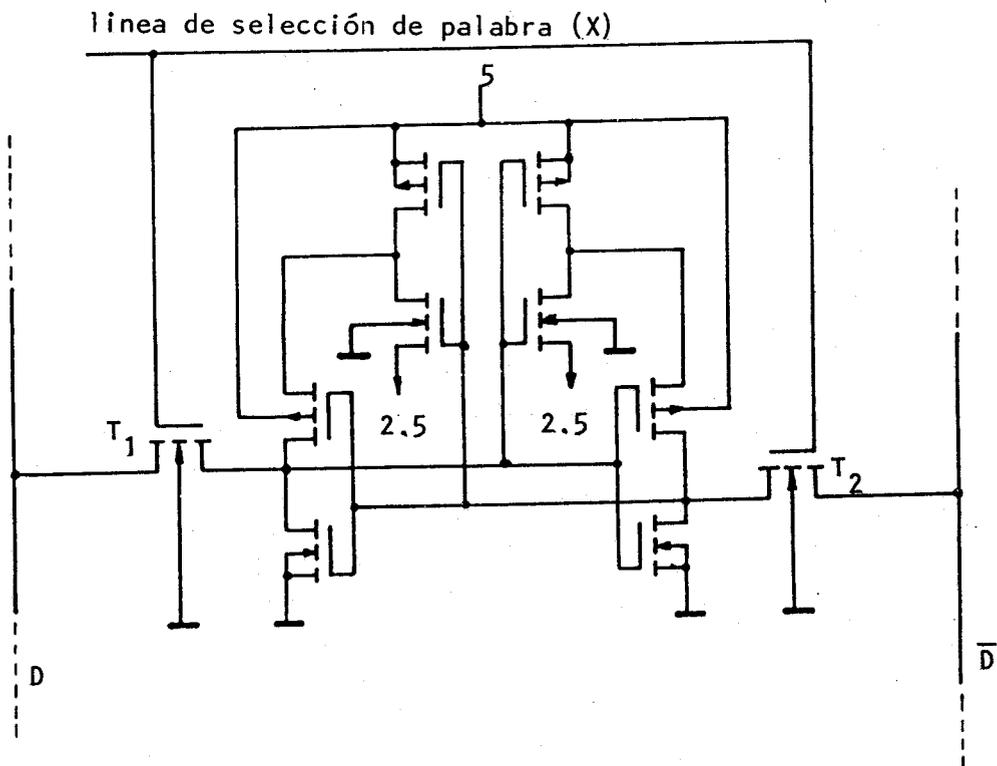


Fig. 7.5.2: Célula RAM CMOS ternaria.

Memoria, podemos diseñar una célula RAM con la misma arquitectura descrita. Como se indica en la figura 7.5.2, la celda consta de dos operadores complementos conectados en cascada formando un 3-flop más dos MOST de conexión a la línea de datos. Estos dos MOSTs, T_1 y T_2 han de ser del tipo N_2 (ver apartado 4.4). Por otra parte, la tensión de la línea de selección de palabras X ha de ser $V(2) = 5$ voltios para que en su activación permita el trasvase correcto de los datos a las líneas D y \bar{D} . Ahora, en la escritura, los " drivers " correspondientes tendrán que mandar el dato y su complemento por D y \bar{D} .

Como quiera que una de las mayores ventajas de utilizar una memoria MV es la de reducir su conexionado con el mundo exterior, es evidente que no sólo las líneas de datos han de ser MV, sino que también lo serán las líneas de dirección. Por tanto, y como por las líneas de selección de palabra, X , han de circular señales bivaluadas, éstas procederán de un decodificador ternario-binario en lugar de uno binario-binario.

Nótese que dicho decodificador admite una realización muy simple. Por ejemplo, supongamos una RAM, cuyo diagrama de bloques para el caso binario es el de la figura 7.5.3. Supongamos que dispone de dos líneas de direccionamiento de fila y una de columna. De esta forma en binario se pueden direccionar 8 celdas de memoria. En el caso ternario sin embargo se pueden direccionar 27 celdas distintas, organizadas en 9 filas de 3 columnas cada una. El circuito decodificador de filas, cuyo diagrama de bloques es el de la figura 7.5.4; se realiza únicamente con el circuito de la figura 7.2.9 junto con 9 circuitos del tipo A1. Por ejemplo, S_4 tiene por tabla de verdad la mostrada en la tabla 7.5.1, que es realizable por la función:

$$S_4 = A1(F_0, F_1)$$

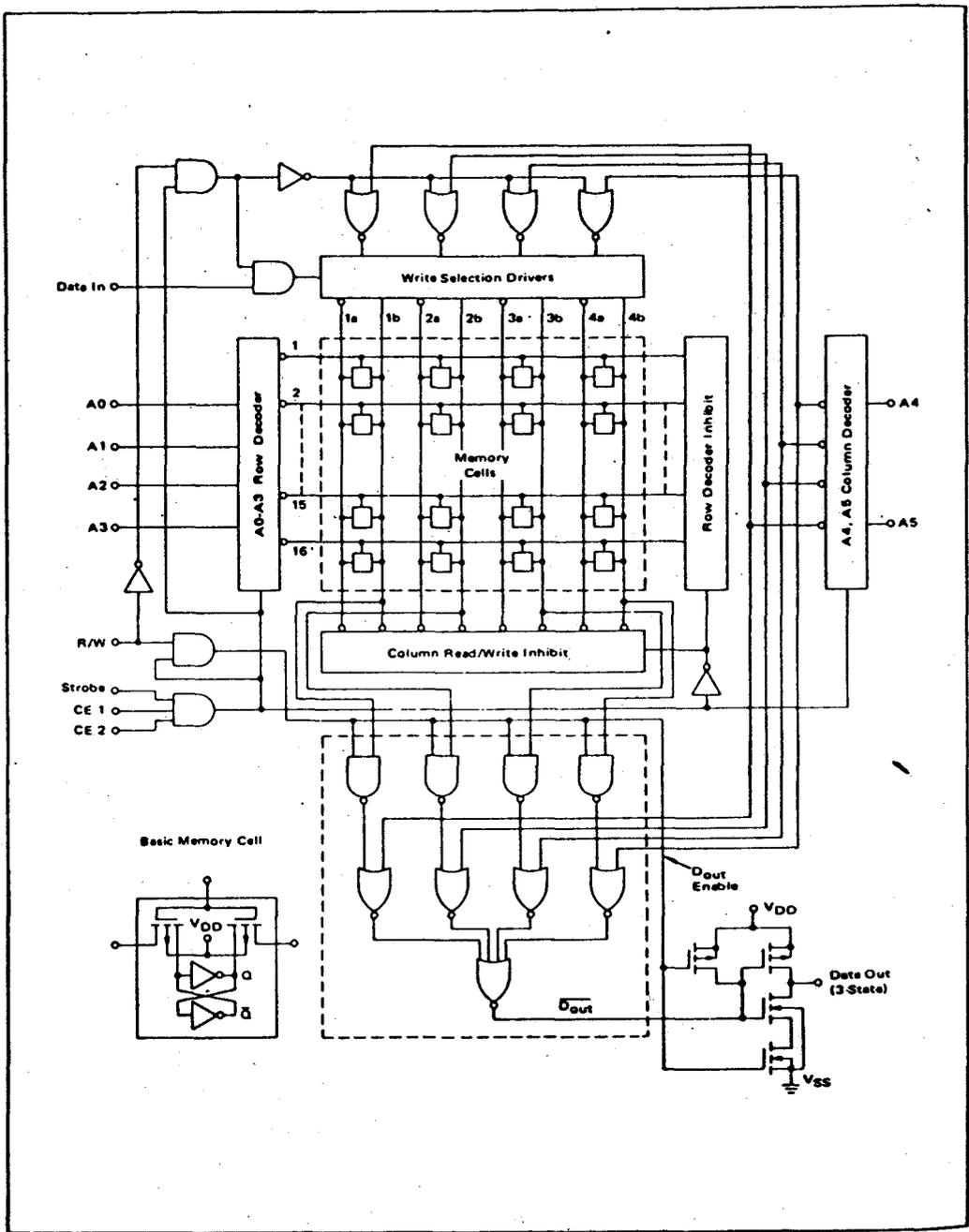


Fig. 7.5.3: Diagrama de bloques de la RAM binaria Mc 14505. (de /1/).

Asímismo, por ejemplo:

$$S_9 = A1(\overline{F_0}, \overline{F_1})$$

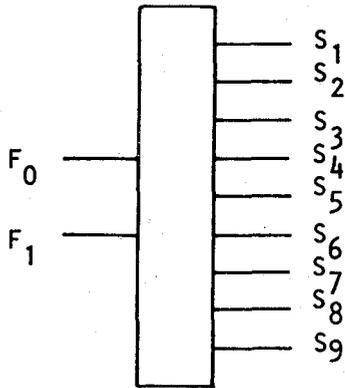


Fig. 7.5.4.

	F_0			
F_1	0	1	2	
	0	0	0	0
	1	2	0	0
	2	0	0	0

Tabla 7.5.1.

Basándonos en los resultados del capítulo 6, podemos hacer una evaluación aproximada de la eficiencia de la memoria RAM propuesta, en comparación con su contrapartida binaria. Para ello utilizaremos el criterio expuesto en la referencia /8/.

Sea $p+1$ el número de niveles lógicos y C_n la función de coste, en la que se contemplan factores tales como el área de silicio y la potencia requerida por el elemento de memoria $(p+1)$ -valuado. La densidad de información, I_n , de un elemento de memoria expresado en bits por unidad de coste se puede escribir mediante la relación:

$$I_n = \frac{\log_2(p+1)}{C_n} = \frac{I_n(p+1)}{C_n \cdot I_n^2} \quad (7.1)$$

La función de coste la podemos definir como:

$$C_n = A_n \cdot W_n = A_n \cdot P_n \cdot T_0 \quad (7.2)$$

siendo A_n el área de silicio ocupada, P_n la potencia disipada y T_0 la

frecuencia de funcionamiento. Si partimos de la premisa de considerar que el elemento de memoria binario ocupa un área de silicio unidad, teniendo 6 MOSTs dicha celda, el elemento ternario ocupará aproximadamente un área de valor $\frac{10}{6}$. Así, suponiendo una misma frecuencia de funcionamiento para las células binaria y ternaria; y utilizando los valores del apartado 6.5 obtenemos:

$$C_2 = 2 \cdot 3'75 \cdot 10^{-10} = 7'5 \cdot 10^{-10}$$

$$C_3 = \frac{10}{6} \cdot 2 \cdot 3'125 \cdot 10^{-10} = 1'0415 \cdot 10^{-9}$$

con lo que aplicando (7.1) obtenemos:

$$I_2 = 1'33 \cdot 10^9 \tag{7.3}$$

$$I_3 = 1'52 \cdot 10^9$$

En definitiva, independientemente de las evidentes ventajas que supone el menor número de líneas de conexión con el exterior, la memoria ternaria propuesta posee aproximadamente 1'14 veces más densidad de información que su equivalente binaria de la figura 7.5.1, definida tal densidad como número de bits por unidad de coste.

Nótese, finalmente, que con el mismo coste, se pueden utilizar en la celda ternaria en lugar de los dos operadores complemento, cualquiera de las realizaciones de la puerta identidad expuestas en el capítulo 4. Esto puede significar una flexibilidad adicional en circuitos muy complejos en los que la memoria ocupe solamente una parte del chip.

7.6. CELULA DE MEMORIA DE SOLO LECTURA; ROM.

Un área de frecuente aplicación de los MOSTs es la realización de memorias de sólo lectura (ROMs). Entre las muchas aplicaciones de éstas están las memorias de control, conversión de códigos, etc. Ahora bien,

la cantidad de microcódigos de que se debe disponer en un chip se está incrementando rápidamente. Por tanto, un objetivo importante a conseguir es el aumento de densidad de los ROM, y una forma evidente de conseguirlo es sumentando la densidad de información almacenada. En este sentido se ha aportado recientemente una solución /9/ por la casa Intel, en el que se almacenan dos bits por célula ROM, para el microprocesador de 32 bits; APX-432.

Por otro lado, hasta hace poco tiempo, las memorias ROM en tecnología CMOS eran más lentas, con menos densidad de información y mayor coste, a pesar de su bajo consumo, que los ROMs NMOS. Sin embargo recientemente /10/ se ha propuesto y realizado una ROM CMOS de alta densidad que es competitiva con los de tecnología NMOS. La estructura de esta nueva ROM posee un único MOST de canal n por célula, como se muestra en la figura 7.6.1, cuyo contacto con la línea de bit es el que se programa mediante máscara.

Durante una operación de lectura, el decodificador de palabra se desconecta al principio y todas las líneas de bit y el inversor de salida se precargan a V_{DD} . Seguidamente se conecta el decodificador, activando las puertas de los dispositivos de canal n de la palabra seleccionada a V_{DD} . Si el contacto de drenador está ausente en la localización determinada por la palabra seleccionada y las líneas de bit, entonces la línea de bit y la entrada del inversor se mantienen a V_{DD} por el MOST de canal p de alta impedancia T_1 . Sin embargo, si el contacto de drenador existe, el MOST seleccionado conduce y la línea de bit y la entrada del inversor son puestas a tierra. Esto hace que el inversor conmute, cortando T_1 . Una vez descargada, la línea de bit se mantendrá a tierra indefinidamente por el MOST de canal n seleccionado de la matriz.

Igualmente, los decodificadores se realizan de una forma simple utilizando un dispositivo de precarga igual que el de la célula descrita, y

de esta forma se reduce el número de MOSTs necesarios. Para que opere adecuadamente la ROM, tanto los decodificadores de palabra como las células de memoria requieren circuitería adicional /10/ para generar internamente la señal de precarga cada vez que se accede a un nuevo dato, así como la duración de dicha señal de precarga.

Esta misma estructura de ROM con muy pocas modificaciones se puede utilizar para realizar una ROM CMOS multivaluada. Así, empleando los circuitos propuestos en capítulos anteriores, la célula para lógica de tres valores es lo que se muestra en la figura 7.6.2. En ella se ve que consta también de un único MOST de canal n. Dicho MOSTs de canal n ha de ser N_2 . Ahora bien, en la máscara de programación debemos conectar su sustrato bien a 2'5 voltios bien a 0 voltios según queramos almacenar un "1" lógico o un "0" respectivamente. Si el valor que se quiere almacenar es el 2, no se realizará el contacto del drenador a la línea de bit. El control y ciclo de precarga es totalmente idéntico al de célula binaria descrita antes, con la salvedad que el inversor a utilizar es el inversor de un umbral $B(x)$, pues necesitamos que T_1 esté cortado en el caso de que la célula tenga un 0 o un 1 lógico. Por otro lado, como la salida del inversor $B(x)$ es bivaluada, a los drivers de salida ha de ir la señal que hay a su entrada. Es decir, es necesario separar el control de T_1 de la señal de salida.

Como se puede observar, tanto la señal de precarga como los decodificadores de palabra tienen una realización idéntica a la célula binaria, ya que son señales bivaluadas que toman los valores $V(0)$ y $V(2)$.

Nótese que el incremento en la densidad de información en la ROM con respecto al binario es $\frac{3}{2}$, viéndose únicamente mermado por el hecho de tener que trazar dos líneas de alimentación para las células en lugar de una. Es claro que la mayor complejidad de los drivers de salida no tienen prácticamente incidencia. Además, hay que tener en cuenta que a igualdad

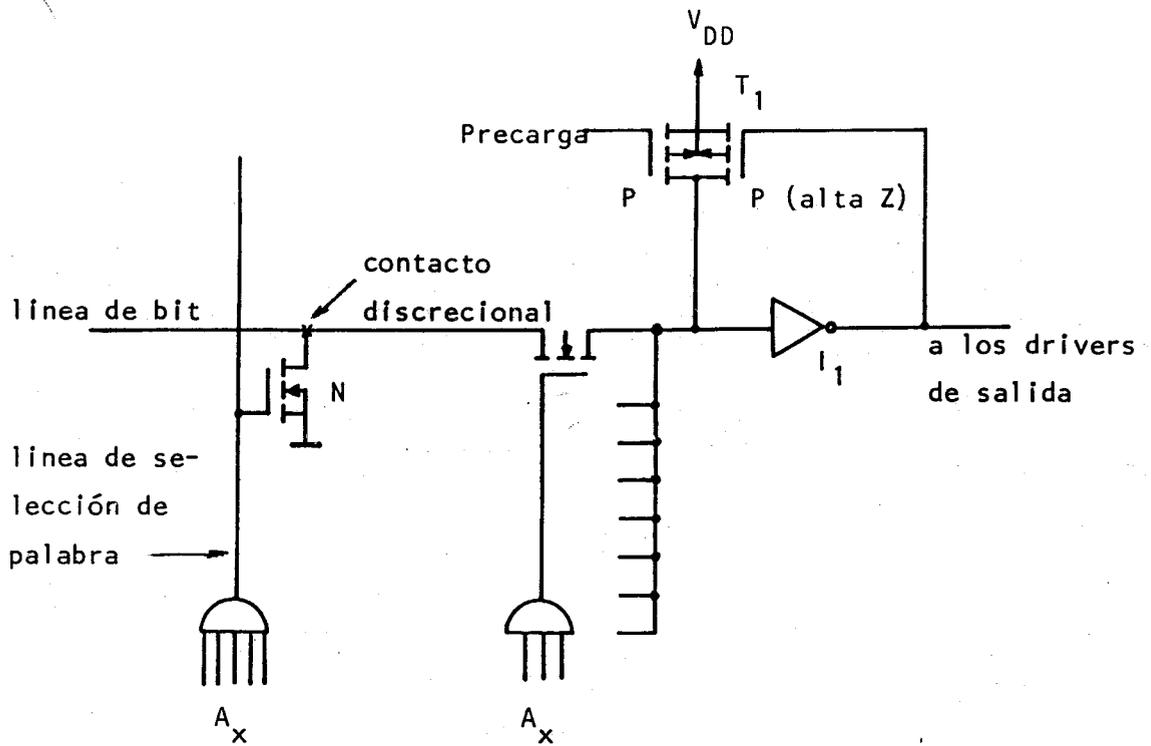


Fig. 7.6.1: Célula ROM binaria CMOS de alta densidad.

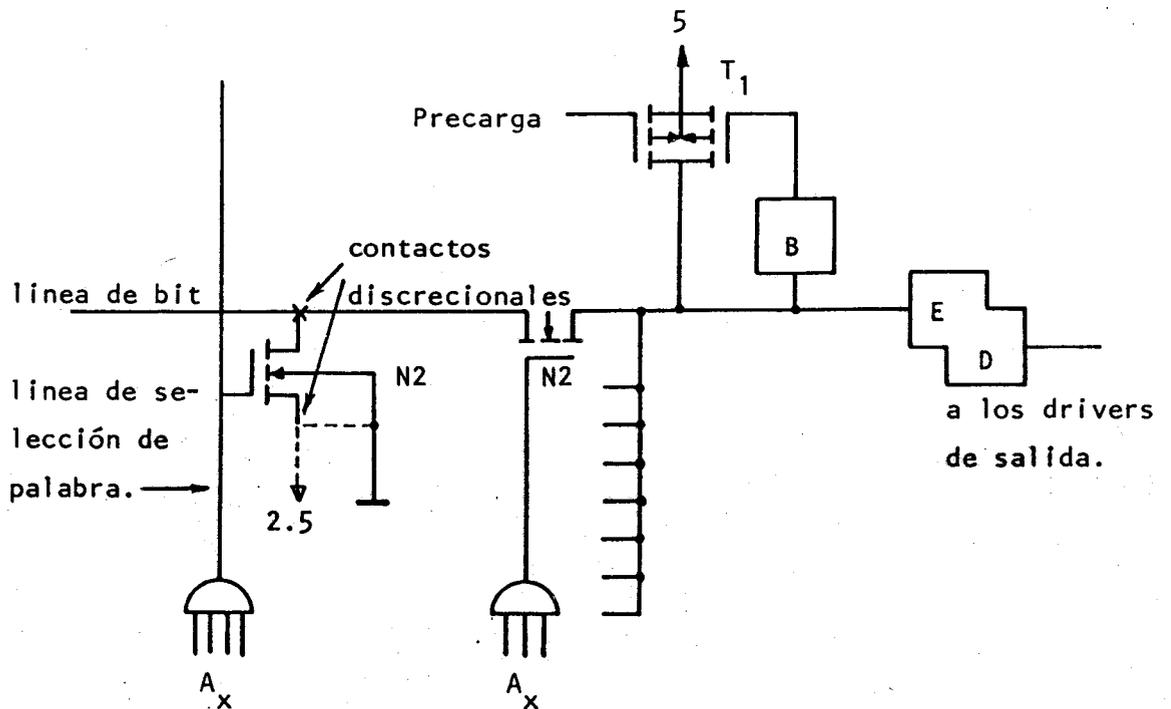


Fig. 7.6.2: Célula ROM ternaria CMOS de alta densidad.

de número de celdas con respecto a la ROM binaria, necesitamos un número sensiblemente menos de líneas de direcciones.

7.7. EXTENSION A LÓGICA DE 4 VALORES.

Entre los diferentes factores que pueden influir en la elección de la base en lógica MV esté la facilidad de conversión entre dicha base y la binaria, permitiendo así la utilización de la abundante variedad de componentes binarios que hay disponibles. Obviamente 4, como potencia de 2 que es, cumple tal requerimiento.

Por esta razón en este apartado vamos a esbozar la realización de una familia CMOS para operar en lógica de 4 valores. El proceso a seguir es idéntico al desarrollado en los capítulos 4 y 5.

En primer lugar, hay que proceder al diseño de los inversores de un umbral. Como es lógico, ahora tenemos mayor número de ellos. En la tabla 7.7.1 aparecen los 18 inversores de un umbral para lógica de 4 valores, con la nomenclatura que utilizaremos.

A(x) = (3.000)	B(x) = (3.300)	C(x) = (3.330)
D(x) = (2.000)	E(x) = (2.200)	F(x) = (2.220)
G(x) = (1.000)	H(x) = (1.100)	I(x) = (1.110)
J(x) = (3.111)	K(x) = (3.311)	L(x) = (3.331)
M(x) = (2.111)	N(x) = (2.211)	O(x) = (2.221)
P(x) = (3.222)	Q(x) = (3.322)	R(x) = (3.332)

Tabla 7.7.1: Inversores de un umbral para lógica de 4 valores.

Un simple cómputo conduce a que ahora necesitamos 18 tipos de MOST para implementar todos los inversores de un umbral. Para ello aplicamos el método desarrollado en el apartado 4.3 a cada terna de inversores con el mismo vector de valores. Eligiendo $V_{SS} = V(2) = 7'5$ v. y $V_M = 5'9$ v.

	$V_{th}(0)=0.9$	$V_{th}(0)=3.4$	$V_{th}(0)=5.9$	$V_{th}(2.5)=0.9$	$V_{th}(2.5)=3.4$	$V_{th}(2.5)=5.9$	$V_{th}(5)=0.9$	$V_{th}(5)=3.4$	$V_{th}(5)=5.9$	$V_{th}(7.5)=1.6$	$V_{th}(7.5)=4.1$	$V_{th}(7.5)=6.6$	$V_{th}(5)=1.6$	$V_{th}(5)=4.1$	$V_{th}(5)=6.6$	$V_{th}(2.5)=1.6$	$V_{th}(2.5)=4.1$	$V_{th}(2.5)=6.6$
A(x)	X									X								
B(x)		X									X							
C(x)			X									X						
D(x)	X												X					
E(x)		X												X				
F(x)			X												X			
G(x)	X															X		
H(x)		X															X	
I(x)			X															X
J(x)				X						X								
K(x)					X						X							
L(x)						X						X						
M(x)				X									X					
N(x)					X									X				
O(x)						X									X			
P(x)							X			X								
Q(x)								X			X							
R(x)									X			X						

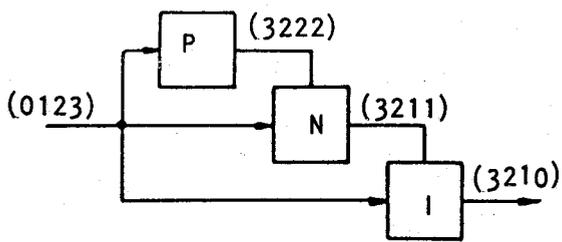
Tabla 7.7.2: MOSTs necesarios para implementar la lógica de 4 valores.

obtendremos la misma separación entre niveles lógicos y los mismos márgenes de ruido que hemos obtenidos para la familia ternaria. En la tabla 7.7.2. se muestran las tensiones de umbral que deben poseer los MOSTs que realizan los diferentes inversores de un umbral. En el encabezado de las columnas se indica mediante $V_{th}(a)$ la tensión de umbral que debe tener el MOST con la tensión "a" voltios de surtidor. Como se puede comprobar, para $V_{SS} = 7.5$ voltios, de los 18 MOSTs necesarios, 8 son exactamente los mismos que hemos obtenido para la familia ternaria, y son los que aparecen indicados en la parte baja de dicha tabla (N_1-N_4 y P_1-P_4).

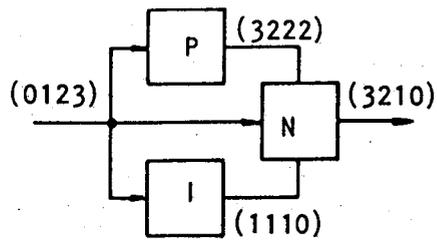
Evidentemente, el fabricar circuitos con tal variedad de dispositivos diferentes puede ser bastante complejo. Sin embargo podemos investigar cuál es el número mínimo de MOSTs distintos que son necesarios para implementar la lógica mediante la técnica de diseño desarrollada en esta memoria. Desafortunadamente como se puede ver en la tabla 7.7.2, con los 8 MOSTs necesarios para la familia ternaria sólo podemos obtener los inversores de un umbral $B(x)$, $E(x)$, $K(x)$ y $N(x)$ de la familia cuaternaria, que por su simetría no son suficientes.

Como vimos en el capítulo 5, obtenido el operador complemento, las operaciones \overline{MAX} y \overline{MIN} se obtienen simplemente sustituyendo los inversores implicados por circuitos de estructura NOR y NAND respectivamente. Con este conjunto de funciones ya es posible implementar cualquier función cuaternaria. En consecuencia vamos a ver qué inversores de un umbral son necesarios para realizar el operador complemento y seguidamente los MOSTs necesarios para realizar dichos inversores.

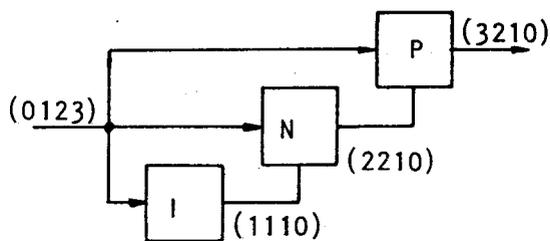
A partir de lo expuesto en el apartado 4.6 sobre la síntesis de operadores unarios de más de un umbral lógico, vemos que el operador complemento admite las tres formas de realización mostradas en la figura 7.7.1. Las tres, como ocurría para el caso ternario, utilizan el mismo conjunto de inversores. Para realizar los inversores $P(x)$ e $I(x)$ son necesarios



a)



b)



c)

Fig. 7.7.1: Operador complemento cuaternario: a) Implementado por PFI. b) Implementado en forma mixta. c) Implementado por SFI.

los 4 MOSTs adicionales que aparecen marcados en la tabla 7.7.2 mediante N_5 , N_6 , P_5 y P_6 . Luego con los 12 MOSTs distintos podemos realizar los inversores de un umbral: $A(x)$, $B(x)$, $C(x)$, $E(x)$, $F(x)$, $I(x)$, $J(x)$, $K(x)$, $N(x)$ y $P(x)$. En total 10 inversores diferentes. Además son realizables el operador complemento y la operaciones \overline{MAX} y \overline{MIN} , conjunto que ya nos da una gran libertad de diseño.

Estrictamente hablando, tanto N_1 como P_1 son necesarios ya que con 10 tipos de MOSTs distintos (N_2-N_6 y P_2-P_6), tenemos suficiente para implementar la lógica de 4 valores, pues con ellos se pueden realizar los tres inversores de Givone $A(x)$, $B(x)$, $C(x)$, el operador complemento y las operaciones \overline{MAX} y \overline{MIN} , que es lo necesario para utilizar un álgebra de Allen-Givone (ver capítulo 2). Adicionalmente también se realizan los inversores $E(x)$ y $K(x)$.

Alternativamente se puede plantear el problema de encontrar el número mínimo de MOSTs necesarios para implementar las puertas cíclicas y los "inversores" de Vranesic necesarios para la utilización del álgebra de Vranesic-Lee-Smith.

Por otro lado, una discusión paralela a la hecha en el apartado 4.4 sobre la obtención de los MOSTs, no lleva a que una posible realización de N_5 , N_6 , P_5 y P_6 sería la resumida en los datos que aparecen en la tabla 7.7.3. Utilizando dichos valores junto con los de las tablas 4.3 y 4.4 para los MOSTs N_3 y P_3 , podemos simular mediante MOSIM el circuito del operador complemento ternario. El resultado es el que se muestra en la figura 7.7.2.

En resumen, vemos que la realización de una familia de circuitos CMOS para operar en lógica de 4 valores presenta mayores dificultades tecnológicas por el número de dispositivos distintos, con relación a la familia ternaria. Sin embargo, podemos restringir dicho número a 10 (6 de los cuales son los mismos necesarios para implementar la lógica de 3 valores),

CANAL N
 0.00001 D
 0.000000014 QSS
 1. 14 NA
 CANAL IMPLANTADO
 CON FDSF.
 8. 11 NI
 GATE METALICA
 5. VS
 0. VB

 .00000000346 CDX
 -.2298081972 ?F
 3.2 ?M
 -1.237208769 VFB
 .9088126191 VTH

N5

CANAL N
 0.00001 D
 0.000000014 QSS
 1. 14 NA
 CANAL IMPLANTADO
 CON BORO
 1.41 12 NI
 GATE METALICA
 0. VS
 0. VB

 .00000000346 CDX
 -.2298081972 ?F
 3.2 ?M
 -1.237208769 VFB
 5.860774713 VTH

N6

CANAL P
 0.00001 D
 0.000000014 QSS
 1. 15 ND
 CANAL IMPLANTADO
 CON BORO
 1.44 12 NI
 GATE METALICA
 2.5 VS
 7.5 VB

 .00000000346 CDX
 .2896754096 ?F
 3.2 ?M
 -.7177251619 VFB
 6.624273365 VTH

P5

CANAL P
 0.00001 D
 0.000000014 QSS
 1. 15 ND
 CANAL IMPLANTADO
 CON FDSF.
 9. 11 NI
 GATE METALICA
 7.5 VS
 7.5 VB

 .00000000346 CDX
 .2896754096 ?F
 3.2 ?M
 -.7177251619 VFB
 1.637125757 VTH

P6

Tabla 7.7.3.

a costa de perder libertad en el diseño. Por otro lado, la ventaja que representa el manejar mayor cantidad de información, puede compensar el hecho de tener que disponer de dos MOSTs distintos más que en el caso ternario.

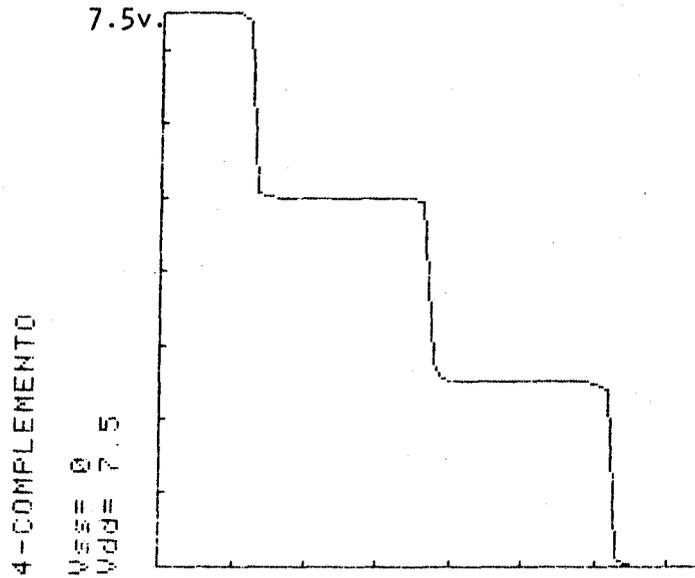


Fig. 7.7.2: Característica de transferencia del operador complemento cuaternario simulada en MOSIM.

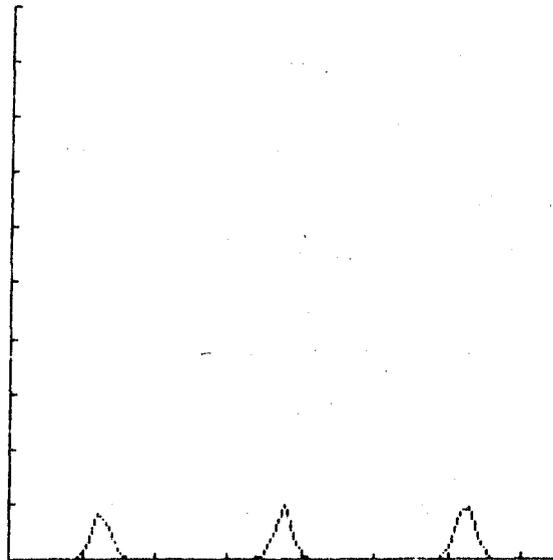


Fig. 7.7.3: Consumo de potencia del operador complemento cuaternario suministrado en la simulación.

REFERENCIA DEL CAPITULO 7.

- /1/ .- MOTOROLA Semic.: "McMOS DATA Book ".
- /2/ .- MOTOROLA Semic.: " McMOS Handbook ". 1.974.
- /3/ .- K.C. Smith: " The prospects of Multivalued Logic: A technology and Applications View ", IEEE. Trans on Computers vol. C-30, n°9, Sep. 1.981, pp 619-634.
- /4/ .- T.A. Irving, S.G. Shiva, H.T. Nagle: " Flip-Flops for Multiple-Valued Logic ". IEEE. Trans. on Computers vol. C-25, n°3, March 1.936, pp. 237-246.
- /5/ .- W.N.Carr, J.P. Mize: " MOS/LSI diseño y aplicación ". Marcombo 1.9.79.
- /6/ .- L.M. Terman: " MOSFET memory circuits " en " Digital MOS Integrated circuits ". Editado por M.I. Elmasry. IEEE. Press. 1.981.
- /7/ .- H.T. Monftah, I.B. Jordan: " Design of Ternary COS/MOS Memory and Sequential circuits ". IEEE. Trans on Computers. vol. C-26, n°3. Mar. 1.977. pp. 281-288.
- /8/ .- E. Seevinck: " Optimal radix for monolithic memories ". Elect. Letters 8 th. Nov. 1.979, vol. 15, n°23, pp. 736-737.
- /9/ .- M. Stark: " Two bits per cell ROM ". Digest of papers V.L.S.I. Comcon 81, february 23-26. IEEE. Computer Society. pp. 209-212.
- /10/.- R.G. Stewart: " High-Density CMOS ROM Arrays ". IEEE. Journal of. Solid-State circuits, vol. SC-12, n°5, Oct. 1.977, pp. 502-506.
- /11/ .- Hwang, K.: " Computer Arithmetic: principles, architecture, and design ". Ed. Wiley. 1.979.

APENDICE 1

PROGRAMA DE SIMULACION DE CIRCUITOS MOSTs

MOSIM

```
10 | *****
20 |           MOSIM
30 | *****
40 |
50 |
60 |           autor:
70 |     GUSTAVO SANCHEZ GOMEZ
80 |
90 |     Dpto. de ELECTRONICA
100 |
110 |
120 | OPTION BASE 1
130 | DIM T1(15,11),V0(5,51),A#[33
    | J,B#[33]
140 | DIM T2(15,3),T3(6),T4(6),E4(
    | 3,51),R2(5),T5(15,2)
150 | DIM L2(5,5),L3(5,5),R0(5),R1
    | (5),Y(5),F(5),X(5),I5(5,51),
    | P(51),F1(5)
160 | INTEGER N2,J1(15,4),J2(15,4)
    | ,B,C,N
170 | B,N2,W1,E1,D,Q,M1,M2,M6,M7,N
    | 7,N6=0
180 | MAT J1=ZERO MAT T1=ZERO MAT
    | P=ZER
190 | B#[1,32]= " "
200 | ON KEY# 1,"DATOS" GOSUB 280
210 | ON KEY# 2,"T(I)" GOSUB 2100
220 | ON KEY# 3,"ESTAMOS" GOSUB 38
    | 70
230 | ON KEY# 4,"RESULT" GOSUB 509
    | 0
240 | ON KEY# 5,"FIDAT" GOSUB 3580
250 | ON KEY# 6,"CONEXION" GOSUB 1
    | 250
260 | CLEAR @ KEY LABEL
270 | GOTO 270
280 | CLEAR
290 | !
300 | ! INTRODUCCION DE DATOS DE L
    | OS TRANSISTORES
310 | !
320 | DISP "DATOS NUEVOS → N,END L
    | INE" @ DISP
330 | DISP "MODIFICACIONES O VISUA
    | LIZACION → M,END LINE"
340 | INPUT A#[1,32]
350 | IF UPC$(A#[1,1])="N" THEN GO
    | TO 370
360 | IF UPC$(A#[1,1])="M" THEN GO
    | TO 380 ELSE BEEP @ GOTO 320
370 | GOSUB 480 @ GOSUB 750 @ RETU
    | RN
380 | DISP "MODIFICACION DE DATOS
    | COMUNES,S/N";
390 | INPUT A#[1,32]
400 | IF UPC$(A#[1,1])="S" THEN GO
    | SUB 480
410 | FOR I=1 TO N2
420 | GOSUB 1940
```

```
430 NEXT I
440 DISP "MODIF. DE DATOS DE ALGU
N MOS, S/N";
450 INPUT A$(1,32)
460 IF UPC$(A$(1,1))="S" THEN GO
SUB 750
470 RETURN
480 DISP "NUMERO DE TRANSISTORES
";N2;@ A$=B$
490 INPUT A$(1,32)
500 IF A$(1,1)="#" " THEN N2=VAL(A
$(1,32))
510 DISP "FUNCION TRABAJO DEL ME
TAL";W1;@ A$=B$
520 INPUT A$(1,32)
530 IF A$(1,1)="#" " THEN W1=VAL(A
$(1,32))
540 DISP "PERMITIVIDAD DEL OXIDO
";E1;@ A$=B$
550 INPUT A$(1,32)
560 IF A$(1,1)="#" " THEN E1=VAL(A
$(1,32))
570 DISP "ESPESOR DEL OXIDO";D;@
A$=B$
580 INPUT A$(1,32)
590 IF A$(1,1)="#" " THEN D=VAL(A$
(1,32))
600 DISP "CARGA EN LA INTERFACE"
;Q;@ A$=B$
610 INPUT A$(1,32)
620 IF A$(1,1)="#" " THEN Q=VAL(A$
(1,32))
630 DISP "MOVILIDAD DE LOS ELEC.
PARA CAMPO NULO";M1;@ A$=B$
640 INPUT A$(1,32)
650 IF A$(1,1)="#" " THEN M1=VAL(A
$(1,32))
660 DISP "MOVILIDAD DE LOS HUECO
S PARA CAMPO NULO";M2;@ A$=B
$
670 INPUT A$(1,32)
680 IF A$(1,1)="#" " THEN M2=VAL(A
$(1,32))
690 DISP "Ctes. PARA LA SIMULACIO
N SUBUMBRAL"
700 DISP "n1 Y m1, n2 Y m2 (";M7;
M6;N7;N6;")";
710 INPUT A$(1,32)
720 IF A$(1,1)="#" " THEN 740
730 M7=VAL(A$(1,32)) @ DISP "m1"
;@ INPUT M6@ DISP "n2";@ INP
UT N7@ DISP "m2";@ INPUT N6
740 RETURN
750 DISP "NUMERO DEL TRANSISTOR"
;
760 INPUT I@ IF N2<I THEN N2=I
770 IF SGN(T1(I,1))#0 THEN 860
780 DISP "T(";I;")";"ES IGUAL A
T(X) (INTRODUCIR X). SI ES NU
EVO, DECIR SI ES DE CANAL P
O N";
```

```
790 INPUT A#[1,32]
800 IF UPC$(A#[1,1])="P" THEN T1
(I,1)=-1 @ GOTO 900
810 IF UPC$(A#[1,1])="N" THEN T1
(I,1)=1 @ GOTO 900
820 J=VAL(A$)
830 FOR K=1 TO 6
840 T1(I,K)=T1(J,K)
850 NEXT K @ T1(I,11)=T1(J,11)
860 IF SGN(T1(I,1))=1 THEN DISP
"T(";I;") ES canal N." @ DIS
P @ GOTO 880
870 IF SGN(T1(I,1))=-1 THEN DISP
"T(";I;") ES canal P." @ DI
SP
880 DISP "HAY CAMBIO,(S/ )";
890 INPUT A#[1,32] @ IF UPC$(A#[1
,1])="S" THEN 780
900 DISP "ANCHURA DEL CANAL DE T
(";I;")";T1(I,2); @ A$=B$
910 INPUT A#[1,32]
920 IF A#[1,1]# " " THEN T1(I,2)=
VAL(A#[1,32])
930 DISP "LONG. DEL CANAL DE T("
;I;")";T1(I,3); @ A$=B$
940 INPUT A#[1,32]
950 IF A#[1,1]# " " THEN T1(I,3)=
VAL(A#[1,32])
960 DISP "DOPADO DEL SUSTRATO DE
T(";I;")";T1(I,4); @ A$=B$
970 INPUT A#[1,32]
980 IF A#[1,1]# " " THEN T1(I,4)=
VAL(A#[1,32])
990 DISP "CANAL IMPLANTADO,S/N"
1000 IF T1(I,11)=0 THEN DISP "No
";ELSE DISP "Si";
1010 INPUT A#[1,32]
1020 IF A#[1,1]=" " AND T1(I,11)
=0 THEN 1080
1030 IF A#[1,1]=" " AND T1(I,11)
#0 OR UPC$(A#[1,1])="S" THE
N 1050
1040 T1(I,11)=0 @ GOTO 1080
1050 DISP "DOSIS IMPLANTADA EN T
(";I;")";T1(I,11); @ A$=B$
1060 INPUT A#[1,32]
1070 IF A#[1,1]# " " THEN T1(I,11
)=VAL(A#[1,32])
1080 DISP "GATE METALICA PARA T(
;I;"),S/N"
1090 IF T1(I,5)=0 THEN DISP "Si"
;ELSE DISP "No";
1100 INPUT A#[1,32]
1110 IF A#[1,1]=" " AND T1(I,5)=
0 THEN 1170
1120 IF A#[1,1]=" " AND T1(I,5)#
0 OR UPC$(A#[1,1])="N" THEN
1140
1130 T1(I,5)=0 @ GOTO 1170
1140 DISP "DOPADO DE LA GATE DE
T(";I;")";T1(I,5); @ A$=B$
```

```
1150 INPUT A#[C1,32]
1160 IF A#[C1,1]#" " THEN T1(I,5)
=VAL(A#[C1,32])
1170 DISP "FACTOR DE MODULACION
DE LA L DEL CANAL";T1(I,6);
@ A#=B#
1180 INPUT A#[C1,32]
1190 IF A#[C1,1]#" " THEN T1(I,6)
=VAL(A#[C1,32])
1200 GOSUB 1930
1210 DISP "MAS TRANSISTORES";
1220 INPUT A#[C1,32]
1230 IF UPC$(A#[C1,1])="S" THEN G
OTO 750
1240 IF UPC$(A#[C1,1])="N" THEN R
ETURN ELSE BEEP 50,100 @ GO
TO 1210
1250 CLEAR @ DISP "NUMERO DEL TR
ANSISTOR";@ INPUT I
1260 IF SGN(T1(I,1))=0 THEN DISP
"TRANSISTOR NO EXISTENTE E
N MEMORIA.PULSAR ANTES K1"
@ RETURN
1270 DISP "TENSION DEL SUSTRATO
DE T(";I;"):";
1280 K1=1 @ GOSUB 1390
1290 DISP "TENSION DE SOURCE DE
T(";I;"):";
1300 K1=2 @ GOSUB 1390
1310 DISP "TENSION DE GATE DE T
(";I;"):";
1320 K1=3 @ GOSUB 1390
1330 DISP "TENSION DE DRAIN DE T
(";I;"):";
1340 K1=4 @ GOSUB 1390 @ GOSUB 1
930
1350 DISP "MAS TRANSISTORES";
1360 INPUT A#[C1,32]
1370 IF UPC$(A#[C1,1])="S" THEN G
OTO 1250
1380 IF UPC$(A#[C1,1])="N" THEN R
ETURN ELSE BEEP 50,100 @ GO
TO 1350
1390 IF J1(I,K1)=0 THEN DISP T1(
I,K1+6);@ GOTO 1420
1400 IF SGN(J1(I,K1))=1 THEN DIS
P "ENTRADA";J1(I,K1);@ GOTO
1420
1410 IF SGN(J1(I,K1))=-1 THEN DI
SP "SALIDA";ABS(J1(I,K1));
1420 INPUT A#[C1,32]
1430 IF A#[C1,1]#" " THEN RETURN
1440 IF A#[C1,1]="I" THEN J1(I,K1
)=VAL(A#[C2,2]) @ T1(I,K1+6)
=0 @ RETURN
1450 IF A#[C1,1]="O" THEN J1(I,K1
)=-VAL(A#[C2,2]) @ T1(I,K1+6
)=0 @ RETURN
1460 T1(I,K1+6)=VAL(A#[C1,18]) @
J1(I,K1)=0
```

```
1470 RETURN
1480 DISP @ DISP "FICHERO NUEVO
O VIEJO (N/V)";@ INPUT A$
1490 IF A$(1,1)="N" THEN DISP "N
OMBRE DEL FICHERO";ELSE 151
0
1500 INPUT F0$@ CREATE F0$,19,10
2 @ GOTO 1520
1510 DISP @ DISP "NOMBRE DEL FIC
HERO";@ INPUT F0$
1520 ASSIGN# 1 TO F0$
1530 PRINT# 1 ; N2,W1,E1,D,Q,M1,
M2,M7,M6,N7,N6,T1(,),J1(,)
1540 ASSIGN# 1 TO *
1550 DISP @ DISP "DATOS GRABADOS
EN FICHERO ";F0$ @ DISP
1560 DISP "COPIO EN PAPEL DATOS
DEL CIRCUITO";@ INPUT A$
1570 IF UPC$(A$(1,1))#"S" THEN R
ETURN
1580 PRINT "      DATOS COMUNES"
@ PRINT
1590 PRINT "FUNCION TRABAJO DEL
METAL,  $\epsilon_m$ =";W1
1600 PRINT "PERMITIVIDAD DEL OXI
DO=";E1
1610 PRINT "ESPESOR DEL OXIDO, d
=";D
1620 PRINT "CARGA EN LA INTERFAC
E, Qss=";Q
1630 PRINT "MOVILIDAD DE LOS ELE
C.PARA CAMPO NULO,  $\mu_e$ =";M1
1640 PRINT "MOVILIDAD DE LOS HUE
COS PARA CAMPO NULO,  $\mu_p$ =";M
2
1650 FOR I=1 TO N2
1660 FOR J=1 TO 4
1670 IF J1(I,J)#0 THEN 1700
1680 NEXT J
1690 GOTO 1910
1700 PRINT @ PRINT "TRANSISTOR "
;I @ PRINT
1710 IF T1(I,1)=1 THEN PRINT "DE
CANAL N" ELSE PRINT "DE CA
NAL P"
1720 PRINT "W=";T1(I,2) @ PRINT
"L=";T1(I,3)
1730 IF T1(I,1)=1 THEN PRINT "Na
=";T1(I,4) ELSE PRINT "Nd="
;T1(I,4)
1740 IF T1(I,11)#0 THEN PRINT "C
ANAL IMPLANTADO CON Di=";T1
(I,11)
1750 IF T1(I,5)=0 THEN PRINT "DE
GATE METALICA" ELSE PRINT
"DE GATE DE SILICIO, Na=";T
1(I,5)
1760 PRINT " $\lambda$ =";T1(I,6)
1770 B0=T1(I,7) @ B1=T1(I,8) @ T
1(I,7),T1(I,8)=0 @ GOSUB 20
40
```

```
1780 PRINT "Vth=";T2(I,3) @ T1(I
,7)=B0 @ T1(I,8)=B1
1790 IF J1(I,1)=0 THEN PRINT "Vb
=";T1(I,7) @ GOTO 1820
1800 IF J1(I,1)=1 THEN PRINT "Vb
=ENTRADA" @ GOTO 1820
1810 PRINT "Vb=SALIDA ";ABS(J1(I
,1))
1820 IF J1(I,2)=0 THEN PRINT "Vs
=";T1(I,8) @ GOTO 1850
1830 IF J1(I,2)=1 THEN PRINT "Vs
=ENTRADA" @ GOTO 1850
1840 PRINT "Vs=SALIDA ";ABS(J1(I
,2))
1850 IF J1(I,3)=0 THEN PRINT "Vg
=";T1(I,9) @ GOTO 1880
1860 IF J1(I,3)=1 THEN PRINT "Vg
=ENTRADA" @ GOTO 1880
1870 PRINT "Vg=SALIDA ";ABS(J1(I
,3))
1880 IF J1(I,4)=0 THEN PRINT "Vd
=";T1(I,10) @ GOTO 1910
1890 IF J1(I,4)=1 THEN PRINT "Vd
=ENTRADA" @ GOTO 1910
1900 PRINT "Vd=SALIDA ";ABS(J1(I
,4))
1910 NEXT I
1920 RETURN
1930 REM **CALCULO DE Cox**
1940 C0=E1/D
1950 REM **CALCULO DE f**
1960 T2(I,1)=.026*LOG(T1(I,4)/14
500000000)
1970 IF T1(I,1)=1 THEN T2(I,1)=-
T2(I,1)
1980 REM **CALCULO DE VFB**
1990 IF T1(I,5)#0 THEN A=3.803+.
026*LOG(T1(I,5)/14500000000
) ELSE GOTO 2010
2000 GOTO 2020
2010 A=W1
2020 T2(I,2)=A-(3.803-T2(I,1))-(<
Q-T1(I,11)*1.6008E-19)/C0
2030 REM **CALCULO DE Vt**
2040 T2(I,3)=T2(I,2)-2*T2(I,1)
2050 IF T1(I,1)=-1 THEN GOTO 208
0
2060 T2(I,3)=T2(I,3)+SQRT(3.31908
E-31*T1(I,4)*(2*ABS(T2(I,1)
)+ABS(T1(I,8)-T1(I,7))))/C0
+T1(I,8)
2070 RETURN
2080 T2(I,3)=T2(I,3)-SQRT(3.31908
E-31*T1(I,4)*(2*ABS(T2(I,1)
)+ABS(T1(I,8)-T1(I,7))))/C0
+T1(I,8)
2090 RETURN
2100 CLEAR
2110 DISP "NUMERO DEL TRANSISTOR
";
```

```
2120 INPUT I
2130 A2=T1(I,8) @ DISP "Vs="; @ IN
PUT A@ T1(I,8)=A @ GOSUB 20
40
2140 DISP "CAPACIDAD=";C0
2150 DISP "{T";I;"=";T2(I,1)
2160 DISP "Vfb(T";I;"=";T2(I,2)
2170 DISP @ DISP "MOS canal ";
2180 IF T1(I,1)=1 AND T2(I,3)>T1
(I,7) THEN DISP "N en modo
de ENRIQUECIMIENTO" ELSE 22
00
2190 DISP @ GOTO 2240
2200 IF T1(I,1)=1 AND T2(I,3)<T1
(I,7) THEN DISP "N en modo
de EMPOBRECIMIENTO" ELSE 22
20
2210 DISP @ GOTO 2240
2220 IF T2(I,3)>T1(I,7) THEN DIS
P "P en modo de EMPOBRECIMI
ENTO" @ DISP @ GOTO 2240
2230 DISP "P en modo de ENRIQUEC
IMIENTO" @ DISP
2240 DISP "Para Vb=";T1(I,7)
2250 DISP "y para Vs=";T1(I,8)
2260 DISP "Vt(T";I;"=";T2(I,3)
2270 DISP @ DISP "DIBUJO CARACTE
RISTICAS";
2280 INPUT A$ @ IF A$(1,1)="N" TH
EN RETURN
2290 DISP "CUANTAS (<=6)";
2300 INPUT K1 @ REDIM T3(K1)
2310 A2=T1(I,8)
2320 DISP "ABCISA Vdb 0 V9b";
2330 INPUT A$ @ IF UPC$(A$(1,2))=
"VD" THEN 2360
2340 IF UPC$(A$(1,2))#"VG" THEN
BEEP @ GOTO 2320
2350 GOTO 2760
2360 DISP "INTRODUCIR ";K1;"TENS
IONES DE GATE";
2370 MAT INPUT T3
2380 FOR J=1 TO K1
2390 T1(I,9)=T3(J)
2400 GOSUB 2430
2410 T4(J)=V4 @ GOTO 2560
2420 REM **CALCULO DE LAS TENSIO
NES DE SATURACION**
2430 V4=T1(I,9)-T2(I,2)+2*T2(I,1
)
2440 K=3.31908E-31*T1(I,4)/(2*C0
^2)
2450 IF T1(I,1)=-1 THEN GOTO 247
0
2460 V4=V4-K*(SQR(1+2/K*ABS(T1(I
,9)-T2(I,2)-T1(I,7))))-1) @
RETURN
2470 V4=V4+K*(SQR(1+2/K*ABS(T1(I
,9)-T2(I,2)-T1(I,7))))-1)
2480 RETURN
```

```
2490 GCLEAR @ B=0
2500 SCALE T1(I,7),T1(I,7)+A4,0,
      A3
2510 XAXIS 0,A4/10
2520 YAXIS T1(I,7),A3/10
2530 MOVE 1,.9*A3
2540 LABEL "Vs="&VAL$(T1(I,8))
2550 RETURN
2560 DISP "Vg=";T3(J)
2570 DISP "Vdsat=";T4(J)
2580 DISP
2590 NEXT J
2600 IF T1(I,1)=-1 THEN GOTO 293
      0
2610 DISP "MAX. ESCALA DE Ids";@
      INPUT A3
2620 DISP "MAX. ESCALA DE Vdb";@
      INPUT A4
2630 GOSUB 2490
2640 FOR J=1 TO K1 ! LAS 5 Vg
2650 GOSUB 2040
2660 MOVE T1(I,8),0
2670 FOR V=T1(I,8) TO T1(I,7)+8*
      A4/10 STEP A4/50
2680 T1(I,10)=V @ T1(I,9)=T3(J)
      @ V4=T4(J)
2690 DRAW V,FNI4(V)
2700 NEXT V
2710 LABEL "Vg="&VAL$(T3(J))
2720 NEXT J
2730 T1(I,8)=A2
2740 BEEP @ RETURN
2750 ! ***** * *****
2760 DISP "REPRESENTACION DE LOG
      Ids FRENTE A Vgb" @ DISP "
      INTRODUCIR";K1;"TENSIONES D
      E DRAIN";
2770 MAT INPUT T3
2780 DISP "MIN. Y MAX. ESCALA DE L
      og(IdS)";@ INPUT A5,A3@ DIS
      P "MAX. ESCALA DE Vgb";@ INP
      UT A4
2790 IF T1(I,1)=-1 THEN 3110
2800 GCLEAR @ B=0
2810 SCALE T1(I,7),T1(I,7)+A4,A5
      ,A3
2820 XAXIS A5,A4/10 @ YAXIS T1(I
      ,7),(A3-A5)/10
2830 MOVE T1(I,7)+A4/10,A3-(A3-A
      5)/10
2840 LABEL "Vs="&VAL$(T1(I,8))
2850 FOR J=1 TO K1
2860 T1(I,10)=T3(J) @ MOVE T1(I,
      7),0
2870 FOR U=T1(I,7) TO T1(I,7)+A4
      STEP A4/50
2880 T1(I,9)=U @ GOSUB 2430
2890 DRAW U,LGT(FNI4(U))
2900 NEXT U
2910 NEXT J
```

```
2920 T1(I,8)=A2 @ BEEP @ RETURN
2930 DISP "Max. ESCALA DE ABS(Ids)";@ INPUT A3
2940 DISP "Max. ESCALA DE ABS(Vdb)";@ INPUT A4
2950 GCLEAR @ SCALE T1(I,7)-A4,T1(I,7),-A3,0
2960 XAXIS 0,-1
2970 YAXIS T1(I,7),-(A3/10)
2980 MOVE -(2*A4/10),-(.9*A3)
2990 LABEL "Vs="&VAL$(T1(I,8))
3000 FOR J=1 TO 6
3010 MOVE T1(I,7),0
3020 FOR V=T1(I,7) TO T1(I,7)-8
STEP -.2
3030 T1(I,10)=V @ T1(I,9)=T3(J)
@ V4=T4(J)
3040 DRAW V,FNI4(V)
3050 NEXT V
3060 PENUP
3070 PLOT V-1.5,I2
3080 LABEL "Vg="&VAL$(T3(J))
3090 NEXT J
3100 BEEP @ RETURN
3110 GCLEAR @ B=0
3120 SCALE T1(I,7)-A4,T1(I,7),A3
,A5
3130 XAXIS A5,-((A4-T1(I,7))/10)
3140 YAXIS T1(I,7),(A5-A3)/10
3150 MOVE 2*(A4-T1(I,7))/10+T1(I,7),A5
3160 LABEL "Vs="&VAL$(T1(I,8))
3170 FOR J=1 TO K1
3180 T1(I,10)=T3(J) @ MOVE T1(I,7),0
3190 FOR U=T1(I,7) TO A4 STEP -(A4/50)
3200 T1(I,9)=U @ GOSUB 2430 @ DRAW U,LGT(ABS(FNI4(U)))
3210 NEXT U
3220 NEXT J @ T1(I,8)=A2 @ BEEP @ RETURN
3230 REM "CALCULO DE Ids"
3240 DEF FNI4(V)
3250 IF T1(I,1)=1 THEN GOTO 3360
3260 IF T1(I,9)<=T2(I,3) THEN M4=T2(I,3) ELSE M4=T1(I,9)
3270 N5=.026*N7
3280 I2=-((M2*(T1(I,2)/T1(I,3))*((1/N6)))
3290 I2=I2*C0*N5^2*EXP(1/N5*(T2(I,3)-M4-N5))
3300 I2=I2*(1-EXP(-(N6/N5*ABS(T1(I,10)-T1(I,8))))))
3310 IF T1(I,9)>T2(I,3) THEN 3550
3320 Z9=T1(I,10) @ IF T1(I,10)<V4 THEN T1(I,10)=V4
3330 IF T1(I,9)-.5*(T1(I,10)-T1(I,8))>=T2(I,3) THEN 3350
```

```
3340 I1=- (M2*(1-(T1(I,9)-T2(I,3)
-.5*(T1(I,10)-T1(I,8))))/(D*
60000))^(-.2) @ GOTO 3470
3350 I1=- (M2*(1+(T1(I,9)-T2(I,3)
-.5*(T1(I,10)-T1(I,8))))/(D*
60000))^(-.2) @ GOTO 3470
3360 IF T1(I,9)>=T2(I,3) THEN M4
=T2(I,3) ELSE M4=T1(I,9)
3370 M5=.026*M7
3380 I2=M1*(T1(I,2)/T1(I,3))*(1/
M6)
3390 I2=I2*C0*M5^2*EXP(1/M5*(M4-
T2(I,3)-M5))
3400 I2=I2*(1-EXP(-(M6/M5*ABS(T1
(I,10)-T1(I,8))))))
3410 IF T1(I,9)<T2(I,3) THEN 355
0
3420 Z9=T1(I,10)
3430 IF T1(I,10)>V4 THEN T1(I,10
)=V4
3440 IF T1(I,9)-.5*(T1(I,10)-T1(
I,8))<=T2(I,3) THEN 3460
3450 I1=M1*(1+(T1(I,9)-T2(I,3)-.
5*(T1(I,10)-T1(I,8))))/(D*60
000))^(-.12) @ GOTO 3470
3460 I1=M1*(1-(T1(I,9)-T2(I,3)-.
5*(T1(I,10)-T1(I,8))))/(D*60
000))^(-.12)
3470 I1=I1*T1(I,2)/T1(I,3)
3480 I2=I2+I1*C0*(T1(I,9)-T2(I,2
)+2*T2(I,1)-(T1(I,10)+T1(I,
8))/2)*(T1(I,10)-T1(I,8))
3490 I3=I1*(2/3)*SQR(3.31908E-31
*T1(I,4))
3500 I4=(2*ABS(T2(I,1))+ABS(T1(I
,10)-T1(I,7)))^1.5-(2*ABS(T
2(I,1))+ABS(T1(I,8)-T1(I,7)
))^1.5
3510 I2=I2-I3*I4
3520 IF NOT (SGN(T1(I,1))=1 EXOR
Z9<V4) THEN 3550
3530 I2=I2*(1+SGN(T1(I,1))*T1(I,
6))*(Z9-V4))
3540 T1(I,10)=Z9
3550 I6=I6+ABS(I2)
3560 FNI4=I2
3570 FN END
3580 DISP "GRABAR O LEER FICHERO
,G/L";
3590 INPUT A#[1,32]
3600 IF UPC$(A#[1,1])="G" THEN G
OTO 1480
3610 DISP @ DISP "NOMBRE DEL FIC
HERO A LEER"; @ INPUT F0$
3620 ASSIGN# 1 TO F0$
3630 READ# 1 ; N2,W1,E1,D,Q,M1,M
2,M7,M6,N7,N6,T1(,),J1(,)
3640 ASSIGN# 1 TO *
3650 FOR I=1 TO N2
3660 GOSUB 1930
```

```
3670 NEXT I
3680 DISP @ DISP F0$;" LEIDO" @
RETURN
3690 DEF FNT(V)
3700 I=V @ GOSUB 2040 @ GOSUB 24
30
3710 FNT=FNI4(V)
3720 FN END
3730 REM *RUTINA DE IDENTIFICACI
ON DE SALIDAS*
3740 FOR I=1 TO N2
3750 FOR J=1 TO 4
3760 IF SGN(J1(I,J))#-1 THEN 378
0
3770 T1(I,J+6)=Y(ABS(J1(I,J)))
3780 NEXT J
3790 NEXT I
3800 RETURN
3810 REM *FIN DE RUTINA*
3820 !
3830 !
3840 ! Subrut. ESTAMOS
3850 !
3860 !
3870 CLEAR @ LIST 5440 @ DISP @
DISP "CONTINUE SI SON CORRE
CTAS LAS FUNCIONES"
3880 C=0 @ PAUSE @ MAT T5(,1)=T1
(,8) @ MAT T5(,2)=T1(,10) @ V
8=AMIN(T5) @ V9=AMAX(T5)
3890 I=AMAX(J1) @ REDIM E4(I,51)
@ E3=1
3900 DISP @ DISP "ENTRADA 1 esta
en archivo";
3910 INPUT F0$ @ IF F0$="N" THEN
3930 ELSE E3=1
3920 IF F0$="S" THEN 3940 ELSE 3
900
3930 M=0 @ DISP @ IF I=1 THEN 40
20 ELSE 4010
3940 M=1
3950 DISP "NOMBRE DEL ARCHIVO DO
NDE ESTA LA ENTRADA ";E3
3960 INPUT F0$ @ ASSIGN# 1 TO F0$
3970 FOR I=1 TO 51
3980 READ# 1,I ; E4(E3,I)
3990 NEXT I
4000 ASSIGN# 1 TO *
4010 IF AMAX(J1)>=E3+1 THEN E3=E
3+1 @ GOTO 3950
4020 IF B#0 THEN DISP "BORRO GRA
FICA?S/N" ELSE 4050
4030 INPUT A$ @ IF A$[1,1]#"N" TH
EN PENUP @ GOTO 4110
4040 IF A$[1,1]#"S" THEN BEEP 50
,100 @ GOTO 4020
4050 GCLEAR @ CLEAR @ PENUP @ B=
1
4060 DISP " Vss, Vdd ";
4070 INPUT V5,V6
```

```
4080 SCALE V5*255/191,255*V6/191
      ,V5,V6
4090 XAXIS V5,1,V5,V6
4100 YAXIS V5,1,V5,V6
4110 MAT J2=-J1
4120 M3=MAXAB(J2)
4130 REDIM L2(M3,M3),L3(M3,M3),R
      0(M3),R1(M3),F(M3),Y(M3),X(
      M3),V0(M3,51),R2(M3)
4140 MAT R2=(.1)@ ALPHA
4150 DISP "INTRODUCIR ESTIMACION
      INICIAL PARA LAS SALIDAS E
      N Vi=";V5;
4160 MAT INPUT R0
4170 SETTIME 0,0
4180 E5=0
4190 IF M=0 THEN 4230
4200 FOR E5=1 TO 51
4210 X1=E4(1,E5) @ GOSUB 4250
4220 NEXT E5 @ GOTO 4650
4230 FOR X1=V5 TO V6 STEP (V6-V5
      )/50
4240 E5=E5+1 @ GOSUB 4250 @ NEXT
      X1 @ GOTO 4650
4250 FOR I=1 TO N2
4260 FOR J=1 TO 4
4270 IF J1(I,J)<=0 THEN 4320
4280 IF J1(I,J)#1 THEN 4300
4290 IF J1(I,J)=1 AND M=1 THEN T
      1(I,J+6)=E4(1,E5) ELSE T1(I
      ,J+6)=X1
4300 IF J1(I,J)=2 THEN T1(I,J+6)
      =E4(2,E5) @ GOTO 4320
4310 IF J1(I,J)=3 THEN T1(I,J+6)
      =E4(3,E5)
4320 NEXT J
4330 NEXT I
4340 H=.01
4350 MAT Y=R0@ GOSUB 3740
4360 ON M3 GOSUB 4830,4820,4810,
      4800,4790
4370 IF MAXAB(F)>.0000001 THEN 4
      400
4380 IF M=0 THEN PLOT X1,R0(1) E
      LSE PLOT E5*(V6-V5)/50,R0(1
      )
4390 C=C+1 @ MAT V0(,C:C)=R0@ GO
      TO 4640
4400 FOR K1=1 TO M3
4410 IF R0(K1)#0 THEN H1=H/200*R
      0(K1) ELSE H1=.00001
4420 Y(K1)=R0(K1)+H1 @ GOSUB 374
      0
4430 ON M3 GOSUB 4710,4700,4690,
      4680,4670
4440 Y(K1)=R0(K1)-H1 @ GOSUB 374
      0
4450 ON M3 GOSUB 4770,4760,4750,
      4740,4730
4460 NEXT K1
```

```
4470 MAT L2=L2-L3
4480 MAT L2=TRN(L2)
4490 IF DET(L2)=0 THEN DISP "JAC
      OBIANO NULO" @ MAT R0=(-.1)
      *R0+(1)*R0@ GOTO 4250
4500 MAT Y=R0@ GOSUB 3730
4510 ON M3 GOSUB 4830,4820,4810,
      4800,4790
4520 MAT F=-F
4530 MAT X=SYS(L2,F)
4540 MAT R1=Y+X
4550 MAT F1=ZER
4560 FOR K1=1 TO M3
4570 IF X(K1)#F1(K1) THEN 4600
4580 NEXT K1
4590 PRINT "NO CONVERGE" @ BEEP
      @ PAUSE
4600 IF AMIN(R1)<V8 THEN MAT L2=
      (2)*L2@ GOTO 4500
4610 IF AMAX(R1)>V9 THEN MAT L2=
      (2)*L2@ GOTO 4500
4620 MAT R0=R1
4630 GOTO 4350
4640 RETURN
4650 T=TIME/60
4660 BEEP 70,100 @ BEEP 50,100 @
      GOTO 4850
4670 L2(K1,5)=FNA5(Y(K1))/<(H1+H1
      )
4680 L2(K1,4)=FNA4(Y(K1))/<(H1+H1
      )
4690 L2(K1,3)=FNA3(Y(K1))/<(H1+H1
      )
4700 L2(K1,2)=FNA2(Y(K1))/<(H1+H1
      )
4710 L2(K1,1)=FNA1(Y(K1))/<(H1+H1
      )
4720 RETURN
4730 L3(K1,5)=FNA5(Y(K1))/<(H1+H1
      )
4740 L3(K1,4)=FNA4(Y(K1))/<(H1+H1
      )
4750 L3(K1,3)=FNA3(Y(K1))/<(H1+H1
      )
4760 L3(K1,2)=FNA2(Y(K1))/<(H1+H1
      )
4770 L3(K1,1)=FNA1(Y(K1))/<(H1+H1
      )
4780 RETURN
4790 I6=0 @ F(5)=FNA5(X1) @ I5(5
      ,C+1)=I6/2
4800 I6=0 @ F(4)=FNA4(X1) @ I5(4
      ,C+1)=I6/2
4810 I6=0 @ F(3)=FNA3(X1) @ I5(3
      ,C+1)=I6/2
4820 I6=0 @ F(2)=FNA2(X1) @ I5(2
      ,C+1)=I6/2
4830 I6=0 @ F(1)=FNA1(X1) @ I5(1
      ,C+1)=I6/2
4840 RETURN
```

```
4850 DISP @ DISP "TIEMPO DE CALCULO";T;"Minutos" @ DISP
4860 N=1 @ ALPHA @ DISP "COPIO EN PAPEL LA GRAFICA";@ INPUT A$@ IF UPC$(A$[1,1])#"S" THEN 4890
4870 PRINT @ DISP "NOMBRE DEL CIRCUITO" @ INPUT A$@ PRINT " ";A$
4880 PRINT @ PRINT " Vss=";V5 @ PRINT " Vdd=";V6 @ PRINT @ GRAPH @ COPY @ GOSUB 4890 @ RETURN
4890 DISP "QUIERES LA GRAFICA DE LA INTENSIDAD";@ INPUT A$@ IF UPC$(A$[1,1])#"S" THEN 4990
4900 DISP "MAX. DE LA ESCALA DE I";@ INPUT V7@ GCLEAR
4910 SCALE V5*255/191,V6*255/191,0,V7
4920 XAXIS 0,1,V5,V6 @ YAXIS V5,V7/10,0,V7
4930 C=0
4940 FOR X1=V5 TO V6 STEP (V6-V5)/50
4950 C=C+1 @ PLOT X1,ABS(I5(N,C))
4960 NEXT X1
4970 ALPHA @ DISP "COPIO EN PAPEL LA GRAFICA";@ INPUT A$@ IF UPC$(A$[1,1])#"S" THEN 4990
4980 PRINT " MAX. DE ESCALA DE IES";V7;"Amp" @ PRINT @ GRAPH @ COPY
4990 ALPHA @ DISP "GRAFICA DE LA POTENCIA";@ INPUT A$@ IF UPC$(A$[1,1])#"S" THEN 5080
5000 DISP "MAX. DE LA ESCALA EN W";@ INPUT P@ GCLEAR
5010 DISP "MAX. Y MIN. DE TENSION EN LA MALLA";@ INPUT V1,V0
5020 SCALE V5*255/191,V6*255/191,0,P @ XAXIS 0,1,V5,V6 @ YAXIS V5,P/10,0,P @ C=0
5030 FOR X1=V5 TO V6 STEP (V6-V5)/50
5040 C=C+1 @ PLOT X1,ABS((V1-V0)*I5(N,C)) @ P(C)=P(C)+ABS((V1-V0)*I5(N,C))
5050 NEXT X1
5060 ALPHA @ DISP "COPIO EN PAPEL LA GRAFICA";@ INPUT A$@ IF UPC$(A$[1,1])#"S" THEN RETURN
5070 PRINT " MAX. DE ESCALA DE PES";P;"Wat" @ PRINT @ GRAPH @ COPY
```

```
5080 RETURN
5090 DISP "NUMERO DEL NUDO":@ IN
PUT N
5100 DISP "GRAFICA O TABLA DE VA
LORES, G/T":@ INPUT A$
5110 IF UPC$(A$[1,1])="G" THEN 5
190
5120 IF UPC$(A$[1,1])#"T" THEN B
EEP @ GOTO 5100
5130 C=0 @ CLEAR @ DISP "NUDO ";
N @ DISP
5140 FOR X1=V5 TO V6 STEP (V6-V5
)/50
5150 C=C+1 @ DISP "Vi=";X1;" Vo=
";V0(N,C)
5160 NEXT X1
5170 DISP @ DISP "OTRO NUDO":@ I
NPUT A$ @ IF UPC$(A$[1,1])="
S" THEN 5090
5180 DISP @ GOTO 1560
5190 PRINT @ GCLEAR @ SCALE V5*2
55/191,V6*255/191,V5,V6 @ C
=0
5200 XAXIS V5,1,V5,V6 @ YAXIS V5
,1,V5,V6
5210 FOR X1=V5 TO V6 STEP (V6-V5
)/50
5220 C=C+1 @ PLOT X1,V0(N,C)
5230 NEXT X1
5240 WAIT 5000 @ ALPHA @ CLEAR @
DISP "COPIO GRAFICA":@ INP
UT A$
5250 IF UPC$(A$[1,1])="S" THEN P
RINT " NUDO ";N @ PRINT @
GRAPH @ COPY
5260 DISP "ALMACENO EN CINTA LA
CARACTERISTICA":@ INPUT A$
5270 IF UPC$(A$[1,1])#"S" THEN 5
380
5280 DISP @ DISP "ARCHIVO NUEVO
O VIEJO (N/V)":@ INPUT A$
5290 IF A$[1,1]="N" THEN DISP "N
OMBRE DEL ARCHIVO";ELSE 531
0
5300 INPUT F0$ @ CREATE F0$,51,8
@ GOTO 5320
5310 DISP @ DISP "NOMBRE DEL ARC
HIVO":@ INPUT F0$
5320 ASSIGN# 1 TO F0$
5330 FOR I=1 TO 51
5340 PRINT# 1,I ; V0(N,I)
5350 NEXT I
5360 ASSIGN# 1 TO *
5370 DISP @ DISP "CARACTERISTICA
ARCHIVADA EN ";F0$ @ DISP
5380 GOSUB 4890 @ GOTO 5170
5390 !
5400 !
5410 ! Ecuaciones de nudos
5420 !
```

```
5430 !  
5440 DEF FNA1(V) = FNT(1)+FNT(2)  
5450 DEF FNA2(V) = FNT(1)-FNT(3)  
      +FNT(2)  
5460 DEF FNA3(V) = FNT(6)-FNT(4)  
      +FNT(5)
```

APENDICE 2.

RESULTADOS COMPARATIVOS DE SIMULACION EMPLEANDO MOSIM.

En el presente apéndice expondremos algunos circuitos, de los que, se han utilizado para contrastar medidas experimentales con los resultados suministrados por MOSIM. Los parámetros de los MOSTs utilizados en la simulación son los mismos expuestos previamente en el apartado 3.4, donde ya se expuso un ejemplo de simulación. En las gráficas que se muestran a continuación, las características de transferencia en línea continua corresponden a las obtenidas en la simulación y las que aparecen como una nube de puntos corresponden a las medidas experimentales digitalizadas. En dichas gráficas las escalas tanto de abscisas como de ordenadas están en 1 voltio/div.

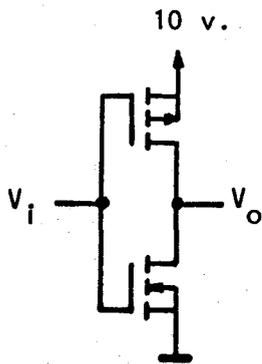


Fig. A.2.1.

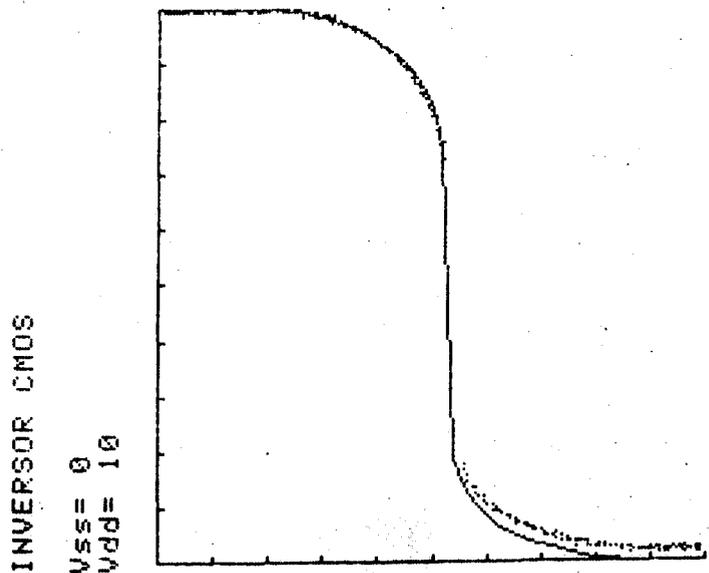


Fig. A.2.2: Característica real y simulada del circuito de la figura A.2.1.

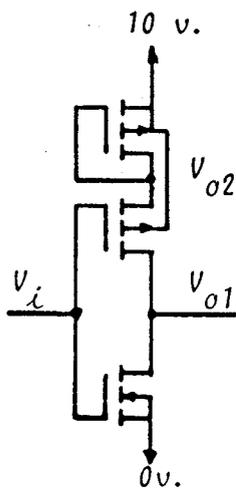


Fig. A.2.3.

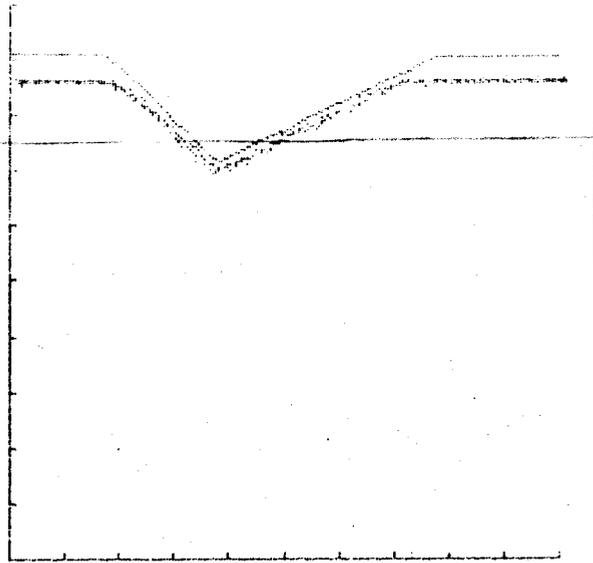


Fig. A.2.4: Características real y simulada de la salida o2 del circuito de la figura A.2.3.

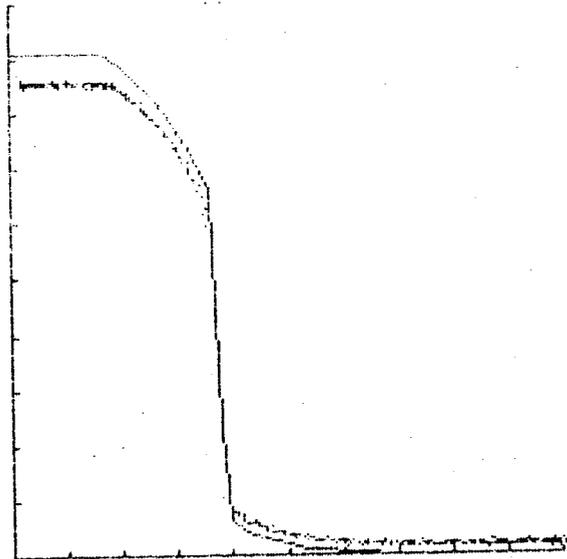


Fig. A.2.5: Características real y simulada de la salida o1 del circuito de la figura A.2.3.

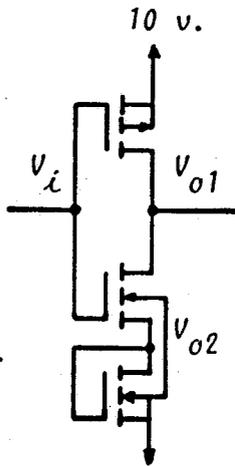


Fig. A.2.6.

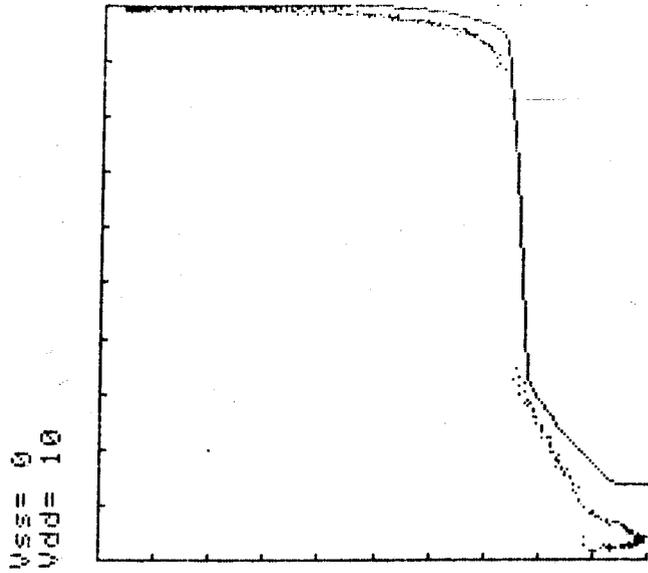


Fig. A.2.7: Características real y simulada del nudo 01 del circuito de la figura A.2.6.

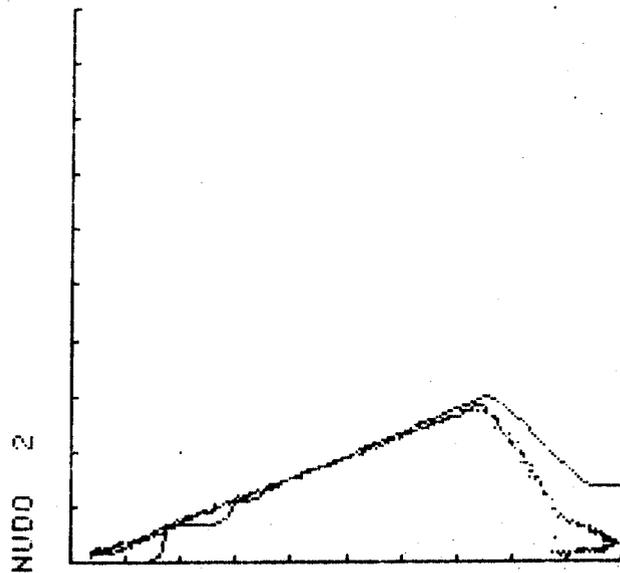


Fig. A.2.8: Características real y simulada del nudo 02 del circuito de la figura A.2.6.

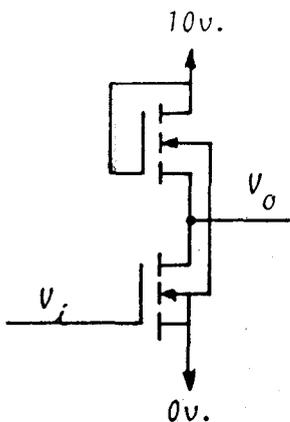


Fig. A.2.9.

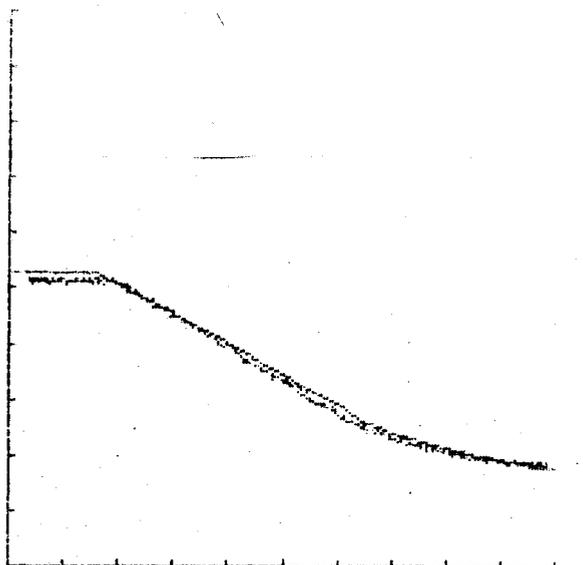


Fig. A.2.10: Características real y simulada del circuito de la figura A.2.9.

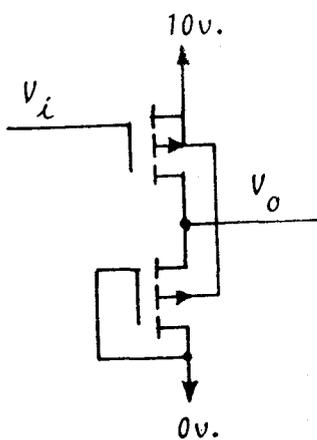


Fig. A.2.11.

INVERSOR PMOS

Vss= 0
Vdd= 10

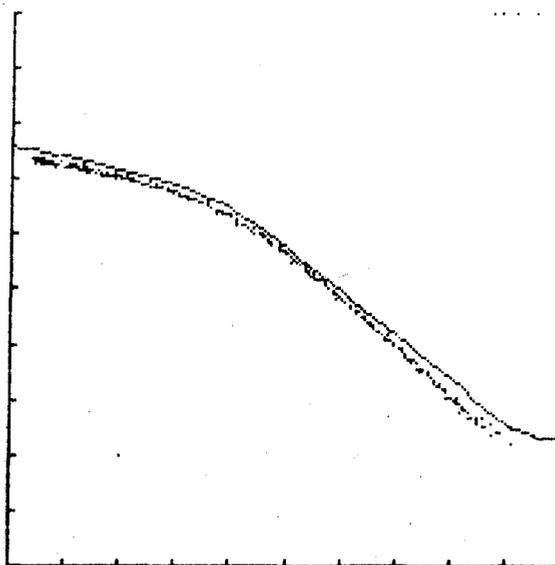


Fig. A.2.12: Características real y simulada del circuito de la figura A.2.11.

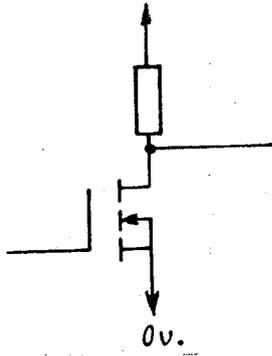


Fig. A.2.12.

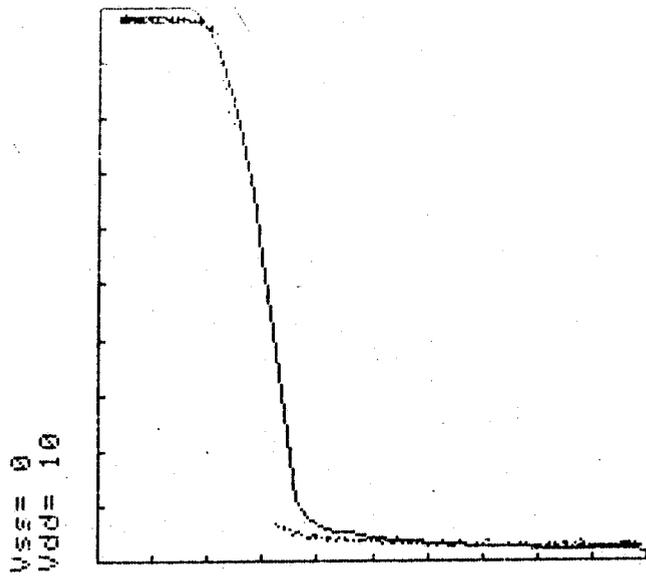


Fig. A.2.13: Característica real y simulada del circuito de la figura A.2.12.

APENDICE 3.

PUERTAS DE TRANSMISION PARA SEÑALES TRIVALUADAS.

Unos de los objetivos que se persiguen en este trabajo es que todos los circuitos necesarios se realicen mediante el conjunto de MOSTs obtenidos. Por tanto, dada la conveniencia de utilizar puertas de transmisión en algunas de las realizaciones, nos hemos planteados cuáles de dichos MOSTs son los idóneos para estas puertas y cuáles las tensiones de control más adecuados. Para ello veamos primero brevemente el funcionamiento de una puerta de transmisión.

El circuito básico de una puerta de transmisión, junto con su símbolo, es el que se muestra en la figura A.3.1. En ella se combinan un

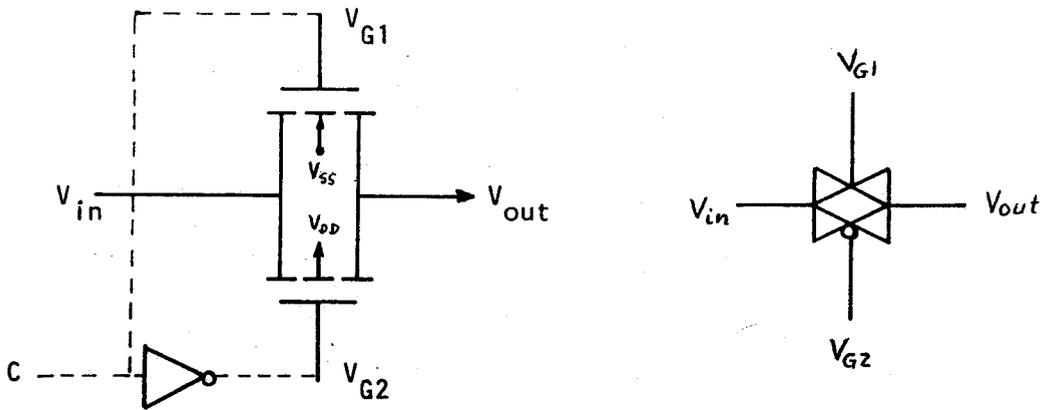


Fig. A.3.1: Puerta de transmisión y su símbolo.

MOST de canal p y uno de canal n en paralelo de forma que cuando uno está en conducción con una resistencia alta, el otro la tiene baja. Así:

$$R_{on} = R_p // R_n \quad V_{in}$$

El resultado es una R_{on} baja, con pequeñas variaciones, en el rango de señales de entrada. Concretamente, si $V_{G1} > V_{th_n}$ y $V_{G2} < V_{th_p}$, ambos MOSTs están en conducción. Nótese que las tensiones de umbral varían con la tensión de entrada, por existir contrapolarización del sustrato. La figura A.3.2. muestra la variación típica de R_{on} en función de la señal V_{in} de entrada, para $V_{G1} = V_{DD}$ y $V_{G2} = V_{SS}$. Para un correcto funciona-

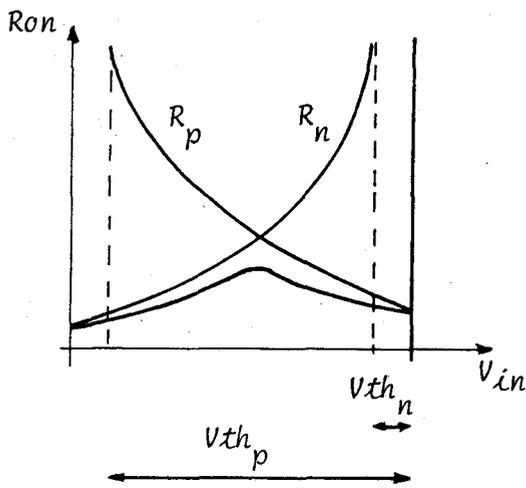


Fig. a.3.2.

miento dicha señal de entrada ha de permanecer acotada en la forma:

$$V_{SS} \leq V_{in} \leq V_{DD}$$

Cuando V_{in} se aproxima a V_{DD} , el MOST de canal n se corta pero el de p permanece no-saturado; cuando V_{in} se acerca a V_{SS} , el de canal p es el que se corta y el MOST de canal n es el que se mantiene no-saturado. Por tan-

to, siempre hay un MOST no-saturado entre la entrada y la salida.

Si $V_{G1} < V_{th_n}$ y $V_{G2} > V_{th_p}$, ambos MOSTs se cortan, y la resistencia entre la entrada y la salida se hace del orden de $10^9 \Omega$ en el caso típico. De todo lo anterior se infiere que debemos controlar ambos transistores de forma que simultáneamente estén o bien en conducción, o bien en corte. Por esta razón, el control de la puerta requiere el inversor mostrado con trazo discontinuo en la figura A.3.1.

En nuestro caso, nos interesa determinar qué puertas de transmisión de las que se pueden obtener por combinación de los 8 MOSTs disponibles, exhiben un comportamiento como el descrito.

Dado que su control se realizará mediante un inversor de un umbral, también interesa saber cuál de los tres vectores de valores es el más idóneo en cada caso. Para ello hemos realizado un programa de computador que nos suministre las impedancias que presentan cada una de las posibles puertas de transmisión, para cada uno de los valores lógicos y para cada una de las parejas de tensiones de control que pueden darse. El resultado es el mostrado en la tabla A.3.1. Dado que en el estado de baja impedancia, es deseable que ésta sea lo menor posible, para evitar que los valores lógicos se degraden, exigiremos que en dicho estado R_{on} no supere los 500 a 600 Ω . Alternativamente, en el estado de alta impedancia exigiremos que ésta sea del orden de $10^9 \Omega$ para cada uno de los valores lógicos posibles de entrada. En consecuencia, de la tabla A.3.1 y de las condiciones anteriores encontramos que sólo las puertas de transmisión formadas por los MOSTs N2 P2, N2 P3, N3 P2 y N3 P3 exhiben un funcionamiento correcto, si son posibles los tres valores lógicos a la entrada. Además su control ha de realizarse por inversores de un umbral cuyo vector de valores sea $(2, 0)$, es decir $A(x)$ o $B(x)$.

Conviene observar que empleando únicamente cuatro transistores diferentes (N2, P2, N4, P4) es posible obtener una puerta de transmisión y su circuito de control para nuestro caso trivaluado.

Adicionalmente, si los únicos valores lógicos posibles a la entrada son el 0 y el 1, las puertas realizadas por N2 P1, N3 P1 y N4 P1 con el mismo control anterior, también pueden ser utilizadas.

Como ilustración, veamos por ejemplo, la simulación de la puerta de transmisión N2 P2 en el estado de baja impedancia, mediante MOSIM, en el circuito de la figura A.3.3. El resultado arrojado es el que se muestra en la figura A.3.4, donde se representa R_{on} frente a V_{in} . Asimismo en la figura A.3.5 se representa V_{ont} frente a V_{in} , pudiéndose constatar la transmisión a la salida de la tensión de entrada.

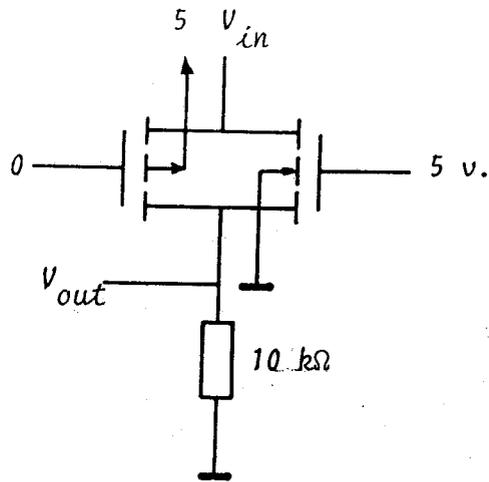


Fig. 4.3.3.

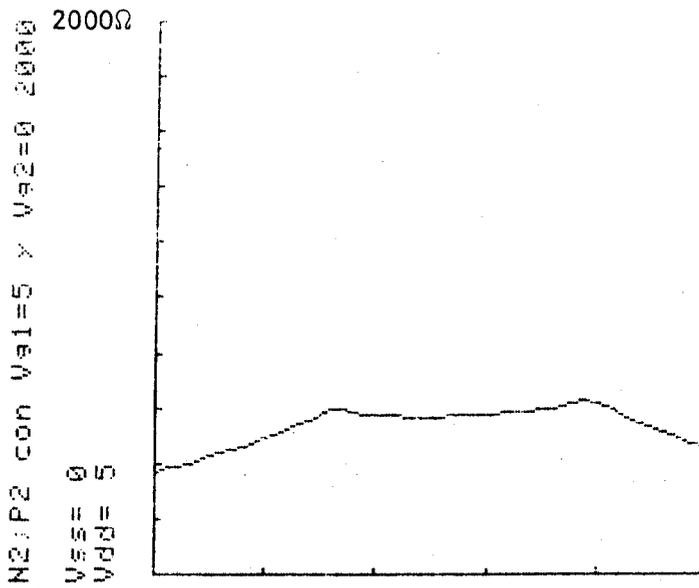


Fig. A.3.4: Ron frente a V_{in} para la PT :N2 P2.

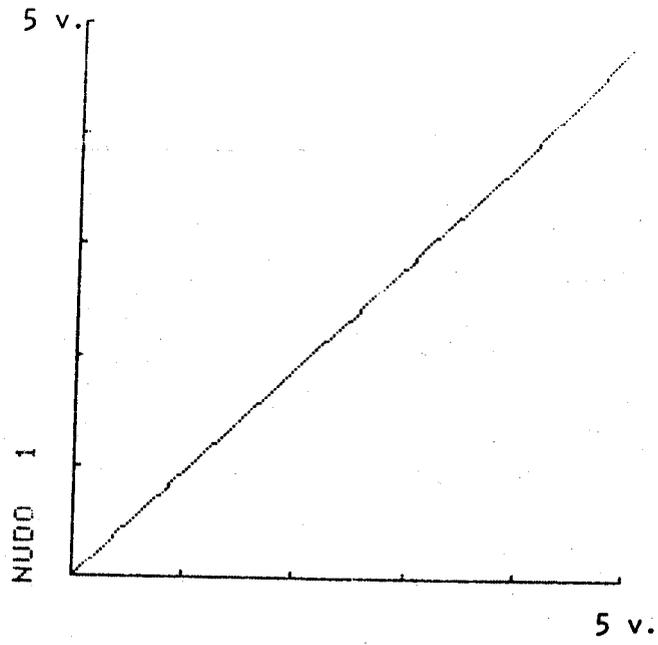


Fig. A.3.5: V_{out} frente a V_{in} para la PT : N2 P2.

N1 P1		N2 P2	
21 R(0)=240	12 R(0)=370	21 R(0)=380	12 R(0)=920
21 R(1)=273. 591549	12 R(1)=830	21 R(1)=900	12 R(1)=15000
21 R(2)=269. 918699	12 R(2)=741. 353384	21 R(2)=1015. 38462	12 R(2)=40000
20 R(0)=197. 014925	02 R(0)=830	20 R(0)=380	02 R(0)=9. 9999999E9
20 R(1)=203. 048781	02 R(1)=12000	20 R(1)=582. 352941	02 R(1)=9. 999999E11
20 R(2)=214. 910714	02 R(2)=829. 268293	20 R(2)=421. 276596	02 R(2)=9. 999999E11
10 R(0)=276. 870748	01 R(0)=830	10 R(0)=920	01 R(0)=9. 9999999E9
10 R(1)=291. 796875	01 R(1)=965. 517241	10 R(1)=1486. 48649	01 R(1)=9. 999999E11
10 R(2)=276. 190476	01 R(2)=395. 348837	10 R(2)=444. 99382	01 R(2)=1200
N1 P2		N2 P3	
21 R(0)=240	12 R(0)=370	21 R(0)=380	12 R(0)=920
21 R(1)=370	12 R(1)=830	21 R(1)=900	12 R(1)=15000
21 R(2)=490. 640394	12 R(2)=5800	21 R(2)=760. 857909	12 R(2)=39999. 9998
20 R(0)=240	02 R(0)=830	20 R(0)=380	02 R(0)=9. 9999999E9
20 R(1)=302. 227723	02 R(1)=12000	20 R(1)=484. 615385	02 R(1)=9. 999999E11
20 R(2)=291. 796875	02 R(2)=34000	20 R(2)=386. 019971	02 R(2)=9. 09090909E11
10 R(0)=370	01 R(0)=830	10 R(0)=920	01 R(0)=9. 9999999E9
10 R(1)=552. 217742	01 R(1)=12000	10 R(1)=981. 308411	01 R(1)=9. 999999E11
10 R(2)=417. 6	01 R(2)=1159. 09091	10 R(2)=405. 840139	01 R(2)=859. 999999
N1 P3		N2 P4	
21 R(0)=240	12 R(0)=370	21 R(0)=380	12 R(0)=920
21 R(1)=370	12 R(1)=830	21 R(1)=900	12 R(1)=15000
21 R(2)=422. 366864	12 R(2)=5800	21 R(2)=6600	12 R(2)=40000
20 R(0)=240	02 R(0)=830	20 R(0)=380	02 R(0)=9. 9999999E9
20 R(1)=273. 591549	02 R(1)=12000	20 R(1)=900	02 R(1)=9. 999999E11
20 R(2)=274. 435484	02 R(2)=33999. 9999	20 R(2)=1015. 38462	02 R(2)=9. 999999E11
10 R(0)=370	01 R(0)=830	10 R(0)=920	01 R(0)=9. 9999999E9
10 R(1)=463. 56383	01 R(1)=12000	10 R(1)=15000	01 R(1)=9. 999999E11
10 R(2)=382. 930757	01 R(2)=838. 783706	10 R(2)=1165. 04854	01 R(2)=9. 999999E11
N1 P4		N3 P1	
21 R(0)=240	12 R(0)=370	21 R(0)=370	12 R(0)=830
21 R(1)=370	12 R(1)=830	21 R(1)=463. 56383	12 R(1)=12000
21 R(2)=830	12 R(2)=5800	21 R(2)=374. 193548	12 R(2)=829. 268293
20 R(0)=240	02 R(0)=830	20 R(0)=276. 870748	02 R(0)=5E18
20 R(1)=370	02 R(1)=12000	20 R(1)=291. 796875	02 R(1)=9. 999999E11
20 R(2)=490. 640394	02 R(2)=34000	20 R(2)=276. 190476	02 R(2)=849. 999999
10 R(0)=370	01 R(0)=830	10 R(0)=473. 056995	01 R(0)=5E18
10 R(1)=830	01 R(1)=12000	10 R(1)=433. 73494	01 R(1)=1050
10 R(2)=994. 285714	01 R(2)=34000	10 R(2)=287. 54739	01 R(2)=400
N2 P1		N3 P2	
21 R(0)=380	12 R(0)=920	21 R(0)=370	12 R(0)=830
21 R(1)=484. 615385	12 R(1)=15000	21 R(1)=830	12 R(1)=12000
21 R(2)=377. 142857	12 R(2)=832. 313342	21 R(2)=994. 285714	12 R(2)=34000
20 R(0)=282. 432432	02 R(0)=9. 9999999E9	20 R(0)=370	02 R(0)=5E18
20 R(1)=300	02 R(1)=9. 999999E11	20 R(1)=552. 217742	02 R(1)=9. 999999E11
20 R(2)=277. 793904	02 R(2)=049. 999999	20 R(2)=417. 6	02 R(2)=9. 999999E11
10 R(0)=500. 990099	01 R(0)=9. 9999999E9	10 R(0)=830	01 R(0)=5E18
10 R(1)=436. 893204	01 R(1)=1050	10 R(1)=1450. 54945	01 R(1)=9. 999999E11
10 R(2)=287. 912633	01 R(2)=400	10 R(2)=444. 121916	01 R(2)=1200

Tabla A.3.1.

N3 P3		N4 P4	
21 R(0)=370	12 R(0)=830	21 R(0)=920	12 R(0)=9.9999999E10
21 R(1)=830	12 R(1)=12000	21 R(1)=15000	12 R(1)=9.9999999E11
21 R(2)=748.948949	12 R(2)=33999.9999	21 R(2)=40000	12 R(2)=9.9999999E11
20 R(0)=370	02 R(0)=5E18	20 R(0)=920	02 R(0)=5E18
20 R(1)=463.56383	02 R(1)=9.9999999E11	20 R(1)=15000	02 R(1)=5E18
20 R(2)=382.930757	02 R(2)=9.09090909E11	20 R(2)=1165.04854	02 R(2)=5E18
10 R(0)=830	01 R(0)=5E18	10 R(0)=9.9999999E10	01 R(0)=5E18
10 R(1)=965.517241	01 R(1)=9.9999999E11	10 R(1)=9.9999999E11	01 R(1)=5E18
10 R(2)=405.114792	01 R(2)=859.999999	10 R(2)=1200	01 R(2)=5E18
N3 P4		>	
21 R(0)=370	12 R(0)=830	>	
21 R(1)=830	12 R(1)=12000	>	
21 R(2)=5800	12 R(2)=34000	>	
20 R(0)=370	02 R(0)=5E18	>	
20 R(1)=830	02 R(1)=9.9999999E11	>	
20 R(2)=994.285714	02 R(2)=9.9999999E11	>	
10 R(0)=830	01 R(0)=5E18	>	
10 R(1)=12000	01 R(1)=9.9999999E11	>	
10 R(2)=1159.09091	01 R(2)=9.9999999E11	>	
N4 P1		>	
21 R(0)=920	12 R(0)=9.9999999E10	>	
21 R(1)=981.308411	12 R(1)=9.9999999E11	>	
21 R(2)=396.039604	12 R(2)=849.999999	>	
20 R(0)=500.990099	02 R(0)=5E18	>	
20 R(1)=436.893204	02 R(1)=5E18	>	
20 R(2)=287.912633	02 R(2)=850	>	
10 R(0)=1099.99999	01 R(0)=5E18	>	
10 R(1)=450	01 R(1)=1050	>	
10 R(2)=290	01 R(2)=400	>	
N4 P2		>	
21 R(0)=920	12 R(0)=9.9999999E10	>	
21 R(1)=15000	12 R(1)=9.9999999E11	>	
21 R(2)=1165.04854	12 R(2)=9.9999999E11	>	
20 R(0)=920	02 R(0)=5E18	>	
20 R(1)=1486.48649	02 R(1)=5E18	>	
20 R(2)=444.99382	02 R(2)=5E18	>	
10 R(0)=9.9999999E10	01 R(0)=5E18	>	
10 R(1)=1650	01 R(1)=5E18	>	
10 R(2)=450	01 R(2)=1200	>	
N4 P3		>	
21 R(0)=920	12 R(0)=9.9999999E10	>	
21 R(1)=15000	12 R(1)=9.9999999E11	>	
21 R(2)=841.899168	12 R(2)=9.09090909E11	>	
20 R(0)=920	02 R(0)=5E18	>	
20 R(1)=981.308411	02 R(1)=5E18	>	
20 R(2)=405.040139	02 R(2)=9.9999999E12	>	
10 R(0)=9.9999999E10	01 R(0)=5E18	>	
10 R(1)=1650	01 R(1)=5E18	>	
10 R(2)=410	01 R(2)=860	>	

Tabla A.3.1 (cont.)

CONCLUSIONES

- 1.- Se introduce un procedimiento de diseño de circuitos lógicos ternarios en tecnología CMOS que configuran una nueva familia con viabilidad de integración y que está constituida por los siguientes elementos combinatoriales:
 - a) Todos los operadores unarios en base tres.
 - b) Todos los operadores de dos o más entradas del tipo $\overline{\text{MIN}}$, $\overline{\text{MAX}}$ y sus conjugados.
 - c) Todos los operadores derivados de la estructura ExOR.
- 2.- Para la realización práctica de tales circuitos, se deriva un conjunto mínimo de MOSTs que se demuestra son tecnológicamente viables y permiten generar todos los operadores unarios en base tres.
- 3.- Se genera un paquete de simulación de circuitos con MOSTs, cuya precisión es comparable con la que suministran paquetes estandar, pero que en nuestro caso corre sobre una calculadora de sobremesa con recursos de memoria muy limitados.
- 4.- Se simula con detalle el comportamiento estático y dinámico de los nuevos circuitos, estableciendo que sus parámetros terminales son similares a los de la familia estandar CMOS en lógica de dos valores.
- 5.- Se define una figura de mérito genérica que permite establecer criterios de comparación entre circuitos lógicos en bases distintas, siendo reducible en el caso binario al factor consumo-velocidad tan ampliamente aceptado para calificar las familias lógicas en base dos.
- 6.- Se utilizan los nuevos circuitos ternarios en la síntesis de aplicaciones específicas, centrando la tarea en la generación de celdas

de procesado aritmético y elementos de memoria.

- 7.- Se extiende el trabajo a lógica de cuatro valores, considerando la síntesis de un conjunto mínimo de operadores que incluye el complemento cuaternario y las puertas $\overline{\text{MAX}}$ y $\overline{\text{MIN}}$.
- 8.- Se obtienen los MOSTs necesarios para sintetizar los operadores cuaternarios citados, con el interés adicional de que el conjunto resultante es una ampliación del derivado para los nuevos circuitos en base tres.

UNIVERSIDAD DE SEVILLA

FACULTAD DE CIENCIAS FISICAS

Reunido el Tribunal integrado por los abajo firmantes
en el día de la fecha, para juzgar la Tesis Doctoral de
D. Gustavo Sánchez Gómez
titulada " Diseño y simulación de una fami-
lia de circuitos lógicos multivaluados en
tecnología CMOS".

acordó otorgarle la calificación de sobresaliente "cum laude"

Sevilla, 26 de abril

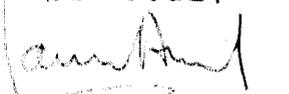
1.983

El Vocal.



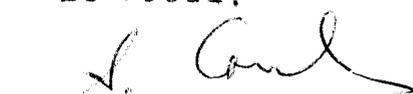
El Presidente.

El Vocal.



El Secretario.

El Vocal.



El Doctorado.

