

Realización de un filtro activo de potencia empleando una FPGA

J.M.Carrasco, E.Galván, F.Ridao, R.Jiménez, D.Alarcón,
A.Torralba, F. del Pozo (*) y L.G.Franquelo

(*) Dpto. Técnico de Isotrol S.A.

Dpto de Ingeniería Electrónica, Sevilla

Escuela Superior de Ingenieros,

Avda Reina Mercedes s/n, 41012-Sevilla (SPAIN)

phone: +34-5-4556878 ; fax: +34-5-4556849 ; e-mail: torralba@gtex02.us.es

Abstract— En este artículo se presenta un sistema para compensación de reactiva y eliminación de armónicos en la conexión de una carga a una red eléctrica. El sistema emplea una simple tarjeta que incorpora una FPGA, un microprocesador, una memoria doble puerta y convertidores A/D, y que genera directamente los pulsos de disparo de los elementos de conmutación de un inversor trifásico.

I. INTRODUCCIÓN

La conducción de reactiva en los sistemas de potencia origina unas pérdidas y empeora la estabilidad de los mismos. Por otra parte, la presencia de armónicos provoca calentamientos en los transformadores y bancos de capacidades y molestias a los consumidores cercanos a los puntos en que se generan los armónicos. Los requerimientos cada vez más estrictos en la calidad del servicio que deben proporcionar las compañías eléctricas, obliga a penalizar la producción de energía reactiva y, en un futuro próximo, la introducción de armónicos en los sistemas.

Por ello, una gran investigación se está realizando actualmente en los denominados *filtros activos de potencia* [1]–[3]. Por esta razón, la empresa ISOTROL S.A.

planteó junto al departamento de Ingeniería Electrónica de la Universidad de Sevilla, un proyecto GAME para la realización de un circuito ASIC destinado a incorporar las distintas partes de un controlador de filtros activos de potencia.

En su primera fase, que está a punto de concluir, se ha realizado un prototipo que incluye un microprocesador para la realización de los algoritmos de control, y una FPGA encargada de controlar los convertidores que van informando del estado de las corrientes y tensiones del sistema y que va generando (por comparación con unos valores de referencia almacenados por el microprocesador en una memoria RAM doble-puerta) los pulsos de disparo de los elementos de conmutación de un inversor trifásico.

II. ARQUITECTURA DEL SISTEMA

En la figura 1 se muestra la estructura del filtro de potencia. El sistema de control va leyendo las corrientes en la carga y va generando una componente adicional de corriente por fase, de manera que la suma de ambas sea una componentes puramente senoidal en fase con la tensión. El algoritmo empleado para el cálculo de las co-

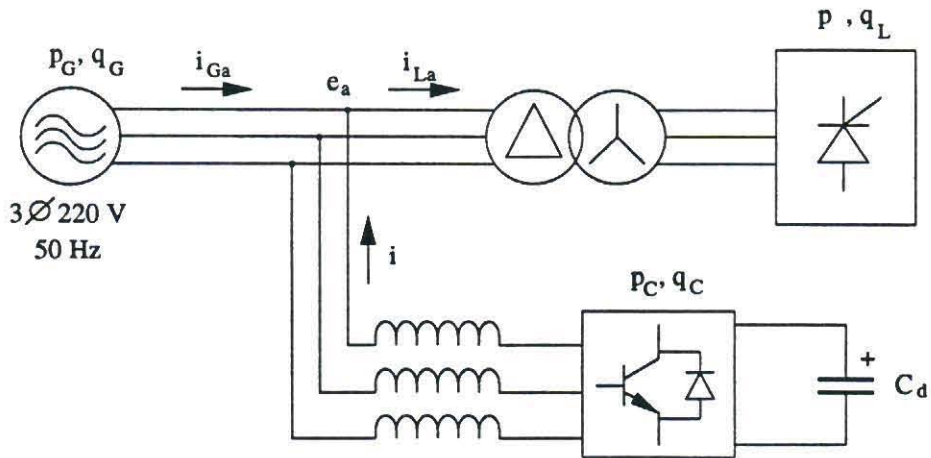


Figure 1: Diagrama de Bloques.

rrientes instantáneas se detalla en [1] y, en la primera fase del proyecto se implementa en un microprocesador convencional, lo que impide que el cálculo sea ciclo a ciclo. (En la implementación actual, el valor de las corrientes de compensación se calculan cada 5 ciclos de red).

Dado que la toma de datos y la generación de los pulsos de disparo debe hacerse en tiempo real, una FPGA se encarga del control de los convertidores. Para ello almacena en posiciones reservadas de una memoria RAM doble-puerta el valor instantáneo deseado de las corrientes de fase. También la FPGA genera los pulsos de disparo de los IGBTs del sistema de potencia, por comparación entre el valor deseado y el valor medido de la corriente de fase. La figura 2 muestra el esquema interno de la FPGA.

III. IMPLEMENTACIÓN

Para su implementación se ha escogido la FPGA de ALTERA, 5130JC, la cual se ha llenado al 100 % dado la complejidad del controlador. La placa incluyendo la FPGA, los convertidores y la RAM se ha configurado como una tarjeta conectable a un bus XT, actuando el propio procesa-

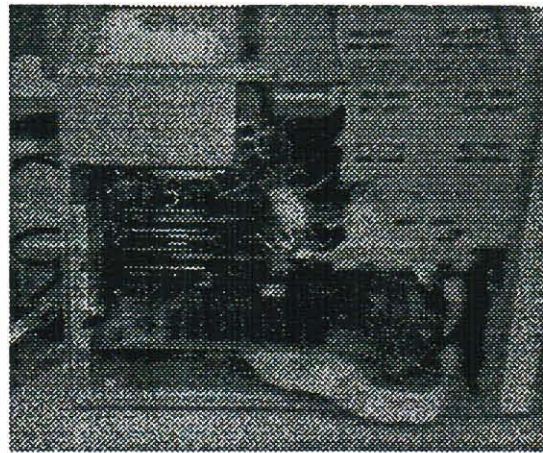


Figure 3: Placa prototipo montada sobre PC de control

dor del PC como microprocesador para la realización de las pruebas.

Para la evaluación del sistema se ha montado un sistema de potencia consistente en:

1. Inversor de compensación (Potencia nominal: 6 KVA).
2. Capacidad de reserva de energía.
3. Sistema con varias cargas de componente reactiva.

En la figura 3 se muestra una fotografía de la placa de control, y en la figura 4

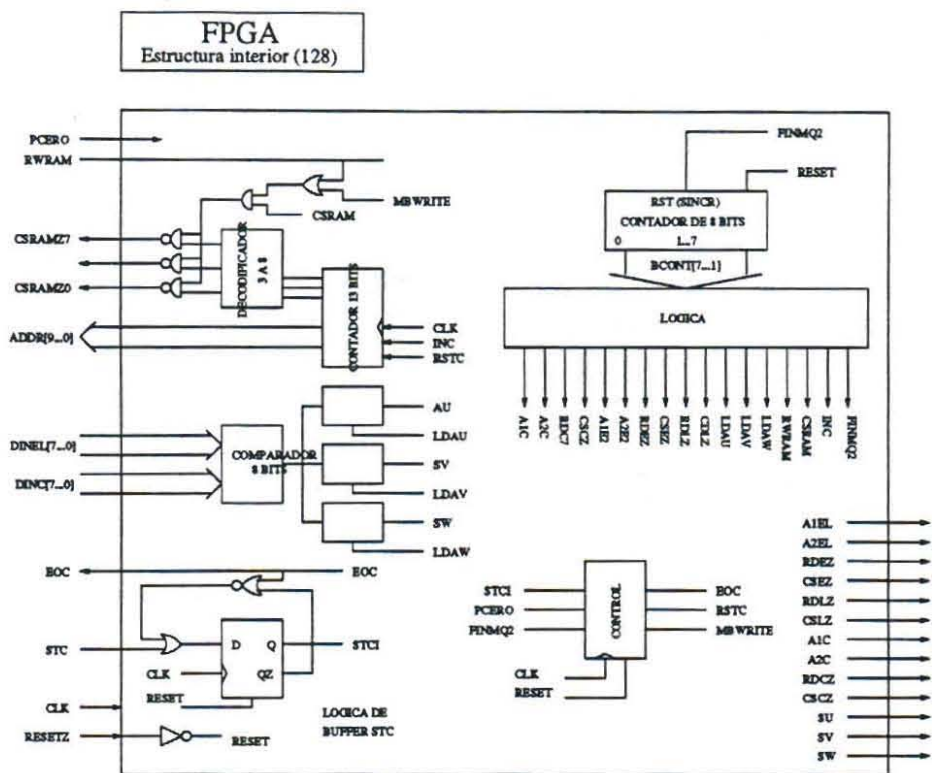


Figure 2: Diagrama de bloques del contenido de la FPGA

se muestra el prototipo sobre el cual se realizan las medidas experimentales.

IV. RESULTADOS EXPERIMENTALES

Se han realizado diferentes pruebas encaminadas a comprobar el correcto funcionamiento del filtro activo. A continuación se describen en detalle los resultados obtenidos empleando como carga un filtro sintonizado con generación de quinto y séptimo armónico. El filtro es mostrado en la figura 5.

La figura 6, muestra la forma de onda de la intensidad por la fase *r* que alimenta a la carga anteriormente comentada. La figura 7 muestra los contenidos de reactiva y armónicos de orden quinto y séptimo que esta carga introduce en la red eléctrica. La figura 8 muestra la transformada rápida de Fourier de la intensidad de la fase *r* del generador (red eléctrica) una vez

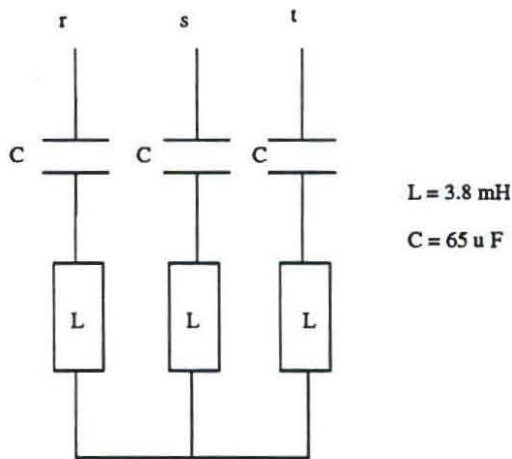


Figure 5: Esquema del filtro sintonizado propuesto como carga en la prueba 01.

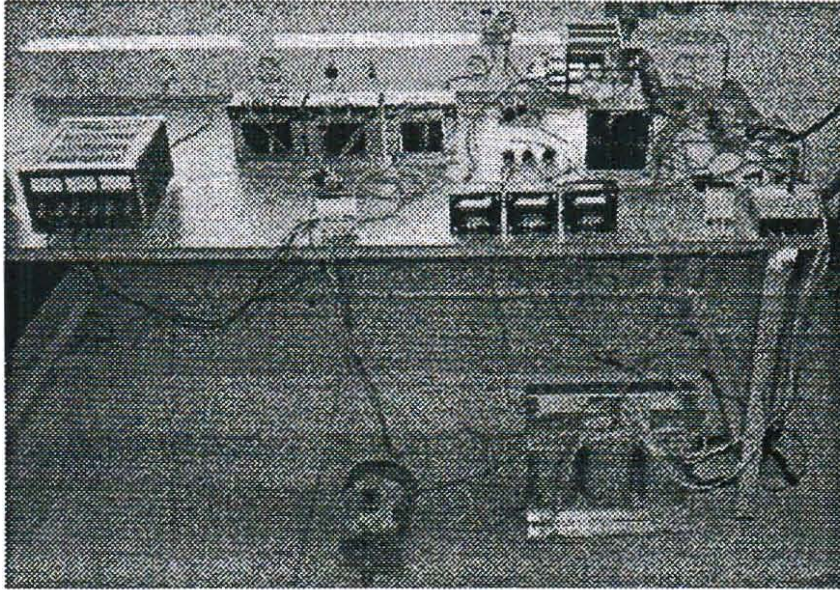


Figure 4: Sistema de potencia para pruebas

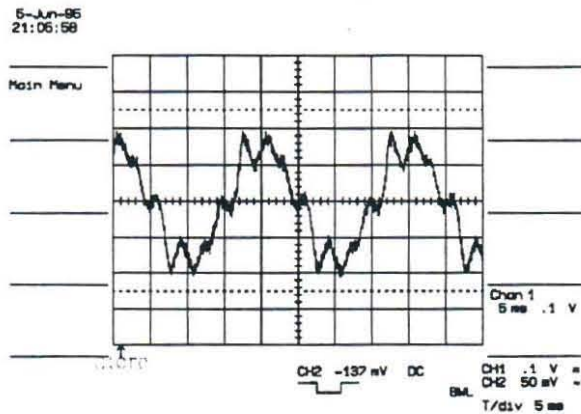


Figure 6: Forma de onda de la intensidad del generador (red eléctrica) en la fase r, debida a la conexión del filtro sintonizado como carga. En este caso no existe actuación de la compensación propuesta.

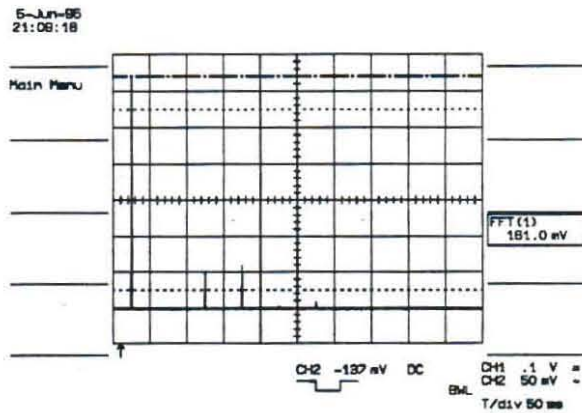


Figure 7: FFT de la intensidad del generador (red eléctrica) en la fase r, debida a la conexión del filtro sintonizado como carga. En este caso no existe actuación de la compensación propuesta.

que actúa la compensación. Se puede observar la reducción de la componente fundamental de 50 Hz (componente reactiva) y la de los armónicos de quinto y séptimo orden. La escala vertical de la figura 8 está más de 6 veces ampliada, respecto de la figura 7, pues en la misma escala, el contenido de armónicos del sistema compensado apenas se aprecia.

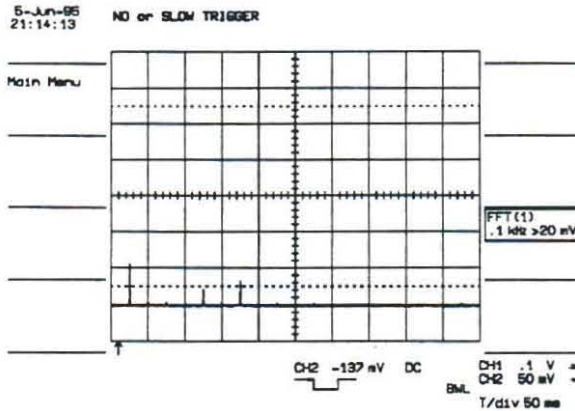


Figure 8: FFT de la intensidad del generador (red eléctrica) en la fase r, debida a la conexión del filtro sintonizado como carga. En este caso existe actuación de la compensación propuesta.

En la figura 9 se muestra la respuesta de la compensación propuesta, que aunque es realizada en régimen cuasi-estacionario, no en tiempo real, actúa de forma continua teniendo un tiempo de respuesta frente a un cambio de carga menor de 1 s. Este es el tiempo que tarda el PC en procesar la información leída del circuito de potencia (intensidad de carga y tensiones), generar las nuevas intensidades de referencia y enviarla a la DP-RAM existente en la placa controladora.

Agradecimientos

El trabajo aquí descrito ha recibido una subvención del programa GAME.

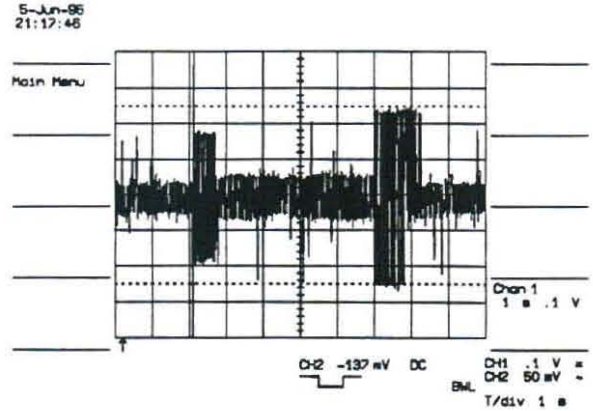


Figure 9: Respuesta transitoria de la intensidad del generador (red eléctrica) en la fase r, debida a la conexión y desconexión del filtro sintonizado (cambio de carga). Se puede observar que el tiempo de procesado es menor de 1 s.

REFERENCES

- [1] Hirofumi Akagi, Yoshihira Kanazawa and Akira Nabae. "Instantaneous Reactive Power Compensator Comprising Switching Device without Energy Storage Components" IEEE Trans. on Industry Applications vol. 1A-20, NO. 3 pp. 625-630, May-June 1984.
- [2] Hirofumi Akagi, Akira Nabae and Satoshi Atoh. "Control Strategy of Active Power Filters Using Multiple Voltage-Source PWM Converters" IEEE Trans. on Industry Applications vol. 1A-22, NO. 3 pp. 460-465, May-June 1986.
- [3] Fang-Zhang Peng, Hirofumi Akagiv and Akira Nabae. "A Study of Active Power Filters Using Quad-Series Voltage-Source PWM Converters for Harmonic Compensation" IEEE Trans. on Power Electronics vol. 5, NO. 1 pp. 9-15, January 1990.