



UNIVERSIDAD DE SEVILLA

Departamento de Electrónica y Electromagnetismo

Tesis Doctoral

**Estimación de la actividad de conmutación en
circuitos digitales CMOS VLSI**

Trabajo presentado para optar al grado de Doctor por:

Carmen Baena Oliva

Sevilla, 2011

Directores: Manuel Valencia Barrero y Carlos Jesús Jiménez Fernández



Estimación de la actividad de conmutación en circuitos digitales CMOS VLSI

Trabajo presentado para optar al grado de Doctor por:

Carmen Baena Oliva

Los directores

El Tutor

Manuel Valencia Barrero Carlos Jesús Jiménez Fernández

Ángel Barriga Barros

Agradecimientos

Este trabajo ha sido posible con el apoyo recibido de compañeros y amigos del Departamento de Tecnología Electrónica y del IMSE a quienes les agradezco sus aportaciones. Más concretamente, quiero agradecer en primer lugar a mis directores de Tesis: A Manolo, por su inestimable ayuda en su desarrollo, por su aliento animándome a concluir este trabajo y por su tesón, siempre presente. Y a Carlos, porque su dirección supuso un valioso impulso. En segundo lugar, a Jorge: su apoyo técnico constituyó el arranque definitivo que necesitaba. Gracias, Jorge, también por tu gran generosidad. A continuación, quiero destacar a Antonio por estar siempre ahí y a Paulino, por su importante participación en este trabajo.

A Pilar, quien está por encima de toda clasificación. Su ejemplo me dio fuerzas y las dos sabemos el significado de todo este trabajo.

Y a Andrés, sin él nunca habría visto la luz esta Tesis.

A Andrés. A nuestros cuatro hijos.

Índice

Índice	ix
Lista de Figuras	xiii
Lista de Tablas	xix
CAPÍTULO 1:	
Introducción	1
1.1 Presentación	1
1.2 Objetivos	5
1.3 Contenido	6

CAPÍTULO 2:

Actividad de conmutación en circuitos integrados CMOS	9
2.1 Actividad de conmutación: azares y glitches	10
2.2 Consumo de potencia en circuitos CMOS	18
2.2.1 Fuentes de disipación de potencia	19
2.2.2 Técnicas de reducción de potencia dinámica en circuitos CMOS	28
2.3 Ruido de conmutación en circuitos CMOS	38
2.4 Medidas de la actividad de conmutación	46
2.5 Resumen	53

CAPÍTULO 3:

Medidas de la actividad de conmutación con herramientas comerciales en tecnología 0.35micras	55
3.1 Metodología de medida de la actividad de conmutación	57
3.1.1 Elección de circuitos	62
3.1.2 Selección de estímulos	66
3.1.3 Tipos de transiciones y planificación de medidas	74
3.2 Medidas con simulador lógico	76
3.3 Efectos postlayout en la actividad de conmutación	85
3.4 Medidas con simulador eléctrico	90

3.5 Comparación de las medidas Verilog vs Hspice	95
3.6 Resumen	102
CAPÍTULO 4:	
Medidas de la actividad de conmutación con Halotis	107
4.1 Modelos de retraso con degradación y simulador lógico Halotis....	109
4.1.1 Modelos de retraso. Modelo IDDM.	111
4.1.2 Caracterización de puertas	122
4.1.3 Simulador lógico Halotis	126
4.2 Metodología aplicada y resultados en la actividad de conmutación .	127
4.3 Análisis y comparación de resultados	133
4.4 Resumen.	140
CAPÍTULO 5:	
Influencia de la tecnología en la actividad de conmutación medida con herramientas comerciales.	141
5.1 Medidas sobre circuitos con tecnología st 65nm	143
5.1.1 Medidas con simulador lógico	143
5.1.2 Medida con simulador eléctrico	146
5.1.3 Comparación de la actividad de conmutación en la tecnología st 65nm	149

5.2	Actividad de conmutación: Comparación entre las tecnologías ams 0.35 μ m y st 65nm	153
5.2.1	Comparación usando modelo de retraso nulo.	154
5.2.2	Comparación usando el modelo de retraso no nulo	156
5.2.3	Comparación del exceso de conmutación con el cambio de tecnología.	159
5.3	Actividad de conmutación de un circuito en función del strength. . .	165
5.3.1	Circuito c2670.	170
5.3.2	Circuito c1908	192
5.4	Actividad de conmutación a nivel eléctrico en función del strength. .	198
5.4.1	Circuito c2670.	199
5.4.2	Circuito c1908.	201
5.5	Actividad de conmutación en un entorno completamente digital . . .	203
5.5.1	Circuito c2670.	205
5.5.2	Circuito c1908.	206
5.6	Resumen.	208
	Conclusiones	213
	Referencias	219

Lista de figuras

Figura 2.1:	Actividad funcional (1). Actividad no funcional (2): colisiones y azar.	16
Figura 2.2:	Azar dinámico	18
Figura 2.3:	Colisión en las entradas de una puerta. Generación de un glitch.	19
Figura 2.4:	Ejemplo de colisión en la etapa 2 de un sumador de n bits. .	20
Figura 2.5:	Propagación de glitches: a)vía puertas; b)por ramificación. .	21
Figura 2.6:	Esquema sistema CMOS.	24
Figura 2.7:	Corriente de cortocircuito en un inversor CMOS	28
Figura 2.8:	Diseño AND(a,b,c,d) con caminos no balanceados (a) y con caminos balanceados (b).	40

Figura 2.9:	Esquema de la técnica Clock-gating para reducir potencia en FSM's.	41
Figura 2.10:	Acoplamiento capacitivo entre líneas conductoras	46
Figura 2.11:	Propagación del ruido a través del sustrato	47
Figura 3.1:	Procedimiento para obtener el valor medio de la actividad de conmutación para 1000 patrones de test.	76
Figura 3.2:	Procedimiento para obtener una secuencia de entrada adecuada y representativa.	76
Figura 3.3:	Metodología para la obtención de la actividad de conmutación usando simulador lógico.	85
Figura 3.4:	Esquema del método de cálculo de la actividad de conmutación usando Hspice.	97
Figura 3.5:	Error relativo en la actividad total entre simulación lógica con retraso y simulación eléctrica para cada benchmark en la tecnología ams 0.35 μ m.	104
Figura 3.6:	Error relativo en la actividad total entre simulación lógica sin retraso y simulación eléctrica para cada benchmark.	106
Figura 4.1:	Efecto puro, inercial y de degradación en el tiempo de propagación.	117
Figura 4.2:	Modelo con señales lógicas de los efectos de retraso puro, inercial y con degradación.	124
Figura 4.3:	Efecto de la pendiente de entrada sobre el retraso (caso DI).	126

Figura 4.4:	Representación del tiempo de propagación	127
Figura 4.5:	Formas de onda de un multiplicador de 4 bits: Hspice, DDM y Verilog.	129
Figura 4.6:	Esquema del método de medida de la actividad de conmutación usado por HALOTIS. (C.U.T.: circuito bajo test) [Ruiz07].	134
Figura 4.7:	Fichero html con los parámetros del modelo IDDM para la puerta NAND2.	136
Figura 4.8:	Fichero html con los parámetros del modelo IDDM para la puerta NAND2 (continuación).	137
Figura 4.9:	Valores de la actividad de conmutación de cada benchmarks tras simulación lógica Verilog, Hspice y Halotis.	140
Figura 4.10:	Porcentaje de error relativo Verilog-Hspice (ERV) y Halotis-Hspice (ERH).	144
Figura 5.1:	Metodología para la obtención de la actividad de conmutación usando simulador lógico en tecnología st65 nm.	151
Figura 5.2:	Esquema del método de cálculo de la actividad de conmutación usando Hspice.	154
Figura 5.3:	Porcentaje de error relativo en la actividad total entre simulación lógica con retraso y simulación eléctrica para cada benchmark en la tecnología st65nm.	157
Figura 5.4:	Error relativo en la actividad total entre simulación lógica sin retraso y simulación eléctrica para cada benchmark en la tecnología st65nm.	159

Figura 5.5:	Actividad de cada benchmark tras la simulación lógica con retraso para cada tecnología.	164
Figura 5.6:	Comparación del error relativo entre la actividad tras simulación lógica con retraso y la actividad tras simulación eléctrica para las tecnologías ams 0.35 μ m y st 65nm.	168
Figura 5.7:	Comparación del error relativo entre la actividad tras simulación lógica sin retraso y la actividad tras simulación eléctrica para las tecnologías ams 0.35 μ m y st 65nm.	170
Figura 5.8:	Tabla de tiempos de propagación de la puerta NAND2 en la tecnología st65nm.	173
Figura 5.9:	Circuito benchmark c2670.	177
Figura 5.11:	Localización ampliada del nudo n1239 en el circuito.	178
Figura 5.10:	Detalle del nudo n1239 en la vista esquemático del circuito c2670.	179
Figura 5.12:	Resultados de la simulación para el nudo n1239 y entorno.	182
Figura 5.13:	Evolución temporal de los nudos del entorno de la puerta AND2 bajo estudio.	183
Figura 5.14:	Localización ampliada a los niveles anteriores del nudo n1239 en el circuito.	185
Figura 5.15:	Evolución temporal que puede provocar glitch en el nudo n1239.	185
Figura 5.16:	Localización ampliada del nudo n686 en el circuito	192

Figura 5.17:	Respuesta temporal del nudo n686 y su entorno para el circuito original y con la puerta G1826 modificada para strength=14 y strength=57.	195
Figura 5.18:	Localización ampliada del nudo n650 en el circuito.	196
Figura 5.19:	Circuito benchmark c1908.	199
Figura 5.20:	Detalle del nudo n53 en la vista esquemático del circuito. .	200
Figura 5.21:	Resultados de la simulación lógica para el nudo n53 y entorno.	201
Figura 5.22:	Variación de la actividad de conmutación con la semilla y el strength de la puerta G349 para los nudos n349, n53 y n54 del benchmark c1908.	205

Lista de tablas

Tabla 3.1:	Circuitos benchmark ISCAS85.	63
Tabla 3.2:	Actividad de conmutación por estímulo y valor medio del circuito c2670 usando 1000 patrones de test por simulación.	72
Tabla 3.3:	Actividad de conmutación por estímulo y desviación respecto a SA_1000 del circuito c2670 usando 50 patrones de test por simulación.	72
Tabla 3.4:	Actividad de conmutación por estímulo y valor medio del circuito c5315 usando 1000 patrones de test por simulación.	73
Tabla 3.5:	Actividad de conmutación por estímulo y desviación respecto a SA_1000 del circuito c5315 usando 50 patrones de test por simulación.	73

Tabla 3.6:	Número de transiciones de cada benchmark usando 50 patrones de entrada tras una simulación lógica. Tecnología ams 0.35 μ m.	81
Tabla 3.7:	Valor medio y desviación porcentual en la actividad pre-layout, y comparación con la actividad funcional.	83
Tabla 3.8:	Número de transiciones pre/post-layout usando 50 patrones de entrada. Tecnología ams 0.35 μ m.	86
Tabla 3.9:	Análisis de los valores absolutos extremos en la variación porcentual de los datos pre y post-layout de la tabla 3.8. . . .	88
Tabla 3.10:	Número de transiciones totales de cada benchmark usando 50 patrones de entrada tras la simulación eléctrica. Tecnología ams 0.35 μ m.	94
Tabla 3.11:	Errores relativos de $N_{trans_{typ}}$ y $N_{trans_{Zero}}$ en relación a $N_{trans_{Hspice}}$	97
Tabla 3.12:	Tiempos de CPU por simulación.	102
Tabla 4.1:	Número de transiciones totales de cada benchmark usando 50 patrones de entrada tras una simulación con Halotis. Tecnología ams 0.35 μ m.	132
Tabla 4.2:	Número de transiciones totales de cada benchmark usando 50 patrones de entrada tras simulación eléctrica, con Halotis y con Verilog. Tecnología ams 0.35 μ m.	133
Tabla 4.3:	Porcentaje de error relativo entre $N_{trans_{verilog}}$ y $N_{trans_{Hspice}}$, así como entre $N_{trans_{Halotis}}$ y $N_{trans_{Hspice}}$	136

Tabla 4.4:	Tiempo de CPU empleado por los distintos simuladores. . .	139
Tabla 5.1:	Número de transiciones de cada benchmark tras una simulación lógica usando 50 patrones. Tecnología st 65nm.	147
Tabla 5.2:	Número de transiciones totales de cada benchmark tras la simulación eléctrica usando 50 patrones de entrada. Tecnología st 65nm.	149
Tabla 5.3:	Porcentaje de errores relativos de $N_{trans_{verilog}}$ y $N_{trans_{Zero}}$ en relación a $N_{trans_{hspice}}$ en la tecnología st65nm.	150
Tabla 5.4:	Número de transiciones de cada benchmark tras una simulación lógica usando 50 patrones considerando puertas ideales. Tecnologías ams 0.35 μ m y st65nm.	155
Tabla 5.5:	Número de transiciones de cada benchmark tras una simulación lógica usando 50 patrones considerando puertas con retraso. Tecnologías ams 0.35 μ m y st65nm.	157
Tabla 5.6:	Porcentaje de errores relativos de $N_{trans_{verilog}}$ en relación a $N_{trans_{hspice}}$ para cada tecnología.	161
Tabla 5.7:	Porcentaje de errores relativos de $N_{trans_{Zero}}$ en relación a $N_{trans_{hspice}}$ para cada tecnología.	163
Tabla 5.8:	Nudos destacados en el circuito benchmark c2670.	172
Tabla 5.9:	Variación en la actividad de conmutación de los nudos n1239, n1240 y total.	174

Tabla 5.10:	Actividad de conmutación de los nudos del entorno del n1239 y actividad total para distinto strength de las puertas G1221 (pin A) y G991 (pin B).	181
Tabla 5.11:	Actividad de los nudos n1239 y n1240 para diversas semillas.	182
Tabla 5.12:	Variación en la actividad de conmutación en los nudos asociados a la puerta del nivel posterior.	183
Tabla 5.13:	Actividad de los nudos n1239 y n1240 y siguientes para diversas semillas.	185
Tabla 5.14:	Actividad de conmutación de los nudos del entorno del n686 y actividad total para distinto strength de las puertas G1826 (pin A) y G1827 (pin B).	187
Tabla 5.15:	Actividad de conmutación de los nudos del entorno del n650 y actividad total para distinto strength de la puerta G2249. . .	191
Tabla 5.16:	Nudos destacados en el circuito benchmark c1908.	194
Tabla 5.17:	Actividad de conmutación de los nudos del entorno del n53 y actividad total para distinto strength de las puertas.	196
Tabla 5.18:	Actividad de los nudos n349, n53, n54 y total para diversas semillas.	197
Tabla 5.19:	Actividad de conmutación tras el cambio de strength en la puerta G1221 del circuito c2670.	200
Tabla 5.20:	Actividad de conmutación tras el cambio de strength en la puerta G439 del circuito c1908 basado en simulación Hspice. . . .	202

Tabla 5.21: Nudos destacados en el circuito benchmark c2670 con mayor diferencia en la actividad tras simulación lógica con retraso y sin retraso. 205

Tabla 5.22: Nudos destacados en el circuito benchmark c1908 con mayor diferencia en la actividad tras simulación lógica con retraso y sin retraso. 206

La investigación que se ha desarrollado en esta Tesis se centra en el análisis de la actividad de conmutación real durante la operación de circuitos combinatoriales CMOS integrados en tecnologías fuertemente submicrónicas. Para ello se han explorado las prestaciones de herramientas de diseño comerciales, se han propuesto metodologías de medida, se han aplicado técnicas de modelado y de diseño para bajo consumo, y se ha medido la actividad de múltiples circuitos de prueba en dos tecnologías de integración, de $0,35\mu\text{m}$ y de 65nm .

1.1 Presentación

En este documento se presenta el trabajo de investigación que será defendido como Tesis Doctoral. Se ha desarrollado en la Universidad de Sevilla y en el Instituto de Microelectrónica de Sevilla

(IMSE, del Centro Nacional de Microelectrónica, CNM-CSIC), dentro del grupo de investigación TIC-180: *Diseño de Circuitos Integrados Digitales y Mixtos*, según el catálogo de la Junta de Andalucía. El trabajo se ha ejecutado dentro de diferentes proyectos de investigación ejecutados por el grupo TIC-180 y financiados en convocatorias europeas, nacionales y regionales¹.

Esta Tesis se enmarca en uno de los campos más dinámicos e impactantes del último siglo: el de la microelectrónica. Los inicios de la Electrónica a principios del siglo XX, en torno a las comunicaciones como aplicación y a las válvulas de vacío como tecnología, sufrieron una gran revolución a mediados de ese siglo con el nacimiento del transistor y, en los años sesenta, de los circuitos integrados. Esta nueva tecnología, la microelectrónica, inicia una explosión de aplicaciones que ha supuesto, probablemente, la mayor revolución, la más trepidante, dinámica e influyente, que ha conocido la humanidad. Su evolución ha seguido una función exponencial (ley de Moore), que se mantiene actualmente, por la que prácticamente se duplica la cantidad de transistores por

1. Son estos proyectos: “Síntesis de Circuitos Difusos Analógico-Digitales para Aplicaciones Específicas” CICYT (Nº TIC98-0869); “MODEL: Modelado de la operación dinámica de los componentes lógicos CMOS en tecnologías submicrónicas para análisis de altas prestaciones”, MCYT (TIC-2000-1350); “VERDI: Verificación y diseño de circuitos integrados digitales CMOS VLSI de bajo ruido de conmutación para aplicaciones de señal mixta”, MCYT (TIC-2001-2283); “Síntesis y verificación de circuitos integrados digitales CMOS de alto rendimiento”, MECD PHB2002-0018-PC; “META: Modelado, estimación y técnicas de análisis de alta precisión a nivel lógico del consumo de potencia e intensidad en circuitos y sistemas digitales CMOS VLSI”, MECD TEC2004-00840/MIC; “Diseño de sistemas digitales micro-nanoelectrónicos de altas prestaciones”, Junta de Andalucía (CICE TIC2006-635); “OFU: Sistemas Empotrados Abiertos de Unidades Terminales para Sistemas de Control Industrial”, Junta de Andalucía (CICE TIC2006-1023); “HIPER: Técnicas de altas prestaciones para la verificación y diseño de circuitos digitales CMOS VLSI”, MEC (TEC2007-61802/MIC); “Diseño microelectrónico para autenticación cripto-biométrica”, Junta de Andalucía (P08-TIC-03674); “MOBY-DIC: Model-based Synthesis of Digital Electronic Circuits for Embedded Control”, CEE (FP7-ICT-2009-4); y “CITIES: Circuitos integrados para transmisión de información especialmente segura”, MCINN (TEC2010-16870/MIC).

1.1 Presentación

chip: esto ha supuesto multiplicar la capacidad inicial por 10^9 en sólo 60 años. Una forma muy extendida de identificar la tecnología de fabricación del circuito integrado es por el tamaño mínimo de la anchura de puerta del transistor MOS, la cual ha experimentado un continuo proceso de disminución, casi lineal, desde un tamaño inicial un poco menor de 100 μm , hasta las tecnologías submicrónicas de principios de este siglo XXI o las actuales de sólo algunas decenas de nanómetros.

En este tiempo, se ha separado la tarea de fabricación, que se realiza en una *foundry*, y la de diseño de los circuitos integrados. El trabajo de investigación del grupo TIC-180 se desarrolla en este último campo. Las tareas de diseño se realizan básicamente utilizando un conjunto de herramientas CAD (*Computer-Aided Design*): aplicaciones software de análisis, verificación, síntesis,...., pertenecientes o no a entornos de diseño comerciales, en nuestro caso todos ellos ejecutándose en plataformas multiusuarios con sistema operativo UNIX. El investigador, a la vista del conjunto de herramientas disponibles, selecciona y personaliza el entorno de diseño. Además, el diseño del circuito tiene que implementarse en una tecnología de una *foundry* que, en nuestro caso, esté accesible en nuestro centro.

Los trabajos de esta Tesis empiezan prácticamente con el comienzo de este siglo. La Microelectrónica es ya una ciencia y una tecnología madura, plenamente productiva en múltiples aplicaciones y con un claro dominio de las realizaciones digitales. Los chips contienen millones de transistores y la frecuencia de operación es muy alta, superando el centenar de megahercios. Con esta realidad, entre los retos y problemas de interés en el diseño de circuitos

integrados digitales destacan la cuantificación precisa de la temporización en los chips y su consumo de potencia.

El efecto combinado de la reducción del tamaño de los dispositivos y del aumento en el número de transistores del chip tiene múltiples consecuencias que afectan de forma compleja y, a veces, con efectos contrapuestos, lo que da lugar a comportamientos difíciles de modelar. Así, a nivel lógico, los transistores conmutan a mayor velocidad y las capacidades intrínsecas son menores, efectos que tienden a aumentar la frecuencia máxima de operación así como a disminuir la potencia consumida por la puerta en cada conmutación. La frecuencia de operación del sistema, entonces, aumenta, lo que, por una parte, hace que se reduzca el tiempo en el que las señales están estables a 0 o a 1 y, por otra, se incrementa el número de transiciones en el circuito por unidad de tiempo. En estas condiciones, los problemas de temporización (mantenimiento de restricciones temporales, colisiones de señales, etc.) cobran importancia y se vuelven más críticos para la buena operación del sistema. Por su parte, el componente mayoritario de consumo de potencia en una puerta es el dinámico, que es directamente proporcional a su actividad de conmutación (cantidad de transiciones de 0 a 1 y de 1 a 0). Aunque la reducción de tamaño tiende a disminuir el consumo, el incremento de la actividad de conmutación lo aumenta, con lo que el efecto neto es dudoso. Por otro lado, si se tiene en cuenta el gran incremento del número de puertas en el chip, el efecto global es el aumento del consumo y, si se tiene en cuenta que también ha crecido la densidad de integración, el consumo por unidad de área también ha crecido. Estos incrementos causan un doble problema: uno es consecuencia de la cantidad de intensidad que se exige (con múltiples implicaciones en las especificaciones de

1.2 Objetivos

la fuente y de las líneas de alimentación, en la generación de ruido de conmutación, etc.) y otro, del incremento de la temperatura en que se traduce el consumo energético y que puede dar lugar localmente a valores que incluso causen error en la operación de los circuitos. De todo ello se desprende la gran importancia que tiene, para la temporización y para el consumo, investigar el comportamiento dinámico de los circuitos digitales.

En esta línea de investigación, la del comportamiento dinámico de circuitos digitales a nivel de puertas, trabajaba intensamente el grupo de investigación TIC-180 a través de los proyectos ya indicados MODEL, VERDI, etc., y en ellos se plantean los objetivos de esta Tesis, contribuyendo a la investigación global del grupo, en particular, en el estudio de la actividad de conmutación en circuitos digitales combinacionales integrados en tecnologías CMOS submicrónicas.

1.2 Objetivos

El propósito principal del trabajo de esta Tesis es alcanzar un conocimiento preciso, en términos cuantitativos, de la actividad de conmutación de los circuitos combinacionales. Para lograr este propósito es necesario alcanzar otros objetivos parciales, entre los que se pueden destacar:

- Desarrollar una técnica o metodología que permita obtener una medida precisa de la actividad de conmutación en cualquier circuito digital combinacional. Esas medidas deberán hacerse, en la medida de lo posible,
 - con las herramientas de CAD disponibles en el IMSE

- lo más independiente posible de los circuitos a ser probados, de las excitaciones del banco de pruebas y de la tecnología de integración.
- Aplicar la técnica de medida a un conjunto de circuitos suficientemente amplio:
 - Los circuitos seleccionados deben estar reconocidos internacionalmente como patrones de pruebas combinatoriales.
 - El nivel de estudio es el nivel de puerta (*gate level*).
- Analizar la relación de los resultados obtenidos con las características de los circuitos, de las herramientas de estudio, de la propagación y colisión de señales y, con mayor énfasis, del modelado temporal a nivel de puerta.
- Contribuir en la caracterización temporal precisa del retraso en las puertas CMOS integradas.
- Explorar la incidencia que tiene en la medida de la actividad de conmutación la aplicación de técnicas locales de reducción de consumo, cambios tecnológicos, etc.

1.3 Contenido

Esta Memoria presenta los resultados principales del trabajo de investigación que constituye esta Tesis. La organización de este documento es como sigue:

- En el Capítulo 2 se describen los principios científico-técnicos relacionados más directamente con la actividad de conmutación y se hace una revisión del estado actual del conocimiento sobre ello. Concretamente, se presenta la

1.3 Contenido

propagación de señales por circuitos combinatoriales que dan lugar a actividad de conmutación. Esta actividad tiene como importantes consecuencias el consumo de potencia y la generación de ruido de conmutación, temas ambos que son brevemente desarrollados. Por último se presentan tres cuestiones genéricas para realizar en la práctica las medidas de esa actividad de conmutación.

- El Capítulo 3 se centra en las medidas de la actividad de conmutación realizadas con herramientas comerciales sobre circuitos implementados en la tecnología $0.35\mu\text{m}$. En este capítulo se presenta la metodología de medida, lo que, entre otras cosas, incluye la propuesta de un procedimiento original para la selección de los patrones de estímulos y la planificación de medidas a realizar. Así mismo, se presentan los valores de medidas de actividad de conmutación obtenidas para esos circuitos usando simulación lógica, para diferentes modelos de retraso de la librería de celdas de $0.35\mu\text{m}$ y explorando la influencia del análisis post-layout. Se describe también cómo se obtienen las medidas mediante simulación eléctrica, se presentan estas medidas y se analizan los resultados. Finaliza este capítulo con un pequeño resumen de los resultados más destacables.
- El contenido del capítulo 4 refleja los trabajos de medida de actividad de conmutación para los mismos circuitos y tecnología anterior, con el cambio fundamental del modelo de retraso. Esta parte del trabajo ha sido realizada de forma colaborativa por varios investigadores del equipo TIC-180 e incluye el desarrollo de un modelo de retraso que reproduce el efecto de degradación (DDM: *Degradation Delay Model*), la caracterización de las puertas de esta tecnología para el modelo DDM, la puesta en pie de un simulador lógico que

puede manejarlo (Halotis) y, obviamente, la medida de la actividad de conmutación con esta última herramienta. Entonces, se procede a comparar los resultados de esta herramienta con los obtenidos previamente. Como el anterior, finaliza este capítulo con un pequeño resumen de lo más destacable.

- En el Capítulo 5 se presentan nuestros trabajos de investigación para explorar la influencia de la tecnología y de las técnicas de mejora local del consumo de potencia en la actividad de conmutación. A este fin, se continúa con las medidas de actividad de conmutación, ahora para una implementación de los circuitos en la tecnología st de 65 nm. Los valores obtenidos son comparados de una forma doble: por una parte, se comparan entre sí siguiendo líneas de análisis paralelas a las del capítulo 3; por otra, se comparan con los obtenidos en ese capítulo con el fin de establecer cómo afecta el cambio de la tecnología. También se presenta un estudio a nivel de estructura de circuito, sobre el que se aplican técnicas de rediseño local y se analizan los cambios que originan en la actividad de conmutación. Los resultados son analizados y, como en los otros casos, finaliza este capítulo con un pequeño resumen de lo más destacable.
- Finalmente, se resumen las principales conclusiones.

Actividad de conmutación en circuitos integrados CMOS

La actividad de conmutación en circuitos digitales CMOS influye directamente en la medida de la potencia consumida por un circuito y en el ruido de conmutación generado en él. En este capítulo se abordan estos dos temas. En el primer apartado se tratan los distintos tipos de conmutaciones que se pueden presentar en un circuito digital según el origen de la transición. El segundo apartado aborda la potencia consumida en un circuito, su importancia y la influencia que en ella tiene la actividad de conmutación de los nodos del circuito. En el tercer apartado se presenta qué se entiende por ruido de conmutación y cómo se ve afectado por las transiciones en el circuito. Y por último, en el cuarto, se contempla brevemente, previo a un desarrollo más detallado en otros capítulos de esta Tesis, la forma de medir la actividad de conmutación con herramientas comerciales, cómo

influyen los modelos temporales en el valor de la medida y cómo influyen los estímulos de entrada.

2.1 Actividad de conmutación: azares y *glitches*

Se entiende por actividad de conmutación de un circuito, los cambios entre los valores alto y bajo que presentan sus nodos¹ ante un conjunto de estímulos de entrada. En el dominio lógico, la actividad de conmutación corresponde a las transiciones de 1 a 0 o de 0 a 1. Estas transiciones se pueden clasificar en dos tipos: funcionales y no funcionales.

Los cambios funcionales son los que realiza cada nudo del circuito provocado por la función lógica implementada en dicho nudo. Por ejemplo, una puerta AND de dos entradas que inicialmente estén a uno dará un uno en la salida. En cuanto cambie una de sus entradas a cero, la salida también conmutará su valor a cero dando lugar a una transición, transición obligada por la función lógica del operador AND, la cual se contabilizará como tal en la actividad de conmutación del nodo de salida.

Estos cambios funcionales pueden obtenerse del análisis temporal del circuito considerando sus puertas como elementos ideales, sin retraso, ya que sólo se hace referencia a la actividad provocada por la funcionalidad del circuito.

1. Para aludir al punto de conexión eléctrico, en esta Memoria se usan indistintamente el término *nudo*, aceptado por la Real Academia de la Lengua Española, y el término *nodo*, más extendido en el ámbito de la electrónica.

2.1 Actividad de conmutación: azares y glitches

Sin embargo, las puertas de un circuito son puertas reales en las que su respuesta ante un cambio en sus entradas implica un retraso de propagación. Este hecho puede generar una serie de cambios en los nudos del circuito, adicionales a los funcionales, que serán considerados como actividad no funcional. A continuación se estudia la generación de este tipo de actividad.

A modo de ejemplo, en la figura 2.1 se muestra un circuito digital de tres entradas (a, b, c) y una salida N3 compuesto por cuatro puertas NAND. Se desea realizar un análisis temporal para el caso en el que las entradas “b” y “c” permanezcan constantes al valor lógico uno y la señal “a” presente un cambio de alto a bajo. En la figura se muestra la evolución temporal de dos nodos internos del diseño, N1 y N2, así como del de salida N3. Para este estudio se van a considerar dos situaciones distintas: la primera corresponde al conjunto de señales (1) de la figura, donde se suponen que las entradas son ideales, con tiempos de transición nulos, y las puertas también ideales, sin retraso. De ahí se obtendrá la actividad funcional para esta transición de entrada. La segunda situación, formada por el conjunto de señales (2) de la figura, contempla la propagación de las señales por las puertas con retrasos no nulos.

Analizando las ondas en cada caso, en la situación (1) se comprueba que, aunque existe un cambio en la entrada “a” que provoca a su vez cambios en los nudos N1 y N2, el hecho de trabajar con puertas ideales hace que los cambios en N1 y N2 sean simultáneos en la puerta de salida G3, cuya salida permanece en el valor 1. Es decir, no hay actividad funcional en el nodo N3 para esta situación de entrada, aunque obviamente sí la hay en N1 y N2.

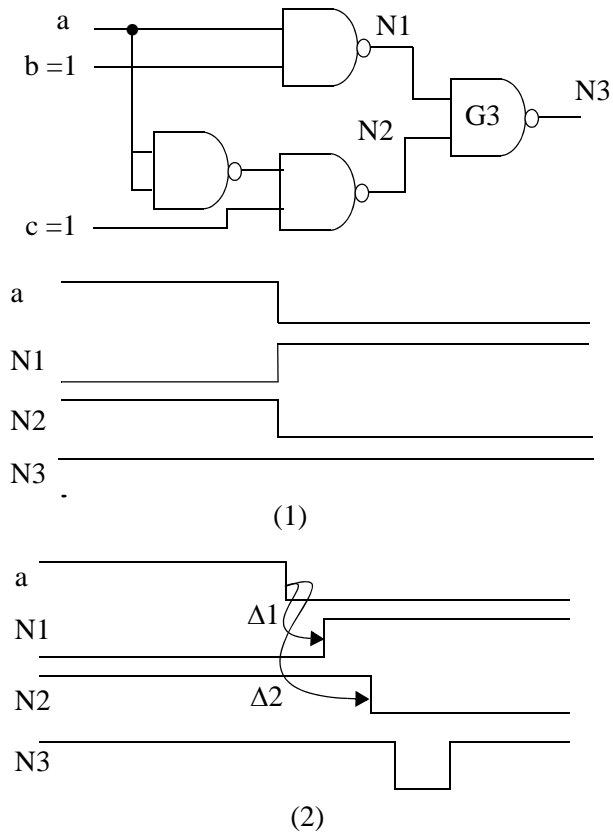


FIGURA 2.1: (1) Actividad funcional. (2) Actividad no funcional: colisiones y azar.

En el caso (2), cada vez que una transición de entrada atraviesa una puerta, la salida de ésta, si cambia, lo hace con un retraso. Esto provoca que los cambios en los nudos N1 y N2, aunque idealmente sean simultáneos, en realidad estén próximos en el tiempo y lo estarán en mayor o menor grado, dependiendo de la diferencia del retraso relativo en la propagación desde la entrada a hacia N1 y hacia N2, $\Delta_2 - \Delta_1$. Esta situación de (no estricta) simultaneidad en los cambios de

2.1 Actividad de conmutación: azares y glitches

las entradas en la puerta G3 se conoce como **colisión** [Melcher92] porque, como se discute seguidamente, puede causar respuestas de salida muy diferentes.

En efecto, como se puede comprobar en la figura 2.1, las líneas N1 y N2 presentan una simultaneidad de unos de duración $\Delta 2-\Delta 1$. Como N1 y N2 son las entradas a la puerta G3, que es una NAND, su salida N3 puede tener dos comportamientos muy dispares según sea el valor de $\Delta 2-\Delta 1$:

- Si $\Delta 2-\Delta 1$ tiene un valor suficientemente grande, G3 responde con un cero en la salida, tal y como se ve en la figura. La colisión de entrada causa en este caso una doble actividad de conmutación en el nodo N3, actividad que no se corresponde con la actividad funcional del circuito. Por otra parte, la duración de este pulso-a-0 en N3 será, en general, muy pequeña. A este tipo de pequeño pulso se le suele denominar *glitch* (a veces, también, *runt pulse*).
- Si $\Delta 2-\Delta 1$ tiende a cero N3 no cambia, permaneciendo a 1 como corresponde al caso ideal. En este caso la colisión de entrada en G3 no causa actividad de conmutación en su salida.

El circuito de la figura 2.1 muestra la estructura con puertas NAND de un circuito con azar² estático [Unger97] y es uno de los problemas temporales clásicamente estudiados. Una función combinacional, cuando cambia solamente una de sus variables, o bien permanece en el mismo valor (caso estático) o bien

2. En inglés se denomina *hazard*. En esta Memoria nos hemos permitido la libertad de traducirlo como azar, tanto por su mayor proximidad fonética como por el carácter de incertidumbre que tiene la ocurrencia real del *glitch*, frente a la traducción más ajustada, peligro o riesgo, que indudablemente también poseen las señales con *glitches*.

cambia de valor lógico (caso dinámico). En el primer caso, cuando la salida debe permanecer en un valor lógico ante el cambio de entrada, el circuito que realiza esa función se dice que tiene un azar estático si la salida cambia (un número par de veces) debido a la diferencia de los retrasos en los caminos de propagación entre la entrada que cambia y la salida. En el segundo caso, cuando la salida debe cambiar ante el cambio de entrada, el circuito que realiza esa función se dice que tiene un azar dinámico si la salida cambia tres veces o más (pero siempre un número impar de veces, el cambio funcional y un número par de veces de actividad no funcional) debido a la diferencia de los retrasos en los caminos de propagación entre la entrada que cambia y la salida. En la figura 2.2 se muestra el comportamiento de una señal que cambia normalmente en un circuito con azar dinámico y que muestra los efectos de múltiples cambios previos a su valor final estacionario.

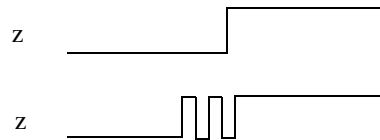


FIGURA 2.2: Azar dinámico.

Para que exista azar, la señal de entrada (“a” en nuestro caso) se debe transmitir en el circuito por diferentes caminos y luego confluir en la salida. Además los caminos deben poseer retrasos de propagación diferentes, lo cual puede ocurrir bien porque el número de niveles de puertas que atraviesa la señal es distinto (como ocurre en este ejemplo), bien porque las puertas en sí tengan diferentes retrasos.

2.1 Actividad de conmutación: azares y glitches

Existen técnicas de diseño de circuitos combinatoriales que, en algunos casos, garantizan la existencia de señales libre de azares en un nudo del circuito. Se basan en añadir puertas que formen implicantes redundantes, lo que tiene como inconveniente un aumento en el área, o en modificar puertas para equilibrar el retraso de ambos caminos, lo que supone añadir nuevos elementos que también incrementan el área.

Una situación distinta a la analizada previamente es la representada en la figura 2.3. En ella se tiene una puerta NOR de dos entradas “a” y “b”. Se aplican unos estímulos que cambian más de una variable de entrada. Supóngase que los estímulos causan que “a” y “b” colisionen, es decir, cambien de forma que el instante de cambio de “a” está muy próximo en el tiempo al de “b”. Una posibilidad es la representada en la figura, esto es, que la puerta recibe tres situaciones de entradas distintas, $a=1$ $b=0$; $a=0$ $b=0$; $a=0$ $b=1$. Al analizar la respuesta temporal considerando su tiempo de propagación, se comprueba que la salida cambia dos veces, de $z=0$ a $z=1$ y de este valor, de nuevo a $z=0$. Dado que la situación que origina el 1 de salida es la simultaneidad de $a=0$ y $b=0$, si esto dura muy poco tiempo, en la salida se refleja un *glitch*.

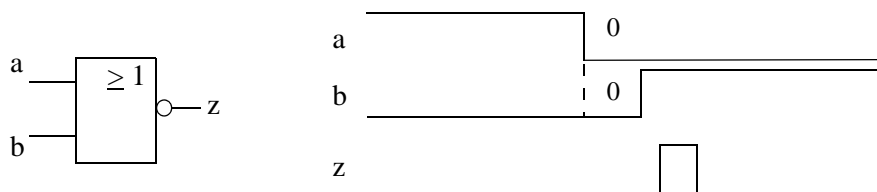


FIGURA 2.3: Colisión en las entradas de una puerta. Generación de un *glitch*.

Este tipo de colisión ocurre muy frecuentemente en los circuitos como es, a título de ejemplo, el caso representado en la figura 2.4. En ella aparece un sumador paralelo de n bits con arrastre del acarreo, realizado mediante conexión de sus n FA's (*full adder*). Aunque se suponga que los $2 \cdot n + 1$ bits de entrada ($a_{(n-1):0}$, $b_{(n-1):0}$, y C_0) son simultáneos, es inevitable que puedan aparecer colisiones en las puertas internas de los FA's debidas al diferente retraso de propagación de las señales a_i o b_i y C_i , ya que el acarreo C_i debe propagarse por las etapas previas. Esto se ha simbolizado en la etapa 2 de la figura mediante las flechas correspondientes..

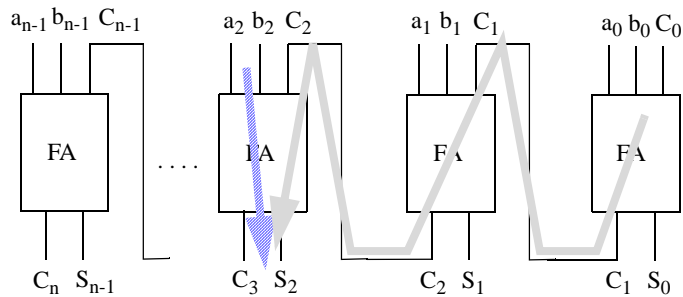


FIGURA 2.4: Ejemplo de colisión en la etapa 2 de un sumador de n bits.

Los dos mecanismos de actividad de conmutación no funcional que se acaban de considerar producen esa actividad al generar *glitches*. Ambos mecanismos tienen su raíz en el retraso en las puertas. Existen otros mecanismos, cuyo origen está en diferentes efectos eléctricos (acoplos capacitivos, rebotes en la transmisión por conductores a alta frecuencia, etc.), que también pueden

2.1 Actividad de conmutación: azares y glitches

producir *glitches* en las señales lógicas. Además de la generación de pulsos estrechos otro tipo de causa de actividad de conmutación no funcional es la propagación de *glitches* en el interior de un circuito a través de los niveles de puertas siguientes a donde fueron generados (figura 2.5). La propagación puede realizarse por un camino que incluya puertas de una sola o de varias entradas, inversoras o no (figura 2.5.a), o por múltiples caminos si la señal se ramifica en el interior del circuito (figura 2.5.b). Ambas situaciones implican un incremento en la actividad de conmutación que puede llegar a ser muy importante, ya que los pulsos generados se incrementan por el circuito.

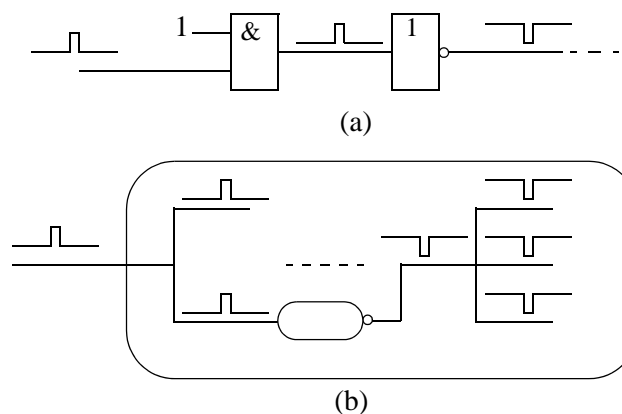


FIGURA 2.5: Propagación de glitches: a) vía puertas; b) por ramificación.

En el nivel de puertas que es en el que nos centramos de este trabajo de investigación, la generación y propagación de pulsos se fundamenta en el retraso de las puertas. El comportamiento de una puerta ante un pulso estrecho en sus entradas puede ser muy variado porque, en general, depende de la anchura del pulso. Modelar adecuadamente este efecto requiere un análisis más profundo que se presentará en el capítulo 4 de esta Tesis.

2.2 Consumo de potencia en circuitos CMOS

El consumo de potencia en los circuitos CMOS se ha consolidado como un parámetro de diseño muy significativo que debe ser tenido en cuenta por los diseñadores. Razones económico-sociales como la demanda de ordenadores personales, tablets, productos multimedia portátiles y de comunicación *wireless*, etc, y otras intrínsecas a la propia aplicación como son los casos de los sistemas bioimplantados y los aeroespaciales, causan que los diseñadores microelectrónicos deban utilizar técnicas de diseño que permitan cumplir los requerimientos de baja potencia. Según [Bellaour95], algunas razones que convierten al consumo de potencia de un circuito en un importante parámetro de diseño son: Sistemas electrónicos portátiles basados en baterías que necesitan alargar “su vida”; la alta densidad de integración alcanzada gracias a la evolución tecnológica y la mejora en la velocidad de operación de los sistemas hacen que éstos (por ej., microprocesadores) necesiten mayor inversión en sistemas de refrigeración para eliminar exceso de calor disipado; la pérdida de fiabilidad de los sistemas diseñados debido a la alta disipación de potencia; trabajar a altas temperaturas puede provocar fallos como variación en los parámetros eléctricos, fatiga en las interconexiones de silicio,... Por todo ello, es necesario reducir la potencia consumida en los circuitos digitales. Para desarrollar técnicas de diseño de bajo consumo y para contrastar si un diseño es mejor o peor respecto a este parámetro es muy importante conocer con exactitud cuánto consume el circuito.

2.2 Consumo de potencia en circuitos CMOS

En lo que sigue se introducirá brevemente los elementos que influyen en el consumo de los circuitos integrados que, como se pondrá de manifiesto, depende en gran medida de las transiciones, por lo que es muy necesario conocer con precisión la actividad de conmutación.

2.2.1 Fuentes de disipación de potencia

En circuitos CMOS, la potencia consumida puede dividirse en dos tipos: potencia dinámica y potencia estática. La potencia dinámica es la que se produce cuando conmutan las entradas y salidas del circuito. Ésta a su vez puede dividirse en la debida a la carga y descarga de las capacidades internas y del nudo de salida (potencia dinámica propiamente), y la que se produce en la red CMOS durante una conmutación, cuando tanto la red PMOS como la NMOS están conduciendo simultáneamente. A ésta última se le denomina potencia de cortocircuito (*short-circuit power*).

La potencia estática, por su parte, hace referencia al consumo de potencia de un sistema cuando no hay conmutaciones en las entradas. Este tipo de potencia puede llegar a ser importante en los diseños tipo pseudo-NMOS y de transistores de paso NMOS [Pedram96]. En las tecnologías CMOS, que son las utilizadas en esta Tesis, tradicionalmente se ha considerado que la aportación de la potencia estática al consumo global era despreciable ya que, en estado estacionario, teóricamente no hay camino de conducción entre Vdd y GND porque o bien la red NMOS o bien la PMOS están en *off* (en corte). Sin embargo, el consumo de potencia estática en CMOS no es nulo pues inevitablemente siempre hay corriente de pérdidas. Por otro lado, la constante reducción de la

longitud de canal en los transistores ha hecho aumentar la importancia del consumo estático, sobre todo en tecnologías CMOS nanométricas (según algunos autores a partir de los 50nm y según otros a partir de los 100nm), su contribución es cada vez más apreciable. Por ello, la investigación en esta línea está siendo en la actualidad muy activa.

Seguidamente se tratarán los diferentes tipos de consumo en CMOS con más detalle.

- Potencia dinámica:

En la figura 2.6 se representa un sistema CMOS esquematizado en una red PMOS y otra NMOS y el nudo de salida V_O con una capacidad de carga C_L . (Se

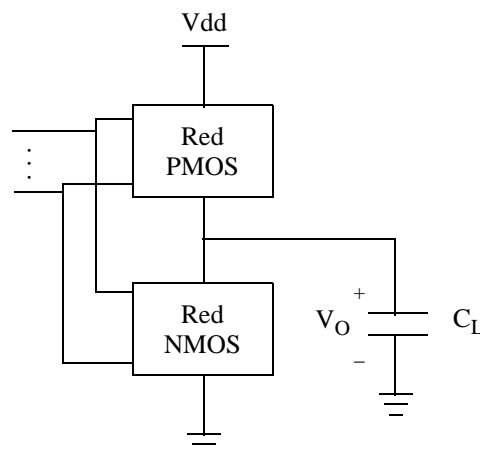


FIGURA 2.6: Esquema sistema CMOS.

2.2 Consumo de potencia en circuitos CMOS

asume, como es habitual, que en C_L están incluidas las contribuciones capacitivas de todos los nudos internos de ambas subredes, además de la propia carga). En el proceso de carga de la capacidad de salida, transición de 0 a 1 en la salida del circuito, si se supone que el condensador está descargado en el instante t_0 y quedará totalmente cargado en el instante t_1 , la energía E_S , suministrada por la fuente de alimentación V_{dd} , puede calcularse como:

$$E_s = V_{dd} \cdot \int_{t_0}^{t_1} (i_c(t)) dt = V_{dd} \cdot \int_{t_0}^{t_1} C_L \frac{d}{dt} v_c(t) dt = C_L V_{dd} \int_0^V dv_c = C_L V_{dd} \cdot V \quad (2.1)$$

donde V es el voltaje que ha adquirido la capacidad de carga C_L en t_1 . Así, cuando éste llegue a V_{dd} , la energía liberada por la fuente será $C_L V_{dd}^2$.

Parte de esa energía consumida queda almacenada en el condensador y viene dada por:

$$E_{cap} = \int_{t_0}^{t_1} v_c(t) i_c(t) dt = \int_{t_0}^{t_1} \left(v_c(t) C_L \cdot \frac{d}{dt} v_c(t) \right) dt = C_L \int_0^V v_c dv_c = \frac{1}{2} C_L V_{dd}^2 \quad (2.2)$$

Por lo tanto, el resto de la energía ($E_{PMOS} = 1/2 C_L V_{dd}^2$) se habrá disipado en calor a través de la resistencia del canal fuente-drenador de los transistores de la red PMOS por los que circula la corriente en el proceso de carga.

En el proceso de descarga, suponiendo que el condensador quede totalmente descargado, la energía almacenada en él se convierte en calor al pasar por la resistencia de los transistores de la red NMOS. Ésta por tanto puede

expresarse como $E_{\text{NMOS}} = 1/2 C_L V_{\text{dd}}^2$. Se comprueba que en la transición de 1 a 0 del nudo de salida la fuente no suministra energía.

Si se considera la actividad de conmutación de 0 a 1 de nodo i del circuito ante una secuencia de entrada como $(SA_{0 \rightarrow 1})_i$, y la capacidad de carga de dicho nodo C_{Li} , la energía suministrada por la fuente relativa al nodo i sería la suministrada en una transición multiplicada por la actividad del nodo, es decir:

$$E_{Si} = C_{Li} \cdot V_{\text{dd}}^2 \cdot (SA_{0 \rightarrow 1})_i \quad (2.3)$$

Al generalizar para el circuito completo, la energía se obtiene como la suma para todos los nodos:

$$E_S = \sum_i C_{Li} \cdot V_{\text{dd}}^2 \cdot (SA_{0 \rightarrow 1})_i \quad (2.4)$$

Por otro lado, se considera la potencia consumida en un proceso como la energía suministrada por la fuente, E , por unidad de tiempo:

$$P = E/t \quad (2.5)$$

De esta forma, considerando f como la frecuencia media de cambio en los nodos del circuito, se tiene la potencia consumida en un circuito como:

$$P = \left(\sum_i C_{Li} \cdot V_{\text{dd}}^2 \cdot (SA_{0 \rightarrow 1})_i \right) \cdot f \quad (2.6)$$

En la ecuación 2.6 se aprecia que el consumo de potencia depende linealmente de la actividad de conmutación y de la capacidad de carga de cada puerta, y de forma cuadrática con la tensión de alimentación V_{dd} . Por tanto, por

2.2 Consumo de potencia en circuitos CMOS

un lado, para reducir el consumo de potencia dinámica de un circuito habrá que reducir los valores de estos parámetros. Por otro lado, para estimar la potencia de un circuito habrá que tener garantía de que los valores de esos tres parámetros son medidos correctamente.

- Potencia de cortocircuito (*Short-circuit power*):

Se trata de la otra componente dinámica del consumo de potencia en circuitos CMOS. Ésta aparece en el intervalo de tiempo en que las dos redes NMOS y PMOS están conduciendo simultáneamente. Cuando las señales de tensión están conmutando entre los dos valores lógicos, existe un lapso de tiempo, que depende de la pendiente de la señal de entrada, en que la tensión de entrada supera la tensión umbral de los transistores de la red NMOS y permanece por debajo de la tensión umbral de los transistores de la red PMOS. De esta forma, se permite el paso de intensidad, I_{sc} , a través de ambas redes ya que se ha creado un camino de conducción desde Vdd a Gnd. Esta intensidad es la que provoca lo que se denomina consumo de potencia de cortocircuito. En la figura 2.7 se puede observar esta situación descrita para el caso de un simple inversor.

Este tipo de consumo de potencia ha sido menos estudiada en la literatura que la potencia dinámica debida a la carga y descarga de los condensadores de carga. En [Veendrich84] se reportó por primera vez una expresión analítica para la potencia de cortocircuito pero no tenía en cuenta la dependencia de ésta con la capacidad de salida C_L . Posteriormente, [Hendenstierna87] incluyó este parámetro pero no consideró los efectos de canal corto. Éstos fueron tenidos en cuenta en los trabajos de [Vemuru93] y [Hirata96], pero la expresión aportada

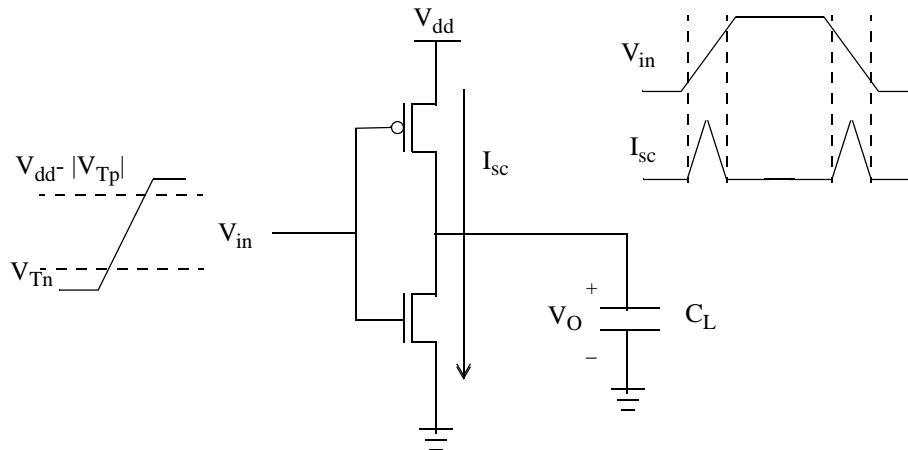


FIGURA 2.7: Corriente de cortocircuito en un inversor CMOS.

divergía para el caso de $C_L=0$, por lo que esta expresión perdía fiabilidad para cargas pequeñas. Finalmente, [Nose00] ofrece una expresión para la potencia de cortocircuito que tiene en cuenta todos los efectos antes mencionados y soluciona la divergencia para el caso de cargas pequeñas. Primero estudia un inversor CMOS y después lo extiende a una estructura de transistores MOS en serie, como las presentes en puertas tipo NAND y NOR. Las expresiones presentadas son complejas pues incorporan los efectos antes comentados y otros como la razón de conductividad de los transistores, las corrientes de saturación de éstos, y la longitud de los canales, por lo que remitimos a las referencias para un estudio más detallado [Nose00, Auvergne05].

Igualmente [Nose00] realiza un estudio comparativo de la proporción de la potencia de cortocircuito frente a la componente dinámica global de la

2.2 Consumo de potencia en circuitos CMOS

potencia, es decir, incluyendo la componente de carga y descarga. Concluye que para un diseño típico, esta proporción alcanza un 10%. Según este estudio, manteniendo constante parámetros de circuito (como el fanout) y otros propios de los dispositivos (como que se mantenga constante la razón V_{th}/V_{dd} conforme cambie V_{dd} con el escalado en las nuevas tecnologías), la proporción de la potencia de cortocircuito frente a la dinámica total básicamente permanece en ese porcentaje. En el caso de diseño para baja potencia de alta velocidad, dado que se trabaja con valores bajos de tensiones umbrales para favorecer la conductividad de los transistores en régimen de V_{dd} baja, la proporción de la potencia de cortocircuito aumenta y podría llegar al 20%.

En cualquier caso, la potencia de cortocircuito es directamente proporcional a la actividad de conmutación en el nodo de salida de cada puerta. Al igual que con la potencia de carga/descarga de C_L , contribuir a la medida precisa de actividad de conmutación afecta directamente a hacer más fiable las medidas de consumo.

- Potencia estática (*leakage*):

La potencia estática trata el consumo de potencia debido a la naturaleza semiconductor de los transistores y, por tanto, vinculada a la tecnología de fabricación. Es la potencia existente en un circuito cuando no hay conmutaciones en sus entradas. En la tecnologías CMOS este consumo está producido por las corrientes de fuga existentes en el circuito (*leakage*) y llega a tener importancia en los circuitos digitales nanométricos [Narendra06]. Por contra, en tecnologías

micrométricas se considera una aportación despreciable frente a la potencia dinámica. Según [Zhang07], para tecnologías en donde las dimensiones mínimas superan los 250 nm, efectivamente esta contribución resulta despreciable, mientras que en tecnologías inferiores a 100 nm aumenta considerablemente su valor siendo comparable con el consumo dinámico para tecnologías inferiores a 50 nm.

La evolución tecnológica lleva a una reducción de la longitud de canal en los transistores, una disminución del espesor de óxido y, por tanto, una disminución de la tensión umbral. Por otra parte, se tiende a reducir la tensión de polarización para conseguir una disminución del consumo de potencia dinámica en los circuitos, debido a su dependencia cuadrática con V_{dd} . Esto lleva asociado una disminución de la tensión umbral V_{th} si se quiere mantener las prestaciones temporales, ya que el tiempo de propagación de una puerta CMOS es inversamente proporcional a la diferencia $V_{dd} - V_{th}$. En paralelo, esta reducción en la tensión umbral hará que aumenten las corrientes de fuga.

Existen diferentes componentes de las corrientes de fuga dependiendo de su origen físico en el dispositivo. Las más relevantes se pueden clasificar en [Piguet05, Agarwal06]:

- I_{rev} (*junction* BTBT): Pérdidas en las uniones parásitas entre drenador o fuente y el sustrato inversamente polarizadas debida a diversos mecanismos como la difusión o generación térmica en la región de deplexión de dichas uniones.

2.2 Consumo de potencia en circuitos CMOS

- I_{sub} (*subthreshold leakage*): Corriente que circula entre drenador y fuente cuando el transistor está cortado.
- I_{g} (*gate leakage*): Intensidad de puerta por efecto túnel debida al paso de portadores a través del óxido de puerta.

Dependiendo de la tecnología estas componentes presentan distintas aportaciones. En general, para tecnologías mayores de 100 nm, la componente dominante es la subumbral, mientras que para tecnologías por debajo de 100 nm va aumentando la aportación de la componente de intensidad de puerta I_{g} provocada por el efecto túnel y ya en tecnologías menores de 65nm es esta última componente la que domina. En la literatura, [Fallah05], [Lee04], [Mukhopadhyay03], se pueden encontrar expresiones analíticas para ambas componentes y analizar cómo dependen de diversos parámetros.

En esta Tesis, se trabaja con dos tecnologías, la de 350 nm, para la cual la presencia de las corrientes de fuga se considera nula, y la tecnología de 65 nm, en donde aplicando la conclusión obtenida por [Zhang07], la contribución aumenta aunque ésta oscila alrededor del 25% del consumo debido a la potencia dinámica. De todas formas, no es la potencia de *leakage* objeto de investigación de esta Tesis, ya que no se ve afectada directamente por la actividad de conmutación.

2.2.2 Técnicas de reducción de potencia dinámica en circuitos CMOS

En este apartado se comentan distintas técnicas presentes en la literatura encaminadas a reducir la potencia dinámica consumida en un circuito digital CMOS.

Para reducir la potencia disipada en circuitos digitales la metodología práctica consiste en aplicar técnicas de reducción en todos y cada uno de los niveles del proceso de diseño, desde el nivel de sistema hasta el nivel de dispositivo. En [Bellaouar95] y [Piguet95] se establecen distintas técnicas para la reducción de potencia en cada uno de los niveles de abstracción. En esta tesis estamos interesados en el nivel lógico, por lo que nos centramos en este nivel. Asimismo, también comentaremos las relacionadas con el nivel más bajo, de dispositivo, que son las relacionadas con el control de la tensión de polarización.

De acuerdo con la ecuación 2.6, la potencia dinámica de un circuito CMOS es proporcional al cuadrado de la tensión de polarización V_{dd} , a la capacidad de carga en cada nudo C_{Lj} , a la actividad de cambio en los nudos SA_j y a la frecuencia f . Por tanto, para reducir la potencia hay que reducir uno o varios de estos factores.

Respecto a la reducción de la tensión de polarización, debido a su relación cuadrática, ofrece los resultados más efectivos pero, conforme su valor se aproxima a los valores de la tensión umbral de los transistores, causa una degradación en la respuesta temporal del circuito. El rango útil de reducción sería hasta valer 2 ó 3 veces el valor de V_t [Horowitz94, Pedram96]. En

2.2 Consumo de potencia en circuitos CMOS

[Piguet05] se presentan diversos acercamientos para no degradar la respuesta temporal tras una reducción de la tensión de polarización. Estos son:

- Rediseñar los circuitos haciendo uso de técnicas de paralelismo y *pipelining*.
- Reducir la tensión umbral de los transistores V_t para compensar la reducción de V_{dd} .
- Asignar valores bajos de V_{dd} sólo a partes no críticas del circuito.

En cuanto a la paralelización [Chandrakasan95, Lin93, Piguet05b], ésta se lleva a cabo con M bloques paralelos operando a una frecuencia f/M . Los resultados se proporcionan a frecuencia f en la salida de un multiplexor controlado a frecuencia f . Cada bloque puede computar su resultado en una ventana de tiempo M veces mayor, y por lo tanto puede ser alimentado con una tensión de polarización menor.

Respecto al segundo acercamiento, reducción de la tensión umbral de los transistores [Pant98], trae consigo el aumento de las tensiones de fuga, por lo que esta técnica debe aplicarse con cuidado. Su límite está en mantener unos márgenes de ruido adecuados y controlar el aumento de las corrientes de fuga.

En cuanto a la última técnica referenciada [Piguet05], se puede reducir el consumo de potencia en circuitos CMOS alimentando al circuito con dos valores de tensiones de polarización, V_{ddH} y V_{ddL} . Se asigna el valor alto a las puertas que pertenecen a los caminos críticos en el circuito y el valor bajo a las puertas de fuera de ese camino. El cuidado que hay que tener es no conectar puertas

alimentadas por V_{ddL} a puertas alimentadas a V_{ddH} , ya que se generan unas corrientes estáticas en los transistores pMOS de las puertas con V_{ddH} debido a que no están completamente en corte [Usami95]. Para evitar esto se necesitan convertidores entre niveles de tensión colocados entre puertas alimentadas a distinta tensión y que estén conectadas entre sí con el consiguiente aumento de área y potencia. Existe otro acercamiento para evitar los inconvenientes que aportan los convertidores que consiste en insertar flip-flops con función de conversión de niveles (FFLC) [Usami00]. En este caso, el consumo de potencia resulta menor que la técnica de los conversores aunque aumenta ligeramente la respuesta temporal del circuito. También se han desarrollado en [Kuroda01] técnicas con múltiples valores de polarización y múltiples tensiones umbrales.

El siguiente factor que afecta al consumo de potencia de un circuito es la capacidad de carga [Guyot98], [Pedram96]. Una estimación precisa de este parámetro es difícil de realizar. El consumo de potencia depende de las capacidades físicas de las puertas individuales que componen un circuito y de las capacidades de las interconexiones. Estimar la capacidad en niveles de abstracción lógicos o de comportamiento es difícil porque requiere la estimación de estructuras que aún no se han mapeado a celdas de librería. Aunque la caracterización previa de módulos funcionales (sumadores, decodificadores, multiplicadores, ...) es posible, aún se deben desarrollar modelos analíticos en función del número de entradas y salidas, de la complejidad del módulo (número de términos productos para una función de conmutación, número de estados para una máquina de estados finitos, ...) y de información tecnológica de la librería de celdas.

2.2 Consumo de potencia en circuitos CMOS

Además todo es más complejo al tener en cuenta las interconexiones entre puertas [Bratek96]. La estimación de la capacidad se dificulta incluso después del mapeo de puertas en celdas de librería y sólo después del *layout* se puede alcanzar una adecuada precisión.

Existen técnicas para reducir las capacidades de carga en circuitos digitales [De Micheli94], [Luba94], [Józwiak95], usando menos lógica para representar las funciones (técnicas de minimización lógica), dispositivos más pequeños (técnicas de *gate sizing*), menor número de interconexiones (técnicas de extracción de subfunciones comunes) y más cortas (*placement, routing*). Sin embargo, algunas de estas técnicas también reducen la conducción de los transistores por lo que el circuito opera más lento [Pedram96].

El factor que queda por analizar con el objetivo de reducir la potencia consumida en un circuito es la actividad de conmutación del circuito. En la literatura se describen diversas estrategias que a nivel lógico intentan disminuir esta actividad y, como consecuencia, el consumo de potencia. Las más extendidas son:

- precomputación
- transformaciones lógicas
- path balancing
- codificación de estados
- clock gating
- retiming

A continuación se presenta la idea básica de cada una de estas técnicas.

Las técnicas basadas en **precomputación** [Piguet05], [Pedram96] aplicadas a circuitos combinatoriales se basan en identificar un subconjunto de puertas en el circuito que bajo unas condiciones de entrada no contribuyan al valor de la salida. De esta forma si se deshabilitan estas puertas mediante *latches* o puertas AND, la actividad de esos nodos se reduce y por tanto también la potencia. En [Monteiro95], [Tiwari95], [Mota98] y [Aldina94] se han propuesto diferentes ideas para seleccionar esos subcircuitos.

Las técnicas basadas en **transformaciones lógicas** han mostrado una clara evolución en la literatura. [Shen92] e [Iman94] utilizaban las inespecificaciones de las funciones lógicas para minimizar la actividad media de cada nodo. [Bahar95], mediante una versión modificada de Espresso [Brayton84], buscaba un cubrimiento de la función que aportaba menor actividad de los nodos. [Vrudhula94] e [Iman95] presentan, para circuitos en dos niveles, mecanismos de cubrimiento minimizando el solapamiento entre implicantes de la función y maximizando el tamaño de éstas bajo la hipótesis de entradas de igual probabilidad en el primer trabajo, y considerando probabilidades distintas en el segundo. En [Pradhan96] usan transformaciones entre implicantes haciendo uso de las inespecificaciones aportando ahorro en área y potencia. En [Bahar96], con técnicas de árboles de decisión binarios (BDD's) para obtener implicantes de una función y utilizando modelos temporales precisos para las puertas, se presenta un compromiso potencia-retraso en los circuitos. [Brzozowski99] busca implementaciones de la función evitando el uso de inversores en el primer nivel

2.2 Consumo de potencia en circuitos CMOS

del circuito, disminuyendo así la actividad en los que serían nodos de salida de los inversores. [Wang99] presenta un método basado en añadir conexiones redundantes en un circuito, las cuales son útiles para reducir la actividad en nodos seleccionados, aunque su efectividad depende fuertemente de las señales de entrada.

Path balancing: La forma en la que se conectan los componentes de circuitos para implementar las funciones lógicas tiene un gran efecto en la actividad de cada nodo y, por tanto, en la potencia disipada [Piguet05]. Cuando las entradas en una puerta dada colisionan se pueden generar azares en la salida de ésta y, por tanto, un aumento de actividad no deseada en el circuito (apartado 2.1). Una forma de evitar colisiones consiste en balancear los retrasos de los caminos que lleguen a una puerta para conseguir que los cambios en sus entradas sean simultáneos y con ello, eliminar la actividad extra. En la figura 2.8 se muestra un ejemplo de diseño con caminos no balanceados y con caminos balanceados. Puede comprobarse que en la solución (a), un cambio en la entrada “a” se transmite a la salida de la primera puerta, este cambio a la salida de la segunda y, si en la puerta de salida se encuentra con una entrada “d” que también cambia, ambas colisionan y se puede generar un *glitch* a la salida de la puerta AND. Sin embargo, en la solución (b) de la figura, los cambios en las entradas de la última puerta llegan simultáneos ya que ambas líneas han atravesado previamente el mismo número de niveles y como consecuencia, el *glitch* no aparece en la salida.

En ocasiones ese balanceo se consigue eligiendo adecuadamente el pin de la puerta por el que debe entrar cada entrada. Ello es debido a que en las puertas

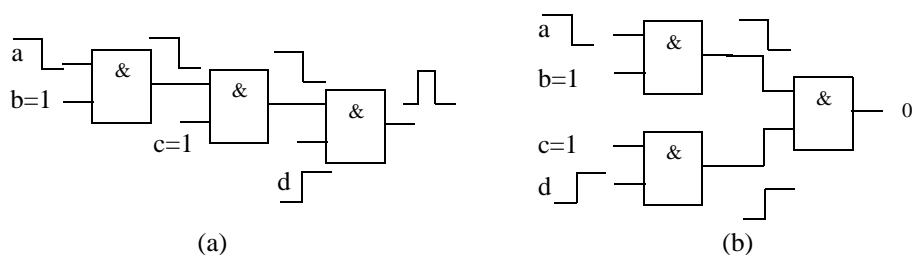


FIGURA 2.8: Diseño AND(a,b,c,d) con caminos no balanceados (a) y con caminos balanceados (b).

CMOS el comportamiento temporal varía dependiendo del pin de entrada que causa la transición en la salida (técnica de *pin-swapping* [Parra10]).

Clock-gating: Es una técnica presentada por [Benini94] aplicable a máquinas de estados finitos (FSM). Se basa en aprovechar los intervalos de tiempo de la máquina en los que no cambia de estado ni de salida. En ellos, mediante circuitería adicional se frena el reloj (*gated-clock*) de forma que durante ese tiempo no consume potencia dinámica ni la parte combinacional, dado que sus entradas no cambian, ni los flip-flops. El circuito que identifica esas situaciones de la FSM depende de los estados y de las entradas y genera una señal que inhabilita al reloj externo. En la figura 2.9 se muestra un esquema de la técnica. Conviene precisar también que para conseguir ahorros significativos deben elegirse condiciones que se repitan un número considerable de veces durante la operación normal del circuito. En la aplicación de esta técnica también hay que extremar el cuidado con la propia estructura que causa la detención/reinicio de la señal *clk-gated* para evitar flancos de reloj inapropiados o la pérdida de valores mínimos en las anchuras de los pulsos de reloj [Parra10].

2.2 Consumo de potencia en circuitos CMOS

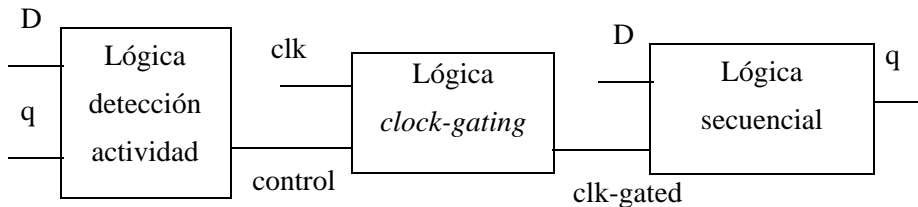


FIGURA 2.9: Esquema de la técnica Clock-gating para reducir potencia en FSM's.

Codificación de estados: Es una técnica aplicable a FSM's en la que se utilizan códigos adyacentes a los estados con alta probabilidad de transición de uno a otro, de forma que son menos las líneas que cambian y, por tanto, hay menor actividad global [Roy98]. Para tener en cuenta la aportación de actividad de la parte combinacional, en [Olson94] se propuso un algoritmo que minimizaba las líneas de las variables de estado que cambiaban cada ciclo de reloj así como en número de literales de la lógica multi-nivel de la parte combinacional.

Por último, las técnicas basadas en **retiming** aplicadas a circuitos *pipelined* consisten en redistribuir los flip-flops de un circuito para reducir el número de éstos y disminuir el retraso de la etapa más larga. La técnica se basa en identificar los nodos de mayor actividad y mayor capacidad de carga e insertar un flip-flop para filtrar los *glitches* presentes en dicho nodo [Monteiro93]. Como inconveniente resulta que la modificación de la respuesta temporal de un nodo puede afectar a los nodos de las siguientes etapas y por lo tanto aumentar la actividad global. Además, insertar un número excesivo de biestables aumenta la disipación de potencia aportada por éstos, así como la complejidad de la distribución de las líneas de reloj.

La mayoría de las técnicas anteriores tratan de minimizar la actividad de conmutación funcional de un circuito. Respecto a la actividad no funcional, [Benini94b] reflejó que esta actividad no podía ser considerada despreciable, estimándola entre un 15%-20% dependiendo de la topología del circuito y de los vectores de entradas utilizados. Este apreciable valor justificaba desarrollar modelos de consumo ante *glitches*. Así, en un trabajo conjunto [Favalli95] se analiza mediante simulador eléctrico la potencia consumida en la generación de un *glitch* y la consumida en su propagación, aunque ésta depende del camino, con la idea de encontrar modelos que se utilicen en simulaciones lógicas. Este estudio de la potencia consumida por un *glitch* lo desarrolla en función del tiempo en el que colisionan las señales de entrada a la puerta, de los patrones en dichas entradas y de sus pendientes (tiempos de transición). En [Alexander09] se propone una aproximación para estimar la energía consumida ante variaciones en los procesos de integración, incluyendo actividad funcional y de *glitches*.

En la literatura se encuentran publicaciones que buscan reducción en la actividad debida a los *glitches*. Por un lado, [Hashimoto98] presenta un algoritmo de reducción de la actividad debida a *glitches* mediante la técnica denominada *gate-sizing*. Dicha técnica consiste en evaluar para cada puerta la sensibilidad de una función objetivo, en este caso la potencia consumida en un circuito, ante una variación en el tamaño de dicha puerta. Se selecciona un conjunto de puertas, en principio un número de acuerdo con la sensibilidad mostrada, y se establece un proceso iterativo en donde se van reduciendo el número de puertas a modificar simultáneamente hasta llegar a una convergencia de la función objetivo. Una idea similar es propuesta por [Wroblewski00]. Por otro lado, [Benini00] propone un método que sustituye las puertas que aportan

2.2 Consumo de potencia en circuitos CMOS

más actividad no funcional por otras con una señal de control que las inhabilita al comienzo de cada ciclo de reloj evitándose así las transiciones que ocurren hasta el establecimiento de las entradas a dicha puerta. A dicha técnica la llama “*gate-freezing*” y se aplica como un paso adicional en el proceso post-layout a costa de un incremento en el cableado. Asimismo, [Kim97] muestra la técnica de inserción de buffers utilizada para aumentar la capacidad de conducción en determinados nodos del circuito que presentan gran capacidad de carga, pero no considera *glitches*. Por último, [Lee04b] combina las tres técnicas anteriores y propone un único algoritmo para reducir los *glitches* y por tanto la potencia consumida.

En [Lu06] se presenta un estudio sobre minimización de corriente de *leakage* y *glitches* manteniéndose un compromiso entre prestaciones y potencia consumida en circuitos CMOS. Para ello utiliza dispositivos con tensión umbral de dos valores distintos e inserta elementos de retraso para conseguir igualar caminos de retraso (*path-balancing*).

Más recientemente, cabe señalar que [Saini10] presenta una alternativa a la técnica de inserción de buffers en la que mediante el uso de *Schmitt triggers* consigue mejoras en términos de retraso, potencia y ruido en un circuito. Asimismo, se siguen reportando estudios que intentan reducir la actividad no funcional, como es la propuesta de puertas de múltiples tensiones umbrales [Slimani11]. Del análisis realizado se puede concluir que la investigación sobre la medida precisa de actividad de conmutación tiene un gran interés, ya que afecta directamente al análisis de la potencia dinámica, al que tantos esfuerzos investigadores hay dedicados.

2.3 Ruido de conmutación en circuitos CMOS

Se entiende por ruido eléctrico a todas aquellas señales de origen eléctrico no deseadas y que están unidas a la señal principal de manera que la pueden alterar o distorsionar produciendo efectos más o menos perjudiciales. El ruido en los sistemas electrónicos se puede clasificar en ruido intrínseco y extrínseco. El primero está originado en el propio sistema y como consecuencia de la operación física de sus dispositivos. El segundo está provocado por las señales emitidas por fuentes externas [Buckingham83]. A su vez, cada uno de los tipos se puede clasificar de una manera más fina [Vasilescu05] pero entrar en más detalles queda fuera de los objetivos de esta tesis.

La evolución tecnológica ha posibilitado la integración en un mismo chip de partes digitales y partes analógicas que, además, pueden ser complejas y trabajar a gran velocidad. De aquí que las interferencias provocadas por la actividad (conmutación de señales) entre distintas partes de un chip estén tomando importancia en el diseño de los circuitos integrados. Estas interferencias (ruido) pueden limitar la adecuada operación de un circuito, y su nivel de importancia es mayor cuando las señales afectadas son de una amplitud similar a las producidas por la fuente de ruido. Algunas de las limitaciones son, por ejemplo, la amplitud mínima recomendable en señales analógicas, valor máximo de ganancia en los amplificadores o errores en la medición de señales débiles.

En la actualidad, las tensiones de polarización tienden a ser menores lo que conlleva una disminución de los márgenes de ruido, la densidad de interconexiones se ha incrementado lo que provoca un aumento de capacidades

2.3 Ruido de conmutación en circuitos CMOS

de acoplo y la existencia de relojes de alta frecuencia y señales con tiempos de transición pequeños son circunstancias, todas ellas, que provocan aumento de ruido de conmutación en los circuitos y, por tanto, contribuyen a incrementar sus fallos perjudiciales.

Por otra parte, conviene no olvidar que también es posible obtener beneficios del ruido. Por ejemplo, su naturaleza aleatoria lo convierte en interesante para iniciar la operación de algunos osciladores y, en general, para producir sucesos aleatorios en aplicaciones que lo requieran [Bellido92], [Vandamme94b], [Bishop96], [Petrie00], [Vandamme02], [Vasilescu05].

Volviendo a los circuitos integrados, los problemas de ruido más importantes son tres: la interferencia entre líneas de interconexión (ruido *crosstalk*), el acoplo a través del sustrato y el ruido de conmutación (ruido δI o dI/dt). A continuación se va a comentar brevemente en qué consiste cada uno de los tipos.

- Ruido *crosstalk*

Este tipo de perturbación se presenta en los circuitos integrados entre líneas que se encuentran muy próximas. En una de ellas (línea víctima) pueden aparecer perturbaciones eléctricas como respuesta a una conmutación en la otra línea (línea agresora). El acoplamiento entre ambas suele ser de tipo capacitivo y el efecto es mayor cuando la respuesta de la línea agresora es mucho más rápida que la de la línea víctima. En el caso de respuesta similar, que es lo habitual, el efecto se reduce mucho.

En la figura 2.10, se muestran dos líneas conductoras modeladas por sus resistencias (R_1 y R_2) y sus capacidades de carga (C_1 y C_2). El condensador de acoplo entre ambas líneas está representado por C_{12} . La conmutación de una línea puede provocar un pulso en la otra que depende de la relación entre capacidades y de otros factores como el tiempo de subida o bajada de la señal que conmuta [Rubio03].

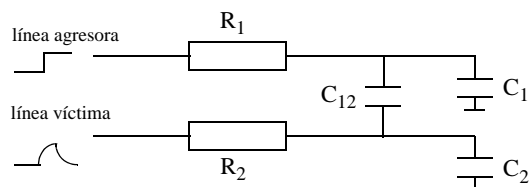


FIGURA 2.10: Acoplamiento capacitivo entre líneas conductoras.

Cuando las dos líneas conmutan simultáneamente y en el mismo sentido, la diferencia de potencial entre ambas es inexistente con lo que la capacidad de acoplo no interviene. En caso de que conmuten en sentido contrario el efecto del ruido debido al acoplo se duplica [Weste05].

- El ruido de acoplo por sustrato

Es otro mecanismo de acoplo por el que diferentes elementos de un mismo circuito interfieren entre sí, esta vez a través del sustrato. En función de la resistividad del sustrato y, a pesar de que las uniones con él están polarizadas inversamente, existen mecanismos por los que cuando una parte del circuito

2.3 Ruido de conmutación en circuitos CMOS

conmuta puede hacer que la perturbación se propague a través del sustrato a otras partes del circuito causando ruido (figura 2.11) [Donnay03].

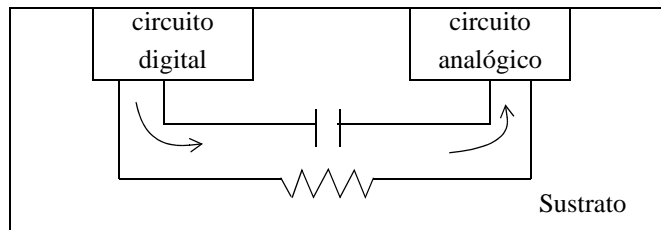


FIGURA 2.11: Propagación del ruido a través del sustrato.

Los principales mecanismos de inyección de ruido son las capacidades parásitas de las uniones drenador-sustrato o fuente-sustrato y el acoplo resistivo a través de los contactos de polarización del sustrato. Para minimizar estos efectos negativos es conveniente la elección de sustratos poco dopados y con mayor resistividad [Liberali02], [Hazenboom06]. También es conveniente añadir contactos de polarización que rodeen a una de las partes (digital o analógica), lo que se conoce como anillos de guarda, que faciliten que las perturbaciones sean derivadas a tierra antes de alcanzar la otra parte [Tsividis02].

- El ruido delta-I o dI/dt

En los circuitos CMOS, se origina un pulso de corriente cuando se produce una conmutación. Esta corriente, en combinación con las inductancias parásitas asociadas a las líneas de alimentación del circuito, produce una fluctuación en el valor de la tensión de alimentación de forma que todos los bloques conectados a esta tensión se ven afectados por el ruido. Este tipo de

ruido es el que se denomina ruido de conmutación aunque a veces se utilice este término de forma extensiva englobando al ruido de *crosstalk* y al ruido por acoplo a través del sustrato.

Se genera especialmente en circuitos digitales de alta velocidad, pudiendo afectar no sólo a dicha parte digital, sino también a las partes analógicas sensibles que estén integradas en el mismo chip. El escalado de la tecnología favorece un aumento de la densidad y de la frecuencia de conmutación de los circuitos digitales por lo que aumenta el número de conmutaciones en intervalos reducidos de tiempo lo que trae consigo una gran demanda de intensidad instantánea provocando un ruido di/dt elevado. Asimismo, estos picos de corriente en el nudo de tierra se propagan por el sustrato aumentando también el ruido de acoplo por sustrato que se vio anteriormente.

Cuando las entradas de un circuito digital cambian provocando cambios en las salidas, las capacidades de salida deberán cargarse o descargarse produciendo una corriente procedente de V_{dd} para cargar las capacidades y otra que fluye a Gnd debida a la descarga. La amplitud y la anchura de estos picos de corrientes determinan la cantidad de ruido de conmutación. La ecuación 2.7 muestra esta dependencia:

$$[di_L/(dt)] \sim I_p/t_c \quad (2.7)$$

donde se ha considerado el pico de corriente de forma triangular siendo I_p su altura y t_c su anchura.

2.3 Ruido de conmutación en circuitos CMOS

Este ruido aumenta cuando las transiciones son simultáneas. El valor del pico de corriente será mayor en el mismo tiempo de conmutación t_c dado que se acumulan los pulsos de corrientes provocados por cada transición. Este ruido provocará una alteración en los nodos de alimentación y tierra lo que puede llevar a que el circuito deje de funcionar correctamente.

Efectos del ruido de conmutación. Los efectos negativos del ruido de conmutación en un sistema de señal mixta afectan en mucho mayor medida a la parte analógica, pero también llega a verse afectada la parte digital.

Respecto al efecto en circuitos analógicos, principalmente ocurre porque dichos circuitos comparten sustrato con los circuitos digitales. En los sistemas mixtos, las limitaciones de rendimiento (prestaciones) están causadas principalmente por la parte analógica que suele actuar como interfaz entre la parte digital y el mundo exterior [Boselli07]. El ruido provocado por las conmutaciones de la parte digital se propaga a través de elementos parásitos a la parte analógica llegando en ocasiones a que ésta presente fallos funcionales o una reducción significativa en sus prestaciones [Zanella01, Liberali02].

Por su parte, en circuitos digitales se han reportado dos tipos de efectos nocivos: errores de retraso y conmutaciones falsas. Respecto al primero, se observan mayores tiempos de propagación en las puertas que conmutan en un entorno de alto ruido de conmutación debido a la distorsión de las señales por la modificación de los valores de V_{dd} (disminuye) y de Gnd (aumenta) [Katopis85, Tang00]. Si la disminución del valor de alimentación es suficientemente grande puede provocar la captura de valores falsos en los *latches* [Katopis85] o provocar

la aparición de pulsos no deseados en líneas cuyos datos podrían ser almacenados en memorias o registros [Yook97]. Los errores de retraso podrían representar un problema en los casos en que llegaran a producirse violaciones de los tiempos de *setup/hold* en elementos secuenciales [Aragón99]. En cuanto a las conmutaciones falsas, éstas se producen dado que las salidas de todas las puertas CMOS están conectadas a Gnd o a V_{dd} a través de un transistor y ambas líneas presentan perturbaciones. La transmisión de estos pulsos depende de la amplitud respecto al margen de ruido de las puertas y su anchura. Diversos trabajos estudian esta transmisión por cadena de inversores [Moll92] o redes XOR-NXOR [Goel06].

En general, el aumento de complejidad, la disminución de la tensión de alimentación, la alta velocidad y el aumento del número de conmutaciones, hacen que los acoplos sean cada vez mayores limitando la correcta operación de los circuitos VLSI de señal mixta. Por ello, las líneas de actuación van encaminadas a dos objetivos principales: 1/reducir los efectos en los circuitos analógicos y 2/minimizar el ruido de conmutación.

Medida del ruido de conmutación. Respecto a la medida del ruido de conmutación, en [Parra10] se presenta un completo estudio sobre los distintos modelos utilizados para evaluarlo, lo cual se hace midiendo los picos de corriente en las polarizaciones de los circuitos digitales. En general, el tamaño del pico del ruido depende de: la tensión de alimentación V_{dd} , una disminución en el valor de ésta reduce la amplitud del ruido; la pendiente de la señal que conmuta, aumentando el ruido conforme disminuye el tiempo de transición; y de

la simultaneidad en la actividad de conmutación, creciendo el ruido conforme más estrecho sea el intervalo de tiempos en el que cambian las señales (esto es, los cambios sean más idealmente simultáneos).

Aunque está reconocida como una cuestión fundamental que el ruido de conmutación debe ser adecuadamente modelado, en lo que conocemos no existe ningún modelo que permita su aplicación en el nivel de puertas lógicas.

Reducción del ruido de conmutación. Como se ha indicado recientemente, la optimización de circuitos frente al ruido de conmutación se puede llevar a cabo desde dos aspectos distintos: aumentando la inmunidad ante los efectos nocivos del ruido y reduciendo el ruido. En ambas líneas de actuación se están reportando activamente muchas propuestas³, cuya descripción cae alejada de los objetivos de esta Tesis. Un análisis detallado y reciente se encuentra en [Parra10]

En resumen, el ruido de conmutación es una de las principales fuentes de ruido en los sistemas de señal mixta y, consecuentemente, está considerado como uno de los problemas relevantes sujetos a investigación. Este tipo de ruido está íntimamente relacionado con la actividad de cambio en los nodos de un circuito, por lo que aporta más razones que avalan el estudio del análisis preciso de la actividad de conmutación.

3. Investigadores de nuestro grupo TIC-180 participan activamente en esta línea. Así, en [Acosta00] se propone separar los circuitos emisor y receptor en el tiempo, es decir, se establecen distintos momentos para la operación de ambos sistemas utilizando relojes de doble fase. La propia señal de reloj es una importante fuente de ruido ya que todos los biestables de un sistema síncrono cambian de estado simultáneamente produciéndose importantes picos de intensidad. Por ello, se ha propuesto realizar una distribución de reloj global que reduzca los efectos indeseados [Parra03]. En [Castro07] se propone una técnica basada en la generación de un reloj asimétrico con tiempos de subida y bajada distintos para cada flanco. También se puede eliminar el reloj optando por el uso de circuitos asíncronos [Jiménez00].

2.4 Medidas de la actividad de conmutación

Uno de los objetivos de esta Tesis es desarrollar una técnica o metodología que permita obtener una medida precisa de la actividad de conmutación en cualquier circuito digital combinacional con las herramientas de CAD disponibles en el IMSE. Para medir en la práctica la actividad de conmutación se deben plantear las siguientes cuestiones:

- Selección de las herramientas de ayuda al diseño (CAD).
- Selección de los estímulos.
- Influencia de los modelos de retraso de las componentes de circuitos en la medida de la actividad.

Herramientas CAD

La evolución tecnológica permite que se puedan abordar diseños de circuitos digitales cada vez más complejos aumentando con ello la dificultad de validar su comportamiento. Actualmente la complejidad es enormemente grande y, para desarrollar el diseño de un circuito digital, se disponen de múltiples herramientas CAD de síntesis y de validación de circuitos, cada una adaptada al nivel de descripción en el que se sitúe el diseñador. En general, cada circuito debe ser comprobado tanto en su comportamiento funcional como en su respuesta temporal que, dependiendo del nivel de descripción, dará resultados más o menos certeros. En esta Tesis el objeto de estudio es la actividad de conmutación por lo que el nivel de descripción más abstracto en el que nos situamos es el nivel lógico a nivel de puertas, ya que en el nivel superior -el de

2.4 Medidas de la actividad de conmutación

transferencia entre registros o RT (*Register Transfer*)- la información temporal del circuito es demasiado imprecisa como para conseguir resultados suficientemente próximos a la actividad de conmutación real. Concretando, pues, nuestro interés se centra en el nivel de puerta (*gate level*) o de menor abstracción.

La validación del comportamiento temporal de un circuito digital puede hacerse para determinar los parámetros temporales estáticos, tales como el camino de retraso máximo en un circuito, o para conocer la dinámica de cambios en las señales en los circuitos, que es el modo en el que estamos interesados. Para conocer esta dinámica se usan los simuladores, habitualmente, en el nivel de puerta. Se trata de un *software* que, a partir de un *netlist* del circuito que se quiere verificar y de un conjunto de estímulos de entradas, es capaz de reproducir el valor y la respuesta en el tiempo de los nudos internos y de las salidas. Existen diversos tipos de simuladores temporales y cada uno es más o menos apropiado dependiendo del tamaño del circuito, velocidad en la obtención de resultados o precisión de éstos.

En los niveles de estudio de nuestro trabajo, como este trabajo se va a desarrollar a nivel de puertas lógicas, los simuladores temporales apropiados se pueden clasificar en simuladores analógicos (a nivel eléctrico) y digitales (a nivel lógico). Estos últimos realizan la simulación lógico-temporal con información discreta en los valores de las señales (que son digitales) y de los instantes de procesamiento (cola de sucesos), por lo que son más rápidos y útiles que los simuladores eléctricos. Por contra, la simulación eléctrica es mucho más precisa y sus resultados se pueden considerar suficientemente precisos como

para ser la referencia de la realidad. De aquí que, entre las herramientas de diseño disponibles en el IMSE, las utilizadas mayormente en el desarrollo de esta Tesis son dos: el entorno de diseño digital *Design FrameWork II* (DFWII [DFWII]) y el simulador eléctrico Hspice [Hspice].

DFWII es un entorno de trabajo de Cadence que permite de forma fácil y organizada el acceso a diferentes herramientas de diseño de circuitos integrados, las cuales pueden ser o no ser de Cadence. Se trata de un entorno *X-Windows* que, usando el administrador de ventanas Motif bajo sistema operativo UNIX, permite disponer simultáneamente de varias ventanas de un diseño. Del entorno DFWII, en esta Tesis principalmente se hará uso de su herramienta de captura de esquemáticos para importar los circuitos que se tienen descritos en un lenguaje de descripción de hardware, concretamente Verilog [Verilog], y así usar el simulador lógico Verilog-XL que está integrado en dicho entorno. Con él se analizará la respuesta de cada circuito ante un conjunto de estímulos para posteriormente proceder a la evaluación de la actividad de conmutación.

Al comienzo de esta Tesis y hasta una época bastante reciente, el entorno de trabajo disponible no incorporaba ninguna herramienta que realizara un recuento automático de la actividad global del circuito ni de la actividad en cada nudo. Debido a ello, en esta Tesis fue desarrollada una metodología de medida de esta actividad, descrita en el capítulo 3, con la que se llevaron a cabo todas las medidas. Durante la última fase de desarrollo de esta Tesis, se pudieron generar ficheros SAIF (*switching activity interchange format*), disponibles en algunos simuladores lógicos. Este tipo de ficheros almacena la actividad de conmutación de cada uno de los nodos y de la totalidad del circuito, y al ser ficheros de texto,

2.4 Medidas de la actividad de conmutación

la información que contiene puede ser fácilmente extraída y procesada. El entorno de diseño DFWII utilizado en esta Tesis no incluía esta facilidad, lo que obligaba a cambiar de simulador.

Debido a que ya se habían realizado el grueso de las medidas de la actividad en las dos tecnologías de trabajo con la metodología que se había desarrollado y dado que, como se verá en el próximo capítulo, los valores de actividad de conmutación medidos con Verilog difieren notablemente de la actividad real, se decidió comparar las medidas por simulación lógica alcanzadas con la metodología original (Verilog) y las ofrecidas usando los ficheros SAIF (Modelsim, [Mentor Graphics]). Obviamente, el objeto de esta comparación era comprobar la exactitud de las medidas que suministraban ambos procedimientos.

Para ello hubo que utilizar una tecnología distinta a la de trabajo en esta Tesis (ams 0.35 μ m y st65nm), dado que no se disponía de los modelos temporales de las celdas para el simulador Modelsim. Se eligió una tecnología nanométrica que tuviera modelos de celdas para los simuladores de los dos entornos de diseño diferentes, y esa fue UMC-180nm. Como circuitos de prueba se eligieron varias estructuras de sumadores veloces⁴, concretamente, los sumadores paralelos prefijos de 16 bits: Brent-Kung [Brent82], Ladner-Fischer [Ladner80], Kogge-Stone [Kogge73] y Han-Carlson [Han87]. Al realizar las medidas se pudo comprobar una coincidencia total en la actividad global y en la de cada nodo del circuito entre los resultados tras aplicar la metodología

4. La razón básica fue para apoyar otra Tesis del grupo de investigación, pero también porque se trata de circuitos activos en este campo de investigación [Baran09].

presentada en esta Tesis y los resultados obtenidos con la nueva herramienta. Tras esta comprobación fehaciente, cabe concluir que la metodología desarrollada en esta Tesis realiza una adecuada medida de la actividad de conmutación, al menos lo mismo de adecuada que las otras herramientas de simulación lógica disponibles. Por ello, todos los resultados de medidas lógicas de esta Tesis se obtienen con el procedimiento desarrollado en ella.

Por su parte, cabe recordar que los simuladores analógicos (tipo Hspice [Hspice]) tratan a los circuitos como sistemas dinámicos cuyas variables (tensiones e intensidades) varían de forma continua. En cada instante, el conjunto de ecuaciones es computado hasta encontrar el valor de las señales en el instante siguiente, para lo cual todos los cálculos deben converger. Su precisión es elevada pero, también, se necesita un elevado tiempo de computación para obtener la respuesta del circuito. Este tiempo aumenta enormemente con el tamaño de los circuitos, por lo que generalmente la simulación eléctrica se usa para circuitos pequeños ya que en otras condiciones el tiempo de simulación resulta prohibitivo. Debido a la gran precisión que consiguen, sus resultados se toman como referencia de lo que ocurre realmente en el circuito.

En esta Tesis se utilizará el simulador eléctrico Hspice para proporcionar los valores de referencia con los que se compararán los resultados ofrecidos por otros simuladores.

Estímulos

Respecto al segundo punto destacado, la selección de estímulos, en este capítulo se quiere mencionar la fuerte dependencia de la actividad de conmutación de un diseño respecto a los estímulos de entrada. La respuesta de un circuito -y, consecuentemente, su actividad de conmutación- depende de los vectores de test que recibe, como muestra un caso trivial: Considere que se dispone de una puerta AND con entradas A y B; si los estímulos son AB: 00 → 01 → 00 → 10, ambas entradas han tomado los dos valores, 0 y 1, pero la actividad de salida es nula ya que se ha mantenido a 0; si, en otro caso, los estímulos son AB: 00 → 11 → 00, también ambas entradas han tomado los dos valores, 0 y 1, pero ahora la actividad de salida es no-nula (muestra dos cambios) a pesar de que esta secuencia de estímulos es de menor longitud que la anterior.

Por ello, para obtener una medida de la actividad lo más representativa posible del circuito, se debe proceder con un conjunto exhaustivo o suficientemente largo de excitaciones con el fin de tener garantizado un resultado fiable.

Sin embargo, en el caso de circuitos de mediano o gran tamaño este amplio conjunto de entradas se convierte en inviable. El problema de tamaño es mucho mayor para la simulación eléctrica. Por ello en esta Tesis se investiga cómo idear un procedimiento para obtener secuencias de estímulos que, por una parte sean fiables y por otra, faciliten las simulaciones eléctricas. Esta tarea será desarrollada en el capítulo 3.

Modelo temporal

Por último se quiere destacar uno de los aspectos más influyentes en la actividad de conmutación de un circuito digital, que es el modelo temporal de cada componente.

Cuando se estudia el comportamiento temporal de un circuito, en este caso para medir la actividad de conmutación, se usarán simuladores. En el caso de un simulador lógico, éste obtiene la respuesta del circuito ante unos patrones de entrada a partir de los modelos lógicos-temporales que posee para cada celda de librería. El modelo temporal incorporado en el simulador afecta esencialmente a la respuesta que genera, como ya ha sido recogido para un caso simple en el apartado 2.1, cuando al pasar del modelo ideal sin retraso al modelo de retraso (unidad) un circuito con azar estático pasa de no tener actividad de conmutación a tenerla. En general, respecto al modelado temporal de una celda, este puede reflejar muy diversos efectos y, dependiendo de cuántos efectos estáticos y/o dinámicos contemple, sus resultados estarán más o menos cerca de la realidad. Este aspecto del modelo lógico-temporal es uno de los aspectos clave en esta Tesis, por lo que, como ya se ha mencionado, en el capítulo 4 se efectuará un detallado estudio de los distintos efectos reales que se pueden modelar y, con ello, los distintos modelos que se pueden establecer.

En el simulador eléctrico se modelan los componentes, que en este nivel son los dispositivos (p. ej., transistores), a nivel eléctrico, por lo que la proximidad a lo real en los resultados generados siempre es mucho mayor en la simulación eléctrica que en la lógica. También hay diferentes grados de precisión en el modelo eléctrico del dispositivo y, por tanto, en la simulación eléctrica de

2.5 Resumen

los circuitos. A diferencia del modelado lógico-temporal, los modelos eléctricos de las celdas digitales que ofrecen los fabricantes (*foundries*) en sus librerías son de una gran precisión, y, por ello, se acepta universalmente que sus respuestas coinciden con ‘lo real’ en el caso de la simulación temporal de circuitos digitales.

2.5 Resumen

En este capítulo se han presentado las principales líneas científico-técnicas que afectan al trabajo de investigación que constituye esta Tesis. Un resumen de lo más esencial del estado del conocimiento en estas líneas en cuanto a su incidencia en este trabajo es:

- Además de la actividad de conmutación funcional de un circuito existe una actividad extra debida a la generación de *glitches*. Éstos están causados por diferentes motivos como son la existencia de azares, las colisiones de señales y la propagación de *glitches* generados en etapas previas.
- La actividad de conmutación afecta directamente al consumo de energía en tecnologías CMOS, concretamente a la potencia dinámica. A medida que avanza la miniaturización de los transistores se va haciendo más importante la contribución de la potencia estática la cual ha pasado de ser despreciada en las tecnologías mayores de 100nm, a ir ganando mayor proporción en el consumo a medida que se reduce el tamaño, aventurándose que será equiparable a la potencia dinámica en tecnologías de algunas decenas de nanómetros. A

pesar de esta tendencia, en la actualidad la incidencia del consumo dinámico es preponderante en la inmensa mayoría de tecnologías utilizables, por lo que el análisis preciso del consumo lleva aparejado la medida precisa de la actividad de conmutación.

- La actividad de conmutación es la causa directa del denominado ruido de conmutación, el cual afecta muy negativamente a la parte analógica en circuitos de señal mixta, y también puede empeorar las prestaciones de operación de la parte digital e, incluso provocar fallos funcionales.
- La medida precisa de actividad de conmutación por simulación debe realizarse en el nivel lógico-temporal como nivel más adecuado en el compromiso entre precisión de la medida, tamaño del circuito bajo test y tiempo empleado en la medida. Para mejorar los valores de las medidas aparecen dos importantes líneas de investigación. Una es cómo determinar una adecuada secuencia de estímulos para que sea, a la vez, representativa y suficientemente corta. Otra se centra en investigar qué efectos y cómo se deben modelar a nivel de puertas para posibilitar medidas fiables en el dominio lógico.

Medidas de la actividad de conmutación con herramientas comerciales en tecnología ams 0.35 micras

En este capítulo se afronta cómo medir eficazmente la actividad de conmutación de circuitos combinatoriales, esto es, cómo obtener mediante un procedimiento adecuado el número de transiciones -de “0” a “1” y de “1” a “0”- que caracteriza la conmutación del circuito durante su operación. Nuestro interés se centra en los circuitos implementados en tecnologías CMOS VLSI avanzadas. El conocimiento de la actividad de conmutación es de gran importancia ya que resulta clave para conocer el consumo de potencia dinámico [Ghosh92, Monteiro94, Najm94, Karunaratne05] y el ruido de conmutación [Allstot93, Tsvetkov02, Aragonés99, Parra10, Castro11], pero también porque influye fuertemente en el comportamiento temporal de los circuitos [Bellido06, Ruiz07, Millán08].

En torno al problema que investigamos existe una amplia variedad de características que le afectan, y que, aunque son conocidas en algún grado por la comunidad científica, no siempre lo son con el deseable nivel de robustez o de desarrollo: Así, por ejemplo, se conoce que la actividad de conmutación depende de los patrones de entrada que excitan al circuito [Najm94], pero hay que precisar cómo obtener de forma eficiente una actividad de conmutación que, en términos relativos, sea independiente de los patrones de entrada. Visto desde otra perspectiva, se conoce que en los circuitos digitales hay señales espurias (*glitches*), que se generan y transmiten por el circuito aumentando la actividad de conmutación. También se conoce que su influencia está creciendo con la tecnología conforme los circuitos digitales se hacen más complejos y más rápidos, debido a que aparece un mayor número de colisiones en las entradas de las puertas que lo componen [Melcher92, Metra95, Bellido00]. Sin embargo, no están contabilizadas con precisión las aportaciones de los *glitches* a la actividad de conmutación. Uno de los objetivos que perseguimos en este capítulo es aportar sistematización, rigor y eficacia, progresando sobre algunas de estas lagunas.

Este capítulo está organizado como sigue. En primer lugar, apartado 3.1, presentamos la metodología de medida detallando justificadamente los circuitos bajo test (epígrafe 3.1.1), el procedimiento original que proponemos para la selección de los patrones de estímulos (epígrafe 3.1.2) y la planificación de medidas según el tipo de conmutación que se desee medir (epígrafe 3.1.3). En los siguientes apartados, además de indicar el procedimiento concreto de medida que se seguirá en cuanto al entorno, herramientas comerciales y desarrolladas específicamente para este trabajo y el flujo de trabajo, se presentan las medidas

3.1 Metodología de medida de la actividad de conmutación

de actividad de conmutación de esos circuitos, para la tecnología ams de $0,35\mu\text{m}$, usando simulación lógica (apartado 3.2), considerando los efectos post-layout (apartado 3.3), y usando el simulador eléctrico Hspice (apartado 3.4). Los resultados obtenidos son analizados y comparados en el apartado 3.5 y, finalmente (apartado 3.6), se presenta un resumen de lo más destacable de las aportaciones presentadas.

3.1 Metodología de medida de la actividad de conmutación

Buscamos medir la actividad de conmutación propia del circuito bajo estudio. Sin embargo, la actividad de conmutación depende muy fuertemente de los estímulos a los que se ve sometido. Nuestro interés se centra, pues, en desarrollar una metodología de medida de la actividad de conmutación para circuitos combinatoriales digitales CMOS, de forma que sea:

- operativa en un entorno comercial de diseño de circuitos integrados VLSI,
- independiente del circuito a analizar,
- con coste computacional razonable,

y que proporcione medidas que sean:

- seguras, en el sentido de que la actividad que midan sea representativa del circuito, evitando correlaciones con los datos de entrada¹, y
- precisas, en el sentido de que proporcionen la cantidad de conmutaciones que realmente tenga el circuito bajo test.

Antes de presentar aspectos concretos de la metodología relacionados con las dos cuestiones principales (los circuitos que se estudiarán y la forma de establecer los estímulos), consideremos la cuestión general de la metodología de medida. Obviamente, para que la metodología de medida sea factible en un estudio como el nuestro, no se ejercerá en el laboratorio sobre el circuito ya integrado, ya que los costes de integración resultan totalmente prohibitivos, sino utilizando herramientas de CAD sobre el diseño del circuito descrito en algún lenguaje de descripción de hardware. Las formas de afrontar una medida de este tipo se pueden dividir en dos: por simulación, que puede ser exhaustiva o aplicando métodos estadísticos, y mediante técnicas probabilísticas [Najm94], [Theodoridis02].

La técnica basada en simulación, como indica su nombre, consiste en realizar sucesivas simulaciones de un circuito para un conjunto de estímulos de entrada y después procesar los resultados. Obtener una medida de la actividad de conmutación basada en la simulación del circuito tiene como ventaja principal que proporciona seguridad y precisión en los resultados, pero posee, como gran inconveniente, un coste computacional que puede llegar a ser absolutamente inaceptable. En efecto, la medida de actividad presenta una fuerte dependencia con los patrones de entrada [Burch93]. Como los circuitos objetos de nuestro estudio son combinatoriales y no dependen, por tanto, de las secuencias de

1. Esto no siempre tiene que ser la mejor opción. Así, en casos específicos puede ser conveniente estudiar la casuística de los cambios de entrada que recibe el circuito para unas aplicaciones concretas y adaptar el estudio a ese tipo de secuencias de entrada. Por ejemplo, si se estudia un sumador cuyos datos salen de dos multiplicadores tras algún proceso de datos de imágenes, las entradas del sumador que interesan estudiar corresponden a la correlación que surge de la multiplicación de datos de imágenes; caso diferente de que, por ejemplo, el sumador se aplique en el cálculo de datos bancarios cuyos valores sean arbitrarios y no posean correlación.

3.1 Metodología de medida de la actividad de conmutación

entradas, podría pensarse que una solución es hacer un estudio exhaustivo de todos los casos de entrada. Esto resulta inviable como técnica genérica porque aplicar todas las combinaciones de entradas a un circuito es prohibitivo a nivel práctico si, por un lado, éste posee un número considerable de entradas o, por otro, si se trata de un circuito de gran complejidad. Ambas circunstancias, en la actualidad, son muy frecuentes.

Por lo tanto, resulta imposible en la práctica estimar la potencia consumida por un circuito basándose en el conocimiento de su actividad de conmutación simulando el diseño para todas las posibles entradas. Partiendo de este hecho y teniendo en cuenta que también hay aplicaciones concretas en las que no interesa estudiar todas las situaciones de entrada sino sólo algunas situaciones típicas de entrada, se han desarrollado técnicas de estudio probabilísticas y estadísticas que buscan alternativas para estimar la potencia consumida por un circuito y que podrían ser aplicables en las medidas de actividad de conmutación.

Las técnicas probabilísticas en relación a la actividad de conmutación y el consumo dinámico fueron propuestas por primera vez en [Cirit87]. Usan probabilidades para describir las posibles situaciones de entrada al circuito y, después, realizar un único análisis de la potencia resultante. Las técnicas probabilísticas han ido evolucionando en el tiempo: en la forma de describir las probabilidades en las entradas [Ercolani89], [Marlescu94], [Schneider96], [Bhanja02], en asumir o no la correlación espacial que puede existir entre nudos del circuito [Agrawal98], en trabajar con distintos modelos temporales para los bloques [Ghosh92], [Costa97], en considerar o no los cambios debido a la

aparición y propagación de *glitches* en el interior del circuito, etc. En función de todo ello, estas técnicas también pueden alcanzar altos costes en computación, especialmente en aquellos circuitos donde la presencia de los *glitches* es muy significativa. Asimismo, se tiene que trabajar con una librería de celdas que tenga modelos especiales basados en definiciones probabilísticas de las entradas. En general y a modo de resumen, las técnicas probabilísticas se independizan en cierto grado del conjunto de entradas pero a costa de perder precisión en el resultado final.

Como alternativa a la simulación exhaustiva de entrada, se han propuesto técnicas estadísticas [Xakellis94], que simulan el circuito para un número limitado de entradas generados aleatoriamente usando modelos tradicionales para cada celda del diseño. Con estas técnicas, aunque también se desarrollan repetidas simulaciones, se eliminan los problemas de coste computacional de la simulación ya que se limita el número de ellas según algún criterio de error. Establecer ese límite, es decir, determinar cuándo parar en función del grado de error que se quiera asumir en la medida, es uno de los aspectos principales que hacen o no que esta técnica sea la mejor. La incorporación de las técnicas estadísticas está en determinar cuándo parar, habitualmente usando un método Monte Carlo. Con el fin de alcanzar la seguridad y precisión en las medidas de la actividad de conmutación que buscamos, nuestra investigación se ha centrado en la técnica basada en simulación, incorporando este tipo de técnicas estadísticas.

Los circuitos objeto de este trabajo son los circuitos integrados digitales que realicen funciones combinatorias, descritos a nivel de puertas (*gate level*) y que estén implementados en tecnologías CMOS submicrónicas. Nuestra

3.1 Metodología de medida de la actividad de conmutación

pretensión de que la metodología de medida sea lo más universal e independiente posible nos ha hecho elegir circuitos de prueba que estén reconocidos como patrones para testado (*benchmarks*). Estos serán presentados en el epígrafe 3.1.1.

En relación a la simulación como técnica de medida, para poder hacerla aplicable debemos resolver el problema de la fuerte dependencia de esta técnica con los patrones de entrada así como poder llevar a cabo el método incluso con circuitos de gran tamaño. Para ello debemos tener en cuenta tres factores: determinar los estímulos, elegir el simulador y considerar los tipos de transiciones.

El primero, conociendo la dependencia de la actividad con los patrones de entrada ya mencionada, tiene como propósito determinar un conjunto de estímulos de entradas al circuito que sea representativo para medir la actividad del circuito y será descrito en el epígrafe 3.1.2.

El segundo factor trata el simulador a usar que, en cualquier caso, debe ser capaz de hacer una simulación temporal de un circuito digital a nivel puertas. Con los simuladores temporales de circuitos digitales específicos del nivel de puerta, tales como Verilog [Verilog], se pueden simular circuitos digitales de gran tamaño pero es a costa de perder en precisión en la medida de la actividad de conmutación al utilizar modelos de retraso discretos. En contraposición, el cálculo preciso de la actividad es posible usando simuladores eléctricos tales como Hspice [Hspice], ya que pueden calcular con suma precisión la conducta dinámica de las puertas al operar con modelos muy sofisticados de los dispositivos. El problema con los simuladores lógicos es que, como es sabido, están limitados a circuitos de pequeño tamaño dado que utilizan una gran

cantidad de recursos computacionales para ofrecer su precisión. Por esta causa, no son habitualmente usados en el flujo de diseño digital.

Por último, el tercer factor a tener en cuenta es el origen de las transiciones en un circuito digital. Los cambios de las entradas causan dos tipos de transiciones lógicas. La primera es la debida a la propia función que implementa el circuito, son los cambios funcionales. La segunda es debida a las colisiones de cambios casi simultáneos que originan la generación y propagación de pulsos espurios transitorios (*glitches*), que provocan transiciones no funcionales que también afectan al resultado final del número de señales que conmutan. Uno de nuestros objetivos de estudio es cuantificar esta aportación de la conmutación afuncional. Este conocimiento es útil, entre otros, para decidir en qué medida debe gastarse tiempo de rediseño para reducir esta actividad afuncional. Como ya se ha indicado, una de las aplicaciones directas de las medidas de actividad de conmutación es estimar el consumo de potencia dinámica de un circuito. El método básico para ello consiste en considerar la contribución de cada nodo a la potencia final cada vez que éste realiza una transición. Por tanto, es necesario calcular el número total de transiciones además de usar un modelo de potencia para estimar el consumo de cada nodo.

3.1.1 Elección de circuitos

Como primera cuestión para presentar el método de medida de la actividad de conmutación en circuitos digitales CMOS, en esta sección planteamos cuáles van a ser los circuitos combinatoriales sobre los que se aplicará la metodología de medida.

3.1 Metodología de medida de la actividad de conmutación

Nuestra elección de los circuitos debe ser tal que los resultados obtenidos en la medida de la actividad de conmutación permita extraer conclusiones objetivas e independientes de la tipología del circuito bajo test. Con estas consideraciones hemos elegido los *benchmarks* de ISCAS85 [Bryan and Fujiwara85] como un conjunto de circuitos válidos y representativos. Ellos son considerados circuitos estándares para pruebas y proporcionan una amplia variedad tanto en tamaño como en funcionalidad. Varían entre circuitos relativamente simples con pocos terminales de entrada o de salida, y otros con un elevado número de éstos así como de nodos. Además, otro factor de interés que aportan es la variedad en el número de niveles. En la tabla 3.1 se muestra la

	nº entradas	nº salidas	nº puertas
c432	36	7	160
c499	41	32	202
c880	60	26	383
c1355	41	32	546
c1908	33	25	880
c2670	233	140	1193
c3540	50	22	1669
c5315	178	123	2307
c6288	32	32	2406
c7552	207	108	3512

TABLA 3.1: Circuitos benchmark ISCAS85.

relación de diez de los once *benchmarks* (el circuito c17, demasiado simple con sus sólo 5 puertas, se ha excluido de nuestro estudio que forman nuestro

conjunto de test). Para cada uno de ellos, se da el número de entradas, salidas y puertas.

Como se aprecia, se trata de diez circuitos que se identifican por un número (c432, c499, etc.) para así procurar desvincular las pruebas de test a las funciones concretas que realizan. Las entradas varían desde las 32 que tiene el c6288 a las 233 que posee el c2670; también son muy dispares el número de salidas (7 en el c432 y 140 en el c2670), de puertas que los componen (160 para el c432, más de 2400 para c6288) y de niveles (hasta 123 en el c6288).

En cuanto a la funcionalidad de cada uno de ellos, a pesar de no tener influencia en nuestro trabajo, cabe mencionar [Hansen99] que:

- El circuito c432 es un controlador de interrupciones de 27 canales agrupados en tres buses de 9 canales cada uno.
- El circuito c499 es un corrector de errores tipo simple-bit (SEC: *Simple Error Correct*) con 32 bits de entradas primarias para dar 32 bits de salidas primarias.
- El circuito c1350 tiene la misma funcionalidad que el anterior salvo que las puertas Xor que usa el c499 han sido sustituidas por el subcircuito equivalente formado por 4 puertas Nand's.
- El circuito c1908 consiste en un circuito corrector de errores simple (SEC) y detector de errores dobles (DED: *Double Error Detector*) de datos de entrada de 16 bits.
- El circuito c880 es un circuito aritmético, en concreto una ALU (*Arithmetic Logic Unit*) para datos de entrada de 8 bits. En su interior se encuentra un

3.1 Metodología de medida de la actividad de conmutación

sumador tipo 74283, que corresponde a un sumador paralelo de acarreo anticipado de 4 bits.

- El circuito c3540 es también una ALU de datos de 8 bits pero realiza las operaciones tanto en base 2 como en código BCD y presenta, además, operaciones lógicas y de desplazamiento lógico entre 1 y 8 posiciones. También tiene banderas indicativas de resultado nulo y de paridad.
- El circuito c5315 consiste así mismo en una ALU de 9 bits que realiza varias operaciones aritméticas y lógicas así como el cálculo de la paridad de la palabra resultante. Además incluye banderas de identificación de datos nulos en las entradas y de su paridad.
- El circuito c2670 consiste nuevamente en una ALU de datos, esta vez de datos de 12 bits, a lo que se le añade un controlador que ofrece el resultado de la comparación de los datos de entrada programable a 4, 6, 8 o 12 bits, un chequeador de igualdad entre dos buses de entrada de 17 bits, y un chequeador de paridad para tres buses de entrada de 10 bits.
- El circuito c6288 consiste en un multiplicador de dos datos de 16 bits. La estructura que posee es la de un árbol de celdas con sumadores completos y semisumadores llegando a ser un circuito de un elevado tamaño y un gran número de niveles de profundidad (123 niveles).
- Y, por último, el circuito c7552 consiste en un sumador de datos de 34 bits con salida de *carry* final e intermedio (asociado a la mitad del dato de entrada, 17 bits) y un comparador de magnitudes de 34 bits junto con un chequeador de la paridad de los datos de entrada y de los 34 bits de salida asociados en cuatro grupos ([8:0], [17:9], [26:18] y [33:27]).

Sobre este conjunto de circuitos aplicaremos nuestra metodología de medida y presentaremos los resultados y conclusiones.

3.1.2 Selección de estímulos

Ya se ha mencionado previamente que existe una dependencia de la actividad de conmutación de un circuito con los patrones de entrada que éste recibe [Burch93]. Si consideramos un circuito cualquiera que tiene estable su operación ante un vector de entrada concreto, para cada nuevo estímulo, cada componente del circuito responderá con una salida y ésta mostrará o no un cambio respecto a su valor anterior según sea el circuito y según hayan cambiado las entradas desde el valor antiguo al nuevo. Otro estímulo distinto causará otro patrón de cambios diferente. En general, el número de cambios dependerá de la secuencia de las entradas, del valor y orden en que se apliquen y del número de estímulos que conformen la secuencia. Si ésta realiza un recorrido exhaustivo de las entradas, el valor medio de los cambios corresponderá a la medida de la actividad de conmutación propia o característica del circuito.

Debemos afrontar el problema de qué excitaciones elegir para obtener un resultado fiable y preciso de la actividad de conmutación que identifica a cada circuito. Para ello vamos a discutir dos cuestiones: la longitud de la secuencia de las excitaciones, y la forma de obtener los patrones de entrada de esa secuencia.

En cuanto a la longitud de la secuencia de las excitaciones, se entiende que a mayor longitud la medida final será mejor dado que el circuito es evaluado durante más tiempo y quedan enmascaradas las situaciones particulares en las que se pueda ver involucrado y, por lo tanto, así se conseguirá un resultado

3.1 Metodología de medida de la actividad de conmutación

objetivo para la medida. En circuitos combinacionales es factible estudiar grandes secuencias de estímulos cuando se usan simuladores lógicos. Pero para simulación eléctrica o circuitos de gran tamaño resulta impracticable el estudio de la evolución del circuito durante una larga secuencia de entrada ya que los simuladores eléctricos necesitan un gran esfuerzo (tiempo de CPU) para ofrecer los resultados. En consecuencia, tenemos que determinar cómo seleccionar el más adecuado subconjunto de vectores de entrada que, por una parte, sea de longitud suficientemente corta y que, por otra, sea representativa del circuito bajo test.

Por otro lado, en cuanto a la forma de obtener los patrones de entrada de esa secuencia, buscamos patrones de test que eviten correlaciones de entrada y que puedan ser repetidos en diferentes tests. Ya hemos indicado que, como alternativa a grandes secuencias de estímulos, algunos estudios (por ejemplo, en estimación de potencia, [Cirit87, Najm91]) simplifican el problema del patrón de estímulos tratando los valores típicos de las entradas, para lo que usan probabilidades, pero ello implica considerar correlaciones entre nudos del circuito con el fin de conseguir resultados fiables en la estimación de potencia del circuito. Esta característica hace que, en general, este procedimiento produzca resultados menos precisos, por lo que en nuestro trabajo no seguiremos esta técnica.

Una tercera alternativa se basa en el método de Monte-Carlo [Burch93]. Es considerado un método estadístico y, para el caso que nos ocupa, consiste en aplicar patrones de entradas generados aleatoriamente a un circuito y, mediante simulación, obtener el valor del parámetro que se desee. Esta tarea continúa

hasta que se obtiene un resultado con la precisión deseada. Con ello se combina la precisión en los resultados de las técnicas basadas en simulación con una menor dependencia de los patrones de entrada que ofrecen las técnicas probabilísticas. Este procedimiento será el que se lleve a cabo en nuestro estudio y, con un número razonable de vectores de test, calcular la actividad de conmutación usando un simulador.

Nuestro objetivo es seleccionar un conjunto de patrones de entradas que por un lado obtengan una media de la actividad de conmutación representativa del circuito, pero que sea suficientemente pequeño para que pueda ser usado en un simulador eléctrico.

La forma de elegir este conjunto de patrones es la siguiente: en primer lugar se elige una semilla al azar con la que se genera una secuencia de entrada pseudoaleatoria. El carácter pseudoaleatorio hace que, por una parte, se evite la correlación en las entradas -lo que es necesario para obtener el valor representativo en la medida- y, por otra, que sea repetible, con el fin de poder hacer el mismo test al mismo circuito para diferentes simuladores o condiciones de simulación. El procedimiento es simple y cambiando el valor de la semilla se puede obtener una nueva secuencia de entradas distinta de la anterior y, como ella, aleatoria y repetible.

En primer lugar, para cada circuito haremos un estudio previo sobre el número de estímulos con el fin de determinar la actividad de conmutación característica de cada circuito. Utilizando el simulador lógico Verilog se han realizado varias simulaciones lógicas usando un número alto de patrones de

3.1 Metodología de medida de la actividad de conmutación

entrada aleatorios, repitiendo esta prueba para varias semillas. De cada simulación se obtiene la actividad de conmutación del circuito completo. En estos estudios se han usado secuencias de 1000 patrones² ya que se ha comprobado que para esa longitud los valores de la actividad del circuito en cada secuencia de entrada son muy similares, estando todos dentro de menos de un 2% de diferencia. Además, para cada conjunto de entradas, se calcula el número de transiciones por estímulo aplicado, SA1000_i, y, haciendo la media de todas las medidas realizadas, podemos obtener un valor representativo de la actividad de conmutación por estímulo en cada circuito, valor al que llamaremos SA_1000. En la figura 3.1 se presenta una representación esquemática del método desarrollado.

El siguiente paso consiste en seleccionar una secuencia de entrada corta pero que proporcione un buen resultado en cuanto a la medida de actividad pero que pueda ser utilizada incluso con simulación eléctrica en circuitos de gran tamaño sin desbordar los recursos computacionales del simulador. En la figura 3.2 se muestra el esquema del procedimiento a seguir, consistente en realizar varias simulaciones lógicas del circuito de estudio usando patrones de entrada aleatorios de sólo 50 vectores. Entre estas simulaciones se busca una que produzca un número de transiciones por estímulo que esté dentro de lo que se considera aceptable, lo cual se estableció dentro de un rango del 3% del valor medio determinado con los 1000 patrones. De esta forma, se da como patrón de testado válido a esa secuencia de 50 vectores, en cuanto que representa un caso

2. Realmente comenzamos a estudiar longitudes de secuencia menores y fuimos aumentando el número, comprobando para cada nueva secuencia si se mantenía dentro del margen de error medio del 2%. Así obtuvimos que, para todos los circuitos estudiados, eran válidas secuencias de 1000 patrones.

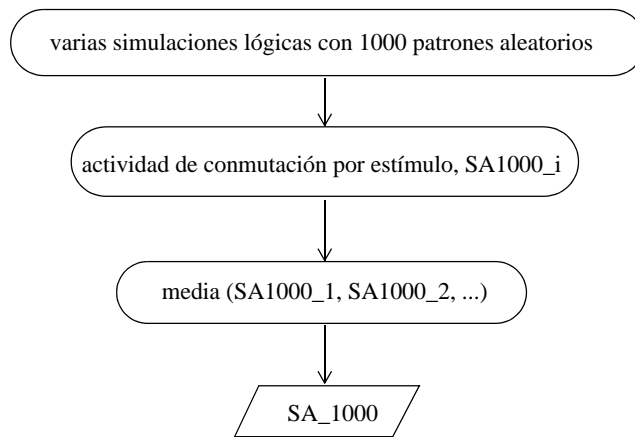


FIGURA 3.1: Procedimiento para obtener el valor medio de la actividad de conmutación para 1000 patrones de test.

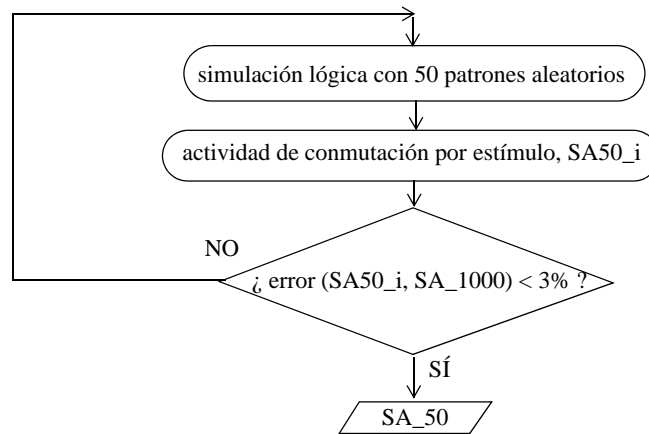


FIGURA 3.2: Procedimiento para obtener una secuencia de entrada adecuada y representativa.

3.1 Metodología de medida de la actividad de conmutación

genérico de entrada y no un conjunto de test que produzca resultados peculiares por casualidad o porque sea expresamente buscado para conseguir buenos resultados.

Una vez establecido, el procedimiento de selección de patrones, los pasos concretos que se han seguido son los siguientes: Para cada *benchmark*, usando el modelo de retraso inercial, se realizan varias simulaciones lógicas con 1000 estímulos aleatorios para obtener así el valor de SA_1000. A continuación, se desarrollan varias simulaciones con 50 estímulos aleatorios y se comparan los valores obtenidos en ellas, SA50_i, con el valor medio SA_1000. Se comprueba en qué casos se cumple que la desviación en los valores está en torno al 3% y se elige como conjunto de 50 estímulos representativo para el circuito el que tiene una desviación menor.

Estos 50 estímulos así seleccionados serán los que se usen para estudiar ese circuito, utilizándose tanto en todas las simulaciones lógicas que se realicen con ese circuito como en la simulación eléctrica (véase el apartado 3.4).

Como muestra de todo el proceso que acabamos de presentar, mostramos a continuación su aplicación a dos *benchmarks*, en concreto, los circuitos c2670 y c5315.

c2670:

Se han realizado cuatro simulaciones con retraso inercial usando 1000 patrones aleatorios y, para cada conjunto de estímulos, se ha contabilizado la actividad total del circuito, así como la actividad por estímulo, SA1000_i y la

media de éstas, SA_1000. En la tabla 3.2 se muestran los resultados de actividad por estímulo. Puede comprobarse que la desviación entre los dos casos extremos (simulación 2 y 3) es inferior al 1%.

c2670	SA1000_i	Valor medio
simulación1	926.5	
simulación2	927.6	SA_1000= 924.5
simulación3	919	
simulación4	925.5	

TABLA 3.2: Actividad de conmutación por estímulo y valor medio del circuito c2670 usando 1000 patrones de test por simulación.

A continuación se desarrollaron otras tres simulaciones con 50 vectores de test en cada una de ellas procediendo a calcular, para cada una, su actividad total

c2670	SA50_i	Desviación respecto a SA_1000
simulación1	893.4	3.4%
simulación2	899.6	2.7%
simulación3	892.3	3.4%

TABLA 3.3: Actividad de conmutación por estímulo y desviación respecto a SA_1000 del circuito c2670 usando 50 patrones de test por simulación.

y la actividad por estímulo, SA50_i. Al igual que antes, en la tabla 3.3 se muestra la actividad por estímulo SA50_i de cada simulación y la desviación con SA_1000. Puede comprobarse que la segunda simulación de 50 vectores es la que muestra una desviación menor y que es inferior al 3% que nos hemos fijado

3.1 Metodología de medida de la actividad de conmutación

como valor máximo. Por tanto, es este conjunto de vectores aleatorios el que elegimos para realizar todas las simulaciones en este circuito.

c5315:

Se procede de la misma manera que en el caso anterior. En la tabla 3.4 se muestran los resultados tras las distintas simulaciones con 1000 patrones de test y, en la tabla 3.5, los correspondientes a las simulaciones con 50 vectores, indicando para cada una de ellas, la actividad por estímulo y la desviación respecto al valor SA₁₀₀₀.

c5315	SA1000 _i	Valor medio
simulación1	2033	SA ₁₀₀₀ = 2027.6
simulación2	2027	
simulación3	2026.5	

TABLA 3.4: Actividad de conmutación por estímulo y valor medio del circuito c5315 usando 1000 patrones de test por simulación.

c5315	SA50 _i	Desviación respecto a SA ₁₀₀₀
simulación1	1976	2.5%
simulación2	2006	1%
simulación3	1998.4	1.4%

TABLA 3.5: Actividad de conmutación por estímulo y desviación respecto a SA₁₀₀₀ del circuito c5315 usando 50 patrones de test por simulación.

De los valores mostrados en ambas tablas se comprueba que:

- La máxima desviación de SA1000_i es inferior al 2% (es un 0,3%)
- SA50_i de simulación2 muestra la menor desviación y es menor del 3%.

Por consiguiente, el segundo conjunto de 50 estímulos es el elegido para todas las pruebas del circuito c5315.

Estos patrones de 50 estímulos así elegidos proporcionan un adecuado nivel de “seguridad” (en el sentido dado en nuestra introducción a esta sección) de las medidas que deseábamos.

3.1.3 Tipos de transiciones y planificación de medidas

Como ya se ha comentado, el interés de este trabajo es contabilizar la actividad de conmutación con seguridad y precisión, actividad que proviene de las transiciones de las señales del circuito entre los niveles lógicos. Esas transiciones se producen cada vez que cambian los estímulos de entrada, bien porque la operación booleana de las puertas las obliga a ello (actividad funcional), bien porque hay colisiones en la señales debido a los retrasos de propagación de las puertas o de las conexiones (que denominamos actividad debida a *glitches*).

Una vez seleccionado el circuito a estudiar y el patrón de 50 estímulos que se va a utilizar, se planifican las simulaciones con el fin de extraer la información que interesa sobre la actividad de conmutación. Así, se harán dos simulaciones de dos tipos. Primero, usando un simulador lógico, se procesarán

3.1 Metodología de medida de la actividad de conmutación

los resultados de simulación para obtener la actividad de conmutación de cada nodo del circuito y la actividad global. Las diferentes opciones de simulación lógica suministrarán diferentes informaciones de interés, desde la actividad funcional hasta las consecuencias del layout en la implementación.

Los simuladores lógicos, cuando operan con modelos de retraso, introducen aproximaciones en el análisis temporal de las señales que pueden hacerlas diferentes a como son en realidad. Con el fin de conocer con precisión esa realidad, se han realizado simulaciones eléctricas usando los mismos 50 estímulos de la simulación lógica. De este modo se pueden comparar los resultados de la simulación lógica con los del simulador eléctrico que serán tomados como datos de referencia. Además, este reducido tamaño de la secuencia de entrada disminuye considerablemente el tiempo de computación al realizar las simulaciones eléctricas en circuitos de mediano y gran tamaño.

El estudio de la actividad de conmutación que se presenta explora también la influencia de tecnologías diferentes. En esta Memoria de Tesis presentamos los resultados en orden cronológico. Así, los primeros resultados están obtenidos con una tecnología submicrónica, la de ams 0.35 μm , y serán discutidos en este capítulo. Los segundos se han obtenido en una tecnología nanométrica muy actual, la st 65nm, y se presentarán en el capítulo 5. De esta forma, comparando sus resultados, también se pueden extraer conclusiones sobre cómo la evolución tecnológica afecta en este tipo de medidas.

3.2 Medidas con simulador lógico

En este apartado se presentan las medidas de actividad de conmutación de las realizaciones de los circuitos *benchmarks* en la tecnología ams de 0.35 μ m obtenidas mediante la simulación lógica. Las simulaciones lógicas se realizan con el simulador Verilog que, como ha sido anunciado, es un simulador estándar y está dentro del entorno de diseño que utilizamos para nuestro estudio, DFWII [DFWII] de Cadence.

Como paso previo a mostrar los resultados de actividad, en primer lugar se detalla la metodología seguida en la simulación para obtener los resultados. Sobre cada circuito, en concreto, se desarrollan tres tipos de medida de la actividad de conmutación las que llamamos, 1) funcional 2) pre-layout y 3) post-layout. Para obtener cada una de ellas se ha realizado un tipo diferente de simulación que se explica seguidamente.

La primera medida, la funcional, se refiere a obtener la actividad de conmutación de un circuito provocada por la propia función lógica que implementa el circuito. Así, sólo se contabilizará la actividad proveniente de los cambios producidos por la respuesta booleana ante cada patrón de entrada. Es decir, se elimina toda la actividad que provenga de colisiones de señales debidas a los diferentes retrasos en los caminos de propagación o la propagación de *glitches*. En este caso, obviamente, no tiene incidencia alguna el efecto de los distintos niveles de puertas del circuito. Para obtener esta medida, se realizan las simulaciones usando un modelo de retraso nulo para todas las puertas del circuito.

3.2 Medidas con simulador lógico

En el proceso de diseño de circuitos integrados, antes de obtener el layout, se asocian las puertas del circuito con los componentes correspondientes de la librería de celdas de la tecnología que se vaya a usar. Con ello se dispone de información detallada y completa de la implementación final, a excepción de los retrasos las conexiones que son incluidas con parámetros estándares y sólo pueden ser perfilados tras el proceso de layout. Por tanto, para obtener el valor de la actividad de conmutación que hemos denominado pre-layout, se realizarán simulaciones lógicas usando para cada componente del circuito el modelo de retraso que el simulador usa por defecto. De esta manera, para la actividad de conmutación del circuito se obtiene el valor en condiciones de operación normal, es decir, teniendo en cuenta el retraso de los componentes. Consecuentemente, además de la actividad de conmutación funcional, en esta medida se incluye la conmutación derivada de las colisiones y *glitches* que puedan ocurrir después de la aplicación de cada estímulo, bien porque existan transiciones muy cercanas en el tiempo o bien porque las diferentes ramas o niveles del circuito puedan generar pulsos espurios.

Realmente la información que ofrecen las tecnologías de sus puertas lógicas proporcionan tres valores de retraso diferentes llamados mínimo, típico y máximo. En ellos se recogen diversas circunstancias de operación que incluyen tanto a la variabilidad del proceso tecnológico como a las condiciones de operación (p. ej., temperatura) de esos componentes. La segunda medida, la de pre-layout, se compone, pues, de tres valores (uno para cada valor de retraso).

Finalmente, la tercera medida, denominada post-layout, se obtiene tras el último paso del proceso de diseño (*placement & routing*), en el que se incorporan

todas las cuestiones de la implementación del circuito integrado: el posicionamiento de las puertas y el rutado de las conexiones. Esto afecta a la temporización de las señales del circuito de una forma muy compleja, ya que depende de múltiples factores tanto de diseño (número e interconexión de señales y puertas, niveles, etc.) como tecnológicos (dimensión mínima, número y tipo de capas de metal, etc.). El tercer tipo de simulación, la simulación post-layout, está orientada a cuantificar la actividad de conmutación completa, después de considerar los efectos parásitos en las puertas y demás efectos post-layout que pueden provocar cambios en el retraso de los módulos y conexiones y, por tanto, afectar a la actividad de conmutación final.

En la figura 3.3 se presenta un organigrama con las distintas fases de nuestra metodología de trabajo. Se parte de una descripción de cada circuito *benchmark* en la que se define la funcionalidad del circuito en base a operadores lógicos que relacionan las distintas entradas y nudos intermedios para dar las salidas. Es necesario traducir esa descripción inicial al lenguaje de descripción de hardware Verilog. Para ello se ha desarrollado un programa (*parser*) que traduce la descripción inicial de los *benchmarks* al lenguaje Verilog. Para la realización de este programa de traducción se desarrolló una traslación de cada operador lógico, usado en la descripción inicial, con la celda de librería correspondiente. Hecha la traducción, esta nueva descripción del circuito, *netlist* en Verilog, sirve como formato de entrada al entorno DFVII, de forma que ahora se puede importar el circuito al entorno y proceder a la simulación lógica.

Antes de realizar las simulaciones se incorpora el conjunto elegido de 50 estímulos (aquél que cumple las especificaciones presentadas en el

3.2 Medidas con simulador lógico

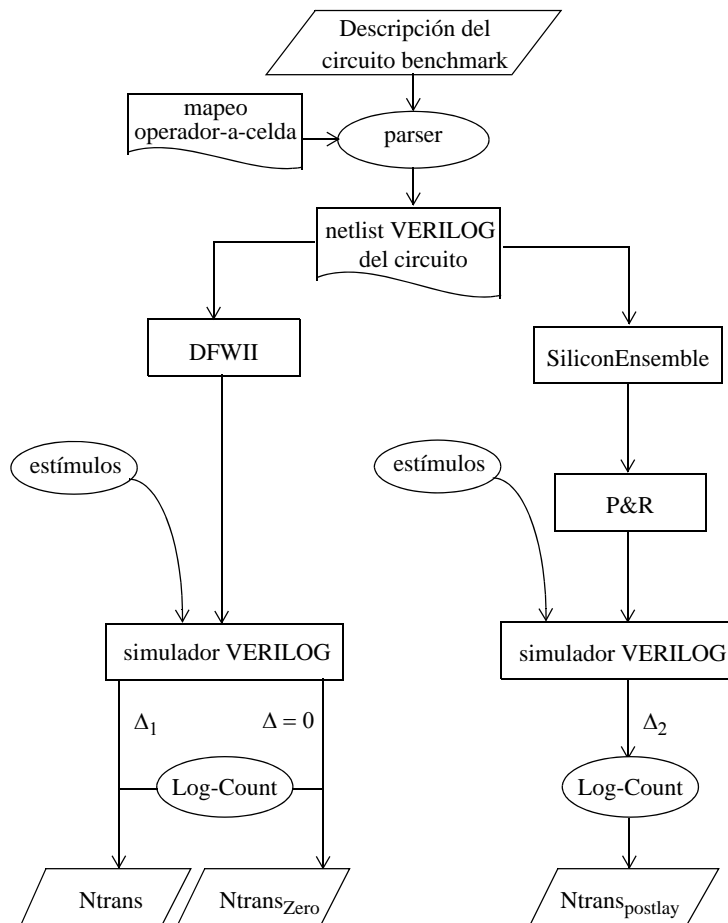


FIGURA 3.3: Metodología para la obtención de la actividad de conmutación usando simulador lógico.

apartado 3.1.2), y que serán los mismos estímulos que se utilizarán en cada una de las simulaciones del circuito bajo test. A continuación se realizan las diferentes simulaciones para obtener las distintas medidas:

- De la simulación con retraso nulo ($\Delta = 0$) se obtiene el valor de la actividad de conmutación funcional llamada $N_{trans_{Zero}}$.
- Después se realiza la simulación lógica pre-layout, con retraso inercial (Δ_1) para los tres valores definidos en el modelo temporal de cada componente. De ahí se obtienen los resultados que llamamos $N_{trans_{min}}$, $N_{trans_{typ}}$ y $N_{trans_{max}}$.
- Y, por último, se consideran los efectos del layout para obtener un comportamiento temporal más realista en cada nodo del circuito. Para ello se ha usado la herramienta Silicon Ensemble de DFWII, la cual obtiene el layout del circuito de forma semi-automática. De ahí se obtienen valores del retraso en cada nodo incluyendo los efectos del cableado y de las capacidades parásitas. Con esta nueva información, se vuelve a simular para obtener un nuevo resultado en la actividad de conmutación, que llamamos $N_{trans_{postlay}}$ y que se presenta con más detalle en el apartado 3.3.

El entorno de diseño no devuelve el valor de la actividad de conmutación tras una simulación, por tanto, ésta debe ser calculada posteriormente. Para ello, en cada simulación se impone la condición de que se obtenga la evolución temporal de cada nodo del circuito. De esta forma, al final de la simulación el resultado es un fichero donde se tienen los valores lógicos en cada nodo para cada instante de tiempo. Este fichero tiene que ser procesado fuera del entorno por lo que, para ello, desarrollamos un programa, Log-Count, que escanea la salida del simulador contando cuántos cambios ocurren para cada nodo, así como la suma total de todos ellos. Estos son los números que caracterizan a la actividad de conmutación del circuito bajo test.

3.2 Medidas con simulador lógico

Circuito	Ntrans _{Zero}	Ntrans _{min}	Ntrans _{typ}	Ntrans _{max}
c432	3637	4719	4735	4753
c499	4868	6423	6417	6421
c880	7707	11353	11337	11331
c1355	10420	16318	16190	15990
c1908	18465	32393	32411	32441
c2670	26279	45095	44979	45029
c3540	28799	61044	60920	60376
c5315	48899	100589	100295	100327
c6288	44378	421909	418815	416729
c7552	76315	174682	174292	174062

TABLA 3.6: Número de transiciones de cada benchmark usando 50 patrones de entrada tras una simulación lógica. Tecnología ams 0.35 μ m.

Esta metodología ha sido aplicada a los diez circuitos de los *benchmarks* (presentados en el epígrafe 3.1.1) implementados en la tecnología ams 0.35 μ m. En la tabla 3.6 se presentan los valores obtenidos. En la primera columna se listan los circuitos y, en las otras cuatro columnas, aparecen cada uno de los resultados de actividad de conmutación total para los 50 patrones de entrada: la segunda columna muestra el valor tras una simulación funcional Ntrans_{Zero} y las otras tres, los resultados obtenidos con el modelo de retraso inercial Ntrans_{min}, Ntrans_{typ} y Ntrans_{max}. Estos resultados se presentaron en [Baena01].

Aunque el análisis de estos resultados se completará en los siguientes apartados, cuando se comparen con las medidas tomadas con las consideraciones post-layout y el simulador eléctrico, se presenta ahora un análisis parcial de los datos de la tabla 3.6.

La primera observación de estos resultados se refiere a los valores $N_{trans_{min}}$, $N_{trans_{typ}}$ y $N_{trans_{max}}$, obtenidos tras la simulación lógica utilizando retraso inercial. Puede verse que el número de transiciones para cada *benchmark* no aumenta ni disminuye de forma importante. De hecho, en algún circuito como el c880, el número de transiciones con retraso mínimo $N_{trans_{min}}= 11353$, es mayor que el número de transiciones obtenidas utilizando retraso típico $N_{trans_{typ}}= 11337$ y éste es mayor que el número obtenido con retraso máximo $N_{trans_{max}}= 11331$. Sin embargo, en otros casos, como en el circuito c1908, ocurre lo contrario, $N_{trans_{min}}= 32393$ es menor que las transiciones con retraso típico, $N_{trans_{typ}}= 32411$ y este valor es menor que las transiciones con retraso máximo, $N_{trans_{max}}= 32441$. El mismo comportamiento presenta el *benchmark* c432. En otros circuitos, como en c499 y c5315, el número de transiciones con retraso típico es mayor que el obtenido para los otros dos retrasos.

Para pormenorizar esas relaciones considérense los valores de la tabla 3.7. En sus dos primeras columnas se han listado los circuitos y el valor medio de sus actividades de conmutación medidas en las tres simulaciones con modelo de retraso inercial pre-layout:

$$N_{trans_{med}} = (N_{trans_{min}} + N_{trans_{typ}} + N_{trans_{max}}) / 3$$

En las tres columnas siguientes están los valores porcentuales de la desviación de cada caso min/typ/max frente al valor medio de la segunda columna

$$(N_{trans_{min/typ/max}} - N_{trans_{med}}) / N_{trans_{med}}$$

3.2 Medidas con simulador lógico

Circuito	Media de Pre-Layout, $Ntrans_{med}$	Desviación en % frente $Ntrans_{med}$			Media frente a Zero (%)
		$Ntrans_{min}$	$Ntrans_{typ}$	$Ntrans_{max}$	
c432	4736	-0,4	0,0	0,4	30
c499	6420	0,0	-0,1	0,0	32
c880	11340	0,1	0,0	-0,1	47
c1355	16166	0,9	0,1	-1,1	55
c1908	32415	-0,1	0,0	0,1	76
c2670	45034	0,1	-0,1	0,0	71
c3540	60780	0,4	0,2	-0,7	111
c5315	100404	0,2	-0,1	-0,1	105
c6288	419151	0,7	-0,1	-0,6	845
c7552	174345	0,2	0,0	-0,2	128

TABLA 3.7: Valor medio y desviación porcentual en la actividad pre-layout, y comparación con la actividad funcional.

Puede observarse que los porcentajes de desviación son muy bajos, la mayoría inferiores al 0,5% y sólo uno supera el uno por ciento: la mayor desviación ocurre para $Ntrans_{max}$ del circuito c1355 y sólo es del 1,1%. Además, estas desviaciones no son ni positivas ni negativas en todos los casos, sino que a veces tienen un signo y, otras, el contrario. De aquí se infiere que el hecho de usar el modelo de retraso mínimo (o, alternativamente, el típico o el máximo) no significa medir ni más ni menos actividad de conmutación que en el caso medio. Si acaso, se observa que hay una ligera tendencia a que el retraso máximo produzca menor actividad de conmutación y el retraso mínimo, algo mayor. En todo caso son desviaciones prácticamente despreciables.

La última columna de la tabla representa el valor porcentual de la desviación de la actividad de conmutación media pre-layout frente a la actividad meramente funcional,

$$(N_{\text{trans}_{\text{med}}} - N_{\text{trans}_{\text{Zero}}}) / N_{\text{trans}_{\text{Zero}}}$$

En todos los casos la actividad de conmutación pre-layout supera a la actividad de retraso nulo, $N_{\text{trans}_{\text{med}}} > N_{\text{trans}_{\text{Zero}}}$, como no podía ser de otra forma ya que la actividad de conmutación pre-layout contabiliza la actividad de conmutación de *glitches* además de la funcional. La menor desviación en este caso es la del circuito c432 con valor del 30%, mientras que la del caso mayor (circuito c6288) llega a alcanzar un 845%. Se trata de desviaciones tremendamente importantes y que muestran la enorme diferencia existente entre la actividad funcional y la que se mide cuando se incorpora el modelo de retraso en las puertas.

Por último, si se comparan los porcentajes de desviación entre cada tipo de modelo, min/typ/max, frente a su valor medio, y la de éste frente al retraso nulo, se observa que los separan varios órdenes de magnitud. En efecto, el caso de desviaciones con valores más similares corresponde al c1355, en el que la desviación frente al retraso nulo es en torno a 50 veces superior a la mayor de las desviaciones entre el modelo de retraso y el valor medio (55% frente a 1,1%); en el caso del otro extremo, el del circuito c6288, esa proporción se dispara a más de 1200 veces (845% frente a 0,7%).

De todo lo anterior surge una clara conclusión: en cuanto a la medida de la actividad de conmutación por simulación, el efecto de considerar la variación del

3.3 Efectos postlayout en la actividad de conmutación

retraso de las puertas entre sus valores mínimo, típico y máximo, resulta absolutamente irrelevante frente al hecho de considerar o no el retraso.

3.3 Efectos *postlayout* en la actividad de conmutación

Otro estudio que se ha planteado realizar en esta Tesis es analizar la consecuencia sobre la actividad de conmutación de un circuito cuando se tienen en cuenta los efectos del *placement & routing*. Hasta hace relativamente poco tiempo se tomaban como prácticamente despreciable las diferencias que surgían a partir de la localización física de las puertas en el chip y de las formas del conexionado entre ellas. Sin embargo, a medida que las tecnologías han ido avanzando en cuanto a miniaturización, los efectos derivados de la implementación física final han ido ganando en importancia. Efectivamente, el cableado tiene influencia directa sobre las capacidades parásitas de carga en la puerta y, ésta a su vez tiene influencia en el retraso de propagación de las señales. Esta influencia es cada vez mayor, puesto que el retraso intrínseco de las puertas va disminuyendo y el retraso de las interconexiones cobra más peso.

Por lo tanto, al variar los retrasos de las señales pueden variar también la aparición de glitches, cambiando así los resultados de la actividad de conmutación del circuito.

Para investigar los efectos de *place & routing* en la actividad de conmutación se ha seguido la misma metodología mostrada en la figura 3.3. Se utiliza una herramienta del mismo entorno de diseño de Cadence, llamada Silicon Ensemble. Con ella, partiendo de la descripción Verilog del circuito, tras

una serie de pasos automáticos, se realiza el proceso de “place” y “route” para, finalmente, obtener un nuevo fichero de retrasos con el que volver a simular a nivel lógico el circuito.

Estas nuevas simulaciones se han desarrollado para los tres valores de propagación de cada bloque: mínimo, típico y máximo. En la tabla 3.8 se presentan los resultados obtenidos en la actividad de conmutación tras el layout [Baena02].

Circuito	Ntrans _{min}			Ntrans _{typ}			Ntrans _{max}		
	pre	post	%	pre	post	%	pre	post	%
c432	4719	4499	4.7	4735	4505	4.8	4753	4511	5.1
c499	6423	5937	7.6	6417	6260	2.4	6421	5977	6.9
c880	11353	11495	-1.2	11337	11493	-1.4	11331	11485	-1.3
c1355	16318	15447	5.3	16190	15383	5.0	15990	15297	4.3
c1908	32393	32976	-1.8	32411	32880	-1.4	32441	32782	-1
c2670	45095	50122	-11.1	44979	50106	-11.4	45029	50072	-11.2
c3540	61044	61465	-0.7	60920	60979	-0.1	60376	61005	-1
c5315	100589	108587	-7.9	100295	108441	-8.1	100327	108015	-7.7
c6288	421909	365702	13.3	418815	362870	13.3	416729	361019	13.4
c7552	174682	166908	4.4	174292	166806	4.3	174062	166709	4.2

TABLA 3.8: Número de transiciones pre/post-layout usando 50 patrones de entrada. Tecnología ams 0.35 μ m.

En esta tabla y con idea de facilitar posteriormente el análisis de los resultados, para cada circuito se muestran valores de distintos tipos. La primera clasificación de resultados hace referencia a los valores de retraso mínimo, típico y máximo en el modelo de cada componente. Dentro de cada caso, en la columna

3.3 Efectos postlayout en la actividad de conmutación

denominada “pre”, se incluyen nuevamente los valores previos a las consideraciones de layout presentados en la tabla 3.6, mientras que los de la columna “post” se refieren a los valores posteriores a las consideraciones de layout y, por último, los de la columna “%” muestran el porcentaje de diferencias entre ambos valores, concretamente de $(\text{pre-post})/\text{pre}$.

Analicemos, al menos parcialmente, los datos de la tabla 3.8. Comparando los valores por columnas, una de las primeras características que resalta es que, para los tres tipos de retraso ($\text{min}/\text{typ}/\text{max}$), la variación entre los valores pre- y post-layout a veces es positiva y, a veces, negativa. Esto significa que incluir el efecto post-layout afecta incrementando la actividad de conmutación en unos circuitos y decrementándola en otros. De hecho, los circuitos *benchmarks* se dividen en dos mitades: hay 5 circuitos cuya actividad pre-layout es mayor que la post-layout, y otros cinco que se comportan al revés.

En cuanto al valor del porcentaje de variación entre las medidas pre- y post-layout, este varía entre el -11.4% para $N_{\text{trans}_{\text{typ}}}$ del circuito c2670, y el 13.4% para $N_{\text{trans}_{\text{max}}}$ del c6288. Por su parte, el menor porcentaje en valor absoluto ocurre para $N_{\text{trans}_{\text{typ}}}$ del c3540. Estos datos indican que, tras incluir los efectos parásitos (de capacidades y cableado) en cada nodo, la actividad de conmutación se ve afectada menos de un 10% para todos los circuitos excepto para el c2670 y el c6288 que alcanzan los valores indicados del 11.4% y 13.4% respectivamente.

En cuanto al análisis de los datos por fila de la tabla 3.8, el primer comportamiento destacable es que, en cada circuito, la diferencia porcentual es o

positiva o negativa para todos los tipos de retraso. Esto significa que el efecto del post-layout actúa siempre de la misma forma en cada circuito: o bien sube o bien baja la actividad de conmutación del circuito pre-layout, con independencia del modelo de retraso utilizado en el simulador.

Por otra parte, para facilitar la obtención de nuevas conclusiones en el análisis por fila de la tabla 3.8, se han representado en la tabla 3.9 los valores

Circuito	menor(%)		Mayor(%)		Myr-mnr
	mnr	Tipo Δi	Myr	Tipo Δi	
c432	4,7	min	5,1	max	0,4
c499	2,4	typ	7,6	min	5,2
c880	1,2	min	1,4	typ	0,2
c1355	4,3	max	5,3	min	1
c1908	1	max	1,8	min	0,8
c2670	11,1	min	11,4	typ	0,3
c3540	0,1	typ	1	max	0,9
c5315	7,7	max	8,1	typ	0,4
c6288	13,3	min/typ	13,4	max	0,1
c7552	4,2	max	4,4	min	0,2

TABLA 3.9: Análisis de los valores absolutos extremos en la variación porcentual de los datos pre y post-layout de la tabla 3.8.

absolutos más extremos de la variación porcentual de los datos pre y post-layout para cada circuito. En particular, las dos primeras columnas de la tabla 3.9 (tras la de los circuitos) contienen el menor valor absoluto de ese porcentaje (mnr) y el tipo de retraso Δi (min/typ/max) para el que ocurre ese mínimo; las dos

3.3 Efectos postlayout en la actividad de conmutación

siguientes representan lo propio, esta vez para el valor máximo; la última columna muestra la diferencia de porcentajes entre ambos valores extremos (el mayor, Myr, menos el menor, mnr). Las dos características que más resaltan son:

- Las diferencias en los porcentajes para los distintos tipos de retraso son muy pequeñas, concretamente, inferiores al 1%, salvo el singular caso del circuito c499 que alcanza algo más del 5%. Esto es, el post-layout afecta de forma casi idéntica a los tres tipos de retraso (min/typ/max).
- Tanto el valor extremo menor como el mayor ocurren prácticamente el mismo número de veces al usar el modelo de retraso min, el typ y el max.

Estas características, junto al dato ya señalado de que la variación siempre tiene la misma tendencia (el % de la tabla 3.8 es en cada circuito, o bien positivo, o bien negativo), refuerza la conclusión de que el efecto del post-layout sobre la actividad de conmutación ocurre a nivel de circuito, pero es irrelevante a nivel del tipo de retraso usado en la simulación lógica.

Resumiendo el análisis por filas y por columnas de la tabla 3.8 que acabamos de realizar, las principales características de contemplar el efecto del postlayout en el estudio de la actividad de conmutación de un circuito son:

- Poca incidencia: la desviación pre-postlayout no es muy significativa en valor, la mayoría de menos del 10%, y sólo un circuito de 11.4% y otro de 13.4%.
- Enorme dispersión: en la mitad de los circuitos afecta aumentando la actividad y en la otra mitad, disminuyéndola; el tipo de retraso min, el typ y el max se reparten, prácticamente por igual, los casos extremos de cada circuito.

- Sin consecuencias a nivel de modelo de retraso: el post-layout afecta algo a los circuitos, pero es prácticamente independiente del tipo de retraso.

De aquí podemos concluir que, en nuestros objetivos de estudio de la actividad de conmutación, el post-layout ha demostrado tener un efecto secundario.

3.4 Medidas con simulador eléctrico

Los datos de actividad de conmutación suministrados por las diferentes simulaciones lógicas han mostrado variar, en menor o mayor grado, con cada condición de simulación. Una variación extremadamente importante es la que existe entre las actividades medidas con simulación funcional y con la simulación con retrasos.

Para completar las medidas y establecer conclusiones a nuestro estudio, los valores obtenidos tras las simulaciones lógicas deben ser comparados con unos valores que se consideran de referencia. En nuestro caso, se usará el simulador eléctrico Hspice como la herramienta que ofrece los resultados de actividad precisos y seguros. Son éstos valores los que se usarán para comparar.

En este apartado se presenta cómo llevar a cabo las simulaciones eléctricas de nuestros circuitos, ya que el procedimiento difiere sustancialmente del utilizado en la simulación lógica. En la figura 3.4 se muestra un esquema de la metodología a seguir y que se comenta a continuación.

3.4 Medidas con simulador eléctrico

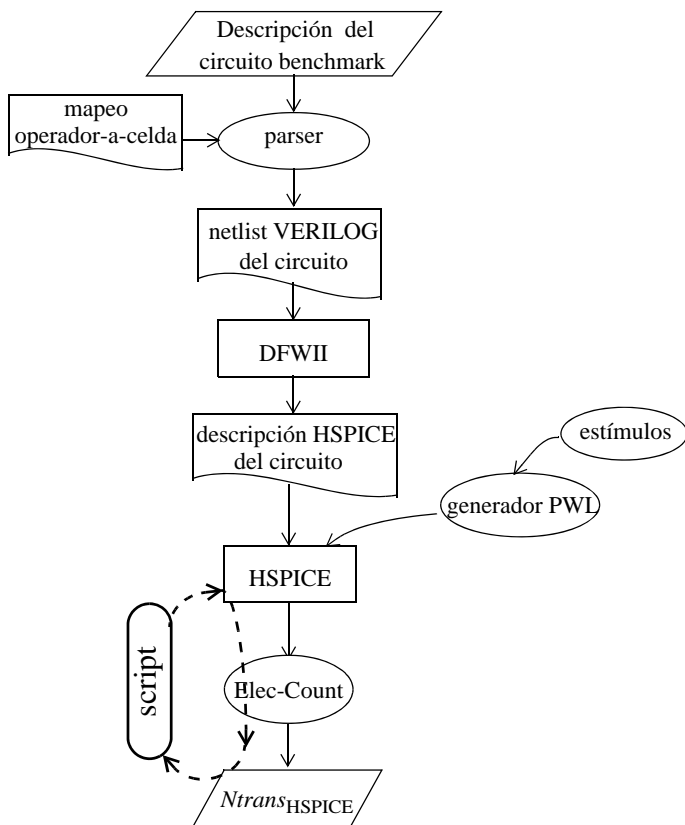


FIGURA 3.4: Esquema del método de cálculo de la actividad de conmutación usando Hspice.

Lo primero a lo que hay que enfrentarse es a la descripción temporal de los vectores de entrada. Aunque se usará el mismo conjunto de 50 estímulos elegido en las simulaciones lógicas, éstos deben ser traducidos a la forma de excitación adecuada para simulación eléctrica con Hspice, esto es, convertirlos a funciones *pice-wise-linear* (*PWL*).

La traslación de valores lógicos (ficheros de estímulos original) a funciones PWL no está disponible en nuestro entorno de diseño, por lo que hemos debido realizar un programa que la implemente. Se ha llamado a este programa “generador-PWL”. En él, además de otros aspectos, se tiene que tener en cuenta el retraso de propagación en la subida y bajada de la función PWL que actuarán como excitaciones. Éste valor se obtiene tras simular una cadena de inversores y medir los tiempos de las transiciones de las señales de salida del circuito. En la tecnología de trabajo, ams 0.35 μm , éste valor se determinó en 100ps y se utilizó tanto para el tiempo de subida como para el de bajada.

Por otra parte, el circuito que hay que introducir en el simulador eléctrico es una descripción de los *benchmarks* a nivel de transistores y no de puertas. Para obtenerla, dentro del entorno de diseño de Cadence, se ha partido de la descripción Verilog a nivel de puertas y, usando la herramienta Analog Artist, tras seguir una serie de pasos en un proceso automático se ha obtenido el *netlist* con la descripción Hspice del circuito.

Con todo lo anterior, *netlist* y estímulos, ya es posible realizar la simulación eléctrica de cada *benchmark* usando Hspice. Surge, entonces, otra nueva cuestión a resolver, el alto coste en recursos debido al gran tamaño de los circuitos que se simulan y al propio carácter analógico del simulador Hspice. En efecto, en todos los circuitos que evaluamos, el número de nudos del circuito resulta muy elevado con lo que el fichero de salida, que contiene la evolución de la tensión de cada nodo del circuito en todo el tiempo de simulación, toma un gran tamaño. Se comprobó que, para procesar esta información y obtener la actividad de conmutación, no era práctico solicitar la evolución de más de 32

3.4 Medidas con simulador eléctrico

nodos en cada simulación. Por otra parte, la salida de Hspice corresponde a una señal analógica, la cual debe ser convertida a una señal lógica. Debido a todo ello, tuvimos que desarrollar un conjunto de programas, recogidos todos en lo que llamamos Elect-Count, que contabiliza las veces que cada nodo del circuito cruza el nivel umbral que separa el 0 del 1 lógico.

La elección de ese umbral es otra peculiaridad de esta medida. La cuestión de cuándo discriminar el 0 del 1 en una señal analógica que pivota entre dos valores extremos (V_H y V_L) tiene diferentes formas de resolverse: la más simple, y extendida científica y tecnológicamente, es el paso de la señal por el 50% de su recorrido $V_H - V_L$; variaciones de esta forma consisten en cambiar el porcentaje de la tensión donde se mide la transición (p. ej. al 30%) o establecer porcentajes distintos para el paso de 0 a 1 y para el de 1 a 0; otra variación, por último, que tiene mayor sentido físico pero que es más compleja de llevar a la práctica, consiste en usar el umbral V_{Hmin} y V_{Lmax} una vez que estos hayan sido medidos. En nuestro caso, para determinar cuáles de estos umbrales se usarían, se hicieron diversas pruebas para ver cómo influía en la actividad de conmutación final el trabajar con uno o dos niveles. Se comprobó que los resultados eran muy parecidos, por lo que se determinó elegir el umbral único de la mitad de la tensión de polarización del circuito al ser éste el convenio más comúnmente aceptado. Para automatizar el proceso de obtención de la actividad de conmutación, se desarrolló un *script* que encadena los programas antes mencionados y, a partir del nombre del *benchmark*, genera un fichero con el número de cambios en todos los nodos y la actividad total del circuito, a la cual llamamos $N_{trans_{Hspice}}$ tal y como aparece en la figura 3.4.

El proceso de medida con Hspice presentado se ha aplicado a los *benchmarks* que se han simulado previamente con el simulador lógico. En la tabla 3.10 se muestra la actividad de conmutación obtenidas para cada uno de los circuitos con simulaciones eléctricas.

Circuito	Ntrans _{Hspice}
c432	4517
c499	6196
c880	11033
c1355	13960
c1908	25873
c2670	38655
c3540	52303
c5315	79803
c6288	194784
c7552	144535

TABLA 3.10: Número de transiciones totales de cada benchmark usando 50 patrones de entrada tras la simulación eléctrica. Tecnología ams 0.35 μ m.

Los comentarios de los resultados de estas simulaciones se realizan en el próximo apartado 3.5.

3.5 Comparación de las medidas Verilog vs Hspice

En este apartado se presenta un análisis comparativo de las medidas de actividad de conmutación realizadas, completando así los análisis parciales realizados en los apartados 3.2 y 3.3. Los resultados más significativos de estos análisis en cuanto a las medidas de actividad de conmutación se pueden resumir en los siguientes puntos:

- El parámetro $N_{trans_{Zero}}$ muestra la actividad funcional.
- El parámetro $N_{trans_{typ}}$ es la medida de referencia en la simulación lógica con retraso. Como ya se ha discutido, al menos en primera aproximación, no es clarificador ni significativo el contemplar el uso diferencial de retrasos mínimos o máximos, ni incluir las consideraciones de post-layout en la simulación, debido a que: 1) es despreciable el valor de las diferencias que aportan frente a la enorme desviación existente entre la simulación con retraso y la funcional; y 2) la dispersión de efectos que producen y que hay que achacar a cambios en las implementaciones de los circuitos y no a la medida por simulación lógica.
- El parámetro $N_{trans_{Hspice}}$ es la medida exacta y segura de la actividad del circuito.³

Uno de los objetivos principales es delimitar qué grado de seguridad y precisión tiene el simulador lógico cuando contabiliza las transiciones de cada

3. De nuevo esta afirmación es válida en, al menos, primera aproximación, aunque deja abierto a investigación el estudio exhaustivo de los efectos de la variación de los umbrales de conmutación (sobre todo, a los niveles con sentido físico, V_{Hmin} y V_{Lmax} , o similares).

nodo del circuito. Para ello vamos a comparar la actividad de cada circuito obtenida tras las dos simulaciones lógicas, $N_{\text{trans}_{\text{Zero}}}$ y $N_{\text{trans}_{\text{typ}}}$, con la medida correcta, que es la obtenida tras la simulación eléctrica, $N_{\text{trans}_{\text{Hspice}}}$.

Para realizar esa comparación, se ha construido la tabla 3.11 utilizando los valores de las tablas 3.6 y 3.10. En ella se presenta el error relativo de cada medida lógica frente a la de Hspice. Tras la columna del listado de circuitos, la cuarta ($\%err_{\text{typ-Hsp}}$) representa el tanto por ciento de:

$$(N_{\text{trans}_{\text{typ}}} - N_{\text{trans}_{\text{Hspice}}}) / N_{\text{trans}_{\text{Hspice}}}$$

y la quinta ($\%err_{\text{Zero-Hsp}}$), el porcentaje de⁴:

$$(N_{\text{trans}_{\text{Hspice}}} - N_{\text{trans}_{\text{Zero}}}) / N_{\text{trans}_{\text{Hspice}}}$$

Analicemos, en primer lugar, los resultados obtenidos para el error relativo entre $N_{\text{trans}_{\text{typ}}}$ y $N_{\text{trans}_{\text{Hspice}}}$. Puede verse en la tabla que el error relativo $err_{\text{typ-Hsp}}$ varía desde un 3% para el circuito c880 hasta un 115% para el circuito c6288. Sólo hay tres circuitos en los que el error relativo es menor al 5%, los siete restantes superan el 15% de error y tres, el 25%. Sin duda, reflejan una gran disparidad en la medida de actividad de conmutación.

4. Aunque se denomine $\%err_{\text{Zero-Hsp}}$, realmente se ha representado el valor que se obtiene de $N_{\text{trans}_{\text{Hspice}}} - N_{\text{trans}_{\text{Zero}}}$ (y no de $N_{\text{trans}_{\text{Zero}}} - N_{\text{trans}_{\text{Hspice}}}$) para, así, tener en la tabla sólo valores de error positivos.

3.5 Comparación de las medidas Verilog vs Hspice

Circuito	Ntrans _{Zero}	Ntrans _{typ}	Ntrans _{Hspice}	%err _{typ-Hsp}	%err _{Zero-Hsp}
c432	3637	4735	4517	4.8	19.5
c499	4868	6417	6196	3.5	21.4
c880	7707	11337	11033	2.7	30
c1355	10420	16190	13960	16	25.3
c1908	18465	32411	25873	25.2	28.6
c2670	26279	44979	38655	16.3	32
c3540	28799	60920	52303	16.5	45
c5315	48899	100295	79803	25.7	38.7
c6288	44378	418815	194784	115	77.2
c7552	76315	174292	144535	20.6	47.2

TABLA 3.11: Errores relativos de Ntrans_{typ} y Ntrans_{Zero} en relación a Ntrans_{Hspice}.

En la figura 3.5 se puede observar el error relativo, %err_{typ-Hsp}, de todos los circuitos mediante un diagrama de barras. A partir de esta figura es fácil percibir los errores en la estimación en la actividad de conmutación que, siempre por exceso, ofrece el simulador lógico. También resulta llamativo el caso del circuito c6288, que destaca por la enorme desviación en la actividad de conmutación medida con la simulación lógica la cual ofrece un resultado ¡mayor que el doble! de la actividad real del circuito.

Estos valores de error de las medidas obtenidas por simulación lógica son, a todas luces, excesivamente altos e inducen a tener una gran desconfianza en los datos de simulación lógica. No obstante, la idea preconcebida es que esto no debería ser así. La simulación lógica ocurre tras un mapeado de las celdas del diseño a las celdas de la librería tecnológica y la toma de los valores de retraso

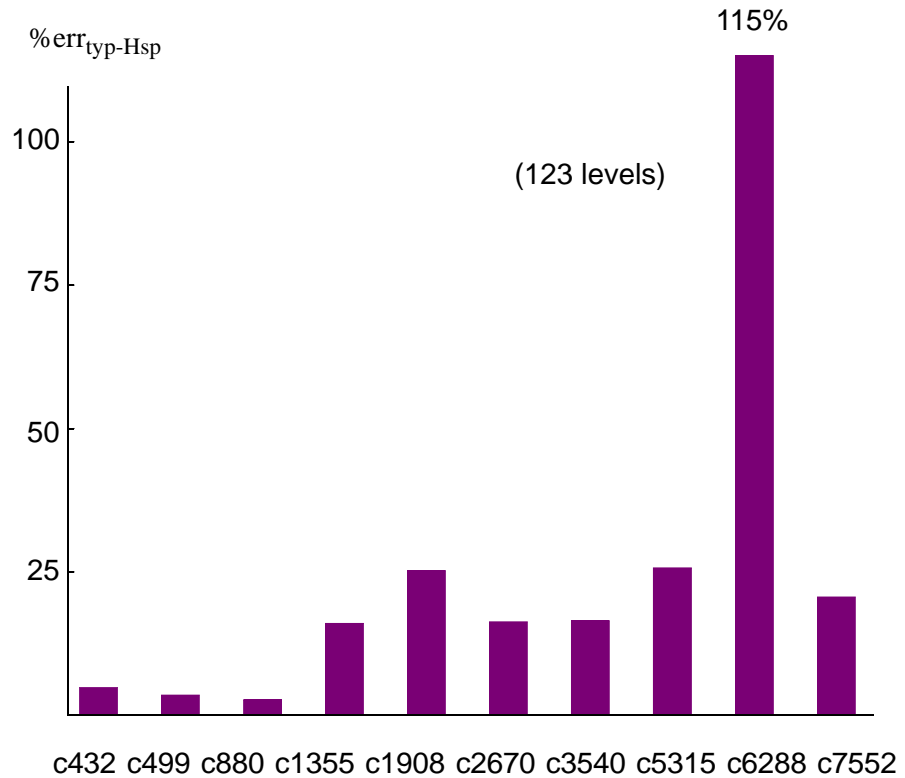


FIGURA 3.5: Error relativo en la actividad total entre simulación lógica con retraso y simulación eléctrica para cada benchmark en la tecnología ams 0.35 μ m.

caracterizados por la *foundry*, por lo que todo apunta a que se está haciendo un análisis temporal bastante preciso y con el que cabe esperar, como mucho, sólo ligeras desviaciones respecto a la simulación con Hspice. La hipótesis de que la precisión del análisis por simulación *tiene que ser* adecuada, crece al cambiar las condiciones de simulación (min/typ/max), datos también suministrados por la *foundry*, y que corresponden a leves variaciones en el retraso propio de la puerta. Las variaciones que se producen en la actividad de conmutación son menores al

3.5 Comparación de las medidas Verilog vs Hspice

1% en todos los circuitos. Esto es lo que cabe esperar de un efecto de segundo orden, como es una leve variación en los tiempos de retraso, frente al efecto de primer orden que es considerar el valor correcto del tiempo de retraso. En efecto, resulta claramente inaceptable el caso de mayor error, el del circuito c6288 (con un error relativo mayor que 100%), pero incluso tampoco es aceptable el caso con menor error, el circuito c880, en el que el error de la simulación lógica temporal frente a Hspice es 27 veces mayor que los errores que se cometen cuando se cambian los tipos de retrasos en las propias simulaciones lógicas ($\%err_{typ-Hsp}=2.7$, frente a una variación del 0,1% en los valores min/typ/max, tabla 3.7).

Consideremos ahora la tercera columna de la tabla 3.11, que contiene los valores del error relativo entre la actividad funcional y la real, $\%err_{Zero-Hsp}$. Con el fin de facilitar el análisis, en la figura 3.6 representamos, al igual que antes, un diagrama de barras en donde se destacan comparativamente los valores de los diferentes errores de los circuitos.

En primer lugar se observa que la diferencia entre el circuito ideal y el “real” debe ser calificada como muy destacable e incluso importante en algún caso. En efecto, en todos los circuitos esta diferencia oscila entre el 20% y el 50%, valores ciertamente destacables, excepto para el circuito c6288 que sube hasta el 77%.

La interpretación de la diferencia entre $Ntrans_{hspice}$ y $Ntrans_{Zero}$ es inmediata. En tanto que $Ntrans_{Zero}$ mide la actividad funcional y $Ntrans_{hspice}$ mide la actividad real, la diferencia ($Ntrans_{Hspice} - Ntrans_{Zero}$) mide las

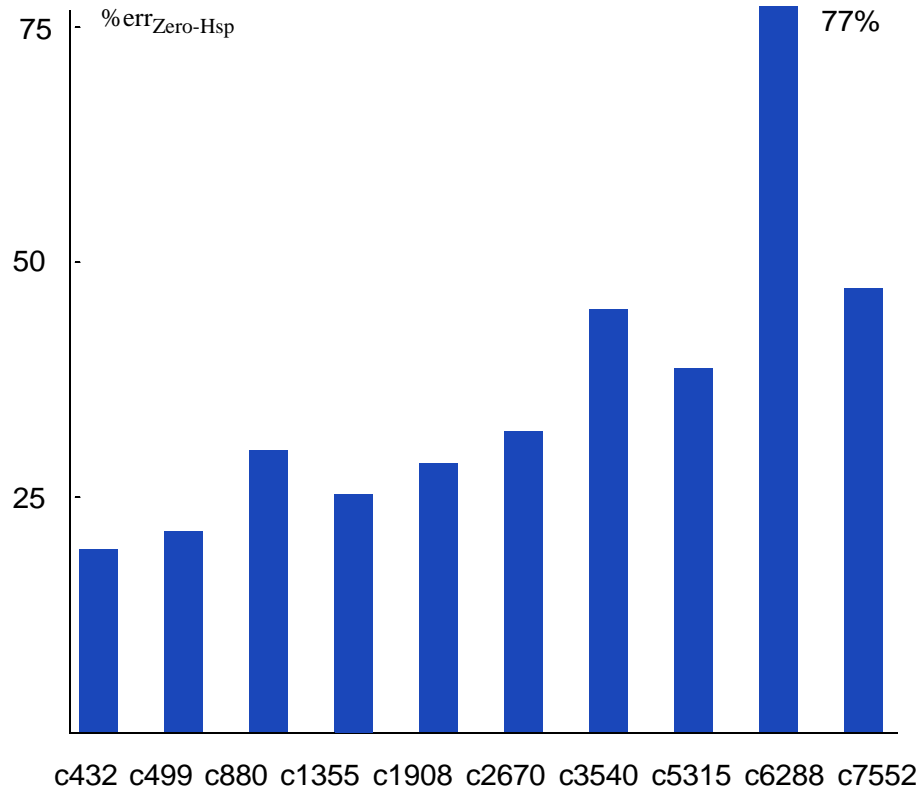


FIGURA 3.6: Error relativo en la actividad total entre simulación lógica sin retraso y simulación eléctrica para cada benchmark.

transiciones en nodos que no son cambios funcionales, esto es, cuenta la actividad debida a colisiones de señales en el tiempo, las cuales generan *glitches* que, a su vez, se propagan por caminos de puertas hacia las salidas. Consecuentemente, el error relativo está midiendo la contribución a la actividad del circuito debida a los *glitches* generados y propagados en cada *benchmark*.

3.5 Comparación de las medidas Verilog vs Hspice

Derivadas de estos datos ($\%err_{Zero-Hsp}$) deseamos resaltar dos características. Por una parte que, en lo que conocemos, esta es la primera vez que se obtienen datos cuantitativos de la actividad de los *glitches* en circuitos. Por otro lado, a consecuencia del alto valor que muestra esta contribución, hay que resaltar que la presencia de *glitches* en estos circuitos es más numerosa de lo que puede parecer, ya que siempre se sitúa por encima del 20% de la actividad del circuito, y pone de manifiesto la gran importancia de las colisiones en los circuitos digitales. En particular, el elevado número que presenta el circuito c6288 se explica, no tanto por el tamaño del circuito, sino por el gran número de niveles de puertas que éste presenta (123, [Rabe98]), lo que propicia que un *glitch* generado en una determinada puerta sea transmitido a muchos de los siguientes niveles de circuito. De esta forma, un único *glitch* generado en una puerta da lugar a múltiples transiciones no funcionales a medida que se va propagando por el largo camino hasta la salida.

Finalmente, queremos mostrar datos del coste computacional de las medidas. Así, en las dos columnas centrales de la tabla 3.12 se muestra el tiempo de CPU aproximado tras cada simulación lógica y eléctrica. Estos resultados confirman el bien conocido hecho del muy alto coste computacional (tiempo de CPU) de los simuladores eléctricos frente a los lógicos. La tercera columna de la tabla muestra la proporción entre los tiempos de simulación (Hspice/Verilog), que en los casos presentados indican que Hspice, en el caso más próximo, ha tardado 424 veces más que Verilog, mientras que, en el caso más alejado, ha tardado casi ciento cincuenta mil veces más. Con estos valores queda comprobado que el uso del simulador eléctrico está limitado a circuitos de pequeño tamaño o a partes críticas de un circuito digital.

Circuito	Tiempo CPU (s)		
	Verilog	Hspice	hspice/Verilog
c432	6,4	2714	424,1
c499	7,2	8087	1123,2
c880	8,3	15240	1836,1
c1355	8,3	28411	3423,0
c1908	9,9	83989	8483,7
c2670	16,7	260106	15575,2
c3540	14,8	722935	48847,0
c5315	24,1	1518849	63022,8
c6288	34,2	836644	24463,3
c7552	31,3	4577727	146253,3

TABLA 3.12: Tiempos de CPU por simulación.

3.6 Resumen

En este capítulo se ha presentado un procedimiento de medida de la actividad de conmutación de circuitos digitales CMOS en tecnología ams 0.35 μ m. Esta medida está basada en el análisis de resultados tras simulaciones lógicas y eléctricas con un conjunto de estímulos pseudoaleatorios.

Se ha mostrado un procedimiento eficaz para encontrar una secuencia de estímulos que, para cada circuito, sea representativa del caso medio y, al mismo tiempo, haga factible la simulación eléctrica. Ese procedimiento permite elegir para cada circuito una secuencia de entradas suficientemente corta (longitud = 50) como para que se puedan realizar simulaciones eléctricas de los

3.6 Resumen

circuitos (incluso de los de gran tamaño) en un tiempo razonable, y a su vez, suficientemente significativa como para que los resultados de la actividad obtenidos tengan una buena fiabilidad, dado que el valor de la actividad por estímulo se aleja en un mínimo porcentaje del obtenido tras la simulación lógica para secuencias de entrada mucho más largas (del orden de miles de estímulos) y demostradamente válidas.

Se han realizado un conjunto de medidas de la actividad de cada nodo de un circuito y la total para tres condiciones de trabajo diferentes: simulación lógica considerando retraso en las puertas ($N_{trans_{typ}}$); simulación lógica considerando las puertas como elementos ideales ($N_{trans_{Zero}}$); y simulación eléctrica ($N_{trans_{Hspice}}$). Este valor, $N_{trans_{Hspice}}$, es el que se considera real. La teoría predice y se ha corroborado que en todos los circuitos se cumple:

$$N_{trans_{Zero}} < N_{trans_{Hspice}} < N_{trans_{typ}}$$

Se han comparado los valores de la actividad para cada circuito llegándose a varias conclusiones de interés, como son:

- Una parte significativa de la actividad de conmutación real de los circuitos, que se suma a la actividad funcional, está proporcionada por la generación y propagación de *glitches*, por lo que es una actividad de conmutación funcionalmente no productiva. Se ha cuantificado la aportación de los *glitches* entre un 20% y un 77% de la actividad total. Esta aportación aumenta con el número de niveles y complejidad del circuito.
- La simulación lógica con los valores de retraso mínimos, típicos y máximos que caracterizan las puertas causan una variación muy pequeña en la

actividad de conmutación de los circuitos, tomándose como referencia el valor del retraso típico, $N_{trans_{typ}}$. Esa variación (menor que 1%) es claramente despreciable frente a la que tiene lugar cuando se hace la medida funcional (entre el 30% y el 845% frente al retraso cero) o real (hasta un 115% frente a la simulación eléctrica).

- La simulación lógica ofrece un valor $N_{trans_{typ}}$ demasiado alejado (por exceso) de la actividad real, $N_{trans_{Hspice}}$. Las diferencias de medida que se obtienen con esta simulación, que llegan a medir más del doble de transiciones de las que realmente ocurren, siembran serias dudas sobre la exactitud de los resultados de la simulación lógica.

La explicación de los erróneos resultados de las medidas de simulación lógica no debe encontrarse ni en la operación del simulador, que está suficientemente contrastado, ni en errores en la caracterización de los retrasos de puertas por parte de la *foundry*, hipótesis a todas luces inverosímil. La explicación más plausible es que el exceso de actividad que mide la simulación lógica está provocado por la alta aportación de *glitches* que presentan los nudos de cada circuito, y el incorrecto tratamiento del modelo de retraso de puertas empleado por el simulador ante colisiones de entrada y propagación de *glitches*. Las herramientas de simulación comerciales (como Verilog) implementan como modelo de retraso de puertas uno de retraso inercial, el cual no es válido para tratar los *glitches*. Esta debe ser la causa principal de inexactitud en la simulación lógica.

3.6 Resumen

Si los simuladores lógicos no tienen implementados unos modelos de retraso que procesen adecuadamente la generación y propagación de los eventos relativos a los *glitches*, sus resultados de actividad de conmutación no son reales. De aquí se deduce la gran importancia de encontrar modelos adecuados en los simuladores lógico-temporales.

Medidas de la actividad de conmutación con Halotis

Los análisis de la actividad de conmutación presentados en el capítulo 3 muestran, por una parte, que los circuitos poseen una alta actividad de conmutación no funcional, debida, por tanto, a la generación y propagación de *glitches*. Por otra parte, también muestran cómo los simuladores lógicos a nivel de puertas ofrecen una estimación que está excesivamente por encima de la actividad de conmutación real del circuito. La hipótesis más razonable para justificar este exceso en la medida es que el simulador lógico hace un mal tratamiento en la generación y propagación de los *glitches* en el circuito, y que ese mal tratamiento es debido a que los modelos temporales de puertas que utiliza se quedan en una pobre aproximación del comportamiento real.

En este capítulo intentamos avalar que esa hipótesis es correcta. A tal fin, en él vamos a presentar las medidas de actividad de conmutación sobre el mismo conjunto de circuitos *benchmarks* [Brglez85] con los que estamos trabajando, esta vez utilizando Halotis como herramienta de simulación. Halotis es un simulador a nivel lógico-temporal desarrollado en nuestro grupo de investigación¹ recogiendo múltiples aportaciones a lo largo de muchos años [Valencia86, Bellido94, Juan00a, Baena06, Ruiz07 y Millán08]. El simulador Halotis opera con nuevos modelos de retrasos para puertas que incorporan una descripción de más fenómenos dinámicos en puertas y, con ello, mejoran las carencias de los modelos que se disponen en los simuladores lógicos.

El presente capítulo se organiza de la siguiente manera: en el apartado 4.1 presentamos muy brevemente los trabajos de nuestro grupo que han conducido a Halotis. Para ello, primero (epígrafe 4.1.1) nos centramos en el modelo de retraso que implementa, llamado modelo IDDM (*Inertial and Degradation Delay Model*). En el epígrafe 4.1.2 resumimos el proceso de caracterización de las celdas de los circuitos benchmarks que se probarán con la aplicación Halotis y, por último, en el epígrafe 4.1.3 esbozamos la herramienta Halotis (ampliamente desarrollada en [Ruiz07]). A continuación, en el apartado 4.2 mostramos la metodología de medida llevada a cabo sobre los circuitos analizados en esta tesis y presentamos los resultados obtenidos. Por último, en el

1. Este grupo de investigación formó parte del grupo TIC-124 (microCEUS) y, desde Febrero de 2001, del grupo TIC-180 “Diseño de Circuitos Integrados Digitales y Mixtos” del catálogo de la Junta de Andalucía. Una parte importante de sus integrantes abandonó esta línea de investigación y desde 2007, oficialmente constituyen el grupo de Investigación y Desarrollo Digital (ID2), TIC-204.

apartado 4.3 se muestra una comparación con los resultados del capítulo 3 y, tras ella, un resumen de las principales conclusiones.

4.1 Modelos de retraso con degradación y simulador lógico Halotis.

Los simuladores digitales operan con dos formas de discretización. Por una parte, consideran al circuito como una red de nodos que pueden tomar sólo dos valores discretos (0 o 1). Por otra, evalúan los cambios en las señales sólo cuando ocurre ese suceso de cambio, por lo que discretizan el tiempo (simulación guiada por eventos, *event-driven*). Por ambas razones el coste temporal para conseguir los resultados es de varios órdenes de magnitud menor si se compara con el de los simuladores analógicos, por lo que son los indicados para afrontar circuitos de gran tamaño, pero, por contra, los resultados presentan menor precisión como se ha comprobado en el capítulo anterior.

Este tipo de simuladores se subdivide en simuladores digitales a nivel de puertas lógicas (*gate-level*) y simuladores digitales a nivel de transistores (también llamados a nivel de conmutación, *switch-level*). Los primeros consideran el circuito a simular como una red de puertas lógicas unidireccionales conectadas entre sí e incluyen los efectos temporales en forma de modelo de retraso para cada puerta. Por su lado, el simulador *switch-level*, que surge para manejar circuitos dinámicos MOS², considera al circuito como una red de

2. Las llaves de paso son ejemplos de componentes usadas en lógicas dinámicas que no pueden ser modeladas por una puerta lógica [Rao89].

transistores MOS. Cada transistor es modelado como un conmutador resistivo junto a los condensadores parásitos asociados, con lo que el resultado del circuito es una red RC compleja por la que se evalúa la propagación de las transiciones. En cuanto al rendimiento, los primeros son menos precisos pero más rápidos, y los segundos, al revés. En esta tesis, se ha optado por la simulación lógica-temporal *gate-level* porque, además de ser más rápida y, por tanto, analizar circuitos mayores, es la más extendida en el mundo digital, mayoritariamente *semicustom*, en el que se disponen de celdas de librerías a nivel de puerta, pero no siempre de los modelos a nivel de transistor de las mismas.

Centrándonos en la simulación lógica a nivel de puertas, se ha reflejado anteriormente que éstas están representadas por un modelo de comportamiento tanto funcional como dinámico. En general, estos dos comportamientos vendrán representados por dos bloques distintos, uno que modela exclusivamente la función lógica del bloque y, el otro, que modela los efectos dinámicos de la señal al propagarse. Este bloque se denomina elemento de retraso y tiene asociado un modelo de comportamiento formado por un conjunto de parámetros y reglas que determinan cómo responderá la señal de salida ante un cambio en la entrada del bloque. Estos parámetros deben cubrir tanto efectos estáticos como dinámicos, y serán más ampliamente comentados en el epígrafe 4.1.1.

Resumiendo, la simulación lógica a nivel de puertas es la elegida para desarrollar la verificación funcional y temporal de los circuitos digitales, utilizando para ello un modelo de retraso. Por su parte, se aplica la simulación analógica para caracterizar celdas y obtener valores exactos de los parámetros

4.1 Modelos de retraso con degradación y simulador lógico Halotis.

definidos en el modelo de puerta utilizado por los simuladores lógicos. Nuestro propósito en este apartado es detallar los diferentes modelos de retraso para puertas hasta describir el modelo IDDM (epígrafe 4.1.1), caracterizar usando Hspice las celdas de librería usando ese modelo (epígrafe 4.1.2) y presentar el simulador que lo utiliza, Halotis (epígrafe 4.1.3).

4.1.1 Modelos de retraso. Modelo IDDM.

Al analizar el comportamiento real de una puerta se pueden apreciar distintas formas en su respuesta dependiendo de la señal de entrada. En la figura 4.1 se presenta la simulación del caso de un inversor cuya entrada es un pulso en cero de diferente duración.

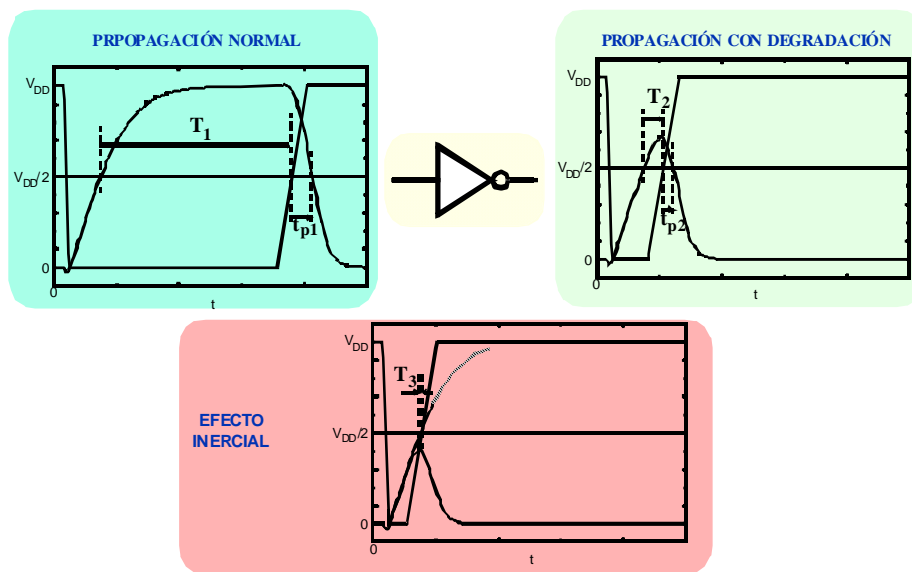


FIGURA 4.1: Efecto puro, inercial y de degradación en el tiempo de propagación.

En dicha figura se muestran tres respuestas distintas ante tres anchuras distintas en el pulso de entrada. En la primera imagen, la entrada presenta un pulso suficientemente ancho y se ve cómo en la salida aparece un pulso contrario de cierta anchura, ocurriendo cada transición -de subida y de bajada- con un cierto retraso de propagación. Si el pulso de entrada dura más tiempo, el pulso de salida incrementa su duración en la misma medida, sin apreciarse cambios en los retrasos de propagación. Cada cambio en la salida viene provocado por su correspondiente cambio de la señal de entrada sin que haya relación entre los dos cambios consecutivos del pulso de entrada. Estas situaciones se conocen como propagación normal de las señales.

En la segunda imagen (a la derecha de la anterior) se ve cómo al hacer el pulso de la entrada más estrecho, el pulso en la salida se acorta tanto en el tiempo como en la altura. En efecto, se podría decir que al pulso de salida no le da tiempo a alcanzar el valor lógico alto dado que rápidamente se ve forzado a bajar por el segundo cambio en la entrada. Se aprecia que el pulso en la salida se ha degradado, por lo que en estos casos cabe hablar de un efecto de degradación en la propagación de la señal de entrada. En casos cercanos a éste, pequeñas variaciones en el pulso de entrada dan lugar a cambios muy significativos en la respuesta del inversor.

Por último, en la tercera imagen se contempla la respuesta cuando se estrecha aún más el pulso en la entrada. En este caso se aprecia cómo la salida empieza a generar su pulso de salida, pero la cercanía en el tiempo del nuevo cambio en la entrada le obliga a regresar a su valor inicial sin ni siquiera haber alcanzado el valor de tensión umbral ($V_{dd}/2$), valor que le hubiera significado un

cambio de valor lógico. Es decir, el pulso es tan pequeño que en el modelado digital no es considerado como una transición lógica en la salida. En este caso se habla de un efecto inercial del inversor, lo que se traduce en que pulsos de entrada más estrechos que un valor de referencia son filtrados en la salida de la puerta.

Comparando las tres respuestas mostradas en la figura 4.1 se puede apreciar que la respuesta ante la primera transición del pulso, básicamente es la misma para todas las anchuras de pulsos en la entrada. Lo que varía de una a otra señal de salida es la forma en que el inversor responde a la transición final del pulso de entrada. También es posible percibir en el caso de propagación normal, que no transcurre el mismo retraso a la subida que a la bajada.

En la respuesta temporal hay otros muchos aspectos que afectan y que no están reflejados en la figura 4.1. Entre otros, se pueden indicar aquellos que afectan a la operación electrónica de la puerta, algunos de los cuales proceden de cómo está construida esa puerta (tecnología de integración, relaciones geométricas $W/L, \dots$) mientras que otros provienen de las condiciones ambientales de operación (temperatura, ruido, \dots). Por otra parte, el retraso también resulta afectado por la forma en que está conectada la puerta con el resto de puertas para formar del circuito (por ejemplo, la carga que soporta) y, por supuesto, por las características eléctrico-temporales de las excitaciones de entrada de la puerta (por ejemplo, la pendiente de la señal de entrada).

De todo lo anterior se concluye que resulta realmente complejo realizar una descripción muy precisa del retraso en las puertas. Cuando se estudia el comportamiento de los circuitos digitales a través de simuladores lógicos se

pretende alcanzar el adecuado compromiso entre la simplicidad del modelo y modelar los efectos que aparecen en la realidad. Para ello deben crearse modelos de retraso/propagación de cada puerta que, sin abandonar el dominio lógico para las señales, aproximen en mayor o menor medida la respuesta simulada a la respuesta real del circuito. A continuación vamos a presentar los modelos principales.

Elemento de retraso

Un elemento de retraso para un componente lógico tiene como finalidad emular el comportamiento dinámico del componente en el dominio lógico-temporal. Consiste en un conjunto de parámetros y reglas que rigen la dinámica de la propagación de las señales lógicas de entrada hacia la salida. Cada parámetro podrá depender, a su vez, de otras variables (circuitales, de las excitaciones, etc.).

Puerta y elemento de retraso

El modelo de retraso de una puerta real incluye algún elemento de retraso en la descripción de la puerta. De las diferentes formas que se puede tratar un elemento de retraso, la más usada por los simuladores lógicos es la de considerar dos bloques: uno funcional y otro dinámico (el elemento de retraso) a la salida del anterior, lo que se denomina modelo *back-end*. Si, por ejemplo, se modela de esa forma una puerta NAND de dos entradas A y B, la puerta real se trata como una puerta NAND ideal seguida del elemento de retraso, que es donde se desarrolla la propagación temporal de la señal $NAND(A, B)$. Se han propuesto otras formas de modelar la puerta. Uno de ellos es el modelo *front-end* en el que

cada una de las entradas tendría su elemento de retraso, con lo que en nuestro ejemplo habría dos elementos de retraso, tras lo cual realizaría la operación lógica (NAND-2 ideal). También se ha propuesto el modelo combinado *front-end back-end* que incluiría en nuestro caso tres elementos de retraso, uno para cada entrada y el de salida. La razón de que el modelo *back-end* sea el más utilizado es porque requiere menos almacenamiento para los datos relativos al modelo de cada celda que existe en la librería del simulador.

En general, el modelo de retraso se desarrolla para la puerta más simple, el inversor. Los parámetros del modelo se relacionan, en su caso, con la implementación del inversor. Cuando se tratan puertas de más de una entrada hay dos aproximaciones, denominadas simplificada y exhaustiva. En la simplificada, se usa una técnica bastante extendida que consiste en asociar un inversor equivalente a la puerta de varias entradas. Así, el elemento de retraso de la puerta es como el del inversor, aunque los valores de los parámetros están personalizados al caso del inversor equivalente. Esta es la aproximación seguida en esta Tesis. Por su parte, la exhaustiva consiste en modelar todas las posibles propagaciones entrada-salida de forma independiente: en el caso de una puerta de tres entradas, A, B y C, se modelaría la propagación de cambio en A, de cambio en B, de cambio en C, de cambio en A y B, etc. Esta aproximación conduce a modelos complejos, con muchos parámetros.

Tipos de modelos de retraso

La primera cuestión es considerar la propia existencia de retraso en el modelo. Según esto, existen:

- Modelo de retraso cero (caso ideal). Con él se tratan a los componentes de los circuitos como ideales. La salida de cada bloque cambia en el mismo instante en que lo hacen las entradas. Se aplica este modelo para comprobar la funcionalidad lógica de un circuito pero no ofrece datos sobre su dinámica temporal.
- Modelos no-nulos. Permiten alguna forma de describir el retraso.

Existen diferentes formas de clasificar los modelos de retraso no-nulos, según el criterio utilizado. Un breve resumen de ellas es³:

- Por el valor del retraso:
 - Retraso fijo. En cada evento de simulación se asigna un valor concreto al retraso de cada puerta. Este modelo permite simular los comportamientos dinámicos y, así, reflejar conflictos y simulaciones críticas. Según el valor que se puede asignar, los modelos serán:
 - Unitario. Todas las puertas poseen el mismo valor.
 - Asignable: Cada puerta tiene su propio valor de retraso.
 - Retraso variable. Más que un valor, cada puerta posee un rango de valores, limitados por uno mínimo y otro máximo. La probabilidad en ese rango puede ser uniforme, o no (caso de retraso estadístico). Suelen incluir capacidades para estudiar las variaciones ambientales y del proceso de fabricación.

3. En [Ruiz07] se da una buena revisión a estos modelos.

En esta Tesis estamos interesados en los retrasos fijos, ya que los variables no permiten conocer la evolución temporal de las señales, y, dentro de ellos, de los asignables, ya que los unitarios no alcanzan la exactitud necesaria. Para alcanzarla requeriremos modelos asignables que incluyan:

- Efectos estáticos y dinámicos. En los primeros deben incorporarse factores como la influencia de las geometrías de los transistores de la puerta y la carga que tiene conectada. En cuanto a los segundos, básicamente se deben considerar dos situaciones: la influencia de la pendiente de cambio en la entrada de una puerta y las colisiones o cambios cercanos en el tiempo entre las distintas entradas de un bloque [Melcher92]. Uno u otro efecto han sido ampliamente estudiado y existen un gran número de trabajos que lo reportan, entre ellos: [Valencia86], [Deng88], [Bellido94] y [Juan97].
- Diferencias entre las propagaciones de subida y de bajada. En efecto, ambos tiempos de retraso, t_{PLH} y t_{PHL} , son diferentes y, por tanto, los valores de retraso deben ser así mismo diferentes. Sin embargo, esas diferencias no conducen a que haya que tener dos modelos de retraso diferentes, sino que los parámetros del modelo -único- serán los que tendrán dos valores diferentes, uno para la subida y otro para la bajada.

Modelo IDDM

Además de la propagación normal, es el efecto inercial [Unger69] el efecto dinámico tenido en cuenta clásicamente en los simuladores lógicos. Los trabajos de nuestro grupo de investigación, como ya hemos indicado, han demostrado que ambos conceptos son insuficientes para modelar con una adecuada precisión el comportamiento dinámico de los circuitos digitales. En

concreto, como respuesta ante pulsos estrechos (figura 4.1) las puertas presentan a la salida un *pulso degradado*. Se trata de pulsos que tienen menor anchura que los de entrada y que son causados por una propagación normal para la transición inicial de entrada seguida por una propagación con retraso menor que el normal. La figura 4.2 ilustra un cronograma con la visión lógica temporal de los conceptos de retraso puro, inercial y con degradación. La inclusión de estos tres fenómenos en el modelado de retraso, el de degradación como aportación original, dio lugar al modelo IDDM (*Inertial Degradation Delay Model*) cuyos aspectos esenciales se presentan a continuación.

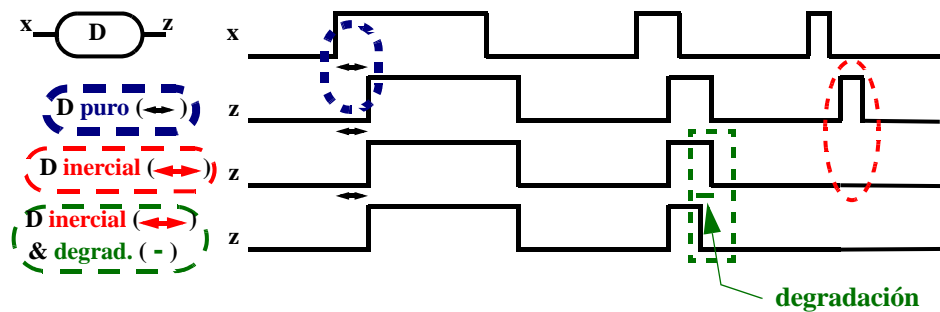


FIGURA 4.2: Modelo con señales lógicas de los efectos de retraso puro, inercial y con degradación.

En toda la exposición que sigue, se presenta un único modelo para el retraso D , bien entendido que los valores de todos los parámetros deben diferenciar el retraso en la salida según corresponda a un cambio de subida D_h o de bajada, D_l . A cada elemento de retraso se le asigna un retraso de valor D . La dependencia del retraso D con respecto a los efectos estáticos puede subdividirse en dos. Una es la referida a la propia puerta, donde se incluyen los efectos estáticos correspondientes a la tecnología de integración y a la geometría del

4.1 Modelos de retraso con degradación y simulador lógico Halotis.

diseño concreto. La otra corresponde a cómo se conecta esta puerta en el circuito; el retraso se hace dependiente de la carga en la salida de la puerta. De esta forma, en cuanto a los efectos estáticos:

$$D = D_0 + m_c \cdot C_L$$

donde D_0 y m_c son parámetros característicos de la puerta y C_L es la capacidad de la carga de salida. Esta componente del retraso corresponde a la respuesta ante entradas con tiempo de transición nulos, esto es, entradas tipo escalón, y se representa en lo que sigue como D_s .

En cuanto a los efectos dinámicos, en primer lugar se va a considerar el efecto de la pendiente de la señal de entrada [Deng88], [Jeppson94], [Ruiz07]. Para ello se parte de linealizar las señales de entrada y salida y modelar el retraso según la respuesta ante entrada escalón (D_s) sumada al efecto dependiente de la pendiente (D_i).

$$D = D_s + D_i$$

La figura 4.3 presenta el caso de una bajada en la salida correspondiente a un cambio de subida en la entrada que tarda τ_{in} (la pendiente de subida es V_{dd}/τ_{in}). El retraso de la puerta es, pues, D_i . Si se asume que el efecto escalón D_s tiene lugar desde que la salida comienza a bajar -lo que aproximadamente ocurre al cruzarse la tensión umbral del transistor pMOS ($V_{dd}-|V_{TP}|$)- hasta que cruza por el 50% del cambio, el efecto de la pendiente en el retraso corresponde al tiempo que tarda en subir desde $V_{dd}/2$ hasta $V_{dd}-|V_{TP}|$, por lo que :

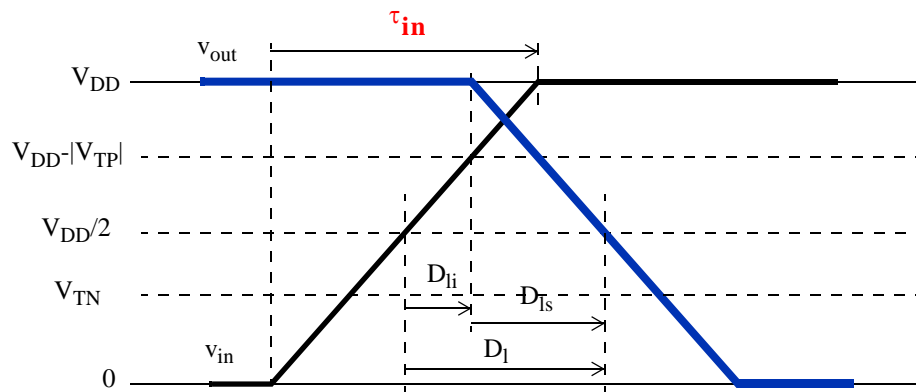


FIGURA 4.3: Efecto de la pendiente de entrada sobre el retraso (caso D_l).

$$D_{li} = \tau_{in} \cdot (1/2 - |V_{TP}|/V_{dd})$$

El efecto dinámico de la degradación es específico del modelo DDM (*Degradation Delay Model*) [Juan97], [Juan00a]. La figura 4.4 muestra una representación de la simulación del tiempo de propagación (normalizado respecto al de propagación normal, t_p/t_{pN}) de un inversor en función del tiempo T que ha transcurrido desde el último cambio de salida hasta el nuevo cambio de entrada. La dependencia que tiene el tiempo de propagación con el parámetro T es de tipo exponencial, por lo que puede describirse como:

$$t_p = t_{p0} \cdot \left(1 - e^{-(T-T_0)/\tau}\right)$$

siendo t_{p0} el retraso normal de la puerta -esto es, el que ocurre para anchuras T suficientemente grandes y con los efectos considerados anteriormente- y T_0 y τ ,

4.1 Modelos de retraso con degradación y simulador lógico Halotis.

los parámetros característicos de la degradación, cuyos valores también dependen, en general, de la implementación de la puerta y de su conexionado en el circuito (W_n/L_n , W_p/L_p , V_{dd} , C_L , τ_{in}).

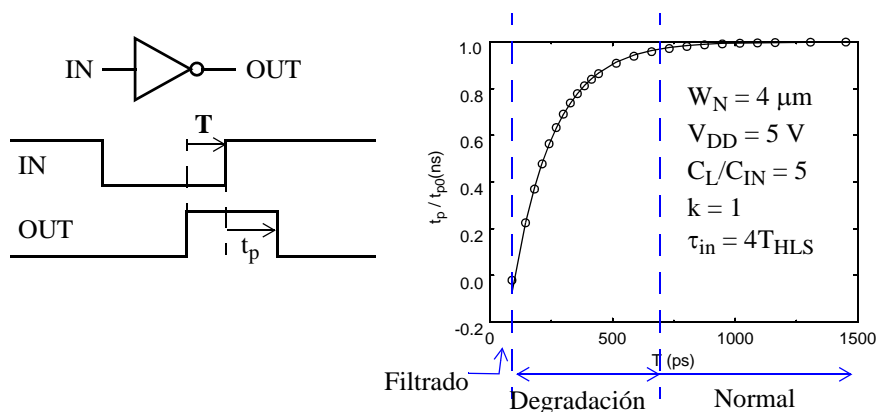


FIGURA 4.4: Representación del tiempo de propagación

Para puertas no-inversoras el modelo exponencial sigue siendo válido aunque los valores de T_0 y τ dependen también de qué entrada o entradas causen el cambio. Un mayor nivel de detalle puede encontrarse en [Juan00a].

Para comprobar la exactitud del modelo DDM nuestro grupo hizo múltiples pruebas, entre las que destacamos la simulación de un multiplicador 4x4 que publicamos en [Juan01a]. En la figura 4.5 se representan las formas de onda de las ocho salidas del multiplicador obtenidas por simulación con Hspice, con DDM y con Verilog, para la breve secuencia de entradas 0x0, 7x7, 5xA, E×6, F×F. El multiplicador fue diseñado en una tecnología CMOS de 0,6 μm. Los resultados de las salidas correspondientes a Verilog claramente muestran tener unas grandes diferencias con las de Hspice, mientras que las de DDM son

realmente muy parecidas. Múltiples medidas de la actividad de conmutación corroboraron esta conducta: las discrepancias entre DDM y Hspice no alcanzaron el 4% mientras que las de Verilog y Hspice llegaron a ser del 68%.

Una última cuestión a tener en cuenta está centrada en el efecto inercial, D_i [Unger69]. Según este modelo, todo pulso de entrada de anchura menor que D_i es filtrado por la puerta en su salida y para ello se adopta el criterio general de tomar el valor del umbral a $V_{dd}/2$: un pulso de entrada es filtrado si el pulso generado en la salida no alcanza el valor $V_{dd}/2$. Este modelo no es preciso en muchas situaciones y, por ello, en [Juan00b] se propone incluir un nuevo parámetro V_T individual para cada puerta que representa el umbral de voltaje asociado a la tensión de entrada. Por ello es necesario tener un modelo que maneje señales temporales y de voltaje pero estos modelos son difíciles de incluir en los simuladores lógicos temporales. El nuevo tratamiento del efecto inercial combinado con el efecto de degradación da lugar al modelo denominado *IDDM (Inertial and Degradation Delay Model)* [Juan00b].

4.1.2 Caracterización de puertas

Uno de los objetivos del grupo de investigación fue desarrollar un nuevo simulador lógico que implementara el modelo de retraso *IDDM*. Para ello había que desarrollar también una librería con los valores del modelo *IDDM* para cada puerta de la librería en la tecnología que se fuera a utilizar. Obviamente, las *foundries* no suministran esta información, por lo que debió resolverse el problema de caracterizar las puertas para *IDDM*.

4.1 Modelos de retraso con degradación y simulador lógico Halotis.

Multiplicador combinacional de 4 bits

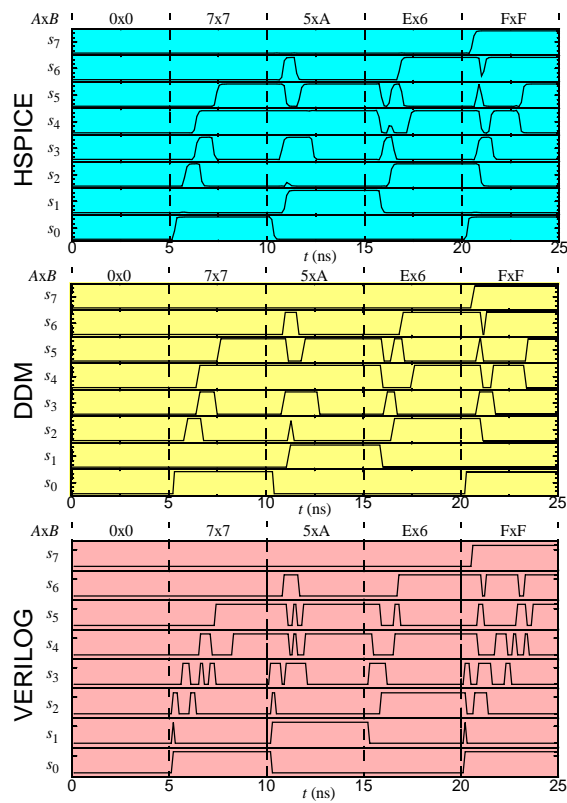
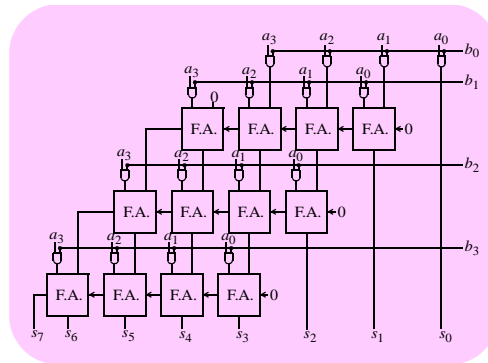


FIGURA 4.5: Formas de onda de un multiplicador de 4 bits: Hspice, DDM y Verilog.

La forma de tratar la caracterización fue considerar a cada puerta como una caja negra con un conjunto de parámetros asignados a cada entrada de dicha puerta. Este modelo incluye el efecto de la pendiente de entrada, la carga de los nodos, el efecto inercial y el de degradación. En una versión inicial, estos modelos fueron analíticos (aparecieron en los trabajos de [Juan00a] que a su vez procedían de [Daga98]) y manejaban expresiones para la dependencia del retraso de propagación respecto a todos los parámetros que le afectan. En [Juan00a] y [Juan00c] se extendió el modelo IDDM para puertas CMOS de más de una entrada que posibilitó la creación de una herramienta de caracterización (AUTODDM) [Juan01b], [Juan01c]. Posteriormente, se desarrolló la versión heurística del modelo IDMM para conseguir un mejor procedimiento de caracterización. En particular, los valores de los parámetros de degradación se obtienen a través de las ecuaciones [Ruiz07]:

$$\tau \cdot V_{DD} = A_x + B_x \cdot C_L \quad (4.1)$$

$$T_0 = (1/2 - C_{in}/V_{DD}) \cdot \tau_{in} \quad (4.2)$$

siendo A_x , B_x y C_{in} los parámetros propios de la puerta que se caracteriza. Por su parte, el tiempo de propagación normal se aproxima por una ecuación lineal de la forma:

$$t_{p0} = D_x \cdot C_L + E_x \cdot \tau_{in} + F_x \quad (4.3)$$

siendo D_x , E_x y F_x los parámetros propios de la puerta. Por último, para tener en cuenta el efecto inercial también se debe incluir para cada puerta el valor de la tensión umbral (V_T), así como un modelo que permita emular la pendiente de la

4.1 Modelos de retraso con degradación y simulador lógico Halotis.

señal de salida. Para ello se optó por un modelo heurístico lineal con la capacidad de carga, de la forma:

$$\tau_{\text{out}} = G_x \cdot C_L + H_x \quad (4.4)$$

La caracterización se hace mediante simulación eléctrica y cubriendo un amplio rango de variación tanto de C_L como del tiempo de transición de la entrada τ_{in} . En [Millán02] se obtiene un conjunto de valores de t_{p0} para distintos valores del rango de variación antes mencionado y diferenciándose a su vez las transiciones de subida y bajada. En dicho trabajo se presentó la caracterización de las puertas para diferentes funcionalidades y número de entradas. Todo ello en tecnología CMOS 0.35 μm . En concreto, se caracterizaron todas las celdas que se incluyen en los distintos circuitos *benchmarks*.

Para cada una de las puertas se debe partir de su fichero en formato Hspice, que puede ser obtenido desde el entorno de diseño DFWII. De ahí se obtienen parámetros como la geometría de los transistores y, mediante un conjunto de herramientas incorporadas a AUTODDM (presentadas en [Juan01b] y [Juan01c]) se obtienen los valores de todos los parámetros que se necesitan para el modelo IDDM de cada celda y que serán usados por el nuevo simulador. Estos parámetros son los presentados anteriormente: A_x , B_x , C_x , D_x , E_x , F_x , G_x , H_x , C_{in} y V_T , para “x” tanto de subida como de bajada. Finalmente, con los valores obtenidos se crea un fichero de texto de la librería de celdas incluyendo capacidades, geometría y ecuación lógica de cada puerta.

4.1.3 Simulador lógico Halotis

En esta sección se presenta de forma muy esquemática el simulador Halotis (*High Accurate Logic Timing Simulator*) cuyo desarrollo constituyó el núcleo de la tesis doctoral [Ruiz07]. Se trata de un conjunto de programas cada uno de los cuales se encarga de tratar los diferentes ficheros necesarios para la simulación (netlist del circuito, patrones de entrada y librería de celdas) y de compilarlos para detectar errores y transformarlos en binario para que los pueda usar el núcleo del simulador. Estos programas son:

- Hcells: programa compilador de la librería de celdas. Toma el fichero de texto generado durante el proceso de caracterización de celdas (epígrafe 4.1.2), comprueba la sintaxis y lo convierte en un fichero binario.
- Hverilog: compilador del netlist del circuito descrito en lenguaje Verilog. Comprueba la sintaxis, la conectividad y enlaza los componentes que posea con las celdas de la librería.
- Hmachta: conversor de ficheros de patrones en formato de la herramienta Machta [Machta00] al formato de Halotis. En nuestro caso, la descripción Verilog de los estímulos que se usan en las simulaciones es fácilmente convertible al formato machta dentro del mismo entorno DFWIL.
- Halotis: simulador lógico que utiliza los ficheros generados por los programas anteriores y obtiene los resultados de simulación.

Un esquema de estas herramientas se muestra en la figura 4.6. La parte superior encuadrada con línea a trazos corresponde a la caracterización de las puertas hasta obtener el correspondiente fichero de texto con los valores de sus

4.2 Metodología aplicada y resultados en la actividad de conmutación

parámetros IDDM. La otra parte encuadrada es el núcleo de la herramienta Halotis. Hay dos caminos principales. En uno, el de la izquierda, se procesa el circuito a simular, para lo cual se unen los ficheros resultantes de la compilación de celdas y el fichero del *benchmark* en Verilog con el fin de generar el fichero binario del circuito bajo test. En el otro camino, el de la derecha, se procesan los vectores de test a emplear en la simulación. Halotis, con los resultados de estos dos procesos, realiza la simulación y genera las salidas.

4.2 Metodología aplicada y resultados en la actividad de conmutación

Como ya se aventuró en el capítulo 3, el exceso en la medida de la actividad de conmutación de los circuitos digitales con el simulador lógico, es debido al inadecuado modelo de retraso que incorporan los simuladores digitales, modelo que no hace un buen tratamiento de las colisiones de entradas en las puertas ni de la propagación de los *glitches* a través de ellas. El uso del modelo de retraso IDDM, que contempla el efecto inercial así como el efecto de degradación de pulsos estrechos, y del simulador Halotis, que lo incorpora, hacen esperar una mayor exactitud en la medida de la actividad de conmutación, ya que, al menos, mejoran el tratamiento de la propagación de *glitches*, a través de los sucesivos niveles de puertas en un circuito. Nuestro propósito aquí es establecer en qué medida el uso de Halotis mejora la precisión en la obtención de valores de la actividad de conmutación.

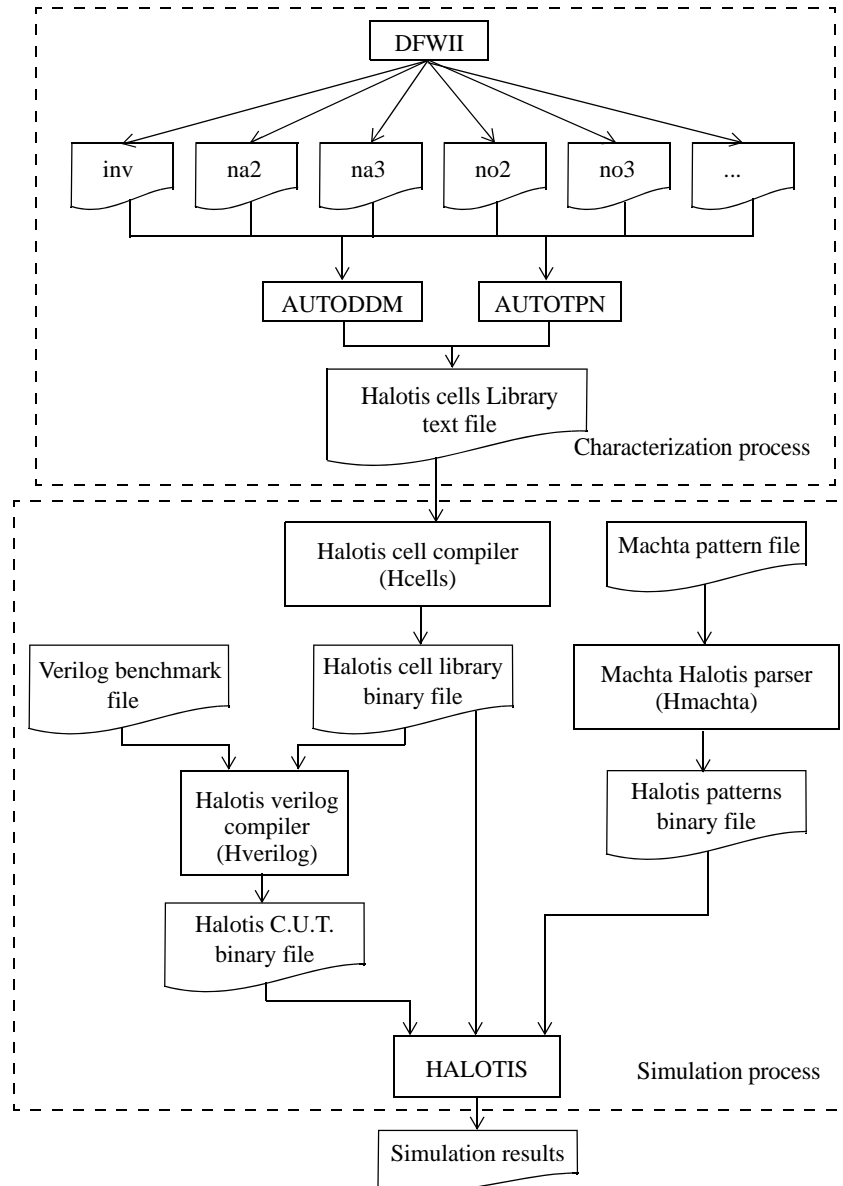


FIGURA 4.6: Esquema del método de medida de la actividad de conmutación usado por HALOTIS. (C.U.T.: circuito bajo test) [Ruiz07].

Con la idea de establecer comparaciones con las medidas realizadas con los simuladores comerciales (presentadas en el capítulo 3), se han simulado con Halotis los circuitos *benchmarks*'85 utilizando, para cada uno de ellos, la misma secuencia de entrada de las pruebas anteriores. También la metodología es similar a la empleada entonces. Los únicos cambios son, obviamente, el del simulador que se va a usar -ahora es Halotis- y que previamente se requiere caracterizar con los parámetros de IDDM las celdas de la librería de ams de $0.35\mu\text{m}$ usadas en los circuitos *benchmarks*.

Se han caracterizado todas las puertas involucradas con AUTODDM/AUTOPTN. Esta caracterización proporciona los valores de los parámetros del modelo IDDM ($A_x, B_x, C_x, D_x, E_x, F_x, G_x, H_x, C_{in}$ y V_T). A título de ejemplo en la figura 4.7 se muestran los de la celda NAND2. Como se observa en esta figura, se obtienen valores diferentes para cada entrada, así como para la subida y bajada de la señal. Por ejemplo, para los parámetros ligados a la degradación (ecuación 4.1), los valores son:

- Para la entrada “a”:
 - $A_f = 177.033 \cdot 10^{-12} \text{ V}\cdot\text{s}$; $A_r = 64.6769 \cdot 10^{-12} \text{ V}\cdot\text{s}$
 - $B_f = 10.3333 \cdot 10^3 \text{ V}\cdot\text{s}/\text{F}$; $B_r = 4.41094 \cdot 10^3 \text{ V}\cdot\text{s}/\text{F}$
- Para la entrada “b”:
 - $A_f = 239.906 \cdot 10^{-12} \text{ V}\cdot\text{s}$; $A_r = 86.6308 \cdot 10^{-12} \text{ V}\cdot\text{s}$
 - $B_f = 9.48001 \cdot 10^3 \text{ V}\cdot\text{s}/\text{F}$; $B_r = 5.17971 \cdot 10^3 \text{ V}\cdot\text{s}/\text{F}$

```

<?xml version = '1.0' encoding = 'UTF-8' ?>
<!DOCTYPE library PUBLIC "http://www.dte.us.es"
"hcells.dtd">
<!-- Libreria AMS 035 de prueba -->
<library>
<name> AMS035</name>
<modelname> iddm</modelname>
<vddh> 3.3</vddh>
<vddl> 0</vddl>
<param name="vtn">0.81804</param>
<param name="vtp">2.7622</param>
<cells>
  <logiccell>
    <name> na2</name>
    <input> a</input>
    <input> b</input>
    <out>
      <name> q</name>
      <expression> nand(a,b)</expression>
    </out>
  </logiccell>
  <model input="a" out="q">
    <param name="Threshold">1.65</param>
    <param name="Cinr">5.3765532e-15</param>
    <param name="Cinf">5.3765532e-15</param>
    <param name="Af">177.033e-12</param>
    <param name="Bf">10.3333e3</param>
    <param name="Cf">0.882377</param>
    <param name="Ar">64.6769e-12</param>
    <param name="Br">4.41094e3</param>
    <param name="Cr">1.31169</param>
    <param name="Dr">4.20692e3</param>
    <param name="Er">0.201717</param>
    <param name="Fr">55.4206e-12</param>
    <param name="Df">2.77464e3</param>
    <param name="Ef">0.0825482</param>
  </model>
</cells>
</library>

```

FIGURA 4.7: Fichero html con los parámetros del modelo IDDM para la puerta NAND2.

4.2 Metodología aplicada y resultados en la actividad de conmutación

```
<param name="Ff">42.3562e-12</param>
<param name="Gr">10340.8</param>
<param name="Hr">1.33747e-10</param>
<param name="Gf">6054.05</param>
<param name="Hf">8.64447e-11</param>
<param name="R">4.78655e-18</param>
<param name="Q">0.000418447</param>
</model>
<model input="b" out="q">
  <param name="Threshold">1.65</param>
  <param name="Cinr">5.3765532e-15</param>
  <param name="Cinf">5.3765532e-15</param>
  <param name="Af">239.906e-12</param>
  <param name="Bf">9.48001e3</param>
  <param name="Cf">0.816024</param>
  <param name="Ar">86.6308e-12</param>
  <param name="Br">5.17971e3</param>
  <param name="Cr">1.63747</param>
  <param name="Dr">4.15532e3</param>
  <param name="Er">0.213299</param>
  <param name="Fr">93.0931e-12</param>
  <param name="Df">2.7454e3</param>
  <param name="Ef">0.0184577</param>
  <param name="Ff">61.0572e-12</param>
  <param name="Gr">10319.5</param>
  <param name="Hr">2.15881e-10</param>
  <param name="Gf">6012.03</param>
  <param name="Hf">8.8294e-11</param>
  <param name="R">9.3796e-18</param>
  <param name="Q">0.000269692</param>
</model>
</logiccell>
</cells>
</library>
```

FIGURA 4.8: Fichero html con los parámetros del modelo IDDM para la puerta NAND2 (continuación).

La simulación en Halotis produce un fichero de salida con la evolución lógica de cada nodo en el tiempo. Este fichero de salida es procesado con el software Log-Count (figura 3.3) obteniendo así la actividad de conmutación correspondiente, la cual hemos denominado $N_{\text{trans}}_{\text{Halotis}}$.

En la tabla 4.1 se muestran los valores $N_{\text{trans}}_{\text{Halotis}}$ medidos en cada circuito para los 50 estímulos pseudoaleatorios. En el siguiente apartado, el 4.3, se analizarán estos resultados y se compararán con los obtenidos en el capítulo precedente.

Circuito	$N_{\text{trans}}_{\text{Halotis}}$
c432	4599
c499	6336
c880	11189
c1355	13948
c1908	28123
c2670	36774
c3540	56880
c5315	81852
c6288	242014
c7552	146251

TABLA 4.1: Número de transiciones totales de cada benchmark usando 50 patrones de entrada tras una simulación con Halotis. Tecnología ams 0.35 μm .

4.3 Análisis y comparación de resultados

Para facilitar el análisis de los resultados de actividad de conmutación se ha elaborado la tabla 4.2 en la cual, además de volver a poner los valores de $N_{\text{trans}}_{\text{Halotis}}$ (los de la tabla 4.1), se han añadido los resultados que se obtuvieron en el capítulo 3 mediante la simulación eléctrica, $N_{\text{trans}}_{\text{Hspice}}$, y con la simulación lógica con Verilog, $N_{\text{trans}}_{\text{typ}}$. De esta forma estas medidas se podrán comparar entre sí.

Circuito	$N_{\text{trans}}_{\text{Hspice}}$	$N_{\text{trans}}_{\text{Halotis}}$	$N_{\text{trans}}_{\text{typ}}$
c432	4517	4599	4735
c499	6196	6336	6417
c880	11033	11189	11337
c1355	13960	13948	16190
c1908	25873	28123	32411
c2670	38655	36774	44979
c3540	52303	56880	60920
c5315	79803	81852	100295
c6288	194784	242014	418815
c7552	144535	146251	174292

TABLA 4.2: Número de transiciones totales de cada benchmark usando 50 patrones de entrada tras simulación eléctrica, con Halotis y con Verilog. Tecnología ams 0.35 μm .

Una somera inspección a los datos de la tabla 4.2 permite apreciar que los valores en la actividad obtenidos para todos los benchmarks por $N_{\text{trans}}_{\text{Halotis}}$ son

siempre menores que los del simulador lógico Verilog ($N_{trans_{typ}}$). Por otra parte, también se aprecia que los valores $N_{trans_{Halotis}}$ se aproximan bastante a los resultados de simulación eléctrica, $N_{trans_{Hspice}}$. Los valores obtenidos por Halotis están mucho más próximos a los obtenidos por Hspice que los obtenidos por Verilog.

El comportamiento para cada benchmark se observa con mayor claridad en la figura 4.9, en la cual se representa una gráfica con los valores de la

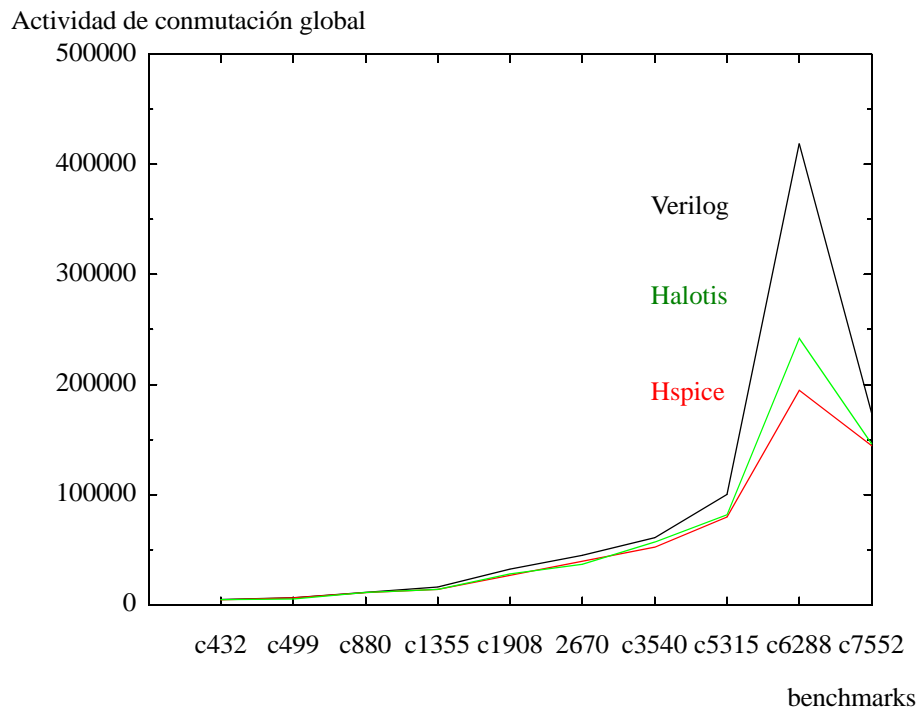


FIGURA 4.9: Valores de la actividad de conmutación de cada benchmarks tras simulación lógica Verilog, Hspice y Halotis.

4.3 Análisis y comparación de resultados

actividad de conmutación obtenida con Verilog (línea negra), con Hspice (línea roja) y con Halotis (línea verde).

Los resultados de $N_{\text{trans}}^{\text{Halotis}}$ muestran con claridad que los valores de medida de Halotis, aun produciendo una sobremedida⁴ de la actividad de conmutación respecto a la real, no es tan marcada como la de Verilog. Nótese que, especialmente en los benchmarks de gran número de niveles de puertas, las gráficas de $N_{\text{trans}}^{\text{typ}}$ y de $N_{\text{trans}}^{\text{Halotis}}$ se separan notablemente siendo muy apreciable la diferencia en ambas medidas. Por otra parte, comparando las medidas de $N_{\text{trans}}^{\text{Halotis}}$ con las de $N_{\text{trans}}^{\text{Hspice}}$, se observa que ambas están muy cercanas en prácticamente todos los circuitos, salvo el c6288, caso que corresponde al circuito con mayor número de niveles entrada-salida y para el que también es mayor la discrepancia de $N_{\text{trans}}^{\text{typ}}$ con $N_{\text{trans}}^{\text{Hspice}}$. Estos resultados permiten calificar a Halotis como un simulador de exactitud bastante similar a la de Hspice, postulándose como el simulador lógico que con mayor exactitud se acerca al comportamiento real de los circuitos.

Con el fin de cuantificar cómo de exacto es Halotis y comparar esa exactitud con la de Verilog, en la tabla 4.3 se muestra el porcentaje del error relativo entre Halotis y Hspice, $ERH = \%err_{\text{Halotis-hspice}}$ ⁵. También se incluye en esta tabla el error equivalente para Verilog, $ERV = \%err_{\text{Verilog-Hspice}}$, que ya se presentó en el capítulo 3.

4. Salvo en dos casos en los que Halotis da menor actividad de conmutación, pero con mucha más proximidad a Hspice.

5. $ERH = \%err_{\text{Halotis-Hspice}} = [(N_{\text{trans}}^{\text{Halotis}} - N_{\text{trans}}^{\text{Hspice}})/N_{\text{trans}}^{\text{Hspice}}] \%$

Circuito	ERV	ERH
c432	4.8	1.8
c499	3.5	2.2
c880	2.7	1.4
c1355	16	-0.8
c1908	25.2	8.7
c2670	16.3	-4.9
c3540	16.5	8.7
c5315	25.7	2.5
c6288	115	24.2
c7552	20.6	1.2

TABLA 4.3: Porcentaje de error relativo entre $N_{trans_{verilog}}$ y $N_{trans_{Hspice}}$, así como entre $N_{trans_{Halotis}}$ y $N_{trans_{Hspice}}$.

Se puede extraer de los valores presentados en la tabla 4.3 que el porcentaje ERH de error entre la medida de la actividad con Halotis frente al medido con Hspice ha disminuido fuertemente respecto al mismo porcentaje de error de Verilog, ERV. En efecto, si el porcentaje de error ERV oscila entre el 2.7% y el 115% (para los circuitos c880 y c6288, respectivamente), ahora, con Halotis el porcentaje se ha reducido al margen entre -4,9% y 24.2% (para el caso c2670 y el c6288, respectivamente). Como característica significativa se pueden destacar los valores negativos en el porcentaje de error de Halotis, ERH. Ese valor negativo indica que la actividad obtenida tras la simulación con Halotis es menor que la obtenida tras la simulación eléctrica. Ello se explica porque el

4.3 Análisis y comparación de resultados

modelo IDDM, que contempla la degradación de pulsos estrechos, hace que se eliminen determinados pulsos y, sin embargo, en la realidad esos pulsos se transmiten por algunos niveles más.

También se debe destacar cómo han cambiado los resultados en los dos últimos benchmarks, los de mayor tamaño, y más concretamente, en el c6288 que posee un gran número de niveles de puertas (123). Para este circuito, se pasa de un error del 115% en ERV a un error del 24.2% en ERH. Si bien el error del 24.2% de ERH es un valor nada despreciable, la medida con Verilog es prácticamente cuatro veces más imprecisa. Respecto al circuito c7552, el simulador lógico comercial tiene un error ERV del 20%, mientras que con Halotis pasa a ser una desviación insignificante, del 1%, a pesar de que se trata de una enorme actividad en números absolutos, próxima a los 150000 cambios, resultado que avala la gran exactitud de Halotis en la simulación lógica.

En la figura 4.10, se muestra en un diagrama de barras los porcentajes de error relativo entre los valores de actividad para cada benchmark representados en la tabla 4.3. En ella se puede apreciar con facilidad las conclusiones expuestas tras el análisis de dicha tabla. Puede comprobarse cómo las barras de color rojizo (ERH) son de mucha menor longitud que las barras azules (ERV) para todos los benchmarks. De esta manera se identifica cómo las diferencias del nuevo simulador lógico con el simulador eléctrico son muy significativamente menores. Se puede ver claramente el caso particular y muy llamativo del circuito

c6288 donde las diferencias entre alturas de las barras es muy significativa. Igualmente ocurre en el circuito c5315 y el c7552.

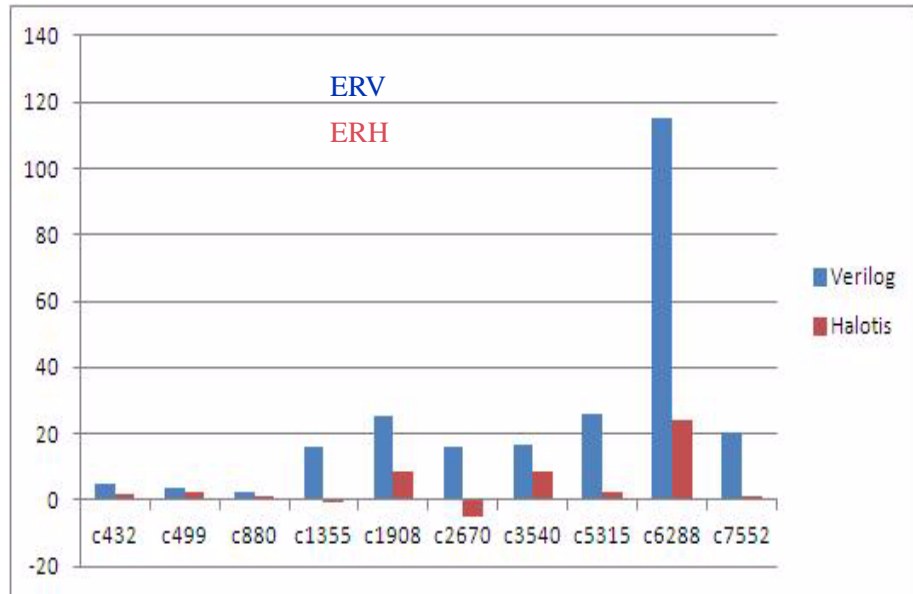


FIGURA 4.10: Porcentaje de error relativo Verilog-Hspice (ERV) y Halotis-Hspice (ERH).

La anterior discusión sobre las medidas de actividad de conmutación en los benchmarks demuestra que la pareja IDDM/Halotis constituye un simulador lógico temporal de excelente precisión. Para evaluar sus prestaciones también se deben considerar los tiempos que tarda en realizarla. Con este fin se ha representado en la tabla 4.4 los tiempos de CPU empleados por los tres simuladores utilizados: Verilog, Hspice y Halotis. Dos conclusiones sobresalen de estos datos. Una, la confirmación (una vez más) de que el tiempo de la simulación eléctrica está por encima de los 3 órdenes de magnitud respecto a la

4.3 Análisis y comparación de resultados

	Verilog (s)	Hspice (s)	Halotis (s)
c432	6.4	2714	0.05
c499	7.2	8087	0.08
c880	8.3	15240	0.12
c1355	8.3	28411	0.15
c1908	9.9	83989	0.25
c2670	16.7	260106	0.36
c3540	14.8	722935	0.44
c5315	24.1	1518849	0.78
c6288	34.2	836644	2.02
c7552	31.3	4577727	1.35

TABLA 4.4: Tiempo de CPU empleado por los distintos simuladores.

simulación lógica con Verilog. Por otra parte, destaca que el tiempo de CPU de Halotis sea muy inferior al de Verilog (los separan algo menos de 2 órdenes de magnitud). Esta diferencia no hay que achacarla a una mejor implementación de Halotis como simulador lógico, sino que en el tiempo de CPU de Verilog están incluidos los tiempos de lectura de ficheros de entrada que, en el caso de Halotis, no están incluidos porque ocurren durante las tareas de preprocesado (Hcells, Hverilog) [Ruiz07]. Sin embargo, sí es destacable que el valor de tiempos de Halotis no sea mayor que el del simulador lógico Verilog, lo cual está justificado porque Halotis también utiliza un mecanismo de simulación guiada por eventos. En [Ruiz07] se estudia en detalle el rendimiento del nuevo simulador (velocidad, consumo de recursos, etc.) y se demuestra que ofrece los resultados en tiempos

equivalentes al de los simuladores lógicos comerciales, extendiendo su eficiencia a circuitos de gran tamaño.

4.4 Resumen

Los resultados más importantes presentados en este capítulo son dobles. Por un lado, se han descrito los trabajos que nuestro grupo de investigación ha realizado durante un largo periodo de tiempo y que han permitido desarrollar el nuevo modelo de retraso IDDM y el simulador Halotis. Por otra parte, se han presentado los resultados de la medida de actividad de conmutación con Halotis en los circuitos *benchmarks*.

Concretando sobre la actividad de conmutación, el estudio comparativo con los datos anteriores de Hspice y Verilog, permite concluir que IDDM/Halotis, al trabajar en un entorno completamente lógico y con un modelo de retraso de gran precisión, obtiene medidas de la actividad de conmutación de los circuitos de una manera fiable, con valores muy próximos a la realidad y empleando recursos de computación comparables a los de las herramientas puramente lógicas.

Influencia de la tecnología en la actividad de conmutación medida con herramientas comerciales

En el capítulo 3 se analizó la medida de la actividad de conmutación en circuitos digitales en la tecnología $0.35\mu\text{m}$. La principal conclusión fue que las herramientas comerciales de simulación lógica presentaban un importante exceso de actividad de conmutación frente a la que se obtenía mediante simuladores eléctricos. En este capítulo se quiere comprobar si esta conclusión puede trasladarse a las tecnologías CMOS nanométricas y a las últimas versiones de las herramientas.

Para desarrollar el capítulo se ha trabajado con una tecnología CMOS nanométrica, la tecnología 65nm , y las versiones más actualizadas de las herramientas. Esta tecnología ha sido elegida por ser una de las tecnologías más avanzadas entre las disponibles por nuestro grupo en el IMSE. Al cambiar la tecnología cambia el

comportamiento temporal del circuito, por la propia tecnología y por la forma de implementar dichas puertas.

Una de las actividades en la implementación de un circuito en una tecnología consiste en asignar una celda de la librería de esa tecnología a la primitiva lógica que le corresponda. Para muchos de los módulos, p. ej. una puerta NAND de dos entradas, la librería ofrece diferentes celdas que se diferencian unas de otras únicamente en sus parámetros de conmutación. Así, es posible elegir entre varias NANDs de dos entradas con diferente *strength* (fuerza). Según la elección, la NAND resultante ocupará más o menos área, será más o menos capacitiva, podrá producir más o menos intensidad y será más o menos rápida. En este trabajo se ha querido explorar la incidencia en las medidas de actividad de conmutación del rediseño local de circuitos, mediante la técnica de sustitución de una puerta por otra con distinto *strength*.

Este capítulo está organizado como sigue. En primer lugar y aplicando la metodología de medida ya utilizada en el capítulo 3, en el apartado 5.1 se presentan las medidas relativas a la actividad de conmutación de los circuitos en la nueva tecnología, usando simulación lógica (epígrafe 5.1.1), usando simulación eléctrica (epígrafe 5.1.2) y, por último, comparando ambos resultados (epígrafe 5.1.3). Dado que en este capítulo se trabaja con una nueva tecnología, en el apartado 5.2 se comparan los resultados obtenidos en la tecnología actual y la obtenida con la tecnología ams 0.35 μm , que fue la que se utilizó en el capítulo 3. Esta comparación se realiza sobre los resultados correspondientes al retraso nulo (epígrafe 5.2.1), al no nulo (epígrafe 5.2.2) y sobre el exceso en la medida

5.1 Medidas sobre circuitos con tecnología st 65nm

de actividad por parte del simulador lógico (epígrafe 5.2.3). A continuación, en el apartado 5.3, se presenta un detallado estudio de la influencia de las variaciones del *strength* de puertas concretas del circuito sobre la actividad de conmutación de éste. En el apartado 5.4 se mide la actividad del circuito modificado usando el simulador eléctrico, seguidamente se presenta un procedimiento de medida de la actividad de un circuito exclusivamente en un entorno digital (epígrafe 5.5) y, por último (epígrafe 5.6), se muestran unas conclusiones al capítulo.

5.1 Medidas sobre circuitos con tecnología st 65nm

En este apartado se estudia el efecto que tiene en la actividad de conmutación de un circuito el cambio de tecnología de trabajo. La idea que se desarrolla es volver a hacer, en diseños implementados en la tecnología st 65nm, las tres medidas destacadas de la actividad de conmutación en un circuito digital, es decir, la simulación lógica puramente funcional, la simulación lógica con retrasos y la considerada real (medida con un simulador eléctrico, en concreto, Hspice). Las dos primeras medidas son presentadas en el epígrafe 5.1.1 y la real, en el 5.1.2. Siguiendo un proceso de análisis similar al del capítulo 3, en el epígrafe 5.1.3 se comparan los resultados obtenidos.

5.1.1 Medidas con simulador lógico

Procede recordar que, en el estudio que se desarrolló en el capítulo 3 de esta Tesis, la actividad de conmutación obtenida con simulaciones lógicas con

retrasos mínimos, típicos y máximos no ofreció diferencias significativas. Por esta razón, en este capítulo se considera el estudio únicamente con una de las tres medidas, en particular, el valor típico, que será referenciada como N_{trans} con el subíndice “verilog”. Asimismo, no se realizará la simulación teniendo en cuenta los efectos post-layout debido a que, además de no disponer de los modelos de puertas necesarios en esta tecnología, la influencia sobre la actividad de conmutación demostró ser poco significativa en la tecnología ams 0.35 μ m.

La segunda medida a realizar es la actividad lógica funcional, usando el modelo ideal de cada puerta, N_{trans}_{Zero} . Estas medidas se han desarrollado para cada *benchmark*. El primer paso es proceder con la simulación lógica de cada circuito utilizando el simulador Verilog¹ que incorpora el entorno de trabajo de Cadence. Se parte de la descripción de cada circuito en lenguaje Verilog en la tecnología ams 0.35 μ m. Lo primero que hay que hacer es adaptarla a la nueva tecnología y para ello se tiene que conocer cuáles son los componentes que forman la librería de celdas y proceder a la selección de los que formarán parte de cada uno de nuestros circuitos. Tras un proceso sistemático de sustitución de celdas se obtiene finalmente la descripción Verilog de cada *benchmark* en la nueva tecnología. En la librería de celdas para cada operador lógico se tienen distintos componentes que lo implementan cambiando entre uno y otro el parámetro de fuerza (*strength*). En todos los casos se han elegido las puertas de menor *strength*. En la figura 5.1 se muestra el proceso utilizado para conseguir la

1. Las herramientas de CAD usadas en este trabajo son las versiones actualizadas en los años 2009 a 2011.

5.1 Medidas sobre circuitos con tecnología st 65nm

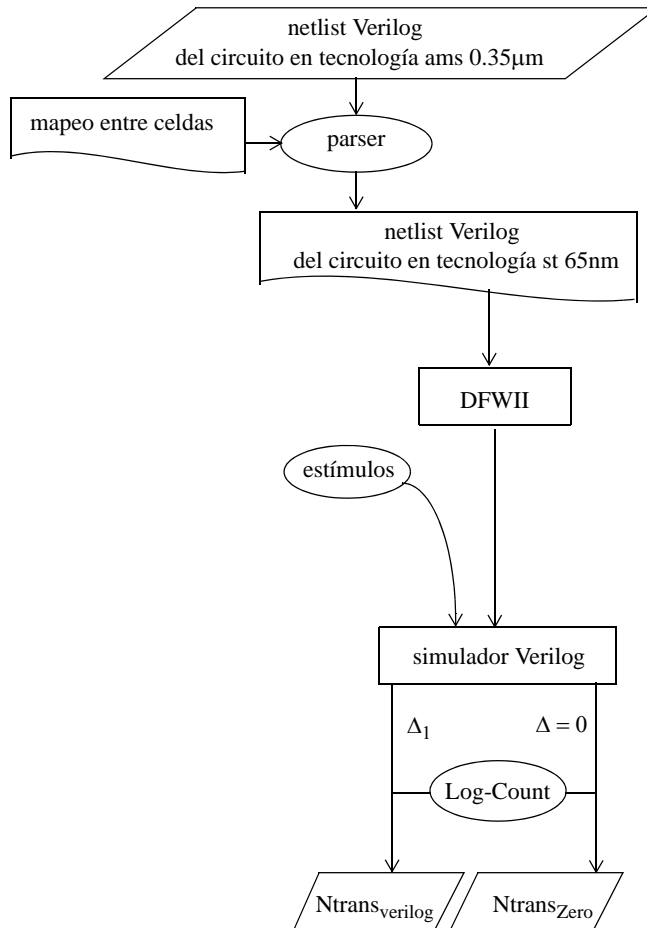


FIGURA 5.1: Metodología para la obtención de la actividad de conmutación usando simulador lógico en tecnología st65 nm.

actividad de conmutación considerando puertas ideales, sin retraso, $N_{trans_{Zero}}$, y con retraso típico, $N_{trans_{verilog}}$.

Para comparar los resultados entre una y otra tecnología, en estas nuevas medidas se usará para cada *benchmark* la misma secuencia de estímulos que se utilizó en su momento con la tecnología *ams 0.35μm*. De esta forma, se elimina la dependencia de la actividad de un circuito con los patrones de test [Burch93].

Teniendo la nueva descripción Verilog y los estímulos, para simular el circuito con el simulador lógico se procede en el entorno de diseño de la misma manera que antes, se importa el diseño y se simula con Verilog. De ello se obtiene un fichero con los cambios de cada nudo del circuito y, usando Log-Count, la actividad global de éste, $N_{trans_{Zero}}$ o $N_{trans_{verilog}}$ según corresponda. En la tabla 5.1. se muestran los resultados para la simulación sin y con retraso. El análisis de estos resultados será desarrollado en el apartado 5.1.3.

5.1.2 Medida con simulador eléctrico

A continuación se quiere obtener la actividad de conmutación de cada circuito en la nueva tecnología mediante simulaciones eléctricas. El procedimiento es similar al presentado en el capítulo 3 y se reproduce en la figura 5.2. Desde el entorno de diseño de Cadence, utilizando la herramienta “Analog Environment”, se consigue la descripción a nivel eléctrico del circuito para poderlo simular. Para proceder a la simulación se han usado los mismos estímulos utilizados con la tecnología anterior y que ya habían sido descritos como funciones PWL’s. Con el fin de extremar la exactitud, se han tenido que actualizar los tiempos de subida y bajada en cada señal de entrada para adaptarlos a la nueva tecnología. En este caso, procediendo de la misma forma

5.1 Medidas sobre circuitos con tecnología st 65nm

Circuito	Ntrans _{Zero}	Ntrans _{verilog}
c432	3637	4811
c499	4868	6156
c880	7707	11749
c1355	10420	15784
c1908	18465	33247
c2670	26279	46233
c3540	28799	60646
c5315	48899	103591
c6288	44378	600590
c7552	76315	163661

TABLA 5.1: Número de transiciones de cada *benchmark* tras una simulación lógica usando 50 patrones. Tecnología st65nm.

que se hizo en el capítulo 3, se ha simulado una cadena de inversores en la nueva tecnología y se han medido los tiempos de transición en un inversor intermedio de la cadena. Se obtuvo un tiempo de transición de 20 ps. Por simplificar, se consideran los tiempos de subida y bajada del mismo valor.

Con todo ello, se simula cada circuito y se obtiene el fichero de salida que es procesado por el conjunto de programas que se tenían desarrollados para obtener Ntrans_{hspice}. Estos programas también se han tenido que adaptar a la tecnología actual, en particular, para el valor de la tensión umbral ante los nuevos niveles lógicos 0 y 1, y que sirve para interpretar cada nueva transición

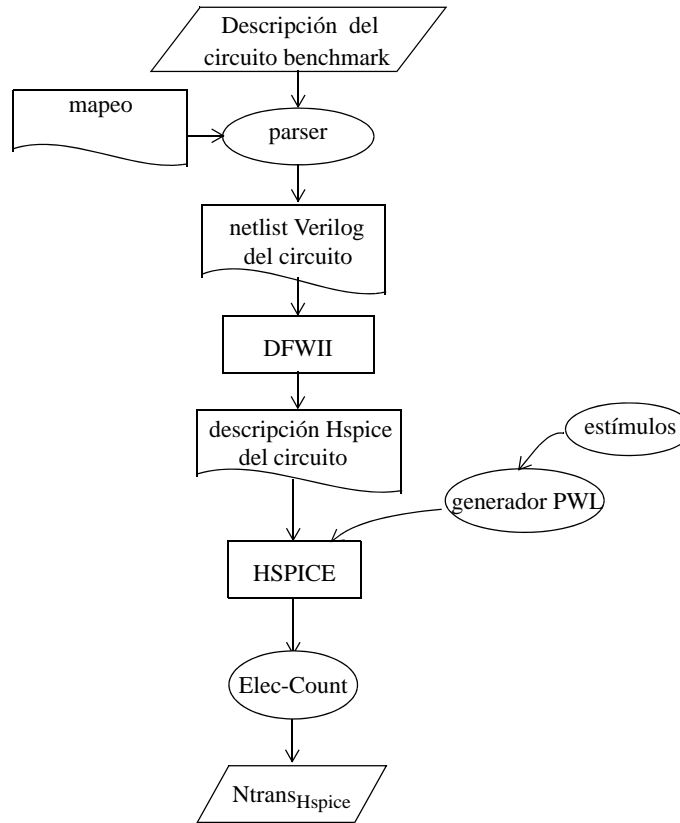


FIGURA 5.2: Esquema del método de cálculo de la actividad de conmutación usando Hspice.

que ocurre en la tensión asociada a un nudo del circuito. A continuación, en la tabla 5.2 se muestra la actividad de conmutación para cada *benchmark*.

5.1 Medidas sobre circuitos con tecnología st 65nm

Circuito	Ntrans _{Hspice}
c432	4465
c499	5984
c880	11391
c1355	12202
c1908	23807
c2670	36637
c3540	49399
c5315	74489
c6288	247808
c7552	128015

TABLA 5.2: Número de transiciones totales de cada *benchmark* tras la simulación eléctrica usando 50 patrones de entrada. Tecnología st 65nm.

5.1.3 Comparación de la actividad de conmutación en la tecnología st 65nm

En este epígrafe se analizarán los valores obtenidos en las simulaciones anteriores para comprobar la diferencia con las medidas de actividad de conmutación en la tecnología st 65nm. Para ello, al igual que en el apartado 3.5, se compararán las medidas de la actividad de cada circuito $N_{\text{trans}}_{\text{Zero}}$, $N_{\text{trans}}_{\text{verilog}}$ y $N_{\text{trans}}_{\text{Hspice}}$.

En la tabla 5.3, tomando los valores de actividad de conmutación para cada una de las simulaciones realizadas (datos de las tablas 5.1 y 5.2), se

CAPÍTULO 5: Influencia de la tecnología en la actividad de conmutación medida con herramientas comerciales

presenta el error relativo entre $N_{\text{trans}}_{\text{verilog}}$ y $N_{\text{trans}}_{\text{Hspice}}$, que llamaremos ($\%err_{\text{verilog-Hsp}}$) y el error relativo entre las actividades mostradas por cada circuito considerando sus bloques ideales, $N_{\text{trans}}_{\text{Zero}}$ y $N_{\text{trans}}_{\text{Hspice}}$ y que llamaremos ($\%err_{\text{Zero-Hsp}}$).

Circuito	$\%err_{\text{verilog-Hsp}}$	$\%err_{\text{Zero-Hsp}}$
c432	7.7	18.5
c499	2.9	18.6
c880	3.1	32.3
c1355	29.3	14.6
c1908	39.6	22.4
c2670	26.2	28.3
c3540	22.8	41.7
c5315	39.1	34.3
c6288	142.4	82.1
c7552	27.8	40.4

TABLA 5.3: Porcentaje de errores relativos de $N_{\text{trans}}_{\text{verilog}}$ y $N_{\text{trans}}_{\text{Zero}}$ en relación a $N_{\text{trans}}_{\text{Hspice}}$ en la tecnología st65nm.

Considérese, en primer lugar, la diferencia relativa entre la simulación lógica y la eléctrica ($\%err_{\text{verilog-Hsp}}$, segunda columna de la tabla 5.3). Analizando los números representados se comprueba que, también para esta nueva tecnología, sigue manteniéndose una notable disparidad entre las dos medidas. Como puede verse en la tabla, la diferencia porcentual oscila entre un mínimo del 3% para el caso del circuito c499 y un 142.2% para el c6288.

5.1 Medidas sobre circuitos con tecnología st 65nm

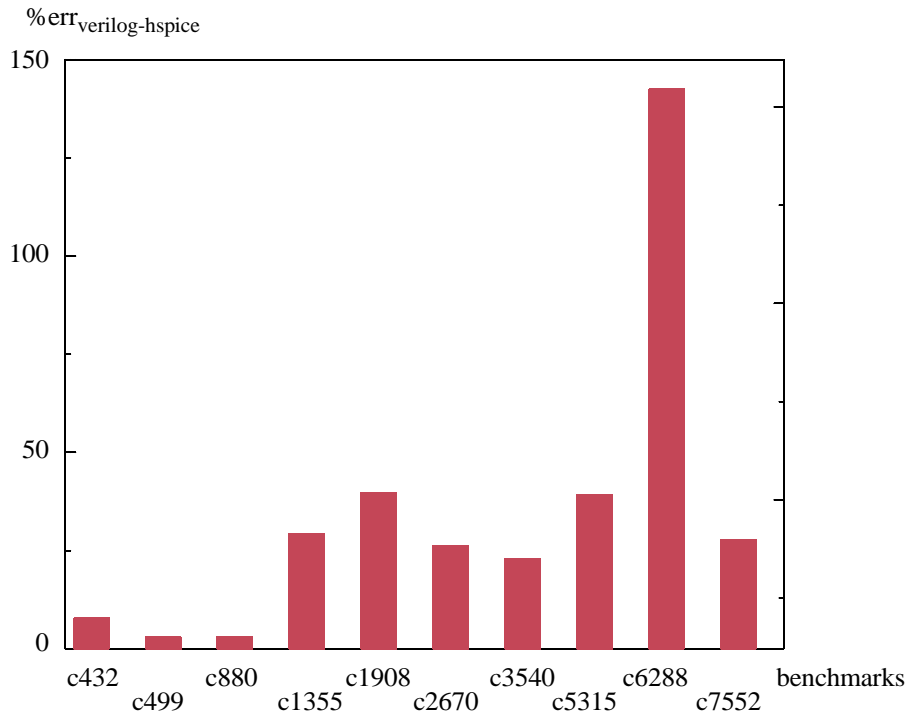


FIGURA 5.3: Porcentaje de error relativo en la actividad total entre simulación lógica con retraso y simulación eléctrica para cada *benchmark* en la tecnología st65nm.

Con el fin de facilitar el análisis, los datos de la tabla 5.3 se han representado gráficamente en la figura 5.3. En ella se observa claramente que todos los valores de $\%err_{\text{verilog-Hsp}}$ son positivos, lo que muestra que, en todos los circuitos, la medida de la actividad de conmutación del simulador lógico es mayor que la medida considerada real. También en la tecnología st 65nm el simulador lógico aporta una actividad de conmutación por exceso. En la gráfica de la figura 5.3 se puede apreciar más fácilmente el gran error de los resultados de la medida con simulación lógica. En esta nueva tecnología, excepto los tres

circuitos más simples que muestran un error entre el 3% y casi el 8%, todos los restantes presentan diferencias superiores al 25% de error con lo cual, las medidas obtenidas con la simulación lógica siguen apartándose muy significativamente de la realidad. El caso del circuito c6288 vuelve a ser verdaderamente impactante, ya que las medidas lógicas dan una actividad casi de dos veces y media más que el valor real, concretamente $N_{trans_{verilog}} = 600590$ (tabla 5.1) frente a $N_{trans_{Hspice}} = 247808$ (tabla 5.2).

Es necesario concluir que, en las tecnologías más punteras y utilizando las herramientas de CAD disponibles, los valores de actividad de conmutación obtenidos tras la simulación lógica no dan una idea fiable de la realidad y, por tanto, las estimaciones de potencia obtenidas a partir de los valores de actividad de conmutación tampoco pueden ser fiables.

A continuación se analizan las medidas presentadas en la tercera columna de la tabla 5.3 ($\%err_{Zero-Hsp}$). Al comparar $N_{trans_{Zero}}$ y $N_{trans_{Hspice}}$ se obtiene el error relativo entre la actividad funcional y la real, lo cual aporta una medida de la actividad debida a los *glitches*. Se deduce de estos datos que la actividad no funcional oscila entre el 18.5% y el 82.1%. En la figura 5.4 se muestra un diagrama de barras donde se visualizan fácilmente estas conclusiones. A la vista de esta gráfica resulta obvio que, al igual que ha sucedido en las medidas anteriores, el circuito c6288 destaca como aquél que, con mucho, presenta la mayor proporción de actividad de conmutación debida a *glitches*. Pero los resultados de esta gráfica permiten apreciar también que, incluso si se exceptúa este llamativo caso, resulta muy considerable la alta actividad de *glitches* en

5.2 Actividad de conmutación: Comparación entre las tecnologías ams 0.35 μ m y st 65nm

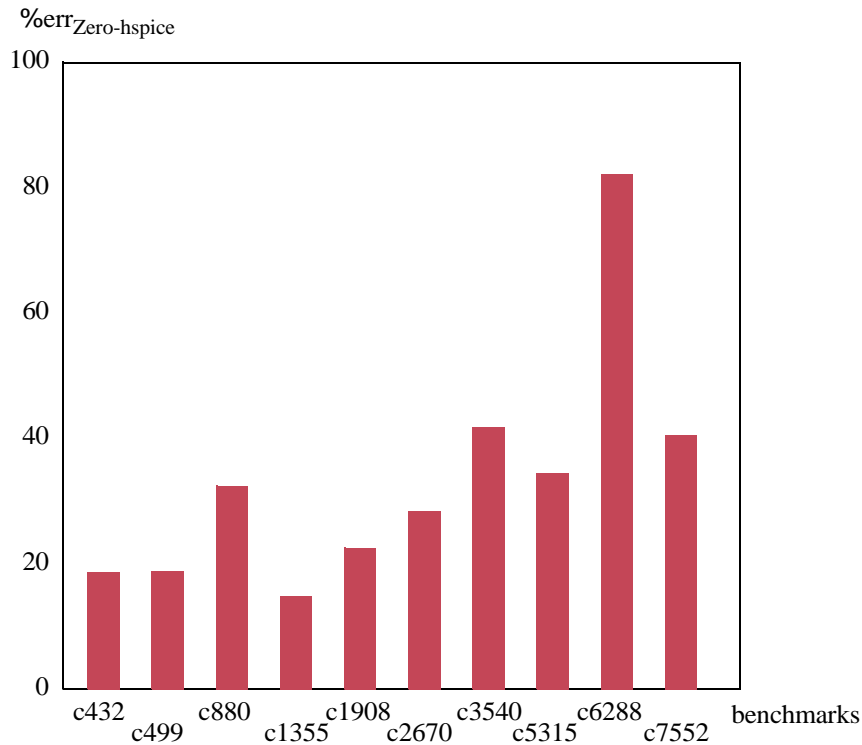


FIGURA 5.4: Error relativo en la actividad total entre simulación lógica sin retraso y simulación eléctrica para cada *benchmark* en la tecnología st65nm.

todos los circuitos, con valores que aproximadamente se mueven entre el 20 y el 40% de error relativo.

5.2 Actividad de conmutación: Comparación entre las tecnologías ams 0.35 μ m y st 65nm

En este apartado se afronta cómo ha evolucionado la actividad de conmutación con el cambio de la tecnología de 0.35 μ m a 65 nm. Para ello se

comparan las medidas obtenidas en el apartado anterior con las presentadas en el capítulo 3. De esta comparación cabe esperar una conclusión sobre si la evolución tecnológica ha producido circuitos con más o menos actividad de conmutación, así como si los simuladores actuales ofrecen resultados más o menos fiables.

Este apartado está dividido en tres epígrafes: en el primero se comparan los resultados correspondientes al modelo de retraso nulo, en el segundo considerando el retraso no nulo de cada módulo y, por último, se discutirá el exceso de las medidas de la simulación lógica con respecto al caso real.

5.2.1 Comparación usando modelo de retraso nulo

Lo que cabe esperar de este estudio es corroborar que la actividad total de cada circuito coincide en las dos tecnologías. Ello es debido a que, como se usan modelos ideales para las puertas del circuito, toda la actividad de conmutación está causada por el comportamiento funcional del circuito y ese es el mismo en cualquier tecnología. Esto es, la evolución tecnológica no debe afectar a la actividad de conmutación si no se considera retraso.

En la tabla 5.4 se presentan los valores obtenidos en la tecnología $0.35\mu\text{m}$ (tabla 3.6) y los valores obtenidos en el apartado anterior para la tecnología 65nm (tabla 5.4). Se comprueban que son idénticos.

5.2 Actividad de conmutación: Comparación entre las tecnologías ams 0.35 μ m y st 65nm

N_{transZero}		
Circuito	ams 0.35μm	st 65nm
c432	3637	3637
c499	4868	4868
c880	7707	7707
c1355	10420	10420
c1908	18465	18465
c2670	26279	26279
c3540	28799	28799
c5315	48899	48899
c6288	44378	44378
c7552	76315	76315

TABLA 5.4: Número de transiciones de cada *benchmark* tras una simulación lógica usando 50 patrones considerando puertas ideales. Tecnologías ams 0.35 μ m y st 65nm.

Realizar la comprobación sobre la actividad de conmutación funcional en la nueva tecnología ha sido muy conveniente porque ha permitido validar el procedimiento utilizado en esta nueva tecnología. Téngase en cuenta que entre ambas pruebas, la de 0.35 μ m y la 65nm, ha transcurrido un importante período de tiempo, se ha tenido que cambiar la *foundry* propietaria de la tecnología y las versiones del entorno de diseño DFWII. Tantos y tan importantes cambios obligaban a validar esa transferencia de la metodología de medida de la anterior

a la nueva tecnología. La igualdad de la actividad funcional valida nuestro procedimiento.

5.2.2 Comparación usando el modelo de retraso no nulo

A continuación, se van a comparar las medidas de actividad de conmutación tras realizar la simulación lógica con retraso, $N_{trans_{Verilog}}$, para las tecnologías de ams 0.35 μ m y de st 65 nm. En la tabla 5.5 se presentan los valores correspondientes (que fueron presentados en las tablas 3.6 y 5.1, respectivamente).

Analizando los datos de la tabla 5.5, puede comprobarse que con el avance tecnológico, la medida de la actividad de conmutación tras la simulación lógica aumenta para algunos circuitos y disminuye para otros. Vamos a entrar en el detalle de los valores, primero en los casos donde disminuye: Para el *benchmark c499* lo hace en 261 transiciones, un 4% del valor inicial. Para el circuito c1355 la disminución es de 406 cambios, un 2.5% del valor inicial. Para c3540 la actividad cae en 274 transiciones, un 0.4% del valor inicial. Y por último, en el *benchmark c7552* disminuye en 10631 cambios, un 6% del valor inicial. Para estos casos se trata de leves desviaciones a la baja en la medida de la actividad en las tecnologías actuales, dado que la máxima desviación es de un 6%.

Por otro lado, la actividad aumenta para los restantes circuitos de test. En particular, en el circuito c432 lo hace en 76 cambios, un 1.6% del valor inicial.

5.2 Actividad de conmutación: Comparación entre las tecnologías ams 0.35 μ m y st 65nm

Ntrans_{Verilog}		
Circuito	ams 0.35μm	st 65nm
c432	4735	4811
c499	6417	6156
c880	11337	11749
c1355	16190	15784
c1908	32411	33247
c2670	44979	46233
c3540	60920	60646
c5315	100295	103591
c6288	418815	600590
c7552	174292	163661

TABLA 5.5: Número de transiciones de cada *benchmark* tras una simulación lógica usando 50 patrones considerando puertas con retraso. Tecnologías ams 0.35 μ m y st 65nm.

Para el c880 la actividad aumenta en 412, un 3.6% del valor inicial. Para el c1908 el aumento alcanza los 836 cambios, un 2.6% del valor inicial. Para el c2670 el aumento es de 1254 transiciones, un 2.8% del valor inicial. Para el c5315 aumenta en 3296 cambios, un 3.3% del valor inicial. Y por último, para c6288 aparecen 181775 nuevas transiciones, un 43.3% del valor inicial. Excepto para este último circuito analizado, los incrementos en la actividad no son significativos, cambiando sólo en un pequeño porcentaje de los valores obtenidos con la tecnología ams 0.35 μ m. Esto es equivalente a las disminuciones antes comentadas para los otros casos. Pero para el caso especial del circuito

c6288, el que posee 123 niveles de puertas y una alta presencia de *glitches* generados y propagados por el interior del circuito, de nuevo sorprende con una medida de actividad en la nueva tecnología que está considerablemente apartada del valor obtenido en la tecnología anterior, con una diferencia de un 43%.

En la figura 5.5 se presenta un diagrama de barras donde se muestran de forma gráfica los resultados que se han comentado. Puede verse en esta figura cómo para todos los casos, excepto en el c6288, la altura de las dos barras

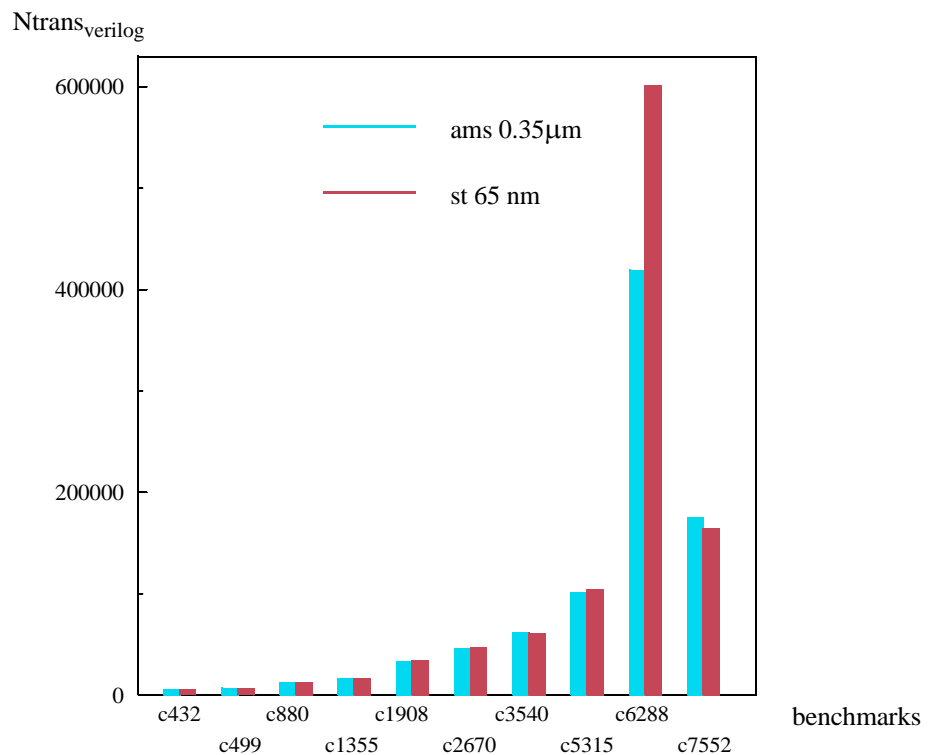


FIGURA 5.5: Actividad de cada *benchmark* tras la simulación lógica con retraso para cada tecnología.

5.2 Actividad de conmutación: Comparación entre las tecnologías ams 0.35 μ m y st 65nm

asociadas a cada una de las dos tecnologías, es aproximadamente la misma. El gran salto ocurre en el circuito c6288, como ya se había destacado.

La comparación de las medidas de actividad de conmutación con el simulador lógico de las tecnologías de 0.35 μ m y de 65nm demuestra que las actividades de conmutación medidas no son las mismas, pero que las diferencias no son concluyentes ni en el sentido de que las nuevas tecnologías aporten más actividad de conmutación, ni lo contrario, que aporten menos. No parece haber avance ni retroceso con el cambio tecnológico en cuanto a la cantidad de actividad de conmutación.

Sin embargo, este análisis se queda un tanto incompleto si no se hace referencia a cómo se ve afectada la actividad de conmutación real, es decir, haciendo referencia a las medidas con Hspice. Recuérdese que tanto en el capítulo 3 como en éste (apartados 5.1 y 5.2), se ha demostrado que la simulación lógica aporta medidas excesivamente numerosas de la actividad de conmutación. Por ello, en el siguiente apartado se considerará cómo cambia ese exceso con la tecnología.

5.2.3 Comparación del exceso de conmutación con el cambio de tecnología

Ahora se pretende analizar el cambio con la tecnología de los valores medidos para la actividad de conmutación bajo dos puntos de vista. El primero, para determinar cómo ha evolucionado la sobreestimación de los simuladores

lógicos. El segundo, para determinar cómo ha sido la evolución de la proporción de *glitches* en los circuitos.

En primer lugar se va a analizar cómo ha variado el exceso en la simulación lógica con la tecnología. Para ello se presenta en la tabla 5.6 el porcentaje de la desviación de las medidas obtenidas con Verilog (retraso no nulo), frente a las medidas con Hspice para cada tecnología, $(N_{trans_verilog} - N_{trans_hspice}) / N_{trans_hspice}$, que en la tabla aparece en forma porcentual como $\%(N_{trans_verilog} - N_{trans_hspice})$. Asimismo, se muestra la diferencia de ambos valores.

A partir de los valores de la tabla se puede comprobar que, excepto para el circuito c499 (con una pequeña diferencia), todas las desviaciones han aumentado en la nueva tecnología. Es decir, la medida de la actividad mediante simulación lógica no ha mejorado en estos años, sino que, por el contrario, se ha alejado de los valores reales. En general, en la tecnología de 65nm el exceso en la estimación lógica es mayor que en la tecnología de 0.35 μ m. Concretamente, como se observa en la columna de la diferencia st-ams, aunque hay poca variación en los primeros circuitos (c432, c499 y c880), en los restantes es bastante significativa y, en cinco de ellos, superan el 10%, siempre teniendo mayor exceso en la tecnología más reciente.

Para facilitar el análisis, en la figura 5.6 se muestra una representación gráfica de estos resultados. En ella se aprecia fácilmente cómo la barra roja (st 65nm) va ostensiblemente por encima de la barra color azul (ams 0.35 μ m) en

5.2 Actividad de conmutación: Comparación entre las tecnologías ams 0.35 μ m y st 65nm

$\%(\text{Ntrans}_{\text{verilog}} - \text{Ntrans}_{\text{hspice}})$			
Circuito	ams0.35 μ m	st65nm	Diferencia st - ams
c432	4.8	7.7	2,9
c499	3.5	2.9	-0,6
c880	2.7	3.1	0,4
c1355	16	29.3	13,3
c1908	25.2	39.6	14,4
c2670	16.3	26.2	9,9
c3540	16.5	22.8	6,3
c5315	25.7	39.1	13,4
c6288	115	142.4	27,4
c7552	20.6	27.8	7,2

TABLA 5.6: Porcentaje de errores relativos de $\text{Ntrans}_{\text{verilog}}$ en relación a $\text{Ntrans}_{\text{hspice}}$ para cada tecnología.

la mayoría de los casos. La conclusión sobre el exceso de actividad es, obviamente, la ya comentada.

Estos resultados son bastante significativos en cuanto que en el diseño digital habitual se dan por válidos los resultados de simulación lógica. Entonces, si los resultados anteriormente expuestos para las tecnologías de 0.35 μ m y 65nm son extrapolables como evolución tecnológica, la conclusión indica que la

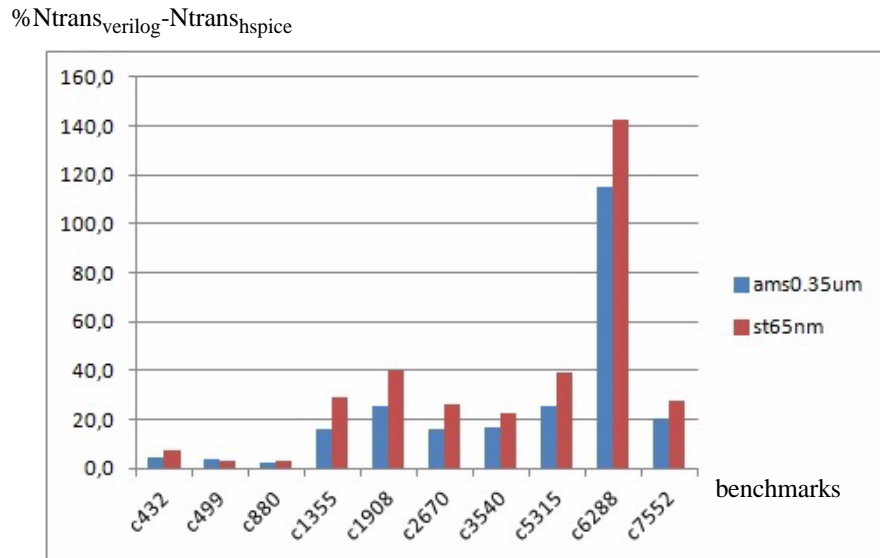


FIGURA 5.6: Comparación del error relativo entre la actividad tras simulación lógica con retraso y la actividad tras simulación eléctrica para las tecnologías ams 0.35 μm y st 65nm.

herramienta digital “aceptada” está cada vez más alejada de la realidad, al menos en las medidas de actividad de conmutación.

El segundo análisis realizado entre las dos tecnologías se refiere al número de *glitches* que cada circuito aporta. Para ello se compara en ambas tecnologías la diferencia de actividad para cada circuito entre la obtenida con el modelo de puertas ideales (retraso cero) y la obtenida con el simulador eléctrico. En la tabla 5.7 se presentan los valores relativos de esta desviación: $(N_{\text{trans}}_{\text{hspice}} - N_{\text{trans}}_{\text{Zero}}) / N_{\text{trans}}_{\text{hspice}}$, que en la tabla aparecen en forma porcentual como $\% (N_{\text{trans}}_{\text{Zero}} - N_{\text{trans}}_{\text{hspice}})$

5.2 Actividad de conmutación: Comparación entre las tecnologías ams 0.35 μ m y st 65nm

%Ntrans _{Zero} -Ntrans _{hspice}		
Circuito	ams0.35 μ m	st65nm
c432	19.5	18.5
c499	21.4	18.6
c880	30	32.3
c1355	25.3	14.6
c1908	28.6	22.4
c2670	32	28.3
c3540	45	41.7
c5315	38.7	34.3
c6288	77.2	82.1
c7552	47.2	40.4

TABLA 5.7: Porcentaje de errores relativos de Ntrans_{Zero} en relación a Ntrans_{hspice} para cada tecnología.

Analizando los resultados de la tabla 5.7 se comprueba que, excepto para dos *benchmarks* (c880 y c6288), la presencia de *glitches* disminuye en la nueva tecnología. Es decir, para cada circuito, ante una secuencia de los mismos 50 estímulos, se generan y transmiten menos *glitches* en la nueva tecnología de los que se generaban y transmitían en la tecnología ams 0.35 μ m. En cualquier caso, esta diferencia en el número de *glitches* que presenta cada circuito oscila en todos los casos por debajo del 7%, salvo en el circuito c1355 en el que esta diferencia alcanza aproximadamente el 11%.

En la figura 5.7 se representan estos resultados gráficamente con el fin de visualizar mejor las diferencias entre tecnologías. Se observa que, en efecto, excepto para los circuitos *benchmark* c880 y c6288, las barras de color rojo (asociadas a la tecnología de st 65nm) queda por debajo de las barras de color azul (ams 0.35 μ m), alcanzándose obviamente la misma conclusión anterior. Sin embargo, aun habiendo en general menor presencia de *glitches* en la tecnología de 65nm, impresiona que resulte peor la sobreestimación en la medida de la actividad de conmutación con el simulador lógico. Este resultado se deriva del hecho de que, en la nueva tecnología, la actividad real del circuito ha disminuido.

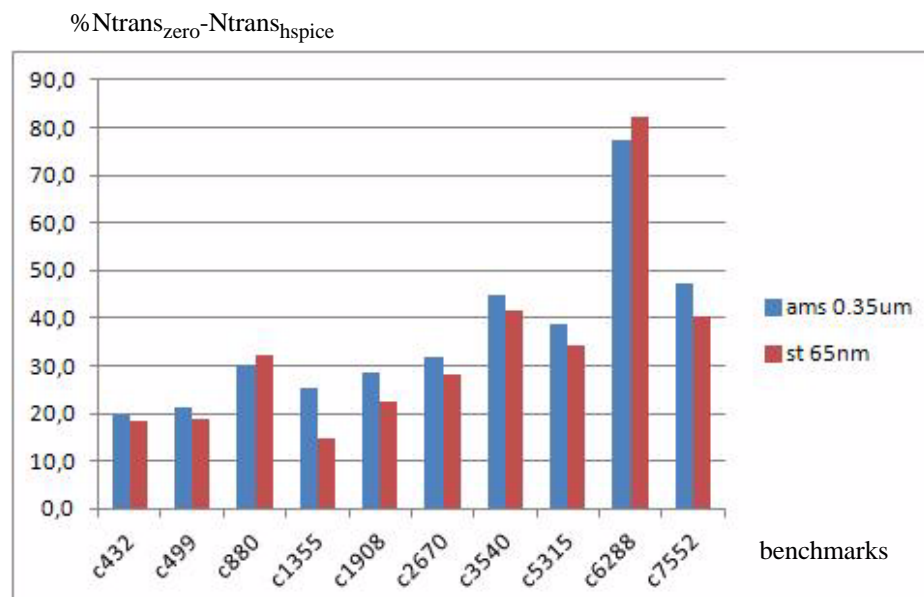


FIGURA 5.7: Comparación del error relativo entre la actividad tras simulación lógica sin retraso y la actividad tras simulación eléctrica para las tecnologías ams 0.35 μ m y st 65nm.

5.3 Actividad de conmutación de un circuito en función del *strength*

Los datos de la actividad de conmutación en los circuitos *benchmarks* que se han presentado en los capítulos precedentes y en éste mismo, demuestran una apreciable diferencia por exceso entre el resultado de la simulación lógica con Verilog y la simulación eléctrica. Esta sobremedida de Verilog está motivada por la poca precisión del modelo de retraso en puertas y, como se ha mostrado en el capítulo 4, si se dispone de un buen modelo, como IDDM/Halotis, se pueden conseguir medidas por simulación lógica mucho más precisas. Desafortunadamente, en el tiempo de desarrollo de este trabajo de Tesis, ni la herramienta ni el modelo IDDM se han incorporado a un entorno de diseño digital comercial. El diseñador digital se encuentra hoy en día con un entorno similar al que se ha utilizado en los trabajos presentados previamente en este capítulo. Esto es, herramientas, modelos, librerías de celdas y tecnologías como las usadas en los apartados 5.1 y 5.2.

En este apartado, se explora una nueva aproximación al intento de obtener valores más reales de la actividad de conmutación medida por simulación lógica en un entorno digital comercial. La idea básica es actuar a nivel local cambiando los parámetros de conmutación de una o pocas puertas, obviamente sin modificar la operación lógica de los circuitos. Esto supone hacer un mínimo rediseño del circuito que se va a traducir en modificar ligeramente la temporización de las señales, con lo que cabe esperar distinta medida en la actividad de conmutación. La comparación entre las medidas lógicas del circuito original y del rediseñado

con leves cambios, y su comparación con las medidas reales (obtenidas con Hspice) permitirá valorar la importancia de esta nueva aproximación.

El leve rediseño local está basado en sustituir una puerta con un *strength* por otra puerta, con la misma funcionalidad pero diferente *strength*. La librería de celdas de una tecnología ofrece, en general, puertas lógicas con diversos diseños geométricos que modifican su *strength*. El diseñador puede elegir qué *strength* desea para su puerta.

Se comprueba mediante los datos tecnológicos en la librería de celdas, cómo al cambiar el *strength* de una puerta cambia su respuesta temporal. Por ejemplo, la figura 5.8 muestra los datos correspondientes a las puertas NAND2 disponibles en la librería de celdas de st 65nm. En dicha tabla se indica el tiempo de propagación, que posee dos componentes, una de retraso intrínseco y otra dependiente de la capacidad de carga (Kload). Puede observarse que los valores de los parámetros de las entradas A y B de la puerta NAND2 son diferentes, como corresponde a la asimetría entre las entradas del diseño CMOS de una puerta NAND2. Se puede ver en la figura 5.8 que conforme el *strength* de la puerta NAND2 aumenta, disminuyen tanto sus tiempos de propagación intrínsecos como su factor asociado a la capacidad de carga en la salida (Kload). El tiempo de propagación, pues, disminuye con el aumento de *strength*.

En base a este comportamiento, si se cambia el *strength* de las puertas en un diseño se podrán cambiar las situaciones de colisiones en las entradas de éstas. Con ello variará el número de *glitches* generados y que posteriormente

5.3 Actividad de conmutación de un circuito en función del strength

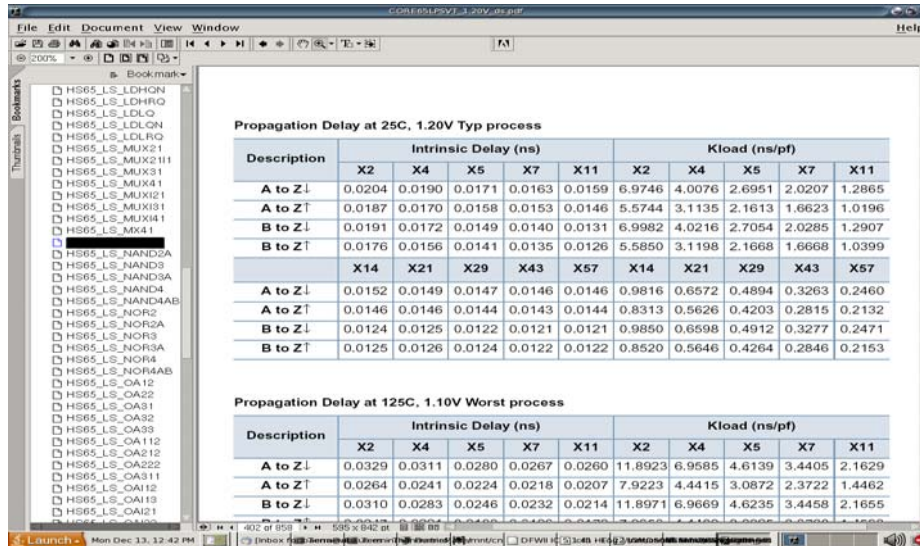


FIGURA 5.8: Tabla de tiempos de propagación de la puerta NAND2 en la tecnología st65nm.

serán propagados por el circuito, cambiando así la actividad de conmutación de los nudos asociados.

Sin embargo, no es fácil predecir las consecuencias que tiene variar el *strength* de una puerta sobre la actividad de conmutación total del circuito²,

- En efecto, el cambio de *strength* tiene su origen en los cambios en la geometría de los transistores de las puertas que, al hacerlas de mayor área, son menos resistivos al paso de la corriente eléctrica y permite picos más grandes de ésta. Las pendientes de salida, entonces, crecen y la puerta se hace más rápida. Esto afecta a todas las partes del circuito en los caminos de propagación a la salida y, en algunos casos, el “adelanto” de las transiciones mejora los efectos de colisiones/glitches y, en otros, los empeora. Por otra parte, al cambiar las geometrías, cambian las capacidades de entrada a esa puerta produciendo una variación en la carga de las puertas precedentes, con lo que se modifican tanto los retrasos como las pendientes de las señales previas a la puerta modificada. De nuevo, debido a que esas señales no sólo van a la puerta modificada sino también a otras partes del circuito, es enormemente difícil, si no imposible, predecir las consecuencias sobre la actividad de conmutación total.

sobre todo en casos como los que estudiamos, en los que hay un gran número de puertas, un gran número de niveles y unos caminos de entrada/salida con múltiples ramificaciones divergentes y convergentes. Por ello, se acudirá a la simulación temporal con el fin de conocer la influencia de los cambios de *strength* en la actividad del circuito.

Para aplicar la idea antes mencionada, se tiene que decidir sobre qué puerta o puertas interesa trabajar. Para ello se buscarán aquellos nudos con medidas sobreestimadas, esto es, los que tienen una alta relación de la actividad en la simulación lógica frente a la actividad resultante de la simulación eléctrica y, por tanto, presentan una alta aportación de actividad no “real” en el circuito.

Una vez que es seleccionado un nudo, se analiza el circuito a nivel de puertas para ver qué estructura presenta su entorno, y se modifica el *strength* de esas puertas para comprobar qué efecto tiene en la actividad de conmutación. Con todo esto, se plantea el procedimiento que se describe a continuación:

- Paso 1: Se buscan en los listados los nudos con alta actividad en la simulación lógica con retraso y baja en la simulación eléctrica. Se selecciona uno de ellos, al que nos referiremos como NUT (*node under test*).
- Paso 2: Se analiza la estructura del circuito en el entorno del NUT.
- Paso 3: Se modifica el *strength* de las puertas del entorno del NUT de tres modos diferentes:
 - En la puerta cuya salida es el NUT.
 - En las puertas del nivel anterior al NUT.

5.3 Actividad de conmutación de un circuito en función del strength

- En las puertas del nivel posterior al NUT.

En el paso 1, se parte de las dos listas de actividad en nudos, la lista generada tras la simulación lógica con retraso y la producida con la simulación eléctrica. Comparando ambas listas se obtiene una nueva lista donde aparece el conjunto de nudos a tratar entre los que han mostrado una gran diferencia en su actividad de conmutación entre ambos tipos de simulaciones. El diseñador elegirá el valor que le interesa para esa diferencia.

En el paso 2, se elige un nudo de la lista anterior como NUT. Para identificar la puerta correspondiente a ese nudo y su entorno, se utiliza la herramienta de diseño digital con la que trabajamos, *Design Framework II* (DFWII), y a partir de la descripción verilog del circuito, se importa en dicha herramienta y ésta nos ofrece la visión del esquemático del circuito. Basta buscar el nombre del nodo en la herramienta y se destaca la parte del circuito que se tiene que analizar en detalle en el paso siguiente.

En el paso 3, se va modificando el *strength* de las puertas alrededor del NUT, se mide la actividad de conmutación después de cada cambio, siempre con el mismo conjunto de estímulos, y se comparan con los que se tenían antes del cambio.

Como ejemplo, se ha aplicado este procedimiento a dos de los circuitos *benchmarks*, en concreto, al circuito c2670 y al c1908, y posteriormente se analizan los resultados obtenidos.

5.3.1 Circuito c2670 (233 entradas, 140 salidas, 1350 nudos, 1193 puertas)

En la figura 5.9 se presenta la visión esquemática del circuito completo, mostrando su complejidad: en este nivel no se aprecian los detalles del diseño. Como se presentó con anterioridad, se simula este circuito con 50 estímulos pseudoaleatorios y se mide la actividad de conmutación para la simulación lógica verilog sin retraso (Zero), con retraso (verilog) y la simulación eléctrica usando el simulador Hspice. Los resultados fueron los siguientes:

Ntrans_{Zero}: 26279
Ntrans_{verilog}: 46233
Ntrans_{hspice}: 36637

A continuación, sobre este circuito se procede con los tres pasos antes mostrados. Cada simulación aporta la actividad de conmutación de cada uno de los 1350 nudos del circuito. Se comparan nudo a nudo ambas listas. La tabla 5.8 muestra ocho nudos que destacan porque su actividad de conmutación en la simulación lógica Ntrans_{verilog} es muy alta comparada con la actividad en la simulación eléctrica Ntrans_{hspice}. Están ordenados de mayor a menor según la diferencia entre ambas actividades. Son por tanto estos nudos los que cumplen el requisito del paso 1 de la metodología, sobre los que se centra el estudio y se presenta cómo se ve afectada su actividad.

A continuación, sobre cada nudo de la tabla 5.8 se aplican los pasos 2 y 3.

5.3 Actividad de conmutación de un circuito en función del strength

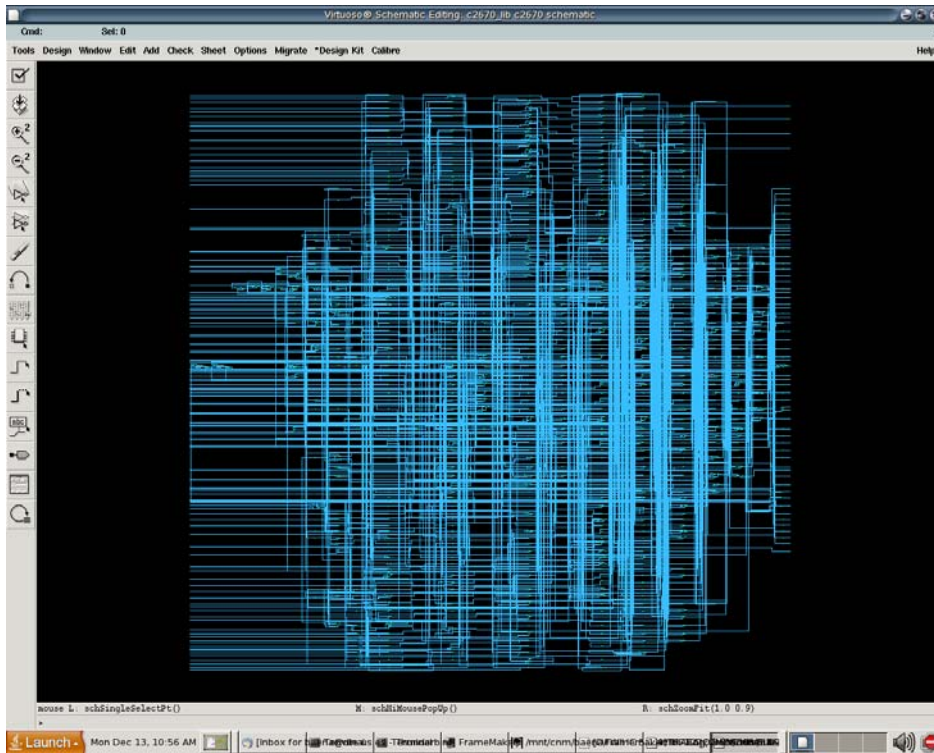


FIGURA 5.9: Circuito benchmark c2670.

Nudo n1239:

En la figura 5.10 se muestra una ampliación de la vista esquemático del circuito c2670 centrada en el nudo n1239. En general, cN denota circuito N; nN nudo N; y GN puerta (*gate*) N. Como puede verse, se trata del nudo de salida de una puerta AND de 2 entradas que llamaremos G1239. También aparece en la misma figura la puerta del nivel posterior, G1240, una OR de 2 entradas cuyo nudo de salida n1240 igualmente está en la lista de los nudos destacados de la

nudo	Ntrans_{verilog}	Ntrans_{hspice}	Ntrans_{verilog}–Ntrans_{hspice}
n1239	100	0	100
n1240	98	0	98
n1247	98	0	98
n231	98	0	98
n473	98	0	98
n687	143	49	94
n686	143	59	84
n650	139	71	68

TABLA 5.8: Nudos destacados en el circuito *benchmark c2670*.

tabla 5.8. Dado que en la figura 5.10 no se pueden apreciar las puertas del nivel anterior, se ha reproducido un esquema del circuito en torno al nudo n1239 que se muestra en la figura 5.11.

Se aplica el paso 3 al nudo bajo estudio:

Inicialmente se trabaja con las puertas por defecto, de mínimo *strength*. Analizando la librería de celdas se observa que el *strength* en una AND2 varía entre 4 y 35. Según se indicó en la metodología, inicialmente se cambia el *strength* de la puerta G1239 (ver figura 5.11) cuya salida es el nudo NUT, n1239. En nuestro estudio se analizan dos valores de *strength*: 18 y 35. Para cada valor del *strength* se obtiene un nuevo fichero de retrasos “.sdf” para utilizar en una nueva simulación lógica usando para ésta los mismos estímulos que en las anteriores simulaciones. De esta forma, como la actividad depende de las

5.3 Actividad de conmutación de un circuito en función del strength

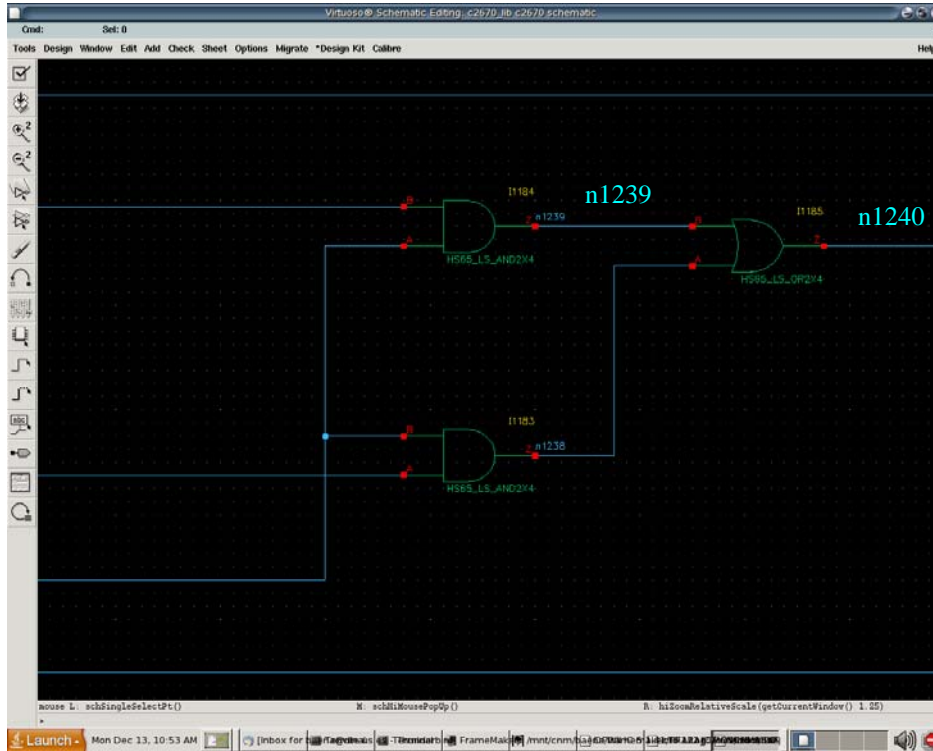


FIGURA 5.10: Detalle del nudo n1239 en la vista esquemático del circuito c2670.

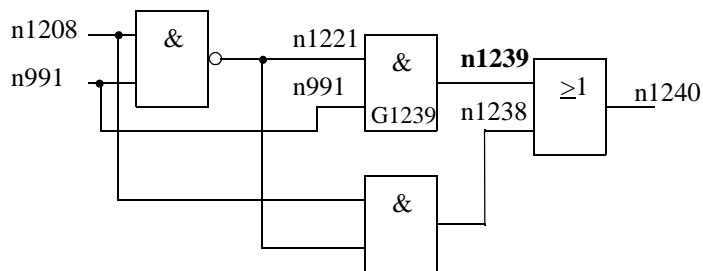


FIGURA 5.11: Localización ampliada del nudo n1239 en el circuito.

G1239	Ntrans		
	n1239	n1240	total
AND2X4	100	98	46233
AND2X18	98	98	46323
AND2X35	98	98	46323

TABLA 5.9: Variación en la actividad de conmutación de los nudos n1239, n1240 y total.

excitaciones de entrada, al no cambiar de estímulos, la nueva actividad de conmutación viene provocada exclusivamente por el cambio de puerta. Así se obtiene un nuevo listado con los valores de la actividad de conmutación tanto del nudo bajo estudio como del circuito completo. En la tabla 5.9 se muestran estos resultados: la primera columna muestra la actividad de conmutación para NUT (n1239) en los tres casos de *strength* y la segunda muestra la salida de la puerta siguiente a la puerta G1239 (ver figura 5.11).

De la tabla 5.9 se deduce que el hecho de cambiar el *strength* de la puerta G1239 no varía apenas los resultados ni en la actividad de conmutación del nudo NUT ni en la actividad total del circuito. Sólo se ha reducido en 2 transiciones la actividad de dicho nudo e incluso ha aumentado ligeramente la actividad del circuito completo. Asimismo, tampoco hay diferencia apreciable entre uno y otro caso de los dos valores del *strength*.

5.3 Actividad de conmutación de un circuito en función del strength

Para explicar estos resultados nos basamos en los siguientes datos. El cambio de *strength* modifica ligeramente los instantes de cambio de las señales en los nudos como puede verse en la tabla de tiempos de propagación de la figura 5.8. Esto provoca ligeros cambios en las colisiones en algunas puertas que antes no se daban y/o pulsos que cambian en alguna medida su duración y ahora no son filtrados. La consecuencia de estos pequeños cambios es, en este caso, que aumenta la actividad total medida por el simulador lógico.

Igualmente, al aumentar el *strength* de la puerta aumentan las capacidades de los pines de entradas a esa puerta por lo que las transiciones en esos nudos se hacen más lentas y eso lleva a que cambie la posibilidad de colisiones en esas entradas provocando *glitches* en las salidas. Estas situaciones pueden verse en el cronograma presentado en la figura 5.12. En él se muestra la evolución temporal de los nudos de entradas y salidas de las puertas que aparecen en la figura 5.11, en concreto n1208, n991, n1221, n1238, **n1239** y n1240. Estos nudos están repetidos tres veces en la figura, las seis primeras ondas corresponden a la evolución de esos seis nudos para el caso del circuito inicial, donde la puerta bajo estudio tiene el mínimo *strength*, en concreto de valor 4. Las siguientes seis ondas corresponden a esos nudos tras la simulación donde se sustituyó la puerta AND2X4 por una AND2X18 de *strength* 18 y, por último, las seis restantes ondas corresponden a la simulación tras haber cambiado la puerta AND2X4 por una AND2X35 de *strength* 35.

La figura 5.12 muestra la ventana capturada de la herramienta de simulación, pero en ella no puede verse con claridad la evolución temporal de cada nudo ni se llega a apreciar bien la leyenda. Por ello, para ganar en claridad,

CAPÍTULO 5: Influencia de la tecnología en la actividad de conmutación medida con herramientas comerciales

hemos hecho una reproducción “a mano” de este cronograma que se presenta en la figura 5.13. Con un análisis de estas ondas y recordando esta parte del circuito (figura 5.11) se puede comprobar la existencia de las situaciones antes comentadas:

Tanto el nudo n1221 como el n991 se hacen cada vez más lentos ante un cambio en alguna de las entradas de su puerta porque las capacidades en esos puntos del circuito han aumentado con el *strength* de G1239. Debido a esto, aumenta el tiempo en el que ambos nudos están a 1 y, por tanto, provocan el

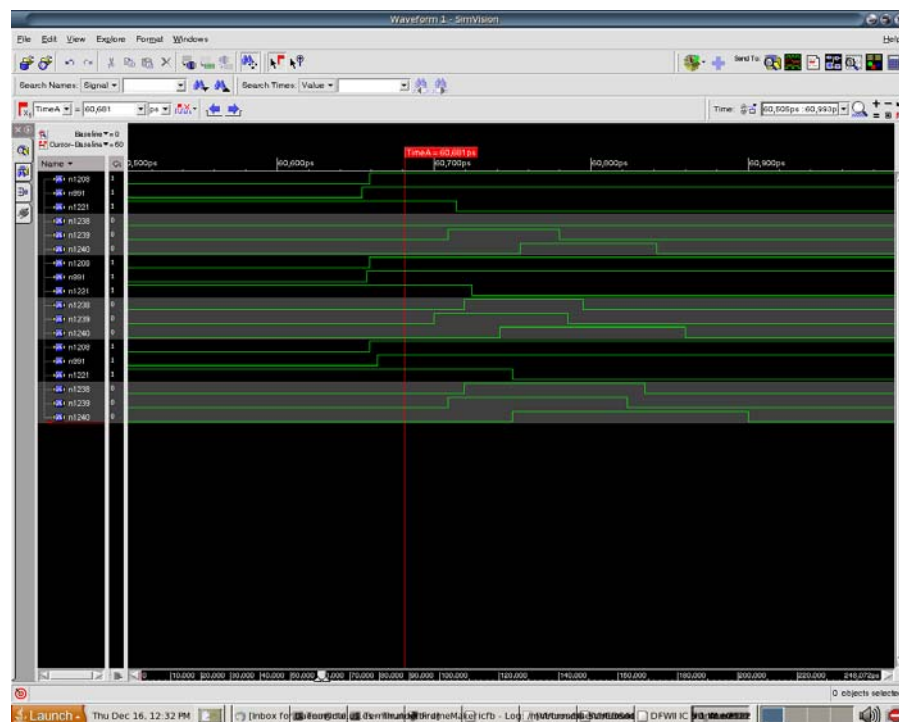


FIGURA 5.12: Resultados de la simulación para el nudo n1239 y entorno.

5.3 Actividad de conmutación de un circuito en función del strength

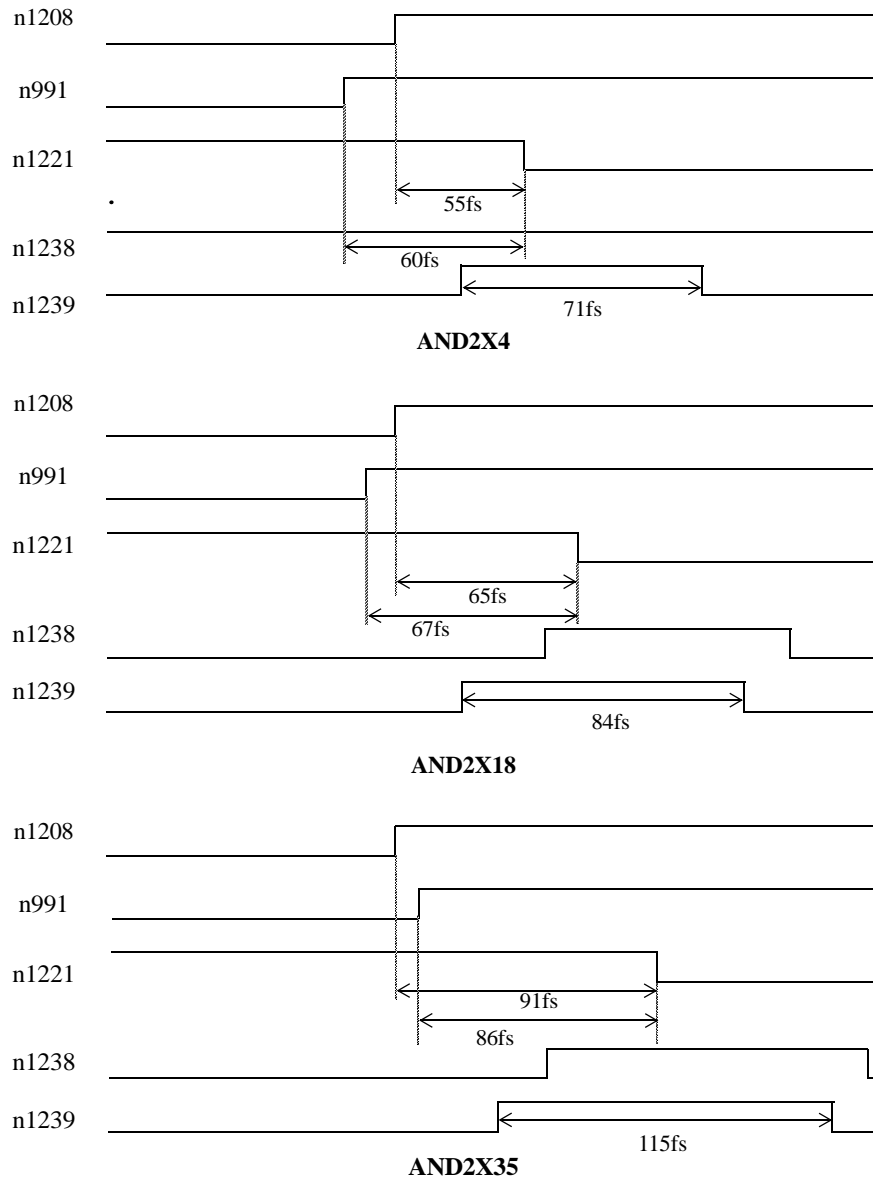


FIGURA 5.13: Evolución temporal de los nudos del entorno de la puerta AND2 bajo estudio.

pulso en el nudo de salida n1239. Otro hecho que ocurre con el aumento del *strength* en G1239 es que las respuestas del nodo NUT a los cambios en sus entradas son más rápidos, aunque este hecho no se ha destacado en la figura 5.13 para no hacerla más compleja. Asimismo, es relevante lo que ocurre en el nudo n1238. Nótese que, en el caso de la puerta de menor *strength*, los nudos n1208 y n1221 permanecen a 1 durante 55 fs y ello no da lugar a un pulso en el nudo n1238 que surge de la operación AND de esos dos valores. Sin embargo, en los otros dos casos de *strength*, como crece la simultaneidad de unos en n1208 y n1221, la cual dura 65 y 91 fs respectivamente, se produce el pulso que muestra el nudo n1238 en la figura 5.13. Así queda justificado el aumento global del número de transiciones expresados en la tabla 5.9. Concretamente, el nudo n1238 ha pasado de no tener actividad de conmutación relevante para el *strength* 4 a poseer 98 y 100 cambios para los *strengths* de 18 y 35, respectivamente.

Tras analizar el cambio en la actividad de conmutación con el cambio de *strength* en G1239, se continúa el estudio modificando el *strength* de las puertas del nivel anterior al nudo n1239. En la figura 5.14 se muestra el entorno del nudo n1239 incluyendo las puertas del nivel previo, G1221 y G991. En concreto se trata de una puerta NAND de 2 entradas, NAND2, cuya salida es el nudo n1221 y una puerta OR de 2 entradas, OR2, cuya salida es el nudo n991.

En la figura 5.14 se reconoce una estructura de circuito que presenta azar estático, concretamente en el conjunto formado por las puertas NAND2 y AND2, G1221 y G1239 respectivamente, dado que tienen el nudo n991 común. Situaciones de entradas como las mostradas en la figura 5.15 podrían

5.3 Actividad de conmutación de un circuito en función del strength

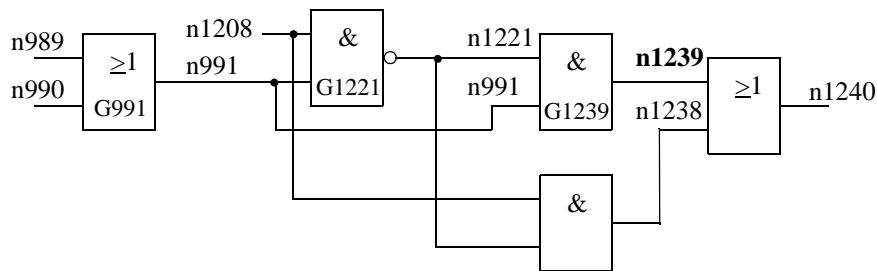


FIGURA 5.14: Localización ampliada a los niveles anteriores del nudo n1239 en el circuito.

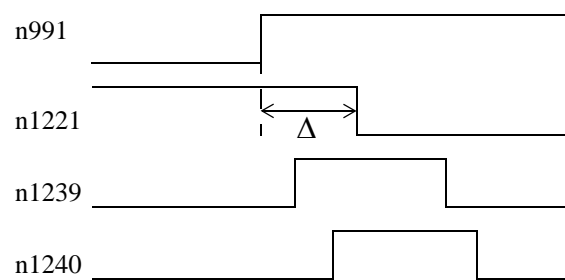


FIGURA 5.15: Evolución temporal que puede provocar *glitch* en el nudo n1239.

provocarlos en n1239 y éstos se pueden transmitir al resto del circuito, como ocurre en n1240, aumentando la actividad de conmutación.

El propósito del rediseño es reducir en lo posible el tiempo en el que los nudos n991 y n1221 están a 1, marcado con el parámetro Δ en la figura 5.15. Así, al acercar los instantes de transición de ambas señales puede darse la circunstancia de que el *glitch* sea filtrado por la puerta desapareciendo el *glitch* en la salida. Para ello se actuará sobre la puertas precedentes. Así, se modifica el

strength de la puerta NAND2 cuya salida es el nudo n1221 y con ello se hace más rápida su respuesta ante el cambio en la entrada n991.

De entre los posibles valores en el *strength* de una NAND2 se elige 14, un valor intermedio entre 2 (el valor mínimo y escogido originalmente) y 57, el máximo. Asimismo, se cambia también el *strength* de la puerta OR2 cuya salida es el nudo n991. Éste valor oscila entre *strength* 2 y 35, se tomará el valor 18 para su estudio.

En la tabla 5.10 se presentan los valores de la actividad de conmutación medidos de la siguiente manera: se referencia el nombre de los pines A y B de la puerta AND2 cuyo nudo de salida es sobre el que se quiere reducir su actividad de conmutación, el nudo n1239. Al lado del nombre del pin se señala el valor del *strength* analizado. Así, por ejemplo, la segunda fila de la tabla 5.10 indica el caso en el que la puerta NAND2, cuya salida se conecta al pin A, tiene *strength* 14 y la OR2, cuya salida se conecta al pin B, tiene *strength* 2. Antes de obtener los nuevos valores en la actividad de cada nodo, se obtiene el nuevo fichero de retrasos con la nueva puerta y se utiliza en la simulación lógica con los mismos estímulos usados para el circuito inicial y así se pueden comparar los resultados.

Como se deduce de la tabla 5.10, para el caso donde sólo se cambia el *strength* de la puerta NAND2 se obtiene una gran variación en el valor de la actividad de conmutación tanto en el nudo n1239 como en el siguiente, n1240. La actividad de conmutación del nudo n1239 pasa de valer 100 a 2, una

5.3 Actividad de conmutación de un circuito en función del strength

G1221 (pin A)		Ntrans				
G991 (pin B)	n1221	n991	n1239	n1238	n1240	total
A_X2_B_X2	100	100	100	0	98	46233
A_X14_B_X2	98	98	2	0	2	45717
A_X2_B_X18	100	100	98	2	100	46239
A_X14_B_X18	98	100	100	4	104	46071

TABLA 5.10: Actividad de conmutación de los nudos del entorno del n1239 y actividad total para distinto *strength* de las puertas G1221 (pin A) y G991 (pin B).

reducción del 98%, y la del nudo n1240 pasa de 98 a 2 (97.9%). Asimismo, si se analiza la actividad total del circuito, para el caso A_X14_B_X2 nos da el valor más bajo de la tabla. Se consigue pasar de 46233 en el circuito original a 45717. Analizando las formas de ondas de los nudos n1221 y n991 tras la simulación, se comprueba que, en situaciones como la que se muestra en la figura 5.15, el valor Δ se mantiene entre 35 y 40 fs y por tanto son filtradas por la puerta eliminándose el *glitch* en la salida. Sólo para uno de los estímulos se hace $\Delta=166$ fs, el cual, al tener más duración, no es filtrado y es el que aporta las 2 transiciones en la actividad total del nudo n1239.

Tras haber estudiado el efecto del cambio de *strength* sobre las puertas del nivel anterior al nudo n1239 y antes de pasar a estudiar el efecto del cambio sobre las puertas del nivel posterior, se ha realizado el siguiente estudio: comprobar si la variación en la actividad de conmutación en este último caso

G1221	semilla	Ntrans	
		n1239	n1240
	954	100	98
A_X2_B_X2	54	78	78
	18	108	108
	954	2	2
A_X14_B_X2	54	2	2
	18	4	4

TABLA 5.11: Actividad de los nudos n1239 y n1240 para diversas semillas.

encontrado (A_X14_B_X2) persiste para otros conjuntos de estímulos. Para ello, se han realizado otras dos simulaciones lógicas usando otra semilla para la generación de los 50 estímulos pseudoaleatorios y los resultados se presentan en la tabla 5.11.

La tabla 5.11 muestra la actividad de conmutación de los nudos n1239 y n1240 para el circuito original, con puertas de mínimo *strength*, y para el caso de la puerta G1221 con *strength* 14. En la segunda columna, para cada *strength*, se muestran las semillas de los tres conjuntos de estímulos utilizados en las medidas. Por último, en la tercera y cuarta columna de la tabla, se muestran los correspondientes valores de la actividad de conmutación medidos para los nudos n1239 y n1240. Puede observarse que para los tres conjuntos de estímulos, la actividad de conmutación de ambos nudos han visto reducido drásticamente su

5.3 Actividad de conmutación de un circuito en función del strength

G1240	Ntrans			total
	n1239	n1238	n1240	
OR2X4	100	0	98	46233
OR2X18	98	0	98	46231

TABLA 5.12: Variación en la actividad de conmutación en los nudos asociados a la puerta del nivel posterior.

valor. Se deduce de estos resultados que la gran variación está asociada al circuito. Es decir, para cualquier conjunto de entradas, la variación del *strength* provoca que la actividad medida para ambos nudos se haya reducido muy considerablemente.

Por último, queda analizar el efecto de modificar el *strength* de la puerta del nivel posterior al NUT, n1239. Se trata de G1240, una puerta OR de dos entradas, en este caso los nudos n1239 y n1238, y cuya salida es el nudo n1240. El parámetro *strength* de la puerta OR2 varía entre 4 y 35. Se ha elegido *strength* 18 para nuestro análisis. En la tabla 5.12 se muestran resultados de actividad tras la simulación lógica. Igualmente, se ha obtenido un nuevo fichero de retrasos “.sdf” actualizando la puerta OR bajo estudio.

Se comprueba que la actividad de conmutación de cada nodo apenas se ve afectada por este último cambio. Sólo en el nudo n1239 presenta dos transiciones menos. Tampoco la actividad total del circuito cambia significativamente. Por el hecho de aumentar el *strength* de la puerta OR2, cambian las capacidades en los

pinos de entrada, y en concreto en el nudo n1239, haciéndose más lenta su respuesta en ese nodo, hecho que básicamente no elimina ningún *glitch*.

Tras haber aplicado el procedimiento en el nudo n1239 se ha comprobado que la reducción en la actividad de conmutación de un nodo del circuito ocurre al cambiar el *strength* de una de las puertas del nivel anterior al nudo bajo estudio. De esta manera se consiguen balancear los cambios de las entradas a la puerta cuya salida es el nudo elegido y así se pueden reducir o eliminar situaciones de colisión que son motivo de generación de *glitches* en la salida de la puerta. Modificar el *strength* de la puerta cuya salida es el nudo bajo estudio o el de las puertas del nivel posterior no ha generado cambios significativos en las medidas de actividad de conmutación.

Continuamos aplicando el procedimiento presentado a los otros nudos de la tabla 5.8. Para su análisis los agruparemos en tres conjuntos: el primero reúne a los nudos por los que se propaga la señal del NUT (n1240, n1247, n473 y n231); el segundo acoge a los nudos n686 y n687, que forman parte de otra estructura de circuito independiente a todas las anteriores; por último, el nudo n650 es la salida de otra estructura de circuito independiente.

Nudos n1240, n1247, n473 y n231:

Los nudos n1240, n1247, n473 y n231 son otros nudos del circuito señalados en la tabla 5.8 que están en situación equivalente al nudo n1239, es decir, con una gran diferencia entre $N_{trans_{verilog}}$ y $N_{trans_{hspice}}$. Se comprueba que son nudos que, en la estructura del circuito, se encuentran en niveles

5.3 Actividad de conmutación de un circuito en función del strength

G1221	semilla	Ntrans				
		n1239	n1240	n1247	n473	n231
	954	100	98	98	98	98
A_X2_B_X2	54	78	78	78	78	78
	18	108	108	108	108	108
	954	2	2	2	2	2
A_X14_B_X2	54	2	2	2	2	2
	18	4	4	4	4	4

TABLA 5.13: Actividad de los nudos n1239 y n1240 y siguientes para diversas semillas.

posteriores a n1239 y directamente afectados por él. Los valores de la actividad de conmutación de cada uno de ellos en las mismas condiciones de la tabla 5.11 (*strength* inicial y con A_X14_B_X2 en la puerta NAND2 G1221) y para cada conjunto de estímulos se muestran en la tabla 5.13. Obsérvese que todos estos nudos muestran una reducción en la actividad de conmutación entre el 96% y el 98%, equivalente a la de su nudo predecesor, n1239.

Nudos n686 y n687:

El nudo n686 tiene una actividad de conmutación $N_{\text{trans}}_{\text{verilog}} = 143$ y $N_{\text{trans}}_{\text{hspice}} = 59$, mientras que n687 tiene $N_{\text{trans}}_{\text{verilog}} = 143$ y $N_{\text{trans}}_{\text{hspice}} = 49$ en el diseño con *strength* mínimo (tabla 5.8). Si se aplica el paso 2 de la metodología, la estructura del circuito en el entorno de ambos nudos es la mostrada en la figura 5.16.

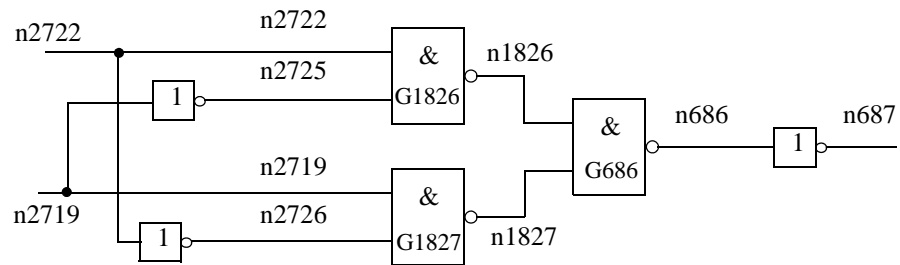


FIGURA 5.16: Localización ampliada del nudo n686 en el circuito

Puede observarse que el nudo n687 procede directamente de invertir el nudo n686. También, que el nudo n686 es la salida de una NAND2 que a su vez recibe las salidas de las NAND2 G1826 y G1827. El nudo bajo test NUT ahora es n686.

Inicialmente la actividad de conmutación de ambos nudos para el caso de las puertas de menor *strength* es, como acabamos de indicar, de 143. Tras la experiencia derivada del estudio hecho sobre el nudo n1239, ahora en este nuevo NUT, n686, probaremos a cambiar el *strength* de las puertas del nivel anterior al NUT. Para ello se modifica el *strength* de la puerta G1826 (asociada al pin A de la puerta G686) y de la puerta G1827 (asociada al pin B de la puerta G686). Al tratarse de puertas NAND para las que los valores de *strength* oscilan entre 2 y 57, se elige el valor 14 para su estudio. Igual que en ocasiones anteriores, se han calculado nuevos ficheros de retrasos cada vez que se ha cambiado el *strength* de

5.3 Actividad de conmutación de un circuito en función del strength

G1826 (pin A)		Ntrans			
G1827 (pin B)	n1826	n1827	n686	n687	total
A_X2_B_X2	101	56	143	143	46233
A_X14_B_X2	79	50	129	125	46113
A_X2_B_X14	97	60	155	143	46225
A_X14_B_X14	75	56	129	129	46109
A_X57_B_X2	55	58	107	107	45991

TABLA 5.14: Actividad de conmutación de los nudos del entorno del n686 y actividad total para distinto *strength* de las puertas G1826 (pin A) y G1827 (pin B).

las puertas G1826 y/o G1827. Los resultados de la simulación lógica se muestran en la tabla 5.14.

Analizando los números de la tabla 5.14, se pueden observar los siguientes comportamientos: La primera fila muestra la puerta inicial (*strength* mínimo) y en la segunda, se ha cambiado el *strength* de la puerta G1826 al valor de 14. En este caso, tras la simulación lógica, la actividad del nudo n686 ha disminuido de 143 a 129 (aproximadamente un 10%) y la del nudo n687, de 143 a 125. Para el caso donde se cambia el *strength* de la puerta G1827, fila tercera, la actividad no se ha reducido sino incluso presenta un incremento. Por último, cuando se cambia el *strength* de las dos puertas simultáneamente, fila cuarta, se obtiene una reducción en la actividad del mismo orden de la que se obtuvo para el primer caso (A_X14_B_X2). Dado que en ese primer caso se encuentra la mayor reducción, se ha procedido a cambiar nuevamente el valor del *strength* de la

puerta G1826, esta vez a su valor máximo, 57, para comprobar si al ser más rápidas las transiciones en las salidas de las puertas se evita un mayor número de colisiones en la entradas de G686. Al analizar los datos de la última línea de la tabla se aprecia que, efectivamente, la tendencia en la actividad de conmutación es a seguir bajando. En esta ocasión se pasa de 143 a 107, aproximadamente una reducción de un 25% en la actividad de los nudos n686 y n687.

En la figura 5.17 se muestran las tres situaciones destacadas del estudio anterior. Se presenta la evolución temporal de los nudos n1628, n1827, n686 y n687 bajo los mismos estímulos. Las cuatro primeras ondas corresponden al circuito original, donde todas las puertas son de mínimo *strength*, las siguientes cuatro ondas corresponden a la simulación tras haber modificado el *strength* de la puerta G1826 a 14, y por último, las cuatro ondas restantes de la figura son la respuesta del circuito donde la puerta G1826 tiene *strength* = 57. Aunque se aprecia con dificultad, existe una reducción considerable en el número de *glitches* especialmente entre las cuatro primeras ondas y las cuatro últimas, tal como indican los números de la tabla 5.14.

Cambiar el *strength* de la puerta G1826 ha implicado una cierta disminución en la actividad aunque los valores siguen estando bastante alejados de los de Hspice. En efecto, como se expresó en la tabla 5.8, los valores de la actividad para el nudo n686 en la simulación Hspice para el caso de puertas de mínimo *strength* es $N_{trans_{hspice}} = 59$, valor que es casi la mitad del menor valor para n686 obtenido mediante simulación lógica, que es de 107 (tabla 5.14).

5.3 Actividad de conmutación de un circuito en función del strength

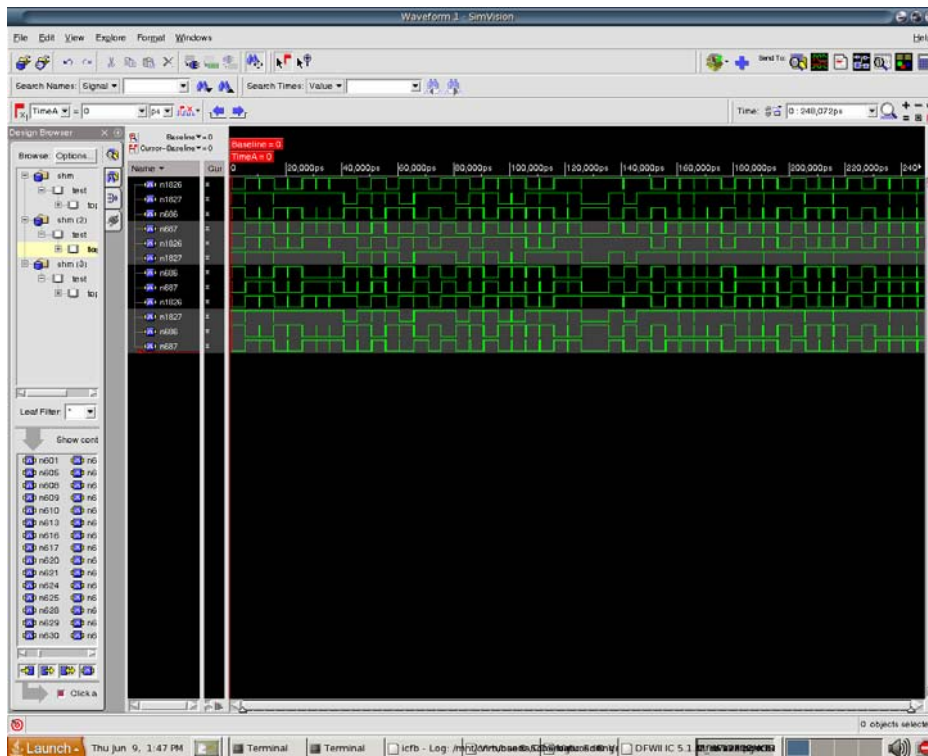


FIGURA 5.17: Respuesta temporal del nudo n686 y su entorno para el circuito original y con la puerta G1826 modificada para strength=14 y strength=57.

La estructura del circuito de la figura 5.16 es la de una puerta XOR entre n2722 y n2719 que debe responder con un cambio a la salida ante cualquier cambio en una entrada. La aparición de un *glitch* en la salida de una XOR es consecuencia o bien de la propagación de un *glitch* en una entrada permaneciendo la otra entrada constante, o bien por un cambio casi-simultáneo en las dos entradas de la XOR. El primero de los casos no es evitable con el procedimiento de cambiar el *strength* de la puerta del nivel posterior (G687),

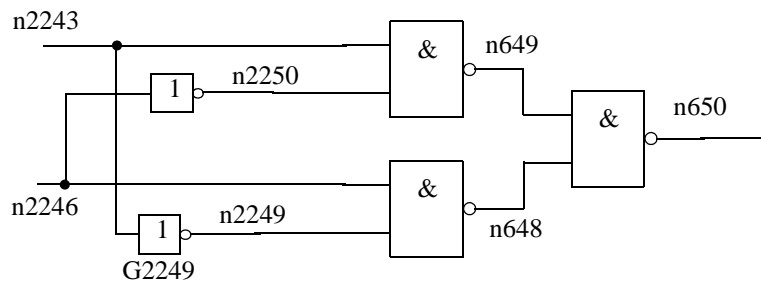


FIGURA 5.18: Localización ampliada del nudo n650 en el circuito.

como ya se ha observado en el análisis del nudo n1239 al cambiar el *strength* de la puerta G1240. Por otra parte, cuando las dos entradas cambian simultáneamente, basta un pequeño desfase entre sus cambios para que la salida cambie también. Esto podría ser la explicación de por qué se reduce tan poco la actividad de conmutación en este caso.

Nudo n650:

Otro de los nudos de interés es el n650, cuyas actividades de conmutación para el diseño inicial son $N_{\text{trans}}_{\text{verilog}} = 139$ y $N_{\text{trans}}_{\text{hspice}} = 71$ (ver tabla 5.8). Sobre este nodo se aplica el paso 2 de la metodología. Se trata de la salida de una puerta NAND de 2 entradas, G650, y alrededor de ella la estructura de circuito se muestra en la figura 5.18, que como puede observarse que se trata de una XOR entre n2243 y n2246, similar al caso anterior (figura 5.16).

Para su estudio, se quieren aproximar en el tiempo los cambios de los nudos n649 y n648 para ver si se pueden eliminar transiciones en n650

5.3 Actividad de conmutación de un circuito en función del strength

G2249	Ntrans						
	n2243	n2249	n649	n2246	n2250	n648	n650
X2	105	99	85	70	70	60	139
X35	93	93	79	70	70	70	131

TABLA 5.15: Actividad de conmutación de los nudos del entorno del n650 y actividad total para distinto *strength* de la puerta G2249.

provocadas por simultaneidad de 1's no deseada, es decir, motivadas por el retraso en el cambio de una de las dos entradas lo que provoca colisiones. Para ello, y con el fin de explorar otra aproximación diferente al anterior caso (figura 5.16), esta vez el estudio se ha centrado en el inversor G2249, cuya entrada es n2243 y cuya salida es n2249.

Si se buscan los valores de *strength* para el inversor en la librería de celdas, se comprueba que oscilan entre 2 y 284. Al analizar los datos de los tiempos de propagación suministrados por el fabricante, se ve que la respuesta más rápida se obtiene con el valor del *strength* de 35. Para valores mayores los tiempos de propagación de la puerta empiezan a aumentar. Por ello, se elige este valor para el estudio. En la tabla 5.15 se muestran los resultados de la actividad de conmutación obtenida al cambiar el *strength* del inversor.

Nuevamente se comprueba que el cambio en el *strength* del inversor modifica ligeramente la actividad de conmutación de los nudos de esta parte del circuito. Se repite con este nudo la situación del caso analizado anteriormente

(nodos n686 y n687), es decir, que tienen en común estar a la salida de una estructura XOR.

5.3.2 Circuito c1908 (33 entradas, 25 salidas, 913 nodos y 880 puertas)

En la figura 5.19 se muestra la visión esquemática de otro *benchmark*, en este caso del circuito c1908, obtenida dentro del entorno de diseño DFW2. Como se presentó con anterioridad, se ha simulado este circuito con 50 estímulos pseudoaleatorios y se ha medido la actividad de conmutación para la simulación lógica verilog sin retraso (Zero), con retraso y la simulación eléctrica usando el simulador Hspice. Los resultados con el diseño inicial fueron los siguientes:

Ntrans_{Zero}: 18465
Ntrans_{verilog}: 33247
Ntrans_{hspice}: 23807

A continuación, se aplica el primer paso de la metodología y, en la tabla 5.16, se presentan los nodos que presentan mayor diferencia en la actividad de conmutación obtenida por la simulación lógica con retrasos y la simulación eléctrica. Siempre con la misma secuencia de estímulos. Se han elegido aquellos nodos cuya diferencia en la actividad superaba los 60 cambios y están ordenados por orden decreciente. Para su exposición en esta Tesis, de toda la lista se ha seleccionado el nudo n53 para su estudio detallado y, de esta forma, se presenta un ejemplo que no es el de mayor diferencia.

5.3 Actividad de conmutación de un circuito en función del strength

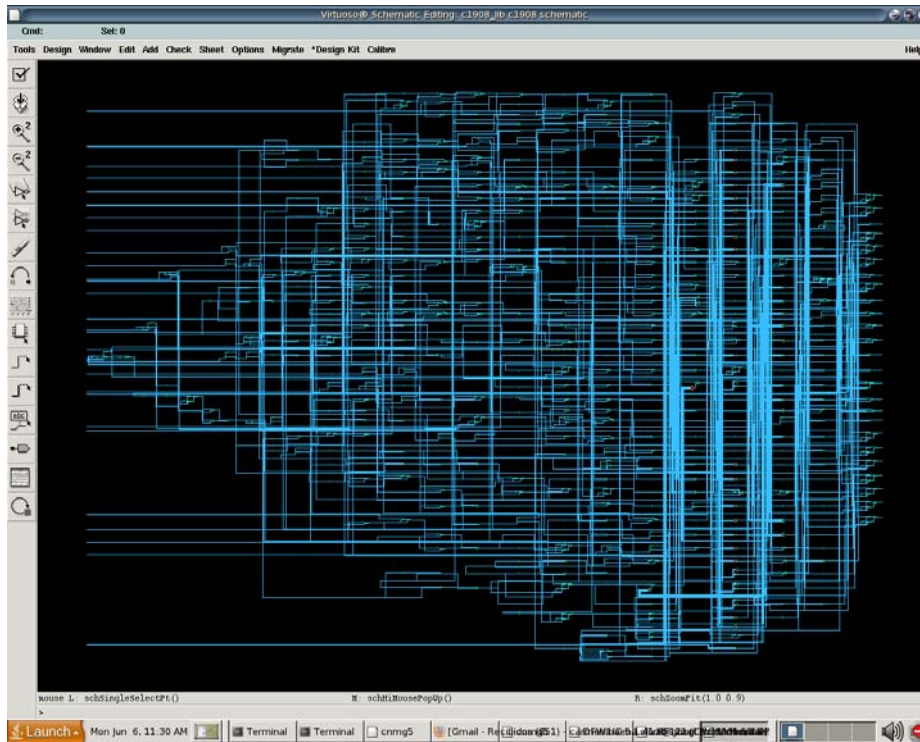


FIGURA 5.19: Circuito *benchmark* c1908.

Nudo n53:

El nudo n53 en el diseño original presenta una actividad $N_{\text{trans}}_{\text{verilog}} = 125$ y $N_{\text{trans}}_{\text{hspice}} = 47$. Se trata del nudo de salida de una NAND de dos entradas, G53, cuyas entradas son los nudos n349 y n350 y que se encuentra en el nivel previo al de salida. En la figura 5.20 se ha detallado este esquema.

nudo	$N_{trans_{verilog}}$	$N_{trans_{hspice}}$	$N_{trans_{verilog}} - N_{trans_{hspice}}$
n419	137	53	84
n418	137	59	78
n53	125	47	78
n49	137	61	76
n1025	135	61	74
n286	137	63	74
n1029	135	63	72
n349	123	57	66
n1149	125	61	64
n379	104	40	64
n422	131	67	64
n1153	125	63	62

TABLA 5.16: Nudos destacados en el circuito benchmark c1908.

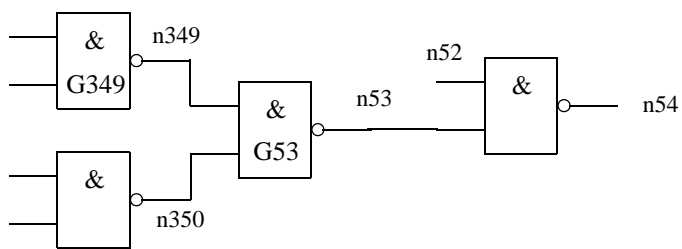


FIGURA 5.20: Detalle del nudo n53 en la vista esquemático del circuito.

5.3 Actividad de conmutación de un circuito en función del strength

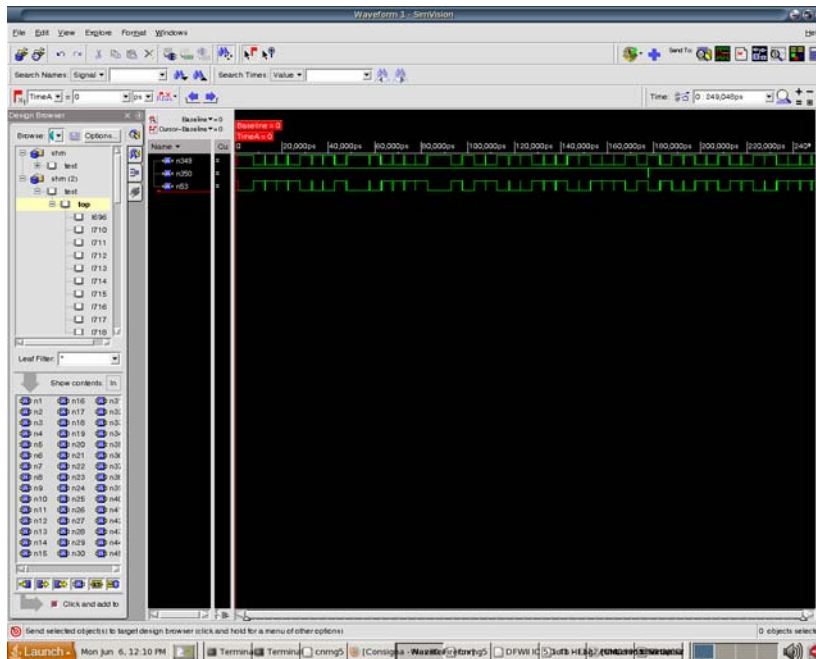


FIGURA 5.21: Resultados de la simulación lógica para el nudo n53 y entorno.

En la figura 5.20, los nudos n349 y n350 son igualmente salidas de puertas NAND2 y los valores de *strength* para este tipo de puerta oscilan entre 2 y 57. Se eligen los valores 14, 29 y 57 para su estudio. Si se analiza el comportamiento temporal de estos nudos para este conjunto de estímulos, tal y como se presenta en la figura 5.21, el nudo n350 sólo tiene dos cambios frente a los 123 del nudo n349. Por tanto, será la puerta G349 (asociada al pin A de la puerta G53) sobre la que se modificará su *strength*. Igual que en ocasiones anteriores, se han obtenido nuevos ficheros de retrasos para cada cambio y, repitiendo la simulación con los

mismos estímulos, se obtienen los resultados de actividad de conmutación que se muestran en la tabla 5.17.

G349	Ntrans				
	n349	n350	n53	n54	total
A_X2_B_X2	123	2	125	105	33247
A_X14_B_X2	97	2	99	83	33121
A_X29_B_X2	81	2	83	71	33045
A_X57_B_X2	49	2	51	45	32891

TABLA 5.17: Actividad de conmutación de los nudos del entorno del n53 y actividad total para distinto *strength* de las puertas.

De los resultados obtenidos se puede comprobar que, para el valor de *strength* = 57, se consigue una importante reducción en la actividad en tres de los nudos. Asimismo se observa que también disminuye la actividad total. En concreto, el nudo n53 ha pasado de tener 125 cambios a tener 51, lo que supone un 41% de actividad con respecto a la inicial (es decir, con la puerta de menor *strength*). En cuanto a la actividad global del circuito, con un único cambio, sustituir una puerta por otra, se ha reducido la actividad en 356 transiciones.

A continuación se quiere probar si también se mantiene esta reducción para distintas secuencias de entrada. Para ello, se generaron otras dos secuencias

5.3 Actividad de conmutación de un circuito en función del strength

de 50 estímulos pseudoaleatorios que partían de distinta semilla. En la tabla 5.18 se presentan los resultados.

G349	semilla	Ntrans			total
		n349	n53	n54	
A_X2_B_X2	43	123	125	105	33247
	125	133	133	96	33416
	54	128	132	122	32072
A_X29_B_X2	43	81	83	71	33045
	125	93	93	74	33234
	54	90	92	86	31880
A_X57_B_X2	43	49	51	45	32891
	125	53	53	44	33044
	54	60	63	62	31736

TABLA 5.18: Actividad de los nudos n349, n53, n54 y total para diversas semillas.

La secuencia inicial fue generada con semilla 43 y sus resultados se presentan en la primera fila de cada puerta en la tabla 5.18. Las otras dos secuencias, ocupan las filas siguientes. Se puede ver que la puerta de *strength* 57 sigue dando los mejores resultados tanto en la actividad de los nudos representados como en la total.

Para hacer el análisis más claro, en la figura 5.22 se ha representado la actividad de conmutación ($N_{trans,verilog}$) frente a los *strengths* probados. Para

cada valor de *strength* se han representado los nueve valores que corresponden a cada nodo (negro para el nodo n349, rojo para el nodo n53 y azul para n54) y, para cada nodo y de forma consecutiva, los valores obtenidos con cada semilla (43, 125 y 54, respectivamente). Puede observarse que la actividad va disminuyendo conforme aumenta el *strength* de la puerta G349. Por otro lado, para cada nodo y cada *strength* (es decir, cada grupo de tres barras del mismo color), las variaciones de la actividad de conmutación son pequeñas, lo que significa que los resultados no están condicionados por el conjunto de estímulos, sino que distintas excitaciones provocan comportamiento equivalente. Por tanto, cabe concluir como efecto notable que, en este caso, el cambio de *strength* modifica significativamente la actividad de conmutación de los nodos. En particular, el nodo n349 reduce su actividad en un 60%, el nodo n53 lo hace en un 59% y el nodo n54 en un 57%.

5.4 Actividad de conmutación a nivel eléctrico en función del *strength*

Para los circuitos antes estudiados se ha comprobado que modificar el *strength* de una determinada puerta permite reducir la medida del exceso de actividad de conmutación mediante simulación lógica. Ahora, en este apartado, se quiere comprobar si efectivamente varía y cómo lo hace en su caso, la actividad real del circuito cuando se modifica el *strength* de una puerta. Para ello se van a realizar simulaciones eléctricas de los circuitos modificados y, así, obtener las nuevas medidas de la actividad real.

5.4 Actividad de conmutación a nivel eléctrico en función del strength

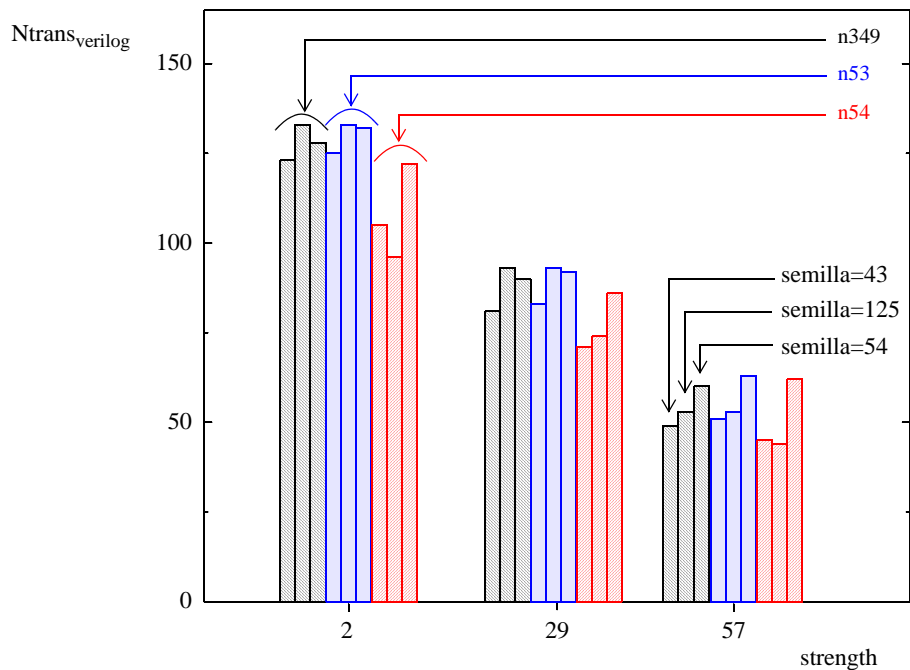


FIGURA 5.22: Variación de la actividad de conmutación con la semilla y el *strength* de la puerta G349 para los nudos n349, n53 y n54 del benchmark c1908.

5.4.1 Circuito c2670

En este circuito se habían destacado diversos nudos para el estudio de *strength*. En concreto, el efecto en el nudo n1239 fue muy acusado por lo que a continuación será en este nudo y en su entorno en el que nos centremos.

A partir del nuevo netlist verilog del circuito con la puerta G1221 modificada (caso AX14_BX2 de la tabla 5.10) se ha desarrollado el proceso que

ya se aplicó para la obtención del netlist a nivel eléctrico del apartado 5.1.2. Se ha simulado con Hspice y se han obtenido los resultados de actividad de conmutación que se muestran en la tabla 5.19.

Ntrans				
G1221	n991	n1221	n1239	total
AX2_BX2	62	64	0	36637
AX14_BX2	62	60	0	36641

TABLA 5.19: Actividad de conmutación tras el cambio de *strength* en la puerta G1221 del circuito c2670.

En la tabla 5.19 se presenta en la primera fila los valores de actividad tras la simulación Hspice que se obtuvo para el circuito original, tanto para el total como para tres de los nudos involucrados directamente por la puerta que se está modificando. Se trata del NUT (n1239) y de los dos nudos de entrada a la puerta G1239, n991 y n1221 (ver figura 5.11). Los datos muestran que con la sustitución de la puerta G1221 original por otra de mayor *strength* apenas hay modificaciones en la actividad de conmutación real del nuevo circuito. El nudo n1221 tiene tan solo cuatro transiciones menos, y también son cuatro en las que se modifica la actividad total del circuito, porque los otros nudos no experimentan cambio alguno. De este resultado se comprueba que en este circuito la medida de la actividad “real” apenas ha variado levemente con el cambio de *strength* de la puerta bajo estudio. Sin embargo, cuando tras el cambio de puerta se realizó la medida de la actividad a nivel lógico, ésta disminuyó significativamente.

5.4 Actividad de conmutación a nivel eléctrico en función del strength

Concluyendo, puesto que la actividad real no cambia y la medida con Verilog sí disminuye considerablemente, el cambio de *strength* permite aproximar las medidas del simulador lógico a la realidad.

5.4.2 Circuito c1908

Se repite el procedimiento anterior para el circuito c1908. Ya se comprobaron los cambios en la actividad de conmutación cuando se estudió el nudo n53, uno de los destacados en el apartado 5.3.2. Tal y como se presentaba en la tabla 5.17, la modificación del *strength* en la puerta G349 provocó una reducción en la actividad medida con Verilog en n53 siendo esta disminución mayor cuanto mayor fue el *strength* probado. En concreto, usamos dos valores de *strength*, X29 y X57.

En este apartado se analiza el efecto en las medidas reales (Hspice) de cada uno de los dos casos. En cada ocasión se ha obtenido el nuevo fichero netlist eléctrico necesario para la simulación Hspice y, realizando dos nuevas simulaciones, se presentan los resultados en la tabla 5.20.

En la primera fila de la tabla 5.20 se muestra la actividad obtenida para el circuito original mediante simulación eléctrica del nudo n53 y del circuito completo. En la segunda fila los datos para *strength* 29 y, por último, en la tercera fila, para *strength* 57. Se comprueba que tras el primer cambio se ha modificado la actividad del nudo n53 y la total, aunque de forma leve, en

Ntrans		
G349	n53	total
AX2_BX2	47	23807
AX29_BX2	37	23711
AX57_BX2	25	23657

TABLA 5.20: Actividad de conmutación tras el cambio de *strength* en la puerta G439 del circuito c1908 basado en simulación Hspice.

concreto, 10 transiciones menos en el nudo y 96 transiciones menos en la actividad total, lo que tan sólo representa una disminución del 0.4%.

Tras el segundo cambio de *strength* al valor 57, la reducción en la actividad del nudo n53 es de 22 transiciones menos, lo que supone una reducción del 47% respecto al original. Se trata de un porcentaje de cambio muy significativo cuando únicamente se ha cambiado el *strength* en una puerta, lo que pone de manifiesto cómo esta técnica permite cambiar el comportamiento del circuito.

Respecto a la disminución de la actividad global del circuito, ésta se reduce en 150 transiciones, un resultado mucho menos significativo. Esto es así porque sólo se modifica el *strength* de una puerta para un circuito que posee 880 puertas. Es previsible que si se extiende la variación de *strength* a más puertas, se puedan obtener reducciones más importantes en la actividad de conmutación, confirmando así a esta técnica como procedimiento válido de rediseño para bajo consumo.

5.5 Actividad de conmutación en un entorno completamente digital

Volviendo a la reducción de actividad de conmutación del nudo n53 y considerando sólo el caso de *strength 57* frente al original, la medida de Hspice ha pasado de 47 a 25, mientras que la de Verilog pasó de 125 a 51. La reducción en Verilog se debe interpretar en este caso no sólo como una mejora en la medida de la actividad de conmutación (en el sentido de que se hace más precisa) sino también en que el circuito muestra una menor actividad real y, por tanto, menor consumo. En todo caso, siempre la actividad medida por Verilog es mayor a la medida por Hspice.

5.5 Actividad de conmutación en un entorno completamente digital

En el apartado 5.3 de este capítulo se ha presentado una metodología para reducir el exceso de actividad en un circuito digital mostrada por los simuladores lógicos. Para ello, se realizaba una selección de los nodos de mayor actividad y se comparaba la actividad medida con verilog y la medida con Hspice. Aquellos que tuvieran mayor diferencia eran buenos candidatos para proceder a su estudio. El inconveniente de este método es que resulta necesario practicar simulaciones eléctricas de cada circuito.

La simulación eléctrica de circuitos digitales se vuelve irrealizable cuando se quiere aplicar un importante número de estímulos de entrada. Aunque como solución a este inconveniente hemos propuesto llevar a cabo simulaciones con un reducido pero significativo y bien seleccionado número de estímulos de forma que el tiempo de simulación eléctrica se reduce enormemente y hace

llevaderas este tipo de simulaciones, en algunos entornos de diseño no se disponen de los modelos analógicos de las celdas, por lo que no se pueden realizar simulaciones analógicas y por lo tanto, el procedimiento propuesto no puede ser aplicado.

Como solución a este problema proponemos hacer una ligera modificación a la metodología presentada en el apartado 5.3. Se trata de alterar el paso 1. La nueva propuesta consiste en extraer el nudo NUT entre aquellos que presenten una gran diferencia entre la actividad obtenida mediante una simulación lógica con retrasos y la obtenida tras una simulación lógica considerando puertas ideales, con retraso nulo. Se estudiarán por tanto los nudos con mayor diferencia aplicando sobre ellos los pasos 2 y 3 de la metodología antes descrita. Aunque la desventaja de este nuevo procedimiento está en perder los datos de la actividad real del circuito, la gran ventaja es que este procedimiento no precisa usar el simulador eléctrico, que unas veces es inconveniente y otras simplemente no está disponible en el diseño de circuitos en un entorno puramente digital.

Para analizar si es viable esta nueva metodología, a continuación se presenta la selección de nudos a la que se llega aplicando la modificación del paso 1 de la metodología para cada circuito y se compara con la presentada con anterioridad.

5.5 Actividad de conmutación en un entorno completamente digital

nudo	$N_{\text{trans}}_{\text{verilog}}$	$N_{\text{trans}}_{\text{Zero}}$	$N_{\text{trans}}_{\text{verilog}} - N_{\text{trans}}_{\text{Zero}}$
n687	143	27	116
n686	143	27	116
n650	139	23	116
n1239	100	0	100
n1240	98	0	98
n1247	98	0	98
n231	98	0	98
n473	98	0	98

TABLA 5.21: Nudos destacados en el circuito *benchmark c2670* con mayor diferencia en la actividad tras simulación lógica con retraso y sin retraso.

5.5.1 Circuito c2670

Para el caso del circuito c2670, en la tabla 5.21 se muestran los ocho nudos que han presentado mayor diferencia en la actividad de conmutación tras la simulación lógica con retraso y sin retraso. Aparecen ordenados de mayor a menor valor en la diferencia de actividad.

Se puede comprobar que, salvo en el orden en que aparecen, el subconjunto de nudos de la tabla 5.21 coincide con el obtenido al seleccionar los nudos por la diferencia entre simulación lógica con retraso y la de Hspice (tabla 5.8). Por tanto, si se continua la metodología a partir de esta tabla, los resultados obtenidos son los mismos que los ya presentados.

nudo	Ntrans_{verilog}	Ntrans_{Zero}	Ntrans_{verilog} - Ntrans_{Zero}
n418	137	27	110
n419	137	27	110
n1025	135	27	108
n1029	135	27	108
n286	137	29	108
n422	131	23	108
n49	137	29	108
n425	131	27	104
n1149	125	23	102
n1153	125	23	102
n53	125	23	102
n349	123	23	100

TABLA 5.22: Nudos destacados en el circuito *benchmark* c1908 con mayor diferencia en la actividad tras simulación lógica con retraso y sin retraso.

5.5.2 Circuito c1908

Operando de forma equivalente con el circuito c1908, en la tabla 5.22 aparecen aquellos nodos con mayor diferencia entre las dos medidas de la actividad lógica, con retraso y sin retraso. En concreto, se han representado aquellos nodos cuya diferencia es mayor o igual a 100 cambios, ordenados de mayor a menor valor.

5.5 Actividad de conmutación en un entorno completamente digital

Se puede comprobar, comparando las tablas 5.16 y 5.22, que nuevamente coinciden todos los nudos que aparecen en las dos tablas con la única excepción del nodo n379, que no aparece en esta tabla por haberla limitado a 100 o más cambios, pues su diferencia entre $N_{\text{trans}_{\text{verilog}}}$ y $N_{\text{trans}_{\text{Zero}}}$ es de 78.

Con ello, este circuito también demuestra que realizar la selección de nudos a los que se aplica la metodología presentada a partir de datos procedentes exclusivamente de simulaciones lógicas también es válido. Aunque este método puede introducir algunos nudos que realmente no poseen una alta actividad debida a *glitches* reales, tiene la gran ventaja de no tener que emplear simulaciones eléctricas.

Los resultados obtenidos en ambos circuitos apoyan la modificación del paso 1 de la metodología³ para desarrollar todo el análisis en un entorno puramente digital. En concreto, el paso 1 de este proceso quedará como:

Paso 1: Se busca en los listados de actividad nudos con alta actividad en la simulación lógica con retraso y baja en la simulación lógica sin retraso. Se selecciona uno de ellos que será referenciado como NUT (*node under test*).

La diferencia en la actividad entre las dos simulaciones lógicas orienta sobre la aportación de *glitches* en cada nodo. Así, las pruebas de modificación de *strength* (pasos 2 y 3 de la metodología) se realizan sobre los nudos que, con mayor probabilidad, están sujetos a mayor desviación del simulador lógico

3. ver apartado 5.3

respecto al caso “real”. El resultado de actividad sobre el nuevo circuito, el de puerta con *strength* modificado, puede ser una mayor o menor actividad de conmutación. En el primer caso, obviamente se desecha la prueba. En el segundo, la menor actividad o bien apuntará a una mejor aproximación a la actividad “real”, o a una menor actividad real resultando así un circuito mejor en consumo dinámico y en generación de ruido de conmutación.

5.6 Resumen

En este capítulo se ha medido la actividad de conmutación de los circuitos *benchmarks* ISCAS’85 realizados en una tecnología nanométrica, 65nm. Son dos las principales líneas estudiadas. En primer lugar se ha medido la actividad con herramientas comerciales de simulación siguiendo el mismo procedimiento del capítulo 3, con el fin de determinar si se mejora la actividad de conmutación en la nueva tecnología o si ahora se mide mejor con las versiones más actuales del simulador lógico. En segundo lugar se ha explorado si se puede mejorar la medida de la actividad de conmutación del simulador lógico con las herramientas comerciales disponibles por el diseñador, esto es, rediseñando localmente el circuito bajo test pero sin modificar los modelos de retraso de la herramienta que se usa, en nuestro caso Verilog. Esta línea de mejora de la sobremedida de la actividad de conmutación perderá sentido cuando el simulador lógico incorpore modelos de retraso precisos, como es IDDM, presentado en el capítulo anterior.

5.6 Resumen

En cuanto a los resultados correspondientes a la primera línea:

- Se ha comprobado que, al comparar la actividad de conmutación tras la simulación lógica suponiendo puertas ideales, los resultados son coincidentes en ambas tecnologías, como era de esperar ya que se trata de la actividad funcional.
- La actividad medida en simulaciones con retraso tiene valores similares en st 65nm a los que tenía en ams 0.35 μ m, discrepando en un porcentaje pequeño, con la única excepción del circuito c6288 que en la nueva tecnología tiene un 43% más de actividad que en la tecnología de ams 0.35 μ m.
- La actividad no funcional -esto es, la real (Hspice) menos la funcional (Zero)- en general ha disminuido en la tecnología st 65nm. Sólo no ocurre en el caso de los circuitos c880 y c6288 cuya actividad no funcional en la nueva tecnología presenta un incremento de un 2% y 5% respectivamente. En los demás circuitos hay disminuciones que oscilan entre el 1% (c432) y el 10.7% (c1355) del valor inicial (tecnología ams). Dado que la actividad funcional es la misma en las dos tecnologías, se puede deducir que en la tecnología st 65nm se presentan, en general, menos *glitches* en cada circuito. En cualquier caso, este tipo de actividad sigue teniendo bastante importancia dado que supone entre un 20% y un 40% del total.
- Se ha comprobado que en la tecnología st 65nm, al igual que en la anterior, la medida de la actividad de conmutación tras la simulación lógica con retraso presenta un valor siempre por encima que la actividad real (Hspice) del circuito.

- Se ha mostrado una comparativa del exceso de actividad en la medida lógica con retraso entre ambas tecnologías. Esa sobremedida ha aumentado para todos los circuitos en la tecnología de 65nm. Así, la medida de la actividad en la tecnología nanométrica está incluso más apartada de la realidad de lo que estaba para la tecnología ams.

En cuanto a la segunda de las líneas investigadas, lo más destacable es:

- Se ha presentado un procedimiento para estudiar cómo afectan las variaciones del *strength* de una única puerta del circuito sobre la actividad de conmutación de los nudos del circuito entorno a dicha puerta así como en la actividad total del circuito. Este procedimiento se basa en seleccionar una serie de nudos potencialmente interesantes por tener mayor diferencia entre la actividad medida tras la simulación lógica y la real, por tanto mayor aportación de *glitches*. Sobre ellos, se estudia la actividad obtenida para distintos valores de *strength* en las puertas que se encuentran en los niveles anterior, posterior y la propia puerta del nudo seleccionado. Si la actividad tras el cambio ha disminuido, se ha alcanzado el objetivo; en caso contrario se pasaría a otro nudo entre los seleccionados.
- Este procedimiento se ha aplicado a dos circuitos. Como muestran los resultados presentados, en ambos circuitos se ha encontrado una disminución de la actividad sobre los nodos seleccionados que, en algunos casos, es muy significativa a nivel local. De este modo, se dispone de un procedimiento que permite, para cualquier circuito y de una forma rápida y simple, buscar una reducción de la actividad de conmutación tras una simulación lógica. Como

5.6 Resumen

únicamente se cambia el *strength* de una puerta, el resto de los factores como área y respuesta temporal sólo se ven afectados de una manera insignificante.

- Modificar el *strength* de una puerta en algunos casos produce una reducción en la actividad medida tras la simulación lógica pero se debe verificar cómo ese cambio afecta a la actividad real. Para comprobar la actividad real del circuito modificado (con la puerta de nuevo *strength*) se han realizado nuevas simulaciones eléctricas. Si se comparan los resultados de la nueva actividad tras ambas simulaciones se pueden presentar dos tipos de respuestas:
 - La disminución de la actividad tras simulación lógica no viene acompañada de un cambio significativo en la actividad real, como ha ocurrido en el ejemplo del circuito c2670. En esta situación se concluye que el procedimiento consigue disminuir el exceso de actividad medida por el simulador lógico frente a la actividad real. Se consigue así que el simulador lógico proporcione un dato más cercano a la realidad, y por tanto, valores más fiables en la medida de la actividad y de los parámetros asociados a ella como la potencia consumida por el circuito y el ruido de conmutación.
 - El segundo tipo de respuesta, como ocurre en el circuito c1908, se presenta cuando se consigue una reducción en la actividad por parte de ambos tipos de simuladores. Con ello se alcanza un menor consumo de potencia real del circuito dado que se ha disminuido la actividad “real”.
- El inconveniente del procedimiento anterior es que se obliga al diseñador a realizar simulaciones eléctricas para establecer la selección de nudos sobre los que aplicar el método y eso no resulta práctico en entornos completamente digitales. Para estos entornos, se propone una variante a la metodología

presentada que modifica el proceso de selección de los nudos candidatos al estudio. La modificación consiste en elegirlos entre los que presenten mayor diferencia entre la actividad medida por el simulador lógico considerando puertas con retraso y puertas ideales. Se ha comprobado que el conjunto de nudos seleccionados ha sido el mismo en el caso del circuito c2760 y abrumadoramente parecidos (en concreto, todos menos un nudo) en el circuito c1908. Estos resultados permiten validar a la forma puramente digital de seleccionar los nudos como buena alternativa. A partir de esta selección se prosigue de forma análoga al procedimiento anterior, independizando el procedimiento del uso del simulador eléctrico.

Conclusiones

En esta Tesis se ha investigado sobre la actividad de conmutación en los circuitos digitales CMOS. En concreto, se ha propuesto una metodología de medida de la actividad en cada nodo del circuito y se ha aplicado para medir la actividad de unos circuitos estándares, los *benchmarks* de ISCAS'85, en dos tecnologías microelectrónicas diferentes, una de 0,35 μm y otra de 65 nm. Asimismo, se ha desarrollado un procedimiento de rediseño local de circuitos con el que no sólo se consigue aproximar la actividad de conmutación medida mediante simulación lógica a la actividad real, sino que, en algunos casos, también se consigue reducir el consumo de potencia y el ruido de conmutación reales.

Como resultado del trabajo realizado se pueden destacar las conclusiones que a continuación se enumeran:

-
1. Se ha realizado una revisión del estado del arte sobre la actividad de conmutación: sus tipos y su influencia en el consumo de potencia de un circuito y en el ruido de conmutación, concluyendo que se trata de una línea de investigación de gran interés. De esta revisión se han extraído varios problemas de interés que son tratados y en buena parte resueltos en esta Tesis.
 2. Se ha desarrollado un procedimiento eficaz para encontrar un conjunto de estímulos suficientemente corto como para proporcionar una medida fiable de la actividad de conmutación típica de cada circuito y al mismo tiempo, hacer factible la simulación eléctrica del circuito.
 3. Se han realizado medidas de la actividad de conmutación sobre los *benchmarks* de ISCAS'85, en tres supuestos diferentes: El primero, mediante el simulador lógico Verilog, considera los componentes de los circuitos ideales, obteniendo así la actividad funcional del circuito. El segundo, también con Verilog, considera esos componentes con retraso y genera la medida habitual de la actividad de conmutación en un entorno puramente digital. En este caso se ha explorado la influencia tanto de los valores mínimos, típicos y máximos de los retrasos, como del *postlayout*. Y el tercero, mediante el simulador eléctrico Hspice, proporciona la medida de actividad que es tomada como el valor real.

Todas estas medidas se han realizado en dos tecnologías de fabricación: una fuertemente submicrónica, ams 0.35 μ m, y otra nanométrica, st 65nm.
 4. Se han presentado y analizado los valores de la actividad para todos los circuitos en ambas tecnologías. Los resultados obtenidos demuestran que:
 - 4.a La actividad de conmutación no funcional, esto es, la debida a *glitches*, supone un importante porcentaje de la actividad total, que se ha

-
- cuantificado entre el 20% y el 77% de la actividad total en los circuitos de prueba.
- 4.b La simulación lógica con retraso proporciona una sobreestimación de la medida de actividad frente a la medida mediante simulación eléctrica.
- 4.c Esta diferencia está provocada por la importante proporción de *glitches* existentes y por la forma, poco precisa, en la que los modelos de retraso de los simuladores lógicos tratan las colisiones de entrada y la propagación de estos pulsos espurios.
- 4.d Esto infunde serias dudas sobre la fiabilidad de los resultados de la simulación lógica.
5. La proporción de *glitches* es menor en la nueva tecnología st 65nm que en ams 0.35 μ m. Es decir, la actividad de conmutación real del circuito ha disminuido. Sin embargo, la sobreestimación de los resultados mediante simulación lógica frente a los reales son superiores en la tecnología st 65nm. De esto se deriva que la medida con simulación lógica en tecnología st 65nm es menos fiable aún de la que se obtenía en la tecnología ams 0,35 μ m y que, por tanto, los parámetros que se basen en esa medida -como son la potencia consumida o el ruido de conmutación- no tendrán valores fidedignos.
6. Se han presentado el modelo de retraso IDDM, que incluye el efecto de degradación de pulsos estrechos, y Halotis, el simulador lógico que lo incorpora, desarrollados por nuestro grupo de investigación. Con ellos se ha medido la actividad de conmutación en la tecnología ams 0.35 μ m.

Los resultados de actividad de conmutación medidos con Halotis son muy próximos a los medidos con Hspice, aunque los exceden algo. Si se comparan los obtenidos con Verilog con los obtenidos con Halotis, es sobresaliente la reducción obtenida en la sobremedida, pasándose en un circuito del 115% de error en Verilog al 24.2% con Halotis, en otro del 20% al 1%, etc. De aquí que se concluya que IDDM/Halotis proporciona como simulador lógico unos magníficos resultados en la medida de actividad de conmutación.

7. Se ha explorado el efecto de cambiar el *strength* de una única puerta del circuito sobre la actividad de conmutación medida mediante simulación lógica. Los logros principales alcanzados son:
 - 7.a Se ha desarrollado un procedimiento para seleccionar tanto el nudo a estudiar, que estará entre los que tengan mayor sobreestimación en la medida de actividad, como la puerta de su alrededor sobre la que realizar la modificación del *strength*. En todos los casos estudiados se ha conseguido una disminución tanto en la actividad de conmutación del nodo como en la actividad total del circuito tras una simulación lógica, disminución que, en algunos casos, es muy significativa.
 - 7.b Se ha presentado una variante a la metodología de selección de nodos basada únicamente en las medidas de actividad mediante el simulador lógico, consistente en comparar la actividad total y funcional de cada nodo. El conjunto de nodos objeto de mejoras es, en los casos estudiados, prácticamente coincidente con el conjunto obtenido con la primera variante, con la ventaja de no tener que desarrollar simulaciones eléctricas.

7.c También se ha comprobado cómo afecta el cambio de *strength* a la actividad real del circuito, observándose dos efectos diferentes:

* o bien la actividad real no cambia significativamente,

* o bien se reduce su valor.

Este último caso significa que con el rediseño local de *strength* se ha conseguido un menor consumo real de potencia en el circuito.

En ambos casos, disminuye la sobreestimación en la medida del simulador lógico, que, de este modo, proporciona resultados más cercanos a la realidad.

Referencias

-
- [Acosta00] Acosta, A.J., Jiménez, R., Juan, J., Bellido, M.J. and Valencia, M.: “Influence of clocking strategies on the design of low switching-noise digital and mixed-signal VLSI circuits”. International workshop on power and timing modeling, optimization and simulation (PATMOS), pp. 316-326, 2000.
- [Agarwal06] Agarwal, A., Mukhopadhyay, S., Raychowdhury, A., Roy, K. and Kim, C.H., “Leakage power analysis and reduction for nanoscale circuits”, IEEE MICRO, vol. 26, 2006.
- [Agrawal98] Agrawal, V. and Seth, S.: “Mutually disjoint signals and probability calculation in digital circuits”. Great Lakes Symposium on VLSI. Lafayette, Luisiana, EEUU. 1998.
- [Alexander09] Alexander, J. D. and Agrawal, V. D.: “Algorithms for estimating number of glitches and dynamic power in CMOS circuits with delay variations”. In Proceeding of IEEE Computer Society Annual Symposium on VLSI, pp. 127-132, May 2009,

-
- [Aldina94] Aldina, M., Monteiro, J., Devadas, S., Ghosh, A. and Papaefthymiou, M.: "Precomputation-Based Sequential Logic Optimization for Low Power". IEEE Transactions on VLSI Systems, Vol. 2, No 4, December 1994.
- [Allstot93] Allstot, D.J., San, H.C., Kiaei, S. and Shriyastawa, M.: "Folded source-coupled logic vs CMOS static logic for low-noise mixed-signal IC's". IEEE transactions on circuits and systems I, vol. 40, pp. 553-563, 1993.
- [Aragonés99] Aragonés, X., González, J.L. and Rubio, A.: "Analysis and solutions for switching noise coupling in mixed signal IC's". Kluwer Academic Publishers, 1999.
- [Auvergne05] Auvergne, D., Maurine, P. and Azémard, N.: "Modeling for designing in deep submicron technologies", cap. 6 de [Piguet05].
- [Baena01] Baena, C., Juan-Chico, J., Bellido, M.J., Ruiz-de-Clavijo, P., Jiménez, C.J. and Valencia, M.: "Simulation-Driven Switching Activity Evaluation of CMOS Digital Circuits". XVI Design of Circuits and Integrated Systems (DCIS'01), pp. 608-612, 2001.
- [Baena02] Baena, C., Juan-Chico, J., Bellido, M.J., Ruiz de Clavijo, P., Jiménez, C.J. and Valencia, M.: "Measurement of the switching activity of CMOS digital circuits at the gate level". Lecture notes in computer science, vol. 2451/2002, pp. 353, Springer Berlin / Heidelberg, 2002.
- [Baena06] Baena, C. and Valencia, M.: "Accurate measurement of the switching activity". Ch. 8, pp. 227-250, Logic-timing simulation and degradation delay model", Imperial college Press, 2006.
- [Bahar95] Bahar, R.I. and Somenzi, F.: "Boolean techniques for low power driven re-synthesis". Proceedings of IEEE international conference on computer-aided design, pp. 428-432, 1995.
- [Bahar96] Bahar, R.I. Burns, M., Hachtel, G.D., Mach, E., Shin, H. and Somenzi, F.: "Symbolic computation of logic implications for technology dependent for low power resynthesis". Proceedings of international conference on low power electronics and design", pp. 163-168, 1996.

-
- [Baran09] Baran, D.; Aktan, M.; Karimiyan, H. and Oklobdzija, V.G.; "Switching activity calculation of VLSI adders", IEEE 8th international conference on ASIC, 2009.
- [Bellaour95] Bellaour, A. and Elmasry, M. I.: "Low-Power Digital VLSI Design Circuits and Systems". Kluwer Academic Publishers.1995.
- [Bellido94] Bellido, M.J.: "Biestables CMOS VLSI: problemas y aplicaciones". Tesis doctoral. Universidad de Sevilla, 1994.
- [Bellido92] Bellido, M.J., Acosta, A.J., Valencia, M., Barriga, A. and Huertas, J.L.: "Simple binary random number generator", Electronic Letters, vol. 28, nº 7, pp. 617-618, 1992.
- [Bellido00] Bellido, M.J., Juan, J., Acosta, A.J., Valencia, M. and Huertas, J.L.: "Logical modelling of delay degradation effect in static CMOS gates". IEE Proceedings Circuits devices systems, Vol. 147, nº 2, 2000.
- [Bellido06] Bellido, M.J., Juan, J. Acosta, A.J. and Valencia, M.: "Logic-timing simulation and the degradation delay model". Imperial college Press, 2006.
- [Benini94] Benini, L., Siegel, P. y De Micheli, G.: "Saving power by synthesizing gated clocks for sequential circuits". IEEE Design & Test of computer. Dic. 1994.
- [Benini94b] Benini, L., Favalli M. and Ricco B.: "Analysis of hazard contributions to power dissipation in CMOS IC's". IWLPD'94 Proceedings of the 1994 international workshop of low power design, pp. 27-32, 1994.
- [Benini00] Benini, L., De Micheli, G., Macii, A., Macii, E., Poncino, M. and Scarsi, R.: "Glitch power minimization by selective gate freezing". IEEE transactions on very large scale integration VLSI systems, Vol. 8, nº 3, 2000.
- [Bhanja02] Bhanja, S. and Ranganathan, N.: "Modeling switching activity using cascade bayesian networks for correlated input streams". International conference on computer design. Friburgo, Alemania. 2002.
- [Bishop96] Bishop, C.M.: "Neural networks for pattern recognition". Oxford, London, 1996.

-
- [Boselli07] Boselli, G., Trucco, G. and Liberali, V.: "Effects of digital switching noise on analog circuits performance". 18th European conference on circuit theory and design ECCTD 2007, pp. 160-163, 2007.
- [Burch93] Burch, R., Najm, F.N., Yang, P., and Trick, T.N.: "A Monte Carlo approach for power estimation". IEEE Trans. on VLSI, 1993.
- [Bratek96] Bratek, P. and Kos, A.: "Complex optimisation of topology of VLSI circuits with self-organising neural nets". Proc. of the 3rd MIXDES'96 conference. 1996.
- [Brayton84] Brayton, R.K., Hachtel, G.D., McMullen, C.T. and Sangiovanni-Vincentelli, A.L.: "Logic Minimization Algorithms for VLSI Synthesis", Kluwer Academic Publishers, ISBN 0-89838-164-9, 1984.
- [Brent82] Brent, R.P. and Kung, H.T.: "A Regular Layout for Parallel Adders ". IEEE Transactions on Computers, pp. 260 - 264, 1982.
- [Briaire00] Briaire, J. and Krisch, S.: "Principles of substrate crosstalk generation in CMOS circuits". IEEE transactions on computer-aided design of integrated circuits and systems, vol. 19, n° 6, pp. 645-653, 2000.
- [Brzozowski99] Brzozowski, I. and Kos, A.: "Minimization of power consumption in digital integrated circuits by reduction of switching activity". Euromicro Conference, 1999. Proceedings. 25th . 1999.
- [Brglez85] Brglez, F. and Fujiwara, H.: "A neutral netlist of 10 combinational benchmark circuits and target translator in Fortran". ISCAS'85, 1985.
- [Buckingham83] Buckingham, M.J.: "Noise in electronic devices and systems". Halstead Press, New York, 1983.
- [Cirit87] Cirit, M.: "Estimating dynamic power consumption of CMOS circuits". International conference on computer aided design". Santa Clara, California, EEUU. 1987.
- [Castro07] Castro, J., Parra, P., Valencia, M. and Acosta, A.J.: "A switching noise vision of the optimization techniques for low-power syntesis".

European conference on circuit theory and design ECCTD 2007, pp. 156-159, 2007.

- [Castro11] Castro, J.: “Desarrollo y aplicaciones de técnicas de control de corriente de alimentación en circuitos integrados digitales CMOS”. Tesis doctoral, 2011.
- [Chandrakasan95] Chandrakasan, A.P. and Brodersen, R.W.: “ Low-power digital CMOS Design”. Kluwer Academic Publishers. Boston, 1995.
- [Chioffi94] Chioffi, E., Maloberti, F., Marchesi, G. and Torelli, G.: “High-speed, low-switching noise CMOS memory data output buffer”. IEEE Journal of Solid-state circuits, vol. 29, nº 11, pp. 1359-1365, 1994.
- [Costa97] Costa, J. Monteiro, J. and Devadas, S.: “Switching activity estimation using depth reconvergent path analysis”. International symposium on Low-power electronics and design”. Monterey, California, EEUU. 1997.
- [Daga98] Daga, M.J., Turgis, S. and Auverge, D.: “Design oriented standard cell delay modelling”. PATMOS’96, pp.215-224, State Circuits, pp. 302-306, vol. 33 nº 2, 1998.
- [De Micheli94] De Micheli, G.: “Synthesis and optimization of digital circuits”. McGraw-Hill, 1994.
- [Deng88] Deng, A.C.: “Piecewise-linear timing modeling for digital CMOS circuits”. IEEE Transation on circuits and systems, vol. 35, nº 10, pp. 1330-1334. 1988.
- [DFWII] <http://www.cadence.com>
- [Donnay03] Donnay, S. and Gielen, G. eds.: “Substrate noise coupling in mixed-signal ASICs”. Kluwer Publishers, 2003.
- [Ercolani89] Ercolani, S., Favalli, M., Damiani, M. Olivo, P. and Ricco, B.: “Estimate of signal probability in combinational logic networks”. European Test Conference, París, Francia, 1989.
- [Fallah05] Fallah, F. and Pedram, M.: “Standby and active leakage control and minimization in CMOS VLSI circuits”. IEICE transactions on electronics, ISSN 0916-8524, Vol. 88, Nº 4, pág. 509, 2005.

-
- [Favalli95] Favalli, M. and Benini, L.: "Analysis of glitch power dissipation in CMOS ICs". Proceedings of the international symposium on low power design, pp. 123-128, 1995.
- [Gabara96] Gabara, T., Fischer, W., Harrington, J. and Troutman, W.: "Forming damped LRC parasitics circuits in simultaneously switched CMOS output buffers". Proceedings of the IEEE 1996, Custom integrated circuits conference, pp. 277-280, 1996.
- [Ghosh92] Ghosh, A., Devadas, S., Keutzer, K. and White, J.: "Estimation of average switching activity in combinational and sequential circuits". Proc. 29th Design Automation Conference, pp.253-259. June 1992.
- [Goel06] Goel, S., Elgamel, M.A., Bayoumi, M. and Hanafy, Y.: "Design methodology for high-performance noise-tolerant XOR-XNOR circuits". IEEE transactions on circuits and systems I: regular papers, vol. 53, n° 4, pp. 867-878, 2006.
- [Guyot98] Guyot, A. and Abou-Samra, S.: "Low Power CMOS Digital Design". ICM '98. Proceedings of the Tenth International Conference on Microelectronics, pp. IP6-I13, 1998.
- [Habal05] Habal, H., Mayaram, K. and Fiez, T.S.: "Accurate and efficient simulation of synchronous digital switching noise in systems on a chip". IEEE transactions on Very large scale integration (VLSI) systems, vol. 13, n° 3, pp. 330-338, 2005.
- [Han87] Han, T. and Carlson, D.A.: "Fast area-efficient VLSI adders". Proceedings of the 8th IEEE Symposium on computer arithmetic, pp. 49-56, 1987.
- [Hansen99] Hansen, M.C., Yalcin, H. and Hayes, J.P.: "Unveiling the ISCAS-85 benchmarks: A case study in reverse engineering". IEE Design & test of computers. 1999.
- [Hasimoto98] Hasimoto, M. Onodera, H. and Tamaru, K.: "A power optimization method considering glitch reduction by gate-sizing". Proceedings. 1998 International Symposium on Low Power Electronics and Design, 1998.

-
- [Hazenboom06] Hazenboom, S., Fiez, T.S. and Mayaram, K.: “A comparison of substrate noise coupling in lightly and heavily doped CMOS processes for 2.4-GHz LNAs”. IEEE Journal of solid-state circuits, vol. 41, n° 3, pp. 574-587, 2006.
- [Hedenstierna87] Hedenstierna, N. and Jeppson, K.: “CMOS circuit speed and buffer optimization”. IEEE Transactions on Computer-Aided Design. Vol. CAD-6, pp. 270-281, Mar. 1987.
- [Heijningen00] van Heijningen, M., Badaroglu, M., Donnay, S., Engels, M. and Bolsens, I.: “High-level simulation of substrate noise generation including power supply noise coupling”. Proceedings 37th Design automation conference, 2000, pp. 446-451, 2000.
- [Heijningen02] van Heijningen, M., Badaroglu, M., Donnay, S., Gielen, G.G.E. and De Man, H.J.: “Substrate noise generation in complex digital systems: efficient modeling and simulation methodology and experimental verification”. IEEE Journal of Solid-state circuits, vol. 37, n° 8, pp. 1065-1072, 2002.
- [Hirata96] Hirata, A., Onodera, H. and Tamaru, K.: Short-circuit power dissipation formula for static CMOS gates”. Karuizawa Proc. Workshop Circuits and Systems. pp.245-250, July 1996.
- [Horowitz94] Horowitz, M., Indermaur, T. and González, R.: “Low-power digital design”. Symposium on low power electronics, pp. 8-10. 1994.
- [Hspice] <http://www.cadence.com>
- [Iman94] Iman, S. and Pedram, M.: “Multi-level network optimization for low-power”. Proceedings of the IEEE international conference on computer aided design, pp. 372-377, 1994.
- [Iman95] Iman, S. and Pedram, M.: “Two-level logic minimization for low-power”. Proceedings of the IEEE international conference on computer aided design, pp. 433-438. 1995.
- [Jeppson94] Jeppson, K.O.: “Modeling the influence of the transistor gain ratio and the Input-to-output coupling capacitance on the CMOS inverter delay”. IEEE Journal of solid-state circuits, vol. 29, n° 6, pp. 646-654. 1994.

-
- [Jiménez00] Jiménez, R., Acosta, A.J., Peralías, E. and Rueda, A.: “An application of self-timed circuits to the reduction of switching noise in analog-digital circuits”. *Lecture notes in computer science*, vol. 1918, pp.295-305, 2000.
- [Jiménez03] Jiménez, R., Parra, P., Sanmartin, P. and Acosta, A.J.: “A new hybrid Cbl-CMOS cell for optimum noise/power applications”, *Lecture Notes in computer science*, n° 2799, pp. 491-500, 2003.
- [Józwiak95] Józwiak, L.: “General decomposition and its use in digital circuits synthesis”. *VLSI Design*, special Issue on decompositions in VLSI design, vol. 3, n° 3-4, pp. 225-248. 1995.
- [Juan97] Juan-Chico, J., Bellido, M.J., Acosta, A.J., Barriga, A. and Valencia, M.: “Delay degradation effect in submicronic CMOS inverters”. *Actas Power and timing modelling, optimization and simulation (PATMOS)*, pp.215-224. 1997.
- [Juan00a] Juan-Chico, J.: “Degradación del retraso de propagación en puertas lógicas CMOS VLSI”. Tesis doctoral. Universidad de Sevilla, 2000.
- [Juan00b] Juan-Chico, J., Ruiz-de-Clavijo, P., Bellido, M.J. Acosta, A.J. and Valencia, M.: “Inertial and degradation delay model for CMOS gates”. *The IEEE International symposium on circuits and systems (ISCAS)*, vol. 1, pp.459-462, ISBN: 0-7803-5485-0, 2001 IEEE.
- [Juan00c] Juan-Chico, J., Ruiz-de-Clavijo, P., Bellido, M.J. Acosta, A.J. and Valencia, M.: “Degradation delay model extension to CMOS gates”. *Lecture Notes in computer science (ISSN 03029743)*, Vol. 1918, pp. 149-158, 2000.
- [Juan01a] Juan-Chico, J., Bellido, M.J., Ruiz de Clavijo, P., Baena, C., Jiménez, C.J. and Valencia, M.: “Switching activity evaluation of CMOS digital circuits using logic timing simulation”. *Electronics Letters*, vol. 37, n° 9, pp.555-557, 2001.
- [Juan01b] Juan-Chico, J., Bellido, M.J., Ruiz de Clavijo, P., Baena, C. and Valencia, M.: “AUTODDM: AUTOMATIC characterization tool for the delay degradation model”. *Proceedings of international conference on Electronics, Circuits and Systems*”, (ICECS), pp. 1631-1634, 2001.

-
- [Juan01c] Juan-Chico, J., Bellido, M., Ruiz de Clavijo, P., Baena C. and Valencia M.: “DDM characterization J.methodology and automation”. Proceeding 11th international workshop on power and timing modelling, optimization and simulation (PATMOS), pp.5.2.1-5.2.10, 2001.
- [Kang & Leblebici96] Kang, S. M. and Leblebici, Y. “CMOS Digital Integrated Circuits: Analysis and Design”. Mc-Graw-Hill, New-York. 1996.
- [Katopis85] Katopis, G.: “Delta-I noise specification for a high-performance computing machine”. Proceedings of the IEEE, Vol. 73, n° 9, pp. 1405-1415, 1985.
- [Kim97] Kim, J., Bamji, C., Jiang, Y. and Sapatnekar, S.: “Concurrent transistor sizing and buffer insertion by considering cost-delay tradeoffs”. Proceedings of the international symposium on physical design, pp. 130-135, 1997.
- [Kogge73] Kogge, P. M., Stone, H.S.: “Parallel algorithm for the efficient solution of a general class of recurrence equations”. IEEE Transactions on Computers, Volume C-22, Issue 8, .pp 786-793, 1973.
- [Kuroda01] Kuroda, T.: “Low-power CMOS design challenges”. IEICE transactions on Electronic, Vol. E84-C, pp. 1021-1028. 2001.
- [Karunaratne05] Karunaratne, M., Ranasinghe, C. and Sagahyoon, A.: “A dynamic switching activity generation technique for power analysis of electronic circuits”. 48th Midwest Symposium on Circuits and Systems, Vol. 2, pp. 1884 - 1887, 2005.
- [Ladner80] Ladner, R. and Fisher, M.: “Parallel prefix computation”. Journal of the ACM, 27(4), pp. 831-838, 1980.
- [Larsson96] Larsson, P.: “ di/dt noise in CMOS integrated circuits”. Analog Integrated circuits and signal processing, vol. 14, Issue 1-2, 1997. Special Issue: analog design issues in digital VLSI circuits and systems, pp. 113-129.
- [Larsson97] Larsson, P.: “Parasitic resistance in a MOS transistor used as on-chip decoupling capacitance”. IEEE Jouenal of Solid-state circuits, vol. 32, n° 4, pp. 574-576, 1997.

-
- [Lee04] Lee, D., Blaauw, D. and Sylvester, D.: "Gate oxide Leakage current analysis and reduction for VLSI circuits", IEEE transactions on Very Large Scale Integration (VLSI) Systems, vol. 2, n° 2, 2004.
- [Lee04b] Lee, H., Shin, H. and Kim, J.: "Glitch elimination by gate freezing, gate sizing and buffer insertion for low power optimization circuit". 30th Annual Conference of IEEE Industrial Electronics Society, IECON 2004. 2004.
- [Liberali02] Liberali, V., Pettazzi, S., Ross, R. and Torelli, G.: "Challenges in mixed-signal integrated system design for industrial applications". Proceedings of the 2002 IEEE International symposium on industrial electronics, vol. 4, pp. 1335-1340, 2002.
- [Libous98] Libous, J.P.: "Characterization of flip-flop CMOS ASIC simultaneous switching noise on multilayer organic and ceramic BGA/CGA packages". IEEE 7th topical meeting on electrical performance of electronic packaging, pp. 191-194, 1998.
- [Lin93] Lin, B. and De Man, H.: "Low power driven technology mapping under timing constraints". Proc. ICADD, pp. 421-427, 1993.
- [Lu06] Lu, Y., Agrawal, V. D.: "CMOS Leakage and glitch minimization for power-performance tradeoff". Journal of low power electronics, Vol. 2, pp. 1-10, 2006.
- [Luba94] Luba, T.: "Multi-level logic synthesis based on decomposition". Microprocessors and microsystems, vol. 18, n° 8, pp. 429-437, 1994.
- [Machta00] "Mach TA User's and reference manual, V3.0_1.1, Mentor Graphics, 2000.
- [Marculescu94] Marculescu, R., Marculescu, D. and Pedran, M.: "Switching activity analysis considering spatiotemporal correlations". International conference on computer aided design. San José, California, EEUU. 1994.
- [Mehta95] Mehta, H., Borah, M., Owens, R.M. and Irwin, M.J.: "Accurate Estimation of Combinational Circuit Activity". 32nd ACM/IEEE Design Automation Conference, pp. 618-622, 1995.

-
- [Melcher92] Melcher, E., Röthig, W. and Dana, M.: "Multiple input transitions in CMOS gates". *Microprocessing and microprogramming* 35, pp. 683-690, 1992.
- [Mentor Graphics] <http://www.mentor.com>
- [Metra95] Metra, C., Favalli, M. and Ricco, B.: "Glitch Power Dissipation model". *PATMOS*, pp. 175-189, 1995.
- [Millán02] Millán, A., Juan-Chico, J., Bellido, M.J., Ruiz de Clavijo, P. and Guerrero, D.: "Characterization of normal propagation delay for delay degradation model (DDM)". *Lecture Notes in Computer science (LNCS)*, ISSN: 0302-9743, vol. 2451, pp. 477-486, 2002.
- [Millán08] Millán, A.: "Técnicas de optimización para el modelado y la caracterización del comportamiento dinámico de circuitos digitales CMOS en tecnologías UDSM". Tesis doctoral. 2008.
- [Moll92] Moll, F. and Rubio, A.: "Spurious signals in digital CMOS VLSI circuits: a propagation analysis". *Circuits and systems II: IEEE Transactions on analog and digital signal processing*, vol. 39, n° 10, pp. 749-752, 1992.
- [Monteiro93] Monteiro, J., Devadas, S. and Ghosh, A.: "Retiming sequential circuits for low-power". *Proceedings of the IEEE international conference on computer-aided design*, pp.398-402, 1993.
- [Monteiro94] Monteiro, J. and Devadas, S.: "A methodology for efficient estimation of switching activity in sequential logic circuits". *ACM/IEEE 31st Design automation conference*, pp.12-17, 1994.
- [Monteiro95] Monteiro, J., Rinderknecht, J., Devadas, S. and Ghosh, A.: "Optimization of combinational and sequential logic circuits for low power using precomputation". *Proceedings of the 1995 Chapel Hill conference on advanced research on VLSI*, pp. 430-444, 1995.
- [Mota98] Mota, A., Monteiro, J., Oliveira, A., "Power Optimization of Combinational Modules using Self-Timed Precomputation". *International Symposium of Circuits and Systems, (ISCAS 98)*.
- [Mukhopadhyay03] Mukhopadhyay, S., Neau, C., Cakici, R.T., Agarwal, A., Kim, C.H. and Roy, K.: "Gate leakage reduction for scaled devices

-
- using transistor stacking”. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, vol. 11, n° 4, 2003.
- [Najm91] Najm, F.: “Transition density: a stochastic measure of activity in digital circuits”. Design automation conference, San Francisco, California, EEUU. 1991.
- [Najm94] Najm, F.: “A survey of power estimation techniques in VLSI circuits”. IEEE Transactions on very large integration systems. Vol. 2, n° 4, 1994.
- [Narendra06] Narendra, S.G. and Chandrakasan, A.: “Leakage in Nanometer CMOS Technologies”. Springer, 2006.
- [Nose00] Nose, K., Sakurai, T.: “Analysis and Future Trend of Short-Circuit Power”. IEEE Transactions on Computer-Aided Design of integrated circuits and systems. Vol. 19, N° 9. Sept. 2000.
- [Olson94] Olson, E. and Kang, S.: “Low-power state assignment for finite state machines”. Proceedings of the 1994 international workshop of low power design, pp. 63-68, 1994.
- [Pant98] Pant, P., De, V.K. and Chatterjee, A.: “Simultaneous power supply, threshold voltage and transistor size optimization for low power operation of CMOS circuits”. IEEE Transactions on VLSI systems, vol. 6 n° 4. 1998.
- [Parra03] Parra, M.P., Acosta, A. and Valencia, M.: “Switching noise reduction in clock distribution in mixed-mode VLSI circuits”. Proceedings of SPIE: VLSI circuits and systems, SPIE-the international society for optical engineering, pp. 564-573, 2003.
- [Parra10] Parra, M.P.: “Ruido de conmutación en circuitos integrados digitales CMOS”. Tesis doctoral, 2010.
- [Pedram96] Pedram, M.: “Power Minimization in IC Design: Principles and Applications”. ACM Transactions on Design Automation of Electronic Systems. Vol. 1, N° 1, pp. 3-56, June 1996.
- [Petrie00] Petrie, C.S. and Connelly, J.A.: “A noise-based IC random number generator for applications in cryptography”. IEEE Transactions on

circuits and systems I: Fundamental theory and applications, vol. 47, n° 5, pp. 615-621, 2000.

- [Piguet05] Piguet, C., “Low power CMOS circuits: Technology, Logic Design and CAD Tools”, CRC Press, 2005.
- [Piguet05b] Piguet, C., Masgonty, J.M., von Kaenel, V. and Schneider, T.: Logic design for low-voltage/low-power CMOS circuits”. Int. Symp. on Low-Power design. pp.117-122, Dana Point CA, 1995.
- [Pradhan96] Pradhan, D.K., Chatterjee, M., Swarna, M.V. and Kunz, W.: “Gate-level synthesis for low-power using new transformations”. Proceedings of the international conference on low power electronics and design”, pp. 297-300, 1996.
- [Rabe98] Rabe, D., Jochens, G., Kruse, L., Nebel, W.: “Power-Simulation of Cell Based ASICs: Accuracy- and Performance Trade-Offs”. Proc. Design, Automation and Test in Europe, pp. 356 - 361, 1998.
- [Rao89] Rao, V.S., Oerhauser, D.V., Timothy, N.T. and Ibrahim, N.H.: “Switch-level timing simulation of MOS VLSI circuits”. Ed. Kluwer Academic Publishers, 1989.
- [Roy98] Roy, S., Banerjee, P., “Resynthesis of sequential Circuits for Low Power”. International Symposium of Circuits and Systems, (ISCAS 98).
- [Rubio03] Rubio, A.: et al. “Diseño de circuitos y sistemas integrados”. Ediciones UPC, 2003.
- [Ruiz07] Ruiz de Clavijo, P.: “Simulación lógica temporal de altas prestaciones y aplicación a la estimación del consumo de potencia y corriente en circuitos integrados CMOS-VLSI“ Tesis doctoral. 2007.
- [Saini10] Saini, S., Kumar, A. M., Veeramachaneni, A. and Srinivas, M.B.: “An Alternative approach to Buffer Insertion for Delay and Power Reduction in VLSI Interconnects”. 23rd International Conference on VLSI Design, pp. 411-416, 2010.
- [Samavedam00] Samavedam, A., Sadate, A., Mayaram, K. and Fiez, T.S.: “A scalable substrate noise coupling model for design of mixed-signal

-
- IC's". IEEE Journal of Solid-state circuits, vol. 25, n° 6, pp. 895-904, 2000.
- [Schneider96] Schneider, P., Senn, M. and Wurth, B. "Power analysis for sequential circuits at logic level". European design automation conference, Ginebra, Suiza. 1996.
- [Senthinathan93] Senthinathan, R. and Prince, J.L.: "Simultaneous switching ground noise calculation for packaged CMOS devices". IEEE Journal of Solid-state circuits, vol. 28, n° 12, pp. 1383-1388, 1993.
- [Slimani11] Slimani, M. and Matherat, P.: "Multiple threshold voltage for glitch power reduction". Faible Tension Faible Consommation (FTFC), 2011. Digital Object Identifier: 10.1109/FTFC.2011.5948921. 2011.
- [Shen92] Shen, A., Ghosh, A., Devadas, S. and Keutzer, K.: "On average power dissipation and random pattern testability of CMOS combinational logic networks". Proceedings of the 1992 IEEE/ACM international conference on computer-aided design (ICCAD'92), L. Trevillyan, Ed. IEEE computer society press, pp. 402-407, 1992.
- [Tang02] Tang, K.T. and Friedman, E.G.: "Simultaneous switching noise in on-chip CMOS power distribution networks". IEEE Transactions on very large scale integration (VLSI) systems, vol. 10, n° 4, pp.487-493, 2002.
- [Theodoridis02] Theodoridis, G. and Goutis, C.: "Logic level power estimation". Cap. 9 de libro "Designing CMOS circuits for Low Power". Editores.: Soudris D., Piguat C, and Goutis C. Kluwer Ac. 2002.
- [Tiwari95] Tiwari, V., Malik, S. and Ashar, P.: "Guarded evaluation: Pushing power management to logic synthesis/design. Proceedings of the 1995 international symposium on low power design, pp. 221-226, 1995.
- [Tsividis02] Tsividis, Y.: "Mixed analog-digital VLSI devices and technology". Ed. World Scientific, 2002.
- [Tsui94] Tsui, C.Y., Pedram, M., Chen, C.H. and Despain, A.M.: "Low power state assignment targeting two- and multi-level logic implementations". Proceedings of the IEEE international conference on computer-aided design, pp. 82-87, 1994.

-
- [Unger69] Unger, S.H.: "Asynchronous sequential switching circuits". De. Wiley-Interscience, 1969.
- [Unger97] Unger, S.H.: "The essence of logic circuits" 2nd edition. IEEE Press, 1997.
- [Usami95] Usami, K. and Horowitz, M.: "Clustered voltage scaling technique for low-power design". Proceedings International Symposium on low-power design, pp. 3-8, 1995.
- [Usami00] Usami, K. and Igarashi, M.: "Low-power design methodology and applications utilizing dual supply voltages" Proceedings Asia and South Pacific design automation conference, pp. 123-128, 2000.
- [Vaidyanath94] Vaidyanath, A., Thoroddsen, B. and Prince, J.L.: "Effect of CMOS driver loading conditions on simultaneous switching noise". IEEE Transactions on components, packaging and manufacturing technology, part B: advanced packaging, vol. 17, n° 4, pp. 480-485, 1994.
- [Valencia86] Valencia, M.: "Modelado discreto : descripción lógica y simulación de fenómenos inestables en circuitos secuenciales". Tesis doctoral 1986.
- [Vandamme94b] Vandamme, L.K.J.: "Noise as a diagnostic tool for quality and reliability of electronic devices". IEEE Transactions on Electron Devices, vol. 41, n° 11, pp. 2176-2187, 1994.
- [Vandamme02] Vandamme, L.K.J. and Trefan, G.: "1/f noise in homogeneous and inhomogeneous media". IEE proceedings of circuits, devices and systems, vol. 149, n° 1, pp. 3-12, 2002.
- [Vasilescu05] Vasilescu, G.: "Electronic noise and interfering signals: principles and applications". Springer, 2005.
- [Veendrich84] Veendrich, H.: "Short-circuit dissipation of static CMOS circuitry and its impact on the design of buffer circuits". IEEE Journal of Solid-State Circuits. Vol. SC-19, pp. 468-473, Aug. 1984.
- [Vemuru93] Vemuru, S., Scheinberg, and Smith, E.: "Short-circuit power dissipation formula for CMOS gates". Proc. IEEE Symp. Circuits and Systems. Vol. 2, pp. 1333-1335, 1993.

[Verilog] <http://www.cadence.com>

[Vrudhula94] Vrudhula, S.B.K. and Xie, H-Y.: "Techniques for CMOS power estimation and logic synthesis for low power". Proceedings of the 1994 international workshop on low power design, pp. 21-26, 1994.

[Vuillod96] Vuillod, P., Benini, L., Bogliolo, A. and De Micheli, G.: "Clock-skew optimization for peak current reduction". International Symposium on low-power electronics and design, 1996, pp. 265-270, 1996.

[Wang99] Wang, Q. and Vrudhula, S.B.K.: "Power reduction and power-delay trade-offs using logic transformations". ACM Transactions on design automation of electronic systems, vol. 4, n° 1, pp. 97-121, 1999.

[Weste05] Weste, N.H.E. and Harris, D.: "CMOS VLSI design: a circuits and systems perspective". Pearson Education, 2005.

[Wroblewski00] Wroblewski, A., Schimpfle, C. and Nossek, J.: "Automated transistor sizing algorithm for minimizing spurious switching activities in CMOS circuits," in The 2000 IEEE International Symposium on Circuits and Systems, 2000. Proceedings. ISCAS 2000 Geneva, vol. 3, 2000.

[Xakellis94] Xakellis, M. and Najm, F.: "Statistical estimation of the switching activity in digital circuits". Design automation conference. San Diego, California, EEUU. 1994.

[Yang03] Yang, L. and Yuan, J.S.: "Design of a new CMOS output buffer with low switching noise". Proceedings of the 15th international conference on Microelectronic ICM 2003, pp. 131-134, 2003.

[Yook97] Yook, J.G., Chandramouli, V., Katehi, L.P.B., Sakallah, K.A., Arabi, T.R. and Schreyer, T.A.: "Computation of switching noise in printed circuits boards". IEEE Transactions on components, packaging and manufacturing technology, part A, vol. 20, n° 1, pp. 64-75, 1997.

[Zanella01] Zanella, S., Neviani, A., Zanoni, E., Miliozzi, P., Charbon, E., Guardiani, C., Carloni, L. and Sangiovanni-Vincentelli, A.: "Modeling of substrate noise injected by digital libraries". 2001 International symposium on quality electronic design, pp. 488-492, 2001.

[Zhang07] Zhang, X. "High performance low leakage desing using power compiler an multi-Vt libraries". Synopsis, SNUG, Europe, 2003. www.synopsis.com, 10/9/2007.

[Zhao00] Zhao, S. and Roy, K.: "Estimation of switching noise on power supply lines in deep sub-micron CMOS circuits". Thirteenth international conference on VLSI design, 2000, pp. 168-173, 2000.

