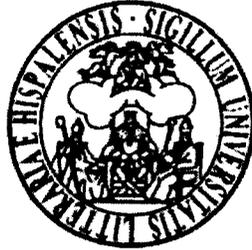


TESIS DOCTORAL



**Diseño de circuitos analógicos de baja
tensión y bajo consumo empleando el
seguidor de tensión FVF**

A handwritten signature in black ink, consisting of several overlapping loops and lines.

Juan Antonio Gómez Galán

UB Ramón González González
UB Fernando Muñoz Álvarez

Sevilla, septiembre de 2003

al s. 066 244 del libro
correos
Sevilla, 1-10-03

TESIS DOCTORAL

El Jefe del Departamento de Teoría,

Juan Antonio Gómez Galán



**Diseño de circuitos analógicos de baja
tensión y bajo consumo empleando el
seguidor de tensión FVF**

por

Juan Antonio Gómez Galán

Ingeniero en Electrónica por la Facultad de Ciencias
de la Universidad de Granada

presentada en la

**Escuela Superior de Ingenieros
de la Universidad de Sevilla**

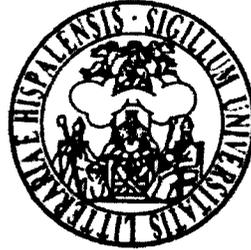
para la obtención del

Grado de Doctor por la Universidad de Sevilla

Sevilla, septiembre de 2003



TESIS DOCTORAL



**Diseño de circuitos analógicos de baja
tensión y bajo consumo empleando el
seguidor de tensión FVF**

Autor

Juan Antonio Gómez Galán

Directores

Ramón González Carvajal

Fernando Muñoz Chavero

A mis padres

Agradecimientos

Carlos Janer Jiménez, mi primer tutor en los cursos de Doctorado, me indicó el camino adecuado para la realización de esta Tesis Doctoral. Ese camino se llama Ramón González Carvajal.

Hacia Ramón sólo tengo palabras de agradecimiento, destacando especialmente, las facilidades, la confianza, la ilusión y la generosidad que en todo momento me brindó. Me considero afortunado y he sentido una enorme satisfacción, tanto a nivel personal como profesional, de haber podido trabajar con él.

A ese camino se unió Fernando Muñoz Chavero, que me permitió continuar con su labor investigadora poniendo sus conocimientos a mi disposición.

Quiero agradecer a Antonio Torralba Silgado la supervisión de los trabajos desarrollados y su aportación en algunas de las ideas presentadas en esta Tesis.

El director del Departamento de Ingeniería Electrónica de la Universidad Sevilla, Leopoldo García Franquelo, y el director del Departamento de Ingeniería Electrónica, de Sistemas Informáticos y Automática de la Universidad de Huelva, José Manuel Andújar Márquez, me proporcionaron los medios adecuados para el desarrollo de la investigación.

Alfredo Pérez Vega-Leal y Jesús Galvín Sánchez colaboraron en la obtención de los resultados experimentales.

Raúl Jiménez Naharro, Eladio Durán Aranda y Manuel Pedro Carrasco me ayudaron siempre que se lo pedí.

Mis hermanos me facilitaron mis múltiples estancias en Sevilla.

A *mi* Gema, por su amor, su paciencia, su sonrisa, y por permitir que le robara tanto tiempo.

Por encima de todos, a mis padres, por el cariño, la educación, los consejos y el apoyo que siempre he recibido.

Índice General

Capítulo 1. Introducción	1
1.1 Situación de la investigación	2
1.1.1 Técnicas para reducir el consumo y la tensión de alimentación en circuitos analógicos.	3
1.2 Motivación y objetivos	5
1.3 Organización de la Tesis	6
Capítulo 2. Diseño de circuitos analógicos de baja tensión y bajo consumo empleando el seguidor de tensión FVF	9
2.1 Introducción	10
2.2 El seguidor de tensión rotado o celda FVF	10
2.3 Estructuras básicas del seguidor de tensión rotado	12
2.3.1 Sensor de corriente FVF (FVFCS)	12
2.3.2 Estructura diferencial FVF (DFVF)	14
2.3.3 Par pseudo-diferencial (FVFDP)	15
2.4 Celdas analógicas de bajo consumo y/o baja tensión	16
2.4.1 Aplicaciones del FVF	16
2.4.1.1 Convectores de corriente	16
2.4.1.2 Multiplicadores y mezcladores	19
2.4.2 Aplicaciones del FVFCS	22
2.4.2.1 Espejos de corriente	22
2.4.2.2 Testeo IDD de señal mixta	25
2.4.2.3 Conversión V-I de baja tensión	26
2.4.2.4 Celdas SI	28
2.4.3 Aplicaciones del DFVF	28
2.4.3.1 Amplificadores operaciones de transconductancia	29
2.4.3.2 Etapas de salida	30
2.4.4 Aplicaciones del FVFDP	34
2.4.4.1 Estados de entrada clase AB para amplificadores operacionales	35
2.5 Diseño de sistemas usando FVF	37
2.6 Circuitos translineales usando FVF	37
2.6.1 Bucles translineales de tensión	38
2.6.2 Circuitos no lineales estáticos	40
2.6.2.1 Circuito de media geométrica	40
2.6.2.2 Circuito cuadrático/divisor	41

2.6.2.3	Circuito multiplicador/divisor	42
2.6.2.4	Circuitos dinámicos lineales y no lineales	43
2.6.2.5	Circuitos dinámicos lineales	43
2.6.2.6	Circuitos dinámicos no lineales	45
2.7	Conclusiones	47
Capítulo 3. Aplicaciones en tiempo continuo: Diseño de circuitos Gm-C con gran rango de ajuste		49
3.1	Introducción a los filtros analógicos	50
3.1.1	Filtros Gm-C	51
3.1.1.1	Integradores Gm-C a muy altas frecuencias	52
3.1.1.2	Desafíos de diseño	56
3.2	Transconductor basado en FVFDP.	57
3.2.1	Tipos de transconductores	58
3.2.2	Introducción	60
3.2.3	Estrategia de diseño	63
3.2.4	Descripción del transconductor	63
3.2.4.1	Respuesta en frecuencia	66
3.2.4.2	Resultados de simulación	69
3.2.4.3	Consideraciones de diseño	72
3.2.4.4	Conclusiones	74
3.3	Primera aplicación: filtro Gm-C a 10.7MHz	74
3.3.1	Comparativa de filtros Gm-C	74
3.3.2	Diseño del filtro	76
3.3.3	Consideraciones de diseño	80
3.3.4	Resultados de simulación	81
3.3.5	Resultados experimentales	84
3.3.5.1	Consideraciones generales de layout	84
3.3.5.2	Layout del filtro	84
3.3.5.3	Sistema de medidas	86
3.3.5.4	Medidas experimentales	89
3.3.6	Conclusiones	95
3.4	Segunda aplicación: osciladores controlados por tensión	96
3.4.1	Conceptos básicos	96
3.4.2	Estructura del oscilador	97
3.4.3	Oscilador de dos décadas	100
3.4.3.1	Diseño del circuito y resultados de simulación	101
3.4.3.2	Resultados experimentales	103
3.4.4	Oscilador de muy alta frecuencia	106

3.4.4.1 Resultados experimentales	107
3.4.5 Conclusiones	109
3.5 Buffer basado en la estructura DFVF	109
3.5.1 Implementación	109
3.5.2 Resultados de simulación	112
3.5.3 Resultados experimentales	114
3.5.4 Conclusiones	116
Capítulo 4. Aplicaciones en tiempo discreto: Diseño de un modulador Sigma-Delta de 1.3V de tensión de alimentación y 40μW de consumo	117
4.1 Transconductores basados en FVFDP para aplicaciones de capacidades conmutadas	118
4.1.1 Introducción	118
4.1.2 Primer transconductor clase AB propuesto	119
4.1.3 Segundo transconductor clase AB propuesto	120
4.1.4 Estabilidad	121
4.1.5 Resultados de simulación	121
4.1.6 Conclusiones	124
4.2 Modulador $\Sigma\Delta$ de bajo consumo y baja tensión	125
4.2.1 Introducción	125
4.2.1.1 Principios de operación	126
4.2.1.2 Parámetros generales	130
4.2.1.3 Comparativa de convertidores $\Sigma\Delta$	132
4.2.1.4 Objetivos	134
4.2.2 Consideraciones de diseño	134
4.2.2.1 Relación de Sobremuestreo	135
4.2.2.2 Rango de señal	137
4.2.2.3 Variaciones en los coeficientes de los integradores	138
4.2.2.4 Ganancia finita del integrador	140
4.2.2.5 Slew-Rate y ancho de banda	141
4.2.2.6 Histéresis del comparador	144
4.2.2.7 Jitter	145
4.2.2.8 Otras no linealidades	145
4.2.3 Implementación del modulador	145
4.2.3.1 Primer integrador	146
4.2.3.2 Segundo integrador	148
4.2.3.3 Amplificador operacional de transconductancia	150
4.2.3.4 Comparador	152
4.2.3.5 Convertidor D/A	154

4.2.3.6 Doblador de tensión	155
4.2.3.7 Generador de reloj	157
4.2.4 Resultados de simulación	160
4.2.5 Conclusiones	162
Capítulo 5. Conclusiones y líneas futuras de investigación	163
5.1 Contribuciones	164
5.2 Líneas futuras de investigación	165
Bibliografía	167

Capítulo 1

Introducción

La creciente demanda de equipos portátiles y la fabricación de circuitos digitales y analógicos dentro de un mismo circuito integrado, ha provocado la aparición de nuevas líneas de investigación relacionadas con el diseño analógico de circuitos de bajo consumo y baja tensión de alimentación. En este capítulo se realiza una breve descripción de esta problemática y se describe la situación actual de la investigación y las técnicas de diseño que se han venido aplicando en los últimos años. En este sentido, el Grupo de Investigación de "Tecnología Electrónica" de la Universidad de Sevilla ha creado una línea de trabajo, dando lugar al diseño y la integración de novedosos circuitos analógicos para sistemas de comunicaciones. Esta Tesis es una continuación de esa labor de investigación y pretende contribuir con la implementación de nuevas celdas y su aplicación en sistemas más complejos. Al final de capítulo, se presentan los objetivos de esta Tesis, y se detallan los contenidos y la organización de los mismos.

1.1 Situación de la investigación

La continua tendencia a reducir la escala de integración de los circuitos integrados ha incrementado la demanda de circuitos analógicos y de circuitos digitales de baja tensión de alimentación en diseños VLSI, dentro de un mismo chip. El procesamiento de señal digital ha sustituido a muchos circuitos analógicos en los últimos años, debido a sus múltiples ventajas: principalmente en términos de rango dinámico, coste, precisión, herramientas de diseño y testeabilidad. No obstante, los circuitos analógicos siempre serán necesarios en la interacción entre la parte digital y las señales analógicas externas, y aunque constituyen una pequeña porción del área total del chip, pueden ser el factor que limite el funcionamiento de todo el sistema. El diseño de circuitos analógicos y digitales en un mismo circuito integrado es una tarea desafiante debido a que los principales parámetros analógicos, como ancho de banda, ganancia, velocidad y linealidad sufren una drástica degradación a tensiones de alimentación reducidas.

La necesidad de baja tensión de alimentación está impuesta por el escalado de la tecnología con objeto de controlar el incremento de los campos eléctricos en los dispositivos, y es necesaria para los circuitos digitales porque su consumo es proporcional al cuadrado de la tensión de alimentación. Por otra parte, el incremento de equipos electrónicos portátiles, como ordenadores, comunicaciones sin hilos y electrónica de consumo, ha empujado a la industria a producir diseños con muy bajo consumo de potencia. La baja tensión permite reducir el tamaño y peso de las baterías, y el bajo consumo asegura su duración. Actualmente, la investigación biomédica también requiere de dispositivos de muy bajo consumo.

Con objeto de cumplir ambos requisitos, baja tensión y bajo consumo, es necesario desarrollar nuevas técnicas de diseño que permita circuitos analógicos con muy baja tensión de alimentación que cumplan con las especificaciones, en un entorno de bajo consumo.

Es bien conocido que los circuitos analógicos no siempre necesitan reducir su consumo a través de la tensión de alimentación. Ha sido demostrado que los filtros analógicos tienen la siguiente relación entre el consumo y el rango dinámico (DR) [Cas85a], [Gro92]:

$$P = \eta k T f_o DR \quad (1.1)$$

donde f_o es la frecuencia del polo del filtro y η es un factor que depende de la topología empleada.

Esta ecuación está basada en una aproximación que asume que el ruido es del tipo kT/C , que el consumo de potencia es proporcional a $f_o CV^2$ y que la máxima oscilación es igual a la tensión de alimentación. Con estas condiciones, para un rango dinámico dado, el consumo es independiente de la tensión de alimentación. Si ésta disminuye, para mantener el rango dinámico, los condensadores deberían aumentar su valor, lo que provocaría un incremento del consumo.

Por otro lado, la tecnología CMOS es la más utilizada para sistemas digitales de baja tensión debido a su bajo coste y alta fiabilidad. Su principal competencia para la fabricación de circuitos integrados de señal mixta es la tecnología BiCMOS que proporciona varias ventajas particularmente adecuadas para baja tensión: el uso de transistores bipolares presenta beneficios tales como mayor transconductancia para una corriente dada, menor offset, mayor f_T y menor ruido. Sin embargo, estas ventajas deben ser sopesadas frente al incremento de coste de todo el sistema. Hoy en día, existe una gran demanda para la fabricación de sistemas de señal mixta mediante tecnología CMOS.

1.1.1 Técnicas para reducir el consumo y la tensión de alimentación en circuitos analógicos

La estrategia de diseño de los circuitos digitales de bajo consumo y baja tensión consiste principalmente en incrementar la velocidad cuando la tensión a la que trabaja el circuito disminuye. Se han propuesto varios métodos para alcanzar estos requisitos [Kan94], [Cha95], [San98], [Kuo99], [Roy00], [Kur02].

En contraste con los circuitos digitales, es muy difícil mostrar soluciones generales para baja tensión y bajo consumo en circuitos analógicos. Esto se debe a que hay muchos tipos de circuitos analógicos y muchas topologías para realizar cada función analógica. Además, los circuitos analógicos tienen muchas especificaciones tales como, ancho de banda, rango dinámico, respuesta en frecuencia, distorsión, precisión, respuesta transitoria, tiempo de establecimiento, estabilidad y eficiencia. Por tanto, no es fácil definir qué es “bajo consumo” en circuitos analógicos. El camino más adecuado para definirlo es establecer un análisis entre especificaciones contradictorias, como precisión y

respuesta en frecuencia, o ancho de banda y consumo de potencia [Pel99]. A continuación se esbozan algunas pinceladas sobre técnicas de diseño analógico de bajo consumo y baja tensión que han sido presentadas en los últimos años.

Bulk-driven MOSFET. Consiste en introducir la señal de entrada por el sustrato. Esta técnica permite eliminar las dificultades introducidas por las relativamente altas tensiones umbrales. A pesar de que han sido empleadas en algunas aplicaciones [Die91], [Bla98], [Raj02], este método no ha sido aceptado de forma generalizada debido a algunos inconvenientes importantes, tales como más baja transconductancia, mayor ruido, el problema del latch-up y la necesidad de disponer de dos sustratos.

Multiplificadores de tensión. Esta técnica usa circuitos que cambian la tensión de una parte del circuito a partir de la tensión de alimentación. El factor de conversión es mayor que la unidad para aplicaciones de baja tensión. Esta técnica ha sido muy utilizada para asegurar la adecuada operación de los interruptores en circuitos de capacidades conmutadas.

Baterías flotantes (desplazados de nivel). Este método se utiliza para desplazar el nivel de continua entre dos nodos en circuitos complejos, reduciendo así los requisitos de la tensión de alimentación. Usando esta técnica se pueden obtener circuitos analógicos de gran ancho de banda y muy baja tensión [Ram99], [Ram00_b].

Polarización subumbral. Cuando los transistores trabajan en inversión débil, el consumo es mínimo debido a las pequeñas corrientes de polarización. Sin embargo, el área de silicio se incrementa y la respuesta en frecuencia empeora. Para la mayoría de los circuitos analógicos, el mejor compromiso entre área, consumo y velocidad se consigue cuando el transistor trabaja en inversión moderada [Xie99], [Yan00].

Transistores MOS de puerta flotante. Este dispositivo es similar a un MOS convencional, excepto que la tensión de la puerta flotante es controlada por múltiples entradas a través de capacidades de acoplo. Su principal ventaja es que puede cambiar la tensión umbral a través de la cantidad de carga estática en la puerta flotante. Esto permite diseñar circuitos con rango de señal completa, muy baja tensión de alimentación y alto ancho de banda. Además, reduce la complejidad del circuito, simplifica el procesamiento de las señales y facilita el mecanismo de control. Tradicionalmente, esta técnica ha sido empleada en memorias digitales, pero en los últimos años, se ha incrementado el número

de aplicaciones en circuitos analógicos [Rod00], [Jac01], [Muñ01a], [Ram01]. Entre sus inconvenientes destacan su menor transconductancia, la necesidad de utilizar un proceso de doble polisilicio y la carga atrapada en la puerta durante el proceso de fabricación.

Switched opamp. Se basa en reemplazar los interruptores críticos a la salida del amplificador en circuitos de capacidades conmutadas. Esta técnica introduce elementos adicionales pero el consumo de potencia no se ve afectado, ya que los amplificadores sólo están activos durante la mitad del periodo, mientras que en los circuitos de capacidades conmutadas clásicos, los amplificadores siempre están trabajando [Ste93], [Pe199].

Configuración diferencial. Estas topologías son muy deseables en la mayoría de las aplicaciones debido a su inmunidad a las señales de ruido de modo común, que pueden proceder de circuitos digitales dentro de un mismo circuito integrado. Además, tienen mayor rango de señal y mejor distorsión respecto a las señales no diferenciales. Su principal inconveniente es la necesidad de un circuito de control del modo común para estabilizar las señales de salida.

Circuitos clase AB. Se caracterizan porque las corrientes de polarización pueden ser programadas mucho más bajas que los valores máximos que pueden alcanzar. Como estos circuitos no tienen limitación de slew rate, pueden mejorar considerablemente el compromiso entre velocidad y consumo en circuitos analógicos [Ada00], [Giu00b], [Giu03]. Dentro de este tipo de circuitos se puede destacar el “*seguidor de tensión rotado*” (en inglés, *Flipped Voltage Follower*), que constituye una celda básica muy adecuada para el diseño de circuitos de baja tensión de alimentación y bajo consumo. En esta Tesis, se analiza en profundidad su topología y las diversas aplicaciones que ha originado.

Procesamiento en modo corriente. Para utilizar estas técnicas se necesitan circuitos que hagan la conversión entre tensión y corriente, tales como transconductores. Estos circuitos consiguen un buen comportamiento en frecuencia y un mayor rango dinámico [Lee91], [Ram92a].

1.2 Motivación y objetivos

En los últimos años, el Grupo de Investigación de “Tecnología Electrónica” de la Universidad de Sevilla, ha desarrollado una línea de investigación en el diseño de circuitos analógicos de baja tensión y bajo consumo para comunicaciones. Esta Tesis pretende ser una contribución a este campo de investigación. En ella se proponen nuevas celdas analógicas, tanto en tiempo continuo como en tiempo discreto, usando el “seguidor de tensión rotado o FVF” como una herramienta de diseño de bajo consumo y baja tensión.

Los objetivos de este trabajo son los siguientes:

- Estudiar el “seguidor de tensión rotado”, como una celda muy útil, empleada en un gran número de aplicaciones, debido a la versatilidad de su funcionamiento. Esto demostrará lo adecuado de su elección para el diseño de circuitos analógicos de baja tensión y bajo consumo.
- Proponer nuevos circuitos analógicos basados en el “seguidor de tensión rotado”. El objetivo es la reducción del consumo de potencia analizando las relaciones entre dicha reducción y el funcionamiento general del circuito.
- Diseñar un transconductor lineal clase AB de baja tensión de alimentación, de muy bajo consumo, gran rango de variabilidad de su transconductancia y con excelente comportamiento en alta frecuencia para aplicaciones tales como filtros Gm-C y osciladores controlados por tensión.
- Proponer un buffer para testado analógico con muy baja capacidad de entrada y bajo consumo.
- Implementar un modulador sigma-delta usando como bloque de diseño transconductores clase AB muy útiles para aplicaciones de capacidades conmutadas de bajo consumo y baja tensión de alimentación.
- Fabricar dos circuitos integrados para demostrar que se puede alcanzar un excelente funcionamiento de los circuitos y sistemas diseñados con muy bajo consumo de potencia.

1.3 Organización de la Tesis

Los contenidos de la Tesis están organizados de la siguiente forma:

El capítulo 2 introduce el “seguidor de tensión rotado o FVF” como una celda muy adecuada para aplicaciones de baja tensión y bajo consumo. Se analizan distintas versiones de esta celda: Sensado de corriente (FVFCSS), FVF diferencial (DFVF) y FVF Pseudo-Diferencial (FVFDP), y algunas de sus aplicaciones realizadas en los últimos años.

Los capítulos 3 y 4 describen las contribuciones de esta Tesis al diseño analógico en tiempo continuo y en tiempo discreto, respectivamente.

En el capítulo 3, se propone un nuevo transistor clase AB lineal y basado en estructura pseudo-diferencial. Como todas las estructuras diferenciales, el transistor necesita un circuito de realimentación de modo común para estabilizar las tensiones de salida. Sin embargo, debido a su topología pseudo-diferencial, requiere un circuito adicional para controlar las corrientes de modo común. La transconductancia puede ser ajustada en un amplio rango de más de dos décadas a través de dos tensiones de control externas. Con objeto de mostrar sus excelentes prestaciones, el transistor ha sido utilizado en dos aplicaciones: la primera en el diseño de un filtro paso banda Gm-C con frecuencia central 10.7MHz. Tanto la frecuencia central como el factor de calidad pueden ser controlados en un amplio rango sin sufrir un apreciable incremento en el consumo de potencia. El rango de consumo quiescente del filtro es 1.18mW – 1.8mW con una tensión de alimentación de 2V. La segunda aplicación es el diseño de un oscilador controlado por tensión (VCO) donde su frecuencia de oscilación puede ser controlada entre 1MHz y 22.8MHz. Con objeto de comprobar el máximo comportamiento en frecuencia del transistor clase AB, se presenta también un VCO de alta frecuencia, con un rango de oscilación entre 2.6MHz y 70MHz. Tanto el filtro como los osciladores han sido fabricados en tecnología CMOS de 0.8µm de AMS. El capítulo termina con la presentación de un nuevo buffer clase AB para aplicaciones de testado analógico o monitorización de señal.

El capítulo 4 describe dos nuevos amplificadores operaciones de transconductancia para aplicaciones de capacidades conmutadas. Para mostrar sus prestaciones, estos circuitos se

han empleado como integradores en un modulador sigma-delta de baja tensión y muy bajo consumo. El sistema trabaja con una tensión de alimentación de 1.3V y consume 40 μ W con un rango dinámico de 86dB, para un ancho de banda de 8kHz. El circuito ha sido implementado con tecnología CMOS de 0.6 μ m de AMS.

El capítulo 5 presenta las conclusiones finales y las posibles líneas futuras de investigación.

Capítulo 2

Diseño de circuitos analógicos de baja tensión y bajo consumo empleando el seguidor de tensión FVF

En este capítulo, se estudia una celda básica para aplicaciones de bajo consumo y/o baja tensión de alimentación, llamada "seguidor de tensión rotado" (Flipped Voltaje Follower (FVF)). Sus diferentes versiones se han utilizado en los últimos años en una gran variedad de aplicaciones. Se analizan las topologías básicas derivadas del FVF: sensor de corriente FVF (FVFCs), estructura diferencial FVF (DFVF) y par pseudo-diferencial (FVFDP), y se proporcionan circuitos basados en dichas estructuras: convectores de corriente, multiplicadores, mezcladores, espejos de corriente, amplificadores operacionales de transconductancia, etapas de entrada y de salida y circuitos translineales. Resultados de simulación y experimentales demuestran el correcto diseño y funcionamiento de dichos circuitos con baja tensión de alimentación y bajo consumo de potencia.

2.1 Introducción

La celda “seguidor de tensión rotado” o celda FVF, se propone con objeto de demostrar que es una estructura muy adecuada para resolver los problemas, discutidos en el capítulo 1, que está originando en los circuitos analógicos la necesidad de disminuir la tensión de alimentación.

En primer lugar, en las secciones 2.2 y 2.3 se presenta la estructura FVF, sus propiedades y los circuitos básicos derivados de ella. En la sección 2.4, estos circuitos básicos son empleados para construir celdas analógicas de baja tensión y bajo consumo, tales como espejos de corriente, transconductores, amplificadores operacionales y buffers. En la sección 2.5 se revisan los diseños de varios sistemas que emplean FVF. En la sección 2.6, se proporciona un ejemplo completo de cómo aplicar la celda FVF para implementar bucles translineales de bajo consumo y baja tensión. Finalmente, en la sección 2.7 se resumen las conclusiones obtenidas a lo largo del capítulo.

2.2 El seguidor de tensión rotado o celda FVF

Consideremos el amplificador en drenador común de la Figura 2.1a, usado normalmente como buffer de tensión. Si despreciamos el efecto de cuerpo, el circuito sigue la tensión de entrada con un desplazamiento en DC, $V_o = V_i + V_{SG}^{M1}$. En cuanto al comportamiento en gran señal, este circuito es capaz de absorber una gran corriente de la carga, pero está limitada por la corriente de polarización I_b . Un inconveniente de este circuito es que la corriente del transistor M_1 depende de la corriente de salida, por lo que V_{SG}^{M1} no es constante, y por tanto, para cargas resistivas, la ganancia de tensión es menor de la unidad. Un problema similar ocurre para cargas capacitivas a altas frecuencias.

El circuito de la Figura 2.1b también trabaja como un seguidor de tensión donde la corriente a través del transistor M_1 se mantiene constante, independientemente de la corriente de salida. Si despreciamos el efecto de cuerpo y los efectos de canal corto, V_{SG}^{M1} se mantiene constante, y la ganancia de tensión vale la unidad. A diferencia del seguidor de tensión convencional, el circuito de la Figura 2.1b es capaz de proporcionar una gran cantidad de corriente que no está limitada por la corriente de polarización I_b . Esta propiedad se debe a la baja impedancia del nodo de salida, cuyo valor es

aproximadamente $r_o = 1/g_{m1}g_{m2}r_{o2}$, donde g_{mi} y r_{oi} son la transconductancia y la resistencia de salida del transistor M_i , respectivamente. Este valor es del orden de 20-100 Ω .

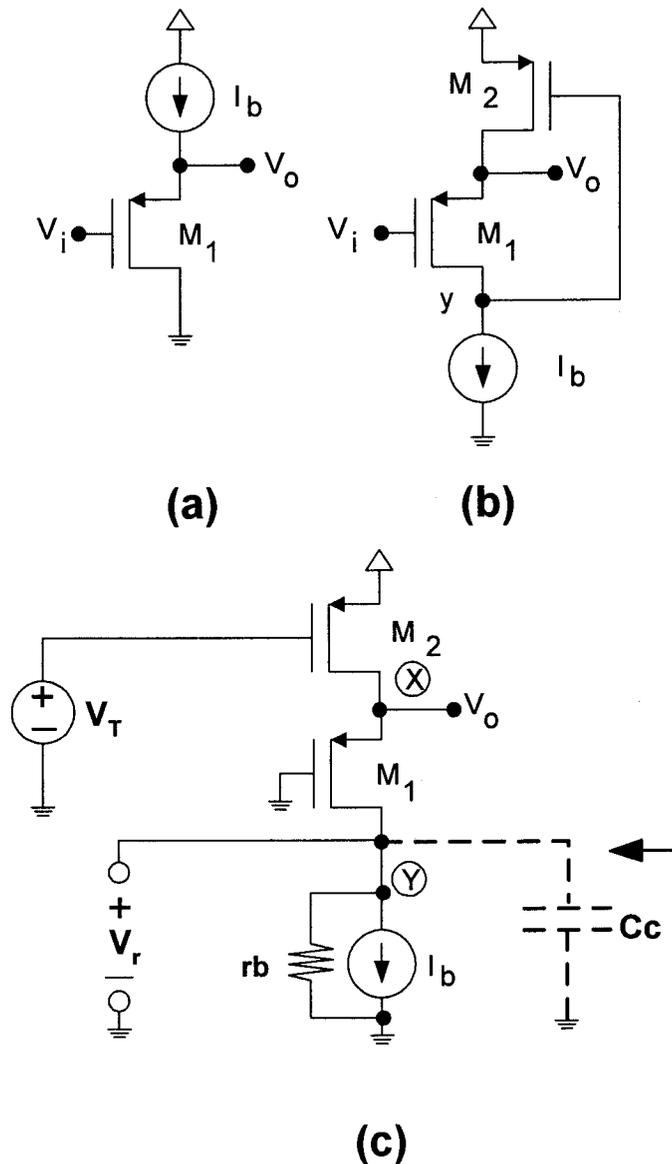


Figura 2.1 . a) Amplificador en drenador común (seguidor de tensión) b) Seguidor de tensión rotado (FVF), c) Análisis de la ganancia en bucle abierto del circuito de la Figura 2.1b

Los transistores M_1 y M_2 forman un bucle de realimentación negativa de dos polos. La Figura 2.1c muestra el mismo circuito con una realimentación en bucle abierto a la puerta de M_2 incluyendo una fuente de tensión V_T . Este circuito tiene una ganancia en bucle abierto $A_{OL} = V_r / V_T = -g_{m2}R_Y$ (donde la impedancia en el nodo Y está dada por

$R_Y = r_b \parallel r_{o1}$, y r_b es la impedancia de la fuente de corriente I_b), un polo dominante en el nodo Y, $\omega_{pY} = 1/C_Y R_Y$ y un polo de alta frecuencia en el nodo X, $\omega_{pX} = g_{m1}/C_X$ (C_X y C_Y son las capacidades parásitas en los nodos X e Y, respectivamente. C_X también incluye la capacidad de carga). La impedancia en bucle abierto en el nodo X está dada por $R_{OLX} = 1/g_{m1}$. El producto ganancia-ancho de banda es $GB = g_{m2}/C_Y$. La impedancia en bucle cerrado en el nodo X, $R_X = R_{OLX}/(1 + |A_{OL}|) \approx 1/(g_{m2}g_{m1}r_{o1})$. Con objeto de asegurar la estabilidad, se debe cumplir la condición $\omega_{pX} > 2GB$. Esta condición se puede conseguir fácilmente con la adecuada selección de I_b y la relación de aspecto (W/L) de M_1 y M_2 , y/o añadiendo un capacidad de compensación (C_c in Figura 2.1c). El circuito de la Figura 2.1b se llamará en el resto de la Tesis, “seguidor de tensión rotado, o celda FVF”.

Se puede observar que el FVF puede trabajar con tensiones de alimentación muy bajas. El FVF también puede ser usado con grandes tensiones de alimentación, pero en este caso, polarizar el transistor M_2 en saturación puede ser difícil, si la tensión de entrada V_i es baja. Una posible solución para resolver ese problema, es incluir un desplazador de nivel DC entre el nodo Y y la puerta del transistor M_2 , como en [Chu95]. Esta solución se puede aplicar en la mayoría de los circuitos presentados en este capítulo.

2.3 Estructuras básicas del seguidor de tensión rotado

2.3.1 Sensor de corriente FVF (FVFCS)

El FVF puede también ser considerado una celda de sensado de corriente. Cuando se use con esta función, será llamada “sensor de corriente FVF (FVFCS)”. Consideremos el nodo X en la Figura 2.2a como nodo de entrada de sensado de corriente y que todos los transistores están correctamente polarizados en la región de saturación. Debido a la realimentación proporcionada por el transistor M_2 , la impedancia en el nodo X es muy baja, y de esta forma, la cantidad de corriente que fluye a través de este nodo no modifica el valor de su tensión. Se puede observar que el nodo X puede proporcionar grandes variaciones de corriente a la entrada y el FVF las convierte en variaciones de tensión en el nodo Y. Esta tensión se puede usar para generar réplicas de la corriente de entrada como muestra la Figura 2.2a, por medio del transistor M_5 . La Figura 2.2b representa la respuesta DC del circuito en la Figura 2.2a. Las corrientes de entrada y de salida están

relacionadas por la expresión $I_{out} = I_{in} + I_b$. Si fuera necesario, la corriente I_b se puede eliminar fácilmente del nodo de salida usando técnicas de espejos de corriente si es necesario para una aplicación concreta.

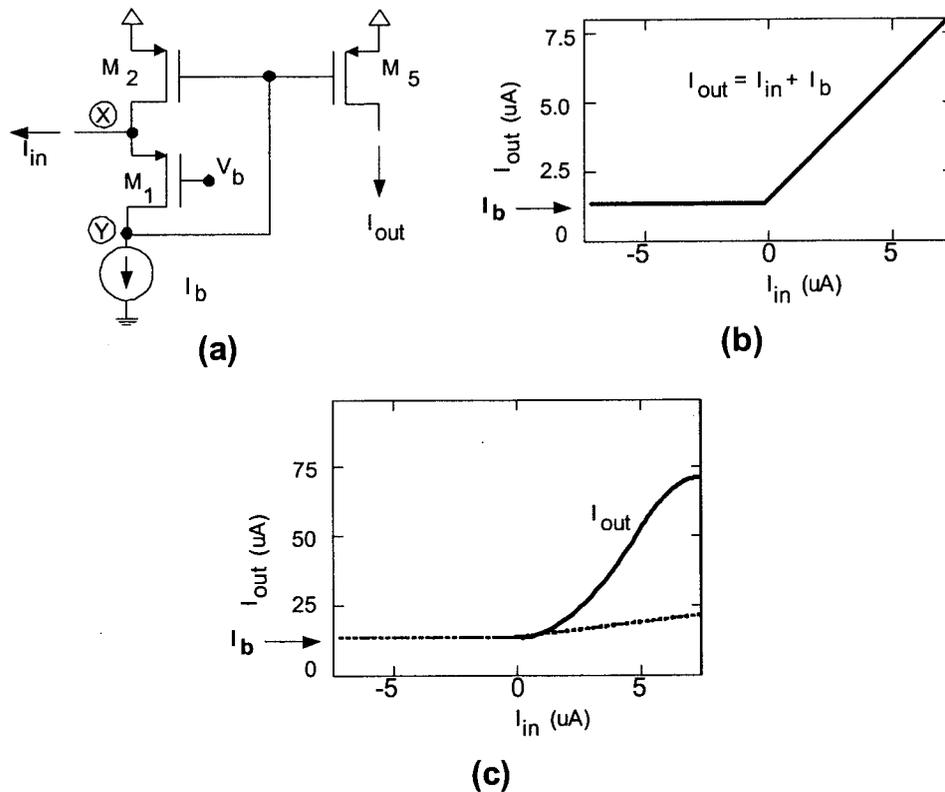


Figura 2.2 . Sensor de corriente FVF (FVFCS): a) Implementación básica, b) respuesta DC, c) respuesta DC con M_2 polarizado cerca de la región lineal.

Una condición especial de FVFCS tiene lugar cuando el transistor M_2 se polariza cerca de la región triodo y M_5 se mantiene en la región de saturación. En este caso, la corriente de salida se puede incrementar varias veces comparada con la corriente de entrada (Figura 2.2c). Este funcionamiento se puede emplear para conseguir un comportamiento clase AB, como se ha demostrado en [You98]; pero no es adecuado para muy bajas tensiones de alimentación, ya que la tensión en el nodo Y puede experimentar grandes variaciones de su valor quiescente, afectando por tanto, a la fuente de corriente I_b .

A parte de esta particular condición de trabajo, el FVFCS puede trabajar a muy baja tensión de alimentación. La mínima tensión es $V_{DD,min} = |V_{TP}| + 2V_{DS,sat}$, donde V_{TP} es la

tensión umbral del transistor y $V_{DS,sat}$ es la mínima tensión drenador-fuente necesaria para mantener un transistor en saturación. $V_{DD,min}$ puede ser tan pequeña como 950mV para tecnología CMOS de $0.35\mu\text{m}$ con $|V_{TP}| = 650\text{mV}$.

2.3.2 Estructura diferencial FVF (DFVF)

Varios circuitos clase AB diferenciales se pueden obtener usando las propiedades de sensado de corriente de la estructura descrita en la sección anterior. La primera estructura diferencial basada en la celda FVF se puede construir añadiendo un transistor extra M_3 conectado al nodo X, como se muestra en la Figura 2.3a [Pel99]. Este nuevo esquema se llamará “estructura diferencial FVF”, o DFVF. Como se indicó en la sección previa, la impedancia del nodo X es muy baja y su tensión permanece aproximadamente constante para grandes corrientes de entrada. Si consideramos condiciones quiescentes cuando $V_1 = V_3$, y asumimos el mismo tamaño de los transistores M_1 y M_3 , se satisface la condición $I_{DM1} = I_{DM3} = I_b$. Una tensión diferencial $V_1 - V_3$ genera variaciones de corriente en M_3 que sigue la ley cuadrática de los transistores MOS. Esto es una propiedad muy interesante de DFVF, ya que la máxima corriente de salida puede ser mucho más grande que la corriente de polarización I_b . La Figura 2.3b muestra la función de transferencia en DC para I_{DM3} frente a $V_1 - V_3$, donde se observa el típico comportamiento clase AB.

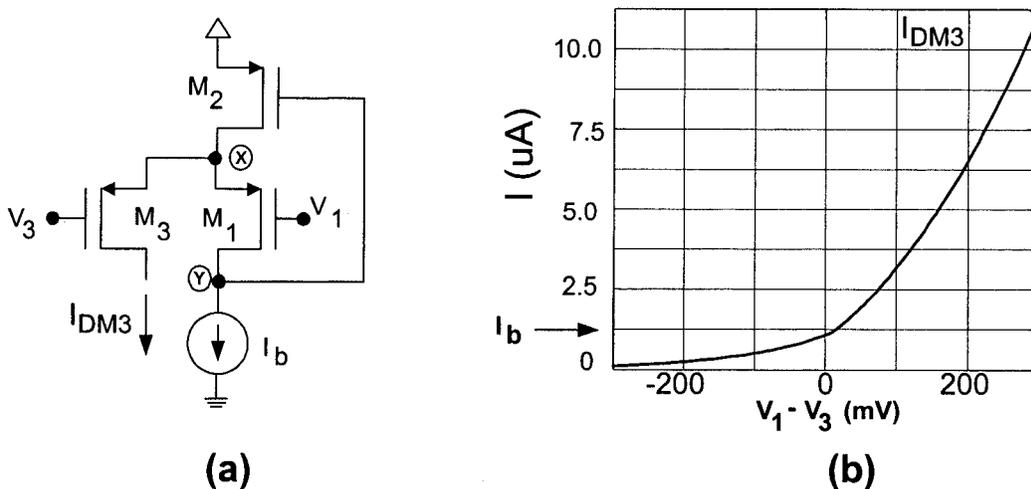


Figura 2.3 . a) Amplificador diferencial FVF (DFVF), b) Característica DC.

Otra característica de DFVF es que la salida está disponible tanto en corriente (I_{DM3}) como en tensión (nodo Y). Esta característica se puede utilizar para simplificar el diseño de circuitos, reduciendo tanto el ruido como el número de polos y ceros. Finalmente, indicar que el esquema DFVF puede trabajar con muy bajas tensiones de alimentación.

La mínima tensión es la misma que en el caso de FVFCS, $V_{DD,\min} = |V_{TP}| + 2V_{DS,\text{sat}}$.

2.3.3 Par pseudo-diferencial (FVFDP)

Un par pseudo-diferencial se puede construir fácilmente a partir de DFVF añadiendo un transistor adicional M_4 conectado al nodo X, como se indica en la Figura 2.4a [Car02a]. Esta estructura se llamará “par pseudo-diferencial FVF (FVFDP)”. En la Figura 2.4b aparecen las corrientes de salida en DC I_{DM3} y I_{DM4} frente a la tensión diferencial de entrada $V_{34} = V_3 - V_4$. El par pseudo-diferencial también representa un comportamiento clase AB donde la corriente de polarización puede ser mucho más baja que sus valores máximos. En este caso, se ha considerado, bajo condiciones de polarización, $V_1 = V_3 = V_4$. Esto es, la tensión en la puerta de M_1 corresponde al modo común de M_3 y M_4 : $V_1 = (V_3 + V_4)/2 = V_{\text{CMi}}$. Si el valor de modo común V_{CMi} de las tensiones de entrada V_3 y V_4 no es igual a V_1 , la característica de salida en DC tiene la misma forma pero aparece un desplazamiento en DC.

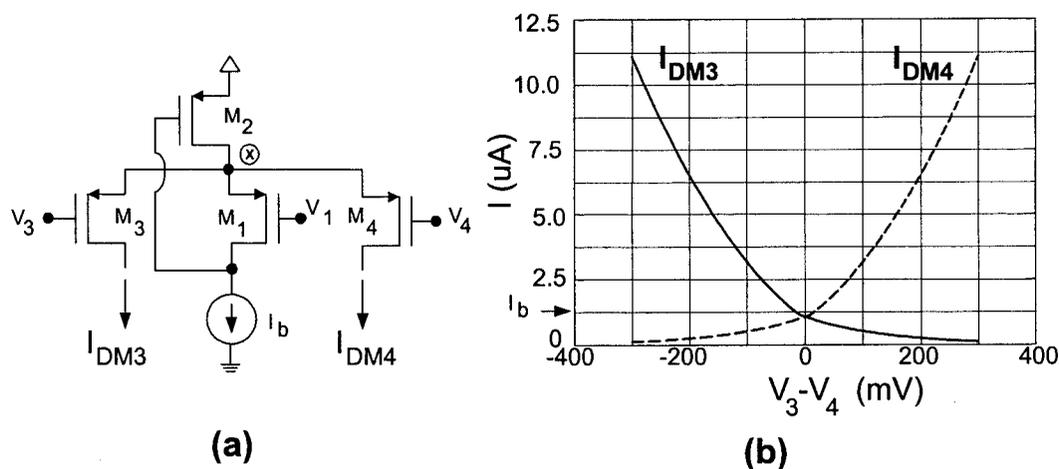


Figura 2.4 . a) Par pseudo-diferencial FVF (FVFDP), b) Característica DC.

La principal diferencia entre las celdas DFVF y FVFDP es que la última estructura tiene una salida diferencial. La corriente de salida I_{DM3} de DFVF puede ser grande si $V_1 - V_3$ es positivo, y cero si $V_1 - V_3$ es negativo. Sin embargo, con la celda FVFDP se pueden conseguir grandes corrientes de salida ($I_{out} = I_{DM3} - I_{DM4}$) diferenciales, negativas o positivas, dependiendo del valor de la tensión diferencial de entrada ($V_{in} = V_3 - V_4$). Este par pseudo-diferencial también puede trabajar con una mínima tensión de alimentación de $V_{DD,min} = |V_{TP}| + 2V_{DS,sat}$, como en el caso de FVFCS y DFVF.

2.4 Celdas analógicas de bajo consumo y/o baja tensión

Se han propuesto en los últimos años varios circuitos analógicos usando las estructuras FVF presentadas en las secciones 2.2 y 2.3 (FVF, FVFCS, DFVF y FVFDP). Todos ellos tienen una propiedad común: son adecuados para trabajar bajo condiciones de bajo consumo y/o baja tensión.

2.4.1 Aplicaciones del FVF

La aplicación básica de FVF es como buffer analógico con un nivel de desplazamiento en DC. El desplazamiento de nivel en una conocida técnica para reducir las especificaciones en tensión de los circuitos [Ram99], [Ram00b], [Yan00], [Raj02]. La estructura FVF se ha empleado en los últimos años por otros autores con este propósito.

2.4.1.1 Convectores de corriente

El diseño analógico con tensiones de alimentación cercanas a la tensión umbral de un transistor MOS presenta buenos resultados en modo corriente [Tou90]. Los convectores de corriente son bloques básicos de construcción en muchos circuitos que trabajan en modo corriente. Desde su aparición en 1968 [Smi68], el interés generado por ellos ha crecido de forma continua, siendo reconocida hoy en día, como un bloque analógico extremadamente versátil y comercialmente disponible.

Hay estructuras de 3 terminales (llamados tradicionalmente X, Y y Z) descritos por la siguiente matriz:

$$\begin{bmatrix} I_x \\ V_y \\ I_z \end{bmatrix} = \begin{bmatrix} 0 & M & 0 \\ 1 & 0 & 0 \\ 0 & N & 0 \end{bmatrix} \begin{bmatrix} V_x \\ I_y \\ V_z \end{bmatrix} \quad (2.1)$$

Donde I_x , I_y , I_z y V_x , V_y , V_z son las corrientes y tensiones en los nodos X, Y y Z, respectivamente. Dependiendo del valor de la constante M, se pueden obtener varios tipos de convectores de corriente. Nos centraremos sobre estructuras CCII ($M=0$) porque son las más empleadas.

En la Figura 2.5a aparece la estructura básica de la mayoría de los circuitos CCII. Se basa en un buffer de tensión teniendo el nodo Y como entrada y el nodo X como salida, y un espejo de corriente que copia la corriente de salida del buffer hacia el nodo Z de alta impedancia. El funcionamiento de CCII depende principalmente de las características de este buffer. En particular, debería tener:

- Muy alta impedancia de entrada en el nodo Y, muy baja impedancia de salida en el nodo X y alta impedancia de salida en el nodo Z.
- Copia exacta de tensión del nodo Y al nodo X.
- Copia exacta de la corriente de salida del nodo X al nodo Z.
- La mayor velocidad para una corriente de polarización dada.
- Baja tensión de alimentación.

Los últimos dos requisitos están normalmente relacionados con la simplicidad del buffer en términos de número de transistores y número de nodos internos.

El esquema FVF cumple todas estas características, a parte de que la tensión de salida es desplazada en DC una tensión V_{GS} del transistor M_1 . Para resolver esta cuestión, se emplean dos celdas CCII distintas basadas en la estructura de la Figura 2.5a y usando FVF como buffer de tensión.

La Figura 2.5b muestra una primera posible implementación. Un simple desplazador de nivel en DC está formado por el transistor M_9 polarizado por dos fuentes de corriente idénticas. Este circuito es muy simple, teniendo sólo dos nodos internos (excluyendo los

espejos de corriente). Sin embargo, la impedancia de entrada del terminal Y es finita y del orden de $r_{o6} \parallel r_{o11}$. La impedancia de salida del terminal X es muy baja gracias a la estructura FVF. La ganancia de tensión de pequeña señal desde el nodo Y hasta el nodo X es

$$A_v \approx \frac{g_{m1}g_{m2}(r_{o4} \parallel r_{o2})R_L}{1 + g_{m1}g_{m2}(r_{o4} \parallel r_{o2})R_L} \quad (2.2)$$

donde R_L representa la resistencia de carga del nodo X. Se puede observar que incluso para cargas muy pequeñas, las características de FVF conducen a una ganancia de tensión de aproximadamente la unidad. La resistencia R en la celda FVF se ha introducido para mejorar el ancho de banda [Ram02a].

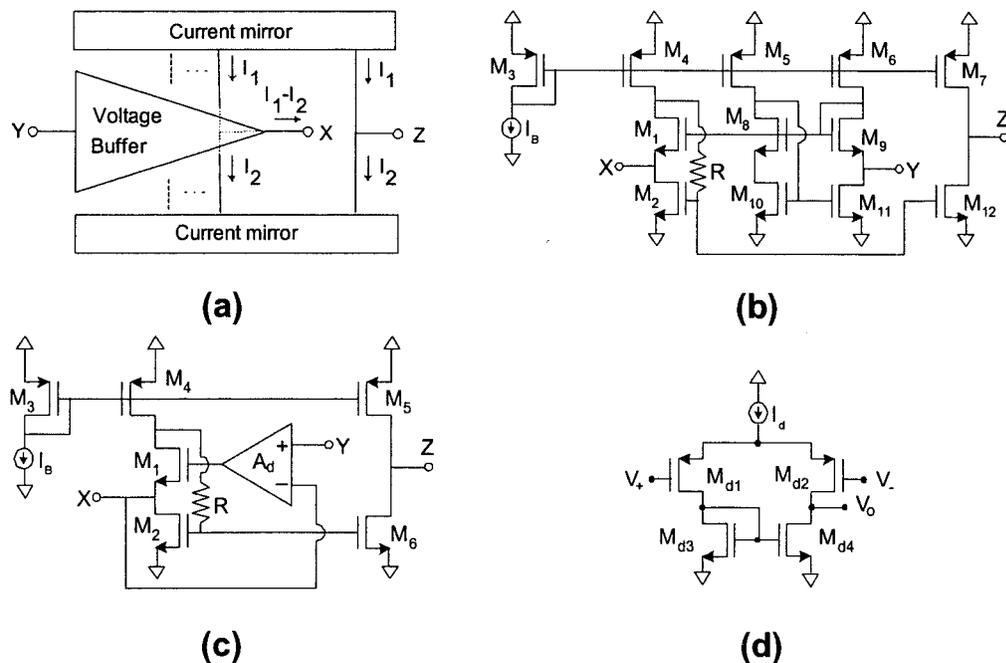


Figura 2.5 . a) Diagrama simplificado de CCII, b) Implementaión de un CCII usando el FVF, c) CCII mejorado, d) Amplificador A_d de baja tensión.

En la Figura 2.5c se muestra una estructura modificada. La diferencia entre los niveles de entrada y de salida en DC se resuelve ahora empleando un amplificador cuyas entradas son los terminales X e Y. De esta forma, se elimina el desplazador de nivel formado por el transistor M_9 , lo que provoca una muy alta impedancia de entrada en el nodo Y. Al mismo tiempo, la realimentación del amplificador reduce la impedancia de salida del nodo X y provoca que la ganancia de tensión sea más cercana a la unidad. La polarización

de la celda también es más simple debido a la eliminación del desplazador de nivel. Sin embargo, el amplificador introduce nodos internos. Una posible implementación del amplificador A_d se muestra en la Figura 2.5d. La Tabla 2.1 resume las principales características de ambos convectoros de corriente. El parámetro A_d en esta tabla corresponde a la ganancia de tensión del amplificador de la Figura 2.5d.

CCII	Figura 2.5b	Figura 2.5c
Impedancia de entrada, nodo Y	$r_{o6} \parallel r_{o11}$	∞
Impedancia de salida, nodo X	$\frac{1}{g_{m1}g_{m2}(r_{o4} \parallel r_{o2})}$	$\frac{1}{A_d g_{m1}g_{m2}(r_{o4} \parallel r_{o2})}$
Impedancia de salida, nodo Z	$r_{o7} \parallel r_{o12}$	$r_{o5} \parallel r_{o6}$
Ganancia de tensión V_X / V_Y	1	1
Ganancia de corriente I_Z / I_Y	1	1

Tabla 2.1. Principales parámetros de los circuitos CCII propuestos.

2.4.1.2 Multiplicadores y mezcladores

La estructura FVF también se ha usado en los últimos años para implementar mezcladores y multiplicadores. En [Kin97] la celda FVF se empleó para construir un mezclador de 1GHz que aprovechando la baja impedancia de salida de FVF crea un buffer de alta frecuencia. Hay también varios amplificadores de transconductancia y multiplicadores de transconductancia reportados en los últimos años que pueden ser modificados para reducir sus requisitos de tensión, y en ocasiones, para mejorar el consumo y su funcionamiento.

Por ejemplo, consideremos la celda multiplicadora formada por cuatro transistores MOS (Figura 2.6a) que habitualmente se ha usado para implementar multiplicadores analógicos a cuatro cuadrantes [Ram92b], [Sak92], [Gun98], [Ram00a]. Los transistores trabajan en la región óhmica y la corriente de salida se define como $I_{out} = I_E - I_F$.

Con las condiciones $V_E = V_F$ y $V_{DSi} < V_{GSi} - V_T$, y asumiendo fuentes de muy baja impedancia en los nodos A y B, un análisis directo basado en las ecuaciones en la región triodo conducen a $I_{out} = I_E - I_F = \beta V_1 V_2$ (donde $\beta = \mu_n C_{ox} W/L$ es el factor de ganancia

del transistor). Para obtener baja distorsión se necesitan fuentes de muy baja impedancia. Un amplificador operacional basado en el multiplicador a cuatro cuadrantes de la Figura 2.6a fue reportado en [Cro95] de acuerdo a la Figura 2.6b. El amplificador se usa para implementar los nodos de baja impedancia E y F que satisfacen la condición $V_E=V_F$. También sensa las corrientes I_E y I_F , y genera una tensión de salida proporcional a la corriente diferencial. Además de su arquitectura en bucle cerrado, esta implementación necesita buffers de muy baja impedancia para atacar los nodos A y B. Estos buffers no se muestran en el circuito.

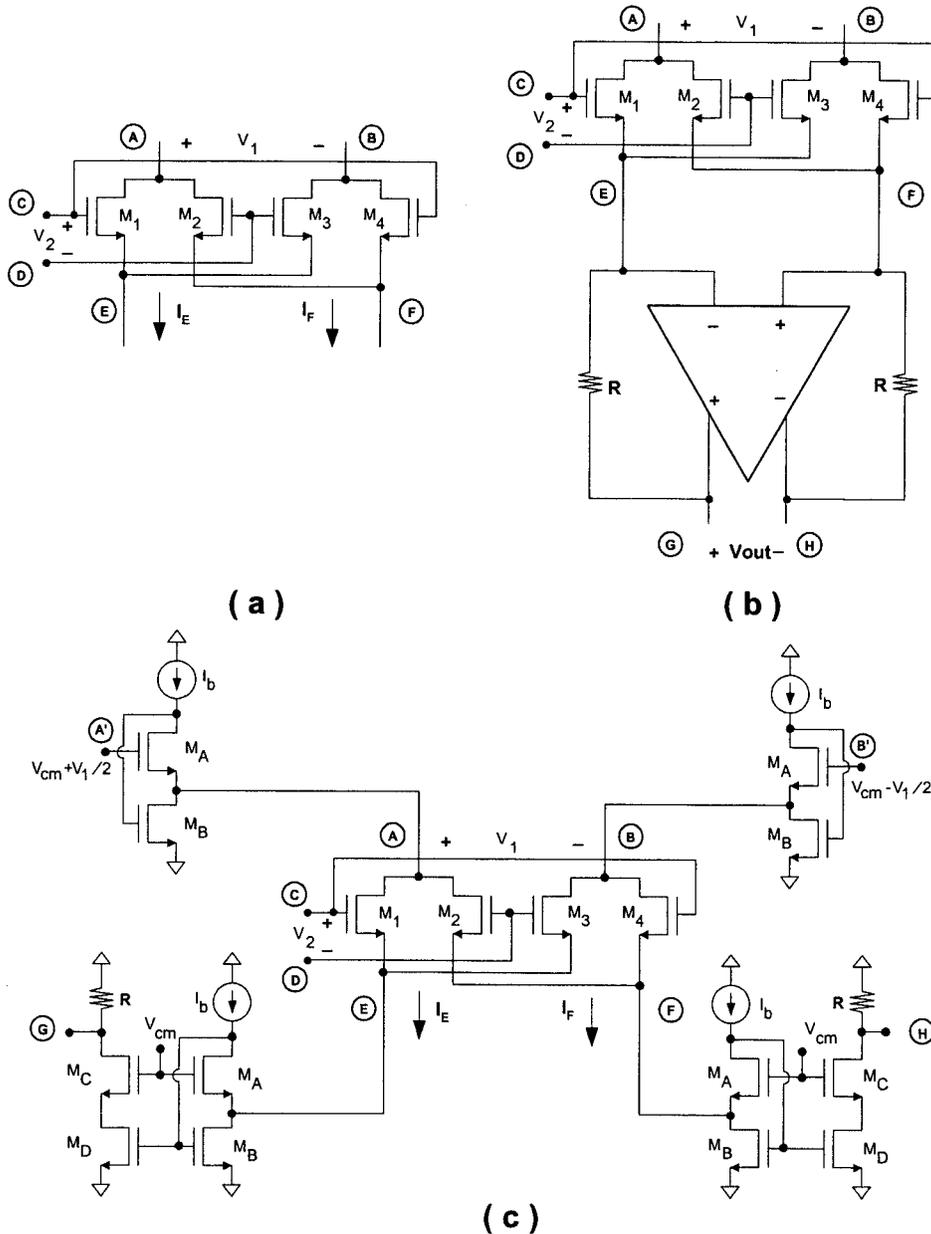


Figura 2.6 . Nuevo multiplicador analógico a cuatro cuadrantes basado en transistores en la región óhmica: a) Celda básica, b) Implementación convencional en bucle cerrado, c) Nuevo multiplicador en bucle abierto de alta frecuencia y baja tensión basado en el esquema FVF.

Un nuevo multiplicador a cuatro cuadrantes usando la celda de la Figura 2.6a y FVFs se muestra en la Figura 2.6c. Los esquemas FVF se introducen para generar baja impedancia en los nodos E y F que cumplan $V_E=V_F$. También permiten sensar y copiar las corrientes I_E y I_F (los esquemas FVF actúan aquí como FVFCS). La parte superior de la Figura 2.6c también muestra dos esquemas FVF que implementan fuentes de muy baja impedancia atacando a los nodos A y B. Debido a esto, este multiplicador no tiene realimentación y puede trabajar a más altas frecuencias con más baja tensión que el de la Figura 2.6b.

El circuito de la Figura 2.6c fue simulado con Cadence DFW-II usando los modelos CMOS de $0.5\mu\text{m}$ AMI con tensiones umbrales $|V_{TP}|=950\text{mV}$ y $V_{TN}=750\text{mV}$. La tensión de alimentación es $V_{DD}=1.5\text{V}$ y las corrientes de polarización para la estructura FVF, $I_b=60\mu\text{A}$.

Se usaron señales de entrada complementarias impuestas por los componentes de modo común $V_{cm1}=V_{cm2}=V_{cm}=1.4\text{V}$. El tamaño de los transistores en micras fue: 5/1 para M_1 - M_4 , 20/1 para M_A , 10/1 para M_B y M_D , 10/0.5 para M_C , y 30/1 para los transistores de las fuentes de corriente PMOS.

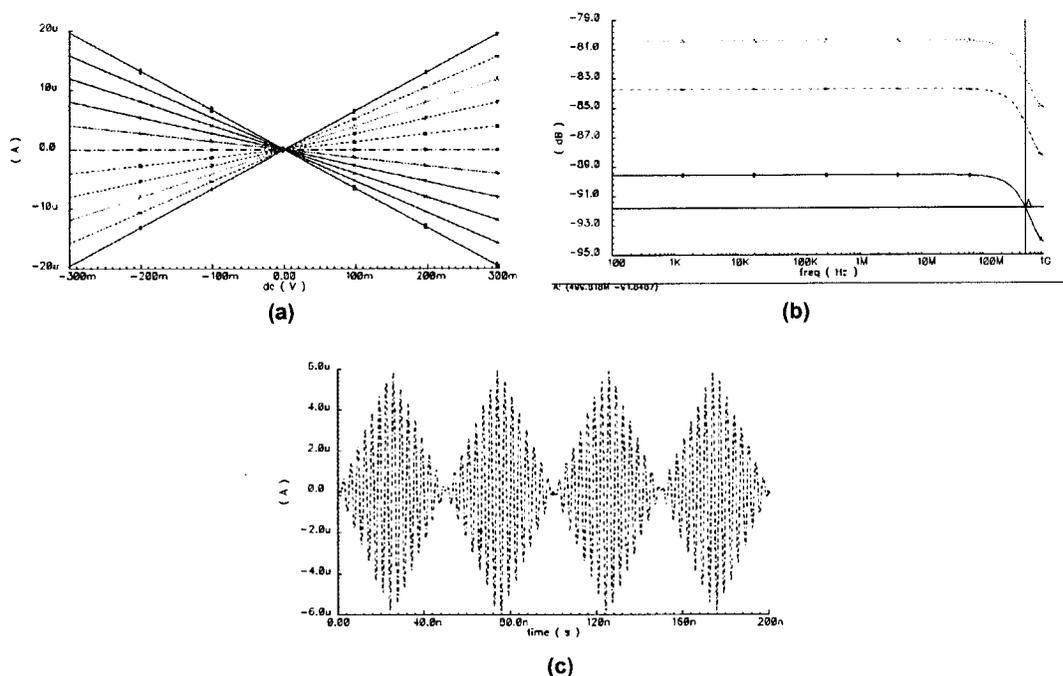


Figura 2.7 . a) Característica DC para V_1 desde -0.3 V a 0.3 V y V_2 desde -0.3 V a 0.3 V , en intervalos de 0.1 V , b) Respuesta AC sobre V_1 , para V_2 desde -0.3 V a 0.3 V en intervalos de 0.1 V , c) Respuesta transitoria para una señal triangula V_1 de 10 MHz y señal senoidal V_2 a 300 MHz .

La característica en DC se puede observar en la Figura 2.7a para el multiplicador propuesto en la Figura 2.6c con V_1 desde $-0.3V$ a $0.3V$ y V_2 desde -0.25 a $0.25V$ en intervalos de $0.05V$. La Figura 2.7b muestra la simulación de la respuesta en frecuencia haciendo un barrido de V_2 desde $-0.3V$ a $0.3V$ y con una señal V_1 . Se puede observar que el ancho de banda permanece aproximadamente constante ($490MHz$) e independiente de la ganancia ajustada. Con objeto de caracterizar la linealidad se aplicaron dos señales senoidales de $10MHz$ y $300MHz$ a V_1 y V_2 , respectivamente (Figura 2.7c). Ambas entradas tenían una amplitud de $0.6V_{pp}$. Realizando un FFT de la salida, la distorsión armónica y la intermodulación (a $290Hz$ y $310MHz$) fueron al menos $52dB$ por debajo de los términos principales.

2.4.2 Aplicaciones de FVFCS

La estructura FVFCS se ha empleado en distintas aplicaciones [Par90], [Pel99], [Ram00c]. Por ejemplo, en [Par90] FVFCS se usó como una parte de un amplificador de potencia. Una aplicación conocida es como etapa de entrada de espejos de corriente de baja tensión.

2.4.2.1 Espejos de corriente

La forma más simple de usar FVFCS es como etapa de entrada en espejos de corriente de baja tensión [Pel99], [Ram00c], [Tor02b]. Espejos de corriente con muy bajas tensiones de entrada y de salida son necesarios como bloques de construcción en sistemas VLSI de señal mixta trabajando con tensiones de alimentación de $1.5V$ o menos. Alta exactitud requiere muy alta impedancia de salida y baja impedancia de entrada. Los requisitos de baja tensión necesitan tensiones de entrada y de salida bajas, así como los circuitos de control empleados para mejorar las impedancias de entrada y de salida de los espejos de corriente.

Tendiendo en cuenta estas consideraciones para el circuito de la Figura 2.8a, que es una implementación de FVFCS [Rij93], tiene la más baja resistencia de entrada y la más baja tensión reportada hasta la fecha. La tensión de entrada requerida para este espejo de corriente es del orden de V_{DSsat} , que puede ser tan pequeña como $0.1V$, que es mucho más baja que la tensión V_{GS} requerida para un espejo de corriente tradicional. Como se especificó en la sección 2.2, la impedancia de entrada es muy baja $r_o = 1/(g_{m1}g_{m2}r_{o2})$,

que es del orden de $20\text{-}100\Omega$. Además, en la sección 2.3 la mínima tensión de alimentación para FVFCs fue $V_{DD,\min} = |V_{TP}| + 2V_{DS,\text{sat}}$. Por esta razón el espejo de corriente de la Figura 2.8a tiene tan baja tensión.

Como se mencionó anteriormente, un buen espejo de corriente también necesita muy alta resistencia de salida y baja tensión en la etapa de salida. Una forma simple de construir un espejo de corriente usando FVFCs es añadir la fuente de corriente en el nodo de salida. De esta forma el espejo de corriente cumple $I_{\text{out}} = I_{\text{in}}$. Este esquema también necesita baja tensión en la etapa de salida. Sin embargo, la resistencia de salida es aproximadamente $r_{\text{out}} = r_{o5}$, que no es un valor demasiado elevado. Una solución para mejorar la resistencia de salida del circuito de la Figura 2.8a consiste en añadir un transistor cascode a la salida M_6 (Figura 2.8b). De esta forma la resistencia de salida mejora a un valor $r_{\text{out}} = g_{m6} r_{o6} r_{o5}$, que es del orden de varios $M\Omega$.

Recientemente, se han publicado dos fuentes de corriente con un correcto funcionamiento, trabajando con bajas tensiones de entrada y de salida [Ram00c], [Tor02b]. Estos circuitos combinan la realimentación a la entrada proporcionada por FVFCs y una salida cascode regulada para conseguir muy baja impedancia de entrada y muy alta impedancia de salida. (Figura 2.8c y Figura 2.8e).

El circuito de la Figura 2.8c es un espejo de corriente de baja tensión basado en FVFCs como etapa de entrada y en una etapa de salida cascode. La implementación se muestra en la Figura 2.8c y en la Figura 2.8d. Emplea un amplificador diferencial A_{da} con sus entradas conectadas a V_{in} y V_o con objeto de conseguir $V_{DS5} = V_{DS2}$. Esto mejora la exactitud porque V_{GS} y V_{DS} de los transistores M_2 y M_5 son ahora iguales. En la Figura 2.8d se muestra una implementación del amplificador diferencial A_{da} , y consta de un par diferencial (M_{P1} , M_{P2}) y de un espejo de corriente actuando como carga (M_{N1} , M_{N2}). La mínima tensión de alimentación del amplificador, y por tanto, de la etapa de salida es $V_{DD,\min} = |V_{TP}| + 3V_{DS,\text{sat}}$ (se asume una caída de tensión $V_{\text{fbias}} = V_{DS,\text{sat}}$ para la fuente de corriente I_{bias}). Para los valores numéricos dados en la sección 2.3.1, la mínima tensión de alimentación es 1.1V.

Volviendo a la Figura 2.8c, si M_1 y M_6 trabajan en saturación, $V_{\text{out}} > 2V_{DS,\text{sat}}$, la resistencia de salida está dada por $r_{\text{out}} = r_{o5} A_{da} A_{v,M6}$, donde A_{da} es la ganancia diferencial del amplificador y $A_{v,M6} = g_{m6} r_{o6}$ es la ganancia del transistor cascode M_6 . Asumiendo

que ambas ganancias son del mismo orden de magnitud (50-100), la resistencia de salida puede teóricamente alcanzar valores del $G\Omega$, aunque en la práctica está limitada a cientos de $M\Omega$, debido a las corrientes drenador-substrato de pérdidas del transistor M_6 . La principal desventaja de este esquema, es que el bucle de realimentación, formado por el transistor M_6 y el amplificador A_{da} , conduce a una reducción del ancho de banda, a una mayor complejidad y a un mayor ruido a la entrada respecto a los esquemas cascosos tradicionales.

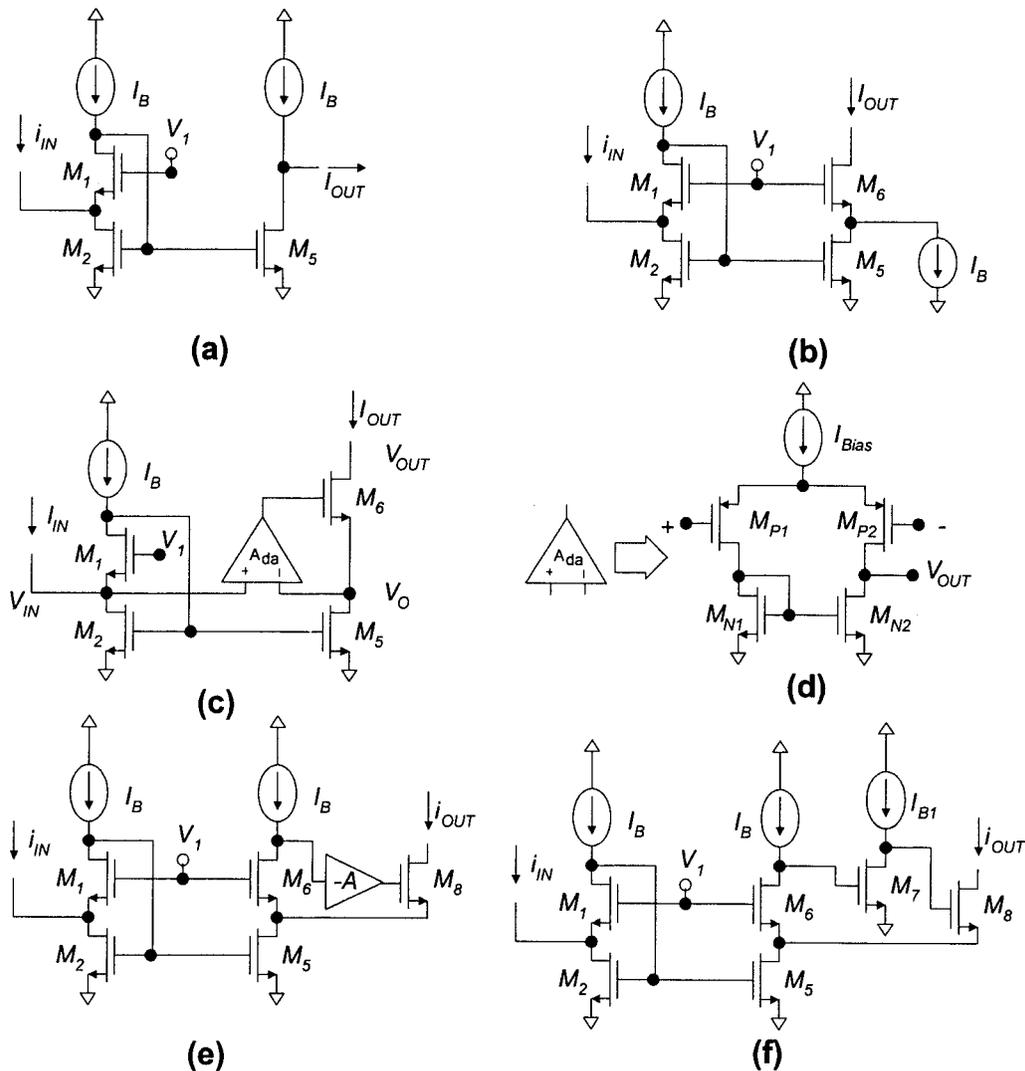


Figura 2.8 . Espejos de corriente de baja tensión usando FVFCS: a) Implementación básica, b) Espejo FVFCS con salida cascode, c) Espejo cascode de baja tensión regulado basado en FVFCS, d) Amplificador diferencial de baja tensión, e) Espejo cascode de baja tensión regulado basado en FVFCS mejorado, f) Implementación del circuito de la Figura 2.8e.

Este problema se puede resolver con el circuito de la Figura 2.8e, donde se muestra una simple etapa de salida para espejos de corriente con baja tensión de alimentación, que emplea como etapa de entrada FVFCS. Una réplica de este circuito se usa para forzar a que la tensión V_{DS} del transistor de salida M_5 sea igual a la del transistor M_2 por medio del transistor M_6 , la fuente de corriente I_B , y la fuente de tensión V_1 . Para conseguir alta impedancia de salida, el transistor cascode a la salida M_8 es atacado por el drenador de M_6 . Como la polaridad en el drenador de M_6 está invertida, se necesita una etapa inversora para atacar la puerta de M_8 . Esta etapa inversora eleva la ganancia que incrementa la impedancia de salida [Bul91]. Este esquema está dibujado en la Figura 2.8f, donde el amplificador inversor ha sido realizado a través del transistor M_7 y la corriente de polarización I_{B1} . Se puede observar que los transistores M_6 , M_7 , y M_8 , y sus fuentes de corriente I_B y I_{B1} forman un “super-transistor cascode”.

La mínima tensión de alimentación está limitada por FVF a $V_{DD,min} = |V_{TN}| + 2V_{DS,sat}$. Su impedancia de salida está dada por la expresión $r_{out} \approx g_{m6} r_{o6} g_{m7} r_{o7} g_{m8} r_{o8} r_{o5}$, que tiene un valor muy elevado (en el rango del $G\Omega$).

Con estos dos ejemplos, se pone de manifiesto que FVFCS es una estructura adecuada para el diseño de espejos de corriente de baja tensión con implementaciones compactas y simples.

2.4.2.2 Testeo IDD de señal mixta

Los sensores de corriente son requeridos en circuitos integrados de señal mixta. Algunos de los circuitos de testeo son I_{DD}^Q , i_{DD} y construidos en esquemas para medir componentes analógicos, [Bea93], [Tou93], [Arg94], [Seg99]. El sensado de una corriente transitoria se debería conseguir con la mínima distorsión del circuito bajo test (CUT). Esto requiere que los cambios de tensión en el elemento de sensado en el camino i_{DD} esté limitado a unos pocos mV. La corriente i_{DD} en circuitos integrados, especialmente los digitales, tiene cambios transitorios de alta velocidad con un rango dinámico muy amplio. La habilidad para sensar estas formas de onda sin afectar a CUT y transformarla en una tensión observable (del orden de cientos de mV) es el mayor desafío en los sensores de corriente. Por esta razón los sensores de corriente i_{DD} necesitan tener alta ganancia y alto ancho de banda. Un sensor de corriente basado en FVFCS es adecuado para este propósito, ya que tiene baja tensión de alimentación, baja tensión a la entrada,

muy baja impedancia de entrada y es capaz de absorber grandes corrientes con una tensión de entrada aproximadamente constante.

El esquema básico del sensor de corriente se puede ver en la Figura 2.9. Consiste en un esquema FVFCS más una etapa de salida cascode M_6 y una resistencia R_L que transforma una réplica de la corriente transitoria i_{DD} hacia una tensión observable V_{RL} . También se incluye un buffer de alta frecuencia para atacar la señal de tensión a través de R_L fuera del chip y aislarlo de la gran capacidad parásita a la salida C_L . La estructura FVFCS está polarizada por I_B . Esta corriente determina el ancho de banda efectivo del sensor de corriente. Espejos cascados de rango de oscilación intermedio con ratios de corriente mayores que uno pueden ser usados para incrementar la ganancia [Duc03].

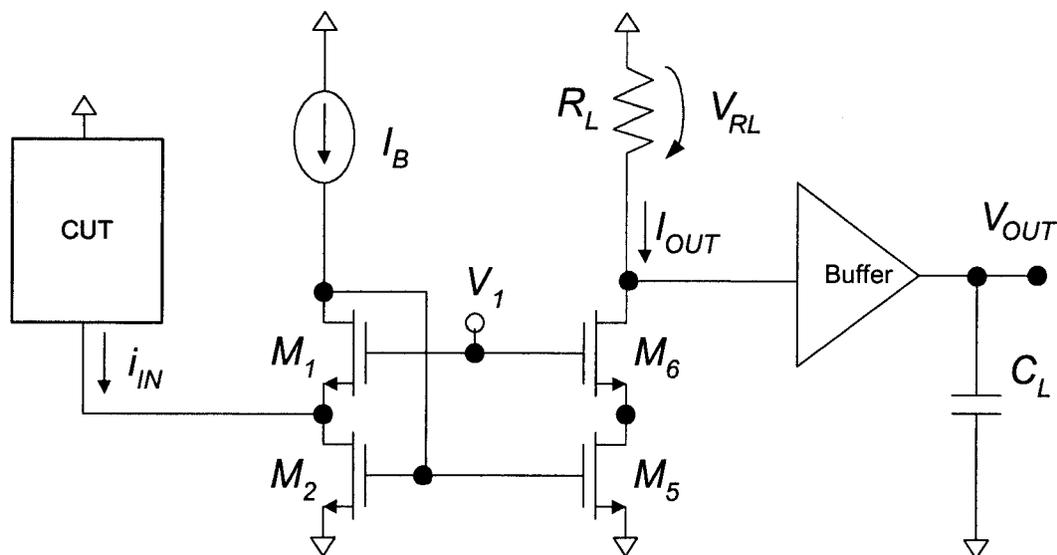


Figura 2.9 . Sensor de corriente I_{DD} de baja tensión basado en FVFCS.

2.4.2.3 Conversión V-I de baja tensión

La estructura FVFCS ha sido recientemente usada como etapa de entrada para celdas que convierten tensión a corriente [Kar01]. Bajo restricciones de muy baja tensión no es posible tener etapas de entrada con rango completo de operación, y el uso de dispositivos pasivos y algún tipo de realimentación han sido probados como una forma útil de incrementar el rango de entrada [Ram00b]. El principio básico usado en [Kar01] aparece en la Figura 2.10a. Un FVFCS se emplea para colocar la tensión en el nodo X y, debido a la resistencia conectada entre la tensión de entrada y el nodo X, se genera una corriente

que sigue la expresión $I_{in} = (V_x - V_{in}) / R$. El FVFCs copia esta corriente al nodo de salida donde una fuente de corriente con valor I_b hace que $I_{out} = I_{in}$ y, de esta forma, se obtiene una corriente proporcional a la tensión de entrada más un término constante. En [Kar01] un circuito como el de la Figura 2.10a fue usado como etapa de entrada de un filtro de tensión 1V.

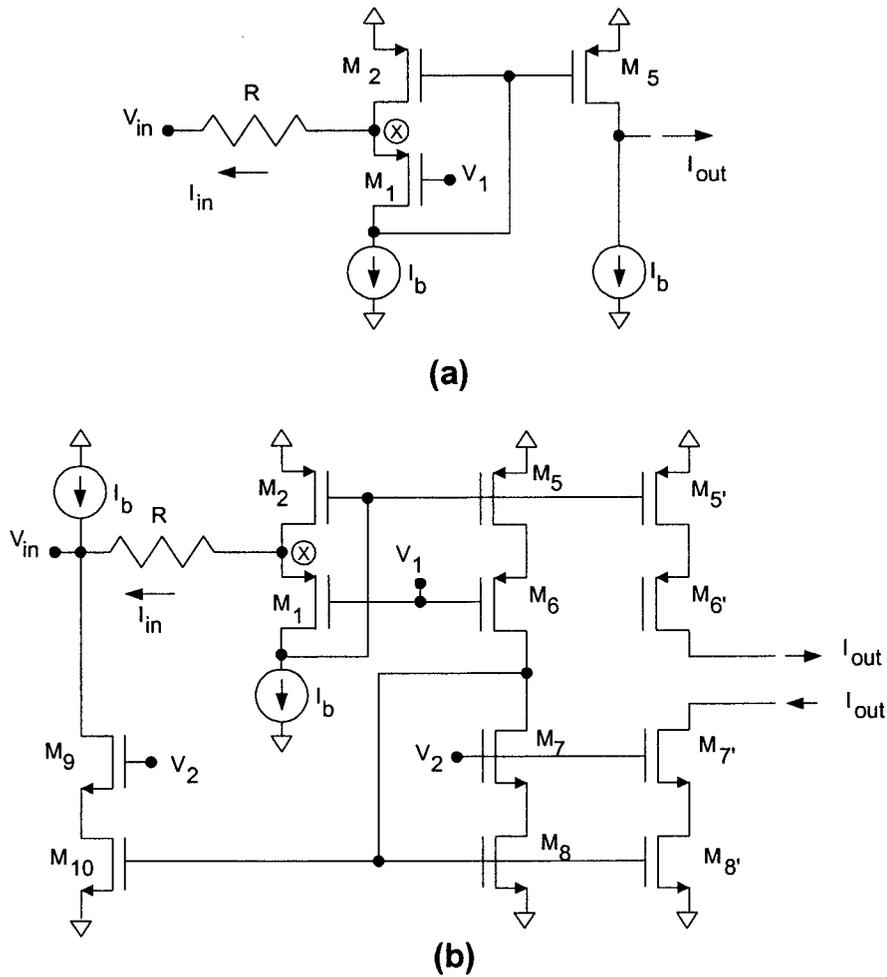


Figura 2.10 . a) Esquema básico para la conversión V/I, b) Circuito mejorado para obtener alta impedancia de entrada.

La idea puede ser extendida a circuitos transconductores o de transimpedancia de igual forma que se propuso en [Ram00b]. El circuito de la Figura 2.10b usa el FVFCs para generar una corriente proporcional a la tensión de entrada. Usando técnicas de copia de corriente, se obtienen dos corrientes de salida proporcionales a la tensión de entrada (más un offset), así como alta impedancia de entrada. De este circuito se puede derivar una familia completa explicada en [Ram00b], [Ram00d], [Duq00]. La principal diferencia

entre estos circuitos, y el mostrado en [Kar01], es que se puede conseguir mayor ancho de banda usando FVFCS porque no hay un amplificador con realimentación.

2.4.2.4 Celdas SI

El FVFCS se ha usado recientemente para construir celdas SI de baja tensión [Rou00]. El circuito de la Figura 2.11 es capaz de proporcionar la corriente I_{in} cuando la señal de reloj Φ está a nivel alto. A través del transistor M_5 , esta corriente de entrada es llevada a la salida, y de esta forma se cumple, $I_{out}=I_{in}$. Cuando la señal de reloj cambia a nivel bajo, el transistor M_{B1} no genera la corriente de polarización I_b . Además, M_1 se corta. De esta forma, las puertas de los transistores M_5 y M_2 se desconectan y mantienen sus tensiones, almacenando la corriente I_{in} que estaba circulando a través de M_2 antes de la transición del reloj. Como se puede observar, esta celda puede trabajar con muy bajas tensiones y emplea la baja impedancia de entrada de FVFCS para aliviar la corriente de sensado.

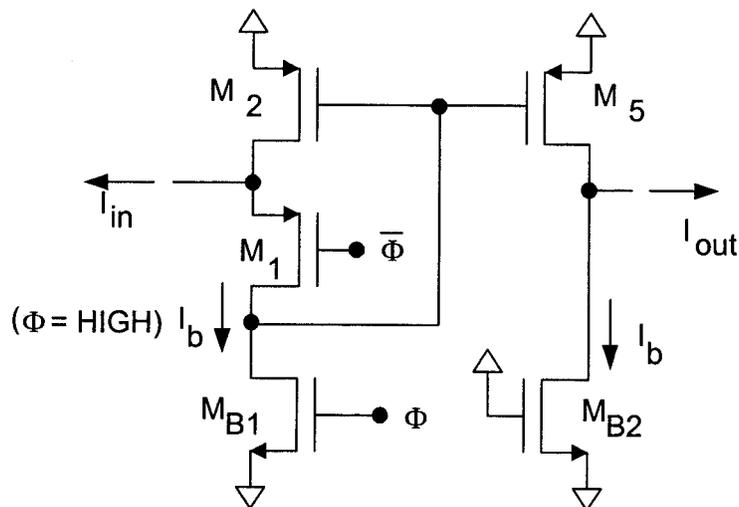


Figura 2.11 . Una celda SI de baja tensión usando FVFCS.

2.4.3 Aplicaciones de DFVF

La estructura DFVF se emplea principalmente para construir circuitos clase AB de bajo consumo y baja tensión de alimentación en un gran número de aplicaciones. A continuación se revisan algunas de ellas.

2.4.3.1 Amplificadores operaciones de transconductancia

En [Pel97b] se propuso un amplificador operacional de transconductancia (OTA) completamente diferencial para aplicaciones de capacidades conmutadas. El núcleo de esta celda se muestra en la Figura 2.12a, donde dos DFVF se usan para conseguir el comportamiento diferencial.

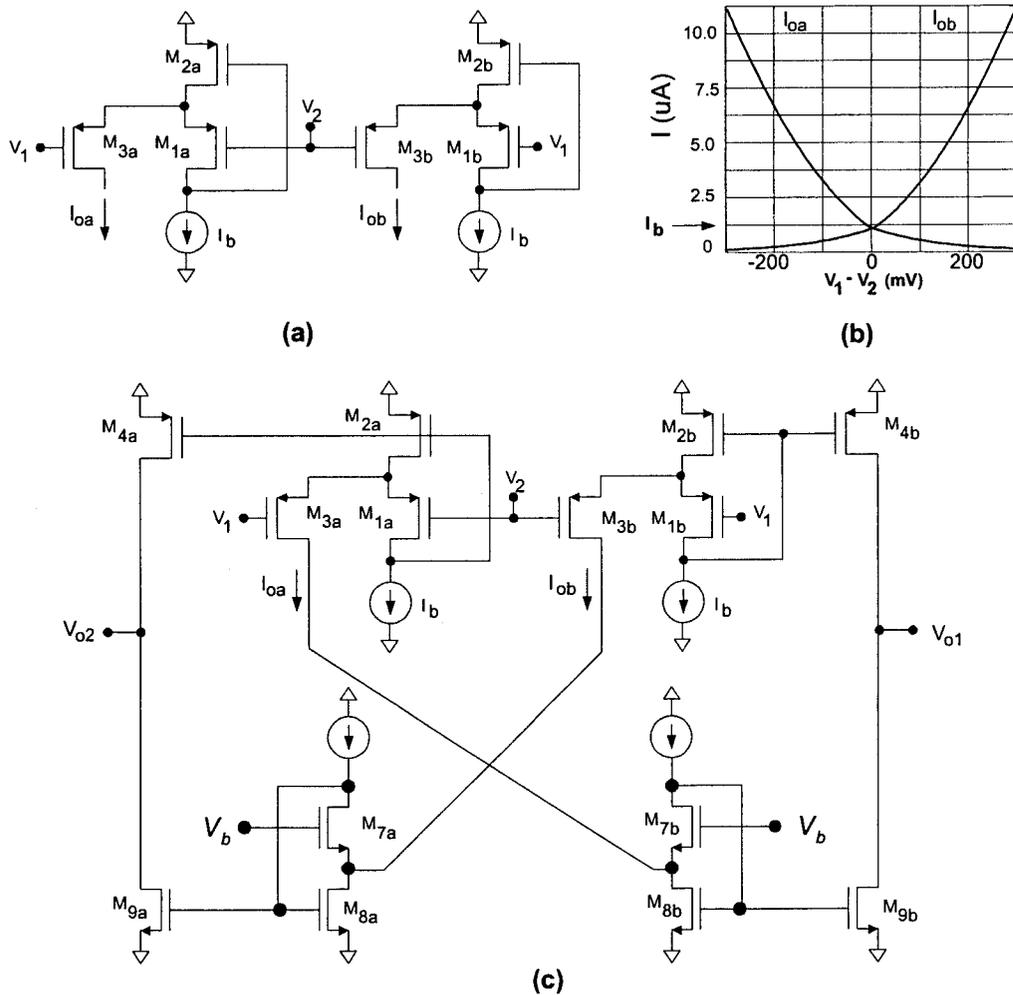


Figura 2.12 . a) Núcleo de la celda para el OTA en [Pel97b], b) Característica DC, c) OTA completo.

La característica DC del circuito propuesto en [Pel97b] se muestra en la Figura 2.12b. Se puede observar que la corriente quiescente ($I_{oa}=I_{ob}=I_b$ cuando $V_1=V_2$) es mucho más pequeña que el valor máximo disponible, asegurando un comportamiento clase AB de bajo consumo. Aunque para pequeñas señales, tiene una salida diferencial lineal $I_{oa}-I_{ob}$, el comportamiento en gran señal es principalmente no lineal. Esto no es importante si el circuito se emplea en circuitos de capacidades conmutadas donde predominan los beneficios del comportamiento clase AB, principalmente en términos de slew rate.

El OTA completo usa FVFCFS para entregar la corriente generada por la estructura DFVVF a los nodos de salida (Figura 2.12c). Este OTA fue usado para diseñar un modulador sigma-delta de 12 bits de baja tensión y bajo consumo. [Pel99].

2.4.3.2 Etapas de salida

En los últimos años se ha publicado varios amplificadores operacionales clase AB de baja tensión ($V_{DD} < 1.5V$) [You98], [Ram99], [Giu00a], [Rin01]. La estructura DFVVF ha sido empleada para construir etapas de salida de amplificadores operacionales [Tor00]. En la Figura 2.13a, la corriente de polarización I_o del esquema DFVVF formado por los transistores M_{1p} - M_{3p} y M_{1n} - M_{3n} , determina la corriente de salida quiescente $I_{out}^Q = I_{Moutn}^Q = I_{Moutp}^Q = 2\alpha I_o$. Además, la mínima corriente en los transistores de salida está dada por $I_{out}^{MIN} = I_{Moutn}^{MIN} = I_{Moutp}^{MIN} = \alpha I_o \cdot I_{out}^Q$ y I_{out}^{MIN} no dependen del valor de las fuentes de tensión flotantes V_{AB} , cuyo valor se elige para asegurar una copia exacta de las corrientes I_{M3p} y I_{M3n} a los transistores M_{outp} y M_{outn} , respectivamente. Bajo estas condiciones, si $|V_{AB}|$ es demasiado grande, los transistores M_{3p} y M_{3n} no deberían estar en saturación. Por otro lado, si $|V_{AB}|$ es demasiado pequeña, los transistores M_{1p} - M_{2p} y M_{1n} - M_{2n} deberían trabajar en la región lineal. Los valores adecuados para V_X^Q y V_Y^Q son: $V_X^Q = V_{DD} - V_{SGM1p}^Q - V_{DSsat} - \Delta V_X^{MAX} / 2$, y $V_Y^Q = V_{GSM1n}^Q + V_{DSsat} + \Delta V_X^{MAX} / 2$ respectivamente, donde ΔV_X^{MAX} es la máxima variación esperada para el nodo de entrada V_X . Como resultado, un valor apropiado para V_{AB} es $V_X^Q - V_Y^Q = V_{DD} - V_{GSM1n}^Q - V_{SGM1p}^Q - 2V_{DSsat} - \Delta V_X^{MAX}$. Si el nodo V_X en la Figura 2.13a es la salida del primer estado de un amplificador operacional, la realimentación negativa reduce ΔV_X^{MAX} a sólo unos pocos de mV, para una tecnología CMOS de $0.8\mu m$ con tensiones umbrales de $0.8V$, $V_{DD} - V_{AB}$ es del orden de 1.8 a $3V$ dependiendo del tamaño de los transistores y las corrientes de polarización. De acuerdo con este razonamiento, esta etapa puede trabajar con tensiones menores de $1.1V$ si $V_{AB} = -0.8V$. Esta etapa puede también trabajar para grandes tensiones si V_{AB} es positiva. El esquema de polarización dinámica de [Car02c] se puede usar para generar las fuentes de tensión flotantes V_{AB} entre los nodos X-Y y W-Z por medio de dos copias de fuentes de corriente machedas I_r (I_r') y una resistencia R (R') (Figura 2.13b).

La etapa de salida propuesta ha sido simulada con SpectreS y los parámetros de la tecnología CMOS de $0.8\mu m$ con tensiones umbrales de $0.85V$. Sus parámetros de diseño se muestran en la Figura 2.13a y en la Figura 2.13b. La Figura 2.13c representa las

corrientes I_{Moutp} y I_{Moutn} para V_X en el rango $[0.1V, 0.7V]$, con $V_{DD}=1.5V$. En este caso, no sólo I_{out}^Q ($76\mu A$) sino también I_{out}^{MIN} ($38\mu A$) son controladas de forma exacta por el circuito de polarización. La etapa de salida fue fabricada como parte de un amplificador operacional de dos etapas. Un simple par diferencial PMOS con un espejo de corriente (Figura 2.14a) fue usado como estado de entrada. Los parámetros de diseño para el amplificador son los indicados en la figura. El amplificador se puede usar para aplicaciones de capacidades conmutadas de baja tensión [Bas99] o en muestreo de datos y en aplicaciones en tiempo continuo con el desplazador de nivel en la etapa de entrada propuesta en [Ram99].

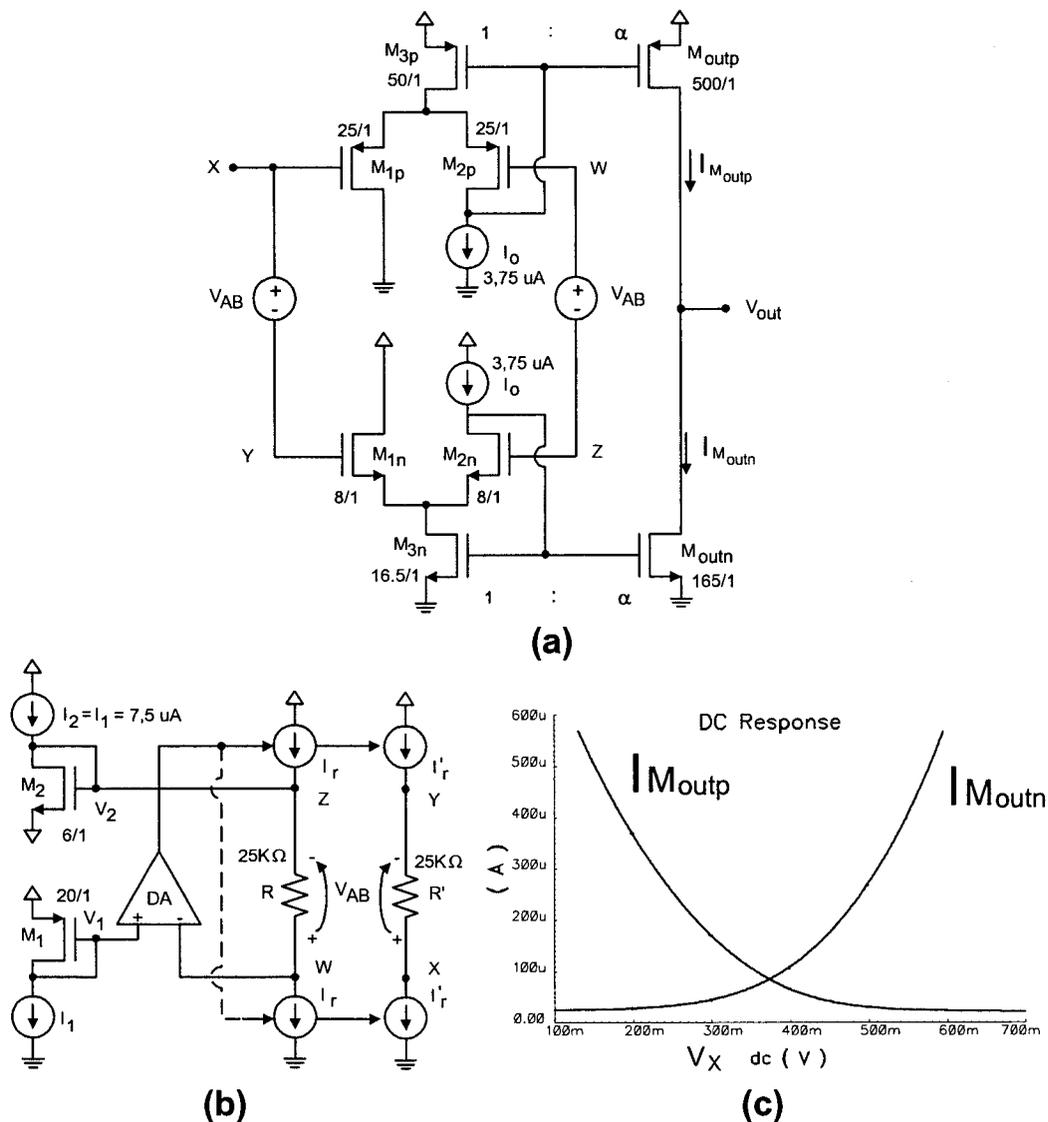


Figura 2.13 . a) Etapa de salida clase-AB con DFVFs, b) Etapa de polarización, c) Simulación del comportamiento class AB.

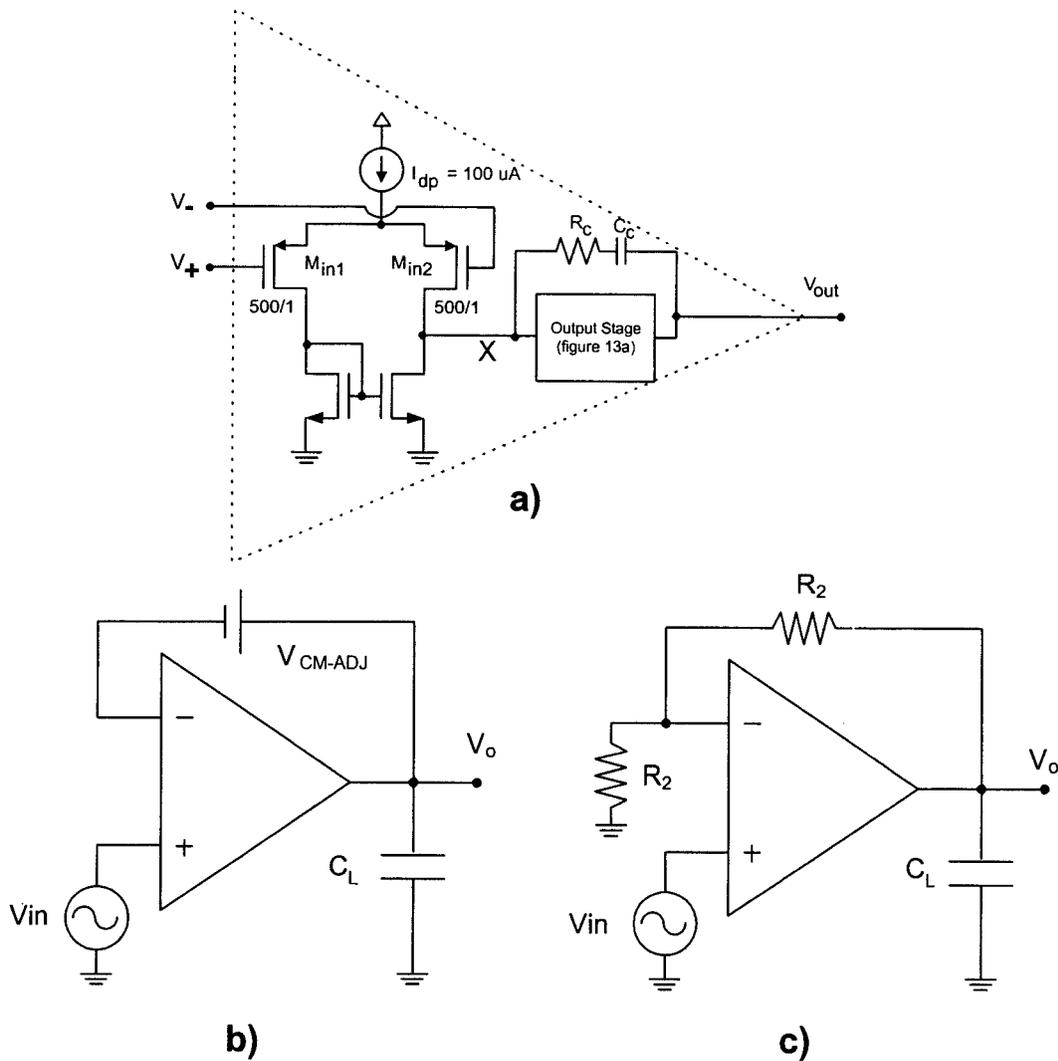


Figura 2.14 . a) Simple amplificador fabricado para testear la etapa de salida. b) Configuración de ganancia unidad con ajuste del modo común tanto a la entrada como a la salida. c) Configuración con ganancia $G=(1+(R_2/R_1))$.

El amplificador fue fabricado en la misma tecnología de $0.8\mu m$ con dos configuraciones de realimentación (Figura 2.14b and Figura 2.14c). La Figura 2.14b muestra el amplificador conectado en configuración de ganancia unidad con fuentes de tensión flotantes en el bucle de realimentación (V_{CM-ADJ}). Esta fuente de tensión proporciona baja tensión de modo común a los transistores PMOS de entrada, así como $V_{DD}/2$ para la tensión de modo común del estado de salida. Como se puede observar, en un entorno de baja tensión, las señales de entrada de modo común del par de entrada PMOS están cercanas a tierra mientras que la tensión de modo común para la salida es $V_{DD}/2$. La

fuente de tensión flotante se ha diseñado por medio de circuitos de capacidades conmutadas y permite medidas del estado de salida con la tensión nominal de modo común. La Figura 2.14c muestra el amplificador conectado con una ganancia de $G=(1+(R_2/R_1))$. Esta configuración permite que se obtengan grandes señales de salida. Un valor de $G = 5$ fue usado con una tensión de entrada de modo común de 150mV, proporcionando una oscilación a la salida de 750mV adecuada para trabajar con $V_{DD}=1.5V$.

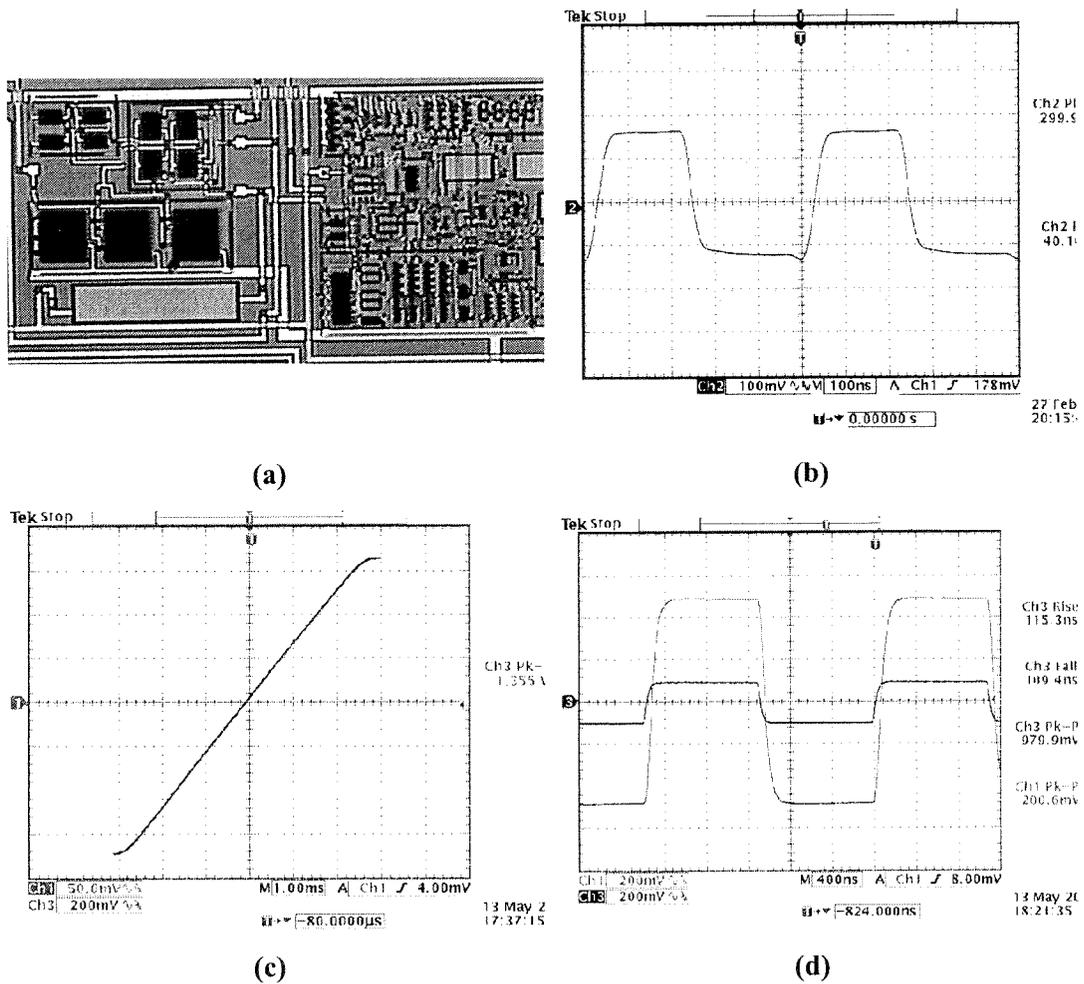


Figura 2.15 . Resultados experimentales para la etapa de salida propuesta: a) Microfotografía del chip, b) Respuesta transitoria para configuración de ganancia unidad, c) Respuesta DC con ganancia $G=(1+(R_2/R_1))=5$, d) Comportamiento en gran señal.

En la Figura 2.15 aparecen los resultados experimentales obtenidos con el amplificador fabricado usando el estado de salida FVF. La Figura 2.15a muestra la microfotografía y la Tabla 2.2 resume los resultados para la configuración de ganancia unidad de la Figura

2.14b. En la Figura 2.15b se representa la respuesta transitoria. El amplificador sigue una señal cuadrada de 4MHz. La Figura 2.15c muestra la respuesta DC de la entrada con una ganancia de 5 en la Figura 2.14c, demostrando un rango de salida casi completo. Finalmente, la Figura 2.15d representa la respuesta transitoria con una ganancia $G=5$ para una gran oscilación de salida.

Se puede observar en la Tabla 2.2 que el PSRR para estos amplificadores es 40dB y la THD cercana a 60dB. Esto se produce porque la mínima corriente de salida no es cero y tiene un valor bien controlado. El slew rate obtenido fue de $10\text{V}/\mu\text{s}$. Esto se determina por la corriente de polarización del par diferencial de entrada ($100\mu\text{A}$) y la capacidad de compensación (10pF), y por tanto, no estaba limitado por la etapa de salida. La frecuencia de ganancia unidad fue de 15MHz con un margen de fase de 75° .

Ganancia DC	dB	65
Margen de fase	deg ($^\circ$)	75
Frecuencia de ganancia unidad	MHz	15
Corriente de salida quiescente	(μA)	76
Mínima corriente a través de los transistores de salida	(μA)	38
Corriente de alimentación	(μA)	218
PSRR	dB	38
CMRR	dB	45
THD (1kHz)	dB	65
Ruido referido a la entrada (100kHz)	nV^2/Hz	21
Slew Rate *	$\text{V}/\mu\text{s}$	10
Corriente de salida	μA	500

Tabla 2.2. Medidas experimentales para el circuito de la Figura 2.14b.($C_L=10\text{pF}$, $V_{DD}=1.5\text{ V}$, $C_C=10\text{pF}$, $R_C=500\Omega$, $V_{CM-ADJ}=600\text{mV}$). (*) Respuesta transitoria, 0.3V de amplitud para una señal de entrada cuadrada.

2.4.4 Aplicaciones de FVFDP

Debido a su característica clase AB, la principal aplicación de FVFDP es como etapa de entrada de amplificadores operaciones o de OTAs. Se han encontrado aplicaciones de esta celda en muchos circuitos, algunos de los cuales son reportados en esta sección.

2.4.4.1 Estados de entrada clase AB para amplificadores operacionales

En [Cas85b], [Ram91], [Pel97b], se publican etapas de entrada clase AB. Normalmente las implementaciones de amplificadores diferenciales clase AB corresponden al esquema básico de la Figura 2.16a [Joh97]. Un ejemplo de un OTA basado en DFVF y reportado en [Pel97b] ya fue discutido en la sección 2.4.3.1.

Otra etapa de entrada clase AB de baja tensión y bajo consumo usando FVFDP fue propuesta en [Ram01b]. La implementación de este circuito se puede observar en la Figura 2.16b.

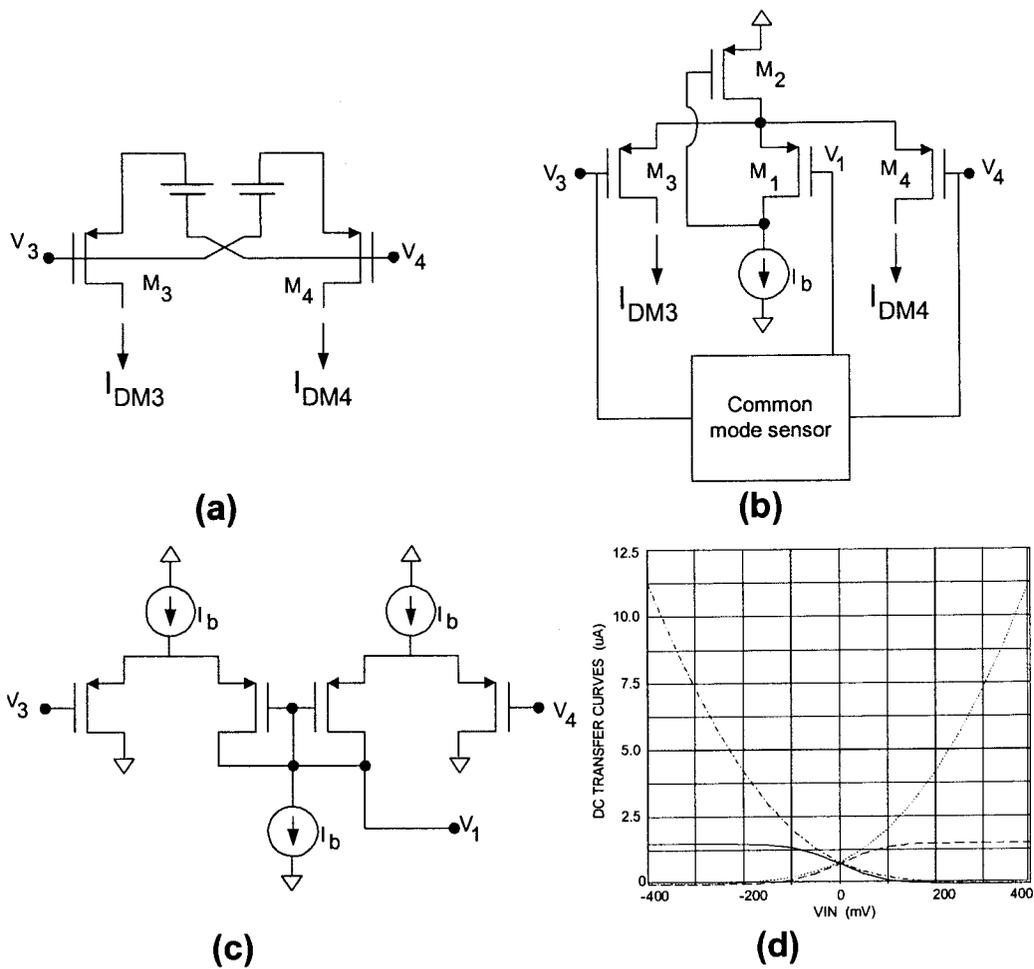


Figura 2.16 . Etapas diferenciales de entrada clase AB: a) Concepto, b) Implementación de baja tensión usando FVFDP, c) Implementación de baja tensión del detector de modo común, d) Comparación de la característica DC de la transconductancia de FVFDP y una típica etapa clase A.

Básicamente es un FVFD con un detector de la señal de entrada de modo común (dibujado como un rectángulo en la Figura 2.16b). El detector de modo común proporciona una señal $V_1 = (V_3 + V_4)/2$ a la puerta de M_1 . Esta señal representa la componente de modo común de los voltajes de entrada V_3 y V_4 . En el caso que la linealidad es un parámetro importante (por ejemplo en transconductores lineales) M_3 y M_4 deben ser eliminados. La implementación del detector de modo común de la Figura 2.16b se muestra en la Figura 2.16c y ha sido reportado en [Joh97]. Una implementación, incluso más simple del detector, usa dos resistencias iguales R_{CM} conectadas entre ambos terminales de entrada de FVFD y la puerta de M_1 . En la Figura 2.16d se puede observar una comparación de la característica DC simulada de un amplificador diferencial típico y del FVFD de la Figura 2.16b. Para esta comparación se empleó la misma corriente de polarización ($I_b = 0.75 \mu A$). Como se esperaba, la etapa de entrada clase AB tiene una máxima corriente de salida mucho mayor.

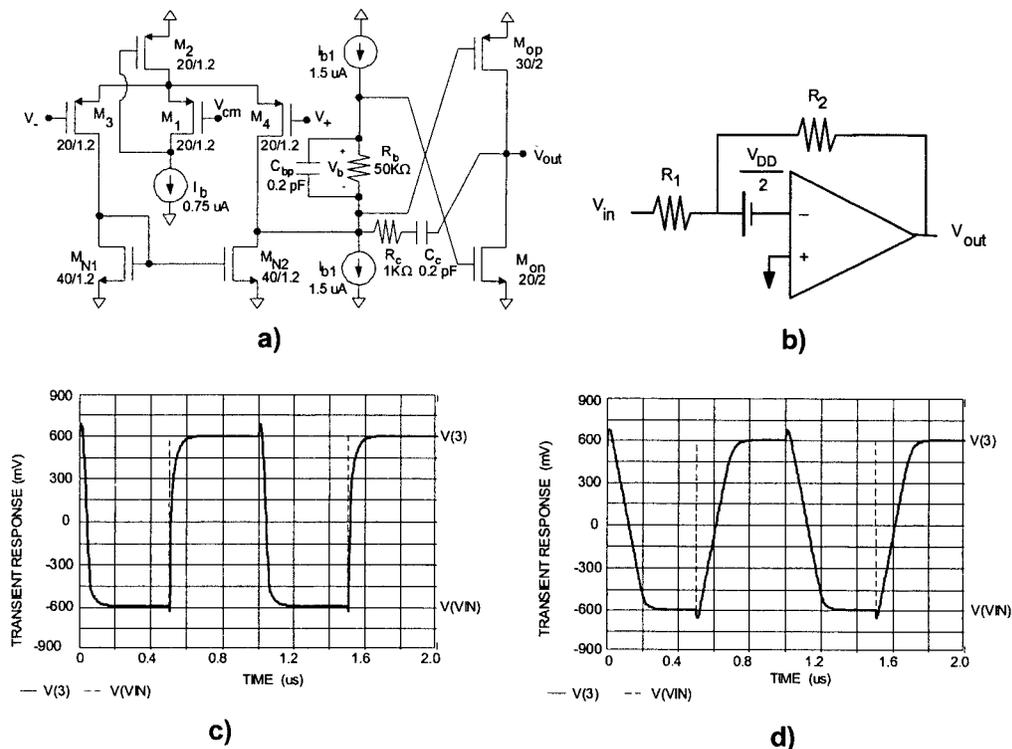


Figura 2.17 . (a) Amplificador de dos etapas de baja tensión con etapas de entrada y de salida clase AB, (b) Test de baja tensión copiado de [Ram99], c) Respuesta transitoria de un amplificador operacional con etapas de entrada y de salida clase AB, d) Respuesta transitoria de un amplificador operacional con etapa de entrada clase A y de salida clase AB.

Simulaciones con SpectreS verifican el funcionamiento de la etapa de entrada clase AB, propuesta en la Figura 2.16b, usando un amplificador de dos etapas. Los resultados se muestran en la Figura 2.17a, con la configuración inversora de la Figura 2.17b, y están reportado en [Ram99]. Los parámetros fueron $V_{DD} = 1.5 \text{ V}$, $R_1 = 10\text{k}\Omega$ y $R_2 = 10\text{k}\Omega$. La Figura 2.17c y la Figura 2.17d muestran una comparación de la respuesta transitoria para dos casos: 1) Un amplificador de dos etapas con estados clase AB tanto a la entrada como a la salida. 2) Un amplificador de dos etapas con un par diferencial de entrada clase A y un estado de salida clase AB. Las simulaciones se realizaron con corrientes quiescentes iguales (el circuito de control para la corriente de salida fue discutido en [Car02c]). El amplificador con entrada clase A puede proporcionar relativamente grandes corrientes de salida pero tiene slew rate limitado por la etapa de entrada. Todas las simulaciones se realizaron con SpectreS y modelos AMI de la tecnología CMOS de $1.2\mu\text{m}$ con tensiones umbrales $V_{TN}=0.45\text{V}$ y $V_{TP}=-0.85\text{V}$. El consumo total de potencia fue de $6\mu\text{W}$.

2.5 Diseño de sistemas usando FVF

Las celdas FVF descritas en las secciones previas pueden ser usadas para diseñar sistemas de baja tensión y bajo consumo. Por ejemplo, en [Pel98], el OTA de la Figura 2.12c fue usado para implementar un modulador sigma-delta de baja tensión y bajo consumo. Este OTA es capaz de trabajar con muy bajas tensiones porque está basado en las estructuras DFVF y FVFCS. El modulador tenía un rango dinámico de 77dB en un ancho de banda de 16kHz, con un consumo de $40\mu\text{W}$ y una tensión de alimentación de 900mV. Los integradores están diseñados con capacidades conmutadas y se benefician del comportamiento clase AB para conseguir un elevado slew rate mientras tienen un consumo estático muy pequeño.

Otro ejemplo fue reportado en [Muñ01b], donde se presenta un modulador sigma-delta con una tensión de alimentación de 1.1V y un rango dinámico de 86dB en un ancho de banda de 8kHz. El consumo total del modulador es $330\mu\text{W}$ debido al uso de un amplificador de dos etapas que trabaja con tensiones bajas.

2.6 Circuitos translineales usando la celda FVF

El procesamiento de señales analógicas a voltajes cercanos a la tensión umbral de un transistor MOS es más eficiente en modo corriente, porque las tensiones son comprimidas

reduciendo la linealidad. En este tipo de circuitos se enmarcan los circuitos estáticos y dinámicos basados en el principio TransLineal (TL) [Gil75].

Se han propuesto varias técnicas TL de baja tensión en tecnología MOS. En [See00], se consiguen bajas tensiones porque los transistores trabajan en inversión débil, lo que conlleva un macheo deficiente y su rango de operación está limitado a varias décimas de kHz. Una forma alternativa que no tiene las limitaciones mencionadas, se basa en la ley cuadrática de los transistores MOS en inversión fuerte dando lugar a lo que se conoce como bucles TL de tensión [See91]. Desafortunadamente, los bucles resultantes no son muy adecuados para baja tensión si se utilizan estrategias de polarización convencionales para los transistores del bucle [Wie92], [Lop01a], [Lop01b].

En esta sección se propone una polarización alternativa de los bucles TL de tensión basada en la aplicación del FVF [Ram02b] que permite reducir significativamente los requisitos de la tensión de alimentación. Las topologías resultantes pueden reemplazar de forma ventajosa los bloques convencionales empleados en circuitos no lineales estáticos (media geométrica, raíz cuadrada, divisor, normalización vectorial) o circuitos dinámicos tanto lineales como no lineales (filtros basados en la compresión de las señales y convertidores RMS-DC) dando lugar a una nueva familia de nuevos circuitos analógicos de procesamiento de señal de baja tensión basados en el bucle TL de tensión.

2.6.1 Bucles translineales de tensión

La Figura 2.18a representa un bucle TL de tensión de segundo orden. Usando la ley cuadrática de los transistores MOS y asumiendo que todos los transistores son iguales, las corrientes del bucle están relacionadas por la ecuación

$$\sqrt{I_1} + \sqrt{I_2} = \sqrt{I_3} + \sqrt{I_4} \quad (2.3)$$

De esta forma, varias funciones no lineales en modo corriente se pueden implementar inyectando adecuadamente tales corrientes. Por ejemplo, si se fuerza a que

$$I_3 = I_4 = \frac{I_1 + I_2 + 2I_3}{4} \quad (2.4)$$

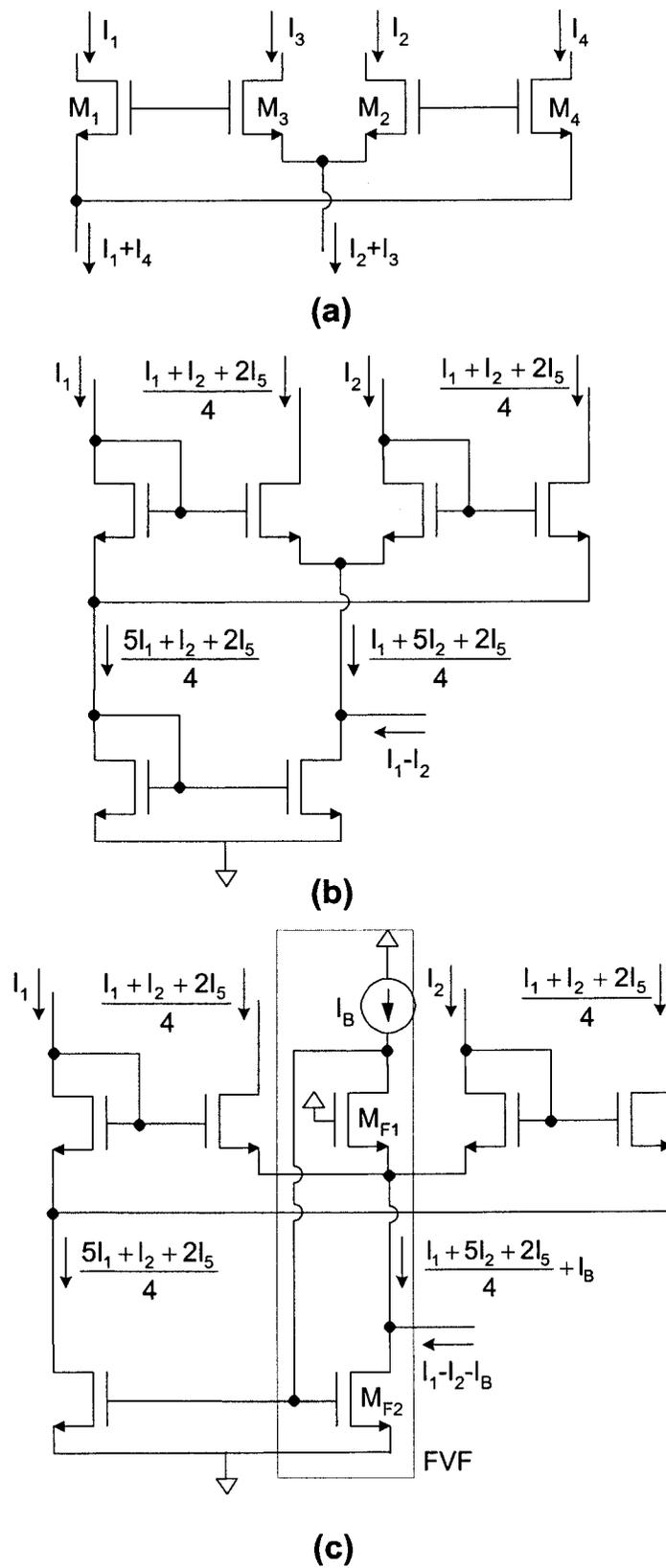


Figura 2.18 . a) Bucle translineal de segundo orden b) Polarización convencional, c) Polarización usando FVF.

siendo I_5 una cierta corriente; después de elevar al cuadrado ambos lados de la ecuación (2.3) y reagrupando términos, las corrientes I_1 , I_2 y I_5 están relacionadas por

$$I_5 = \sqrt{I_1 I_2} \quad (2.5)$$

Por tanto, se obtiene un circuito de media geométrica si I_1 y I_2 son las corrientes de entrada, y la corriente de salida es una copia de I_5 . De forma alternativa, se puede obtener un circuito que eleve al cuadrado o que sea un divisor, si la salida es una copia de I_2 y las entradas son I_5 y I_1 .

La forma más simple de forzar la ecuación (2.4) es usar la estructura de la Figura 2.18b, [Wie92], [Lop01a], [Lop01b]. Sin embargo el transistor conectado como diodo del espejo de corriente impide trabajar en muy baja tensión. La ecuación (2.4) se puede implementar de forma alternativa usando la nueva topología de la Figura 2.18c. Ahora, una estructura FVF formada por los transistores M_{F1} and M_{F2} , establece la referencia adecuada de tensión DC a los nodos del bucle. Una adecuada elección de la corriente I_B permite establecer el voltaje adecuado en la fuente del transistor M_{F1} , asegurando el correcto funcionamiento del espejo de corriente. Si la relación de aspecto de M_{F1} se elige de forma correcta, I_B puede ser pequeña. Una ventaja adicional es que la fuente de M_{F1} es un nodo de muy baja impedancia, por lo que la tensión de este nodo se mantiene constante, independientemente de las corrientes de entrada y de salida.

2.6.2 Circuitos no lineales estáticos

El bucle TL de tensión basado en FVF se puede utilizar para varios tipos de circuitos de procesamiento de señales estáticas no lineales, donde la celda FVF no sólo disminuye la tensión de alimentación sino que proporciona un buen funcionamiento. En esta sección, se describe su aplicación a circuitos de media geométrica, divisores y multiplicadores.

2.6.2.1 Circuito de media geométrica

Un circuito de media geométrica de baja tensión siguiendo la ecuación (2.5) se puede realizar siguiendo las directrices de la sección 2.6.1 y basado en la topología de la Figura 2.18c. Su esquema completo aparece en la Figura 2.19a. El circuito fue fabricado con un proceso CMOS en $2.4\mu\text{m}$ DPDM n-well, con tensiones umbrales de 0.80V y 0.88V para

los transistores NMOS y PMOS respectivamente. La relación de aspecto de los transistores del bucle fue de $80\mu/4.8\mu$, la corriente de polarización $I_B = 2\mu A$ y la tensión de alimentación 1.5V. La Figura 2.19b muestra la corriente de salida medida para una corriente de entrada $I_X = I_1$ variando desde 0 a $10\mu A$ y la corriente de entrada $I_Y = I_2$ con un barrido desde $2\mu A$ a $6\mu A$ en intervalos de $2\mu A$.

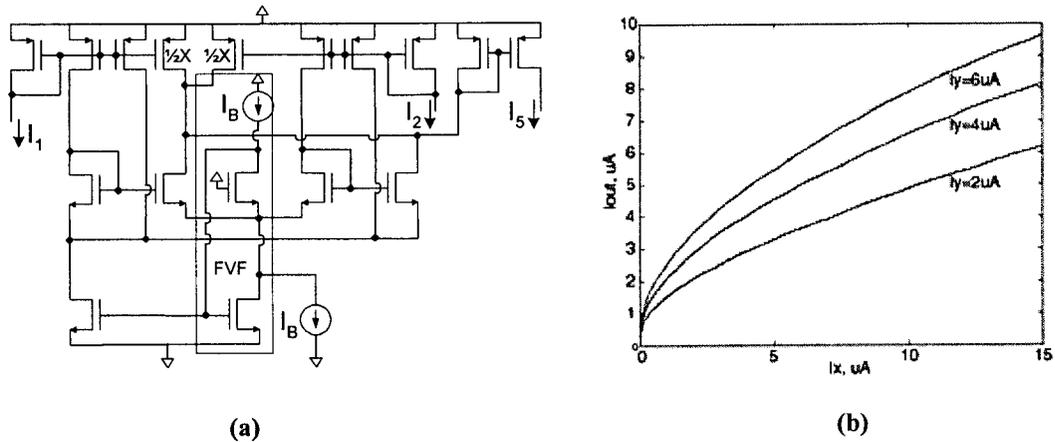


Figura 2.19 . a) Circuito propuesto de media geométrica. b) Señal de salida para distintas corrientes de entrada.

2.6.2.2 Circuito cuadrático/divisor

Como se describió en la sección 2.6.1 un circuito cuadrático/divisor se puede obtener usando la topología de la Figura 2.18c, donde la única diferencia con la celda de la media geométrica es que la corriente de salida es una copia de I_2 en lugar de I_5 . El esquema completo se muestra en la Figura 2.20a. Se usan los mismos tamaños de los transistores, la misma tensión de alimentación y corriente de polarización, y un terminal de entrada se transforma en uno de salida (y viceversa) considerando el circuito de la Figura 2.19a. El circuito fue fabricado con el mismo proceso que el de media geométrica. La Figura 2.20b representa la salida del circuito cuadrático/divisor para corrientes de entrada $I_Y = I_5 = 10\mu A$ y $I_X = I_1$ variando desde $0\mu A$ a $10\mu A$. La respuesta teórica se muestra en la curva de puntos, mientras que la respuesta medida se corresponde con la línea sólida. El error relativo de la salida es menos del 2%, una exactitud similar a la celda de media geométrica. El área total empleada para ambos circuitos fue de 0.09mm^2 .

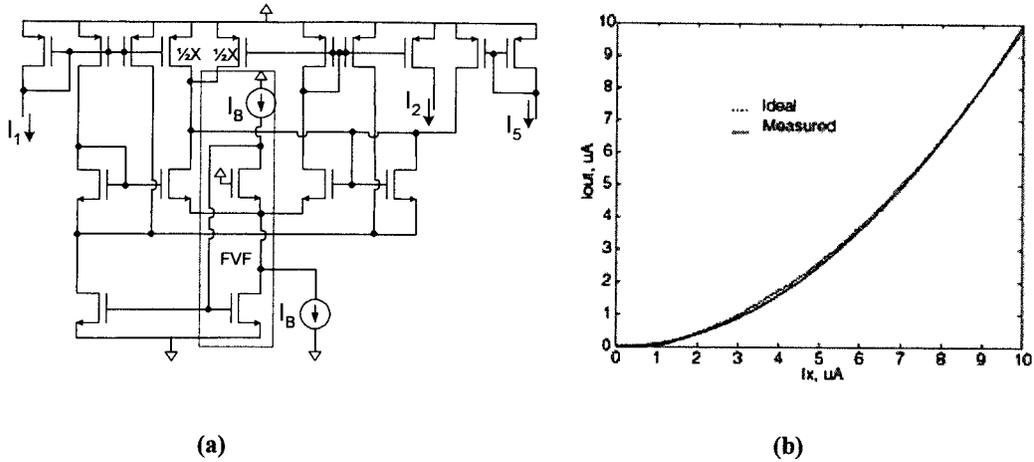


Figura 2.20 . a) Circuito cuadrático/divisor propuesto, b) Salida ideal y salida medida.

2.6.2.3 Circuito multiplicador/divisor

La conexión en cascada se puede emplear para formar circuitos multiplicadores/divisores de baja tensión [Lop01a], como se muestra en la Figura 2.21a. El circuito de media geométrica genera una corriente relacionada con las entradas de corriente I_x y I_y dada por

$$I_{gm} = \sqrt{I_x I_y} \quad (2.6)$$

que es inyectada hacia el circuito cuadrático/divisor, de forma que su salida está dada por

$$I_{out} = \frac{(\sqrt{I_x I_y})^2}{I_w} = \frac{I_x I_y}{I_w} \quad (2.7)$$

La Figura 2.21b muestra una microfotografía del circuito fabricado de acuerdo con los procesos anteriores. El área total es 0.19mm^2 . Cuando se usa como una celda de ganancia, la THD medida es menor del 3% para una tensión de alimentación de 1.5V y picos de corriente a la entrada de $20\mu\text{A}$. Un circuito similar fue fabricado en la misma tecnología usando un convencional bucle TL de tensión en lugar del bucle polarizado con FVF y reportado en [Lop01a]. Este consigue una THD del 3% para una tensión de 3.3V y picos de corriente de $20\mu\text{A}$. Esto pone de manifiesto el mejor funcionamiento de la celda cuando se emplea la estructura FVF.

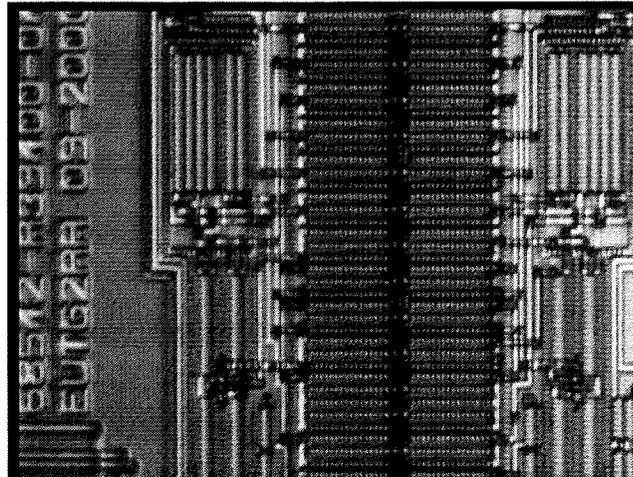
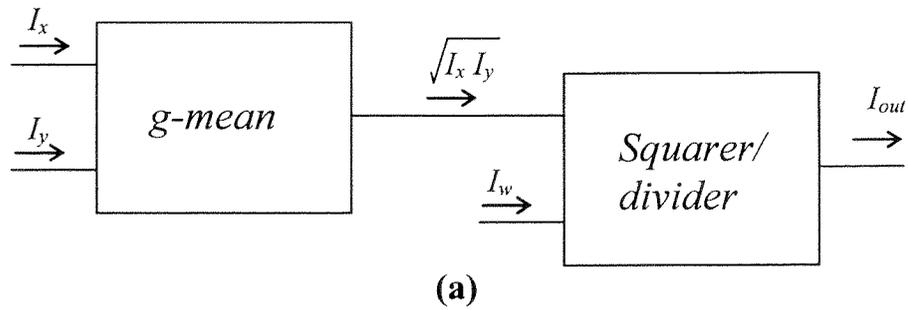


Figura 2.21 . a) Circuito multiplicador/divisor. b) Microfotografía del multiplicador/divisor.

2.6.2.4 Circuitos dinámicos lineales y no lineales

El bucle TL de tensión basado en FVF también se puede emplear como bloque para la implementación de funciones de transferencia dinámicas lineales y no lineales en un entorno de muy baja tensión. Un método para sintetizar estos circuitos de media geométrica y circuitos cuadráticos/divisores fue descrito en [Lop01b]. El uso de los bucles TL basados en FVF conducen a topologías iguales o mejores que las anteriormente propuestas [Esk00], [Lop01b], [Lop03], y a tensiones de alimentación mucho más bajas.

2.6.2.5 Circuitos lineales dinámicos

Combinando de forma adecuada los bucles TL de tensión y condensadores, se obtienen funciones de transferencia en el dominio del tiempo, que son en general no lineales. Si las no linealidades internas se eligen de forma que se cancelen externamente, la función de transferencia dinámica de todo el sistema será lineal. Este último método se emplea para

contruir un tipo de filtros en modo corriente con compresión de las señales, conocido como “filtros en el dominio de la raíz cuadrada (SRD)” [Lop01b]. La tensión en los nodos de los condensadores de estos filtros son comprimidos de acuerdo a la ley de la raíz cuadrada.

La Figura 2.22a muestra un filtro SRD en modo corriente de primer orden, basado en las celdas de media geométrica y en la celda cuadrática/divisora. La frecuencia de corte del filtro y su ganancia DC están dados por

$$\omega_{-3dB} = \frac{\sqrt{2\beta I_{B1}}}{C} \quad (2.8)$$

$$k = \sqrt{\frac{I_{B2}}{I_{B1}}} \quad (2.9)$$

siendo β el factor de transconductancia de los transistores MOS de entrada y salida. En [Lop01b] se presentó un filtro usando el bucle TL de tensión convencional con una tensión de alimentación de 3.3V. Cuando se usa el bucle TL basado en FVF, propuesto en los circuitos de media geométrica y cuadrático/divisor se obtienen resultados similares con una tensión de 1.5V y para el mismo proceso de fabricación. Este nuevo filtro basado en FVF fue fabricado en $2.4\mu\text{m}$ y está basado en los bloques de la Figura 2.19a y de la Figura 2.20a. Su área total es 0.3mm^2 . El condensador no fue integrado, y se usó uno externo de 1nF. La Figura 2.22b muestra la respuesta en frecuencia del filtro para distintas corrientes de polarización, variando desde $I_{B1} = I_{B2} = 2.5\mu\text{A}$ a $7.5\mu\text{A}$ en intervalos de $2.5\mu\text{A}$. Siguiendo las ecuaciones (2.8) y (2.9) se puede conseguir un ajuste independiente de la frecuencia.

La respuesta temporal del circuito fue evaluada usando corrientes de polarización de $10\mu\text{A}$. La forma de onda discontinua de la parte superior de la Figura 2.22c muestra la corriente de entrada a 1kHz con una amplitud pico-pico de $20\mu\text{A}$ y un offset DC de $10\mu\text{A}$, mientras que la línea sólida corresponde a la corriente de salida. Se puede observar que la distorsión de la onda de salida es despreciable y sólo hay un pequeño desplazamiento de fase debido a la acción de filtrado. En realidad, la THD medida a la salida fue del 1.2%. Esta baja distorsión se puede obtener incluso si la tensión de la capacidad está muy deformada como se puede observar en la parte inferior de la Figura

2.22c, poniendo de manifiesto que el circuito es muy lineal, aunque internamente no lo sea. Esta celda FVF combinada con el método de síntesis de [Lop01b] permite extender estas ideas a filtros de mayor orden y de muy baja tensión.

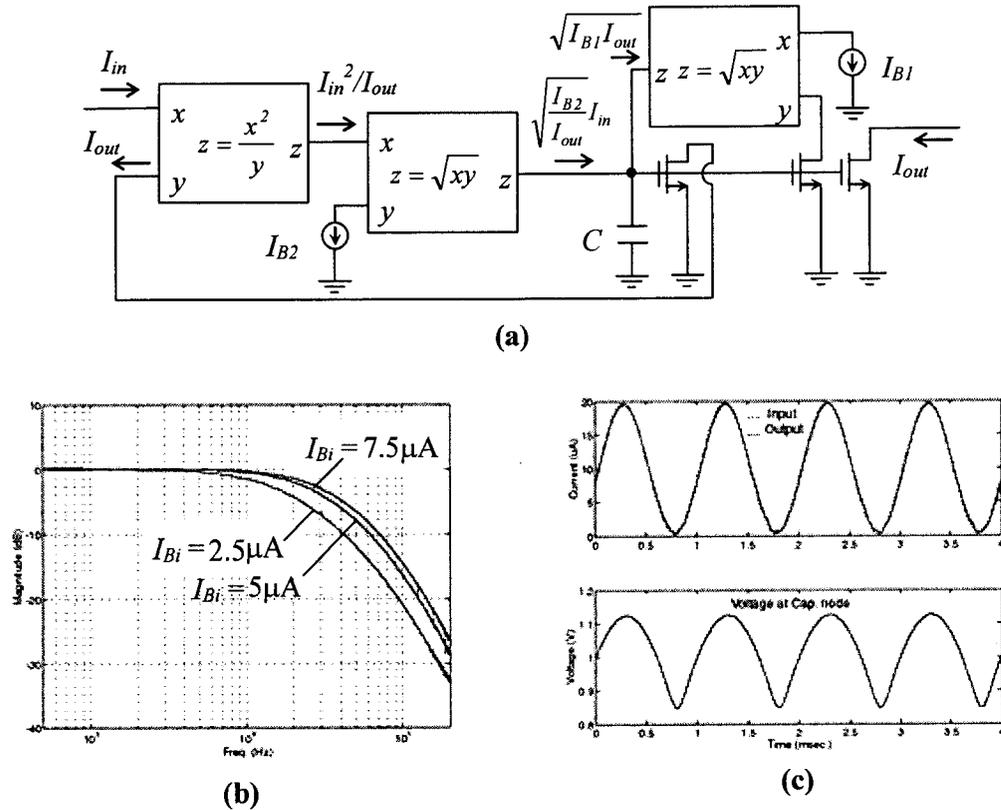


Figura 2.22 . a) Filtro de primer orden, b) Respuesta en frecuencia medida para corrientes de polarización entre $2.5 \mu A$ y $7.5 \mu A$ en intervalos de $2.5 \mu A$, c) Respuesta temporal medida. Parte superior: corriente de entrada (senoide de puntos) y corriente de salida (senoide con línea sólida). Parte inferior: tensión en el condensador.

2.6.2.6 Circuitos dinámicos no lineales

A parte de la particular cancelación de la no linealidad entrada-salida del filtro SRD, los circuitos anteriores permiten en general la implementación de funciones de transferencia no lineales en el dominio del tiempo, que pueden también beneficiarse de la celda TL de tensión basada en FVF para conseguir muy bajas tensiones de alimentación. Esta idea se plasmará con la implementación de un convertidor en modo corriente RMS-DC trabajando con 1.5V.

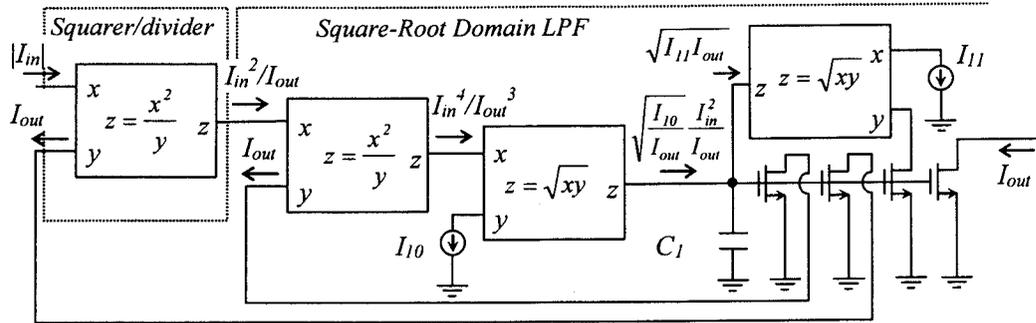
La conversión RMS-DC constituye, desde el punto de vista práctico, una de los más notables ejemplos de operación dinámica no lineal. Asumiendo corrientes de entrada y de salida, tal operación se puede describir por la ecuación:

$$I_{out} = \sqrt{\langle I_{in}^2 \rangle} \quad (2.10)$$

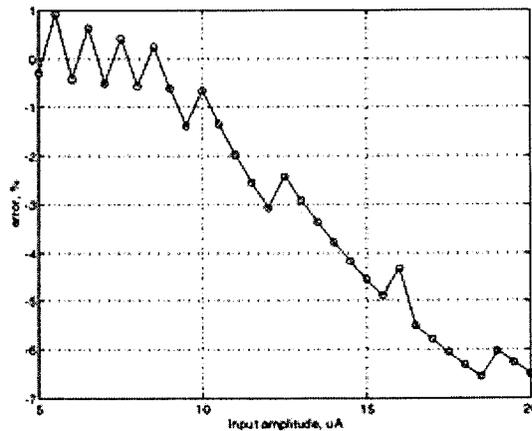
donde I_{in} y I_{out} son las corrientes de entrada y de salida del convertidor RMS-DC, respectivamente, y el operador $\langle \dots \rangle$ representa un tiempo promedio. Otro punto de vista (matemáticamente equivalente), mejor en términos de offset [Mul96], está dado por

$$I_{out} = \left\langle \frac{I_{in}^2}{I_{out}} \right\rangle \quad (2.11)$$

Por tanto, se tienen que realizar dos operaciones: cuadrática/división y a continuación, promediado. De esta forma, un convertidor RMS-DC de muy baja tensión se puede implementar con un filtro SRD de la Figura 2.22a y un circuito cuadrático/divisor de la Figura 2.20a, combinados como se muestra en la Figura 2.23a. Ambos circuitos, fabricados sobre el mismo circuito integrado, ocupan un área de 0.4mm^2 . Un condensador externo de 150nF fue usado en el filtro; las corrientes de polarización fueron de $10\mu\text{A}$ y V_{DD} fue 1.5V . Una señal rectificada en onda completa fue proporcionada por un generador de ondas arbitrario, cuyo voltaje de salida fue transformada hacia la corriente de entrada por un convertidor de corriente usando una resistencia de $10\text{k}\Omega$. La corriente de salida del convertidor RMS-DC fue medida a través de una resistencia de $10\text{k}\Omega$ resistor. El error relativo medido de la salida para una corriente de entrada rectificada de 10kHz , como una función de la amplitud de entrada, se muestra en la Figura 2.23b. Los errores están por debajo del $\pm 2\%$ para entradas mayores de $10\mu\text{A}$. La exactitud obtenida es similar a otros convertidores propuestos ([Mul96], [Lop03]). Concretamente, en [Lop03] se usa la misma topología y el mismo proceso de fabricación pero con bucles TL convencionales, trabajando a 3.3V . Por tanto, el uso de celdas FVF disminuye la tensión de alimentación de 3.3V a 1.5V .



(a)



(b)

Figura 2.23 . a) Convertidor RMS-DC b) Error medido frente a la amplitud de la corriente de entrada.

Los resultados presentados en esta sección, fueron obtenidos con procesos de $2.4\mu\text{m}$, con grandes tensiones umbrales que no permiten explotar totalmente las ventajas de FVF en términos de reducción de voltaje. Empleando simulaciones con modelos BSIM3V3 para procesos de $0.8\mu\text{m}$ dan lugar a bucles TL basados en FVF con tensiones de alimentación de 1.2V con un funcionamiento similar. Tensiones de 1V también son posibles empleando los modernos procesos submicras.

2.7 Conclusiones

En este capítulo se ha revisado en detalle la celda llamada “seguidor de tensión rotado” (en inglés Flipped Voltage Follower (FVF)). Se ha puesto de manifiesto su aplicación al diseño analógico en baja tensión y bajo consumo a través de diversas aplicaciones. Se ha proporcionado un análisis detallado de la celda, junto con una clasificación de sus aplicaciones. Se han explicado varios circuitos publicados recientemente, basados en el

comportamiento clase AB de la celda FVF, tales como, convectores de corriente, espejos de corriente, sensores de corriente, buffers de tensión, multiplicadores, OTAs y amplificadores operacionales. También se ha descrito un ejemplo de diseño completo de cómo aplicar la celda FVF para mejorar el funcionamiento de un circuito en entornos de baja tensión y bajo consumo. Tanto resultados de simulación como resultados experimentales muestran la utilidad de esta celda en diseño analógico de baja tensión y bajo consumo.

Capítulo 3

Aplicaciones en tiempo continuo: Diseño de circuitos Gm–C con gran rango de ajuste

Este capítulo describe el diseño de nuevas celdas analógicas basadas en las estructuras DFVF y FVFDP y sus aplicaciones al diseño de circuitos de baja tensión y bajo consumo en tiempo continuo. En primer lugar, se realiza una breve introducción al diseño de filtros analógicos y los problemas de diseño para aplicaciones de alta frecuencia. A continuación, se introduce un nuevo transconductor clase AB, pseudo-diferencial basado en la celda FVFDP, cuya transconductancia es linealmente ajustada en más de dos décadas a través de una tensión externa. Su análisis se realiza tanto desde un punto de vista cualitativo como matemático, y su diseño está enfocado a circuitos Gm-C. Como aplicación de este transconductor, se implementa un filtro Gm-C, paso banda de segundo orden con gran rango de ajuste de su frecuencia central y de su factor de calidad, y un oscilador controlado por tensión con gran rango de control sobre su frecuencia de oscilación. El capítulo finaliza con la descripción de un nuevo buffer clase AB basado en el esquema DFVF, con baja capacidad de entrada y bajo consumo. De todos los diseños se presentan resultados de simulación y experimentales.

3.1 Introducción a los filtros analógicos

El filtrado analógico se puede realizar empleando, tanto técnicas en tiempo continuo como en tiempo discreto. Una comparación general es difícil de hacer porque depende de cada aplicación y de sus especificaciones. Normalmente, las técnicas en tiempo discreto se consideran en el contexto de aplicaciones de alta precisión y velocidad moderada, y las técnicas en tiempo continuo en aplicaciones de precisión moderada y alta velocidad.

Para diseñar filtros en tiempo discreto se suelen aplicar dos técnicas: filtros de capacidades conmutadas (SC) y filtros de corriente conmutada (SI). La más popular es la técnica SC cuyo ámbito de aplicación se extiende desde frecuencias de audio a frecuencias de vídeo. Sus principales características están determinadas por la frecuencia de reloj y por ratios entre capacidades. Ambos parámetros son independientes de las variaciones de temperatura y de los parámetros de los procesos de fabricación, por lo que con esta técnica se consigue gran exactitud de las constantes de tiempo de los integradores. Sin embargo, su funcionamiento está limitado en alta frecuencia porque la frecuencia de reloj debe ser siempre, al menos dos veces mayor que la frecuencia más alta que se procesa, para evitar el *aliasing*. Los filtros SI se han introducido más recientemente [Hug89], [Ram92a]. Debido a la ausencia de amplificadores operacionales, este tipo de filtros pueden ser más rápidos que los SC pero sus ventajas no son del todo claras con bajas tensiones de alimentación [Cas95].

Actualmente, las aplicaciones típicas demandan filtros en tiempo continuo (CT) con un amplio rango dinámico, bajo ruido (especialmente en receptores de comunicaciones), baja distorsión, alta frecuencia y bajo consumo de potencia. Como consecuencia, existe gran parte de la investigación está encaminada a mejorar el funcionamiento de los filtros CT integrados. Este tipo de circuitos encuentra aplicación en sistemas de señal mixta donde se necesita alta velocidad de procesamiento. La principal ventaja de los filtros CT a alta frecuencia, es que pueden trabajar sin la necesidad de generar dentro del chip una señal de reloj de frecuencia mucho más alta que el ancho de banda de la señal. Una segunda ventaja, es la ausencia de *aliasing* que puede degradar el rango dinámico del filtro. Su principal inconveniente, es su baja precisión porque los coeficientes del filtro no están definidos como una relación de componentes similares, por lo que son sensibles a las variaciones de temperatura y a los procesos de fabricación. Como consecuencia, necesitan técnicas de ajuste para compensar dichas variaciones. Además, cuando se reduce la

tensión de alimentación, por los requisitos de los circuitos digitales, el rango dinámico y el control de los filtros CT decrece cuando se comparan con los filtros SC.

3.1.1 Filtros Gm-C

En los diseños realizados en este capítulo, se ha elegido filtros Gm-C sobre otros tipos de filtros en tiempo continuo, porque esta topología es una de las más empleadas actualmente en aplicaciones de procesamiento de señales. Casi todos los filtros CT integrados contienen integradores como bloques básicos de diseño, y dependiendo de su implementación, se pueden distinguir varios tipos de filtros. Se ha demostrado en [Geo93], que los filtros CMOS Gm-C tienen un comportamiento en frecuencia superior a los filtros Gm-C Opamp Gm-C OTA, MOSFET-C-Opamp y MOSFET-C-OTA. El funcionamiento de los filtros CT con bajas tensiones de alimentación está directamente relacionado con la calidad del integrador, en términos de consumo de potencia, linealidad, ruido, respuesta de fase y ajuste de sus parámetros [Sil93]. Como los filtros Gm-C emplean como integrador un amplificador operacional de transconductancia en bucle abierto y una capacidad de carga, pueden conseguir un excelente comportamiento en frecuencia y no necesitan capacidades de compensación, por lo que en principio, se puede esperar una pobre linealidad.

Hay dos métodos de diseño predominantes para construir filtros CT: secciones biquadráticas (segundo orden) y filtros pasivos LC en escalera. Las secciones biquadráticas son más generales porque se pueden conseguir filtros de alto orden a través de la cascada de secciones biquadráticas y son especialmente adecuadas para el ajuste de los filtros. Además, el layout es más fácil de realizar ya que el mismo bloque se puede repetir con pequeños cambios. Los filtros LC en escalera son más complicados y se pueden implementar de dos formas: reemplazando cada resistencia (por un transconductor) o inductancia (por un girador) que realiza la misma función (llamados filtros giradores); o reemplazando el filtro LC por un filtro activo, que emule las mismas ecuaciones diferenciales que el filtro pasivo (llamado filtro de variables de estado). Los filtros LC son menos sensibles a las variaciones de los componentes. Una descripción más detallada se puede ver en [Sch90], [Kar92], [Tsi93].

Entre las técnicas empleadas para el control de los filtros Gm-C, se puede distinguir entre ajuste de la transconductancia (con condensador constante) o ajuste del condensador (con

transconductancia constante). Ambos métodos son válidos y dependiendo de la aplicación uno es superior al otro. El ajuste del transconductor provoca un ruido en la salida constante mientras que el consumo de potencia es variable. El ajuste de los condensadores produce un ruido de salida variable y un consumo constante. Debido a la dependencia del rango dinámico y de la respuesta en frecuencia durante el mecanismo de ajuste, se han introducido matrices de transconductores y capacidades para optimizar el máximo rango posible de operación lineal. Estas matrices son conmutadas digitalmente para conseguir la frecuencia y el factor de calidad deseados. Además, tanto los transconductores como los condensadores se pueden controlar dentro de pequeños rangos produciendo un ajuste fino del filtro [Pav00].

3.1.1.1 Integradores Gm-C a muy altas frecuencias

Tradicionalmente, la mayoría del procesamiento de señales analógicas se ha llevado a cabo usando la tensión como señal variable. Sin embargo, los circuitos en modo corriente mejoran la velocidad y se pueden integrar con procesos de fabricación CMOS digitales de bajo coste. Con objeto de mantener la compatibilidad con los circuitos de procesamiento de voltajes, es necesario emplear convertidores V-I o transconductores.

Un transconductor es una celda cuya corriente de salida está relacionada de forma lineal con la tensión diferencial de entrada:

$$i_o = g_m \cdot v_{in} \quad (3.1)$$

donde g_m es la transconductancia.

Los integradores son los bloques de diseño de la mayoría de los filtros CT. En los filtros Gm-C, los integradores se implementan con un transconductor y un condensador de carga. Las celdas de transconductancia son muy usadas en filtros CT debido a su buen funcionamiento, bajo consumo, alta frecuencia y programabilidad. El funcionamiento del integrador está relacionado con su topología.

Como se discutió en el capítulo 1, es deseable mantener las señales completamente diferenciales (Figura 3.1). Normalmente se emplea el integrador de la Figura 3.1b porque es más inmune al efecto de las capacidades parásitas.

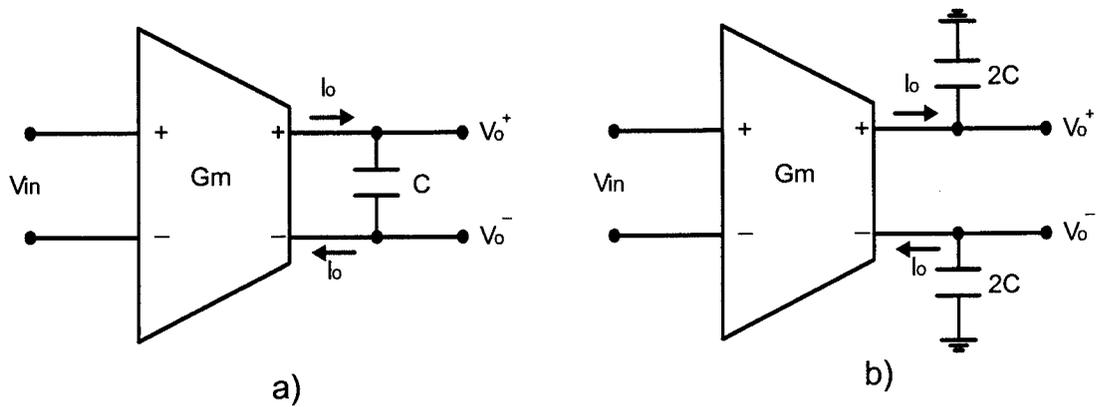


Figura 3.1 . Integradores Gm-C completamente diferenciales. a) Un solo condensador, b) Dos condensadores.

Para ambos circuitos, la función de transferencia de un integrador ideal es:

$$\frac{V_o}{V_{in}} = \frac{g_m}{C} \frac{1}{s} \quad (3.2)$$

donde $V_o = V_o^+ - V_o^-$

La frecuencia de ganancia unidad del integrador se define como:

$$\omega_{fo} = \frac{g_m}{C} \quad \text{rad/s}$$

La amplitud y fase de la función de transferencia de la ecuación (3.2) está representada en la Figura 3.2. El integrador tiene una ganancia DC infinita y una fase de -90° para todas las frecuencias.

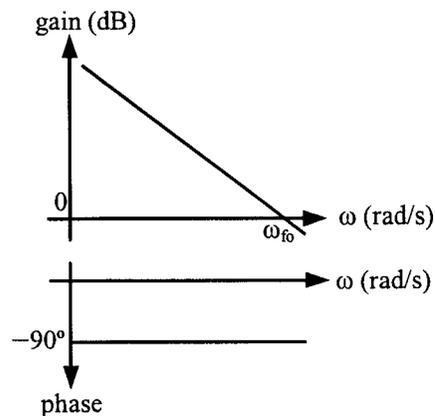


Figura 3.2 . Respuesta en frecuencia de un integrador ideal.

El transconductor real tiene una impedancia de salida finita y capacidades parásitas que modifican la función de transferencia del integrador ideal.

La impedancia de salida finita introduce un polo de baja frecuencia ω_{p1} en la función de transferencia de un integrador ideal:

$$\frac{V_o}{V_{in}} = \frac{g_m}{C} \frac{1}{s + \omega_{p1}} \quad (3.3)$$

Las capacidades parásitas producen un polo de alta frecuencia:

$$\frac{V_o}{V_{in}} = \frac{g_m}{sC} \frac{\omega_{p2}}{s + \omega_{p2}} \quad (3.4)$$

Si se combinan ambos efectos, la función de transferencia de un integrador no ideal es:

$$\frac{V_o}{V_{in}} = \frac{A_{DC}}{\frac{s^2}{\omega_{p2}} + s \left(1 + \frac{\omega_{p1}}{\omega_{p2}} \right) + \omega_{p1}} \quad (3.5)$$

donde:

A_{DC} es la ganancia DC (bucle abierto): $A_{DC} = g_m / g_{out}$

$\omega_{p1} = g_{out} / (C_L + C_{par})$ es el polo dominante (g_{out} es la conductancia de salida, C_L es la capacidad de carga y C_{par} son las capacidades parásitas en los nodos de salida).

La respuesta en frecuencia de un integrador real se muestra en la Figura 3.3:

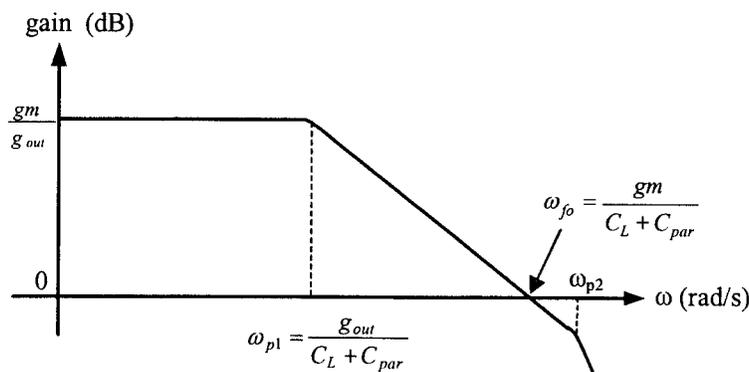


Figura 3.3 . Respuesta en frecuencia de un integrador real.

La mayor modificación aparece en la fase de la función de transferencia. El polo de baja frecuencia ω_{p1} y los polos parásitos ω_{p2} introducen retrasos y excesos de fase, respectivamente, como aparece en la Figura 3.4.

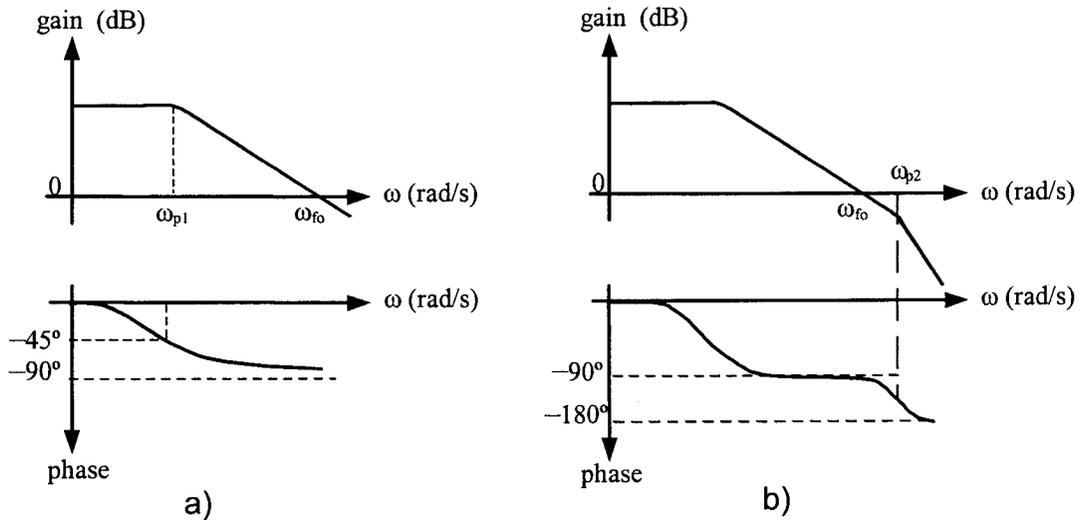


Figura 3.4 . a) Retraso de fase por el polo de baja frecuencia. b) Exceso de fase por los polos parásitos.

De la ecuación (3.5), los errores de fase alrededor de 90° están dados por:

$$\varphi(\omega) = \frac{\pi}{2} + \tan^{-1}\left(\frac{\omega_{p1}}{\omega}\right) - \tan^{-1}\left(\frac{\omega}{\omega_{p2}}\right) = \frac{\pi}{2} + \Delta\varphi(\omega) \quad (3.6)$$

Para pequeñas desviaciones en torno a 90° :

$$\Delta\varphi(\omega) \approx \frac{\omega_{p1}}{\omega} - \frac{\omega}{\omega_{p2}} \quad (3.7)$$

Como se puede observar, los integradores deberían ser diseñados tal que $\omega_{p1} \ll \omega_{fo} \ll \omega_{p2}$.

Si la ganancia DC y los polos parásitos no son lo suficientemente elevados, se producen errores de fase significativos. Además, en los filtros Gm-C, los errores de fase producen variaciones significativas en los factores de calidad Q. Por tanto, todos los filtros de este tipo necesitan un esquema de control.

3.1.1.2 Desafíos de diseño

En el diseño de integradores, existen varias técnicas para reducir los errores de fase:

- 1) Diseñar el transconductor sin nodos internos. Esto permite que el circuito no tenga nodos parásitos y todas las capacidades parásitas son absorbidas por la capacidad de salida. A altas frecuencias estas capacidades son despreciables comparadas con los condensadores reales y sus valores son impredecibles debido a las variaciones de temperatura y a los parámetros de los procesos de fabricación. Las capacidades parásitas pueden modificar las posiciones de los polos del filtro. Este problema se puede resolver calculando dichas capacidades y teniéndolas en cuenta para determinar los valores finales de las capacidades de integración. Por tanto, este tipo de capacidades parásitas no modifican la función de transferencia si son tratadas de forma adecuada [Kar92].
- 2) Conseguir una ganancia DC muy elevada A_{DC} . Esto se puede conseguir por dos métodos:
 - a) Incrementando la resistencia de salida r_{out} , introduciendo dispositivos cascosos o cargando el transconductor con una resistencia negativa que compense la resistencia de salida [Nau92]. Los dispositivos cascosos no son por lo general, una buena solución porque siempre introducen nodos internos y reducen el rango de linealidad del transconductor. Otra solución es aumentar la resistencia de salida usando dispositivos con longitudes de canal mayores de acuerdo con la expresión:

$$r_o \propto \frac{L_{eff}}{I_{ds}}$$

donde L_{eff} es la longitud efectiva de canal y I_{ds} es la corriente drenador-fuente. Sin embargo, esto se debe realizar con cuidado ya que los efectos parásitos ($\propto W \cdot L_{eff}$) se deben mantener como una fracción razonable de la capacidad total de integración.

- b) Incrementando la transconductancia g_m . Más alta g_m no sólo significa mayor ganancia, si no también mayor ancho de banda, para una capacidad de

integración dada. La g_m se debería incrementar por medio de la relación de aspecto de los dispositivos y no de la corriente ($A_{DC} = g_m \cdot r_o \propto 1/\sqrt{I_{ds}}$).

El diseño de integradores Gm-C a muy altas frecuencias es una tarea desafiante por las siguientes razones:

- 1) Trabajar en alta frecuencia requiere gran transconductancia de cada integrador o pequeñas capacidades de integración. Como se ha discutido, el primer caso implica normalmente, una combinación de alta corriente y grandes dispositivos, que incrementan el consumo total y contribuyen a mayores capacidades parásitas, respectivamente. En el segundo caso, el valor de la capacidad de integración, está limitado por las capacidades parásitas y la mínima capacidad que permite la tecnología.
- 2) El rango dinámico se ve afectado directamente por los grandes anchos de banda, ya que el ruido a la salida crece proporcionalmente a medida que se incrementa la frecuencia de corte del filtro. Además, tensiones relativamente pequeñas inherentes en las tecnologías CMOS submicras, limitan la cantidad de voltaje $V_{ds,sat}$ disponible a los dispositivos de entrada, afectando por ello a la linealidad.
- 3) La exactitud de la función de transferencia del filtro es difícil de controlar teniendo en cuenta las características no ideales de los integradores, baja ganancia y polos parásitos poco controlados.
- 4) El integrador debe garantizar altos niveles de linealidad con un consumo de potencia aceptable.
- 5) A altas frecuencias, los desplazamientos de fase del transconductor limitan los factores de calidad a valores bajos [Voo00].

3.2 Transconductor basado en FVFDP

En esta sección, el objetivo de nuestra investigación es demostrar que la estructura FVFDP se puede emplear en diseños analógicos de baja tensión y bajo consumo por medio de un nuevo transconductor pseudo-diferencial clase AB, que puede ser empleado

en filtros Gm-C y su topología proporciona un óptimo compromiso entre alta frecuencia, consumo y rango dinámico. Esta celda emplea un circuito para eliminar las variaciones de modo común de las entradas y una red para estabilizar las salidas de modo común. En primer lugar, se realiza una breve introducción de los diferentes tipos de transconductores. A continuación, se describe el funcionamiento básico del transconductor así como un análisis de pequeña señal del mismo. Finalmente, se presentan los resultados de simulación obtenidos.

3.2.1 Tipos de transconductores

Tradicionalmente, las celdas de transconductancia se han empleado un amplio rango de aplicaciones, lo que ha dado lugar a un gran número de publicaciones. En general, en este tipo de circuitos se le exigen distintas características: bajo consumo, alto ancho de banda, gran linealidad, tiempo de establecimiento pequeño y *slew rate* no limitado. Varias topologías han sido diseñadas para conseguir estas características, dependiendo de la aplicación:

Transconductores triodo y de ley cuadrática. Los transconductores triodo tienen la mayoría de los transistores trabajando en la región de saturación, pero la transconductancia de la celda depende de varios transconductores polarizados en la región triodo. La mayoría de los transconductores CMOS publicados están basados en la ley cuadrática. Existen varias técnicas para linealizar ambos tipos de transconductores [Joh97], pero generalmente los transconductores triodo tienen mejor linealidad y los basados en la ley cuadrática mejor comportamiento en frecuencia.

Completamente diferencial y pseudo-diferencial. El primero de ellos está basado en un par diferencial polarizado con una fuente de corriente, y en el segundo, la fuente de los transistores de entrada se conecta directamente a tierra. Este último puede tener ventajas a tensiones de alimentación bajas pero no tiene rechazo a las tensiones de modo común de entrada. El principal inconveniente de ambas estructuras es la necesidad de utilizar un circuito adicional para estabilizar las señales de salida de modo común.

Circuitos clase AB. Este tipo de circuitos se usa principalmente en aplicaciones de baja tensión y bajo consumo respecto a los circuitos clase A y clase B. Los circuitos clase A tienen una baja eficiencia en consumo porque los transistores siempre están conduciendo.

Los circuitos clase B mejoran esta eficiencia porque los transistores no consumen corriente quiescente pero tienen una zona muerta que no los hace adecuados para circuitos de capacidades conmutadas. Los circuitos clase AB tienen un consumo quiescente bajo y bien controlado, que se incrementa a medida que lo hace la señal. Se han reportado varios diseños que muestran cómo la corriente de entrada [Cal90], [Wan96], [Har99] o la corriente de la etapa de salida [Kli89], [Nag90] se incrementan para grandes señales. Además, los circuitos clase AB tienen un *slew rate* no limitado.

La mayoría de los transconductores diseñados emplean varias de las técnicas anteriores. Así, en [Ada00] se describe un OTA clase AB con transistores en la región triodo, con rango completo de operación y ganancia programable. En [Lim01] se presenta un transconductor pseudo-diferencial con transistores en la región triodo, alta linealidad, gran rango de señal y transconductancia ajustable. Además, presenta un novedoso circuito de control del modo común que estabiliza las señales de salida. En [Sil02] un transconductor pseudo-diferencial con transistores en la región triodo y un amplio rango de linealidad debido a un circuito de control de modo común de las tensiones de salida que incluye un circuito de control de las corrientes de modo común de entrada y polarización adaptativa.

Recientemente se han diseñado circuitos basados en la ley cuadrática con excelente linealidad. En [Giu00b], se propone un circuito clase AB con gran linealidad y ancho de banda. Un diseño interesante se obtiene en [Moh02] porque el circuito que elimina las componentes de modo común de entrada en un OTA pseudo-diferencial, elimina también las componentes de modo común a las salidas. Este transconductor es muy adecuado para aplicaciones de capacidades conmutadas. En este camino, en [Elw00] se muestra un transconductor clase AB con bajo consumo y excelente *slew rate*, y en [Sha01] se presenta un transconductor pseudo-diferencial con gran ancho de banda.

Otro punto de vista, es el diseño de transconductores controlables para aplicaciones de filtrado. Los transconductores más interesantes están relacionados con los filtros Gm-C resumidos en la Tabla 3.4 (sección 3.3.1)

3.2.2 Introducción

Los multiplicadores analógicos [Han98] son muy utilizados en el procesamiento de señales analógicas, como transconductores lineales, moduladores, detectores, etc. La celda FVFDP puede ser empleada para construir multiplicadores a cuatro cuadrantes.

El circuito de la Figura 3.5a, es un multiplicador de transconductance clásico basado en la ley cuadrática de los transistores MOS [See87]. Emplea pares diferenciales cruzados conectados a fuentes de tensión de baja impedancia V_a y V_b . El par diferencial cruzado hace que el circuito sea menos sensible a la degradación de la linealidad ya que las señales de modo común de cada salida dependen de ambas entradas, y las componentes no lineales en las corrientes de los transistores M_1 a M_4 con canceladas usando una red que diferencia las corrientes de salida con un valor de $I_{out}=(I_{D1}+I_{D3})-(I_{D2}+I_{D4})$. Asumiendo que todos los transistores trabajan en la región de saturación, las corrientes $I_{D1}+I_{D3}$ y $I_{D2}+I_{D4}$ se definen usando la ley cuadrática:

$$\begin{aligned} I_{D1} + I_{D3} &= k_p (V_a - V_1 - V_{TP})^2 + (V_b - V_2 - V_{TP})^2 \\ I_{D2} + I_{D4} &= k_p (V_a - V_2 - V_{TP})^2 + (V_b - V_1 - V_{TP})^2 \end{aligned} \quad (3.8)$$

Un análisis directo del circuito de la Figura 3.5a conduce a:

$$I_{out} = 2k_p (V_1 - V_2)(V_a - V_b) \quad (3.9)$$

donde $k_p = \frac{1}{2} \mu_p C_{ox} \frac{W}{L}$ es el factor de ganancia de los transistores y μ_p , C_{ox} , V_{TP} , W y L tienen su significado habitual.

La implementación práctica de los multiplicadores de baja tensión, de acuerdo al esquema de la Figura 3.5a, requiere fuentes de baja tensión y baja impedancia (V_a y V_b). Una implementación eficiente de fuentes con estas características es la celda FVF. La Figura 3.5d muestra el esquema de un multiplicador a cuatro cuadrantes de baja tensión usando la estructura clase AB FVFDP [Ram00a]. Los voltajes de entrada $V_1 - V_2 = V_{d12}$ y $V_a - V_b = V_{dab}$ se aplican como señales totalmente balanceadas con el mismo valor de modo común:

$$\begin{aligned}
 V_1 &= \frac{V_{d12}}{2} + V_{CM} \\
 V_2 &= -\frac{V_{d12}}{2} + V_{CM} \\
 V_a &= \frac{V_{dab}}{2} + V_{CM} \\
 V_b &= -\frac{V_{dab}}{2} + V_{CM}
 \end{aligned}
 \tag{3.10}$$

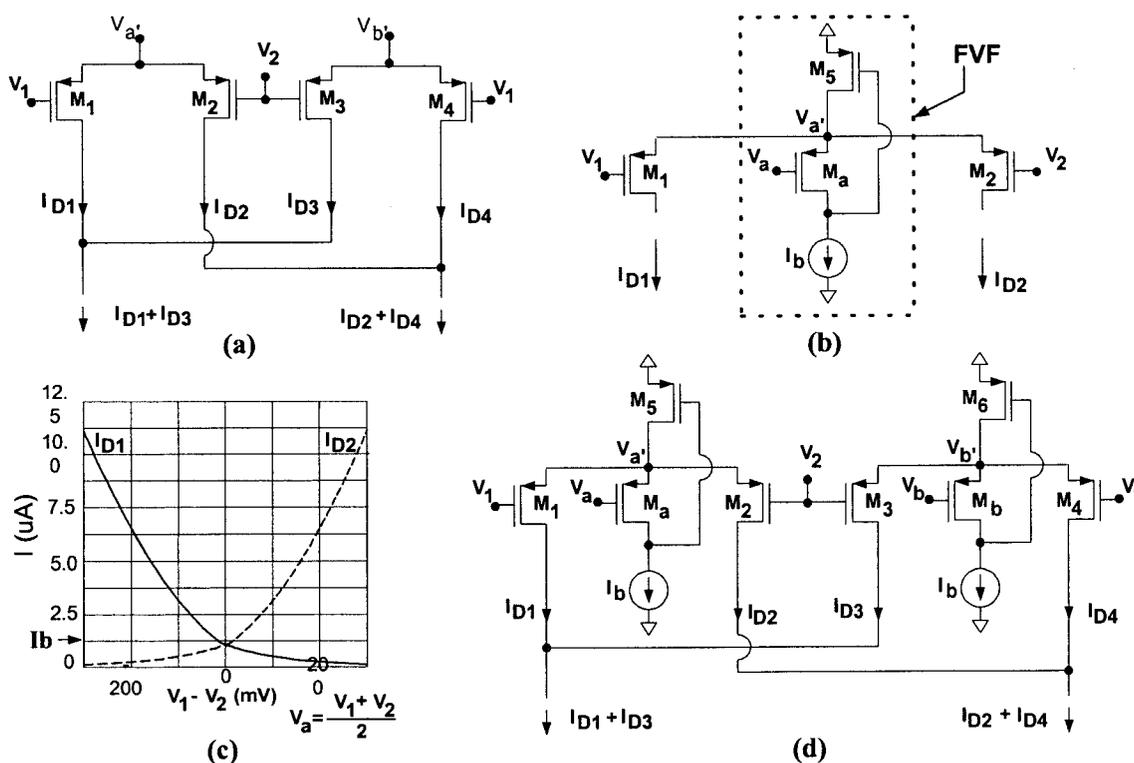


Figura 3.5 .a) Multiplicador de transconductancia básico. b) Amplificador pseudo-diferencial con FVF. c) Respuesta DC del amplificador pseudo-diferencial. d) Multiplicador clase AB usando dos amplificadores pseudo-diferenciales.

Esta celda es un multiplicador clase AB en modo corriente, ya que las corrientes quiescentes de salida pueden ser programadas a través de las fuentes I_b con valores mucho más bajos que los valores máximos que pueden alcanzar. Esta propiedad hace que el circuito sea muy atractivo para aplicaciones de bajo consumo. Las señales complementarias de la entrada no son estrictamente necesarias para obtener un comportamiento lineal, pero maximizan el rango de entrada y la eficiencia de corriente.

Además, el circuito presenta una dependencia perfectamente lineal con la transconductancia g_m , que es ajustable variando $(V_a - V_b)$. De la ecuación (3.9):

$$g_m = \frac{\partial I_{out}}{\partial V_{in}} = \mu C_{ox} \frac{W}{L} (V_a - V_b) = \mu C_{ox} \frac{W}{L} V_{tuning} \quad (3.11)$$

Este circuito también es atractivo para aplicaciones de baja frecuencia ya que V_{tuning} puede ser tan bajo como 0V.

Eficiencia de corriente (CE). Constituye una figura de mérito para los multiplicadores en modo corriente, y se define como la relación entre la corriente de salida y la suma de todas las corrientes proporcionadas por la tensión de alimentación. Para el circuito de la Figura 3.5d,

$$CE = \frac{I_{out}}{I_{D1} + I_{D2} + I_{D3} + I_{D4}} = \frac{I_{D1} - I_{D2} + I_{D3} - I_{D4}}{I_{D1} + I_{D2} + I_{D3} + I_{D4}} \quad (3.12)$$

Como CE es una medida de la eficiencia de potencia, es de esperar que los multiplicadores clase AB tengan una CE más elevada que los multiplicadores clase A. Además, CE también da una medida de la distorsión. Las no linealidades y *offset* presente en $I_{D1}+I_{D3}$ y $I_{D2}+I_{D4}$, debido a las desigualdades aleatorias en los transistores M_1 a M_4 , produce distorsión en las corrientes de salida. Este efecto se atenúa para grandes valores de CE, ya que el valor relativo entre la corriente de salida y las componentes de distorsión, es más alto que en el caso de bajos valores de CE.

Con objeto de demostrar la alta eficiencia de corriente del multiplicador, se han realizado varias simulaciones. La Figura 3.6a muestra la curva DC del multiplicador de la Figura 3.5d. Se puede ver el típico comportamiento de un multiplicador con corriente de salida muy lineal sobre un amplio rango de la señal de entrada. La Figura 3.6b muestra las corrientes de salida $(I_{D1}+I_{D3}-I_{D2}-I_{D4})$ así como la corriente total $(I_{D1}+I_{D3}+I_{D2}+I_{D4})$ consumida por el multiplicador. Como se puede observar la eficiencia de corriente es mayor del 50%.

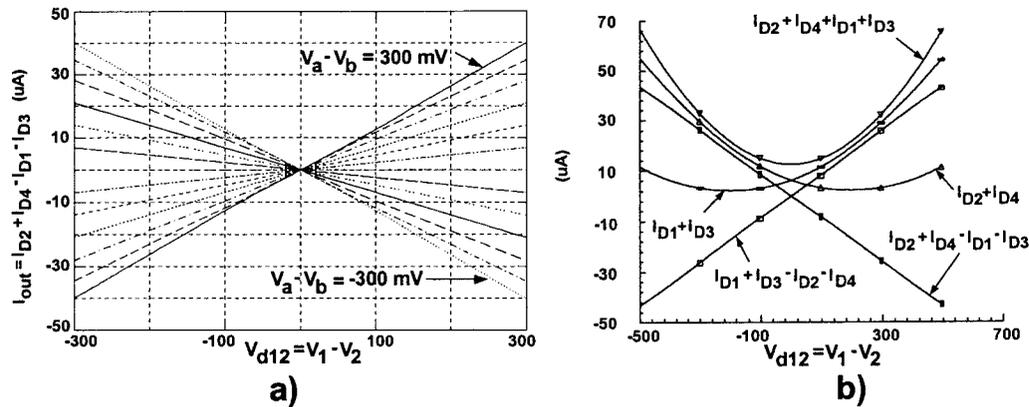


Figura 3.6 . Resultados de simulación DC del circuito de la Figura 3.5d): a) Corrientes de salida diferenciales para diferentes valores de $V_a - V_b$, b) Multiplicadores de corriente ($V_a - V_b = 200\text{mV}$).

3.2.3 Estrategia de diseño

Con objeto de construir un transconductor diferencial clase AB con aplicación a filtros Gm-C en tiempo continuo, y basado en el multiplicador de transconductancia de [Ram00a], se ha seguido la siguiente estrategia de diseño:

- Trabajar con bajas tensiones de alimentación y bajo consumo de potencia.
- Conseguir gran ancho de banda y elevada ganancia.
- Diseñar una topología que permita modificar la transconductancia.
- Emplear un circuito de modo común para estabilizar las tensiones de salida.
- Alcanzar un gran rango de linealidad.
- Reducir la dependencia entre las tensiones de salida de modo común y el mecanismo de control de la transconductancia.

3.2.4 Descripción del transconductor

La celda de transconductancia basada en la estructura FVFDP, explicada anteriormente, consigue un comportamiento clase AB gracias al nodo de baja impedancia V_a , de la Figura 3.5b. Esta propiedad tiene un importante inconveniente: necesita un control del comportamiento en modo común del circuito porque no es capaz de rechazar las componentes de modo común de la señal de entrada debido al nodo de baja impedancia. Además, a diferencia de los transconductores clase A, la corriente de modo común del circuito no es constante al ser clase AB ($I_{\text{ocm}} = 0.5 ((I_{D1} + I_{D3}) + (I_{D2} + I_{D4}))$). El valor de esta corriente depende de las tensiones diferenciales de entrada, como aparece en la Figura

3.6b. Por tanto, el circuito de la Figura 3.5d necesita un circuito adicional para controlar las corrientes de modo común de las entradas, llamado en inglés, “*common mode feedforward (CMFF)*”.

Estos requisitos se pueden cumplir de una forma compacta y simple aprovechando las ventajas de sensado de corrientes de la celda FVF. Es fácil de demostrar que la corriente a través de los transistores M_5 y M_6 es $(I_{D5}+I_{D6}) = (I_{D1}+I_{D3}) + (I_{D2}+I_{D4}) + 2I_B = 2(I_{oCM}+I_B)$, es decir, dos veces la corriente de modo común de la salida I_{oCM} más la corriente de polarización I_b . La solución empleada en este trabajo fue originalmente propuesta en [Rez94]. Consiste en sensar estas corrientes aplicando espejos de corriente y restar una copia escalada de ellas, de la corriente de salida. El esquema completo del transconductor está representado en la Figura 3.7, donde los transistores M_{5C} , M_{6C} , M_{CP} , M_{81} , M_{82} , M_{83} , M_{71} , M_{72} y M_{73} forman el circuito CMFF. Los transistores M_{5C} y M_{6C} generan una corriente proporcional a la corriente de modo común de entrada más I_b , y esta corriente se resta de las salidas del transconductor a través del espejo de corriente formado por M_{7x} y M_{8x} , cancelando la corriente de salida de modo común. La corriente I_b podría ser eliminada, pero en este caso se usa para polarizar el circuito de control de modo común de las tensiones de salida, llamado en inglés, “*common mode feedback (CMFB)*”. Este circuito es necesario, ya que el circuito CMFF mejora el rechazo de las señales de modo común a la entrada, pero no es capaz de fijar las tensiones de modo común a las salidas. El circuito CMFB se debe emplear en todas las estructuras diferenciales, aunque incrementa la complejidad del circuito, el consumo de potencia y el área de silicio; además debe ser diseñado con cuidado para eliminar problemas de estabilidad. Se ha utilizado un circuito CMFB típico, que aparece representado en la parte derecha de la Figura 3.7. Cuando las tensiones de modo común de salida (V_{out+} , V_{out-}) suben, la corriente a través del transistor M_{17} disminuye, conduciendo a un bucle de realimentación negativa, que mantiene las salidas en un valor constante V_{CM} .

Finalmente, para trabajar como un transconductor lineal en aplicaciones de filtrado Gm-C, el multiplicador de la Figura 3.5d necesita una etapa de salida de alta impedancia. Precisamente, los transistores M_{cas} se han incluido entre los transistores M_1 , M_2 , M_3 , M_4 y las salidas con objeto de aumentar la impedancia de salida y conseguir alta ganancia DC.

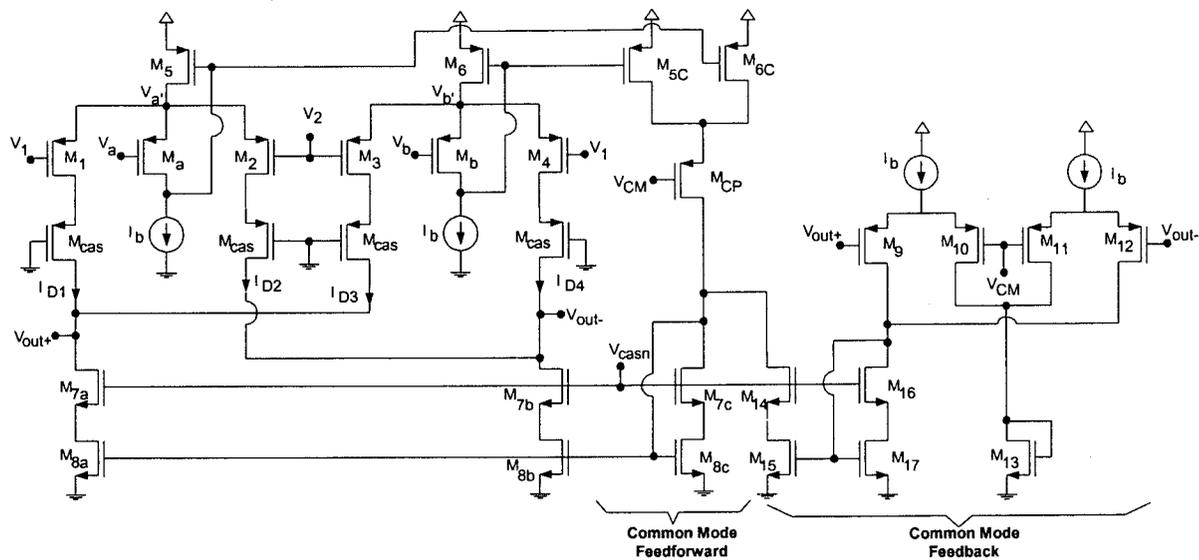


Figura 3.7 . Esquema completo del transconductor propuesto.

Los tamaños de los transistores, las tensiones y corriente de polarización están incluidos en la Tabla 3.2.

Transistor	W/L($\mu\text{m}/\mu\text{m}$)
M_1, M_2, M_3, M_4	25/1
M_a, M_b, M_{cas}	25/1
M_5, M_6	200/2
M_{5C}, M_{6C}	100/2
M_{CP}	30/2
M_{7a}, M_{7b}, M_{7c}	30/1
M_{8a}, M_{8b}, M_{8c}	20/2
$M_9, M_{10}, M_{11}, M_{12}$	15/1
$M_{13}, M_{14}, M_{15}, M_{16}, M_{17}$	20/2
Tensiones y Corrientes	
V_{DD}	2V
V_{casn}	1.25V
V_{CM}	0.5V
I_b	$10\mu\text{A}$

Tabla 3.2 . Parámetros del transconductor propuesto.

3.2.4.1 Respuesta en frecuencia

El análisis de la respuesta en frecuencia está basado en la versión no diferencial del transconductor, como aparece en la Figura 3.8a. La forma más simple de analizar el circuito, es asumiendo que cada nodo en el camino de la señal contribuye con un polo de la función de transferencia. La posición relativa de estos polos se puede estimar si se multiplica la capacidad equivalente y la resistencia desde ese nodo a tierra [Raz00]. El polo de salida es el dominante debido a la alta resistencia de salida del transconductor y de la capacidad de carga. El primer polo no dominante está en el nodo V_x porque la resistencia de pequeña señal de este nodo es relativamente grande comparada con la del nodo $V_{a'}$, que es $1/g_{m5}g_{mA}r_{oA}$ y del orden de 20Ω - 100Ω , como se demostró en el capítulo 2. Por tanto, el nodo $V_{a'}$ provoca un polo no dominante cuyo efecto puede ser despreciable.

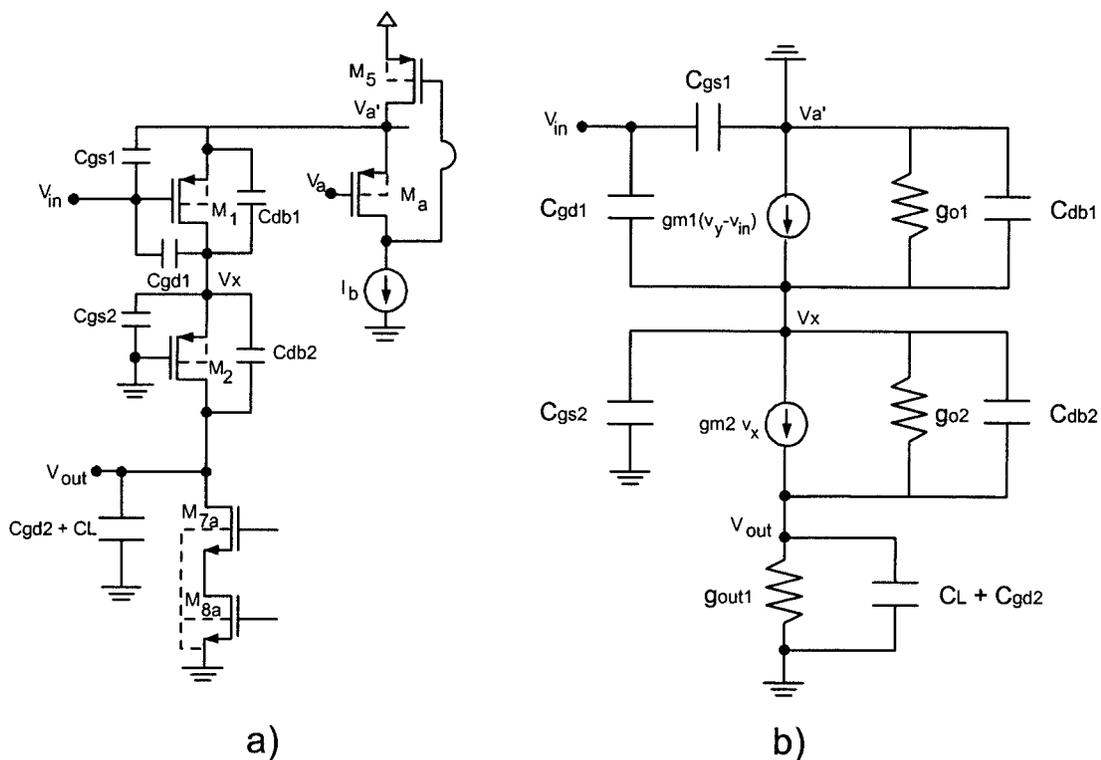


Figura 3.8 . Circuito del transconductor para a) Análisis en frecuencia b) Circuito equivalente de pequeña señal.

Si se quiere obtener una función de transferencia exacta, el análisis es muy complejo porque se tienen en cuenta todos los nodos del camino de la señal: $V_{a'}$, V_x y V_{out} . El circuito equivalente está dibujado en la Figura 3.8b. Para hacer el análisis menos complicado, se ha asumido que la tensión del nodo $V_{a'}$ se mantiene constante. La

conductancia de salida del espejo de corriente cascode compuesta por M_{7a} y M_{8a} se representa por g_{out1} . Después de algunas simplificaciones se obtiene una función de transferencia con dos ceros y dos polos, que viene expresada en forma de polinomio como

$$\frac{v_o(s)}{v_{in}(s)} = \frac{N(s)}{D(s)} = \frac{N_0 + N_1s + N_2s^2}{D_0 + D_1s + D_2s^2} \quad (3.13)$$

donde:

$$N(s) = g_{m1}(g_{m2} + g_{o2}) + s[g_{m1}C_{db2} - (g_{m2} + g_{o2})C_{gd1}] - s^2C_{gd1}C_{db2} \quad (3.14)$$

$$D(s) = g_{out1}(g_{m2} + g_{o1} + g_{o2}) + g_{o1}g_{o2} + s[(g_{out1} + g_{o2})(C_{gd1} + C_{db1} + C_{gs2}) + (g_{m2} + g_{o1} + g_{o2})(C_L + C_{gd2}) + (g_{out1} + g_{o1})C_{db2}] + s^2[(C_L + C_{gd2})(C_{gd1} + C_{db1} + C_{gs2} + C_{db2})] \quad (3.15)$$

Con objeto de simplificar el denominador, asumiendo que $\omega_{p1} \ll \omega_{p2}$, se puede escribir [Gra93],

$$D(s) = \left(\frac{s}{\omega_{p1}} + 1\right) \left(\frac{s}{\omega_{p2}} + 1\right) = \frac{s^2}{\omega_{p1}\omega_{p2}} + \left(\frac{1}{\omega_{p1}} + \frac{1}{\omega_{p2}}\right)s + 1 \approx \frac{s^2}{\omega_{p1}\omega_{p2}} + \frac{1}{\omega_{p1}}s + 1 \quad (3.16)$$

Por tanto, el coeficiente de s es aproximadamente igual al $1/\omega_{p1}$,

$$\begin{aligned} \omega_{p1} &= \frac{g_{out1}(g_{m2} + g_{o1} + g_{o2}) + g_{o1}g_{o2}}{(g_{out1} + g_{o2})(C_{gd1} + C_{db1} + C_{gs2}) + (g_{m2} + g_{o1} + g_{o2})(C_L + C_{gd2}) + (g_{out1} + g_{o1})C_{db2}} \approx \\ &\approx \frac{1}{\frac{g_{m2} + g_{o1} + g_{o2}}{g_{out1}(g_{m2} + g_{o1} + g_{o2}) + g_{o1}g_{o2}}(C_L + C_{gd2})} \approx \frac{1}{g_{out1} + \frac{g_{o1}g_{o2}}{g_{m2} + g_{o1} + g_{o2}}(C_L + C_{gd2})} = \\ &= \frac{1}{\frac{1}{g_{out1} + g_{out2}}(C_L + C_{gd2})} = \frac{1}{r_{out}(C_L + C_{gd2})} \end{aligned} \quad (3.17)$$

donde

$$\frac{1}{g_{out1}} = r_{out1} = [1 + (g_{m7a}r_{o7a})]r_{o8a} + r_{o7a} \approx g_{m7a}r_{o7a}r_{o8a}$$

$$\frac{1}{g_{out2}} = r_{out2} = \frac{g_{m2} + g_{o1} + g_{o2}}{g_{o1}g_{o2}} = (1 + g_{m2}r_{o2})r_{o1} + r_{o2} \approx g_{m2}r_{o2}r_{o1}$$

$r_{out} = r_{out1} \parallel r_{out2}$ es la resistencia de salida del transconductor.

El segundo polo es fácil de obtener:

$$\begin{aligned} \omega_{p2} &= \frac{(g_{out1} + g_{o2})(C_{gd1} + C_{db1} + C_{gs2}) + (g_{m2} + g_{o1} + g_{o2})(C_L + C_{gd2}) + (g_{out1} + g_{o1})C_{db2}}{(C_L + C_{gd2})(C_{gd1} + C_{db1} + C_{gs2} + C_{db2})} \approx \\ &\approx \frac{(g_{m2} + g_{o1} + g_{o2})(C_L + C_{gd2})}{(C_L + C_{gd2})(C_{gd1} + C_{db1} + C_{gs2} + C_{db2})} = \frac{g_{m2} + g_{o1} + g_{o2}}{C_{gd1} + C_{db1} + C_{gs2} + C_{db2}} \end{aligned} \quad (3.18)$$

Como se esperaba, los parámetros del transconductor r_{out} y C_L determinan un polo dominante localizado en el semiplano izquierdo. El segundo polo también está en el mismo semiplano que el polo dominante.

De la ecuación (3.14), se calculan los ceros de la función de transferencia:

$$\begin{aligned} \omega_z &= \frac{(g_{m2} + g_{o2})C_{gd1} - g_{m1}C_{db2} \pm \sqrt{[g_{m1}C_{db2} - (g_{m2} + g_{o2})C_{gd1}]^2 + 4g_{m1}(g_{m2} + g_{o2})C_{gd1}C_{db2}}}{2g_{m1}(g_{m2} + g_{o2})} = \\ &= \frac{(g_{m2} + g_{o2})C_{gd1} - g_{m1}C_{db2} \pm [g_{m1}C_{db2} + (g_{m2} + g_{o2})C_{gd1}]}{2g_{m1}(g_{m2} + g_{o2})} \end{aligned} \quad (3.19)$$

$$\omega_{z1} = \frac{C_{gd1}}{g_{m1}} \quad (3.20)$$

$$\omega_{z2} = -\frac{C_{db2}}{g_{m2} + g_{o2}} \quad (3.21)$$

El circuito contiene un cero en el semiplano derecho ω_{z1} y otro en el izquierdo ω_{z2} . El cero del semiplano derecho se produce porque C_{gd1} forma un camino parásito de señal

hacia delante y contribuye con más desplazamiento de fase. El cero ω_{z2} está en el semiplano izquierdo porque la señal conducida a través de C_{db2} se añade en altas frecuencias con la misma polaridad que la señal producida por el transistor M_2 . Ambos ceros están localizados lejos del origen.

La ganancia en baja frecuencia del transconductor está dada por:

$$A_{DC} = \frac{g_{m1}(g_{m2} + g_{o2})}{g_{out1}(g_{m2} + g_{o1} + g_{o2}) + g_{o1}g_{o2}} = \frac{g_{m1}}{g_{out1} \left(1 + \frac{g_{o1}}{g_{m2} + g_{o2}} \right) + \frac{g_{o1}g_{o2}}{g_{m2} + g_{o2}}} \approx$$

$$\approx \frac{g_{m1}}{g_{out1} + g_{out2}} = g_{m1}r_{out} \quad (3.22)$$

Como se esperaba, A_{DC} depende de la transconductancia de los transistores de entrada y de la resistencia de salida.

3.2.4.2 Resultados de simulación

El transconductor fue diseñado teniendo en cuenta los parámetros de la tecnología CMOS de $0.8\mu\text{m}$ de AMS, y la simulación fue llevada a cabo usando CADENCE DF-II y Spectre. Las tensiones umbrales son $V_{TN} = 0.86\text{V}$, $V_{TP} = -0.73\text{V}$. El circuito está alimentado con 2V lo que da un margen de 410mV sobre $V_{TN} + |V_{TP}|$ y compensa para las tensiones umbrales relativamente altas respecto a aquellos procesos de fabricación de bajas tensiones. La tensión de modo común fue ajustada en 500mV lo que permite un rango de la señal de entrada de 740mV_{pp} , aproximadamente:

$$V_{DD} = v_{in_{peak}} + 2V_{DS,sat} + |V_{TP}| + V_{CM} = 370\text{mV} + 400\text{mV} + 730\text{mV} + 500\text{mV}$$

La máxima tensión V_{tuning} que mantiene los transistores M_5 , M_6 en la región de saturación limita el intervalo de ajuste, que es de 1mV hasta 400mV . La tensión nominal V_{tuning} es 200mV . El objetivo del diseño es alcanzar una gran transconductancia y un ancho de banda cercano a 100MHz para construir un filtro Gm-C de frecuencia central 10.7MHz . Usando una corriente de polarización $I_b = 10\mu\text{A}$, se consigue un bajo consumo quiescente con un rango de transconductancia entre $0.6\mu\text{A/V}$ - $207\mu\text{A/V}$. Además, los tamaños de los transistores de entrada no son muy grandes, y con ello las capacidades parásitas.

La Figura 3.9 representa la tensión de modo común frente a V_{tuning} . Se puede observar la excelente estabilidad de V_{CM} frente a V_{tuning} con una variación de 3mV sobre el intervalo de ajuste.

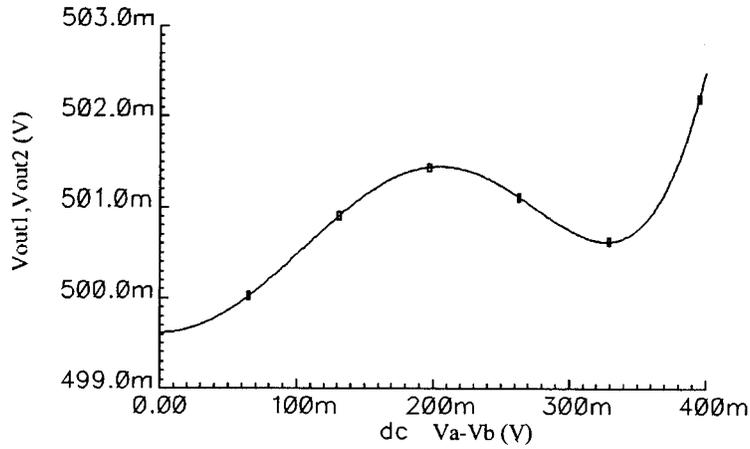


Figura 3.9 . Tensión de salida de modo común frente a V_{tuning} .

La Figura 3.10 y la Figura 3.11 muestran la respuesta en frecuencia del integrador. A la tensión nominal de V_{tuning} y $C_L = 2\text{pF}$, se obtiene $A_{\text{DC}} = 51.37\text{dB}$, $f_o = 8.9\text{MHz}$ y un exceso de fase de 0.22° .

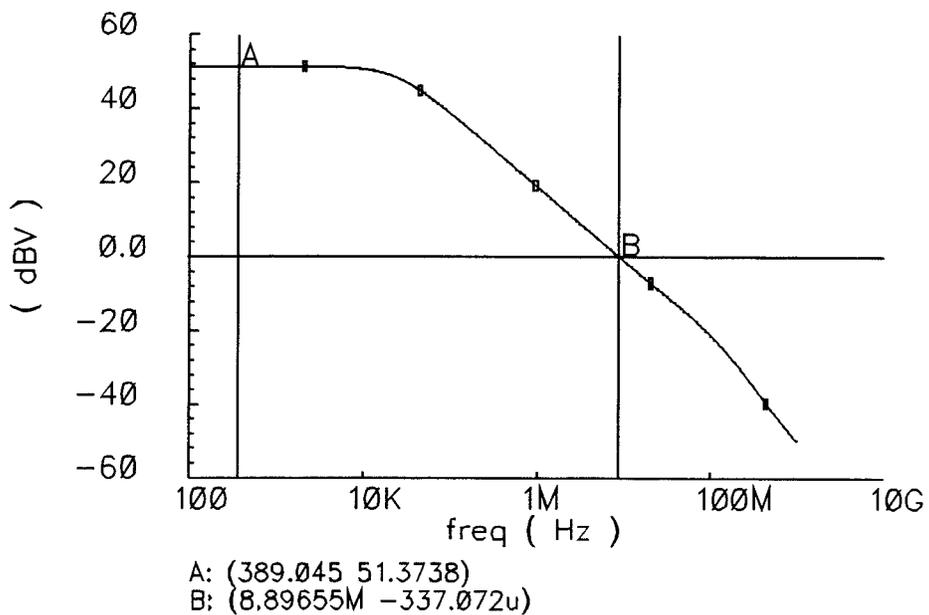


Figura 3.10 . Respuesta en frecuencia de la ganancia.

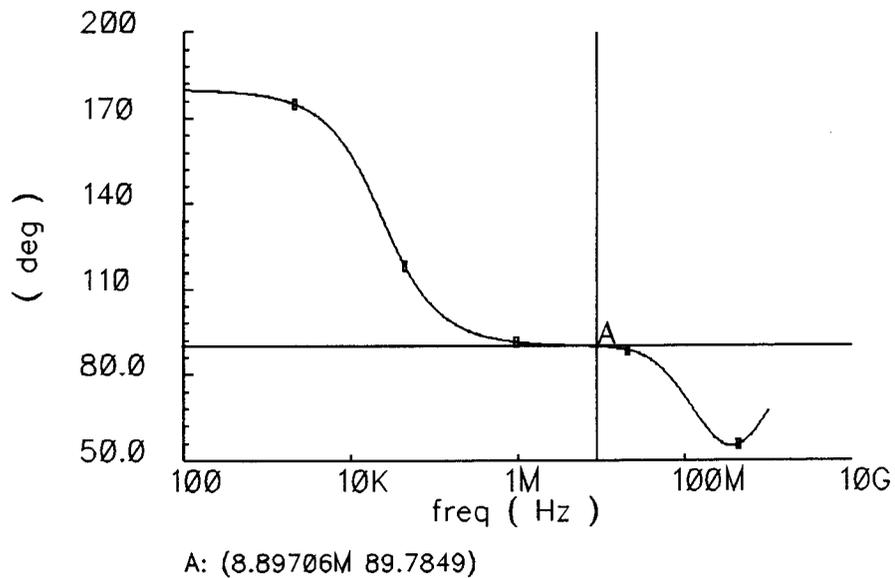


Figura 3.11 . Respuesta en frecuencia de la fase.

Se ha obtenido una dependencia lineal entre f_o y V_{tuning} a lo largo del intervalo de control. Simulaciones de la respuesta transitoria para una señal de entrada de 10.7MHz y 600mVpp (con $V_{\text{tuning}} = 200\text{mV}$) proporcionan una THD menor del 1%.

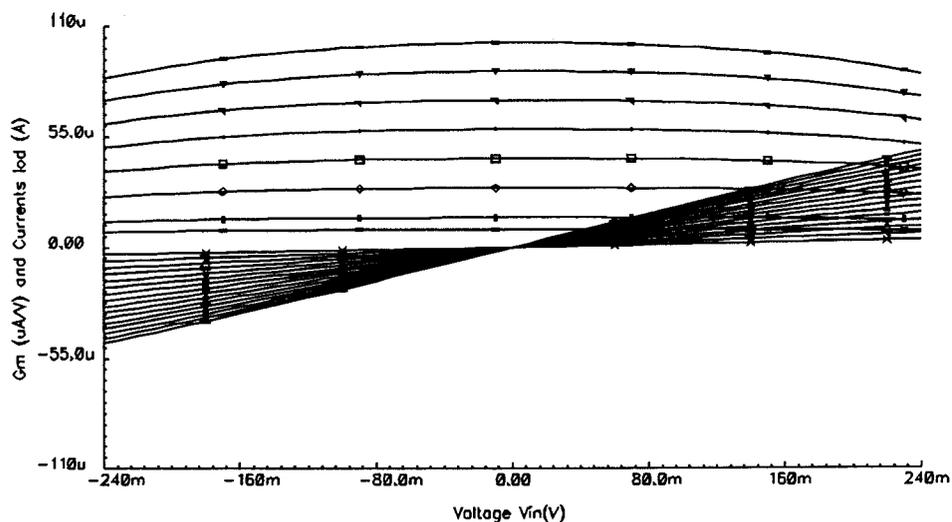


Figura 3.12 . Respuesta DC del transconductor.

La Figura 3.12 representa la simulación en DC de las corrientes de salida diferenciales del transconductor frente a la tensión diferencial de entrada para distintos valores de $V_a - V_b$ en un rango entre 25mV y 400mV en intervalos de 25mV, usando una resistencia de

carga de $R_{load} = 500\Omega$. Además, se ha representado un rango de la transconductancia (dI_{od} / dV_{in}) desde $8\mu A/V$ a $105\mu A/V$ ($V_a - V_b = 15mV - 175mV$). Se puede observar una buena linealidad entre $-240mV$ y $240mV$.

La Tabla 3.3 resume los resultados de simulación del transconductor.

V_{DD}	2V
A_{DC}	51.37dB
Δg_m	$0.6\mu A/V - 207\mu A/V$
Consumo	$240\mu W - 380\mu W$
THD (10.7MHz)	1% @ $600mV_{pp}$
Ancho de banda	90MHz

Tabla 3.3 . Resultados de simulación del transconductor.

3.2.4.3 Consideraciones de diseño

El transconductor tiene el problema de que la tensión V_{tuning} que controla la transconductancia afecta también al rango lineal de operación. Esto conduce a un conflicto entre obtener un amplio rango lineal de entrada o una gran transconductancia. El transconductor propuesto tiene una transconductancia programable mientras consigue un gran rango dinámico gracias a su topología pseudo-diferencial y al circuito CMFF.

¿Por qué se utilizaron los transistores cascodos?

En el diseño del transconductor, hubo un compromiso entre ancho de banda y consumo. Inicialmente, el transconductor no tenía los transistores cascodos, con lo que la topología no contenía de nodos internos. La respuesta en frecuencia tenía un polo parásito por encima de 2GHz, pero una ganancia DC de 37.5dB (Figura 3.13). En esta situación el circuito presentaba un retraso de fase de 0.76° (Figura 3.14) que no era aceptable para intentar obtener un filtro Gm-C con factores de calidad elevados. Para incrementar la ganancia DC, se necesita mayor g_m . Como los dispositivos tienen que ser relativamente pequeños para minimizar los efectos parásitos y maximizar $V_{GS} - V_T$ (para una corriente dada), la corriente que ser bastante alta (más consumo) y por tanto, la resistencia de salida tiende a disminuir. Incrementar la longitud de canal de los transistores de salida para

elevar la impedancia de salida, no puede hacerse de forma excesiva porque nuevamente aumentan los efectos parásitos (comparados con la capacidad de integración).

Cuando se introdujeron los transistores cascodos en el transconductor, apareció un polo parásito a 150MHz, como se ha mostrado en la Figura 3.10 y en la Figura 3.11, que limita el ancho de banda. La ganancia es 51dB con un error de fase de 0.22°. En esta situación, el transconductor tiene un razonable ancho de banda con muy bajo consumo de potencia.

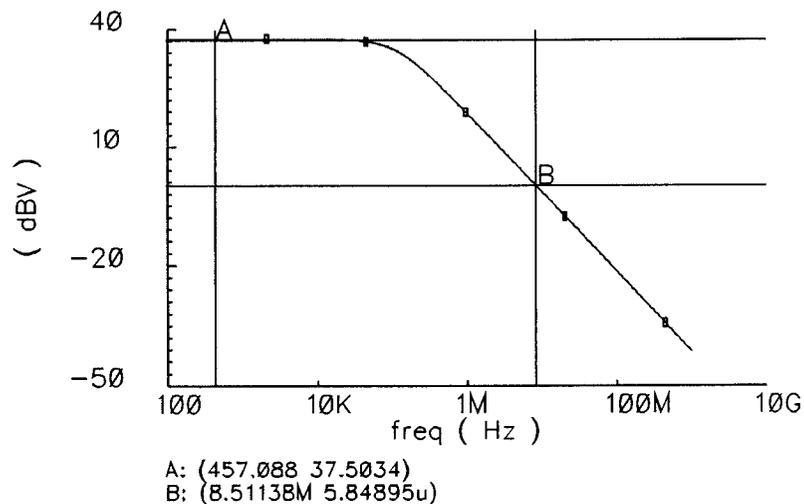


Figura 3.13 . Ganancia del transconductor sin los transistores cascodos.

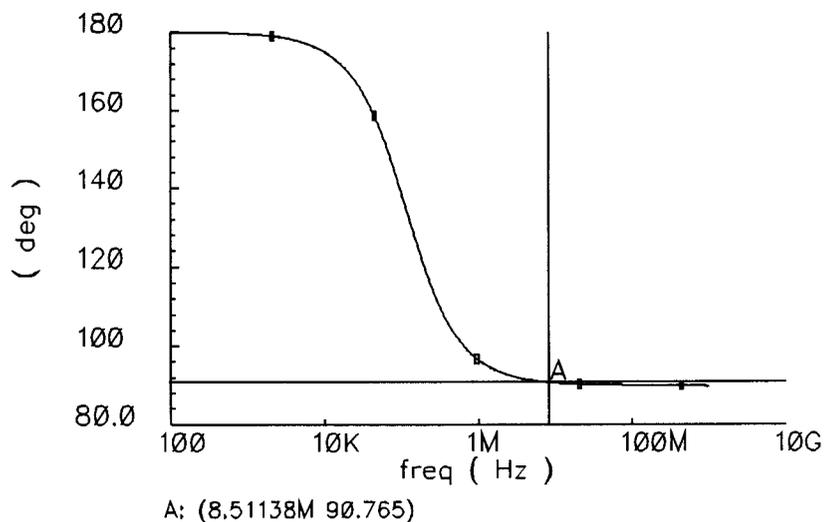


Figura 3.14 . Fase del transconductor sin los transistores cascodos.

3.2.4.4 Conclusiones

En esta sección, se ha introducido un nuevo transconductor lineal basado en la estructura FVFDP. Una tensión externa DC controla la transconductancia. Debido a su topología pseudo-diferencial y su comportamiento clase AB, ha sido necesario acoplarle una red de cancelación de las componentes de modo común de las corrientes de entrada y un circuito que establezca las tensiones de modo común de las salidas. El circuito está alimentado con 2V para compensar las tensiones umbrales relativamente altas del proceso CMOS de fabricación de 0.8 μ m. Una corriente de polarización de 10 μ A para el transconductor representa un buen compromiso entre errores de fase, ancho de banda y consumo de potencia. Este transconductor encuentra aplicación en filtros Gm-C o en osciladores controlados por tensión que requieren un gran rango de ajuste de sus parámetros con bajas tensiones de alimentación y bajo consumo de potencia.

3.3 Primera aplicación: filtro Gm-C a 10.7MHz

El objetivo de esta sección es demostrar que el transconductor propuesto se puede emplear en filtros Gm-C de baja tensión y bajo consumo, diseñando un filtro de segundo orden, paso banda con frecuencia central de 10.7MHz. En primer lugar, se comparan los filtros Gm-C más importantes que se han publicado en los últimos años. A continuación se explica la topología y el proceso de diseño, y finalmente se muestran los resultados de simulación y los resultados experimentales.

3.3.1 Comparativa de filtros Gm-C

Debido a las muchas publicaciones que se han realizado últimamente, se ha llevado a cabo una exhaustiva búsqueda bibliográfica recogida en la Tabla 3.4. En ella se observa el amplio rango de aplicación de los filtros Gm-C CMOS desde unos pocos kHz hasta decenas de MHz. La tabla describe el tipo de filtro, el mecanismo de ajuste, la tensión de alimentación (V_{DD}), la tecnología, el consumo de potencia (P) y la linealidad.

Ref	Método de ajuste	Rango de ajuste	Tipo de filtro	P(mW)	Linealidad	Tecn/V _{DD}
[Nau92]	C constante Gm variable	22MHz- 98MHz	3 rd orden paso bajo	4-670	DR=72dB, V _{DD} =10V	3μm/2.5-10V
[Sne92]	C variable Gm const.	30MHz- 450MHz	2 nd orden paso banda	8-12	THD=1%@ 355mV _{rms}	0.9μm/5V
[Szc95]	C constante Gm variable	8.3MHz- 50MHz	3 rd orden paso bajo	2.7*	THD=-40dB@ 1.4V _{pp} -10MHz	2μm/5V
[Ass97]	C constante Gm variable	4MHz- 49MHz	2 nd orden band-pass	5	THD=1%@185mV- 49MHz	0.8μm/±1.5V
[Hun97]	C constante Gm variable	280kHz- 405kHz	5 th orden paso bajo	2.48*	THD=1%@ 700mV _{pp}	1.2μm/3V
[Meh97]	matriz C Gm const.	6MHz- 43MHz	paso bajo	90	THD=1%@640mV _{pp}	0.6μm/5V
[Yoo97]	matriz C Gm const.	15MHz- 33MHz	6 th orden paso banda	2.6(min)	THD=1%@ 570mV _{pp} -15MHz	0.8μm/3V
[Ism99]	C constante Gm variable	1.2MHz- 2.9MHz	5 th orden paso bajo	1.6(max)	THD=0.66%@ 500mV _{pp} -500kHz	1.2μm/2V
[Lin99]	matriz C Gm const.	320kHz- 1.2MHz	7 th orden paso bajo	52.8*	THD=-51dB@ 600mV _{pp}	1.2μm/3.3V
[Lin00]	C constante Gm variable	500kHz- 2MHz	3 rd orden paso bajo	5.8	THD=0.1%@ 2V _{pp} -1kHz	1.2μm/2.7V
[Pav00]	C constante matriz Gm	60MHz- 350MHz	4 th orden paso bajo	70	THD=-40dB@ 380mV _{pp}	0.25μm/3.3V
[Taj00]	C constante Gm variable	1MHz- 10MHz	4 th orden paso bajo	20(min)	THD=-50dB@ 700mV _{pp} -10MHz	0.6μm/1.5V
[Bol01]	C constante Gm variable	30MHz- 120MHz	8 th orden paso bajo	120(max)	THD=-50dB@ 200mV _{pp} -120MHz	0.25μm/2.5V
[Lim01]	C constante Gm variable	50kHz- 2.1MHz	3 rd orden paso bajo	1.73*	THD=-55.4dB @300mV _{pp} *	0.8μm/1.8V
[Dos02]	C constante Gm variable	80MHz- 200MHz	7 th orden paso bajo	60-210	THD=-42dB@ 800mV _{pp} -200MHz	0.25μm/3V
[Pan02]	Variable C, variable Gm	60kHz	6 th orden paso banda	40.3	DR=48dB	2μm/5V
[Sil02]	C constante Gm variable	80MHz- 200MHz	4 th orden paso bajo	90*	THD=-44dB@ 2V _{pp} -20MHz	0.35μm/2.3V
[Kal03]	C constante Gm variable	85MHz- 110MHz	2 nd orden paso banda	92.4	SNR=39dB	0.5μm/3.3V
[Liu03]	C constante Gm variable	150MHz- 210MHz	2 nd orden paso banda	35	SFDR=31dB	0.5μm/3V
[Yod03]	C constante Gm variable	13kHz- 65kHz	3 rd orden paso bajo	0.167	THD=-40dB@ 315mV-5kHz	0.18μm/1.2V
Este trabajo	C constante Gm variable	325kHz- 32MHz	2 nd orden paso banda	1.18-1.8	THD=-40dB@ 200mV-10.7MHz	0.8μm/2V

Tabla 3.4 . Resumen de filtros Gm-C publicados recientemente. (*) V_{tuning} nominal.

La investigación muestra que la mayoría de los filtros emplean el método de capacidad constante, mientras que la transconductancia se programa de distintas formas: una matriz de transconductores controlados digitalmente o con un convertidor digital/analógico de tensión, o controlando la transconductancia con una tensión o a través de la corriente de polarización.

Los filtros Gm-C en tiempo continuo con mayores frecuencias han sido reportados en [Sne92] y [Pav00]. Una cuestión interesante en ambos diseños, es que emplean el típico par diferencial de entrada sin linealización y con un buen compromiso entre velocidad y distorsión.

Otros diseños interesantes han sido reportados en [Par88], [Sil92], [Wu93], [Cha97], [Fur97], [Man97], [Yoo98], [Cel99], [Ita99], [Yam99], [Lee00], [Cho01], [And02] y [Sil03].

3.3.2 Diseño del filtro

El transconductor propuesto ha sido utilizado como integrador para construir un filtro Gm-C paso banda. Se ha empleado una topología bicuadrática, porque constituye una estructura simple para evaluar el comportamiento del transconductor.

La función de transferencia de un filtro bicuadrático paso de banda está dada por:

$$H(s) = \frac{a_1 s}{s^2 + \frac{\omega_o}{Q} s + \omega_o^2} \quad (3.23)$$

donde ω_o es la frecuencia central y Q es el factor de calidad.

Q se define como la relación entre la frecuencia central y el ancho de banda:

$$BW = \frac{\omega_o}{Q} \quad (3.24)$$

La estructura diferencial del filtro bicuadrático empleado está dibujado en la Figura 3.15.

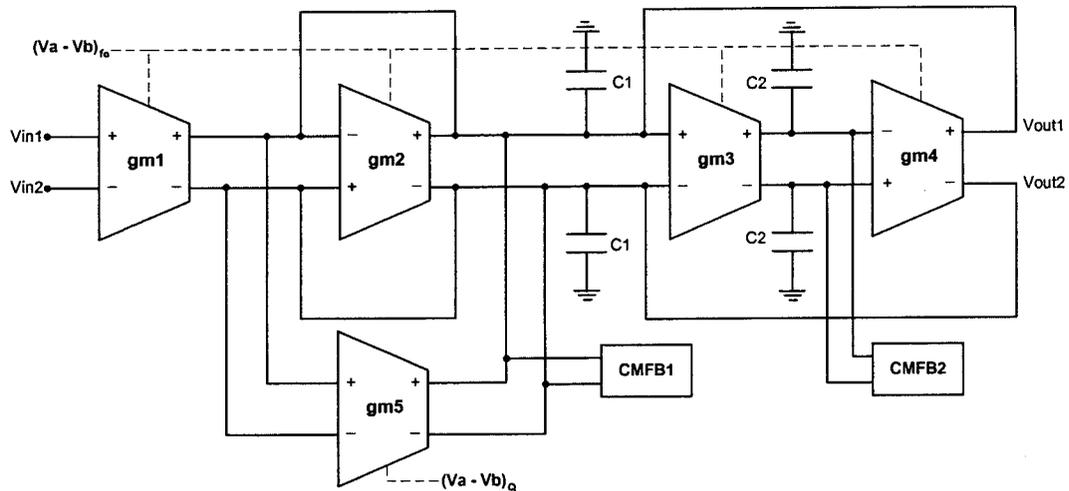


Figura 3.15 . Esquema del filtro Gm-C paso banda de segundo orden.

La función de transferencia viene dada por la expresión:

$$H(s) = \frac{\frac{g_{m1}}{C_1} s}{s^2 + \frac{g_{m2} - g_{m5}}{C_1} s + \frac{g_{m3} g_{m4}}{C_1 C_2}} \quad (3.25)$$

siendo los parámetros del filtro:

$$\omega_o = \sqrt{\frac{g_{m3} g_{m4}}{C_1 C_2}} \quad (3.26)$$

$$Q = \frac{C_1}{g_{m2} - g_{m5}} \cdot \omega_o \quad (3.27)$$

El transconductor g_{m5} introduce realimentación positiva (actúa como una resistencia negativa) y produce un término negativo en el denominador de la ecuación (3.25), de forma que Q puede ser ajustado, en principio, tan alto como se desee. Esta solución fue reportada en [Ste98], y debe ser realizada con cuidado porque incrementando g_{m5} demasiado, podría provocar inestabilidad.

Si tenemos en cuenta la conductancia de salida finita g_o de los transconductores, a muy altas frecuencias el factor de calidad y la frecuencia central pueden sufrir cambios.

Introduciendo en el modelo del transconductor una conductancia de salida finita, la función de transferencia se modifica por la expresión:

$$H(s) = \frac{\frac{g_{m1}}{C_1} s + \frac{g_{m1}g_{on2}}{C_1 C_2}}{s^2 + \left(\frac{g_{m2} - g_{m5}}{C_1} + \frac{g_{on1}}{C_1} + \frac{g_{on2}}{C_2} \right) s + \frac{g_{m3}g_{m4} + (g_{m2} - g_{m5})g_{on2} + g_{on1}g_{on2}}{C_1 C_2}} \quad (3.28)$$

donde

$$g_{on1} = g_{o1} + g_{o2} + g_{o4} + g_{o5}$$

$$g_{on2} = g_{o3}$$

Ahora, la nueva frecuencia central ω'_o es:

$$\omega'^2_o = \frac{g_{m3}g_{m4} + (g_{m2} - g_{m5})g_{on2} + g_{on1}g_{on2}}{C_1 C_2} \approx \omega_o^2 + \frac{(g_{m2} - g_{m5})g_{on2}}{C_1 C_2} \quad (3.29)$$

Despreciando los términos $g_{on1}g_{on2}$ por ser efectos de segundo orden.

Como ha sido mostrado, la conductancia de salida finita produce un desplazamiento de la frecuencia de corte, que disminuye para valores de Q elevados.

El nuevo factor de calidad Q' viene expresado por:

$$\frac{1}{Q'} = \left(\frac{g_{m2} - g_{m5}}{C_1} + \frac{g_{on1}}{C_1} + \frac{g_{on2}}{C_2} \right) \frac{1}{\omega'_o} \quad (3.30)$$

Para valores altos de Q ($g_{m2} \approx g_{m5}$), $\omega'_o \approx \omega_o$, y por tanto,

$$\frac{1}{Q'} = \frac{1}{Q} + \left(\frac{g_{on1}}{C_1} + \frac{g_{on2}}{C_2} \right) \frac{1}{\omega_o} \quad (3.31)$$

Con objeto de simplificar el diseño, se ha considerado,

$$g_{m1} = g_{m2} = g_{m3} = g_{m4} = g_m$$

$$C_1 = C_2 = C$$

$$g_{o1} = g_{o2} = g_{o3} = g_{o4} = g_{o5} = g_o$$

Por tanto, la frecuencia central se puede aproximar a:

$$\omega_o \approx \frac{g_m}{C} \quad (3.32)$$

y el factor de calidad:

$$Q \approx \frac{C}{(g_m - g_{m5}) + 5g_o} \cdot \omega_o = \frac{g_m}{(g_m - g_{m5}) + 5g_o} \quad (3.33)$$

La conductancia de salida disminuye el factor de calidad, pero a través de g_{m5} , este efecto puede ser compensado. Además, como la conductancia de salida del transconductor es proporcional a su transconductancia, cuando g_{m5} tiende a $(g_m + 4g_o)$, su conductancia de salida g_{o5} también cambia respecto a las otras.

En la Figura 3.15 también están definidos todos los voltajes de control. La tensión $(V_a - V_b)_{fo}$ proporciona la frecuencia central y $(V_a - V_b)_Q$ el factor de calidad. Todas estas tensiones de control son ajustadas manualmente.

Para simplificar la estructura del filtro, se ha utilizado un circuito de modo común CMFB, por nodo. CMFB2 tiene los mismos parámetros de la Tabla 3.2, ya que sólo actúa sobre g_{m3} . El resto de los transconductores están conectados a CMFB1. De esta forma, CMFB1 ha sido rediseñado siguiendo los parámetros de la Tabla 3.5.

$M_9, M_{10}, M_{11}, M_{12}$	60/1
$M_{13}, M_{14}, M_{15}, M_{16}, M_{17}$	80/2
$I_{b,CMFB1}$	$4I_b$

Tabla 3.5 . Parámetros de CMFB1 en el filtro Gm-C.

3.3.3 Consideraciones de diseño

La máxima frecuencia central que se puede alcanzar por un filtro Gm-C viene dada por la expresión [Nau93]:

$$f_{\max} = \frac{g_m}{2 \cdot \pi (C_{in} + C_{out})} \quad (3.34)$$

donde C_{in} y C_o son las capacidades de entrada y de salida del transconductor. Estos parámetros han sido calculados a través de simulaciones en el dominio de la frecuencia, y sus valores son:

$$C_{in} = 236 \text{ fF}$$

$$C_{out} = 162 \text{ fF}$$

Para la transconductancia nominal $g_m = 119 \mu\text{A}/\text{V}$ a $V_a - V_b = 200 \text{ mV}$,

$$f_{\max} \approx 48 \text{ MHz}$$

Este resultado teórico está de acuerdo con las simulaciones realizadas, como muestra la Figura 3.16.

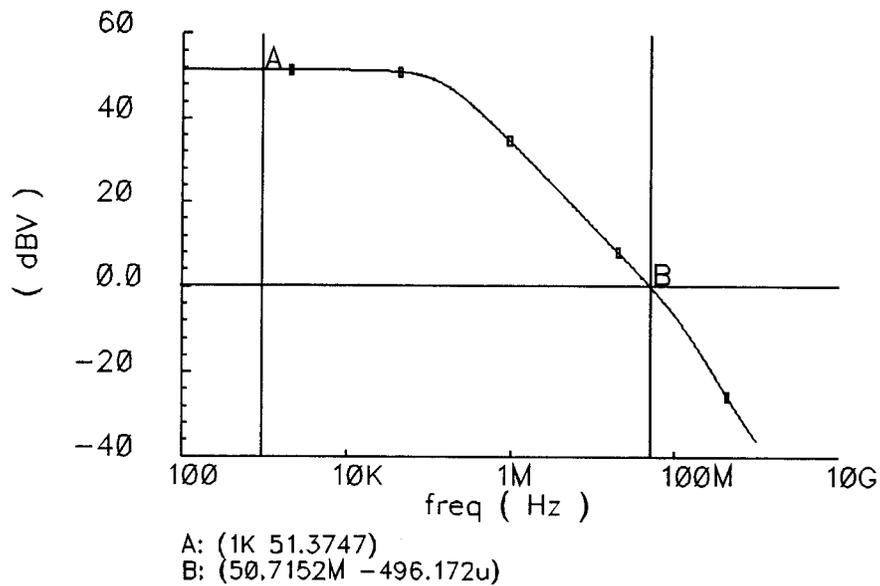


Figura 3.16 . Respuesta en frecuencia usando $C_L = C_{in} + C_{out}$.

Para realizar un diseño exacto, se necesitan conocer las capacidades parásitas en los nodos del filtro. Estos valores no se corresponden con la suma de los valores anteriores, al haberse usado un circuito CMFB por nodo. Los resultados de simulación dan los siguientes valores:

$$\text{Nodo 1 (CMFB1): } C_{par1} = 1.062 \text{ pF}$$

$$\text{Nodo 2 (CMFB2): } C_{par2} = 292 \text{ pF}$$

Para una frecuencia central de 10.7MHz y para la transconductancia nominal, de la ecuación (3.32),

$$C = 1.77 \text{ pF}$$

Considerando las capacidades parásitas C_{par1} y C_{par2} , los valores de las capacidades integradas son:

$$C_1 = C - C_{par1} = 0.714 \text{ pF}$$

$$C_2 = C - C_{par2} = 1.484 \text{ pF}$$

La frecuencia central es ajustada con la tensión $(V_a - V_b)_{fo}$ y entonces, el factor de calidad se obtiene cambiando la transconductancia g_{m5} a través de $(V_a - V_b)_Q$.

3.3.4 Resultados de simulación

La Figura 3.17 y la Figura 3.18 muestran el ajuste de la frecuencia central y del factor de calidad, respectivamente.

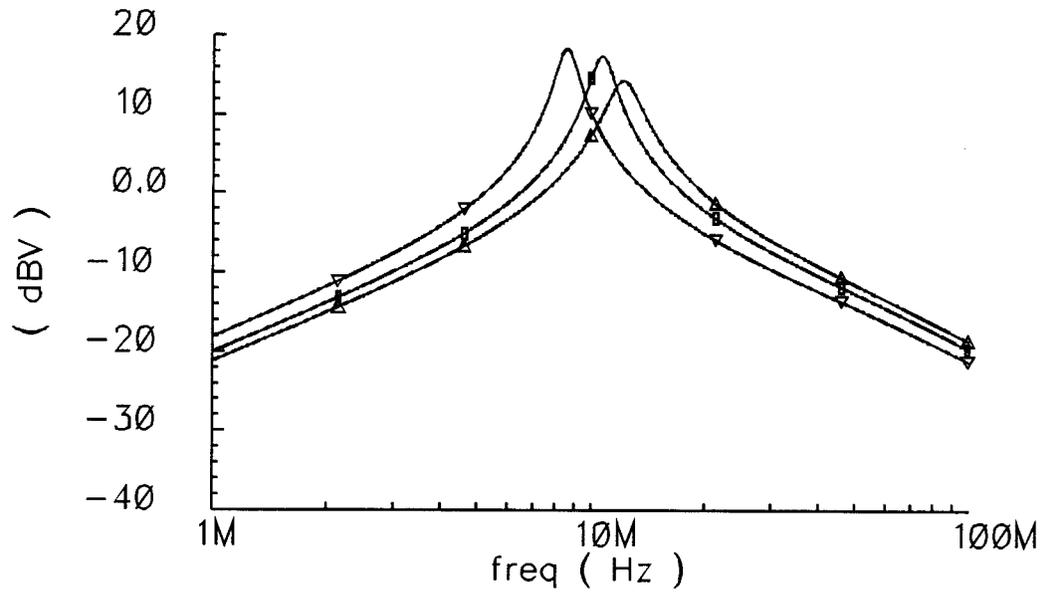


Figura 3.17 . Ajuste de la frecuencia central.

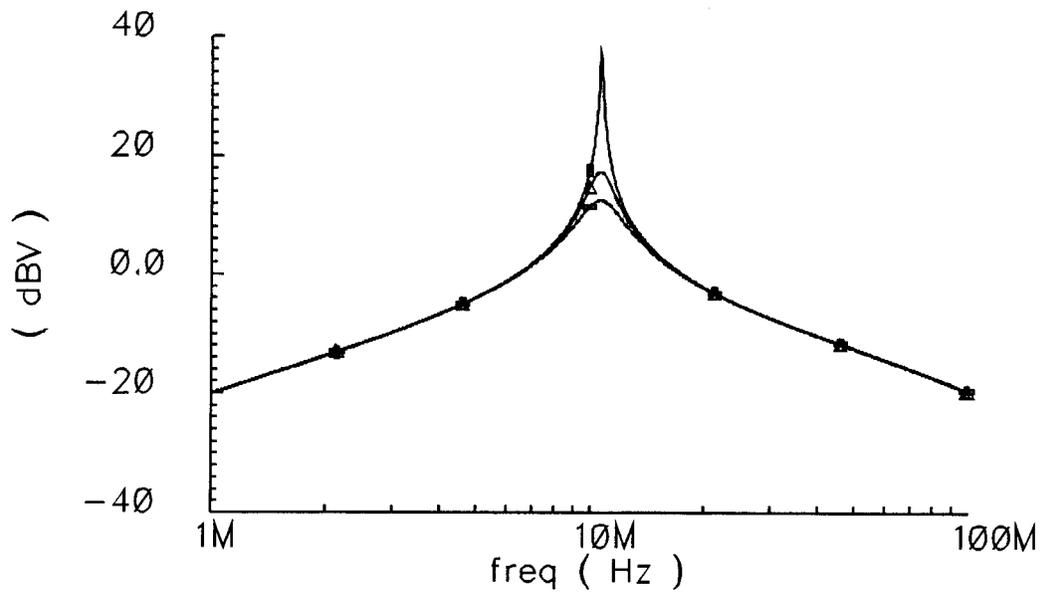


Figura 3.18 . Ajuste del factor de calidad.

Como se puede ver, se obtienen altos factores de calidad a través del control del transconductor g_{m5} . Además, gracias al gran rango de ajuste del transconductor, la frecuencia central puede ser programada en un amplio rango como aparecen en la Figura 3.19.

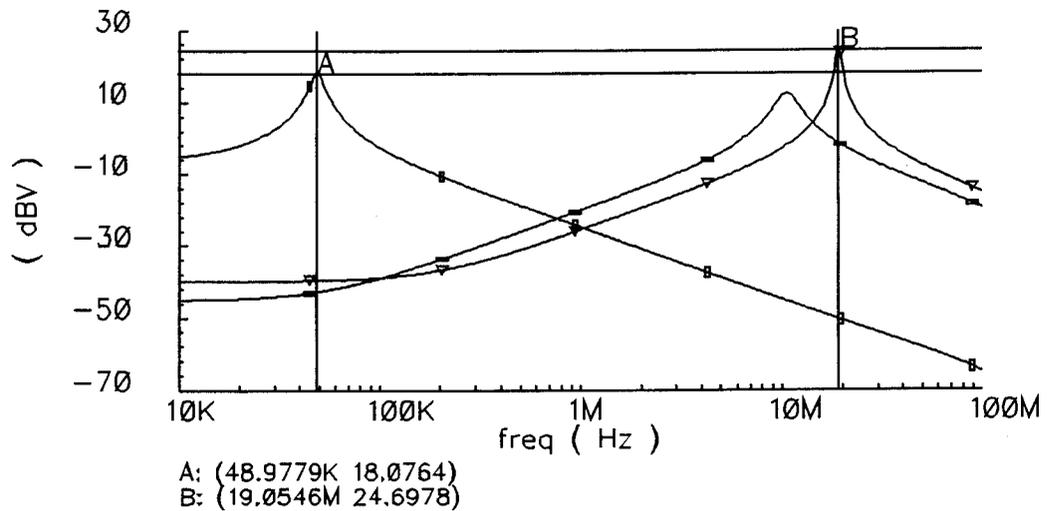


Figura 3.19 . Amplio rango de ajuste de la frecuencia central.

El histograma de la Figura 3.20 muestra el análisis de Monte Carlo de la tensión de modo común en las salidas del filtro. Se observan unas desviaciones máximas de V_{CM} de 30mV, un valor medio de 504mV y una desviación típica de 12mV sobre 630 análisis. No se apreciaron variaciones significativas de la respuesta en frecuencia.

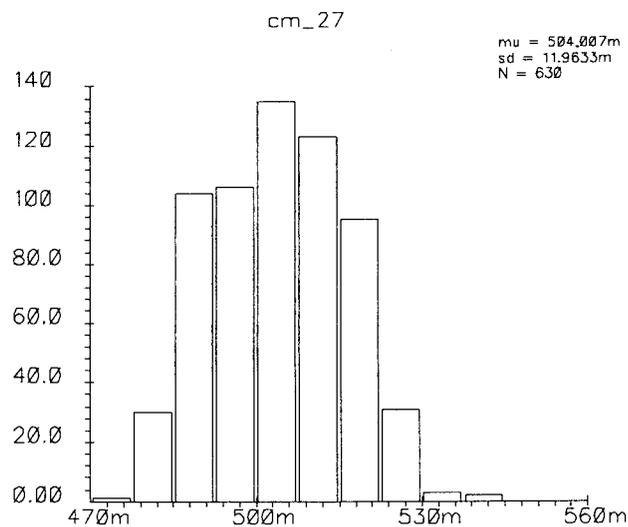


Figura 3.20 . Análisis de Monte Carlo de la tensión de salida de modo común del filtro.

3.3.5 Resultados experimentales

En este apartado, se explican las precauciones que se han llevado a cabo en la realización del layout, así como toda la circuitería necesaria para realizar las medidas del circuito integrado.

3.3.5.1 Consideraciones generales de *layout*

Las diferencias entre componentes dentro de un mismo circuito integrado son provocadas principalmente por la temperatura, gradientes de dopado dentro del silicio, errores en los procesos de litografía y variaciones en los espesores de óxido a lo largo de la oblea. Estos problemas se pueden resolver, dentro de ciertos límites, con un buen layout. El layout juega un papel más importante para altas frecuencias, debido a que las capacidades parásitas y resistencias de las líneas y pads, introducen polos y ceros que pueden modificar la respuesta en frecuencia del circuito.

En general, los *layouts* diseñados en esta Tesis cumplen los siguientes requisitos:

- 1) La alimentación y tierra son realizadas usando amplias líneas que reducen las resistencias parásitas en serie. Como todas estas líneas conducen grandes corrientes, se han colocado múltiples vías en algunas interconexiones. Además, el ancho de todas las líneas se ha implementado con anchos ligeramente más grandes de los mínimos requeridos por las reglas de diseño, para evitar densidades de corrientes inesperadas.
- 2) El latch-up es otro fenómeno que debe ser eliminado de los procesos CMOS. Se han usado anillos de guarda: para los transistores de canal p, regiones n+ conectadas a la tensión de alimentación, salvo los transistores cascodos, en los que se conectan a su terminal de fuente; y para los transistores de canal n, regiones p+ han sido colocadas y conectadas a tierra.

3.3.5.2 Layout del filtro

El filtro Gm-C ha sido fabricado con un proceso CMOS de 0.8 μ m de AMS. Como las desigualdades en los transconductores y en las capacidades conducen a errores de la

respuesta en frecuencia, el *layout* se ha realizado usando un doble macheo: por un lado los transistores internos de cada transconductor, y por otro lado, cada transconductor ha sido dividido en una celda unitaria. En este caso la celda g_m se ha dividido en cuatro celdas unitarias, por lo que el filtro ha sido implementado con veinte transconductores genéricos. También los condensadores ha sido divididos en una capacidad unitaria e interconectados.

El plano del *layout* del filtro se muestra en la Figura 3.21. Como se puede observar todas las celdas de transconductancia y los condensadores forman un *centroide común*.

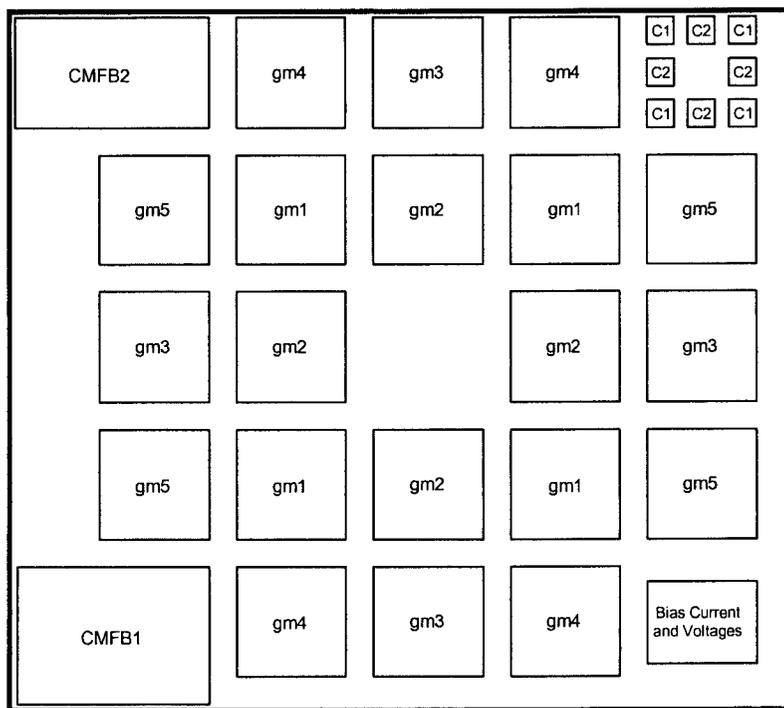


Figura 3.21 . Plano del layout del filtro.

El rectángulo rojo de la Figura 3.22 muestra el layout completo del filtro, y tiene un área de $1420.05\mu m \times 1013.35\mu m = 1.439mm^2$.

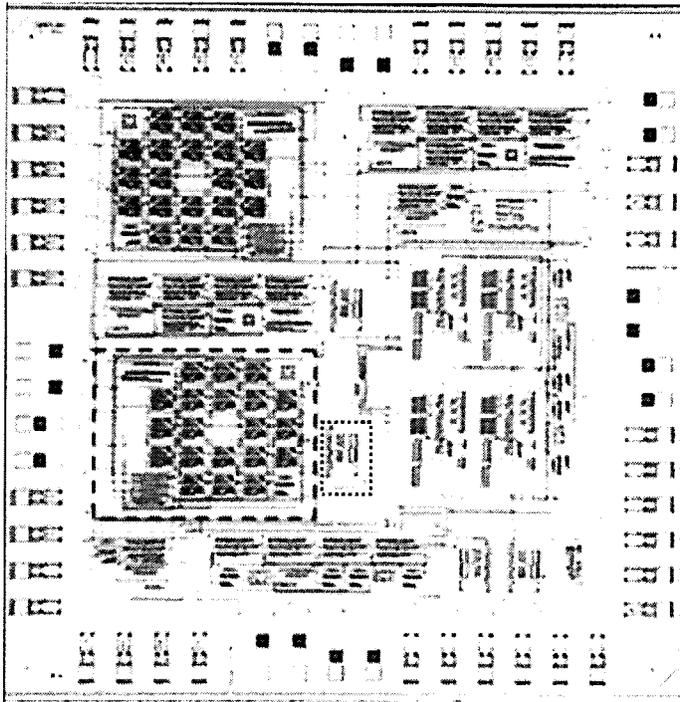


Figura 3.22 . Microfotografía del filtro Gm-C.

3.3.5.3 Sistema de medidas

Dentro del chip se ha integrado un buffer, ilustrado en la Figura 3.22, y que aparece enmarcado en el rectángulo pequeño de la Figura 3.23. Es un simple seguidor de tensión, alimentado con 4V, y que se ha introducido para atacar las capacidades parásitas de los pads. La corriente I_{bias} ha sido escalada de la corriente de polarización del transconductor.

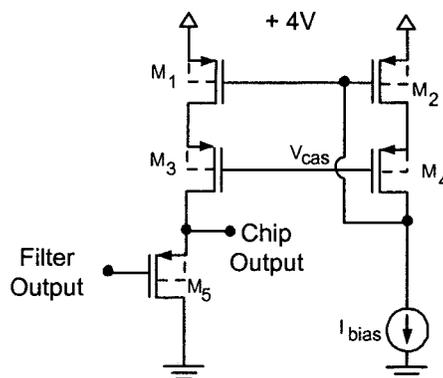


Figura 3.23 . Buffer dentro del chip.

Para medir el comportamiento del filtro, se necesitan generar tanto señales DC como AC totalmente diferenciales:

- Para generar las señales AC de entrada completamente diferenciales, para convertir las señales diferenciales de salida a señales no diferenciales, se han utilizado los transformadores con toma central WB2010-PC, con un gran ancho de banda. El esquema de conversión se muestra en la Figura 3.24. Los condensadores de bloqueo se emplean porque el transformador es un cortocircuito en DC. Además, se han usado dos buffers MAX4204, para reducir el efecto de carga de la circuitería de medida y del instrumento de medida, durante la caracterización del filtro.

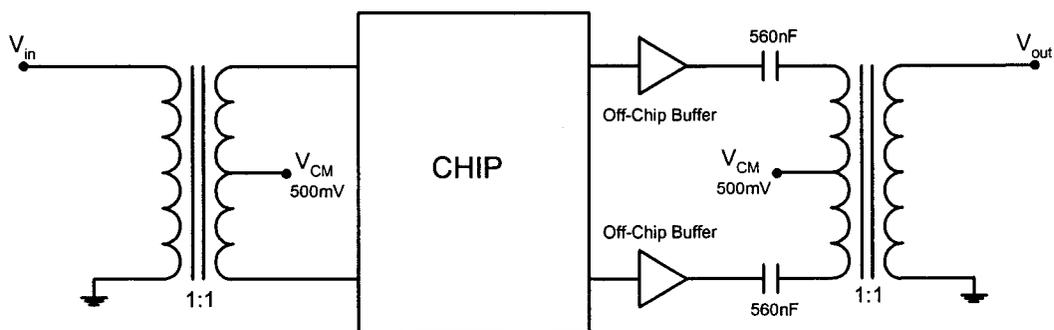


Figura 3.24 . Generación de las señales AC de entrada y de salida.

- Para generar las señales DC completamente diferenciales que controlan la frecuencia central y el factor de calidad, se empleó inicialmente los amplificadores THS4131. Usando estos elementos, los voltajes DC de entrada eran ajustados a través de potenciómetros multivuelta.

Los reguladores típicos L7805 y L7905 generan las tensiones de alimentación de los amplificadores THS4131 y el regulador ajustable LM317 genera las tensiones de +2V y +4V para el filtro y buffer interior, respectivamente. Además, se ha colocado de cada tensión de alimentación a tierra un filtro- π mediante condensadores y las bobinas VK200-3A. La corriente de polarización se ha generado con el regulador LM334.

Todos estos componentes se muestran en la tarjeta de circuito impreso de la Figura 3.25.

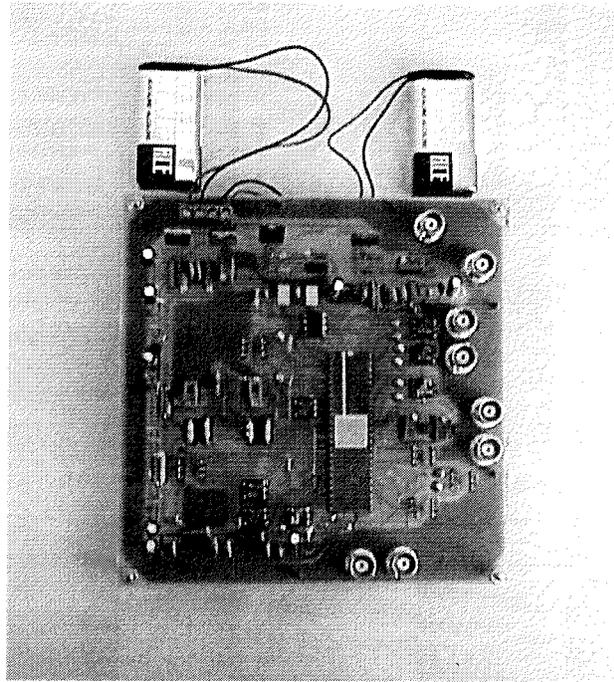


Figura 3.25 . Circuito impreso para medir el filtro.

Sin embargo, como las tensiones DC de control juegan un importante papel en el mecanismo de ajuste del filtro, en lugar de los amplificadores THS4131, se diseñó un nuevo circuito impreso (Figura 3.26) para un control más exacto de los voltajes DC diferenciales.

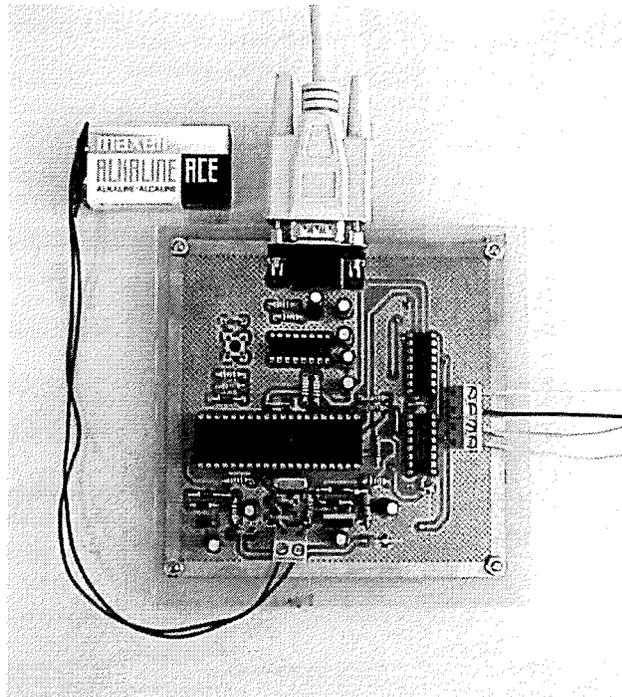


Figura 3.26 . Circuito impreso que genera las tensiones DC de entrada diferenciales.

Esta nueva tarjeta contiene dos convertidores digital/analógico de 12 bits, MAX5156, controlados por el microcontrolador PIC16F877. Este microcontrolador se programa mediante el programa LABVIEW a través del puerto serie. Con esta nueva tarjeta de circuito impreso, se reduce además el ruido generado por los amplificadores THS4131, de forma que la mínima tensión diferencial en DC que se ha podido utilizar para medir el filtro ha sido 40mV.

3.3.5.4 Medidas experimentales

El filtro formado con los veinte transconductores genéricos tiene la ventaja de que todas las celdas están perfectamente macheadas aunque la conexión entre ellas es más complicada. En el sistema de rutado, se han trazado líneas horizontales y líneas verticales entre los distintos transconductores. Como los distintos elementos están relativamente separados, este layout tiene el inconveniente de necesitar más área y de incrementar las capacidades parásitas de las líneas de interconexión. A pesar de este layout más complejo, se ha conseguido medir un amplio rango de variación de la frecuencia central.

Para realizar las medidas del filtro se ha utilizado el analizador de espectros HP E4411B (9kHz-1.5GHz).

La Figura 3.27 representa un amplio rango de ajuste de la frecuencia central desde 3.5MHz a 31MHz. Con objeto de mostrar el control de la frecuencia central a distintas frecuencias, de una forma más detallada, se muestra en la Figura 3.28 (en torno a 700kHz), Figura 3.29 (en torno a 10.7MHz) y la Figura 3.30 (en torno a 30MHz). La máxima frecuencia central que se ha medido es 32MHz.

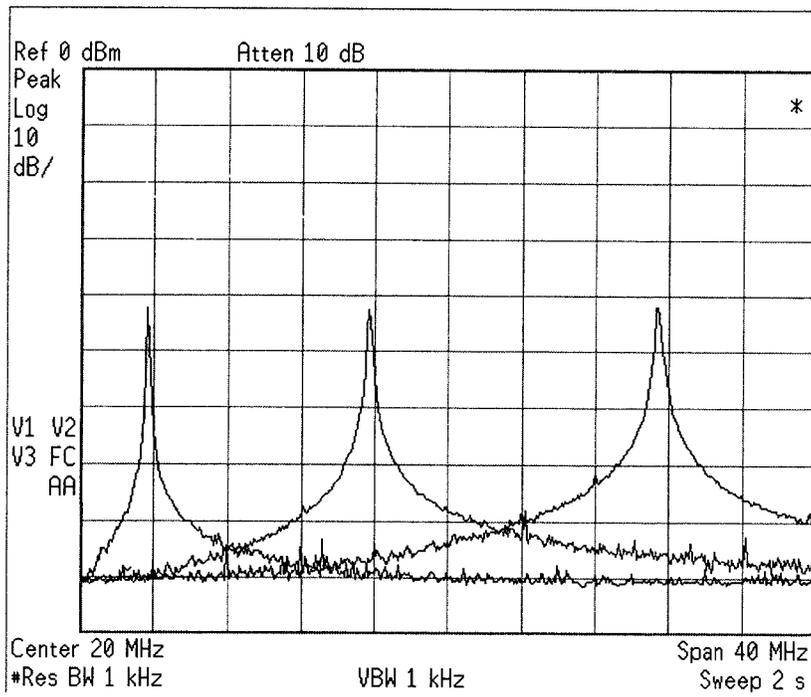


Figura 3.27 . Amplio rango de ajuste de la frecuencia central del filtro.

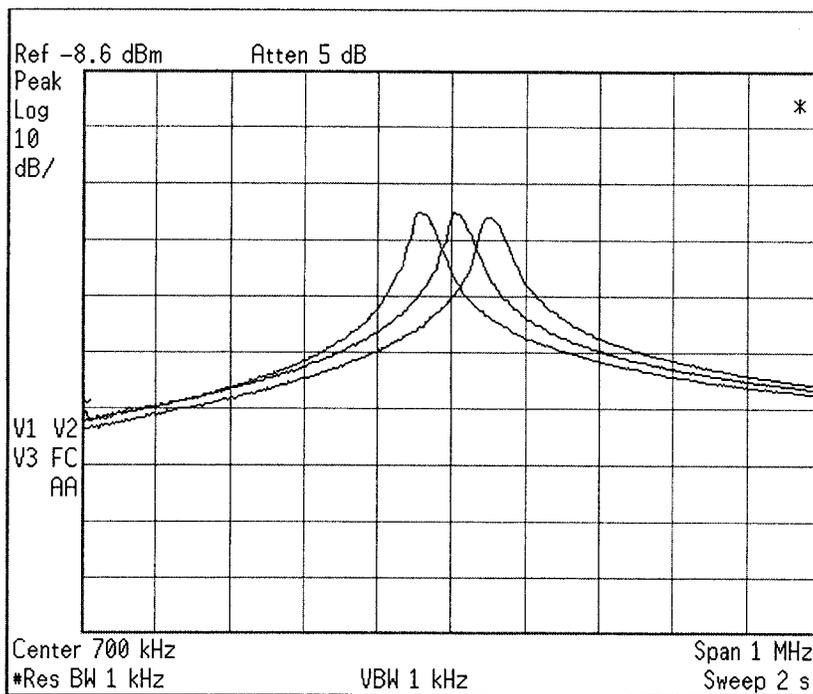


Figura 3.28 . Control de la frecuencia central en torno a 700kHz.

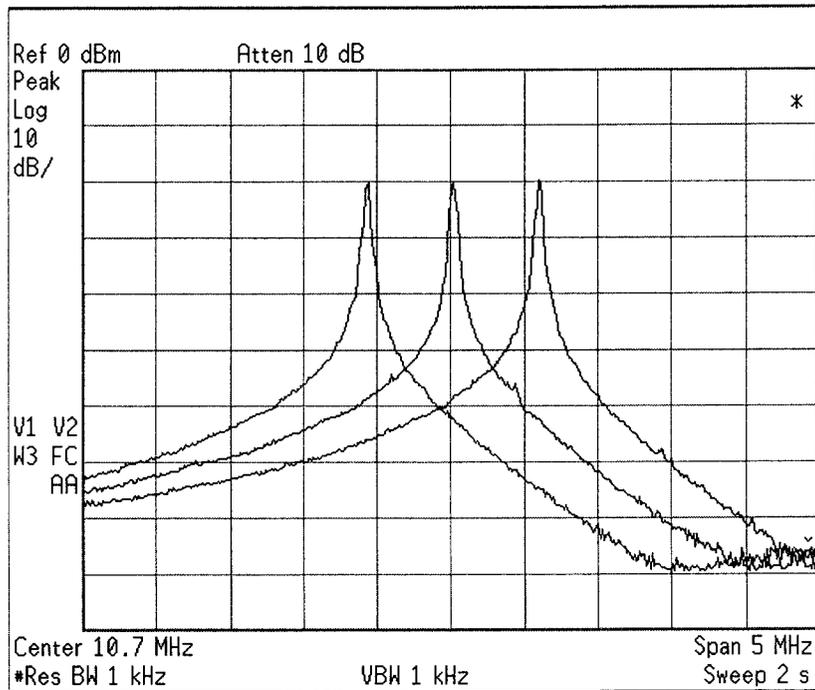


Figura 3.29 . Control de la frecuencia central en torno a 10.7MHz.

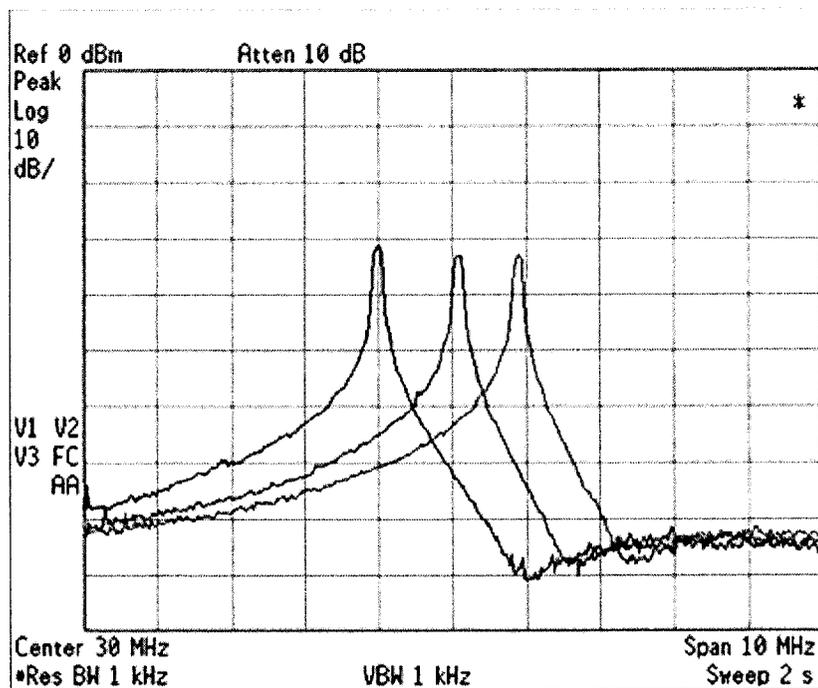


Figura 3.30 . Control de la frecuencia central en torno a 30MHz.

El control de calidad también se puede controlar como se observa en la Figura 3.31 y en la Figura 3.32.

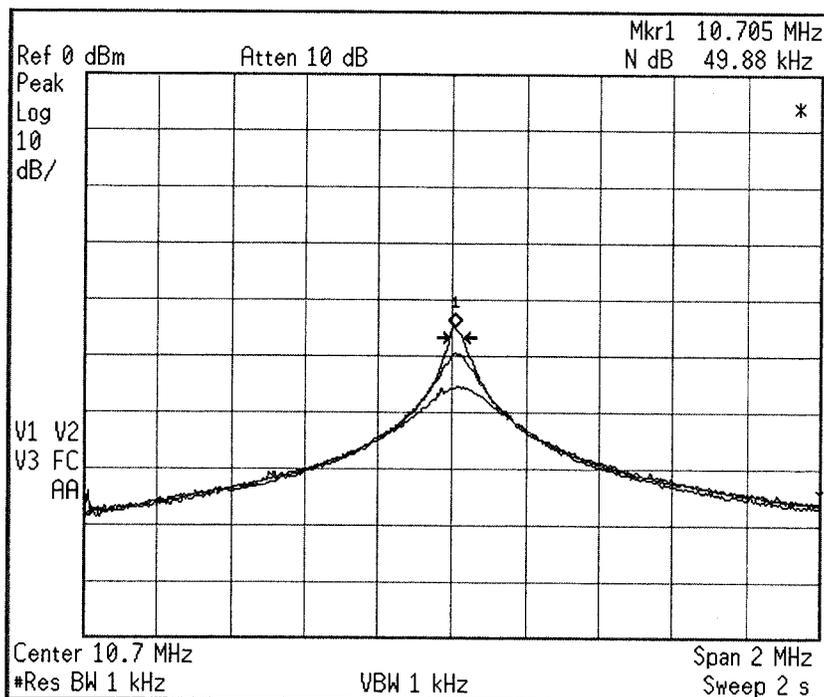


Figura 3.31 . Control del factor de calidad en 10.7MHz.

Como se puede observar en esta figura, la marca indica un ancho de banda de 49.88kHz y, de acuerdo con la ecuación (3.24), el factor de calidad vale aproximadamente 215. Estos valores se han obtenido con una tensiones de control de $(V_a - V_b)_{f_0} = 205mV$ y $(V_a - V_b)_Q = 200mV$. Las otras dos curvas de la Figura 3.31 corresponde con $(V_a - V_b)_Q = 190mV$ y $(V_a - V_b)_Q = 170mV$. Si observamos atentamente estas curvas, se aprecia que la frecuencia central se ha incrementado ligeramente. Esto se debe a los efectos de segundo orden recogido en la (3.29): cuando la transconductancia g_{m5} cambia por medio de $(V_a - V_b)_Q$, modifica la frecuencia central.

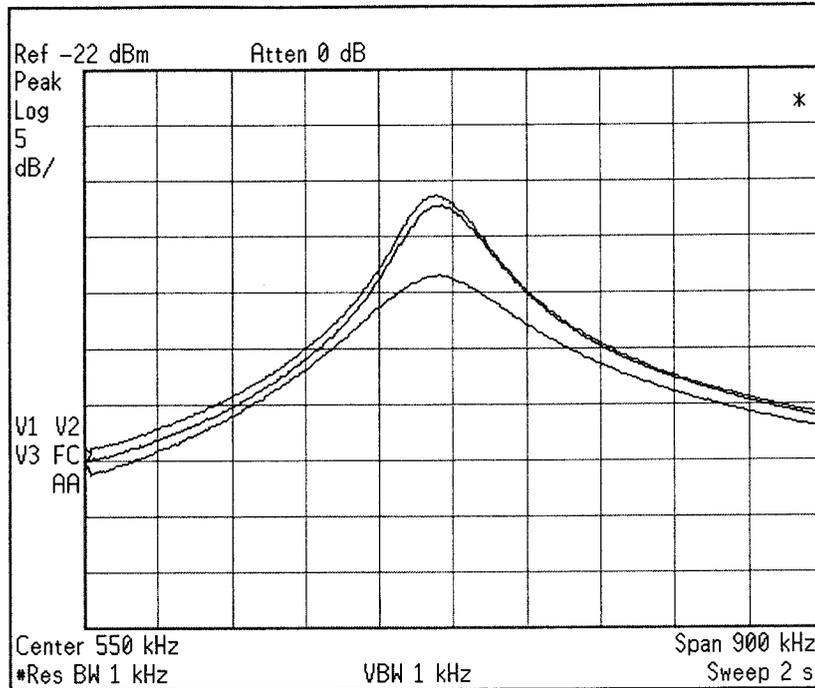


Figura 3.32 . Control del factor de calidad en 550kHz.

A bajas frecuencias es difícil obtener altos factores de calidad, como se demostró en la ecuación (3.31). El máximo factor de calidad que se ha medido es 267 (para una frecuencia central de 26.73MHz y un ancho de banda de 99.75kHz), y se muestra en la Figura 3.33 .

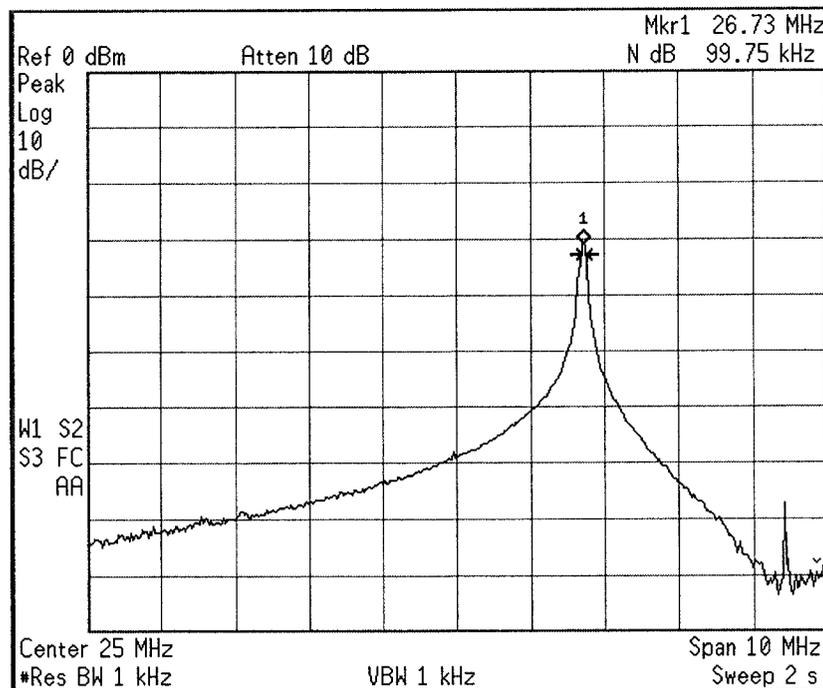


Figura 3.33 . Máximo factor de calidad medido.

Se puede observar el excelente funcionamiento del filtro entre 500kHz y 32MHz. Sin embargo, cuando se ha intentado controlar el filtro a frecuencias más bajas, se produce una interacción con el espectro negativo debido a los bajos factores de calidad. Este efecto aparece reflejado en la Figura 3.34 donde la mínima frecuencia central que se ha medido es 325kHz con $(V_a - V_b)_{fo} = 40mV$.

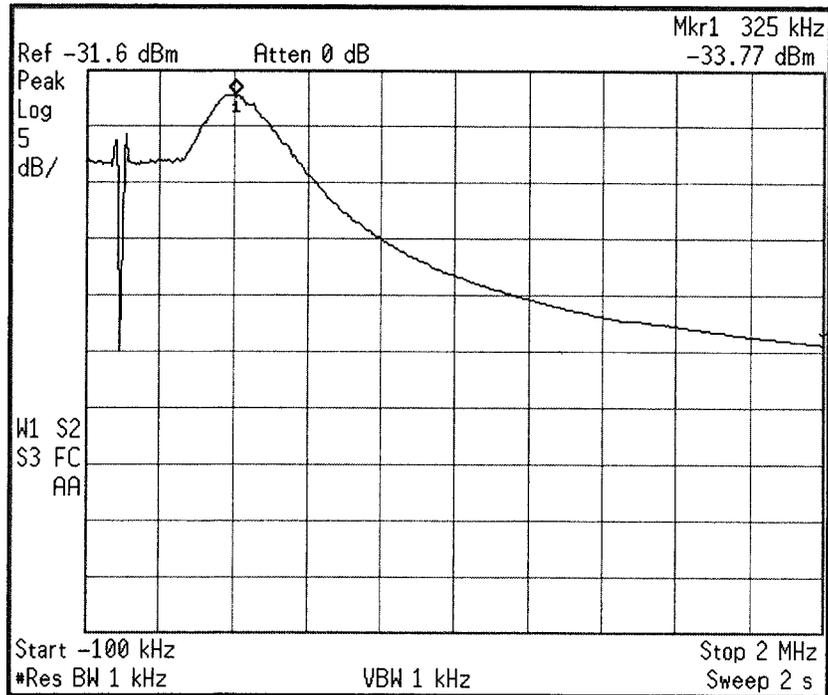


Figura 3.34 . Mínima frecuencia central medida.

En la Figura 3.35 se representa la estabilidad de las tensiones de salida de modo común en todo el rango de ajuste (esta gráfica se ha obtenido cambiando $(V_a - V_b)_{fo}$, $(V_a - V_b)_Q$ al mismo tiempo). El valor teórico de ambas salidas es $V_{o,CM} = 500mV$, pero debido al buffer integrado en el chip, este valor es $V_{CM} + |V_{TP}| + V_{DS,sat}$. Se han medido pequeñas diferencias entre los dos nodos de salida $V_{o,CM}^+$ y $V_{o,CM}^-$. El rango de control es 40mV-450mV. La máxima desviación medida sobre todo el rango es 28mV (1.780V – 1.808V en $V_{o,CM}^+$).

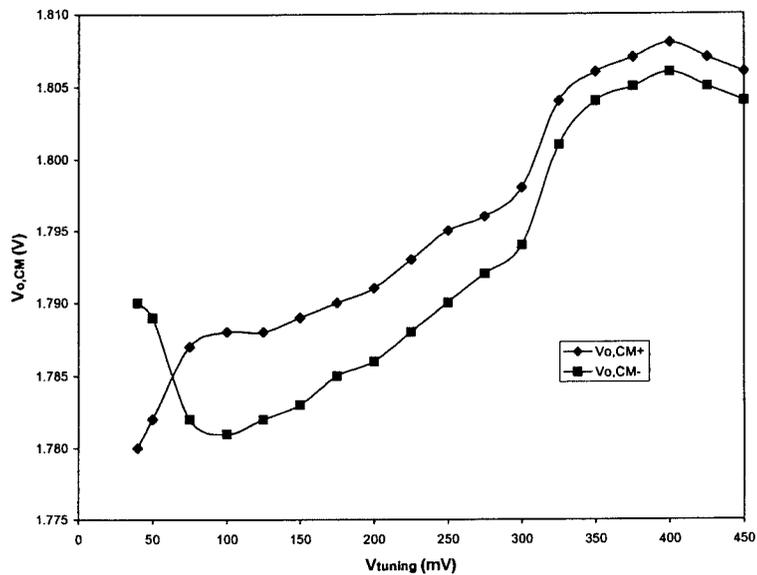


Figura 3.35 . Tensión de salida de modo común a la salida del filtro frente a las tensiones de control V_{tuning} .

El consumo quiescente del filtro cambia entre 1.18mW y 1.8mW en todo el rango de control. A la tensión nominal de V_{tuning} , el consumo es de 1.33mW. La distorsión medida es una THD de -40dB a 10.7MHz para una amplitud de 200mV_{pp} .

La Tabla 3.6 recoge los resultados experimentales del filtro.

Alimentación	2V
Área	1.439mm ²
Rango de f_0	325kHz-32MHz
Rango de Q	1-267
Variación de $V_{o,CM}$	28mV
Consumo	1.18mW-1.8mW
THD (10.7MHz)	- 40dB

Tabla 3.6 . Resultados experimentales del filtro.

3.3.6 Conclusiones

Se ha fabricado un filtro Gm-C paso banda de segundo orden con una frecuencia central de 10.7MHz, usando como integrador el transconductor FVFDP propuesto en la sección 3.2. El filtro fue integrado en tecnología 0.8 μm CMOS. Dos tensiones externas controlan su frecuencia central y su factor de calidad. Se han proporcionado tanto resultados de

simulación como resultados experimentales para demostrar la validez del filtro propuesto en aplicaciones de baja tensión y bajo consumo. Debido al gran rango de control de la transconductancia del transconductor propuesto, la frecuencia central del filtro puede ser controlada en un rango de dos décadas, 325kHz-32MHz con factores de calidad entre 1 y 267. Las tensiones de modo común a la salida tienen una desviación máxima de 28mV sobre el rango de ajuste. Se ha conseguido un óptimo compromiso entre consumo, ancho de banda y rango dinámico.

3.4 Segunda aplicación: osciladores controlados por tensión

Esta sección presenta un oscilador controlado por tensión de bajo consumo, compuesto por el amplificador operacional de transconductancia propuesto en la sección 3.2 y por condensadores (OTA-C). En primer lugar, se explican algunos conceptos básicos sobre el diseño de osciladores senoidales controlados por tensión, para posteriormente, describir la arquitectura empleada, la influencia de los elementos parásitos en el funcionamiento del circuito y las consideraciones de diseño. Con objeto de ver las posibilidades del transconductor basado en la celda FVFDP, se diseñan dos osciladores: el primero de ellos con un control de la frecuencia de oscilación de dos décadas, y el segundo de ellos, es un oscilador de muy alta frecuencia, diseñado para determinar el máximo comportamiento en frecuencia del transconductor. Finalmente, se presentan los resultados de simulación y los resultados experimentales.

3.4.1 Conceptos básicos

El diseño de osciladores senoidales controlados por tensión es un problema clásico en sistemas de comunicaciones, instrumentación, medidas, etc. Como se ha demostrado, los circuitos basados en OTA-C presentan varias ventajas para el diseño de circuitos analógicos de alta frecuencia en tiempo continuo: el excelente comportamiento del OTA para aplicaciones de alta frecuencia y la posibilidad de controlar su transconductancia.

Los osciladores senoidales están compuestos básicamente de un circuito lineal que establece la frecuencia de oscilación y un mecanismo no lineal para estabilizar la amplitud.

Un oscilador OTA-C puede ser descrito de forma ideal por la siguiente ecuación característica de segundo orden:

$$s^2 - bs + \omega_o^2 = 0 \quad (3.35)$$

donde ω_o es la frecuencia de oscilación y b establece la condición inicial de oscilación. Los parámetros b y ω_o dependen de la transconductancia del OTA g_m y de las capacidades.

Idealmente, para que la oscilación empiece y sea estable, se necesita satisfacer la condición $b=0$. Sin embargo, en la realidad, los polos son desplazados de sus posiciones nominales ($s_p = \pm j\omega_o$) hacia el semiplano derecho o izquierdo, debido a la influencia de los elementos parásitos. Por esta razón, el oscilador debe ser diseñado para tener sus polos inicialmente en el semiplano derecho ($b > 0$) y asegurar la condición inicial de oscilación.

El principal objetivo de diseño es conseguir un control separado de los parámetros b y ω_o . Existen varias implementaciones posibles [Lin91], que relacionan ambos parámetros y provocan un compromiso entre complejidad y grados de libertad.

En los últimos años, se han diseñado diferentes circuitos para controlar la amplitud de la oscilación usando resistencias negativas y un control automático de ganancia. El método usado en este trabajo, que es la forma más simple de realizarlo, emplea la característica no lineal de saturación del OTA [Lin91], [Lim02].

3.4.2 Estructura del oscilador

La arquitectura elegida para diseñar el oscilador aparece en la Figura 3.36. Se basa en una estructura diferencial compuesta por dos integradores: un integrador no inversor ($g_{m1}-C_1$) y un integrador inversor ($g_{m2}-C_2$). Los OTAs g_{m3} y g_{m4} se colocan para asegurar que los polos estén en el semiplano derecho.

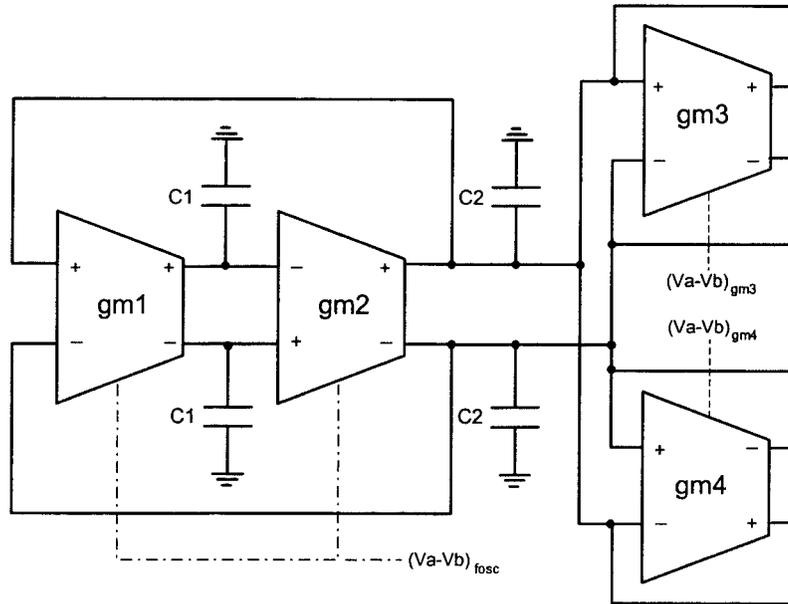


Figura 3.36 . Topología del oscilador OTA-C controlado por tensión.

La principal ventaja de esta topología es que idealmente, no hay relación entre los parámetros b y ω_o :

$$b = \frac{g_{m3} - g_{m4}}{C_2} \quad (3.36)$$

$$\omega_o = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \quad (3.37)$$

Como se puede observar, variando g_{m3} y g_{m4} se determina b y cambiando g_{m1} y g_{m2} se determina ω_o .

Ajustando g_{m3} y g_{m4} , los polos son colocados cerca del eje imaginario pero en el semiplano derecho, de forma que el circuito es inestable y comienza a oscilar. El correcto funcionamiento del oscilador se garantiza por la característica no lineal de saturación del OTA, cuyo efecto es empujar los polos hacia el eje imaginario hasta que finalmente lo alcanzan para algún valor de amplitud A_o . En este momento, se produce una oscilación estable de frecuencia ω_o y amplitud A_o .

El oscilador controlado por tensión es diseñado utilizando el transconductor FVFDP de la Figura 3.7. Como ya se discutió, la tensión diferencial de entrada V_{tuning} puede ajustar la transconductancia g_m linealmente. Por tanto, la frecuencia de oscilación ω_o en la ecuación

(3.37) y la condición inicial de oscilación b en la ecuación (3.36) pueden ser controladas a través de la tensión V_{tuning} .

Un importante desafío en el diseño de VCOs es conseguir alta frecuencia de operación con un consumo de potencia razonable. El transconductor utilizado, puede alcanzar este requisito debido a su comportamiento clase AB y a la celda FVFDP. Además, el transconductor tiene un gran rango de control de su transconductancia lo que puede proporcionar un elevado rango de oscilación.

En la práctica, a altas frecuencias, los siguientes elementos parásitos se deben tener en cuenta para obtener un diseño óptimo: conductancia de salida, capacidades de entrada y salida, y dependencia de la transconductancia con la frecuencia.

En el transconductor empleado, existe una dependencia entre la conductancia de salida g_o y la transconductancia g_m . Esto se debe a que ambos parámetros depende de las corrientes que circulan por los transistores M_1 - M_4 . Además, para altas frecuencias de oscilación, se necesitan grandes valores de g_m , que requiere transistores de gran tamaño contribuyendo de forma generosa al incremento de las capacidades parásitas del transconductor.

La dependencia entre la frecuencia de trabajo y la transconductancia se debe a las capacidades parásitas de los nodos internos del transconductor. Estos nodos son de baja impedancia produciendo polos de alta frecuencia. En el transconductor de la sección 3.2, los transistores cascos, producían un nodo interno y limitaban la respuesta en frecuencia.

Considerando estos elementos parásitos, las ecuaciones características del oscilador de la Figura 3.36, son modificadas por:

$$b = \frac{(g_{m3} - g_{m4} - g_{o2} - g_{o3} - g_{o4})C_{L1} - g_{o1}C_{L2}}{C_{L1}C_{L2}} \quad (3.38)$$

$$\omega_o^2 = \frac{g_{m1}g_{m2} + g_{o1}(g_{m4} - g_{m3} + g_{o2} + g_{o3} + g_{o4})}{C_{L1}C_{L2}} \quad (3.39)$$

donde g_{oi} es la conductancia de salida del transconductor i .

Los condensadores C_{L1} y C_{L2} incluyen las capacidades parásitas de entrada C_i y de salida C_o de cada transconductor. Por tanto, las expresiones para estos condensadores son:

$$C_{L1} = C_1 + C_{o1} + C_{i2}$$

$$C_{L2} = C_2 + C_{o2} + C_{o3} + C_{o4} + C_{i1} + C_{i3} + C_{i4}$$

C_1 y C_2 son los condensadores integrados.

Ahora, la condición inicial para que comience la oscilación, producida cuando $b > 0$, es:

$$g_{m3} > g_{m4} + g_{o2} + g_{o3} + g_{o4} + \frac{g_{o1} C_{L2}}{C_{L1}} \quad (3.40)$$

3.4.3 Oscilador de dos décadas

Para eliminar la dependencia entre la transconductancia y la frecuencia de oscilación, producida por los nodos internos del transconductor, los transistores cascos M_{cas} en la Figura 3.7 se han eliminado. En la Figura 3.13, se mostraba la respuesta en frecuencia del transconductor sin cascos apareciendo un segundo polo a frecuencias por encima del GHz. De esta forma el oscilador fue rediseñado con los parámetros de la Tabla 3.7.

Transistor	W/L ($\mu\text{m}/\mu\text{m}$)
M_1, M_2, M_3, M_4	60/2
M_a, M_b	25/1
M_5, M_6	200/2
M_{5C}, M_{6C}	100/2
M_{CP}	50/1
M_{7a}, M_{7b}, M_{7c}	30/1
M_{8a}, M_{8b}, M_{8c}	20/2
$M_9, M_{10}, M_{11}, M_{12}$	15/1
$M_{13}, M_{14}, M_{15}, M_{16}, M_{17}$	20/2
Voltajes y corriente	
V_{DD}	2V
V_{casn}	1.25V
V_{CM}	0.5V
I_b	10 μ A

Tabla 3.7 . Parámetros de diseño del transconductor para el oscilador de dos décadas.

3.4.3.1 Diseño del circuito y resultados de simulación

El método de diseño se basa en usar todos los transconductores (g_{m1} , g_{m2} , g_{m3} y g_{m4}) completamente machedados. Además, se utilizan tres tensiones de control, como se muestra en la Figura 3.36:

1. La tensión diferencial $(V_a - V_b)_{fosc}$ ajusta la frecuencia de oscilación ω_o por medio de los transconductores g_{m1} y g_{m2} ,
2. La tensión diferencial $(V_a - V_b)_{gm3}$ establece la condición inicial de oscilación a través del transconductor g_{m3} .
3. El transconductor g_{m4} ha sido programado a un valor de transconductancia fija por la tensión diferencial $(V_a - V_b)_{gm4}$.

Se podría utilizar un método de diseño alternativo, aplicando la misma tensión de control a todos los transconductores [Lim02] y modificar la transconductancia de g_{m3} cambiando el tamaño de los transistores de entrada, para que sea mayor que la transconductancia de g_{m1} , g_{m2} y g_{m4} .

El control de la frecuencia de oscilación se muestra en la Figura 3.37 para tres valores distintos de la transconductancia de g_{m3} . Para una tensión $(V_a - V_b)_{fosc}$ desde 5mV a 500mV, la transconductancia cambia entre 3.3 μ A/V y 310 μ A/V, y la frecuencia de oscilación desde 200kHz a 21.5MHz. La transconductancia de g_{m4} se ha fijado a 135 μ A/V con tensión de $(V_a - V_b)_{gm4} = 200$ mV. Para la misma transconductancia de g_{m1} y g_{m2} , la frecuencia de oscilación disminuye cuando g_{m3} crece (ecuación (3.39)). Se puede observar, cómo a medida que g_{m3} se incrementa, la linealidad entre la frecuencia de oscilación y la tensión de control empeora.

En la Figura 3.37, el valor de g_{m3} crece continuamente cuando la frecuencia de oscilación también lo hace. La transconductancia de g_{m3} para establecer la condición inicial de oscilación es distinta para cada frecuencia de oscilación. Este resultado es esperado ya que los efectos parásitos descritos en la ecuación (3.38) muestran la dependencia entre la transconductancia y la conductancia de salida. De esta forma, las tres curvas de la figura se han obtenido incrementando el valor de g_{m3} , pero usando tres valores iniciales diferentes (145 μ A/V, 150 μ A/V y 155 μ A/V).

Los valores de los condensadores son $C_1=C_2=1\text{pF}$. Las capacidades parásitas de entrada y de salida se han medido a través de simulaciones en el dominio de la frecuencia, y los valores obtenidos son: $C_i=370\text{fF}$ y $C_o=277\text{fF}$.

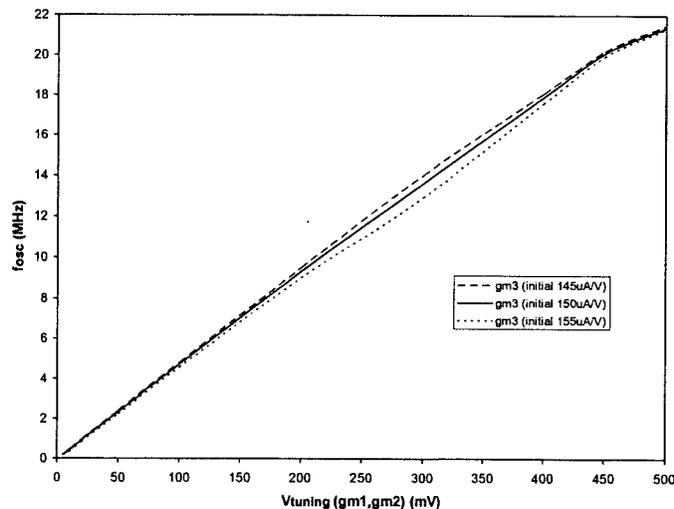


Figura 3.37 . Control de la frecuencia de oscilación y efecto de la transconductancia g_{m3} sobre la frecuencia.

La amplitud está limitada por la característica no lineal del transconductor g_{m3} . Inicialmente la transconductancia de g_{m3} es mayor que la de g_{m4} , pero cuando la amplitud alcanza un valor tal que el transconductor g_{m3} se sale de su rango lineal, su transconductancia decrece hasta que se cumple la condición de la ecuación (3.40). En este momento, se obtiene el máximo valor de la amplitud. De esta forma, a través de la transconductancia de g_{m3} , se controla la amplitud de oscilación. El transconductor g_{m3} , debe limitar la amplitud antes de que g_{m1} y g_{m2} se salgan de su rango lineal.

En la Figura 3.38 se representa el control de la amplitud de la tensión de salida (V_{pp}) para una frecuencia de oscilación $f_o=20\text{MHz} \Leftrightarrow (V_a - V_b)_{fosc} = 450\text{mV}$. Se puede observar, cómo la amplitud puede ser controlada en un amplio rango.

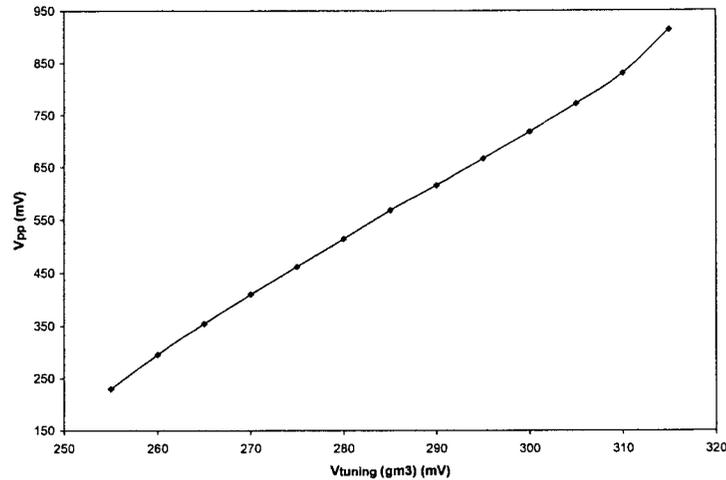


Figura 3.38 . Control de la amplitud.

El consumo de potencia quiescente cambia entre 1.05mW y 1.52mW en el rango de oscilación 200kHz – 21.5MHz. La THD es del 1% para una señal de frecuencia 2MHz y una tensión $V_{pp}=450\text{mV}$. Todos los resultados de simulación se recogen en la Tabla 3.8.

V_{DD}	2V
$(V_{\text{tuning}})_{\text{fosc}}$	5mV-500mV
Δg_m	3.3 $\mu\text{A/V}$ -310 $\mu\text{A/V}$
Δf_o	200kHz-21.5MHz
Consumo	1.05mW-1.52mW
THD@2MHz, 450mV _{pp}	1%

Tabla 3.8 . Resultados de simulación del oscilador de dos décadas.

3.4.3.2 Resultados experimentales

Estas medidas se han realizado de la misma forma que en el caso del filtro Gm-C. El layout se ha hecho siguiendo las condiciones generales de diseño de la sección 3.3.5.1 y el proceso de medida siguiendo el procedimiento de la sección 3.3.5.3 con placas de circuito impreso similares a las de la Figura 3.25 y la Figura 3.26. La única diferencia, es que en este caso se necesitan tres tensiones externas de control, lo que afecta al número de amplificadores THS4131 o de convertidores digital/analógico MAX5156.

El circuito fue integrado también en tecnología CMOS de 0.8 μm y dentro del mismo chip que el filtro. La Figura 3.39 es una microfotografía donde el rectángulo rojo muestra la

zona ocupada por el oscilador, y cuya área es $1563.85\mu\text{m} \times 401.75\mu\text{m} = 0.628\text{mm}^2$. También, se ha integrado un buffer dentro del chip por los mismos motivos explicados en el filtro.

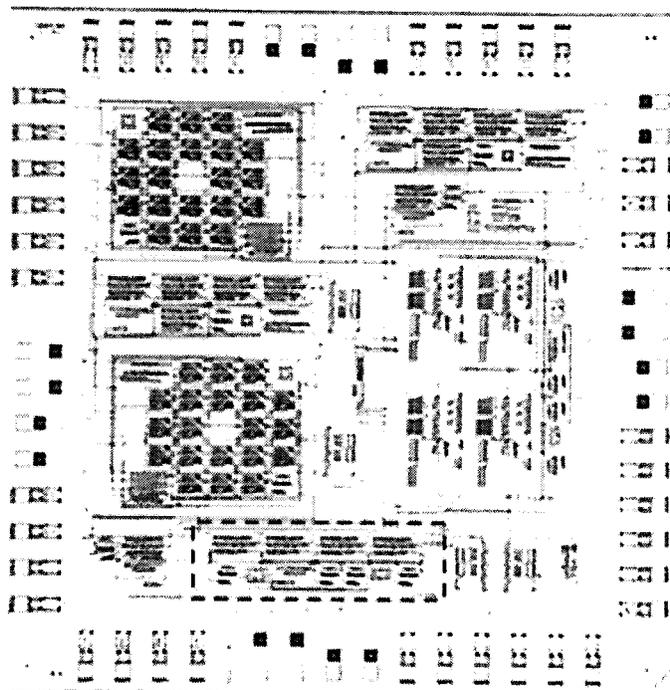


Figura 3.39 . Microfotografía del oscilador de dos décadas.

La Figura 3.40 representa la variación de la frecuencia de oscilación frente a la tensión de control $(V_a - V_b)_{fosc}$. Experimentalmente, se ha obtenido un rango de oscilación entre 1MHz y 22.8MHz.

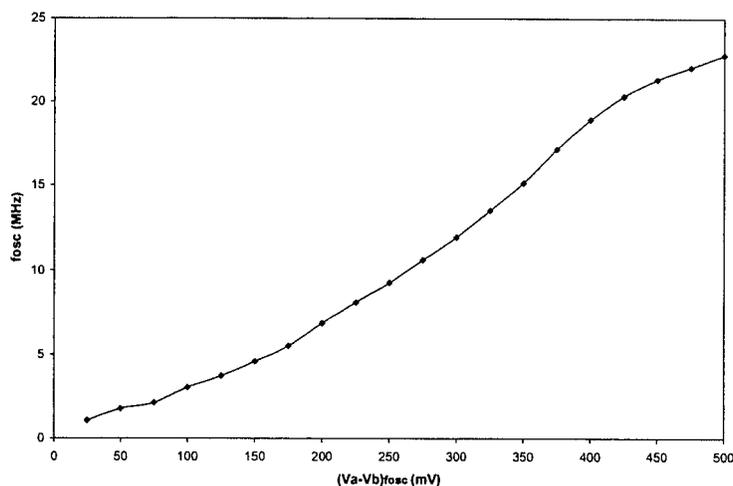


Figura 3.40 . Frecuencia de oscilación medida frente a la tensión de control.

La principal diferencia encontrada en los resultados experimentales respecto de los resultados de simulación, es que la condición inicial de oscilación ha cambiado: ahora $(V_a - V_b)_{gm4} = 200\text{mV}$ pero $(V_a - V_b)_{gm3} = 350\text{mV}$ debido a los elementos parásitos, que afectan además a la linealidad de la Figura 3.40.

La Figura 3.41 muestra el espectro de una señal de frecuencia 22.8MHz, que es la máxima frecuencia que se ha conseguido medir, con una THD del 1.07% para una tensión $V_{pp} = 200\text{mV}$.

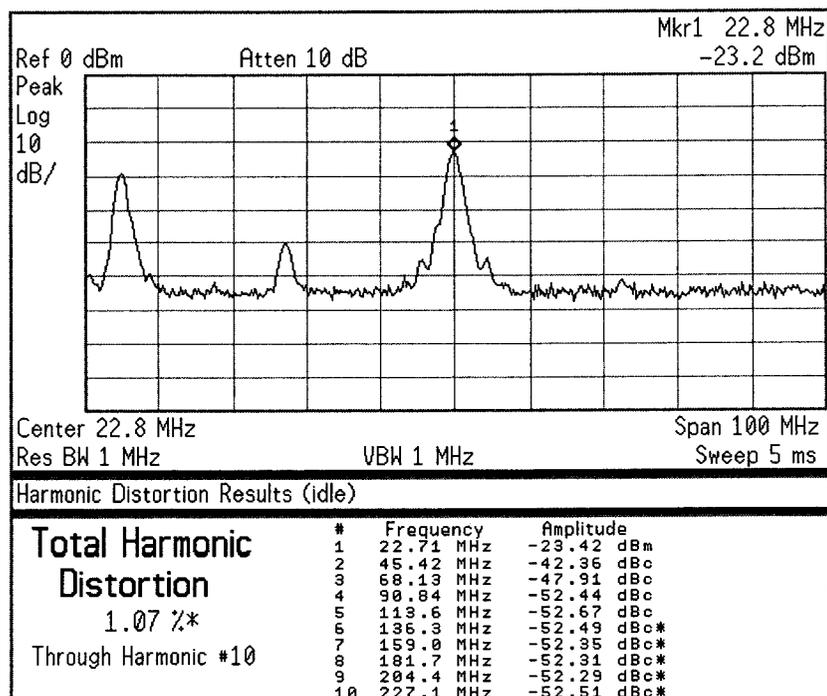


Figura 3.41 . Espectro de la señal de salida a 22.8MHz.

La Figura 3.42 muestra el espectro de una señal de frecuencia 1MHz con una tensión $V_{pp} = 200\text{mV}$.

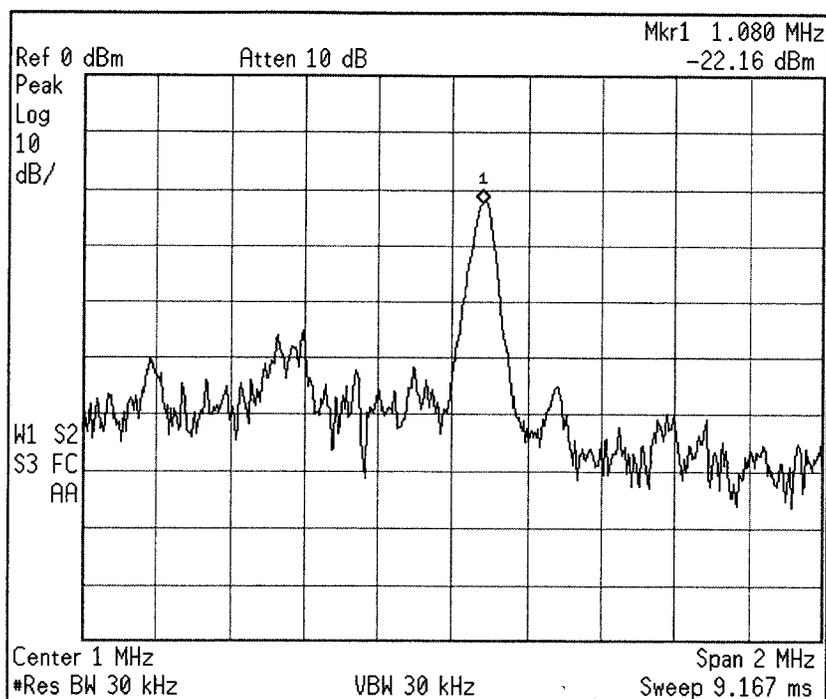


Figura 3.42 . Espectro de la señal de salida a 1MHz.

Los resultados experimentales se recogen en la Tabla 3.9.

V_{DD}	2V
$(V_{tuning})_{fosc}$	5mV-500mV
Δg_m	3.3 μ A/V-310 μ A/V
Δf_{osc}	1MHz-22.8MHz
Consumo	1.05mW-1.52mW
THD@22.8MHz, 200mV _{pp}	1.07%

Tabla 3.9 . Resultados experimentales del oscilador de 2 décadas.

3.4.4 Oscilador de muy alta frecuencia

Con intención de comprobar el comportamiento del transconductor, diseñado en la sección 3.2, a frecuencias muy elevadas, se ha implementado un nuevo oscilador siguiendo el mismo método de diseño del oscilador de dos décadas.

El transconductor se ha rediseñado con los parámetros de la Tabla 3.10.

Transistor	W/L($\mu\text{m}/\mu\text{m}$)
M_1, M_2, M_3, M_4	300/1
M_a, M_b	25/1
M_5, M_6	2000/2
M_{5C}, M_{6C}	1000/2
M_{CP}	350/2
M_{7a}, M_{7b}, M_{7c}	300/1
M_{8a}, M_{8b}, M_{8c}	200/2
$M_9, M_{10}, M_{11}, M_{12}$	15/1
$M_{13}, M_{14}, M_{15}, M_{16}, M_{17}$	20/2
Tensiones y corriente	
V_{DD}	2V
V_{casn}	1.25V
V_{CM}	0.5V
I_b	10 μA

Tabla 3.10 . Parámetros del transconductor para el oscilador de muy alta frecuencia.

3.4.4.1 Resultados experimentales

Este oscilador de muy alta frecuencia ha sido integrado en tecnología CMOS de $0.8\mu\text{m}$ y en el mismo chip que el filtro y el oscilador de dos décadas. La Figura 3.43 es una microfotografía del chip donde el rectángulo rojo es la zona ocupada por este oscilador y cuya área es $1702\mu\text{m} \times 1160\mu\text{m} = 1.974\text{mm}^2$.

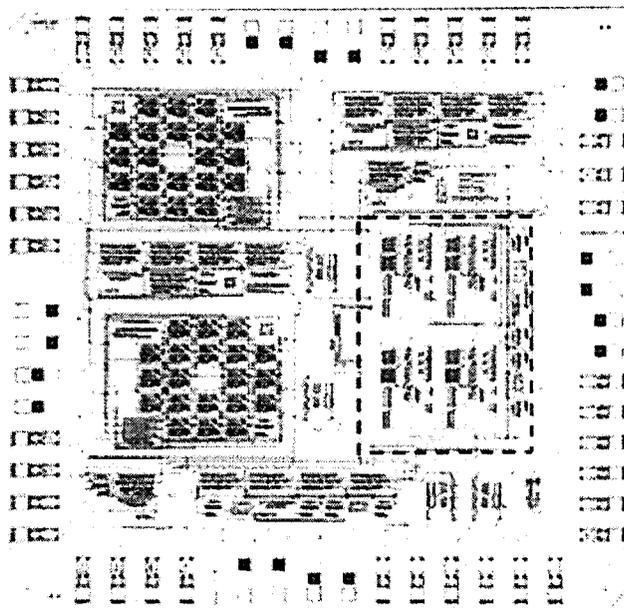


Figura 3.43 . Microfotografía del oscilador de muy alta frecuencia.

En la Figura 3.44 y en la Figura 3.45 se muestran los espectros de la máxima oscilación a 70MHz, y a 55MHz, respectivamente. No se obtuvieron buenos resultados en cuanto a la distorsión.

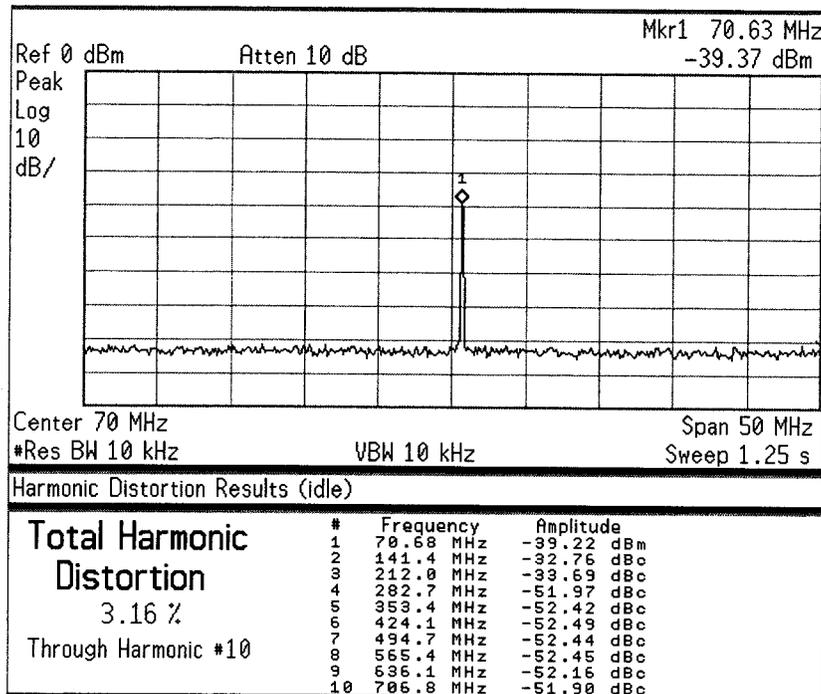


Figura 3.44 . Máxima frecuencia de oscilación.

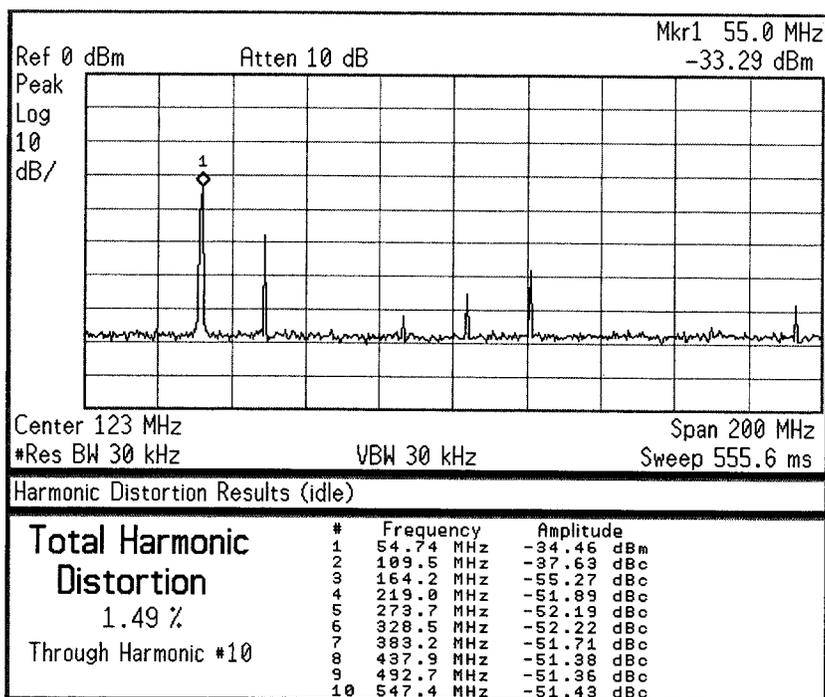


Figura 3.45 . Espectro a 55MHz.

3.4.5 Conclusiones

En esta sección, se han diseñado dos osciladores controlados por tensión de bajo consumo y baja tensión de alimentación usando el transconductor basado en la celda FVFDP y explicado en la sección 3.2. Los osciladores fueron integrados en tecnología CMOS de $0.8\mu\text{m}$ y en el mismo chip que el filtro Gm-C. Los resultados experimentales obtenidos para el primero de los osciladores, muestran una frecuencia de oscilación que puede ser controlada entre 1MHz y 22.8MHz, aprovechando el amplio rango de control de la transconductancia del OTA. El transconductor fue rediseñado para comprobar su máximo comportamiento en frecuencia, y se diseñó para ello un segundo oscilador. En este caso la máxima frecuencia de oscilación medida es de 70MHz. En ambos osciladores el control de la amplitud de oscilación se realiza a través de la característica no lineal del transconductor.

3.5 Buffer basado en la estructura DFVF

Un buffer de tensión analógico se usa como bloque de construcción de diseños de señal mixta para aplicaciones tales como testado analógico y monitorización de señal [Set92], [Elw99], [Pet89]. Una de las principales características que debe cumplir un buffer analógico es una baja capacidad de entrada para no cargar el nodo bajo test.

En esta sección, se propone un buffer con una topología nueva y simple con baja capacidad de entrada y bajo consumo de potencia. Estas propiedades se deben al uso de la estructura DFVF, y tanto resultados de simulación como experimentales demuestran su buen comportamiento. .

3.5.1 Implementación

El circuito de la Figura 3.46 es un nuevo buffer de tensión clase AB basado en la celda DFVF, explicada en el capítulo 2. Usa dos celdas DFVF complementarias M_{1P} - M_{3P} y M_{1N} - M_{3N} , polarizadas con la fuente I_b . El circuito trabaja de la siguiente forma: cuando la señal de entrada V_i se incrementa respecto de la señal de salida V_o , los nodos A y B también siguen esta variación. De esta forma la tensión $V_{SG,M3P}$ sube y $V_{GS,M3N}$ disminuye. Esto provoca que la corriente a través del transistor M_{3P} se incremente y la corriente a través de M_{3N} disminuya. Esto genera una corriente de salida positiva que carga la

capacidad de salida C_L , e incrementa la tensión de salida V_o hasta alcanzar el valor de V_i . Una situación similar tiene lugar cuando la tensión de entrada disminuye respecto de la tensión de salida V_o . El buffer propuesto trabaja en clase AB dado que la corriente de los transistores de salida M_{3P} y M_{3N} puede ser mucho más grande que la corriente de polarización I_b .

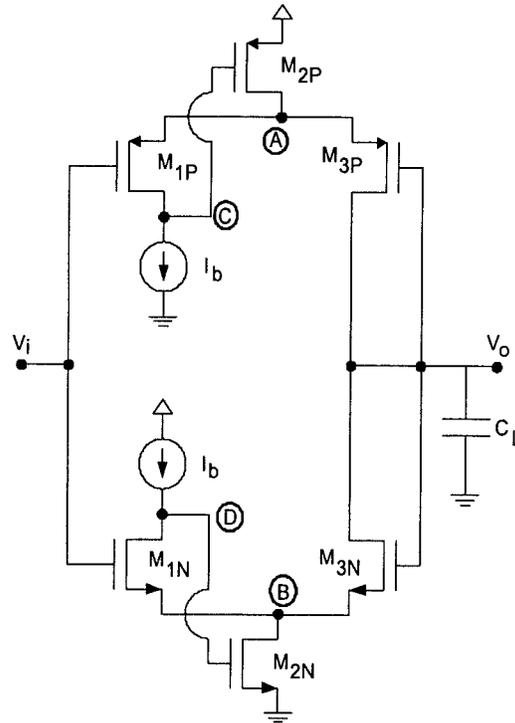


Figura 3.46 . Buffer de bajo consumo.

Si se necesita baja capacidad de entrada, los transistores M_{1P} y M_{1N} pueden ser escalados respecto a los transistores M_{3P} y M_{3N} . El circuito trabajará de manera similar a la explicada anteriormente, excepto que la corriente quiescente de los transistores M_{3P} y M_{3N} será mayor que la de los transistores M_{1P} y M_{1N} . El buffer propuesto puede encontrar aplicación en cargar capacidades a su salida con ganancia igual a la unidad o cargas resistivas con ganancias menores que la unidad.

La tensión de entrada de la celda DFVF está limitada al valor $V_T - V_{DS,sat}$ tanto en sentido positivo como negativo. Esto se debe a que cuando la tensión de entrada V_i (en la Figura 3.46) disminuye, la tensión en el nodo A sigue esta variación pero la tensión en el nodo C está limitada a una caída de tensión V_{SG} por debajo de V_{DD} . Esto provoca que el transistor M_{1P} se salga de saturación cuando $V_{DD} - V_i > 2V_{TP} + V_{DS,sat}$. El mismo razonamiento se puede aplicar a una celda DFVF NMOS cuando la tensión de entrada disminuye. Para

resolver este problema, se añade un desplazador de nivel DC entre la puerta de M_{2P} (M_{2N}) y el drenador de M_{1P} (M_{1N}) como se observa en la Figura 3.47.

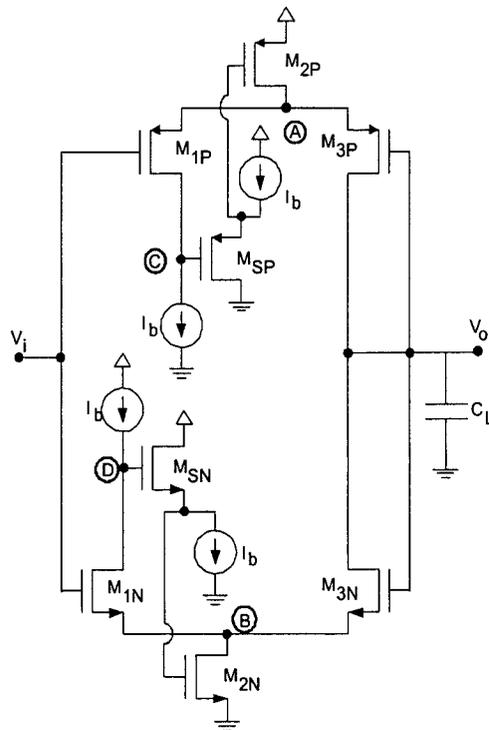


Figura 3.47 .Buffer de bajo consumo con desplazadores de nivel en DC.

Si se pretende conseguir mayor rango de tensión de entrada, se puede diseñar un buffer usando sólo celdas DFVF PMOS (o NMOS), como aparece en la Figura 3.48.

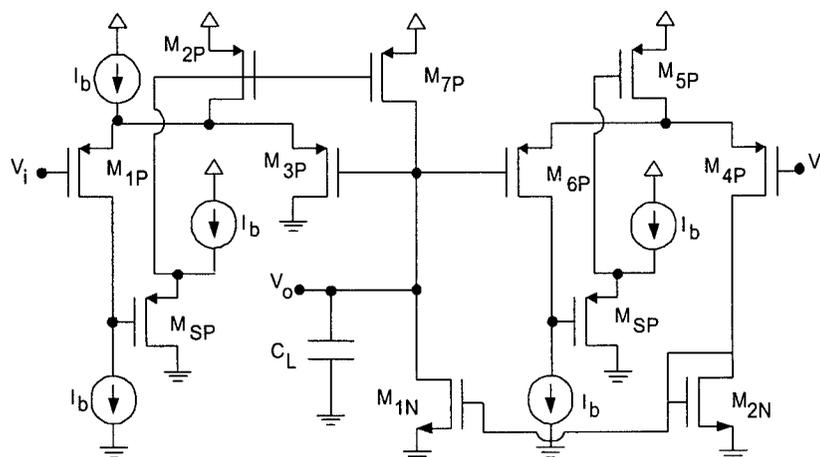


Figura 3.48 . Buffer de bajo consumo usando sólo estructuras DFVF PMOS.

En este circuito, se han usado dos celdas DFVF PMOS para generar las corrientes de salida bidireccionales. Una copia de las corrientes generadas por las variaciones de la tensión de entrada se inyecta al nodo de salida. El rango de tensión de entrada de este circuito es superior porque la tensión de entrada puede oscilar por debajo de V_{SS} .

3.5.2 Resultados de simulación

Los buffer de tensión de la Figura 3.46, Figura 3.47 y Figura 3.48 fueron diseñados usando la tecnología CMOS de $0.8\mu\text{m}$. El diseño se realizó utilizando $C_L=10\text{pF}$, $I_b=10\mu\text{A}$, y una tensión de alimentación de 3.3V . Los tamaños de los transistores y el resto de los parámetros de diseño se recogen en la Tabla 3.11. Para mejorar el rango de la tensión de entrada, los transistores M_{2P} y M_{2N} (Figura 3.46) y los desplazados de nivel DC M_{SN} y M_{SP} (Figura 3.47 y Figura 3.48) se han dimensionado con $(W/L)_{\text{PMOS}}=6/1$ y $(W/L)_{\text{NMOS}}=2/1$. La Figura 3.49 muestra la característica de transferencia DC de estos buffers. Como se esperaba, el buffer de la Figura 3.48 tiene el máximo rango de la tensión de entrada. La Figura 3.50 representa también la característica de transferencia en DC de estos buffers, pero con una resistencia de carga de $10\text{K}\Omega$. En este caso, la ganancia de tensión es menor de la unidad, pero se mantiene el rango de señal de cada buffer.

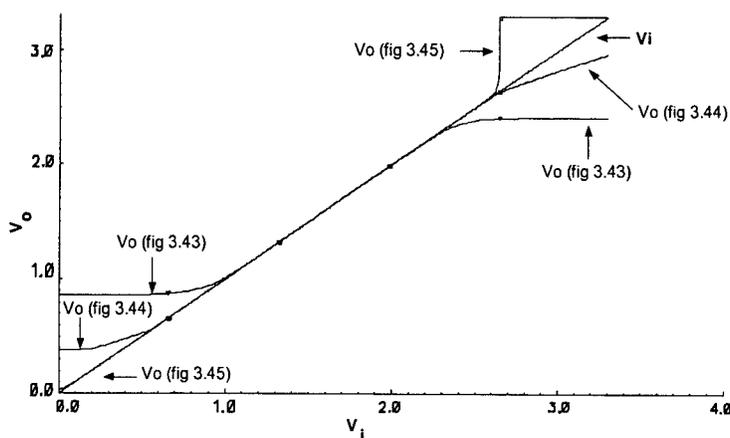


Figura 3.49 . Simulación DC de los buffers de la Figura 3.46, Figura 3.47 y Figura 3.48 con una capacidad de carga de $C_L=10\text{pF}$.

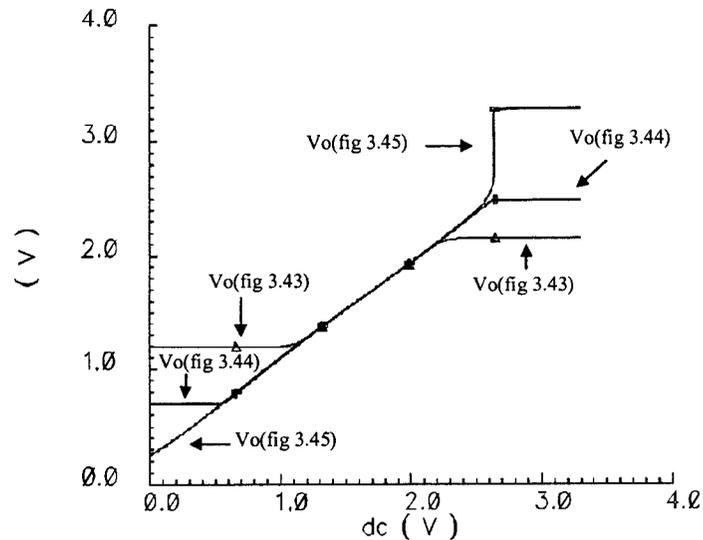


Figura 3.50 . Simulación DC de los buffers de la Figura 3.46, Figura 3.47 y Figura 3.48 con una carga resistiva $R_L=10k\Omega$.

La Figura 3.51 muestra la simulación transitoria de la tensión de salida del buffer de la Figura 3.47 y de la corriente de los transistores de salida M_{3P} y M_{3N} para $C_L=10pF$ y $I_b=10\mu A$.

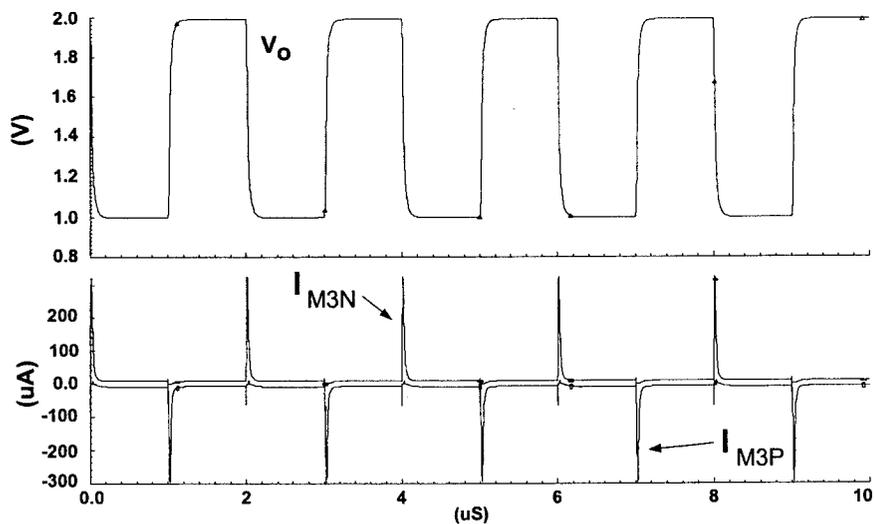


Figura 3.51 . Respuesta transitoria de la tensión de salida y de la corriente a través de los transistores de salida del buffer de la Figura 3.47.

Se puede ver cómo este circuito tiene un comportamiento clase AB, con una corriente quiescente mucho más baja que la máxima corriente que se necesita a la salida, consiguiendo un comportamiento de bajo consumo. Las simulaciones transitorias de todos los buffer mostraron una THD menor del 0.1% para señales de entrada con amplitudes de $1V_{pp}$ y frecuencia de 100kHz. A través de simulaciones, también se

determinó la capacidad de entrada de un buffer con $I_b=1\mu A$ y unos transistores de entrada M_{1N} y M_{1P} diez veces más pequeños que M_{3N} y M_{3P} , siendo de 20fF para el buffer de la Figura 3.46 y de la Figura 3.47 y 32fF para el buffer de la Figura 3.48. Esto demuestra la baja capacidad de entrada de los buffers propuestos.

Component	Units	Buffer Figura 3.46	Buffer Figura 3.47	Buffer Figura 3.48
M_{1P}	W/L	60/1	60/1	60/1
M_{2P}	W/L	6/1	60/1	60/1
M_{3P}	W/L	60/1	60/1	60/1
M_{1N}	W/L	20/1	20/1	20/1
M_{2N}	W/L	2/1	20/1	20/1
M_{3N}	W/L	20/1	20/1	20/1
I_b	μA	10	10	10
I_{b1}	μA	–	10	10
M_{SN}	W/L	–	2/1	2/1
M_{SP}	W/L	–	6/1	6/1
M_{4P}, M_{6P}	W/L	–	–	60/1
M_{5P}, M_{7P}	W/L	–	–	60/1

Tabla 3.11 . Parámetros de diseño de los buffers.

	Buffer Figura 3.46	Buffer Figura 3.47	Buffer Figura 3.48
Rango de entrada	1.8V	2.1V	2.4V
THD	0.05%	0.08%	0.1%
Consumo	12 μA	42 μA	52 μA
Capacidad de entrada	20fF	20fF	32fF

Tabla 3.12 . Resultados de simulación.

3.5.3 Resultados experimentales

El buffer fue integrado en tecnología CMOS de 0.8 μm en el mismo chip que el filtro y los osciladores. En la Figura 3.52 se muestra la microfotografía del buffer, que está enmarcado en el rectángulo de color rojo.

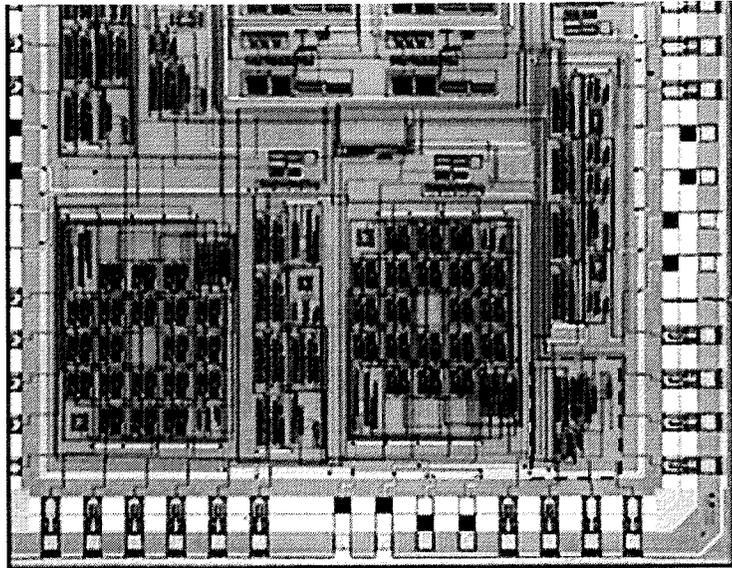


Figura 3.52 . Microfotografía del buffer.

En la Figura 3.53 se muestra la tensión de salida medida y la tensión de entrada aplicada de 200kHz, para una capacidad de carga de 10pF. Se puede comprobar el buen comportamiento del circuito.

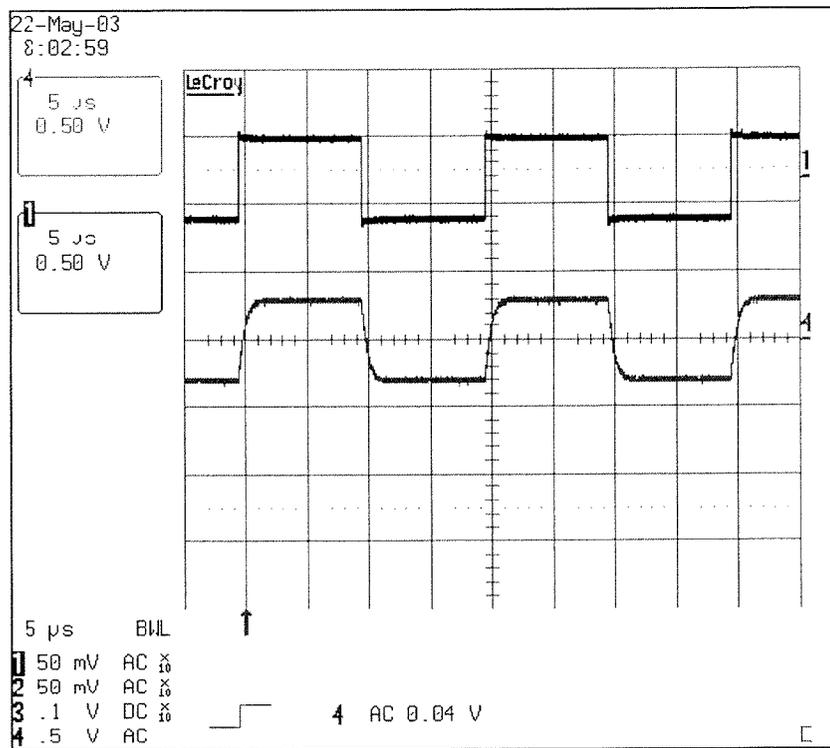


Figura 3.53 . Tensión de salida del buffer para una $C_L=10\text{pF}$.

3.5.4 Conclusiones

En esta sección, se ha propuesto un nuevo buffer de tensión. Su comportamiento clase AB permite un bajo consumo de potencia mientras mantiene un elevado slew rate. Este buffer es adecuado para monitorización de señales analógicas sin cargar el nodo bajo test, y para transferir tensiones a grandes capacidades de carga fuera del chip. Se han presentado tanto resultados de simulación y resultados experimentales que demuestran estas características.

Capítulo 4

Aplicaciones en tiempo discreto:

Diseño de un modulador Sigma-Delta con 1.3V de tensión de alimentación y 40 μ W de consumo

Este capítulo presenta el diseño de un modulador $\Sigma\Delta$ basado en circuitos de capacidades conmutadas (SC). El modulador se implementa usando como integradores dos nuevos amplificadores operacionales de transconductancia basados en la celda FVFD y pseudo-diferenciales. Debido a su comportamiento clase AB, tienen un consumo quiescente muy bajo, además de trabajar con muy bajas tensiones de alimentación. El capítulo está organizado de la siguiente forma: en primer lugar se describe la topología, las principales características y los resultados de simulación de los dos nuevos transconductores, con objeto de demostrar sus excelentes propiedades en el diseño de circuitos analógicos de baja tensión y bajo consumo. A continuación se realiza una breve introducción y una comparativa de los moduladores $\Sigma\Delta$ publicados recientemente. Después se detalla el diseño de cada uno de los bloques que componen el modulador así como sus especificaciones de diseño. Finalmente, se presentan los resultados teóricos y de simulación. El modulador diseñado tiene 14 bits de resolución, un consumo de 40 μ W con un ancho de banda de 8kHz.

4.1 Transconductores basados en FVFDP para aplicaciones de capacidades conmutadas

En esta sección, se presentan dos nuevos amplificadores operacionales de transconductancia clase AB para circuitos de capacidades conmutadas que trabajan con una tensión de alimentación menor a dos tensiones umbrales de un transistor. Están basados en la celda FVFDP explicada en el capítulo 2, y su comportamiento clase AB les permite tener un consumo quiescente muy bajo. Ambos OTAs consiguen una respuesta transitoria rápida debido a la no limitación del slew rate, con una tensión de alimentación de 1.1V y diseñados en una tecnología CMOS de 0.35 μ m. Los resultados de simulación muestran un consumo quiescente de 10 μ W para una capacidad de carga de $C_l=1$ pF y un producto ganancia-ancho de banda de 15MHz.

4.1.1 Introducción

La tendencia en el diseño de circuitos analógicos ha sido siempre conseguir mayor velocidad, más exactitud y menor consumo de potencia. En los últimos años se demandan amplificadores de bajo consumo capaces de trabajar con tensiones de alimentación de 1.5V o menos, como bloques de construcción en sistemas de señal mixta [Fil00]. Como en circuitos de capacidades conmutadas los amplificadores tienen cargas capacitivas, normalmente se implementan con OTAs. Para una transferencia de carga rápida y completa, el amplificador necesita tener un gran slew rate, una elevada ganancia en bucle abierto y un amplio ancho de banda. Las especificaciones del slew rate y del ancho de banda son necesarias para conseguir un tiempo de establecimiento pequeño, mientras que la ganancia determina la exactitud de dicho establecimiento. Se ha demostrado [Giu03] que en circuitos de capacidades conmutadas trabajando a frecuencias de muestreo moderadas, la corriente de polarización está impuesta por el slew rate. La estrategia de diseño para solucionar el compromiso entre consumo y velocidad es la utilización de circuitos clase AB [Ste97], [Pel98], [Elw00], [Giu03]. Realmente, estos circuitos no tienen limitación de slew rate, además de proporcionar grandes corrientes de salida con un bajo consumo quiescente.

4.1.2 Primer transconductor clase AB propuesto

En circuitos de capacidades conmutadas, los amplificadores operacionales trabajan con una realimentación negativa en configuración inversora con una tensión constante en ambos terminales de entrada. Esta configuración permite el uso de estructuras pseudo-diferenciales como la celda FVFDP.

La Figura 4.1 muestra el esquemático del transconductor propuesto. Las corrientes de salida del par pseudo-diferencial son copiadas a las salidas del transconductor usando espejos de corriente de baja tensión [Rij93]. La corriente del transistor M_1 se copia a la rama inferior de la salida negativa V_{o-} y a la rama superior de la salida positiva V_{o+} . Esto mismo se realiza con la corriente de M_2 , de forma que la corriente diferencial de salida se mantiene balanceada. Los transistores cascos M_{cas} son opcionales, pero se emplean para incrementar la ganancia DC del amplificador. Si no se necesitara una elevada ganancia, estos transistores se pueden eliminar consiguiendo un rango completo de la tensión de salida. La tensión de modo común de salida se puede estabilizar a través del conocido circuito de la Figura 4.2 [Joh97] que controla la tensión V_{CMc} de los transistores M_{CMc} . Este circuito ajusta la tensión de salida de modo común a V_{DCM} (normalmente $V_{DD}/2$).

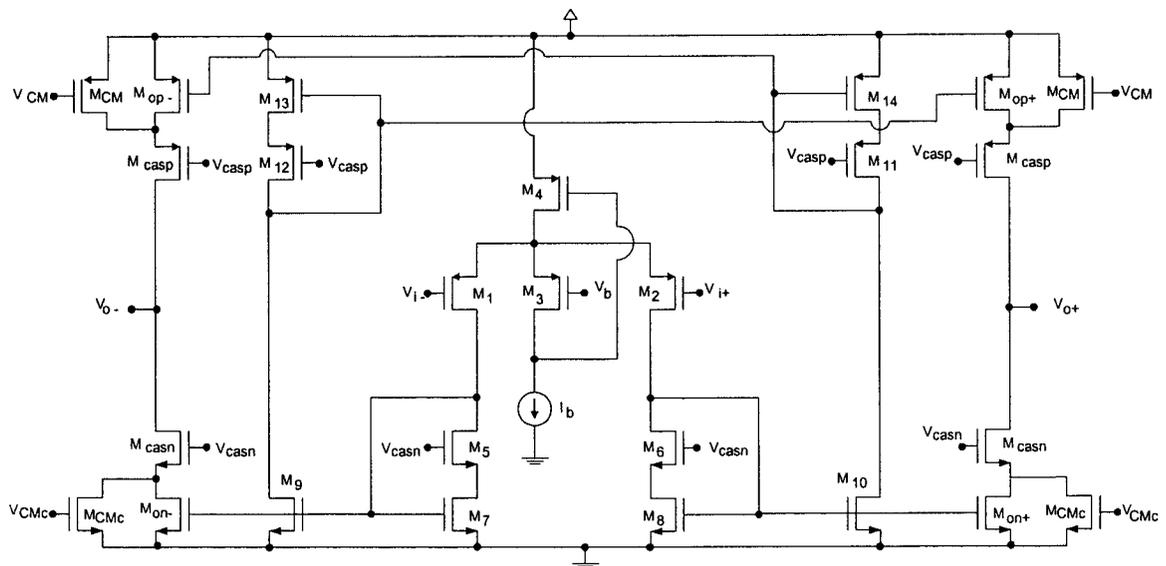


Figura 4.1 . Primer OTA clase AB propuesto.

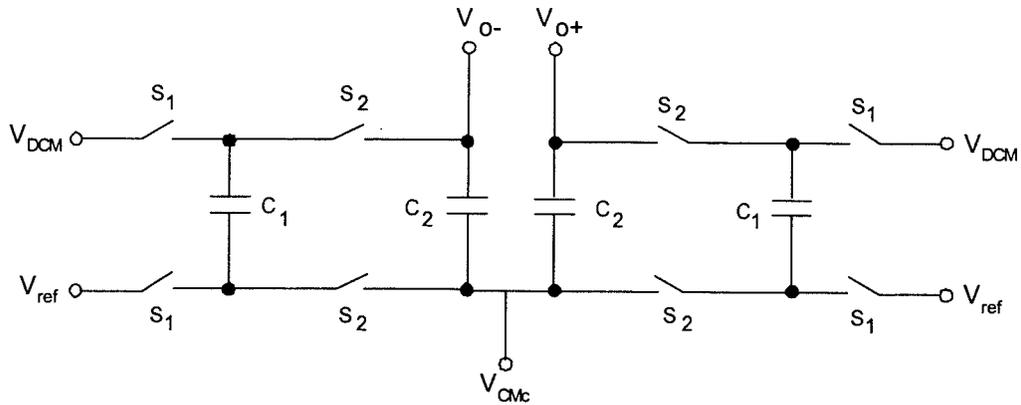


Figura 4.2 . Circuito de control de modo común.

4.1.3 Segundo transconductor clase AB propuesto

La Figura 4.3 muestra el segundo OTA propuesto. Tiene una topología similar al OTA *folded-cascodo* convencional, pero presenta principalmente dos diferencias:

- 1) La etapa de entrada usa un par pseudo-diferencial basado en la celda FVFD que proporciona un comportamiento clase AB.
- 2) La corriente de polarización del estado *folding* (transistores M_{FVF}) tiene también un comportamiento clase AB, porque es una copia de la corriente que circula por el transistor M_4 . De esta forma, bajo condiciones quiescentes, las corrientes que circulan por la etapa de entrada y por la etapa *folding* son pequeñas (I_b). Cuando se aplica una señal diferencial de entrada, se obtienen grandes corrientes diferenciales de salida balanceadas. Por tanto, este circuito se puede considerar un amplificador *folded-cascodo* clase AB completamente diferencial.

Este circuito también necesita los transistores cascodos M_{casn} y M_{casp} a pesar de que produzcan un polo parásito en la respuesta en frecuencia y limiten el rango de tensión de la salida. La tensión de modo común se controla con el mismo circuito que el primer transconductor propuesto.

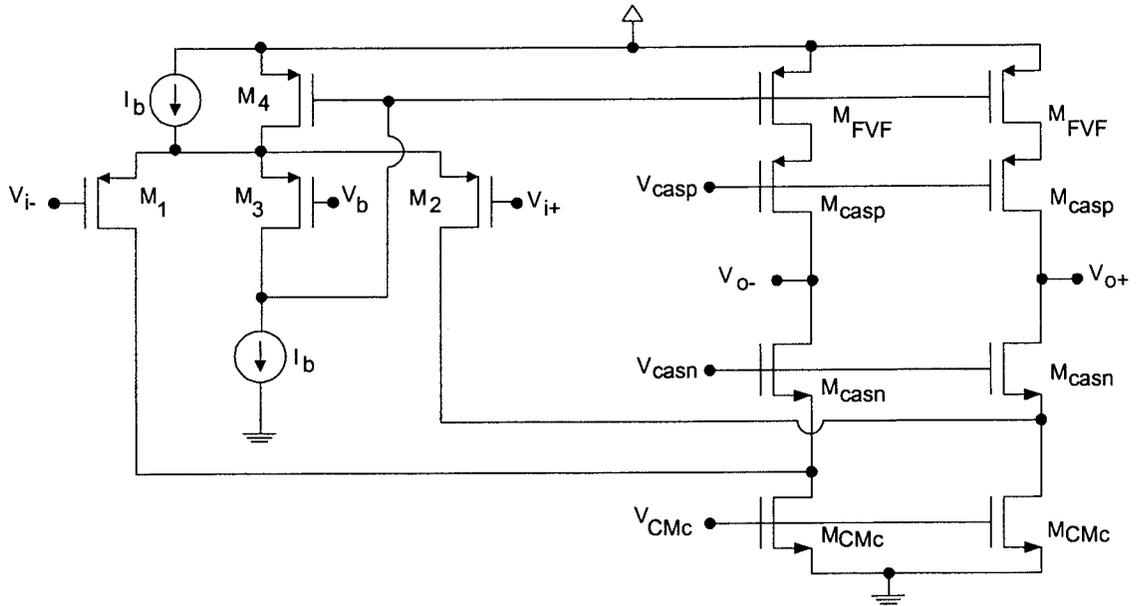


Figura 4.3 . Segundo OTA clase AB propuesto.

4.1.4 Estabilidad

El valor de la tensión de polarización V_b en el par pseudo-diferencial, tiene que ser definido de forma adecuada para controlar las corrientes quiescentes de toda la estructura. Para aplicaciones de capacidades conmutadas, el valor más adecuado de V_b es la tensión de modo común de los terminales de entrada del OTA. En este caso, la corriente quiescente en todas las ramas del circuito es I_b .

Las consideraciones de estabilidad que se deben tener en cuenta son similares a las de los circuitos *folded-cascode*. La principal diferencial es el par pseudo-diferencial de entrada, que incluye la estructura FVF con realimentación interna. Esta celda fue analizada en detalle en el capítulo 2, donde se obtiene estabilidad y un pequeño tiempo de establecimiento, si los transistores M_3 y M_4 son dimensionados de forma adecuada.

4.1.5 Resultados de simulación

Ambos transconductores se han diseñado en tecnología CMOS de $0.35\mu\text{m}$. Los transistores trabajan en inversión moderada, y el consumo de potencia es $10\mu\text{A}$ para el primer OTA propuesto y $7\mu\text{A}$ para el segundo. En ambos casos, $I_b = 1\mu\text{A}$.

Los parámetros de diseño de ambos transconductores se recogen en la Tabla 4.2 y en la Tabla 4.3.

Transistor	W/L($\mu\text{m}/\mu\text{m}$)
M_1, M_2, M_3, M_4	45/1
$M_5, M_6, M_7, M_8, M_9, M_{10}$	10/1
$M_{CMc}, M_{casn}, M_{on+}, M_{on-}$	10/1
$M_{CM}, M_{casp}, M_{op+}, M_{op-}$	30/1
$M_{11}, M_{12}, M_{13}, M_{14}$	30/1
Voltajes y corriente	
V_{DD}	1.1V
V_{casn}	0.8V
V_{casp}	0.2V
I_b	$1\mu\text{A}$

Tabla 4.2 . Parámetros del primer transconductor.

Transistor	W/L($\mu\text{m}/\mu\text{m}$)
M_1, M_2, M_3, M_4	90/1
M_{casp}	45/1
M_{casn}	10/1
M_{FVF}	45/1
M_{CMc}	10/1
Voltajes y corriente	
V_{DD}	1.1V
V_{casn}	0.8V
V_{casp}	0.2V
I_b	$1\mu\text{A}$

Tabla 4.3 . Parámetros del segundo transconductor.

El primer transconductor tiene un producto ganancia-ancho de banda de 15MHz con una capacidad de carga de 1pF y una tensión de alimentación de 1.1V (Figura 4.4).

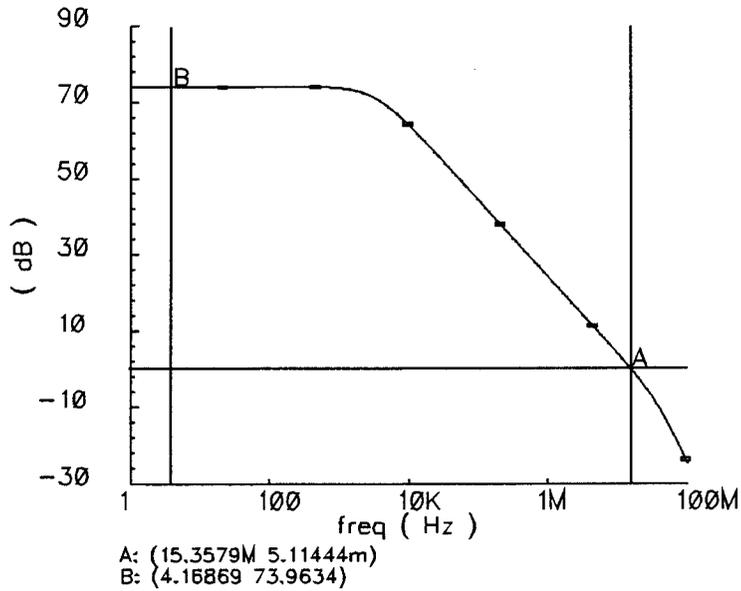


Figura 4.4 . Respuesta en frecuencia del OTA de la Figura 4.1.

Con objeto de evaluar las excelentes características de los transconductores propuestos, se ha utilizado el integrador de capacidades conmutadas de la (Figura 4.5).

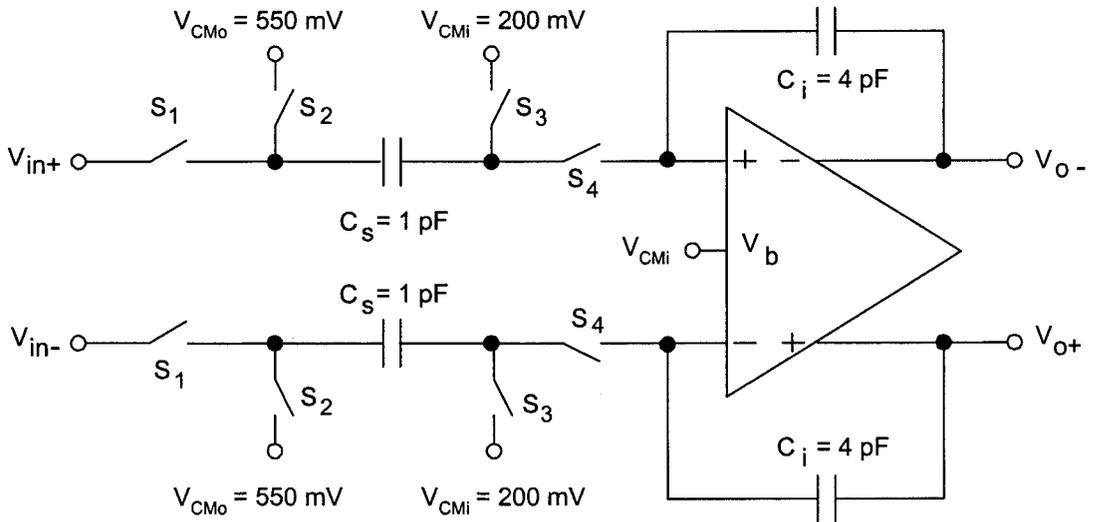


Figura 4.5 . Integrador de capacidades conmutadas para evaluar los OTAs.

Se han usado dobladores de tensión para los interruptores críticos S_1 y S_2 . V_{CMo} es la tensión de modo común de la salida y V_{CMi} es la tensión de modo común de la entrada.

La Figura 4.6 muestra la salida transitoria del integrador usando una señal cuadrada de entrada de 250kHz con una frecuencia de 2MHz. El amplificador fue implementado con

el OTA de la Figura 4.1. La parte superior de la gráfica representa la corriente a través de uno de los transistores de salida. Con una corriente de polarización de $1\mu\text{A}$ se consigue una corriente de $9\mu\text{A}$. La zona inferior de la figura muestra la tensión de salida diferencial. El slew rate medido en el peor caso y considerando un tiempo de establecimiento del 1%, es de $7.8\text{V}/\mu\text{s}$ y 165ns , respectivamente. Se puede observar el elevado rango de salida ($\pm 700\text{mV}$). Se han obtenido resultados similares con el segundo transistor de la Figura 4.3.

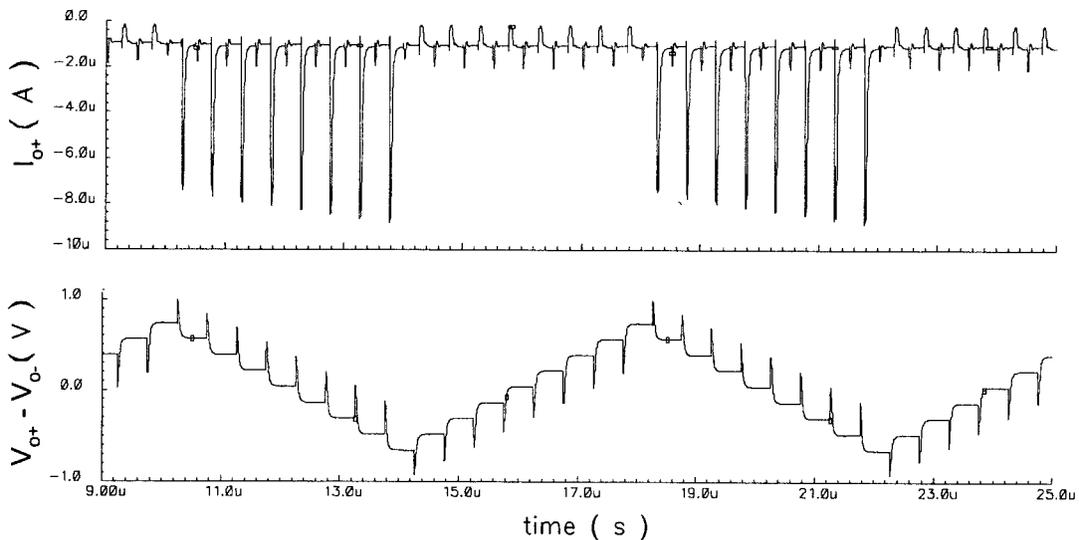


Figura 4.6 . Simulación transitoria de la tensión diferencial de salida y de la corriente de salida del integrador de capacidades conmutadas usando el OTA de la Figura 4.1.

4.1.6 Conclusiones

Se han presentado dos amplificadores operacionales de transconductancia completamente diferenciales, con muy bajo consumo y capaces de trabajar con muy bajas tensiones de alimentación. Ambos OTAs usan un par pseudo-diferencial de entrada basado en la celda FVFDP, que debido a su comportamiento clase AB, proporciona grandes corrientes de salida con un bajo consumo quiescente. Están diseñados para conseguir un producto ganancia-ancho de banda de 15MHz con una capacidad de carga de 1pF y una tensión de alimentación de 1.1V . Los resultados de simulación se han obtenido diseñando un integrador de capacidades conmutadas, donde se demuestra un correcto funcionamiento con una frecuencia de muestreo de 2MHz .

4.2 Modulador $\Sigma\Delta$ de bajo consumo y baja tensión

En esta sección se describe un modulador $\Sigma\Delta$ ($\Sigma\Delta M$) con una tensión de alimentación de 1.3V. Para intentar conseguir una alta resolución en un entorno de muy baja tensión, el modulador se ha diseñado usando como integrador el OTA de la Figura 4.1. Las excelentes prestaciones de este transconductor, con un consumo de potencia muy bajo debido a su comportamiento clase AB y a su simple topología, y una tensión de alimentación cercana a la tensión umbral de un transistor.

La estructura diferencial del transconductor presenta las conocidas ventajas, de alto rechazo a las señales de modo común, la eliminación de los armónicos de orden par y el incremento del rango dinámico. El problema de la conmutación de los interruptores a bajas tensiones de alimentación se ha resuelto usando dobladores de tensión.

El modulador se ha implementado en tecnología CMOS de $0.6\mu\text{m}$. Este es el motivo por el cual la tensión de alimentación se ha incrementado a 1.3V, en lugar de 1.1V en $0.35\mu\text{m}$. De este modo, el transconductor ha tenido que ser rediseñado respecto de los parámetros de la Tabla 4.2, pero manteniendo sus prestaciones. Resultados de simulación muestran 14 bits de resolución con una relación de sobremuestreo de 160 y un consumo quiescente de $40\mu\text{W}$. Estos resultados mejoran el estado del arte de los moduladores $\Sigma\Delta$.

4.2.1 Introducción

La modulación $\Sigma\Delta$ ha sido el método más atractivo de implementar convertidores A/D de alta resolución en entornos de baja tensión, principalmente porque se pueden tolerar circuitos analógicos de baja precisión. La principal aplicación de los convertidores $\Sigma\Delta$ ha sido en audio, aunque recientemente estos moduladores se han aplicado en sistemas de mayor ancho de banda debido al incremento de la velocidad de los dispositivos submicras. En los últimos años, el crecimiento de equipos portátiles ha conducido a la necesidad de convertidores A/D de baja tensión y bajo consumo.

Normalmente, el modulador $\Sigma\Delta$ se implementa siguiendo una estructura de capacidades conmutadas. Los integradores SC son más adecuados para baja tensión que los integradores en tiempo continuo por varias ventajas: el desacoplo entre la señal de entrada

de modo común y la señal de entrada del amplificador, y el buen control de las relaciones entre capacidades con un error menor del 1%.

Sin embargo, los convertidores A/D en baja tensión usando circuitos SC tienen un grave problema: la conmutación de los interruptores; la tensión de alimentación no es suficiente para controlar los transistores.

Una posible solución es el uso de los costosos procesos con múltiples tensiones umbrales, que ofrecen dispositivos con bajas tensiones umbrales [Mat94]. Estos dispositivos tienen grandes corrientes de pérdidas que degradan el funcionamiento de los integradores.

Otra solución es la técnica *Switched Opamp* [Ste93], [Cro94], [Bas98], [Pel98]. Este método es necesario en tecnologías que no utilicen dobladores de tensión, ya que sólo se puede emplear para sistemas de poca velocidad debido al retardo intrínseco de la conmutación de los amplificadores (el OTA se debe diseñar en esta técnica para que no funcione durante la fase de muestreo). Además, esta solución provoca el diseño de integradores más complejos con mayor ruido de muestreo.

Actualmente, la principal técnica para solucionar este problema es usar dobladores de tensión [Gri96], [Rab97], [Au97]. Esto permite generar tensiones dentro del sistema mayores que la de alimentación. La idea es emplear únicamente las tensiones más elevadas para generar las señales de reloj que controlan los interruptores críticos. El resto del circuito puede ser diseñado para trabajar con la tensión de alimentación externa. Este método es una forma fácil, rápida y segura de diseñar circuitos SC de baja tensión, y que tiene la ventaja de reducir una parte importante del consumo total al tener los OTAs trabajando con bajas tensiones. Este es el método se ha adoptado en el diseño del modulador $\Sigma\Delta$.

4.2.1.1 Principios de operación

Un convertidor analógico/digital transforma una señal de entrada en tiempo continuo hacia una señal en tiempo discreto, a través de dos operaciones: muestreo y cuantización. El muestreo consiste en tomar datos de la señal de entrada y mantenerlos durante un cierto periodo de tiempo. En definitiva constituye una discretización en el tiempo. La cuantización convierte una amplitud continua en un conjunto de niveles discretos. Debido

al número finito de niveles de cuantización, este proceso genera errores. La resolución del convertidor puede mejorar si se incrementa el número de niveles de cuantización. Por tanto, la frecuencia de muestreo y el número de bits de precisión en amplitud, determinan el funcionamiento del convertidor. La frecuencia de muestreo limita el ancho de banda de la señal de entrada, mientras que la discretización en amplitud provoca el ruido de cuantización.

Los convertidores $\Sigma\Delta$ trabajan a frecuencias de muestreo mucho más elevadas que el doble del ancho de banda de la señal (frecuencia de Nyquist). Si se incrementa la frecuencia de muestreo se reduce el ruido de cuantización, porque este ruido se distribuye ahora sobre un ancho de banda mayor.

El diagrama de bloques de la Figura 4.7 explica el principio de operación de un convertidor $\Sigma\Delta$.

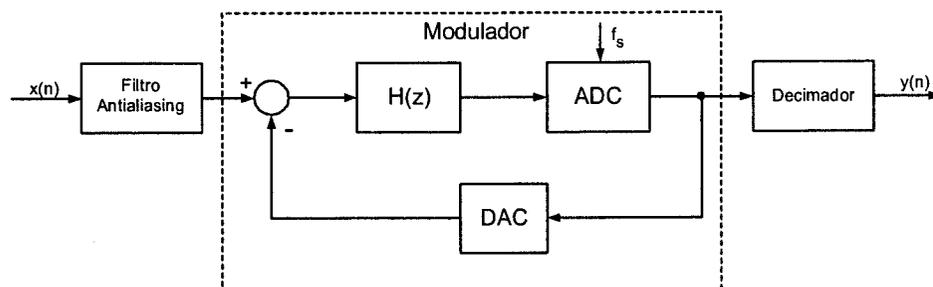


Figura 4.7 . Diagrama de bloques de un convertidor $\Sigma\Delta$.

El convertidor está compuesto de los siguientes elementos:

Un *filtro anti-aliasing* que suprime las componentes espectrales por encima de la mitad de la frecuencia de muestreo de la señal de entrada. Debido al sobremuestreo, los requisitos de este filtro son menores y es suficiente con usar un filtro pasivo de primer orden.

Un *decimador* es un bloque digital que reduce la frecuencia de muestreo a la frecuencia de Nyquist.

El *modulador* $\Sigma\Delta$ consta de un filtro cuya salida es muestreada y cuantizada por un convertidor A/D que introduce un error de cuantización. Este error es la diferencia entre la señal analógica de entrada y la salida cuantizada. La señal digital de salida se resta de

la señal analógica de entrada a través de un convertidor digital/analógico en el camino de realimentación. Esta realimentación negativa, junto con el sobremuestreo, reduce el ruido de cuantización en la banda de señal. La supresión del error de cuantización en un modulador $\Sigma\Delta$ se realiza por dos mecanismos: sobremuestreo y conformación de ruido (en inglés, *noise shaping*)

El sobremuestreo significa que la señal de entrada analógica es muestreada con una frecuencia mucho más elevada de la mínima requerida, que es la frecuencia de Nyquist:

$$M = OSR = \frac{f_s}{f_N} = \frac{f_s}{2f_b} \quad (4.1)$$

donde f_s es la frecuencia de muestreo, f_N es la frecuencia de Nyquist y f_b es el ancho de banda de la señal.

La conformación de ruido implica el filtrado de los errores de cuantización a través del filtro del bucle de modulador. Como resultado, la potencia del error de cuantización se reduce en la banda de frecuencia de interés, mientras que se incrementa fuera de ella.

Debido a la reducción del error de cuantización por estos mecanismos, se obtiene una salida digital de alta resolución usando un cuantizador de baja resolución; es suficiente emplear un cuantizador de 1 bit con dos niveles de salida.

El cuantizador es un circuito fuertemente no lineal. Para realizar un análisis sencillo, es necesario obtener un modelo lineal del sistema, como se muestra en la Figura 4.8.

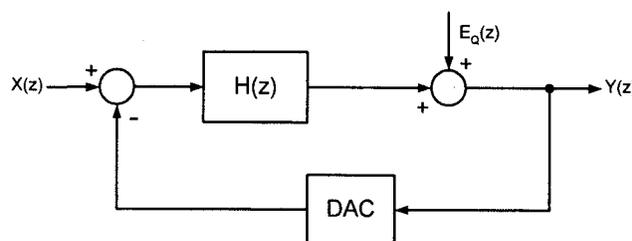


Figura 4.8 . Modelo lineal de un modulador $\Sigma\Delta$ de un solo lazo.

El convertidor A/D ha sido reemplazado por un sumador y el ruido de cuantización $E_Q(z)$ es generado por una entrada que es independiente de la entrada del modulador $X(z)$. Ahora, el modulador de la Figura 4.7 es un sistema de 2 entradas y 1 salida, donde la

salida $Y(z)$ se puede escribir en términos de las dos entradas $X(z)$ y $E_Q(z)$ en el dominio z como

$$Y(z) = \frac{H(z)}{1 + H(z)} X(z) + \frac{1}{1 + H(z)} E_Q(z) = STF(z)X(z) + NTF(z)E_Q(z) \quad (4.2)$$

donde

$X(z)$ y $E_Q(z)$ son la señal de entrada y el ruido de cuantización en el dominio z .

$STF(z)$ y $NTF(z)$ son la función de transferencia de la señal y del ruido, respectivamente.

Para frecuencias donde el filtro $H(z)$ tiene una elevada ganancia DC, la función $STF(z)$ tiene un valor cercano a la unidad, mientras que $NTF(z)$ tiende a cero. De esta forma, se atenúa el ruido de cuantización y no afecta a los espectros de la señal de entrada y de salida. Este es el principio de conformación de ruido o noise shaping. El bloque más simple que cumple esta característica ($H(z) \rightarrow \infty$ for $z \rightarrow 1$), es un integrador cuya función de transferencia en el dominio z viene dada por

$$H(z) = \frac{z^{-1}}{1 - z^{-1}} \quad (4.3)$$

El cuantizador de 1 bit genera una cadena de bits con niveles $\pm\Delta/2$, donde Δ es el tamaño del intervalo de cuantización. El error de cuantización tiene una fuerte dependencia de la señal de entrada. Sin embargo, si la entrada cambia aleatoriamente entre muestras en cantidades comparables o más grandes que el espaciado de los niveles, sin provocar saturación, entonces el error no está correlado entre muestras y tiene igual probabilidad de caer en cualquier lado del rango $\pm\Delta/2$ [Nor97]. Además, se asume que el error de cuantización tiene un espectro de ruido blanco aunque este no sea el caso en sistemas prácticos. El valor cuadrático del ruido de cuantización está dado por

$$e^2_{rms} = \frac{1}{\Delta} \int_{-\Delta/2}^{\Delta/2} e^2 de = \frac{\Delta^2}{12} \quad (4.4)$$

Cuando una señal cuantizada es muestreada a frecuencia f_s , toda su potencia cae dentro de la banda de frecuencias $0 \leq f \leq f_s/2$. Entonces, la densidad espectral del error de cuantización es:

$$E(f) = \frac{e^2_{rms}}{f_s / 2} = \frac{\Delta^2}{6f_s} \quad (4.5)$$

El ruido de cuantización total dentro es:

$$N_q = \int_0^{f_b} E(f) df = \frac{e^2_{rms}}{OSR} \quad (4.6)$$

Por tanto, la potencia del ruido dentro de un ancho de banda fijo f_b disminuye si la frecuencia de muestreo aumenta.

Este capítulo está enfoca hacia el estudio del modulador porque es el bloque que produce los principales errores que puede degradar el funcionamiento de todo el convertidor.

4.2.1.2 Parámetros generales

Existen parámetros que determinan el comportamiento estático de los convertidores A/D, tales como, offset, error de ganancia, no linealidad diferencial, etc. En esta sección, se realiza una descripción breve de los principales parámetros que definen el comportamiento dinámico de los moduladores $\Sigma\Delta$.

Relación Señal/Ruido (SNR). Es la relación entre la potencia de la señal de salida y la potencia del ruido dentro de un cierto ancho de banda. Tiene en cuenta tanto el ruido de cuantización como el ruido generado por el circuito. Normalmente, la SNR se incrementa linealmente con la potencia de la señal de entrada hasta sobrecargar el cuantizador.

Relación Señal/Distorsión (SDR). Relación entre la potencia de la señal de salida y la suma de la potencia de los armónicos de la salida.

Relación Señal/Ruido + Distorsión (SNDR). Relación entre la potencia de la señal de salida y el ruido total más la distorsión dentro de un cierto ancho de banda.

Fondo de Ruido. Máxima potencia de una entrada senoidal con amplitud tal que resulte no detectable del ruido, es decir, SNDR = 0dB.

Nivel de sobrecarga. Potencia de una entrada senoidal cuya amplitud produce una disminución de 3 dB en la SNDR respecto de su valor máximo.

Rango Dinámico (DR). Relación entre el nivel de sobrecarga y el fondo de ruido. El rango dinámico se mide a menudo en decibelios (dB), y representa la resolución del modulador. La conversión de dB a resolución en bits efectivos se produce por la expresión:

$$DR(\text{bits}) = \frac{DR(\text{dB}) - 1.76}{6.02} \quad (4.7)$$

Amplitud a fondo de escala. Máxima amplitud que la señal de salida del DAC puede alcanzar sin sobrecarga el modulador. En un cuantizador de 1 bit, la amplitud de plena escala es $\Delta/2$. Normalmente, la entrada a plena escala es aquella cuya magnitud iguala el valor máximo de la salida del DAC. De esta forma, una potencia de entrada de 0dB se corresponde con una señal senoidal de amplitud $\Delta/2$.

Distorsión armónica (HD_x). Relación entre la potencia de la señal y la potencia del x^{th} armónico. Normalmente, la distorsión referida al segundo y tercer armónico se indica como HD2 y HD3, que son los más importantes.

Rango dinámico libre de espúreos (SFDR). Relación entre la máxima amplitud de señal y la mayor componente de la distorsión.

Producto de intermodulación de tercer orden (IM3). Introduciendo dos tonos a frecuencias f_1 y f_2 , el IM3 se define como la relación entre la potencia de entrada y la potencia de la componente de distorsión a la frecuencia $2f_1 - f_2$ o $2f_2 - f_1$.

Punto de intersección de tercer orden (IP3). Potencia de la señal de entrada para la que la potencia de IM3 iguala a la potencia de la señal de entrada.

Algunos de estos parámetros aparecen indicados en la Figura 4.9.

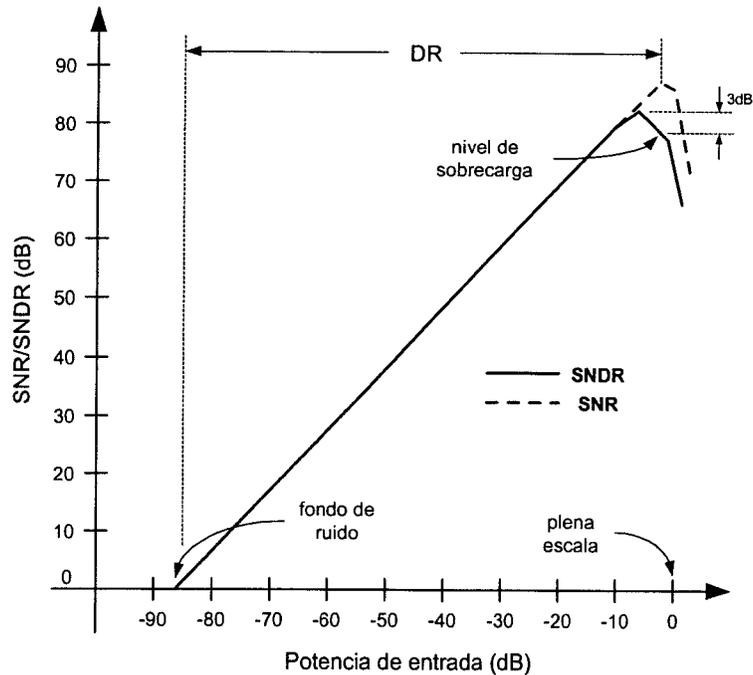


Figura 4.9 . Principales parámetros de los convertidores $\Sigma\Delta$.

4.2.1.3 Comparativa de convertidores $\Sigma\Delta$

Para realizar una comparación objetiva entre distintos convertidores, se suele utilizar la figura de mérito (FOM). De las distintas FOMs que se han publicado [Rab97], [San99], [Rob02], se emplea en este caso, la de [Goo95] que fue adaptada para los moduladores $\Sigma\Delta$ en [Med99a], y está dada por la expresión:

$$FOM = \frac{P}{2^n f_N} 10^{12} \quad (4.8)$$

donde:

n es el número de bits efectivos.

f_N es la frecuencia de Nyquist.

P es el consumo de potencia.

La mayoría de los moduladores $\Sigma\Delta$ reportados no especifican el consumo de la circuitería digital. Además, este consumo de potencia es diferente entre los distintos tipos de moduladores $\Sigma\Delta$ y no es tenido en cuenta por esta FOM.

La Tabla 4.4 muestra una comparativa entre los convertidores $\Sigma\Delta$ publicados en los últimos años. Esta comparación únicamente considera aquellos diseñados en tecnología CMOS. La tabla muestra la arquitectura, la tensión de alimentación (V_{DD}), el consumo de potencia (P), la tecnología, la resolución en bits efectivos (n) y la frecuencia de Nyquist (f_N).

Ref	n	f_N	P(mW)	Tecn/ V_{DD}	Arquitectura	FOM(pJ)
[Au97]	12	16kHz	0.34	1.2 μ m/1.95V	3 SC	5.1
[Pel97a]	12	6kHz	0.1	0.7 μ m/1.5V	2 SC	4.06
[Rab97]	16	50kHz	2.5	0.8 μ m/1.8V	2-1 SC	0.76
[Zwa97]	16.5	40kHz	2.3	0.8 μ m/3.3V	4 CT	1.8
[Fel98b]	13	1.4MHz	81	0.72 μ m/3.3V	2-2-2 SC	7.06
[Pel98]	12.5	32kHz	0.04	0.5 μ m/0.9V	3 SC	0.21
[Gee99]	14	2MHz	152	0.65 μ m/5V	Multibit SC	3.2
[Kas99]	20	800Hz	14	0.6 μ m/4V	4 SC	16
[Med99b]	13	2.2MHz	55	0.7 μ m/5V	2-1-1 SC	3.1
[Bre00]	13.3	200kHz	1.8	0.35 μ m/2.5V	4 I/Q CT	0.87
[Fuj00]	16	2.5MHz	270	0.5 μ m/5V	Multibit SC	1.6
[Gee00]	14	2.2MHz	200	0.5 μ m/3.3V	2-1-1 SC	5.5
[Mau00]	16	250kHz	490	0.6 μ m/5V	5 SC	29.2
[Mor00]	14	2.2MHz	150	0.35 μ m/3V	2-2-2 SC	4.16
[Nag00]	11.6	270kHz	11.8	0.5 μ m/2.7V	2 SC	14
[Zwa00]	12.8	200kHz	8	0.25 μ m/2.5V	5 I/Q CT	5.6
[Fog01]	16	40kHz	66	0.5 μ m/3.3V	Multibit SC	25
[Wan01]	20	25kHz	75	0.6 μ m/5V	4 SC	2.8
[Muñ01b]	14.7	16kHz	0.19	0.35 μ m/1.1V	2 SC	0.44
[Baj02]	13	22kHz	1.7	0.5 μ m/1.8V	4 SC	9.4
[Gup02]	16	2.2MHz	230	0.18 μ m/3.3V	2-1-1 SC	1.59
[Kes02]	12	100kHz	5.6	0.35 μ m/1V	2 SC	13.7
[Vel02]	11.3	4MHz	11.5	0.18 μ m/1.8V	4 I/Q CT	1.14
[Gag03]	13.8	600kHz	15	0.18 μ m/1.8V	Multibit SC	1.75
[Mil03]	12.5	1.25MHz	30	0.18 μ m/2.7V	Multibit SC	4.1
Este trabajo	14	16kHz	0.04	0.6 μ m/1.3V	2 SC	0.15

Tabla 4.4 . Comparación entre convertidores $\Sigma\Delta$.

El tipo de arquitectura se especifica como:

2-1-1: Topología en cascada con un modulador de segundo orden seguido de dos de primer orden.

SC: Capacidades conmutadas.

5 SC: Convertidor de quinto orden, de bucle simple usando capacidades conmutadas.

CT: El filtro del convertidor $\Sigma\Delta$ se realiza en tiempo continuo mediante un filtro activo.

Multibit: El cuantizador es de más de 1 bit.

I/Q: Convertidor en cuadratura con rechaza a la frecuencia imagen.

La tabla demuestra que el modulador implementado en esta capítulo mejora el estado del arte de los convertidores $\Sigma\Delta$. En las próximos apartados se describen todos los detalles de su diseño.

4.2.1.4 Objetivos

El principal objetivo de este trabajo es diseñar un modulador $\Sigma\Delta$ de segundo orden de baja tensión y bajo consumo para aplicaciones de audio ($f_N = 16kHz$), con objeto de demostrar su excelente funcionamiento utilizando como integradores el transistor clase AB basado en la celda FVFDP de la Figura 4.1. El muy bajo consumo de este transistor, debido a su simple estructura y a su comportamiento clase AB, se planteó como una posibilidad de que el modulador mejorara el estado del arte. Para ello, se pretende alcanzar una resolución de 14 bits. El sistema está alimentado con una tensión de 1.3V y ha sido diseñado en tecnología CMOS de $0.6\mu m$.

La metodología de diseño está basada en [Bos88a]. Consiste en optimizar, en primer lugar, los parámetros a nivel de sistema, para posteriormente, modelar las no idealidades e incluirlas en las simulaciones del modulador. Esto proporciona las especificaciones del circuito para asegurar su correcto funcionamiento en la práctica, con componentes no ideales.

El circuito ha sido simulado con los programas MIDAS [Wil92], [Rab92] y MATLAB. MIDAS es un simulador de propósito general, para sistemas mixtos, desarrollado por la Universidad de Stanford. Constituye una herramienta para simular diferentes arquitecturas y modelar las no idealidades.

La estimación del rango dinámico y de la SNDR se ha realizado usando el método denominado en inglés, "sinusoidal minimal error method" [Bos88b].

4.2.2 Consideraciones de diseño

En esta sección se analizan y se determinan los principales parámetros del modulador $\Sigma\Delta$ de segundo orden, necesarios para su correcto diseño. La calidad del modulador depende

de las especificaciones individuales de cada bloque, pero principalmente de las características del transconductor. Estas especificaciones y la influencia de los parámetros del circuito sobre el modulador, son calculadas a través de simulaciones.

La Figura 4.10 representa la arquitectura del modulador $\Sigma\Delta$.

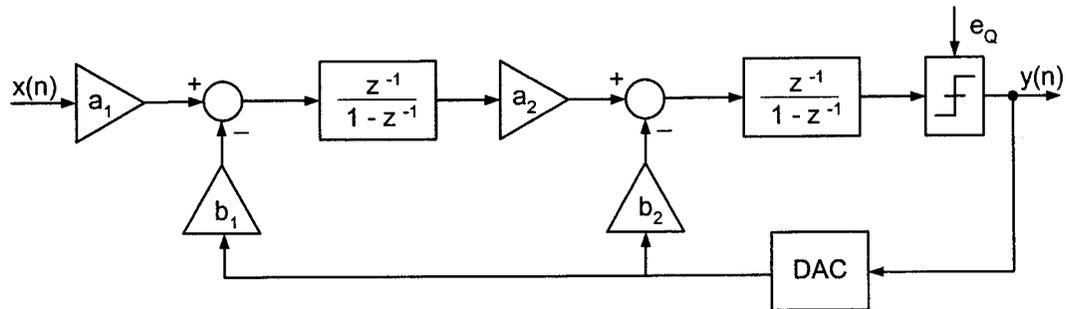


Figura 4.10 . Modulador $\Sigma\Delta$ de bucle simple y de segundo orden.

Esta es una topología clásica de bucle simple, de un solo bit con dos integradores y con realimentación a cada nodo interno. Los términos a_x y b_x son los factores de amplificación para la señal de entrada y la de realimentación, respectivamente, que normalmente se conocen como pesos o ganancias del integrador. La salida del modulador está dada por:

$$Y(z) = z^{-2} X(z) + (1 - z^{-1})^2 E_Q(z) \quad (4.9)$$

Incluyendo dos integradores (cuya función de transferencia está dada por la ecuación (4.3) en el bucle, el orden de $NTF(z)$ se incrementa a dos. De esta forma, el ruido de cuantización es atenuado por dos ceros en DC y la señal de entrada está retardada pero su espectro no se modifica.

4.2.2.1 Relación de Sobremuestreo

Como se demostró en la ecuación (4.6), incrementando la relación de sobremuestreo mejora el rango dinámico. En circuitos de capacidades conmutadas, este incremento implica que el ancho de banda finito del OTA limita el tiempo de establecimiento. La clave es seleccionar la relación de sobremuestreo mínima que alcanza los requisitos marcados.

Para un modulador $\Sigma\Delta$, el ruido total de cuantización en la banda de interés está dado por [Rab99]

$$N_q = e^2_{rms} \frac{\pi^4}{5M^5} = \frac{\Delta^2}{12} \frac{\pi^4}{5M^5} \quad (4.10)$$

La potencia para una señal de entrada a plena escala es

$$S_{in} = \frac{\Delta^2}{8} \quad (4.11)$$

Por tanto, el rango dinámico para un modulador $\Sigma\Delta$ de segundo orden es

$$DR = \frac{N_q}{S_{in}} = \frac{7.5M^5}{\pi^4} \quad (4.12)$$

De la ecuación (4.7), una resolución de 14 bits es equivalente a 86dB. Las no idealidades que degradan el funcionamiento del modulador se deberían incluir en las simulaciones para determinar la relación de sobremuestreo. Además, debido a otras fuentes de error distintas al ruido de cuantización, como el ruido térmico o el ruido flicker, que no se tienen en cuenta en las simulaciones a nivel de sistema, se ha colocado un margen de seguridad de 10dB. De la ecuación (4.12), un rango dinámico $DR = 96dB$ se consigue con una relación de sobremuestreo de $M = 160$. Como la frecuencia de Nyquist es 16kHz, la frecuencia de muestreo es $f_s = 2.56MHz$.

Como la ecuación (4.12) no considera que el nivel de sobrecarga es ligeramente inferior a la amplitud de plena escala, se han realizado varias simulaciones para obtener un rango dinámico más exacto. La SNDR frente a la potencia de la señal de entrada para distintos valores de la relación de sobremuestreo, se muestra en la Figura 4.11 y los resultados se recogen en la Tabla 4.5.

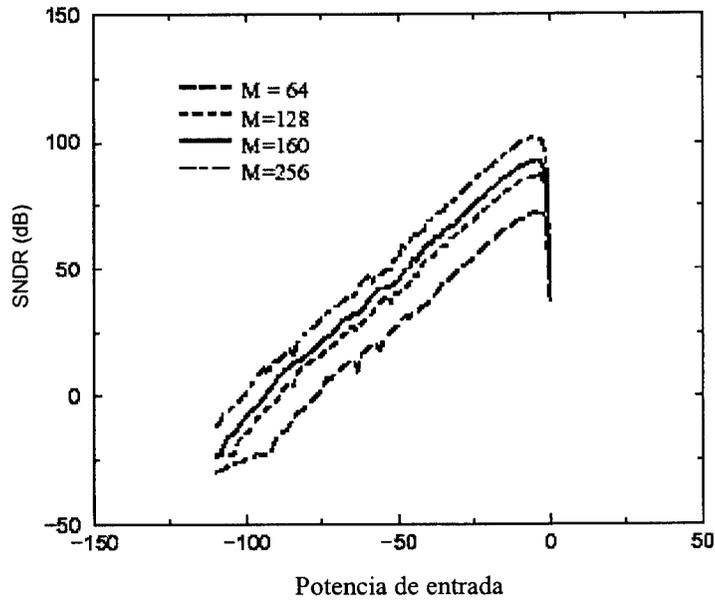


Figura 4.11 . SNDR frente a la señal de entrada para distintas relaciones de sobremuestreo.

Esta figura demuestra que se puede conseguir un rango dinámico de $DR = 94dB$, muy cercanos a los 96dB, con una relación de sobremuestreo de $M = 160$.

M	DR(dB)
64	76
128	88
160	94
256	99

Tabla 4.5 . Rango dinámico para varias relaciones de sobremuestreo.

4.2.2.2 Rango de señal

Los coeficientes del integrador deben ser elegidos correctamente para obtener la máxima señal de salida de los integradores, usando la máxima señal de entrada. Esta cuestión es incluso más importante en diseño de baja tensión.

Como el ruido térmico es el límite fundamental para conseguir la resolución requerida, si se consigue la máxima amplitud de la señal de entrada, el rango dinámico mejora. El rango dinámico de un modulador $\Sigma\Delta$ bien diseñado siempre debe estar limitado por el ruido térmico siempre que el ruido de cuantización tenga un valor cercano al ruido

térmico. Si este ruido es mucho más grande que el de cuantización, la relación de sobremuestreo es mayor de la necesaria, y por tanto, se incrementa el consumo. Si el que es mucho más grande, es el ruido de cuantización, entonces se puede disminuir el consumo permitiendo mayor ruido térmico.

El rango de la señal de salida de los transconductores proporciona el rango de salida de los integradores. Siguiendo el método de [Med99a], los coeficientes del integrador (ver Figura 4.10) elegidos son:

Coefficiente	Valor
a_1	0.25
a_2	0.5
b_1	0.25
b_2	0.25

Tabla 4.6 . Coeficientes del modulador.

Si un modulador de segundo orden cumple $b_2 = 2a_1a_2$, es incondicionalmente estable [Can85]. Además, esta elección produce una máxima señal de salida de los integradores de 0.9Δ , y por tanto, la SNR no es la máxima que se podría alcanzar, pero previene de la sobrecarga del integrador. En teoría, las salidas del comparador podrían alcanzar un rango completo de trabajo de $\Delta=2.6V$. Sin embargo, el OTA descrito en la sección 4.1 no puede alcanzar rango completo de operación porque a su salida tiene transistores cascos necesarios para conseguir una ganancia DC elevada.

4.2.2.3 Variaciones en los coeficientes de los integradores

Los coeficientes de los integradores están dados por la relación entre la capacidad de integración C_i y la capacidad de muestreo C_s . La desigualdad entre estas capacidades produce errores en los coeficientes. Sin embargo, la sensibilidad del modulador respecto a estas variaciones es muy baja debido a la arquitectura de bucle simple. Estos efectos se pueden observar en la Figura 4.12 y en la Figura 4.13 donde se representa el error relativo en la SNDR frente a variaciones en los coeficientes a y b , respectivamente.

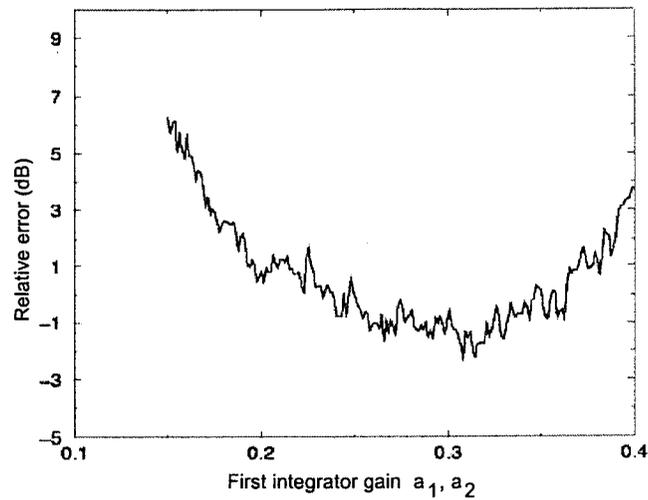


Figura 4.12 . Influencia de los coeficientes del primer integrador sobre la SNDR.

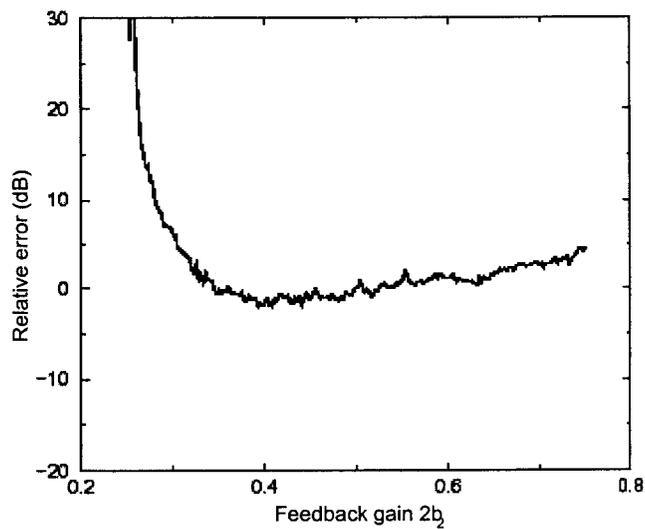


Figura 4.13 . Influencia de los coeficientes de realimentación $2b_2$ sobre SNDR.

En ambas figuras la potencia de la señal de entrada es -40dB . Únicamente en la Figura 4.13 el sistema tiende a la inestabilidad cuando el coeficiente $2b_2$ disminuye de 0.4. Esto tendría lugar para una desigualdad entre capacidades del 20%, que difícil de que suceda cuando se emplean condensadores integrados de doble-poly y técnicas de layout de centroide común.

4.2.2.4 Ganancia finita del integrador

El circuito de la Figura 4.14 es un integrador de capacidades conmutadas. Aunque emplearemos un diseño diferencial, se puede realizar un análisis similar usando el integrador de la figura.

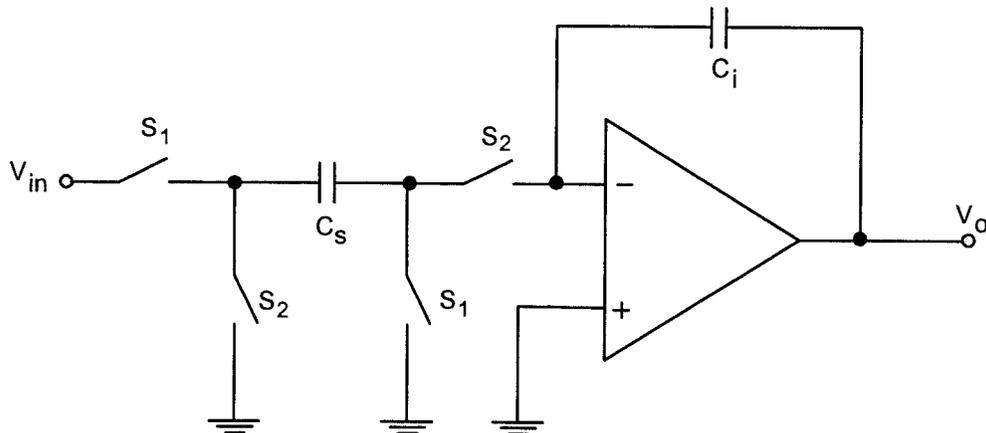


Figura 4.14 . Integrador de capacidades conmutadas.

El circuito trabaja con dos fases de reloj no solapadas: Φ_1 y Φ_2 . Primero, durante Φ_1 , los interruptores S_1 están en conducción y los S_2 están en corte, cargándose la capacidad de muestreo C_s . A continuación, durante Φ_2 , los interruptores S_1 se cortan, S_2 conducen, y la carga almacenada en C_s se transfiere a C_i produciendo una tensión de salida igual a $V_{in}C_s/C_i$. Φ_1 son Φ_2 la fase de muestreo e integración, respectivamente.

La función de transferencia en el dominio z de un integrador ideal viene dada por:

$$H(z) = -\frac{C_s}{C_i} \frac{z^{-1}}{1 - z^{-1}} \quad (4.13)$$

donde la ganancia DC del OTA se considera infinita. Sin embargo, un integrador no ideal tiene una ganancia DC finita limitada por la ganancia DC del OTA. Esto provoca pérdidas en los integradores que producen un desplazamiento del polo respecto del valor ideal $z = -1$, modificando la función de transferencia [Fel98a]:

$$H(z) = -\frac{C_s}{C_i} \frac{z^{-1}}{1 - (1 - \varepsilon)z^{-1}} \quad (4.14)$$

donde

$$(1 - \varepsilon) = \frac{1}{1 + \frac{C_s}{C_i A}} \quad (4.15)$$

y A es la ganancia DC finita del OTA.

Teóricamente, para un modulador de bucle simple, si la ganancia DC del OTA es aproximadamente igual a la relación de sobremuestreo, el rango dinámico no se ve afectado.

Usando el modelo de la ecuación (4.14), se ha simulado la influencia de la ganancia finita del OTA para una señal de entrada de -20dB . Se puede observar en la Figura 4.15, que para $A \geq 130(42\text{dB})$, la SNDR no se ve afectada por las pérdidas en los integradores. Esta ganancia es fácil de obtener incluso para diseños de baja tensión.

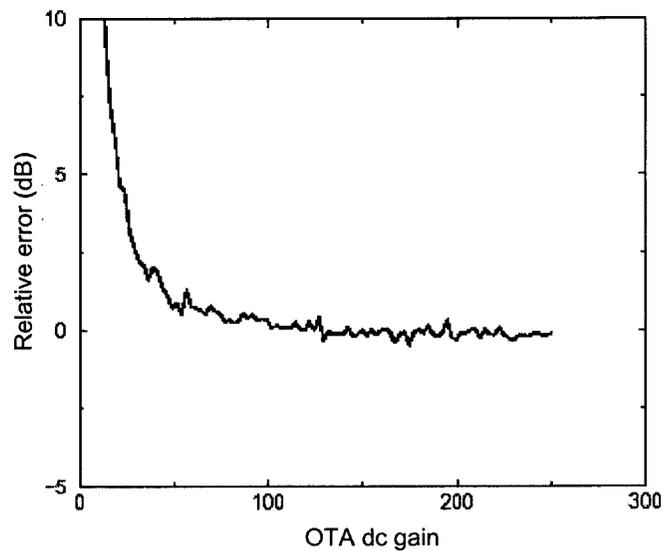


Figura 4.15 . Influencia de la ganancia finita del OTA sobre la SNDR.

4.2.2.5 Slew-Rate y ancho de banda

La influencia de la velocidad del OTA sobre el funcionamiento del modulador se debe a dos parámetros: el ancho de banda y el slew rate.

En un integrador ideal, como en la Figura 4.14, durante la fase de integración Φ_2 la carga almacenada en C_s se transfiere a C_i . En la práctica, esta carga nunca se transfiere totalmente por dos motivos: el slew rate que es el responsable del cambio de la forma de onda de salida del OTA durante la fase de integración (durante este tiempo la salida alcanza el 80% de su valor final), mientras que el resto del tiempo de establecimiento, la salida tiene un comportamiento exponencial (para una realimentación unitaria y una aproximación de un solo polo), que depende del ancho de banda finito del OTA. La tensión de salida varía linealmente con el tiempo si el slew rate no limita la carga del condensador [Ger01].

Los circuitos clase AB solucionan este inconveniente porque no tienen limitaciones de slew rate [Giu03], propiedad que cumple el transconductor de la Figura 4.1.

Para analizar el efecto del ancho de banda finito del OTA, consideremos el circuito equivalente de la Figura 4.16 durante la fase Φ_2 .

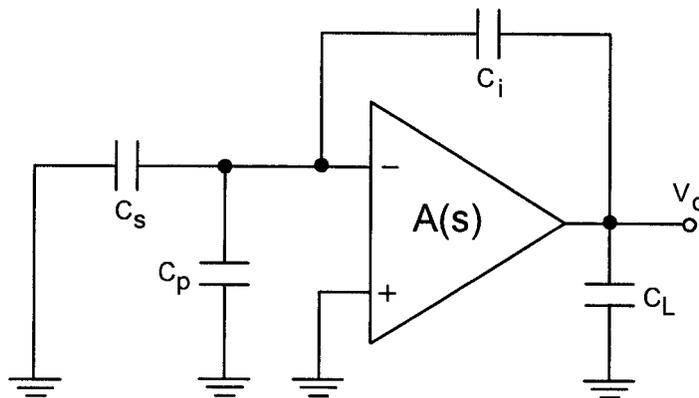


Figura 4.16 . Carga capacitiva del amplificador durante la fase Φ_2 .

El análisis se puede realizar usando la siguiente función de transferencia en bucle abierto del amplificador considerando un solo polo:

$$A(s) = \frac{A_o}{1 - \frac{s}{p_1}} \quad (4.16)$$

donde

A_o es la ganancia DC del amplificador en bucle abierto, $A_o = g_m r_{out}$.

p_1 es el polo del amplificador en bucle abierto, $p_1 = -1/(r_{out} C_{Leff})$, y C_{Leff} es la carga efectiva a la salida del amplificador en bucle abierto, dada por

$$C_{Leff} = C_L + \frac{C_i(C_p + C_s)}{C_i + C_p + C_s} \approx C_s \quad (4.17)$$

Esta aproximación se puede realizar porque los siguientes motivos:

- C_L es muy pequeña durante Φ_2 porque la salida del amplificador se desconecta del resto del sistema.
- $C_s \gg C_p$, la capacidad de muestreo es mucho mayor que la capacidad parásita de entrada.
- $C_s \ll C_i$, debido a que la ganancia del primer integrador es más pequeña.

El factor de realimentación es:

$$\beta = \frac{C_i}{C_i + C_p + C_s} \quad (4.18)$$

Por tanto, la función de transferencia en bucle cerrado es

$$A_{cl}(s) = \frac{A}{1 - A\beta} = \frac{r_{out} g_m}{1 + r_{out} C_{Leff} s - \frac{C_i}{C_i + C_p + C_s} g_m r_{out}} \approx \frac{g_m}{C_{Leff} s - \frac{C_i}{C_i + C_p + C_s} g_m} \quad (4.19)$$

Como es un sistema de un solo polo, la constante de tiempo de todo el sistema se puede expresar como la inversa de la frecuencia del polo. Esta constante de tiempo, que se corresponde con la carga del condensador C_{Leff} , se llama tiempo de establecimiento τ . El tiempo de establecimiento se define como el tiempo requerido por la salida del OTA para alcanzar su valor final, dentro de una exactitud ϵ . De la ecuación (4.19), el tiempo de establecimiento es:

$$\tau = \frac{C_i + C_p + C_s + \frac{C_L(C_p + C_s)}{C_i}}{g_m} \approx \frac{C_s}{g_m} \quad (4.20)$$

La frecuencia de este polo se corresponde aproximadamente con el producto ganancia-ancho de banda del amplificador (GBW).

Mediante simulaciones se ha verificado el correcto funcionamiento del transconductor de la Figura 4.1, en cuanto al tiempo de establecimiento y a la exactitud del establecimiento de la señal, debido a su comportamiento clase AB y a un GBW de 15MHz para una capacidad de carga de 1pF.

4.2.2.6 Histéresis del comparador

El comparador, que se coloca a la salida del segundo integrador, es otro elemento que puede alterar el rango dinámico. Los errores en los niveles del comparador no son muy importantes porque se pueden añadir al ruido de cuantización y se ven afectados por la conformación de ruido. Sin embargo, la histéresis sí puede degradar el funcionamiento del sistema incrementado el fondo de ruido.

La Figura 4.17 muestra la influencia de la histéresis del comparador sobre la SNR. Se puede observar que la histéresis debe estar por debajo de $0.02/\Delta = 15\text{mV}$, para que el rango dinámico no se degrade. Este requisito es fácil de conseguir con un comparador de una sola etapa.

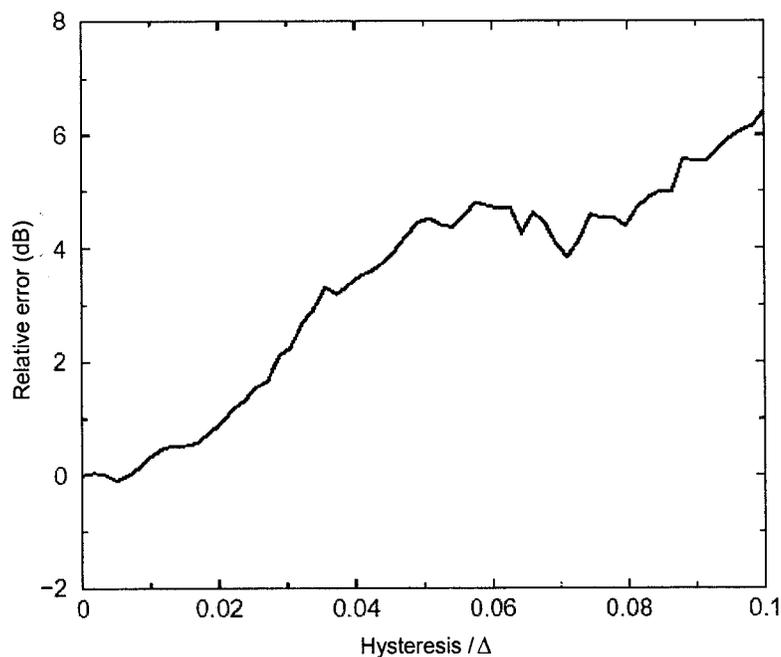


Figura 4.17 . Influencia de la histéresis del comparador.

4.2.2.7 Jitter

El jitter en el reloj puede provocar un muestreo no uniforme e incrementar la potencia del ruido de cuantización. Una evaluación teórica de este error se da en [Bos88a], donde para un modulador de segundo orden este error disminuye cuando aumenta la relación de sobremuestreo. Como la relación de sobremuestreo en este diseño es muy elevada, no se espera una degradación del funcionamiento del modulador por este fenómeno.

4.2.2.8 Otras no linealidades

También, se han realizado simulaciones de otros efectos no ideales, como la no linealidad del OTA y la no linealidad de los valores de los condensadores, y no han apreciado variaciones en el rango dinámico.

La Tabla 4.7 resume las consideraciones de diseño del modulador $\Delta\Sigma$.

Modulator	Topology	2 nd order
	Sampling frequency	2.56MHz
	Oversampling ratio	160
Integrators	Coefficients	a1=b1=b2=0.25 a2=0.5
OTA	Output Swing	$\Delta/2=1.3V$
	GBW	15MHz
	DC gain	>130 (42dB)
Comparator	Hysteresis	<15mV

Tabla 4.7 . Parámetros de diseño del $\Delta\Sigma$ M.

4.2.3 Implementación del modulador

En esta sección, se ha realizado el diseño a nivel de circuito de cada uno de los bloques que forman el modulador siguiendo las especificaciones del apartado anterior. El procedimiento de diseño comienza con los integradores (OTA e interruptores) y finaliza con la descripción del resto de los bloques: cuantizador, convertidor D/A, doblador de tensión y generador de reloj.

El sistema ha sido diseñado en tecnología CMOS de $0.6\mu\text{m}$ y trabaja con una tensión de alimentación de 1.3V.

4.2.3.1 Primer integrador

La arquitectura del primer integrador se muestra en la Figura 4.18, donde las tensiones V_{ip} y V_{in} son las entradas del modulador, V_{r1p} y V_{r1n} son las salidas del convertidor D/A y V_{cmi} la tensión de entrada de modo común del OTA. C_{s1} y C_{i1} son las capacidades de muestreo y de integración, respectivamente.

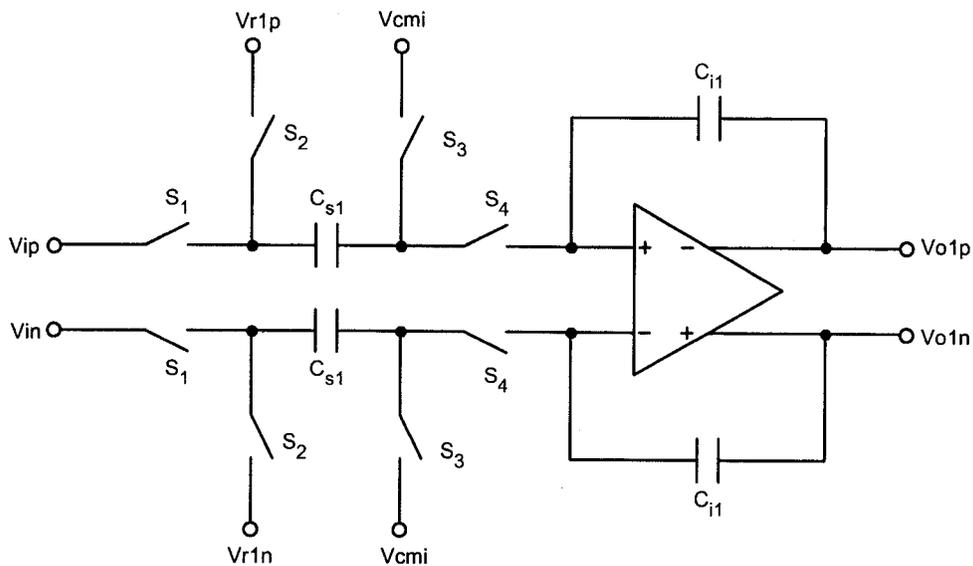


Figura 4.18 . Primer integrador.

Como los coeficientes a_1 y b_1 son iguales, la diferencia entre las señales de entrada y de realimentación se puede realizar usando la misma capacidad de muestreo [Rab99]. Por tanto, el ruido kT/C generado es menor que si se emplearan capacidades de muestreo separadas para cada señal.

El integrador trabaja de la siguiente forma:

- Durante la fase de muestreo Φ_1 , los interruptores S_1 y S_3 están en conducción, mientras S_2 y S_4 están en corte, y por tanto, la tensión a través de C_{s1} es aproximadamente igual a V_i . La tensión diferencial entre las capacidades de

muestreo es $V_i = V_{ip} - V_{in}$. La carga sobre las capacidades de integración C_{i1} no cambia.

- Durante la fase de integración Φ_2 , S_1 y S_3 se cierran, mientras que S_2 y S_4 conducen, y la carga proporcional a la diferencia entre V_i y la tensión de realimentación V_{r1} , se transfiere desde C_{s1} a C_{i1} .

Realmente, los interruptores son controlados siguiendo las señales de reloj de la Figura 4.19. El primer integrador se controla con dos fases no solapadas Φ_1 y Φ_2 , y sus versiones dobladas y retrasadas Φ_{1d} y Φ_{2d} . De esta forma, el integrador emplea la técnica “*bottom-plate sampling technique*” [Gra96] para minimizar la dependencia entre la inyección de carga y la señal.

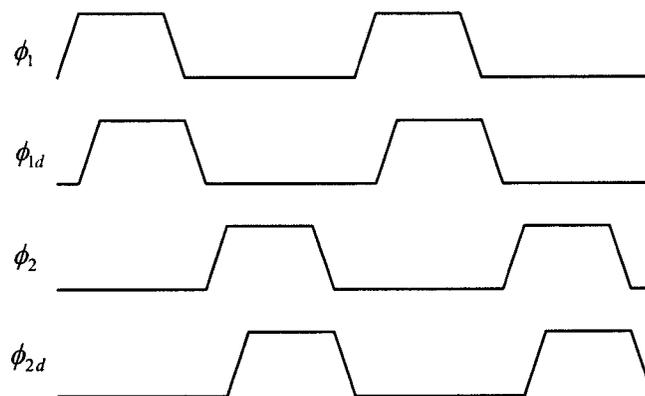


Figura 4.19 . Fases de reloj del primer integrador.

El OTA trabaja correctamente con una tensión de entrada de modo común de $V_{cmi} = 200mV$. Con este valor, los interruptores S_3 , S_4 no están controlados por dobladores de tensión.

Los valores de las capacidades de muestreo e integración se han elegido siguiendo un análisis de ruido similar al realizado en [Muñ02]. En este caso, el valor de dichas capacidades es: $C_s > 2.1pF$ y $C_i > 80fF$. En realidad, los valores de estas capacidades se han elegido mayores de los mínimos requeridos, con objeto de que el ruido de muestreo no limite el rango dinámico. En este caso, se ha utilizado $C_s = 3pF$ y $C_i = 4C_s = 12pF$ para que el coeficiente del integrador sea 0.25.

Los parámetros del primer integrador se recogen en la Tabla 4.8 y en la Tabla 4.9.

Interruptor	Reloj	Tipo	W/L($\mu\text{m}/\mu\text{m}$)
S ₁	$\Phi_{1d,D}$	NMOS	9/0.6
S ₂	$\Phi_{2d,D}$	Puerta de transmisión	NMOS:15/0.6, PMOS:45/0.6
S ₃	Φ_1	NMOS	9/0.6
S ₄	Φ_2	NMOS	9/0.6

Tabla 4.8 . Interruptores del primer integrador.

Capacidad	Valor
C _{s1}	3pF
C _{il}	12pF
Tensión	
V _{cmi}	200mV

Tabla 4.9 . Parámetros del primer integrador.

4.2.3.2 Segundo integrador

Debido a que las fuentes de ruido térmico dentro del bucle son fuertemente suprimidas, el valor de los condensadores del segundo integrador puede ser mucho más pequeño que el de las capacidades de muestreo del primer integrador. De esta forma, el OTA de este segundo integrador necesita una transconductancia más baja, por lo que sus transistores pueden ser diseñados con menor tamaño y reducir el menor consumo de potencia.

El esquema del segundo integrador aparece en la Figura 4.20. Como los coeficientes del integrador, a_2 y b_2 , son distintos, se usan dos capacidades de muestreo C_{s21} y C_{s22} . Este integrador presenta un desacoplo entre la señal de modo común de la entrada y la entrada de modo común del amplificador. Las tensiones V_{cmi} y V_{cm} son independientes; V_{cm} normalmente se ajusta al valor medio de la tensión de alimentación, teniendo esto la ventaja de conseguir rango total de operación del integrador, mientras que V_{cmi} tiene un valor bajo que establece el modo común de los transistores PMOS de entrada del amplificador. Durante la fase Φ_1 , la señal de entrada se almacena en las dos capacidades, mientras que durante Φ_2 , la salida del convertidor D/A sólo se aplica a una de ellas. Si $C_{s21} = C_{s22}$, la ganancia del camino directo es el doble que la del camino de realimentación.

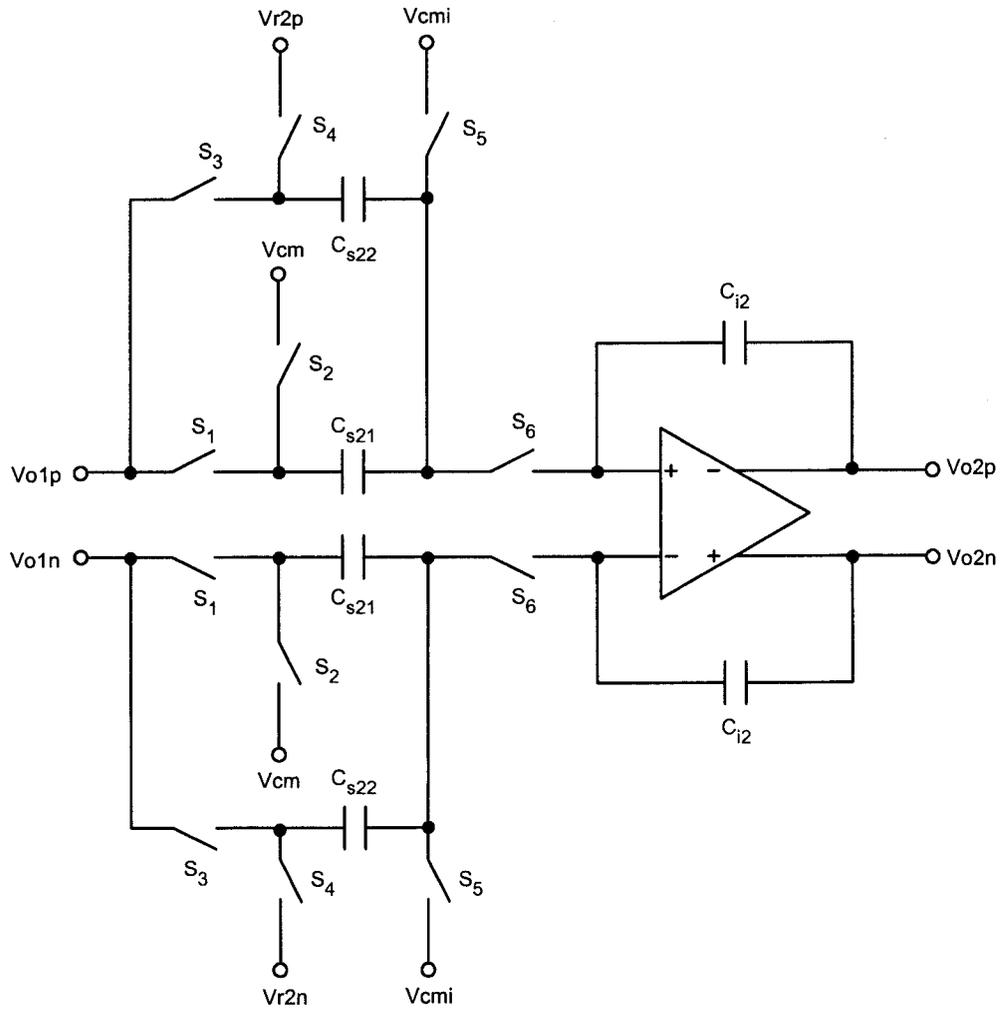


Figura 4.20 . Segundo integrador.

Los parámetros del segundo integrador aparecen en la Tabla 4.10 y en la Tabla 4.11.

Interruptor	Reloj	Tipo	W/L($\mu\text{m}/\mu\text{m}$)
S ₁	$\Phi_{1d,D}$	NMOS	9/0.6
S ₂	$\Phi_{2d,D}$	NMOS	9/0.6
S ₃	$\Phi_{1d,D}$	NMOS	9/0.6
S ₄	$\Phi_{2d,D}$	Puerta de transmisión	NMOS:15/0.6, PMOS:45/0.6
S ₅	Φ_1	NMOS	9/0.6
S ₆	Φ_2	NMOS	9/0.6

Tabla 4.10 . Interruptores del segundo integrador.

Capacidad	Valor
C_{s21}	200fF
C_{s22}	200fF
C_{i2}	800fF
Tensión	
V_{cmi}	200mV
V_{cm}	650mV

Tabla 4.11 . Parámetros del segundo integrador.

4.2.3.3 Amplificador operacional de transconductancia

El modulador $\Sigma\Delta$ ha sido implementado con el transconductor de la Figura 4.1, donde su comportamiento fue explicado en detalle. El OTA del primer integrador fue rediseñado respecto a los parámetros proporcionados en la Tabla 4.2, teniendo en cuenta la tensión de alimentación, la tecnología y los valores de las capacidades. Los nuevos parámetros se recogen en la Tabla 4.12.

Transistor	W/L($\mu\text{m}/\mu\text{m}$)
M_1, M_2, M_3, M_4	130/1
$M_5, M_6, M_7, M_8, M_9, M_{10}$	15/1
$M_{CMc}, M_{casn}, M_{on+}, M_{on-}$	15/1
$M_{CM}, M_{casp}, M_{op+}, M_{op-}$	50/1
$M_{11}, M_{12}, M_{13}, M_{14}$	50/1
Tensiones y corriente	
V_{DD}	1.3V
V_{casn}	1V
V_{casp}	0.35V
I_b	$3\mu\text{A}$

Tabla 4.12 . Parámetros de diseño del OTA del primer integrador.

Realizando un análisis AC en bucle abierto de este transconductor con una capacidad de carga $C_L = 3\text{pF}$ y una corriente de polarización $I_b = 3\mu\text{A}$, su respuesta en frecuencia tiene un comportamiento similar al de la Figura 4.4. La ganancia DC es 75dB ($\gg 42\text{dB}$ requerido) y el GBW es 15MHz. Su consumo quiescente es sólo $30\mu\text{W}$.

Como el segundo integrador necesita controlar una capacidad de muestreo mucho más pequeña que el primer integrador, el OTA ha sido escalado y con él su consumo. Los parámetros de este transconductor se muestran en la Tabla 4.13. Tiene un consumo de potencia de sólo $5\mu\text{W}$.

Transistor	W/L($\mu\text{m}/\mu\text{m}$)
M_1, M_2, M_3, M_4	30/1
$M_5, M_6, M_7, M_8, M_9, M_{10}$	3/1
$M_{CMc}, M_{casn}, M_{on+}, M_{on-}$	3/1
$M_{CM}, M_{casp}, M_{op+}, M_{op-}$	10/1
$M_{11}, M_{12}, M_{13}, M_{14}$	10/1
Tensiones y corriente	
V_{DD}	1.3V
V_{casn}	0.9V
V_{casp}	0.3V
I_b	500nA

Tabla 4.13 . Parámetros de diseño del OTA del segundo integrador.

Como el par pseudo-diferencial de entrada del transconductor está formado por transistores PMOS, el nivel de modo común de entrada V_{cmi} puede estar cercano a tierra. Este valor es $V_{cmi} = 200mV$ para ambos transconductores. El voltaje de modo común de la salida es fijado a $V_{DD}/2$, usando el típico circuito de la Figura 4.2, cuyos parámetros se muestran en la Tabla 4.14.

Interruptor	Reloj	Tipo	W/L($\mu\text{m}/\mu\text{m}$)
S_1	$\Phi_{1d,D}$	NMOS	2/0.6
S_2	$\Phi_{2d,D}$	NMOS	2/0.6
Capacidades (primer integrador)			
C_1			40fF
C_2			200fF
Capacidades (segundo integrador)			
C_1			100fF
C_2			500fF

Tabla 4.14 . Parámetros del circuito de modo común del primer y segundo integrador.

4.2.3.4 Comparador

Para realizar la conversión de un solo bit, se ha utilizado un simple comparador dinámico, similar al presentado en [Joh97]. Esta topología permite cumplir los no muy estrictos requisitos, en cuando a velocidad y exactitud, exigidos para este modulador. El comparador consta de un desplazador de nivel y de un latch.

El latch se muestra en la Figura 4.21, y está formado por un par de entrada PMOS (M_1 y M_2) y una carga NMOS (M_3 y M_4) con interruptores en paralelo (M_5 y M_6). Cuando el reloj Φ_1 está a nivel alto, las salidas diferenciales del latch se resetean a tierra. Cuando, Φ_1 está a nivel bajo, el latch entra en fase de regeneración y a través del bucle de realimentación positiva, formado por M_3 y M_4 , la señal de entrada es amplificada hasta uno de los límites de alimentación.

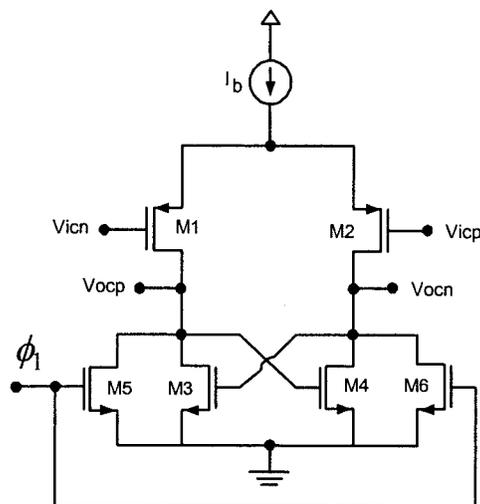


Figura 4.21 . Latch del comparador.

Las entradas del comparador están conectadas a las salidas de la etapa previa, que es la salida del segundo integrador, y que tiene un nivel de $V_{DD}/2$. Como esta tensión no se puede aplicar directamente las a las puertas de los transistores PMOS, la señal necesita ser desplazada por el circuito de la Figura 4.22.

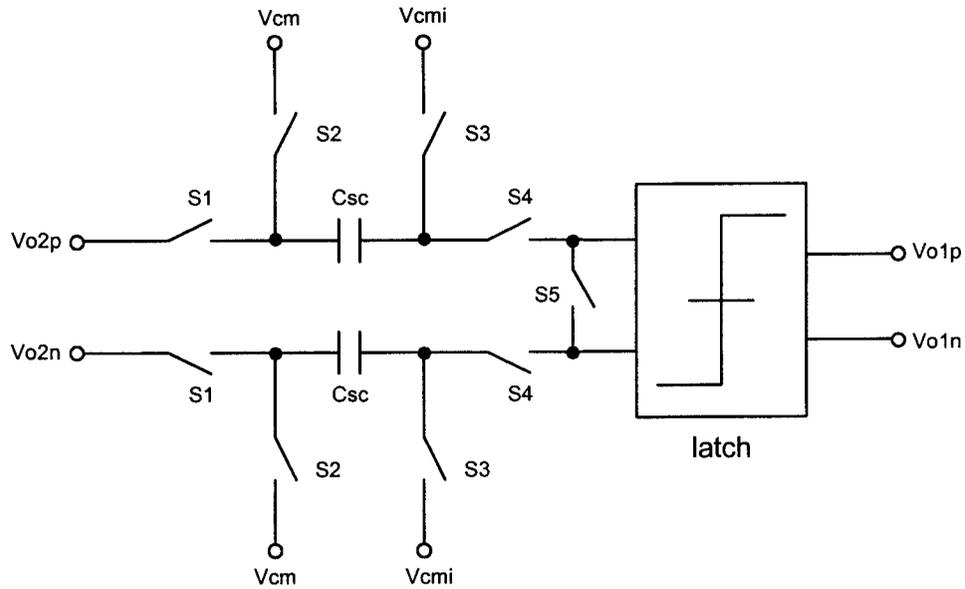


Figura 4.22 . Desplazador de nivel del comparador.

Durante la fase Φ_1 , los interruptores S_1 , S_3 y S_5 conducen, mientras S_2 y S_4 se cortan; de esta forma, el voltaje a través de C_{sc} es aproximadamente igual a $V_{o2} - V_{cmi}$. Durante la fase Φ_2 , S_1 , S_2 y S_5 conducen, mientras que S_2 y S_4 se cierran, y la tensión de entrada del latch es $V_{o2} - V_{cmi} - V_{cm}$. S_5 elimina la carga parásita almacenada sobre S_4 , y reduce la histéresis del comparador.

Los parámetros de diseño del latch se recogen en la Tabla 4.15, y los del desplazador de nivel en la Tabla 4.16.

Transistor	W/L($\mu\text{m}/\mu\text{m}$)
M_1	8/0.6
M_2	8/0.6
M_3	1/0.6
M_4	1/0.6
M_5	1/0.6
M_6	1/0.6
Corriente	
I_b	1 μA

Tabla 4.15 . Parámetros de diseño del latch.

Interruptor	Reloj	Tipo	W/L($\mu\text{m}/\mu\text{m}$)
S ₁	$\Phi_{1d,D}$	NMOS	9/0.6
S ₂	$\Phi_{2d,D}$	NMOS	9/0.6
S ₃	Φ_1	NMOS	9/0.6
S ₄	Φ_2	NMOS	9/0.6
S ₅	Φ_{2na}	NMOS	9/0.6

Tabla 4.16 . Interruptores del desplazador de nivel del comparador.

Φ_{2na} es la fase Φ_2 invertida y adelantada. Las tensiones de modo común son $V_{cm} = 650mV$, $V_{cmi} = 200mV$ y la capacidad $C_{sc} = 200fF$.

4.2.3.5 Convertidor D/A

Se ha implementado un convertidor D/A de 1 bit usando interruptores controlados por las salidas del comparador (Figura 4.23). Estos interruptores son puertas de transmisión que están conectadas a unas referencias de tensión. Estos niveles de referencia son $V_{ref+} = (3/4)V_{DD} = 975mV$ y $V_{ref-} = (1/4)V_{DD} = 325mV$, y han sido elegidos para no permitir un rango completo de operación debido a los transistores cascos de los transconductores.

El valor de las tensiones de referencia se almacena sobre las capacidades de muestreo durante la fase Φ_2 . Como es muy importante que la carga se transfiera totalmente, los interruptores deben ser diseñados para tener una constante de tiempo pequeña.

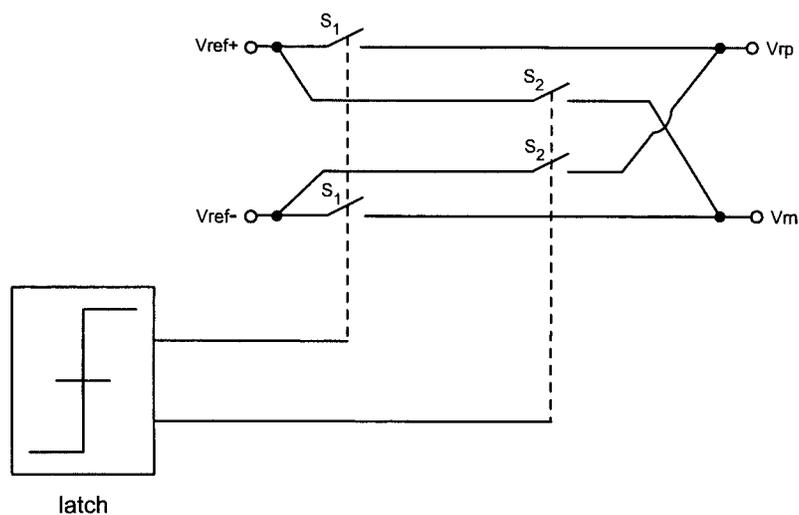


Figura 4.23 . Convertidor D/A.

4.2.3.6 Doblador de tensión

En [Abo99] se publica un doblador de tensión para tecnología CMOS. Este circuito emplea dos dobladores de tensión para generar la señal de reloj: uno de ellos se usa para eliminar el latch-up. Este circuito es mejorado en [Fav97], donde uno de los dobladores de tensión es reemplazado por parejas de interruptores, y cuyo esquema se representa en la Figura 4.24.

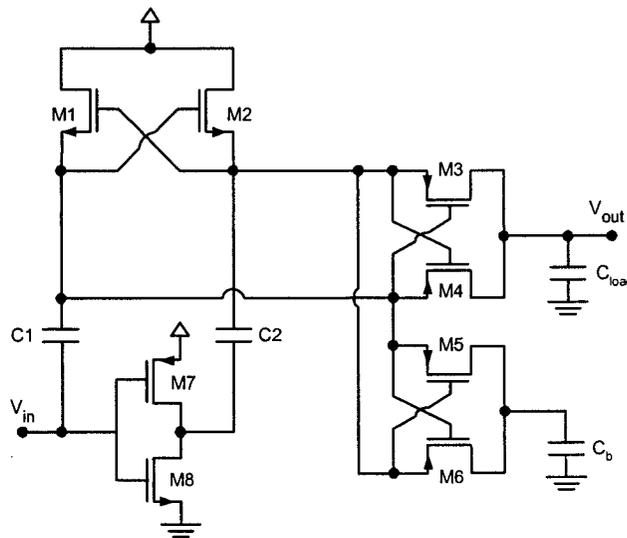


Figura 4.24 . Doblador de tensión reportado en [Fav97].

El doblador de tensión que se ha utilizado presenta algunos cambios respecto al de [Fav97]:

- Los transistores M_3 y M_4 han sido reemplazados por M_3' y M_4' . De esta forma, se consigue una señal de reloj en lugar de una señal doblada de forma permanente.
- La capacidad C_b se ha conectado a la tensión de alimentación (en lugar de a tierra), para prevenir el latch-up durante el transitorio de encendido.

El circuito completo se muestra en la Figura 4.25 y fue reportado en [Muñ02].

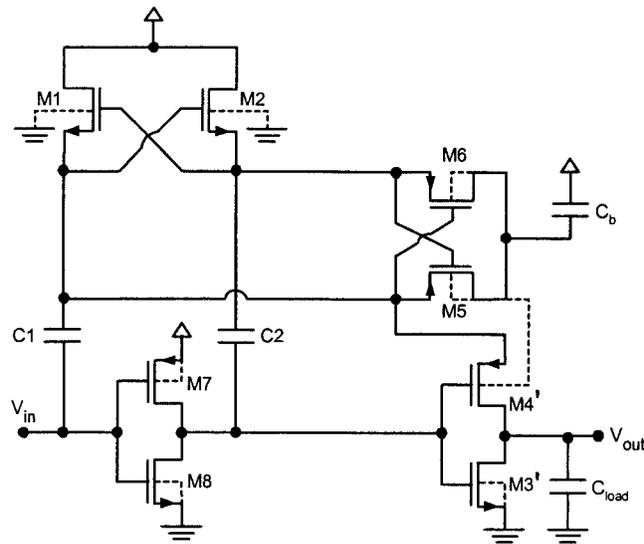


Figura 4.25 . Doblador de tensión.

Los parámetros del doblador de tensión se recogen en la Tabla 4.17.

Transistor	W/L($\mu\text{m}/\mu\text{m}$)
M ₁ , M ₂	12/0.6
M ₅ , M ₆	2/0.6
M ₃ '	18/0.8
M ₄ '	16/0.6
M ₇	20/0.8
M ₈	10/0.8
Capacidades	
C ₁	3pF
C ₂	350fF
C _b	215fF

Tabla 4.17 . Parámetros de diseño del doblador de tensión.

El doblador de tensión alcanza 2.4V usando una tensión de alimentación de 1.3V. Como esta tensión es superior a $V_{DD} + V_T$, los interruptores se pueden controlar en todo el rango de voltaje entre tierra y V_{DD} . Su consumo es sólo $9\mu\text{W}$.

4.2.3.7 Generador de reloj

Como se discutió anteriormente, los integradores necesitan dos fases de reloj no solapadas, con sus versiones retardadas para evitar los errores en la inyección de carga. Las dos formas de onda se dibujan en la Figura 4.26, donde Φ_{1d} y Φ_{2d} son las versiones retardadas de Φ_1 y Φ_2 .

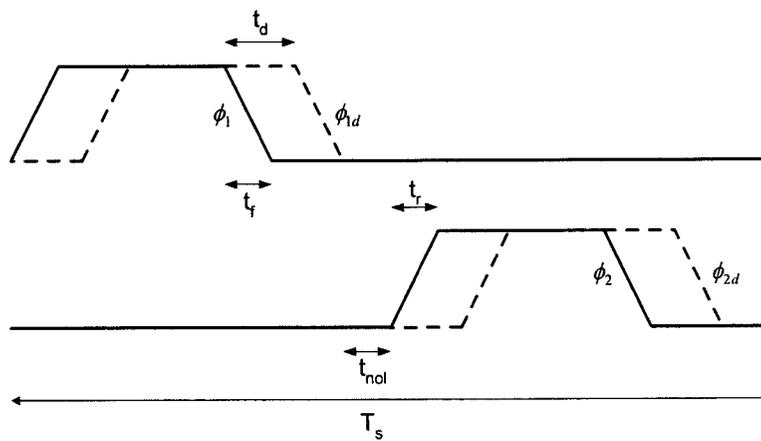


Figura 4.26 . Formas de onda de los relojes.

Los flancos de subida de los relojes retardados y de los no retardados deben de alinearse para incrementar el tiempo de establecimiento disponible para el transconductor. Este tiempo está dado por:

$$t_{sette,available} = \frac{T_s}{2} - t_{nol} - t_r - t_f \quad (4.21)$$

donde

T_s es el periodo de muestreo.

t_{nol} es el tiempo de no solapamiento.

t_r es el tiempo de subida.

t_f es el tiempo de bajada.

El circuito de la Figura 4.27 [Fel98a] se ha utilizado para generar las fases de reloj.

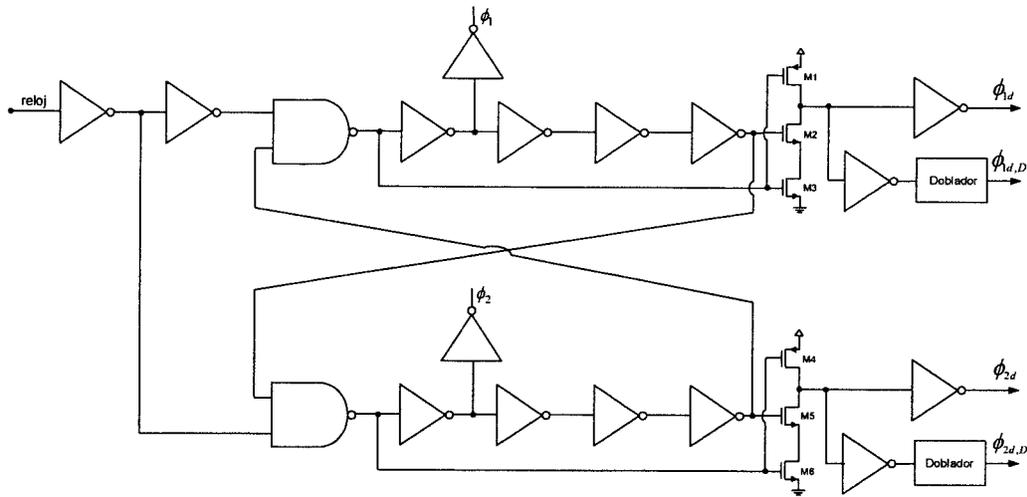


Figura 4.27 . Generador de las fases de reloj.

Los transistores M_1 - M_3 y M_4 - M_6 alinean los flancos de de subida de los relojes retardados y no retardados. El retardo entre las fases se produce usando cadenas de inversores y puertas NAND.

Consideraciones de diseño

Al final de la fase de muestreo Φ_1 , las entradas del latch de la Figura 4.21 deben estar preparadas para compararlas. Esta comparación se realiza durante la fase de integración Φ_2 . Sin embargo, debido al retardo generado por el latch, el resultado de la comparación no estaba preparado al final de la fase Φ_2 . Para solucionar este problema se diseñaron dos nuevas fases de reloj para el comparador con el objetivo de que el latch disponga de más tiempo para realizar la comparación. La forma ideal de estas fases de reloj, Φ_{1_C} y Φ_{2_C} , se muestran en la Figura 4.28.

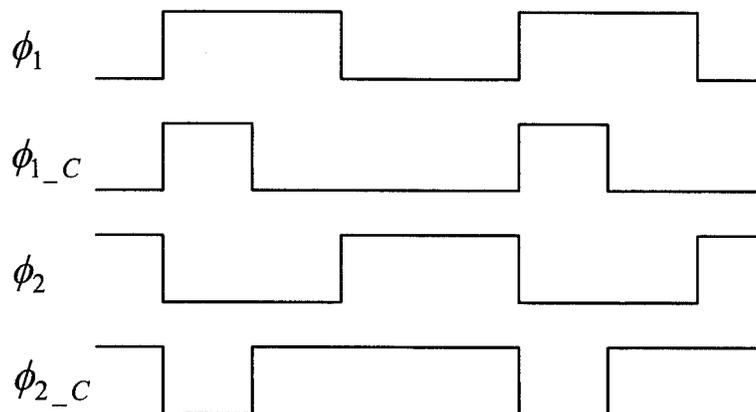


Figura 4.28 . Dos nuevas fases de reloj para el comparador.

Para generar estas nuevas formas de onda, se rediseñó el circuito de la Figura 4.28 por el de la Figura 4.29.

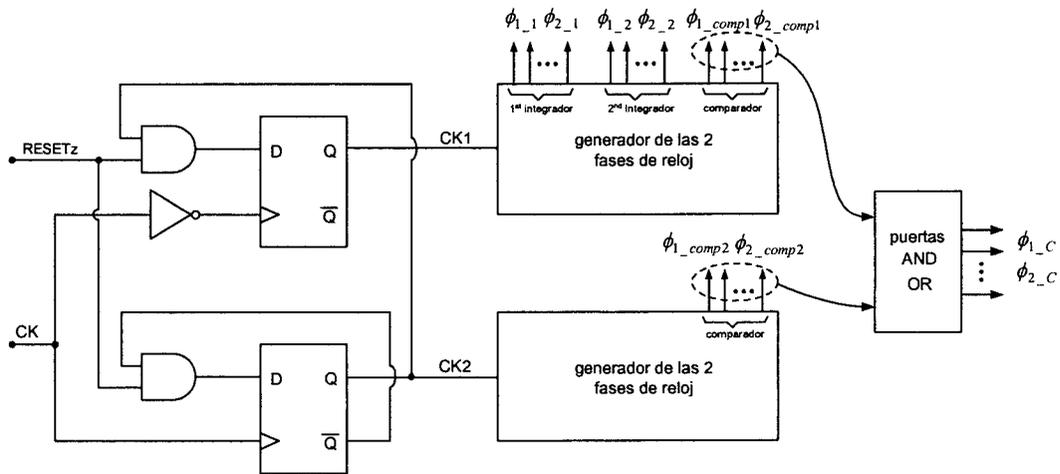


Figura 4.29 . Generación de las 2 fases de reloj para el comparador.

Este generador de reloj trabaja de la siguiente forma: en primer lugar se generan dos señales de reloj CK1 y CK2, con la mitad de frecuencia de la señal de entrada CK. Esto se realiza con biestables tipo D [Mon96] y con la señal de entrada CK (con frecuencia $2f_s$, donde f_s es la frecuencia de muestreo). Las señales CK1 y CK2 son las señales de entrada del generador de reloj de la Figura 4.27.

De la señal CK1, se generan las fases de reloj para el primer y segundo integrador: Φ_{i_j} , es la fase i para el integrador j . El bloque formado por las puertas AND y OR genera las señales de reloj, Φ_{1_C} y Φ_{2_C} , para el comparador, de la forma que se indica en la Figura 4.30.

La señal externa RESETz y las puertas AND de dos entradas aseguran que siempre CK1 estará retrasada medio periodo respecto a CK2.

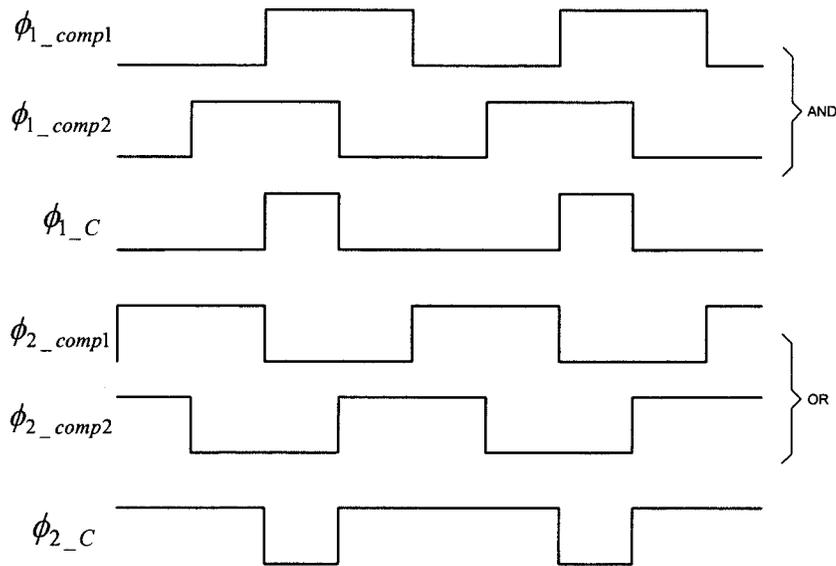


Figura 4.30 . Señales de reloj del comparador.

4.2.4 Resultados de simulación

El modulador $\Sigma\Delta$ ha sido simulado en tecnología CMOS de $0.6\mu\text{m}$ con Spectre. En la Figura 4.31 se puede ver el espectro de la señal de salida del modulador para una entrada senoidal de 1kHz y -10dB (en la gráfica aparece un desplazamiento de 20dB). La simulación se ha realizado con 20000 muestras y los datos han sido procesados con MATLAB.

Para diferentes amplitudes de la señal de entrada, y siempre con una frecuencia de 1kHz, se ha simulado la relación señal ruido en función de la potencia de la señal de entrada. Los resultados se pueden ver en la Figura 4.32. El rango dinámico vale aproximadamente 86dB , lo que corresponde a 14 bits efectivos. Si se tiene en cuenta que el consumo total del modulador es $40\mu\text{W}$, la figura de mérito de la ecuación (4.8), es de $FOM = 0.15$, mejorando el estado del arte

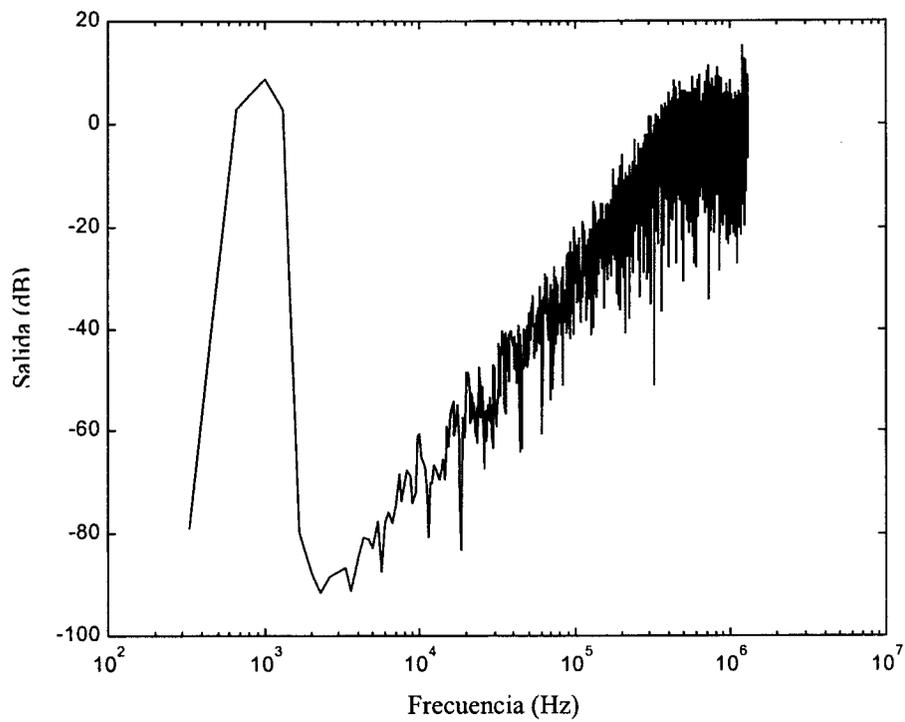


Figura 4.31 . Espectro de la señal de salida del modulador $\Sigma\Delta$ para una señal de entrada de 1kHz.

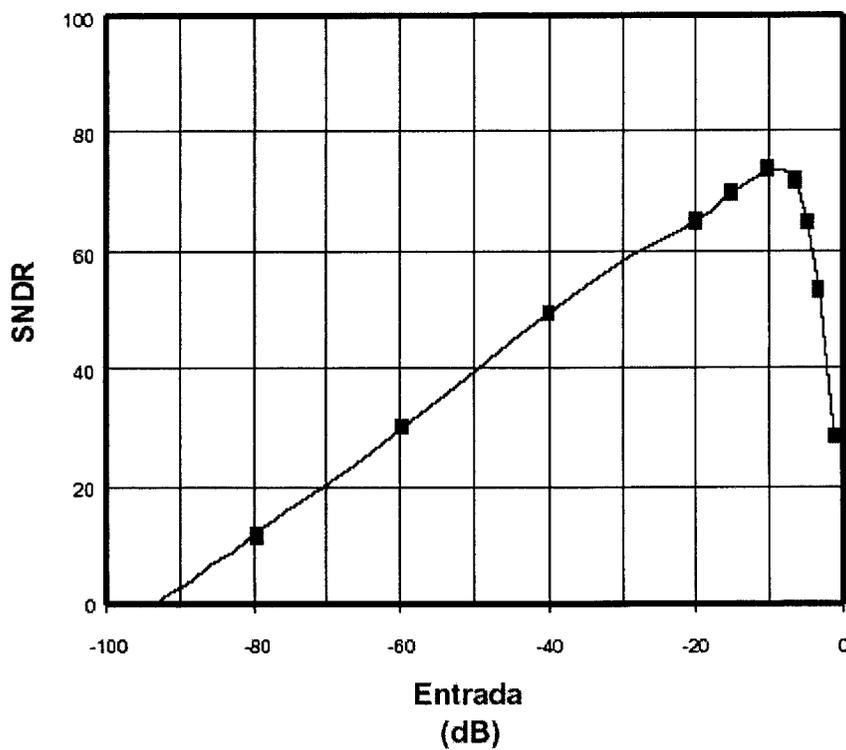


Figura 4.32 . SNDR del modulador $\Sigma\Delta$.

4.2.5 Conclusiones

En este capítulo se ha diseñado un modulador $\Sigma\Delta$ de segundo orden, de baja tensión de alimentación y de muy bajo consumo de potencia, mejorando el estado del arte. La tensión de alimentación es de 1.3V en tecnología 0.6 μm con un consumo de 40 μW . El modulador se ha implementado con técnicas de capacidades conmutadas y se ha realizado un estudio individual de cada uno de los bloques de diseño, primero a nivel de sistema y posteriormente, a nivel de circuito. Sus excelentes prestaciones se han conseguido gracias a los nuevos transconductores presentados en la sección 4.1, basados en la celda FVFDP.

Capítulo 5

Conclusiones y líneas futuras de investigación

Este capítulo resume los resultados más relevantes y las conclusiones derivadas de esta Tesis Doctoral. Además, se señalan algunas líneas de trabajo que pueden continuar la labor desarrollada en esta investigación. La Tesis pretende ser una contribución al diseño de circuitos analógicos CMOS de baja tensión de alimentación y bajo consumo de potencia. El interés por esta línea de investigación fue justificado a lo largo del capítulo de introducción.

Las características de la celda FVF han sido aplicadas en esta Tesis, como una técnica para diseñar circuitos analógicos con muy bajo consumo y baja tensión. Se han implementado varios circuitos novedosos, tanto en tiempo continuo como en tiempo discreto, basados en los distintos esquemas del FVF.

5.1 Contribuciones

El capítulo 3 se enfocó en los circuitos en tiempo continuo diseñados siguiendo los esquemas FVFDP y DFVF. Las principales contribuciones que se han presentado son las siguientes:

- Un nuevo transconductor lineal con estructura pseudo-diferencial basado en FVFDP, cuyo funcionamiento en clase AB y su simple topología, permiten conseguir un muy bajo consumo de corriente quiescente. Las propiedades de la celda FVFDP fueron combinadas para cancelar los términos cuadráticos en la corriente de salida, incrementando la linealidad. Además, la transconductancia puede ser ajustada en un gran rango lo que permite que sea un circuito muy adecuado para aplicaciones de filtros analógicos y osciladores controlados por tensión. Un circuito de realimentación de modo común, junto con un circuito para cancelar las corrientes de modo común, permite estabilizar las señales de salida en todo el rango de ajuste.
- Este transconductor fue usado para construir un filtro Gm-C paso banda de segundo orden con objeto de mostrar sus características. La frecuencia central del filtro es 10.7MHz, trabaja con una tensión de alimentación de 2V y tiene un consumo de potencia que varía entre 1.18mW y 1.8mW en el rango de ajuste. Además, la frecuencia central es ajustable en dos décadas (320kHz – 33MHz) y el factor de calidad también puede ser ajustado entre 1 y 270.
- Un oscilador controlado por tensión fue diseñado como otra aplicación del transconductor. La frecuencia de oscilación puede ser ajustada entre 1MHz y 22.8MHz y presenta una THD del 1% para una señal de salida de 200mV_{pp} a 22.8MHz.
- Para determinar el máximo comportamiento en frecuencia del transconductor, éste fue rediseñado para construir un oscilador de muy alta frecuencia. Este oscilador presenta un control de la frecuencia de oscilación entre 2.6MHz y 70MHz.

- Varios buffers clase AB con baja capacidad de entrada ($<32\text{fF}$) fueron diseñados usando la celda DFVF. Los resultados muestran una THD del 0.1% para señales de entrada con $1V_{pp}$ y frecuencia 100kHz. Además, su consumo es muy reducido debido a su comportamiento clase AB.
- El transconductor, el filtro, el oscilador y uno de los buffers fueron fabricados dentro del mismo circuito integrado en tecnología CMOS de $0.8\mu\text{m}$.

El capítulo 4 se dedicó a aplicaciones de circuitos analógicos en tiempo discreto, donde las principales aportaciones son:

- Dos nuevos transconductores completamente diferenciales basados en la celda FVFPD que mejoran el compromiso entre velocidad y consumo en circuitos de capacidades conmutadas. Su comportamiento clase AB permite muy bajo consumo de potencia y baja tensión de alimentación, y no sufre de limitaciones de slew rate. Ambos transconductores trabajan con una tensión de 1.1V y fueron diseñados en una tecnología CMOS de $0.35\mu\text{m}$. Uno de ellos consume $10\mu\text{W}$ y el otro $7\mu\text{W}$.
- Con objeto de aprovechar las excelentes propiedades de ambos transconductores, se diseñó un modulador $\Sigma\Delta$. Este sistema trabaja con una tensión de alimentación de 1.3V y consume $40\mu\text{W}$ con un rango dinámico de 14 bits, mejorando con ello el estado del arte. El modulador fue implementado en tecnología CMOS de $0.6\mu\text{m}$.

Todos los diseños de esta Tesis han sido reportados en [Car02a], [Car02b], [Car03], [Gal02a], [Gal02b], [Gal02c], [Gal03a], [Gal03b], [Ram02b], [Tor02a] y [Tor03].

5.2 Líneas futuras de investigación

Las aportaciones presentadas en este trabajo dejan abiertas nuevas líneas de investigación, entre las que se destacan:

- Estudio de nuevos modelos teóricos que permitan caracterizar los circuitos clase AB y realizar métodos de diseño fiables. Estos modelos deben estudiar las propiedades de los circuitos operando en inversión moderada y relacionar la

corriente de polarización con su ancho de banda y tiempo de muestreo en circuitos de capacidades conmutadas.

- El autor está colaborando en ampliar la gama de celdas derivadas del FVF. Estas celdas son nuevas estructuras diferenciales, circuitos de mínimo-máximo, filtros *rank-order*, etc.
- Construir un sistema completo para el filtro y el oscilador controlado por tensión, con un control automático de la frecuencia central y el factor de calidad para el filtro, y un control automático de amplitud para el oscilador.
- Estudiar el comportamiento de la estructuras clase AB funcionando en inversión débil y comprobar si mejoraría el consumo de los actuales circuitos de muy bajo consumo, con objeto de emplearlos en aplicaciones biomédicas.
- Estudiar la posibilidad de realizar amplificadores operacionales super-clase AB, esto es con etapa clase AB tanto a la entrada como a la salida.
- Después de conseguir un modulador $\Sigma\Delta$ de alta resolución y muy bajo consumo que ha mejorado el estado del arte, se pretende mejorar la velocidad del sistema manteniendo las prestaciones del consumo de potencia.

Bibliografía

[Abi00] A. Abidi, "A Broad-Band Tunable CMOS Channel-Select Filter for a Low-IF Wireless Receiver", *IEEE Journal of Solid-State Circuits*, vol. 35, n° 4, pp. 476-489, Abril 2000.

[Abo99] A. M. Abo y P. R. Gray, "A 1.5V, 10-bit, 14.3 MS/s CMOS Pipeline Analog to Digital Converter", *IEEE Journal of Solid-State Circuits*, pp. 599-606, Mayo 1999.

[Ada00] A. A. El-Adawy y A. M. Soliman, "A Low-Voltage Single Input Class AB Transconductor with Rail-to-Rail Input Range", *IEEE Transactions on Circuits and Systems I*, vol. 47, pp. 236-242, Febrero 2000.

[And02] P. Andreani y S. Mattisson, "On the Use of Nauta's Transconductor in Low-Frequency CMOS gm-C Bandpass Filters", *IEEE Journal of Solid-State Circuits*, vol. 37, n° 2, pp. 114-124, Febrero 2002.

[Arg94] J. Argüelles, M. Martínez, y S. Bracho, "Dynamic IDD Test Circuit for Mixed Signal ICs," *IEE Electronic Letters*, vol. 30, n° 6, pp. 485-486, 1994.

[Ass97] A. Assi, M. Sawan y R. Raut, "A New CMOS Tunable Transconductor dedicated to VHF Continuous-Time Filters", *7th Great Lakes Symposium on VLSI*, pp. 143-148, 1997.

[Au97] S. Au y B. H. Leung, "A 1.95-V 0.34-mW 12-b Sigma-Delta Modulator Stabilized by Local Feedback loops", *IEEE Journal of Solid-State Circuits*, vol. 32, n° 3, pp. 321-328, Marzo 1997.

[Bai94] R. T. Baird, T. S. Fiez y D. J. Allstot, "Speed y Accuracy Considerations in Switched-Current Circuits", *IEEE International Symposium on Circuits and Systems*, pp. 1809-1812, Junio 1994.

[Baj02] O. Bajdechi y J. Huijsing, "A 1.8-V $\Delta\Sigma$ Modulator Interface for an Electret Microphone with On-Chip Reference", *IEEE Journal of Solid-State Circuits*, vol. 37, n° 3, pp. 279-285, Marzo 2002.

- [Bas98] A. Baschiroto y R. Castello, "A 1V 1.8-MHz CMOS Switched-Opamp SC Filter with Rail-to-Rail Output Swing", *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 1979-1986, Diciembre 1998.
- [Bas99] A. Baschiroto, R. Castello, y G.P. Montagna, "Active Series Switch for Switched Op-amp Circuits," *IEE Electronics Letters*, vol 35, n° 4, pp. 263-264, 1999.
- [Bea93] J. Beasley, H. Ramamurthy, M. DeYong, y J. Ramírez-Angulo, "iDD Pulse Response Testing: A Unified Approach to Testing Analog and Digital VLSI Circuits", *IEE Electronics Letters*, vol. 29, n° 24, pp. 2101-2013, Noviembre 1993.
- [Bla98] B. J. Blalock, P. E. Allen, y G.A. Rincon-Mora, "Designing 1-V Op Amps using standard Digital CMOS Technology," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 45, n° 7, pp. 769-780, Julio 1998.
- [Bol01] G. Bollati, S. Marchese, M. Demicheli y R. Castello, "An Eighth-Order CMOS Low-Pass Filter with 30-120MHz Tuning Range and Programmable Boost", *IEEE Journal of Solid-State Circuits*, vol. 36, n° 7, pp. 1056-1066, Julio 2001.
- [Bos88a] B. Boser y B.A. Wooley, "The Design of Sigma-Delta Modulation Analog-to-Digital Converters", *IEEE Journal of Solid-State Circuits*, vol. 23, n° 6, 1298-1308, Diciembre 1988.
- [Bos88b] B. Boser, K. Karmann, H. Martin y B.A. Wooley, "Simulation and Testing Oversampled Analog-to-Digital Converters", *IEEE Trans. Computer-Aided Design*, vol. 7, pp. 668-674, Junio 1988.
- [Bre00] L. J. Breems, E. J. van der Zwan y J. H. Huijsing, "A 1.8mW CMOS $\Sigma\Delta$ Modulator with Integrated Mixer for A/D Conversion of IF Signals", *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 468-475, Abril 2000.
- [Bul91] K. Bult y J.G.M. Geelen, "The CMOS Gain-Booting Technique", *Analog Integrated Circuits and Signal Processing*, 1 (2), pp. 119-135, 1991.
- [Cal90] L. Callewaert y W. Sansen, "Class AB CMOS Amplifiers with High Efficiency", *IEEE Journal of Solid-State Circuits*, vol. 25, pp. 684-691, Junio 1990.
- [Can85] J.C. Candy, "A Use of Double Integration in Sigma-Delta Modulation", *IEEE Trans. on Communications*, vol. 33, pp. 249-258, Marzo 1985.

- [Car02a] R. G. Carvajal, J. Galán, J. Ramírez-Angulo y A. Torralba, "Low-Power Low-Voltage Differential Class-AB OTAs for SC Circuits", *IEE Electronics Letters*, vol.38, n° 22, pp. 1304-1305, Octubre 2002.
- [Car02b] R. G. Carvajal, J. Ramírez-Angulo, A. Torralba, J. Galan, A. P. Vega-Leal y J. Tombs, "Low-Power Low-Voltage Analog Electronic Circuits using the Flipped Voltage Follower" *IEEE International Symposium on Industrial Electronics, ISIE*, vol. IV, pp. 1327-1330, Julio 2002
- [Car02c] R.G. Carvajal, A. Torralba, J. Ramírez-Angulo, J. Tombs, y F. Muñoz, "Low Voltage Class-AB Output Stages for CMOS Op-amps," *European Solid-State Circuits Conference, ESSCIRC*, 2002.
- [Car03] R. G. Carvajal, J. Galán, J. Ramírez-Angulo y A. Torralba, "New Low-Power Low-Voltage Differential Class-AB OTA for SC Circuits", *IEEE International Symposium on Circuits and Systems ISCAS*, vol. I, pp. 589-592, Mayo 2003.
- [Cas85a] R. Castello y P. R. Gray, "Performance Limitation in Switched-Capacitor Filters", *IEEE Transactions on Circuits and Systems*, vol. CAS-32, pp. 865-876, Septiembre 1985.
- [Cas85b] R. Castello y P. Gray "A High Performance, Micropower Switched-Capacitor Filter," *IEEE Journal of Solid State Circuits*, vol. SC-18, pp. 652, Diciembre 1985
- [Cas95] R. Castello, F. Montecchi y F. Rezzi, "Low-Voltage Analog Filters", *IEEE Trans. on Circuits and Systems I*, vol. 42, n° 11, Noviembre 1995.
- [Cel99] S. Celma, J. Sabadell, C. Aldea y P.A. Martinez, "CMOS Pseudo-Differential Transconductor for VHF Applications", *Electronics Letters*, vol. 35, n° 18, pp. 1540-1542, Septiembre 1999.
- [Cha95] A. P. Chandrakasan, y R. W. Brodersen, "Minimizing Power Consumption in Digital CMOS Circuits", *Proc. of the IEEE*, vol. 83, n° 4, pp. 498-523, Abril 1995.
- [Cha97] Z. Y. Chang, D. Haspeslagh y J. Verfaillie, "A Highly Linear CMOS Gm-C Bandpass Filter with On-Chip Frequency Tuning", *IEEE Journal Solid-State Circuits*, vol. 32, n° 3, Marzo 1997.
- [Cho01] Y. W. Choi y H. C. Luong, "A High-Q and Wide-Dynamic-Range 70MHz CMOS Bandpass Filter for Wireless Receivers", *IEEE Transactions on Circuits and Systems II*, vol. 48, n° 5, pp. 433-440, Mayo 2001.

- [Chu95] H. Chung-Chih, H. Changku, y M. Ismail, "CMOS Low-Voltage Rail-to-Rail V-I Converter" *Midwest Symposium on Circuits and Systems, MWSCAS*, vol. 2, pp. 1337-1340, Agosto 1995.
- [Cro94] J. Crols y M. Steyaert, "Switched-Opamp: an Approach to Realize Full CMOS Switched Capacitor Circuits at Very Low Power Supply Voltages", *IEEE Journal of Solid-State Circuits*, vol. 29, pp. 936-942, Agosto 1994.
- [Cro95] J. Crols y M.S.J. Steyaert, "A 1.5 GHz Highly Linear CMOS Downconversion Mixer," *IEEE Journal of Solid-State Circuits*, vol. 30, n° 7, pp. 736 -742, Jul 1995
- [Die91] F. Dielacher, J. Hauptmann, J. Reisinger, R. Steiner y H. Zojer, "A Software Programmable CMOS Telephone Circuit", *IEEE Journal Solid-State Circuits*, vol. 26, n° 7, pp. 1015-1026, Julio 1991.
- [Dos02] S. Dosho, T. Morie y H. Fujiyama, "A 200MHz Seventh-Order Equiripple Continuous-Time Filter by Design of Nonlinearity Suppression in 0.25 μ m CMOS Process", *IEEE Journal Solid-State Circuits*, vol. 37, n° 5, pp. 559-565, Mayo 2002.
- [Duc03] G.O. Ducoudray, R. González-Carvajal, y J.Ramírez-Angulo, "A High-Speed Dynamic Current Sensor Scheme for iDD Test using a Flipped Voltage Follower," *Southwest Symposium on Mixed-Signal Design, SSMSD*, pp. 50-53, 2003.
- [Duq00] J.F. Duque-Carrillo, G. Torelli, J.M. Valverde, y M.A. Domínguez, "1-V Rail-to-Rail Operational Amplifiers in Standard CMOS Technology," *IEEE Journal of Solid-State Circuits*, vol. 35, n° 1, pp. 33 -44, Enero 2000.
- [Elw00] H. Elwan, W. Gao, R. Sadkowski y M. Ismail, "CMOS Low-Voltage Class-AB Operational Transconductance Amplifier", *Electronics Letters*, vol. 36, n° 17, Agosto 2000.
- [Elw99] H. Elwan y M. Ismail, "CMOS Low Noise Class AB Buffer", *IEE Electronics Letters*, vol 35, n° 21, pp. 1834-1836, Octubre 1999.
- [Esk00] M. Eskiyeerli y A.J. Payne, "Square Root Domain Filter Design and Performance," *Analog Integrated Circuits and Signal Processing*, vol. 22, pp. 231-243, Marzo 2000.
- [Fav97] P. Favrat, P. Deval y M. J. Declercq, "An Improved Voltage Doubler in a Standard CMOS Technology", *IEEE International Symposium on Circuits and Systems ISCAS*, pp. 249-253, Junio 1997.

- [Fel98a] A. R. Feldman, “*High-Speed, Low-Power Sigma-Delta Modulators for RF Baseband Channel Applications*”, Ph.D. Thesis, University of California, Berkeley, 1998.
- [Fel98b] A. R. Feldman, B. E. Boser y P. R. Gray, “A 13-bits, 1.4MS/s Sigma-Delta Modulator for RF Baseband Channel Applications”, *IEEE Journal of Solid-State Circuits*, vol. 33, pp. 1462-1469, Octubre 1998.
- [Fil00] P. Filoramo, G. Giustolisi, G. Palmisano y G. Palumbo, “Approach to the Design of Low-Voltage SC Filters”, *IEEE Proc. Circuits Devices Systems*, vol. 147, n° 3, pp. 196-200, Junio 2000.
- [Fog01] E. Fogleman, J. Welz y I. Galton, “An Audio ADC Delta-Sigma Modulator with 100dB Peak SINAD and 102dB DR using a Second-Order Mismatch-Shaping DAC”, *IEEE Journal of Solid-State Circuits*, vol.36, pp. 339-348, Marzo 2001.
- [Fuj00] I. Fujimori, L. Longo, A. Hairapetian, K. Seiyama, S. Kasic, J. Cao y S-L. Chan, “A 90dB SNR, 2.5MHz Output-Rate ADC using Cascaded Multibit Delta-Sigma Modulation at 8 Oversampling Ratio”, *IEEE Journal of Solid-State Circuits*, vol.35, pp. 1820-1828, Diciembre 2000.
- [Fur97] P.M. Furth y H.A. Ommani, “Low-Voltage Highly-Linear Transconductor Design in Subthreshold CMOS”, *Midwest Symposium on Circuits and Systems*, vol. 1, pp. 156-159, 1997.
- [Gag03] R. Gaggl, A. Wiesbauer, G. Fritz, C. Schranz y P. Pessl, “A 85-dB Dynamic Range Multibit Delta-Sigma ADC for ADSL-CO Applications in 0.18 μ m CMOS”, *IEEE Journal of Solid-State Circuits*, vol.38, n° 7, pp. 1105-1114, Julio 2003.
- [Gal02a] J. Galan, A. P. Vega-Leal, F. Muñoz, R. G. Carvajal, A. Torralba, J. Tombs y J. Ramírez-Angulo, “A 1.1V very Low-Power SD Modulator for 14-b 16kHz A/D Conversion using a Novel Class-AB Transconductance Amplifier”, *IEEE International Symposium on Circuits and Systems ISCAS*, vol. II, pp. 616-619, Mayo 2002.
- [Gal02b] J. Galan, R. G. Carvajal, F. Muñoz, A. Torralba y J. Ramírez-Angulo, “Low-Power Low-Voltage Class-AB Linear OTA for HF Filters with a Large Tuning Range”, *IEEE International Symposium on Circuits and Systems ISCAS*, vol. II, pp. 9-12, Mayo 2002.
- [Gal02c] J. Galan, R. G. Carvajal, F. Muñoz, A. Torralba y J. Ramírez-Angulo, “Class-AB Linear OTA for Low-Power Low-Voltage HF Filters with a Large Tuning Range”,

Proc. of the XVII Design on Circuits and Integrated Systems Conference, DCIS, pp. 247-251, Noviembre 2002.

[Gal03a] J. Galan, R. G. Carvajal, F. Muñoz, A. Torralba y J. Ramírez-Angulo, "A Low-Power Low-Voltage OTA-C Sinusoidal Oscillator with more than two Decades of Linear Tuning Range", *IEEE International Symposium on Circuits and Systems ISCAS*, vol. I, pp. 677-680, Mayo 2003.

[Gal03b] J. Galan, R. G. Carvajal, F. Muñoz, A. Torralba y J. Ramírez-Angulo, "Low-Power Low-Voltage Class-AB Linear OTA for HF Filters with a Large Tuning Range", *Analog Integrated Circuits and Signal Processing*, (aceptado).

[Gee00] Y. Geertsabd, M. S. J. Steyaert y W. Sansen, "A High-Performance Multibit Σ CMOS ADC", *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 1829-1840, Diciembre 2000.

[Ger01] A. Gerosa, "A Ready-to-Use Design Procedure for Operational Transconductance Amplifiers that Minimizes Power Consumption", *IEEE International Conference on Electronic, Circuits and Systems, ICECS*, 2001.

[Geo93] T. Georgantas, Y. Papananos y Y. Tsvividis, "A Comparative Study of Five Integrator Structures for Monolithic Continuous-Time Filters –A Tutorial–", *IEEE International Symposium on Circuits and Systems, ISCAS*, 1993.

[Gil75] B. Gilbert, "Translinear Circuits: A Proposed Classification," *IEE Electronics Letters*, vol. 11, pp. 14-16, 1975.

[Giu00a] G. Giustolisi, G. Palmisano, y T. Segreto, "1.2-V CMOS Op-amp with a Dynamically Biased Output Stage" *IEEE Journal of Solid-State Circuits*, vol 35, n° 4, pp. 632-636, Abril 2000.

[Giu00b] G. Giustolisi, G. Palmisano y S. Pennisi, "High-Linear Class AB Transconductor for High-Frequency Applications", in *Proc. IEEE International Symposium on Circuits and Systems*, vol. 5, pp. 169-172, Junio 2000.

[Giu03] G. Giustolisi, G. Palumbo, "A Novel 1V Class AB Transconductor for Improving Speed Performance in SC Applications", *IEEE International Symposium on Circuits and Systems ISCAS*, vol. 1, pp. 153-156, Mayo 2003.

[Goo95] F. Goodenough, "Analog Technologies of all Varieties Dominate ISSCC", *Electronic Design*, 44(4):96-111, Febrero 1995.

- [Gra93] P. R. Gray y R. G. Meyer, "Analysis and Design of Analog Circuit Integrated Circuits", John Wiley & Sons, 1993.
- [Gra96] P. Gray, "EE247 lectures", University of California at Berkeley, 1996.
- [Gri96] J. Grilo, E. MacRobbie, R. Halim y G. Temes, "A 1.8V 94dB Dynamic Range $\Delta\Sigma$ Modulator for Voice Application", *International Solid-State Circuit Conference*, pp. 230-231, Febrero 1996.
- [Gro92] G. Groenewold, "Optimal Dynamic Range Integrators", *IEEE Transactions on Circuits and Systems I*, vol. 39, pp. 614-627, Agosto 1992.
- [Gun98] H. Gunhee y E. Sanchez-Sinencio, "CMOS Transconductance Multipliers: a Tutorial," *IEEE Transactions on Circuits and Systems II*, vol. 45, n° 12, pp. 1550 -1563, Diciembre 1998.
- [Gup02] S. K. Gupta y V. Fong, "A 64MHz Clock-Rate $\Sigma\Delta$ ADC with 88-dB SNDR and -105-dB IM3 Distortion at a 1.5-MHz Signal Frequency", *IEEE Journal of Solid-State Circuits*, vol. 37, n° 12, Diciembre 2002.
- [Han98] G. Han y E. Sánchez-Sinencio, "CMOS Transconductance Multipliers: A Tutorial", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 45, n° 12, Diciembre 1998.
- [Har99] R. Harjani, R. Heineke y F. Wang, "An Integrated Low-Voltage Class AB CMOS OTA", *IEEE Journal of Solid-State Circuits*, vol. 34, n° 2, Febrero 1999.
- [Hug89] J. B. Hughes, N. C. Bird y I. Macbeth, "Switched Currents: A New Technique for Analog Sampled Data Processing", *IEEE International Symposium on Circuits and Systems*, pp. 1584-1587, Mayo 1989.
- [Hun97] C.-C. Hung, K. A. I. Halonen, M. Ismail, V. Porra y A. Hyogo, "A Low-Voltage, Low-Power CMOS Fifth-Order Elliptic GM-C Filter for Baseband Mobile, Wireless Communication", *IEEE Trans. on Circuits and Systems for Video Technology*, vol. 7, n° 4, Agosto 1997.
- [Ism99] C.H. Lin y M. Ismail, "A 2 V 5th-order Fully-Differential CMOS Gm-C Filter for Wideband Communication", *Proc. of IEEE International Symposium on Circuits and Systems*, vol. 2, pp. 136-139, 1999.

- [Ita99] T. Itakura, T. Ueno, H. Tanimoto y T. Arai, "A 2Vpp Linear Input-Range Fully Balanced CMOS Transconductor and its Application to a 2.5V 2.5MHz Gm-C LPF", *IEEE Custom Integrated Circuits Conference*, pp. 509-512, 1999.
- [Jac01] S.A. Jackson, J. C. Killens y B. J. Blalock, "A Programmable Current Mirror for Analog Trimming using Single-Poly Floating-Gate Devices in Standard CMOS Technology", *IEEE Transactions on Circuits and Systems II*, vol. 48, n° 1, pp. 100-106, Enero 2001.
- [Joh97] D. Johns y K. Martin, "*Analog Integrated Circuit Design*", John Wiley & Sons, 1997.
- [Kal03] P. Kallam, E. Sánchez-Sinencio y A. I. Karsilayan, "An Enhanced Adaptive Q-Tuning Scheme for a 100MHz Fully Symmetric OTA-Based Bandpass Filter", *IEEE Journal of Solid-State Circuits*, vol. 38, n° 4, pp. 585-593, Abril 2003.
- [Kan94] V. Kantabutra y G. Andreou, "A State Assignment Approach to Asynchronous CMOS Circuit Design", *IEEE Transactions on Computers*, vol.43, n° 4, pp. 460-469, Abril 1994.
- [Kar92] J. E. Kardontchik, "*Introduction to the Design of Transconductor-Capacitor Filters*", Kluwer Academic Publishers, 1992.
- [Kart01] S. Karthikeyan, A. Tamminneedi, C. Boecker, y E.K.F. Lee, "Design of low-voltage front-end interface for switched-op amp circuits," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 48, n° 7, pp. 722 -726, Julio 2001
- [Kas99] D. B. Kasha, W. L. Lee y A. Thomsen, "A 16mW, 120dB Linear Switched-Capacitor Delta-Sigma Modulator with Dynamic Biasing", *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 921-926, Julio 1999.
- [Kes02] M. Keskin, U-K. Moon y G. C. Temes, "A 1-V 10-MHz Clock-Rate 13-Bit CMOS $\Delta\Sigma$ Modulator using Unity-Gain-Reset Opamps", *IEEE Journal of Solid-State Circuits*, vol. 37, n° 7, pp. 817-824, Julio 2002.
- [Kin97] P.R. Kinget y M.S.J. Steyaert, "A 1-GHz CMOS Up-Conversion Mixer," *IEEE Journal of Solid-State Circuits*, vol. 32, n° 3, pp. 370-376, Marzo 1997.

- [Kli89] R. Kline, B. J. Hosticka y H. J. Pflaederer, "A Very-High Slew Rate CMOS Operational Amplifier", *IEEE Journal of Solid-State Circuits*, vol. 24, pp. 744-746, Junio 1989.
- [Kuo99] J. B. Kuo y Jea-Hong Lou, "Low-Voltage CMOS VLSI Circuits", John Wiley & Sons, Inc., 1999.
- [Kur02] T. Kuroda, "Low-Power, High-Speed CMOS VLSI Design", *Proc. of IEEE International Conference on Computer Design*, pp. 310-315, 2002.
- [Lee91] S. S. Lee, R. H. Zele, D. J. Allstot y G. Liang, "A Continuous-Time Current-Mode Integrator", *IEEE Transactions on Circuits and Systems*, vol. 38, n° 10, pp. 1236-1238, Octubre 1991.
- [Lee97] T-S. Lee y H-Y. Pan, "A Low-Voltage CMOS Transconductor for VHF Continuous-Time Filters", *IEEE International Symposium on Circuits and Systems*, vol. 1, pp. 213-216, Junio 1997.
- [Lee00] J.-Y. Lee et al., "A 3V Linear Input Range Tunable CMOS Transconductor and its Application to a 3.3V 1.1MHz Chebyshev Low-Pass Gm-C Filter for ADSL", *IEEE Custom Integrated Circuits Conference*, 2000.
- [Lim01] J. A. De Lima y C. Dualibe, "A Linearly Tunable Low-Voltage CMOS Transconductor with Improved Common-Mode Stability and its Application to gm-C Filters", *IEEE Transactions on Circuits and Systems II*, vol. 48, n° 7, Julio 2001.
- [Lim02] J. A. De Lima, "A Linearly-Tunable OTA-C Sinusoidal Oscillator for Low-Voltage Applications" *IEEE International Symposium on Circuits and Systems, ISCAS*, vol. II, pp. 408-411, 2002.
- [Lin91] B. Linares-Barranco, A. Rodríguez-Vázquez., E. Sánchez Sinencio, y J. L. Huertas, "CMOS OTA-C High-Frequency Sinusoidal Oscillator" *IEEE Journal of Solid-State Circuits*, vol. 26, n° 2, Febrero 1991.
- [Lin99] S. Lindfors, J. Jussila, K. Halonen y L. Siren, "A 3-V Continuous-Time Filter with On-Chip Tuning for IS-95", *IEEE Journal of Solid-State Circuits*, vol. 34, n° 8, Agosto 1999.
- [Lin00] S. Lindfors, K. Halonen y M. Ismail, "A 2.7V Elliptical MOSFET-Only Gm-C OTA Filter", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 47, n° 2, Febrero 2000.

- [Liu03] H. Liu y A. I. Karsilayan, "An Accurate Automatic Tuning Scheme for High-Q Continuous-Time Bandpass Filters Based on Amplitude Comparison", *IEEE Transactions on Circuits and Systems II*, vol. 50, n° 8, Agosto 2003.
- [Lop01a] A. J. López-Martín y A. Carlosena, "Current-Mode Multiplier/Divider Circuits based on the MOS Translinear Principle," *Analog Integrated Circuits and Signal Processing*, 28, (3), pp. 265-278, 2001.
- [Lop01b] A. J. López-Martín y A. Carlosena, "Systematic Design of Comanding Systems by Component Substitution," *Analog Integrated Circuits and Signal Processing*, 28, (1), pp. 91-106, 2001.
- [Lop03] A. J. López-Martín y A. Carlosena, "A 3.3V CMOS RMS-DC Converter based on the MOS Translinear Principle", *VLSI Design* (accepted for publication).
- [Man97] K. Manetakis y C. Toumazou, "A 50MHz High-Q Bandpass CMOS Filter", *IEEE International Symposium on Circuits and Systems ISCAS*, pp. 309-312, 1997.
- [Mat94] Y. Matsuya y J. Yamada "1V Power Supply, Low-Power Consumption A/D Conversion Technique with Swing-Suppression Noise Shaping", *IEEE Journal of Solid-State Circuits*, vol. 29, pp. 1524-1530, Diciembre 1994.
- [Mau00] P. C. Maulik, M. S. Chadha, W. L. Lee y P. J. Crawley, "A 16-bit, 250kHz Delta Sigma Modulator and Decimation Filter", *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 458-476, Abril 2000.
- [Med99a] F. Medeiros, A. Pérez-Verdú y A. Rodríguez-Vázquez, "Top-Down Design of High-Performance Sigma-Delta Modulators", Kluwer Academic Publishers, 1999.
- [Med99b] F. Medeiros, A. Pérez-Verdú y A. Rodríguez-Vázquez, "A 13-bits, 2.2MS/s, 55mW Multibit Cascade $\Sigma\Delta$ Modulator in CMOS 0.7 μ m Single-Poly Technology", *IEEE Journal of Solid-State Circuits*, vol. 34, pp. 748-760, Junio 1999.
- [Meh97] I. Mehr y D. R. Welland, "A CMOS Continuous-Time Gm-C Filter for PRML Read Channel Applications at 150 Mb/s and Beyond", *IEEE Journal of Solid-State Circuits*, vol. 32, n° 4, Abril 1997.
- [Mil03] M. R. Miller y C. S. Petrie, "A Multibit Sigma-Delta ADC for Multimode Receivers", *IEEE Journal of Solid-State Circuits*, vol. 38, n° 3, pp. 475-482, Marzo 2003.
- [Moh02] A. N. Mohieldin, E. Sánchez-Sinencio y J. Silva-Martínez, "A Low-Voltage Fully Balanced OTA with Common Mode Feedforward and Inherent Common Mode

Feedback Detector”, *European Solid-State Circuits Conference, ESSCIRC*, pp. 191-194, 2002.

[Mon96] J. Montanaro, R. T. Witek, A. J. Black, E. M. Cooper, D. W. Dobberpuhl, P. M. Donahue, J. Eno, G. W. Hoepfner, D. Kruchemyer, T. Lee, P. M. Lin, L. Madden, D. Murray, M. H. Pearce, S. Santhanam, K. J. Snyder, R. Stephany y S. C. Thierauf, “A 160-MHz, 32-b, 0.5W CMOS RISC microprocessor”, *IEEE Journal of Solid-State Circuits*, vol. 31, pp. 1703-1714, 1996.

[Mor00] J. C. Morizio, M. Hoke, T. Kocak, C. Geddie, C. Hughes, J. Perry, S. Madhavapeddi, M. H. Hood, G. Lynch, H. Kondoh, T. Kumamoto, T. Okuda, H. Noda, M. Ishiwaki, T. Miki y M. Nakaya, “14-bit, 2.2MS/s Sigma-Delta ADC’s”, *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 968-976, Julio 2000.

[Mul96] J. Mulder, W.A. Serdijn, A.C. van der Woerd, y A.H.M. van Roermund, “Dynamic Translinear RMS-DC Converter,” *IEE Electronics Letters*, vol. 32, nº 22, pp. 2067-2068, Octubre 1996.

[Muñ01a] F. Muñoz, A. Torralba, R.G. Carvajal, J. Tombs y J. Ramírez-Angulo, “Floating-Gate-Based Tunable CMOS Low-Voltage Linear Transconductor and its Application to HF GM-C Filter Design”, *IEEE Transactions on Circuits and Systems II*, vol. 48, nº 1, pp. 106-110, Enero 2001.

[Muñ01b] F. Muñoz, A.P. VegaLeal, R.G. Carvajal, A. Torralba, J. Tombs, y J. Ramírez-Angulo, “A 1.1 V Low-Power $\Sigma\Delta$ Modulator for 14-b 16 kHz A/D Conversion,” *IEEE International Symposium on Circuits and Systems, ISCAS*, vol. I, pp. 619 -622, 2001.

[Muñ02] F. Muñoz Chavero, “Aportaciones al Diseño de Circuitos para Comunicaciones de Baja Tensión de Alimentación y Bajo Consumo”, Tesis, Universidad de Sevilla, Noviembre 2002.

[Nag90] K. Nagaraj, “CMOS Amplifiers Incorporating a Novel Slew Rate Enhancement Technique”, *Proc. IEEE Custom Integrated Circuit Conf.*, pp. 11.6.1-11.6.5, 1990.

[Nag00] A. Nagari, A. Mecchia, E. Viani, S. Pernici, P. Confalonieri y G. Nicollini, “A 2.7V 11.8mW Baseband ADC with 72-dB Dynamic Range for GSM Applications”, *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 798-806, Junio 2000.

[Nau92] B. Nauta, “A CMOS Transconductance-C Filter Technique for Very High Frequencies”, *IEEE Journal of Solid-State Circuits*, vol.27, nº 2, pp. 142-153, Febrero 1992.

- [Nau93] B. Nauta, “*Analog CMOS Filters for Very High Frequencies*”, Kluwer Academic Publishers, 1993.
- [Nev88] H. Nevárez-Lozano, J. Andrew Hill y E. Sánchez-Sinencio, “Frequency Limitations of Continuous-Time OTA-C Filters”, *Proc. of IEEE International Symposium on Circuits and Systems ISCAS*, pp. 2169-2172, 1988.
- [Nor97] S. R. Norsworthy, R. Schreier y G. C. Temes, “*Delta-Sigma Converters: Theory, Design and Simulation*”, IEEE Press, 1997.
- [Pan02] B. Pankiewicz, M. Wojcikowski, S. Szczepanski y Y. Sun, “A Field Programmable Analog Array for CMOS Continuous-Time OTA-C Filter Applications”, *IEEE Journal of Solid-State Circuits*, vol. 37, n° 2, Febrero 2002.
- [Par88] C. S. Park y R. Schaumann, “Desing of a 4-MHz Analog Integrated CMOS Transconductance-C Bandpass Filter”, *IEEE Journal of Solid-State Circuits*, vol. 23, n° 4, Agosto 1988.
- [Par90] M D. Pardoen y M.G. Degrauwe, “A Rail-to-Rail CMOS Input/Output Power Amplifier,” *IEEE Journal of Solid-State Circuits*, vol. 25, n° 2, pp. 501-504, Abril 1990.
- [Pav00] S. Pavan y Y. Tsividis, “Widely Programmable High-Frequency Continuous-Time Filters in Digital CMOS Technology”, *IEEE Journal of Solid-State Circuits*, vol. 35, n° 5, pp. 503-511, Abril 2000.
- [Pel97a] V. Peluso, M. S. J. Steyaert y W. Sansen, “A 1.5V, 100 μ W Modulator with 12-b Dynamic Range using the Switched-Opamp Technique”, *IEEE Journal of Solid-State Circuits*, vol. 32, pp. 943-952, Julio1997.
- [Pel97b] V. Peluso, P.V. Coreland, M. Steyaert, y W. Sansen, “A 900 mV Differential Class AB OTA for Switched Op-amp Applications,” *IEE Electronics Letters*, vol. 33, n° 17, pp.1455-1456, 1997.
- [Pel98] V. Peluso, P. Vancoreland, A.M. Marques, M.S.J. Steyaert, y W. Sansen, “A 900-mV Low-Power $\Sigma\Delta$ A/D converter with 77-dB Dynamic Range”, *IEEE Journal of Solid-State Circuits*, SC-33, (12), pp. 1887-1897, Diciembre1998.
- [Pel99] V. Peluso, M. Steyaert y W. Sansen, “*Design of Low-Voltage Low-Power CMOS Delta-Sigma A/D Converters*”, Kluwer Academic Publishers, 1999.

- [Pet89] P.M. Van Peteghem y J.F. Duque-Carrillo, "Compact High-Frequency Output Buffer for Testing of Analog CMOS VLSI Circuits", *IEEE Journal of Solid-State Circuits*, vol. 24, n° 2, pp. 540-542, 1989.
- [Rab92] S. Rabii, L. Williams, B. Boser y B.A. Wooley, "MIDAS User Guide Version 3.1", Stanford University, Stanford, CA, 1992.
- [Rab97] S. Rabii y B. A. Wooley, "A 1.8-V Digital-Audio Sigma-Delta Modulator in 0.8- μm CMOS", *IEEE Journal of Solid-State Circuits*, vol. 32, n° 6, pp. 783-796, Junio 1997.
- [Rab99] S. Rabii y B. A. Wooley, "*The Design of Low-Voltage, Low-Power Sigma-Delta Modulators*", Kluwer Academic Publishers, 1999.
- [Raj02] S.S. Rajput y S.S. Januar, "Low Voltage Analog Circuit Design Techniques", *IEEE Circuits and Systems Magazine*, vol. 2, n° 1, pp. 24-42, Mayo 2002.
- [Ram91] J. Ramírez-Angulo, M. Deyong, y W.J. Adams, "Applications of Composite BICMOS Transistors", *IEE Electronics Letters*, vol. 27, n° 24, pp. 2236-2238, Noviembre 1991.
- [Ram92a] J. Ramírez-Angulo, M. Robinson y E. Sánchez-Sinencio, "Current-Mode Continuous-Time Filters: Two Design Approaches", *IEEE Transactions on Circuits and Systems II*, vol. 39, pp.337-341, Junio 1992.
- [Ram92b] J. Ramírez-Angulo, "Highly Linear Four Quadrant BiCMOS Analogue Multiplier," *IEE Electronics Letters*, vol. 28, n° 19, pp. 1783-1788, Septiembre 1992.
- [Ram99] J. Ramírez-Angulo, R.G. Carvajal, J. Tombs y A. Torralba, "A Simple Technique for Op-Amp Continuous-Time 1V Supply Operation", *Electronic Letters*, vol. 35, n° 4, pp. 263-264, Febrero 1999.
- [Ram00a] J. Ramírez-Angulo, R. G. Carvajal y J. Martínez-Heredia, "1.4V Supply, Wide Swing, High Frequency CMOS Analogue Multiplier with High Current Efficiency", *Proc. of the International Symposium on Circuits and Systems*, vol. 5, pp. 533-536, 2000.
- [Ram00b] J. Ramírez-Angulo, A. Torralba, R.G. Carvajal y J. Tombs, "Low Voltage CMOS Amplifiers with Wide Input-Output Swing based on a Novel Scheme", *IEEE Transactions on Circuits and Systems II*, vol. 47, pp. 772-774, 2000.
- [Ram00c] J. Ramírez-Angulo, R.G. Carvajal, y A. Torralba, "Low Supply Voltage High-Performance CMOS Current Mirror with Low Input and Output Voltage Requirements,"

in *Proc. of the 43rd IEEE Midwest Symposium on Circuits and Systems, MWCAS*, vol. I, pp. 510-513, 2000.

[Ram00d] J. Ramírez-Angulo, R.G. Carvajal, A. Torralba, y J. Martínez-Heredia, "A 1.5 V Linear Transconductor with Wide Bandwidth and Wide Input and Output Signal Swings," *IEEE International Symposium on Circuits and Systems, ISCAS*, vol. 5, pp. 161-164, 2000.

[Ram01a] J. Ramírez-Angulo, R.G. Carvajal, J. Tombs y A. Torralba, "Low-Voltage CMOS Op-Amp with Rail-to-Rail Input and Output Signal Swing for Continuous-Time Signal Processing using Multiple-Input Floating Gate Transistors", *IEEE Transactions on Circuits and Systems II*, vol. 48, n° 1, pp. 111-116, Enero 2001.

[Ram01b] J. Ramírez-Angulo, R.G. Carvajal, A. Torralba y C. Nieva, "A New Class AB Differential Input Stage for Implementation of Low-Voltage High Slew-Rate Op-amps and Linear Transconductors". *Proc. of the IEEE International Symposium on Circuits and Systems, ISCAS*, vol I, pp. 671-674, 2001.

[Ram02a] J. Ramírez-Angulo y H. Holmes, "Simple Technique using Local CMFB to Enhance Slew Rate and Bandwidth of one-stage CMOS Op-amps," *IEE Electronics Letters*, vol. 38, n° 23, pp. 1409 -1411, Nov 2002.

[Ram02b] J. Ramírez-Angulo, R.G. Carvajal, A. Torralba, J.A. Galan, A.P. Vega-Leal y J. Tombs, "The Flipped Voltage Follower: A Useful Cell for Low-Voltage, Low-Power Circuit Design". *IEEE International Symposium on Circuits and Systems, ISCAS*, vol. III, pp. 615-618, 2002.

[Raz00] B. Razavi, "*Design of Analog CMOS Integrated Circuits*", McGraw-Hill, 2000.

[Rez94] F. Rezzi, A. Baschiroto y R. Castello, "A 3V Pseudo Differential Transconductor with Intrinsic Rejection of the Common-Mode Input Signal", *IEEE Midwest Symposium on Circuits and Systems*, 1994.

[Rij93] J.J.F. Rijns, "54MHz Switched-Capacitor Video Channel Equalizer", *IEEE Electronics Letters*, 29 (25), pp. 2181-2182, 1993.

[Rin01] G.A. Rincón-Mora y R. Stair, "A Low Voltage, Rail-to-Rail, Class AB CMOS Amplifier with High Drive and Low Output Impedance Characteristics," *IEEE Transactions on Circuits and Systems II*, vol. 48 n° 8, pp. 753-761, Agosto 2001.

- [Rob02] D. Robertson, "Specifications and Figures of Merit for Mixed-Signal Circuits: A Guide to Understanding where the numbers come from and what they mean", *IEEE International Solid-State Conference*, Febrero 2002.
- [Rod00] E. O. Rodríguez-Villegas, A. Rueda y A. Yúfera, "A 1.5V Second-Order FG MOS Filter", *Proc. 26th European Solid-State Circuits Conference*, Septiembre 2000.
- [Rod95] A. Rodríguez-Vázquez y E. Sánchez-Sinencio, "Special Guide on Low-Voltage and Low-Power Analog Design, *IEEE Transactions on Circuits and Systems I*, vol. 42, n° 11, Noviembre 1995.
- [Rou00] S. Rout y E.K.F. Lee, "Design of 1 V Switched-Current Cells in Standard CMOS Process," *IEEE International Symposium Circuits and Systems, ISCAS*, vol. II, pp. 421-424, 2000.
- [Roy00] K. Roy y S. C. Prasad, "*Low-Power CMOS VLSI Circuit Design*", John Wiley & Sons, Inc., 2000.
- [Sak92] S. Sakurai y M. Ismail, "High Frequency Wide Range CMOS Analog Multiplier," *IEE Electronics Letters*, vol. 28, pp. 2228–2229, Noviembre 1992.
- [San98] E. Sánchez-Sinencio y A. G. Andreou, "Low-Voltage/Low-Power Integrated Circuits and Systems", *IEEE Press*, 1998.
- [San99] W. Sansen, "Advanced Engineering Course on Low-Voltage Low-Power analog CMOS design", Lausanne, June 1999.
- [Sch90] R. Schaumann, M. Ghauri y K. Laker, "*Design of Analog Filters: passive, active RC and switched capacitor*", chapter 5, Prentice-Hall, 1990.
- [See87] E. Seevinck y R. F. Wassenaar, "A Versatile CMOS Linear Transconductor/Square-Law Function Circuit", *IEEE Journal of Solid-State Circuits*, vol. SC-22, n° 3, pp. 366-377, Junio 1987.
- [See91] E. Seevinck y R.J. Wiegink, "Generalized Translinear Circuit Principle," *IEEE Journal of Solid-State Circuits*, 26, n° 8, pp. 1098-1102, Agosto 1991.
- [See00] E. Seevinck, E. Vittoz, M. Du Plessis, T.H. Joubert, y W. Beetge, "CMOS Translinear Circuits for Minimum Supply Voltage," *IEEE Transactions on Circuits and Systems II*, 47 (12), pp. 1560-1564, Diciembre 2000.

- [Seg99] J. Segura, I. De Paul, M. Roca, E. Isern, y C. J. Hawkins, "Experimental Analysis of Transient Current Testing based on Charge Observation", *IEE Electronics Letters*, vol. 35, n°6, pp. 441-447, Marzo 1999.
- [Set92] P. Setty y W. Bliss, "A High-Frequency BiCMOS Buffer for Testing Analog Ics". *Proc. of the 35th Midwest Symposium on Circuits and Systems*, vol. 1, pp. 768 -769, 1992.
- [Sha01] A. Shankar, J. Silva-Martínez y E. Sánchez-Sinencio, "A Low Voltage Operational Transconductance Amplifier using Common Mode Feedforward for High Frequency Switched Capacitor Circuits", *IEEE International Symposium on Circuits and Systems, ISCAS*, vol. 1, pp. 643-646, 2001.
- [Sil92] J. Silva-Martínez, M. Steyaert y W. Sansen, "A 10.7MHz 68-dB SNR CMOS Continuous-Time Filter with On-Chip Automatic Tuning", *IEEE Journal of Solid-State Circuits*, vol. 27, n° 12, Diciembre 1992.
- [Sil93] J. Silva-Martínez, M. Steyaert y W. Sansen, "*High-Performance CMOS Continuous-Time Filters*", Kluwer Academic Publishers, 1993.
- [Sil02] J. Silva-Martínez, M. Chen, S. Rokhsaz y M. Robinson, "A 2Vpp, 80-200MHz Fourth-Order Continuous-Time Linear Phase Filter with Automatic Frequency Tuning", *European Solid-State Circuits Conference, ESSCIRC*, 2002.
- [Sil03] J. Silva-Martínez, J. Adut, J. M. Rocha-Pérez, M. Robinson y S. Rokhsaz, "A 60mW, 200MHz Continuous-Time Seventh-Order Linear Phase Filter with On-Chip Automatic Tuning System", *IEEE Journal of Solid-State Circuits*, vol. 38, n° 2, Febrero 2003.
- [Smi68] K.C. Smith y A. Sedra, "The Current Conveyor –A New Circuit Building Block," *Proc. IEEE*, vol. 137, n° 2, pp. 1368-1369, Agosto 1968.
- [Sne92] W. M. Snelgrove y A. Shoval, "A Balanced 0.9- μ m CMOS Transconductance-C Filter Tunable over the VHF Range", *IEEE Journal of Solid-State Circuits*, vol. 27, n° 3, Marzo 1992.
- [Ste98] J-M. Stevenson y E. Sánchez-Sinencio, "An Accurate Quality Factor Tuning Scheme for IF and High-Q Continuous-Time Filters", *ISSCC, Analog sensors and communication circuits*, 1998.

- [Ste93] M. Steyaert, J. Crols y S. Gogaert, "Switched Opamp, a Technique for realising Full CMOS Switched-Capacitor Filters at Very Low Voltages", in *proc. European Solid-State Circuits Conference, ESSCIRC*, pp. 178-181, 1993.
- [Ste97] M. Steyaert, V. Peluso, J. Bastos, P. Kinget y W. Sansen, "Custom Analog Low Power Design: The Problem of Low Voltage and Mismatch", *IEEE Custom Integrated Circuits Conference*, pp. 285-292, 1997.
- [Szc95] S. Szczepanski, J. Jakusz y R. Schaumann, "A Linear CMOS OTA for VHF Applications", *Proc. IEEE International Symposium on Circuits and Systems*, pp. 1344-1347, 1995.
- [Taj00] A. Tajalli, M. Atarodi y A. Adibi, "A 1.5V Supply, Video Range Frequency, Gm-C Filter", *Proc. IEEE International Symposium on Circuits and Systems*, vol. II, pp. 148-151, 2000.
- [Tou90] C. Toumazou, F.J. Lidgley, y D.G. Haigh, "Analogue IC design: the Current-Mode Approach", Peter Peregrinus, London, 1990.
- [Tou93] C. Tomazou, J.B. Hugh, y N.C. Battersby, "Swiching Current and Analog Techniques for Digital Technology," *IEE Circuit and System Series 5*, 1993.
- [Tor00] A. Torralba, R.G. Carvajal, J. Martínez-Heredia, y J. Ramírez-Angulo, "Class AB Output Stage for Low Voltage CMOS Op-Amps with Accurate Quiescent Current Control," *IEE Electronics Letters*, vol. 36, nº 21, pp. 1753-1754, Oct 2000.
- [Tor02a] A. Torralba, R. G. Carvajal, J. Galan y J. Ramírez-Angulo, "Compact Low-Power High Slew Rate CMOS Buffer for Large Capacitive Loads", *IEE Electronics Letters*, vol. 38, nº 22, pp. 1348-1350, Octubre 2002.
- [Tor02b] A. Torralba, R.G. Carvajal, J. Ramirez-Angulo, y F. Munoz, "Output Stage for Low Supply Voltage, High-Performance CMOS Current Mirrors," *IEE Electronics Letters*, vol. 38, nº 24, pp. 1528-1529, Nov 2002.
- [Tor03] A. Torralba, R. G. Carvajal, J. Galan y J. Ramírez-Angulo, "A New Compact Low-Power High Slew Rate Class-AB CMOS Buffer", *IEEE International Symposium on Circuits and Systems, ISCAS*, vol. I, pp. 237-240, Mayo 2003.
- [Tsi93] Y. P. Tsvividis y J. O. Voorman, "Integrated Continuous-Time Filters", IEEE Press, 1993.

- [Vel02] R. H. M. van Veldhoven, B. J. Minnis, H. A. Hegt y A. H. M. van Roermund, "A 3.3-mW $\Sigma\Delta$ Modulator for UMTS in 0.18 μ m CMOS with 70-dB Dynamic Range in 2-MHz Bandwidth", *IEEE Journal of Solid-State Circuits*, vol. 37, n $^{\circ}$ 12, pp. 1645-1652, Diciembre 2002.
- [Voo00] H. Voorman y H. Veenstra, "Tunable High-Frequency Gm-C Filters", *IEEE Journal of Solid-State Circuits*, vol. 35, n $^{\circ}$ 8, pp. 1097-1108, Agosto 2000.
- [Wan96] F. Wang, R. Heineke y R. Harjani, "A Low Voltage Class AB CMOS amplifier", *Proc. IEEE International Symposium on Circuits and Systems*, pp. 392-396, 1996.
- [Wan01] C. B. Wang, "A 20-bits 25kHz Delta-Sigma A/D Converter utilizing a Frequency-Shaped Chopper Stabilization Scheme", *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 566-569, Marzo 2001.
- [Wie92] R. Wiegerink, "Analysis and Synthesis of MOS Translinear Circuits", PhD Thesis, Twente University of Technology, Enschede, 1992.
- [Wil92] L. Williams y B.A. Wooley, "MIDAS- A Functional Simulator for Mixed Digital and Analog Sampled Data Systems", *Proc. IEEE International Symposium on Circuits and Systems*, pp. 2148-2151, 1992.
- [Wu93] P. Wu, R. Schaumann y W. R. Daasch, "A 20MHz Fully-Balanced Transconductance-C Filter in 2 μ m CMOS Technology", *IEEE International Symposium on Circuits and Systems, ISCAS*, vol. 2, pp. 1188-1191, Mayo 1993.
- [Xie99] X. Xie, M. C. Schneider, E. Sánchez-Sinencio y S. H. K. Embabi, "Sound Design of Low Power Nested Transconductance-Capacitance Compensation Amplifiers", *Electronic Letters*, vol. 35, pp. 956-958, Junio 1999.
- [Yam99] H. Yamazaki, K. Oishi y K. Gotoh, "A 450kHz CMOS Gm-C Bandpass Filter with $\pm 0.5\%$ Center Frequency Accuracy for On-Chip PDC IF Receivers", *IEEE International Solid-State Circuits Conference*, pp. 392-393, 1999.
- [Yan00] S. Yan y E. Sánchez-Sinencio, "Low Voltage Analog Circuit Design Techniques: A Tutorial", *IEICE Trans. Fundamentals*, vol. E83, n $^{\circ}$ 2, pp. 1-17, Febrero 2000.

- [Yoo97] C. Yoo, K. Jung, J-W. Lee y W. Kim, "A 15MHz, 2.6mW, Sixth-Order Bandpass Gm-C Filter in CMOS", *Midwest Symposium on Circuits and Systems*, pp. 316-319, 1997.
- [Yoo98] C. Yoo y W. Kim, "A $\pm 1.5V$, 4MHz Low-Pass Gm-C Filter in CMOS", *Asian and South Pacific Design Automation Conference*, pp 341-342, 1998.
- [You98] F. You, S.H.K. Embabi, y E. Sánchez-Sinencio, "Low-voltage class AB buffers with quiescent current control," *IEEE Journal. of Solid-State Circuits*, vol. 33, nº 6, pp. 915-920, May 1998.
- [Zwa97] E. J. van der Zwan, "A 2.3mW CMOS $\Sigma\Delta$ Modulator for Audio Applications", *IEEE International Solid-State Circuits Conference*, pp. 220-221, 1997.
- [Zwa00] E. J. van der Zwan, K. Philips y C. A. Bastiaansen, "A 10.7MHz IF-to-Baseband $\Sigma\Delta$ A/D Conversion System for AM/FM Radio Receivers", *IEEE Journal of Solid-State Circuits*, vol. 35, pp. 1810-1819, Diciembre 2000.