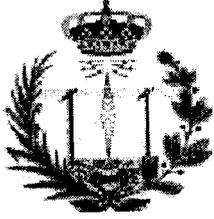


T. 240

Reserva



TESIS DOCTORAL



Diseño en baja tensión de moduladores Sigma-Delta paso-banda

TUTOR:

Firma manuscrita del tutor, D. Antonio Torrealba Silgado.

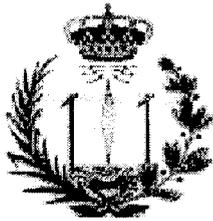
D. ANTONIO TORREALBA SILGADO

AUTOR

Firma manuscrita del autor, Alfredo Pérez Vega-Leal.

Alfredo Pérez Vega-Leal

Sevilla, octubre de 2002



TESIS DOCTORAL



**Diseño en baja tensión de moduladores
Sigma-Delta paso-banda**

por

Alfredo Pérez Vega-Leal

Ingeniero de Telecomunicación por la E.S. de Ingenieros
de la Universidad de Sevilla

Presentada en la

Escuela Superior de Ingenieros

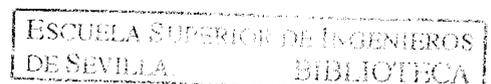
de la

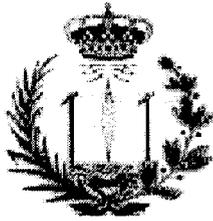
Universidad de Sevilla

para la obtención del

Grado de Doctor Ingeniero de Telecomunicación

Sevilla, octubre de 2002





TESIS DOCTORAL



Diseño en baja-tensión de moduladores Sigma-Delta paso-banda

Autor: Alfredo Pérez Vega-Leal

Director: Antonio Jesús Torralba Silgado

A Macarena.

Agradecimientos

Quiero expresar mi agradecimiento a todas aquellas personas (familiares, compañeros y amigos) que han colaborado, de una forma u otra, en el desarrollo de esta Tesis Doctoral y a los que siempre han tenido palabras de aliento durante este tiempo.

- A mi director de tesis.
- A mis compañeros de trabajo que me han apoyado durante este tiempo.

Resumen de la Tesis

En los últimos años, la demanda de equipos portátiles crece sin parar. La vida de estos equipos depende de las baterías, por lo que una disminución en el consumo de energía por parte de los circuitos de estos equipos se ha convertido en el principal caballo de batalla. A la hora de la conversión AD, los moduladores $\Sigma\Delta$ pueden alcanzar los elevados rangos dinámicos necesarios para la detección de una señal en presencia de fuertes componentes de ruido en frecuencias adyacentes. Una vez convertida la señal, un filtro digital puede eliminar tanto el ruido interferente como el error de cuantización.

En esta tesis se describe el diseño de distintas celdas de baja tensión para la realización de amplificadores operacionales clase AB así como el diseño de un modulador $\Sigma\Delta$ paso-banda que alcanza una resolución de 13,5 bits en una banda de 16kHz y un consumo de $500\mu\text{W}$. Un prototipo experimental se ha diseñado y se ha fabricado en una tecnología de $0,35\mu\text{m}$ CMOS para probar el funcionamiento de las celdas de baja tensión.

Índice general

1. Introducción	1
1.1. Introducción	1
1.2. Objetivos	1
1.3. Organización de la Tesis	2
2. Etapas de salida en baja tensión de alimentación	3
2.1. Introducción	3
2.2. Etapas de salida clase AB de baja tensión de alimentación . . .	3
2.2.1. Control de corriente quiescente en etapas clase AB . . .	5
2.3. Etapa de salida clase AB con Flipped Voltage Follower	8
2.4. Etapa de salida clase AB con batería flotante para circuitos dis- cretos en el tiempo de baja tensión	9
3. Fundamentos de los convertidores Sigma-Delta	15
3.1. Introducción	15
3.2. Arquitectura general de moduladores Sigma-Delta (SDM) . . .	16
3.2.1. Funcionamiento básico de moduladores Sigma-Delta . .	17
3.2.2. Comportamientos no-lineales	22
3.3. Prestaciones de convertidores Sigma-Delta	23
3.4. Estabilidad de moduladores Sigma-Delta	28
3.5. Causas de No Idealidades en moduladores Sigma-Delta	30
3.5.1. No idealidades que afectan a la función de transferencia del modulador	30
3.5.2. No idealidades modelables como fuentes de ruido	33
3.6. Consumo de moduladores	39
3.7. Evaluación de prestaciones de moduladores Sigma-Delta	40
3.8. Diseño de moduladores $\Sigma\Delta$ paso-banda (BPM)	41
3.8.1. Función de transferencia	42
3.8.2. Diseño en tiempo continuo frente a diseño en tiempo dis- creto	46
4. Modulador Sigma-Delta Paso-Banda de baja tensión y bajo con- sumo	49
4.1. Introducción	49

4.2. Motivación del diseño de moduladores Paso-Banda	50
4.2.1. Objetivos	51
4.2.2. Estado del arte	53
4.3. Diseño del modulador $\Sigma\Delta$ paso banda de 4º orden	55
4.3.1. Prototipo $\Sigma\Delta$ Paso Bajo	56
4.3.2. Simulaciones del modulador $\Sigma\Delta$ de orden 2	61
4.3.3. Arquitectura del modulador $\Sigma\Delta$ Paso-Banda de orden 4	66
5. Realización física del modulador $\Sigma\Delta$ paso banda de orden 4	75
5.1. Introducción	75
5.2. Limitaciones de ruido	75
5.3. Integradores	81
5.3.1. Prestaciones de los amplificadores	82
5.3.2. Diseño de los interruptores	85
5.3.3. Primer integrador	86
5.3.4. Segundo integrador	88
5.4. Amplificadores operacionales	92
5.5. Diseño del amplificador de baja tensión para el modulador $\Sigma\Delta$ paso banda	92
5.5.1. Introducción	92
5.5.2. Estructura general	93
5.5.3. Batería flotante	95
5.5.4. Circuito de control de modo común	96
5.5.5. Consumo del amplificador	100
5.5.6. Resultados de simulación	100
5.6. Comparador	102
5.7. Convertidor DA	107
5.8. Esquema y generación de sincronismo	108
5.8.1. Especificaciones del reloj del sistema, Jitter	113
5.9. Doblador de tensión	115
5.10. Estudio de Consumo.	119
5.11. Simulaciones del circuito completo	120
6. Prototipo experimental	123
6.1. Introducción	123
6.2. Realización del Layout del circuito	123
6.2.1. Parámetros de la tecnología	123
6.2.2. Layout	123
6.3. Sistema de medidas	124
6.3.1. Descripción	124
6.3.2. Placa de pruebas del prototipo	124
6.3.3. Placa de captura digital	127
6.4. Resultados experimentales	129
6.4.1. Parámetros de funcionamiento	129

6.4.2. Banda de interés	129
6.4.3. Medida de SNR y SNDR del modulador $\Sigma\Delta$ paso banda de orden 4.	131
6.4.4. Comparación con el modulador prototipo paso-bajo . . .	131
6.5. Conclusiones	134
7. Conclusiones	137
7.1. Introducción	137
7.2. Contribuciones y resultados	137
7.3. Futuras líneas de investigación	138
A. Aplicación industrial. Convertidor paso banda en cuadratura $\Sigma\Delta$	139
A.1. Introducción	139
A.2. Antecedentes: proyecto POLICOM	139
A.2.1. Proyecto CTCBT	142
A.3. Diseño del modulador $\Sigma\Delta$ paso-bajo	146
A.3.1. Prestaciones del modulador $\Sigma\Delta$	146
A.3.2. Estudio del modulador	147
A.3.3. Diseño electrónico del modulador $\Sigma\Delta$ de orden 2	154
A.4. Conclusiones	161

Índice de figuras

2.1. Etapa de salida de un amplificador operacional.	4
2.2. Etapa de salida de [56].	5
2.3. Etapa de salida de Monticelli [52].	6
2.4. Etapa de salida de (a)[53], (b) [54] y (c) [55].	7
2.5. Espejo de corriente de baja tensión de [34].	8
2.6. Etapa de salida con Flipped Voltage Follower.	10
2.7. Etapa de salida clase AB de [49].	11
2.8. Tensión de la batería flotante en (a) el circuito propuesto y (b) circuito de [49], durante el periodo de encendido.	13
2.9. Funcionamiento en clase AB de la etapa de salida.	14
3.1. Convertidor D-A sobremuestreado.	15
3.2. Arquitectura general de un convertidor A/D Sigma-Delta.	17
3.3. Modulador Sigma-Delta genérico.	18
3.4. Modelado del cuantizador.	18
3.5. Modulador Sigma-Delta de primer orden.	18
3.6. Relación entrada a salida de un cuantizador.	20
3.7. Densidad espectral de ruido de un modulador sigma-delta.	21
3.8. Medidas de DR sobre la curva de SNR.	25
3.9. Medidas de SFDR.	27
3.10. Punto de intercepto de tercer orden.	28
3.11. Integrador SC.	31
3.12. Circuito equivalente del integrador SC durante el periodo de integración.	34
3.13. Característica DC no lineal de un Amplificador.	38
3.14. Esquema del modulador de orden 2.	38
3.15. Esquema general de un modulador $\Sigma\Delta$ paso-banda.	42
3.16. Selección de w_o de un modulador $\Sigma\Delta$ paso-banda.	43
3.17. Polos y ceros en moduladores LPM y BPM.	45
4.1. Filtro del ruido de cuantización en moduladores Paso-Bajo.	50
4.2. Filtro del ruido de cuantización en moduladores Paso-Banda.	50
4.3. Soluciones al problema de mezclado de la FI; (a) conversión AD en banda base y (b) conversión AD en FI.	52
4.4. Transformación LP (a) a BP (b).	55

4.5. Banda útil de señal.	56
4.6. Representación gráfica de la ecuación (4.6): relación entre el ruido en la banda de señal y OSR (ceros en el origen).	57
4.7. Modulador $\Sigma\Delta$ de orden 2.	59
4.8. Salida de los integradores. a) Rango de salida desaprovechado, b) rango de salida saturado y c) rango de salida optimizado.	63
4.9. Variación de la SNDR con g_1	64
4.10. Prestaciones de los AO.	65
4.11. Sensibilidad con la histéresis del cuantizador.	66
4.12. Sensibilidad con el Jitter.	67
4.13. Modulador $\Sigma\Delta$ paso banda de orden 4.	67
4.14. Resonador de un solo AO.	69
4.15. Integrador de Retraso Doble.	70
4.16. Integrador de Retraso Doble utilizando un único AO.	71
4.17. Modulador paso banda de orden 4 utilizando integradores multiplexados en el tiempo.	72
5.1. Esquema electrónico del modulador paso banda de orden 4.	76
5.2. Esquema general de un integrador.	79
5.3. Rango de señal aplicable a interruptores NMOS, PMOS y puerta de transmisión (a) sin doblador de tensión (b) utilizando dobladores de tensión.	82
5.4. Sensibilidad de SNR con la ganancia finita de los amplificadores.	83
5.5. Sensibilidad de la SNR con el SR y τ del amplificador.	84
5.6. Esquema del primer integrador.	86
5.7. Esquema de relojes.	87
5.8. Esquema del segundo integrador.	89
5.9. Esquema del segundo integrador tras simplificar.	90
5.10. Circuito de la batería flotante.	93
5.11. Esquema del amplificador operacional con batería flotante.	94
5.12. Circuito de polarización de la batería flotante.	96
5.13. Etapa de salida del amplificador operacional con la batería flotante.	97
5.14. Circuito de control de modo común.	99
5.15. Respuesta en frecuencia del amplificador operacional.	101
5.16. Respuesta del amplificador utilizado como integrador.	101
5.17. Comparador de 1 bit.	102
5.18. Comparador Regenerativo.	103
5.19. Sensibilidad a la histéresis.	104
5.20. Salida V_{OP} del comparador.	105
5.21. Etapa de entrada del cuantizador y secuencia de relojes.	106
5.22. Generación de la salida en banda a partir de la señal del comparador.	108
5.23. Señal (a) a la salida del modulador $\Sigma\Delta$, (b) a la salida del comparador.	109

5.24. Esquema del convertidor DA de 1 bit.	110
5.25. Generación completa de fases nominales y retrasadas.	111
5.26. Secuencia de fases de reloj.	112
5.27. Error de muestreo debido a jitter.	113
5.28. Representación gráfica de la ecuación 5.35.	115
5.29. Doblador de tensión de [50].	116
5.30. Doblador de tensión modificado.	117
5.31. Doblado de una señal no periódica.	118
5.32. Espectro de la salida del $\Sigma\Delta$ paso banda mediante simulación con SPECTRE.	121
6.1. Floor-planning del layout del modulador $\Sigma\Delta$	125
6.2. Layout del modulador $\Sigma\Delta$	126
6.3. Diagrama de bloques del sistema de medidas.	126
6.4. Placa de pruebas del prototipo.	127
6.5. Fotografía de la tarjeta de comunicación entre el modulador y el PC.	128
6.6. Espectro de salida del modulador paso banda.	130
6.7. SNR y SNDR para $f_s = 3MHz$	132
6.8. SNR y SNDR para $f_s = 4MHz$	133
6.9. SNR y SNDR del prototipo paso bajo.	134
6.10. Moduladores $\Sigma\Delta$ paso banda publicados recientemente ordenados por su FOM 1.	135
6.11. Moduladores $\Sigma\Delta$ paso banda publicados recientemente ordenados por su FOM 2.	136
6.12. Microfotografía del chip.	136
A.1. Sistema de comunicación empleado por POLICOM.	140
A.2. Generación de la señal en transmisión.	141
A.3. Estructura de un canal de recepción. (a) Ganancia. (b) Filtro IF paso banda. (c) Mezclador. (d) Moduladores $\Sigma\Delta$. (e) Diezmado y reconstrucción	142
A.4. Esquema de recepción.	144
A.5. Convertidor AD $\Sigma\Delta$ en cuadratura.	145
A.6. Modulador $\Sigma\Delta$ de orden 2.	147
A.7. SNR para distintas OSR.	148
A.8. Histograma de la salida de los integradores.	149
A.9. Prestaciones de los amplificadores.	150
A.10. Sensibilidad a la saturación de los integradores.	151
A.11. Sensibilidad con la histéresis del cuantizador.	152
A.12. Sensibilidad con el Jitter del reloj.	153
A.13. Esquema electrónico del modulador de orden 2.	155
A.14. Primera etapa del cuantizador (muestreo).	156
A.15. Segunda etapa del cuantizador (latch).	157

A.16.Convertidor DA.	157
A.17.Amplificador clase AB.	158
A.18.Circuito de control de modo común.	158
A.19.Simulación con SPECTRE (I).	160
A.20.Simulación con SPECTRE (II).	161

Índice de cuadros

2.1. Dimensiones de los interruptores.	12
4.1. Objetivos de diseño del modulador Sigma-Delta paso-bajo.	51
4.2. Cuadro comparativo de los principales moduladores $BP\Sigma\Delta$ publicados hasta julio de 2002.	54
4.3. Resultados de simulación de arquitecturas estudiadas.	59
4.4. Coeficientes g del modulador $\Sigma\Delta$ de orden 2 para el caso de la figura 4.8 c).	62
5.1. Figuras de ruido.	80
5.2. Tamaños mínimos de las capacidades de muestreo.	81
5.3. Especificaciones de los opamp.	81
5.4. Prestaciones mínimas que han de satisfacer los amplificadores operacionales.	85
5.5. Valores de las capacidades del primer integrador.	88
5.6. Valores de tensión de las señales de entrada.	88
5.7. Parámetros de diseño de los interruptores.	88
5.8. Valores de las capacidades del segundo integrador.	91
5.9. Valores de tensión de las señales de entrada de los interruptores del segundo integrador.	92
5.10. Parámetros de diseño de los interruptores del segundo integrador.	92
5.11. Prestaciones que ha de superar el amplificador operacional.	92
5.12. Dimensiones de los dispositivos del amplificador operacional de baja tensión.	95
5.13. Dimensiones de los dispositivos que forman la batería flotante.	98
5.14. Dimensiones de los dispositivos que forman el circuito de control de modo común.	99
5.15. Consumo de las etapas del amplificador operacional.	100
5.16. Prestaciones del amplificador operacional utilizado en el modulador $\Sigma\Delta$ paso banda.	100
5.17. Dimensiones de los transistores del cuantizador.	107
5.18. Función de conversión DA.	108
5.19. Parámetros de diseño de los interruptores del CDA.	109
5.20. Dimensiones de los dispositivos del doblador de tensión.	117
5.21. Consumo del modulador $\Sigma\Delta$ paso-banda.	120

6.1. Parámetros básicos de la tecnología.	124
6.2. Parámetros de medida.	129
6.3. Resultados del modulador $\Sigma\Delta$ paso banda de orden 4.	132
6.4. Resultados del modulador $\Sigma\Delta$ prototipo paso bajo.	133
A.1. Especificaciones del receptor.	142
A.2. Especificaciones del transmisor.	143
A.3. Especificaciones del transmisor.	143
A.4. Especificaciones del receptor.	145
A.5. Capacidades del modulador $\Sigma\Delta$ de orden 2.	154
A.6. Valores de conversión.	157
A.7. Tamaños de los transistores del amplificador clase AB.	159
A.8. Tamaños de la capacidades del circuito de control de modo común.	159
A.9. Prestaciones del amplificador.	160

Lista de abreviaturas

- $\Sigma\Delta$: Sigma-Delta.
- $\Sigma\Delta M$: Modulador Sigma-Delta.
- *AO*: Amplificador operacional.
- *ASK*: Amplitude shift keying.
- *ADNC*: Convertidor analógico a digital de Nyquist.
- *BIBO*: Bounded Input, Bounded Output.
- $BPE\Delta$: Sigma-Delta paso-banda.
- *BPM*: Modulador paso-banda.
- *BW*: Ancho de banda.
- *CAD*: Convertidor analógico a digital.
- *CDA*: Convertidor digital a analógico.
- *DDS*: Sintetizador digital de frecuencia.
- *DNL*: No linealidad diferencial.
- *DR*: Rango dinámico.
- *ENOB*: Effective number of bits.
- *FAA*: Filtro anti aliasing.
- *FGU*: Frecuencia de ganancia unidad.
- *FS*: Rango completo ó Full Scale.
- *FSK*: Frequency shift keying.
- *IF*: Frecuencia intermedia.
- $LPE\Delta$: Sigma-Delta paso-bajo.

- *LPM*: Modulador paso-bajo.
- *IM3*: Producto de intermodulación de tercer orden.
- *IP3*: Punto de intercepto de tercer orden.
- *NPGT*: Transformación generalizada N-Path.
- *NTF*: Función de transferencia de ruido.
- *OSR*: Tasa de sobremuestreo.
- *PSRR*: Power supply rejection ratio.
- *RSI*: Rechazo señal-imagen.
- *SR*: Slew-Rate.
- *SC*: Capacidades conmutadas.
- *SDM*: Modulador Sigma-Delta.
- *SFDR*: Rango dinámico libre de espúreos.
- *SNR*: Relación señal a ruido.
- *SNDR*: Relación señal a ruido más distorsión.
- *STF*: Función de transferencia de señal.
- *THD*: Total harmonic distortion.

Lista de símbolos

- C : Capacidad.
- $f_{Nyquist}$: Frecuencia de Nyquist.
- f_o : Ancho de banda.
- gm : Transconductancia.
- I : Corriente.
- k : Constante de Boltzmann.
- L : Largo de puerta de transistores MOS.
- Q : Carga.
- τ : constante de tiempo.
- V : Tensión.
- V_{dd} : Tensión de alimentación.
- V_{TN} : Tensión umbral de transistores NMOS.
- V_{TP} : Tensión umbral de transistores PMOS.
- W : Ancho de puerta de transistores MOS.

Capítulo 1

Introducción

1.1. Introducción

El mercado de dispositivos móviles requiere día a día el desarrollo de nuevas técnicas que permitan mayor calidad de productos y, además, estos deben ser capaces de trabajar con un menor consumo que permita una mayor longevidad de las baterías. En esa dirección se desarrollan nuevas estructuras y circuitos aplicados a otras estructuras ya conocidas. El objetivo es mejorar las prestaciones con unas restricciones de tensión de alimentación y potencia disipada, cada vez más exigentes.

El trabajo desarrollado en esta tesis está enmarcado dentro de los proyectos *POLICOM* (*ESPRIT* – 25481), *CICOMBT* (*CICYT* – 1FD97 – 0317), *CTCBT* y *DABACOM*.

1.2. Objetivos

La investigación que se lleva a cabo en esta tesis tiene como objetivo profundizar en los circuitos de baja tensión de alimentación y probar la posibilidad de aplicar estas técnicas al diseño de moduladores sigma-delta. De este modo se pretenden contruir moduladores capaces de funcionar a muy bajas tensiones de alimentación y que tengan reducido consumo. Los objetivos que se pretenden alcanzar en esta tesis pueden resumirse en:

- Diseño de nuevas etapas de salida de amplificadores operacionales clase AB para su funcionamiento en muy baja tensión de alimentación.
- Diseño de un modulador sigma-delta de muy baja tensión y reducido consumo para convertir señales en banda. En este circuito se aplicarán las técnicas estudiadas en el punto anterior.

- Aplicación del diseño de moduladores sigma-delta a un circuito comercial de comunicación por la línea de baja tensión (power-line modem).

1.3. Organización de la Tesis

En el capítulo 2 se introducen las técnicas de diseño de amplificadores clase AB en baja tensión y se investigarán nuevas etapas de salida. El capítulo 3 introduce los conceptos básicos relacionados con Sigma-Delta, así como el efecto que, sobre las prestaciones del convertidor, tienen las distintas no-idealidades de los bloques que conforman la estructura. También se hace una discusión sobre el diseño de moduladores paso-banda. Un modulador paso-banda de cuarto orden se propone en el capítulo 4. Esta estructura es estudiada y, en el capítulo 5, un prototipo se diseña para su funcionamiento con baja tensión de alimentación ($1,1V$) y bajo consumo ($0,5\mu W$). Los resultados experimentales se muestran en el capítulo 6. Finalmente, en el capítulo 7 se presentan las conclusiones y comentarios sobre futuros trabajos. En el anexo A se aplican las técnicas de diseño de moduladores para realizar un modulador paso-banda en cuadratura para un circuito comercial enmarcado dentro del proyecto *CTCBP*.

Capítulo 2

Etapas de salida en baja tensión de alimentación

2.1. Introducción

La necesidad de reducir el consumo en los circuitos digitales ha arrastrado consigo la disminución de las tensiones de alimentación tanto en estos circuitos como en los circuitos mixtos, en los que conviven los circuitos digitales con los analógicos. La reducción en la tensión de alimentación lleva a la necesidad de diseñar circuitos analógicos que funcionen a tensiones de alimentación cercanas a la tensión umbral de un transistor.

En este capítulo se proponen soluciones novedosas para el diseño de las etapas de salida de los amplificadores operacionales en muy baja tensión de alimentación y con reducido consumo. En la sección 2.2 se repasan las etapas de salida clase AB de baja tensión existentes. En 2.3 y 2.4 se proponen dos soluciones para construir la etapa de salida con reducida tensión de alimentación. La segunda de ellas se aplicará en el capítulo 5 en el diseño de un modulador $\Sigma\Delta$ que funciona a muy baja tensión de alimentación.

2.2. Etapas de salida clase AB de baja tensión de alimentación

Las etapas de salida clásicas clase AB utilizan técnicas para fijar la corriente estática basadas en bucles de translinealidad. Si la tensión de alimentación se reduce demasiado, no hay rango de tensión suficiente para mantener el bucle en funcionamiento. Por ello, en este capítulo, se presentan diferentes alternativas novedosas a las técnicas clásicas para realizar etapas de salida que sean capaces de operar con baja tensión de alimentación y que fijen la corriente quiescente.

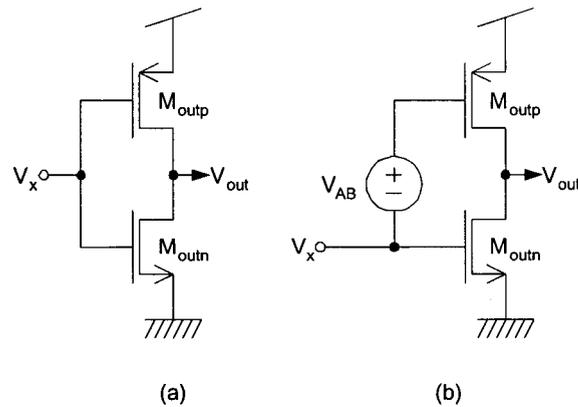


Figura 2.1: Etapa de salida de un amplificador operacional.

En la figura 2.1 se representa el esquema de una etapa de salida clase AB de baja tensión de un amplificador operacional. Para tener un correcto funcionamiento es necesario que los transistores trabajen en saturación. Esto implica que la tensión de control V_x debe cumplir la condición de la ecuación 2.1:

$$V_{TN} < V_x < V_{dd} + V_{TP} \quad (2.1)$$

Si se considera por simplicidad que $V_{TN} = -V_{TP} = V_T$ y que la tensión V_x tiene una variación de ΔV_x , se llega a que la tensión de alimentación debe limitarse al valor dado por (2.2).

$$V_{dd} > 2 \cdot V_T + \Delta V_x \quad (2.2)$$

Para conseguir que los dos transistores funcionen en saturación con tensiones de alimentación inferiores, se puede colocar una fuente de tensión como se dibuja en la figura 2.2.

Para un correcto funcionamiento en clase AB, se diseña la fuente flotante de forma que en estado quiescente la corriente que circula por ambos transistores sea la deseada. Estudiaremos a continuación los principales métodos de control de corriente quiescente que se han empleado en las etapas de salida clase AB de amplificadores operacionales, prestando especial atención a las etapas de baja tensión de alimentación.

En [56] se propone otra forma de realizar la batería flotante de la figura 2.1 b. Nuevamente, cruzando los terminales de la resistencia R a las puertas de los transistores de salida se consigue realizar una fuente de tensión flotante negativa (figura 2.2), lo que permite que ambos transistores de la etapa de

salida funcionen en la región de saturación incluso con una alimentación cercana a la tensión umbral de un transistor. Nuevamente, en [56] se propuso un circuito de polarización que presentaba problemas de PSRR. El circuito de polarización de la figura 2.2 es más simple y no tiene problema de PSRR.

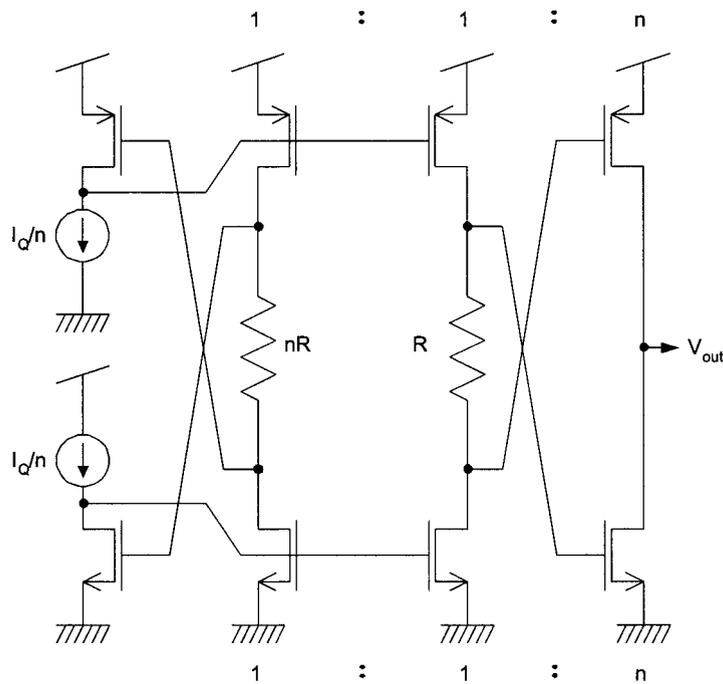


Figura 2.2: Etapa de salida de [56].

2.2.1. Control de corriente quiescente en etapas clase AB

El esquema clásico de corriente quiescente en etapas clase AB, debido a Monticelli [52], se muestra en la figura 2.3a. El control de la corriente quiescente se consigue por medio de dos transistores complementarios conectados *head - to - tail* ($M3$ y $M4$). De esta forma se consigue un control preciso de la corriente quiescente mediante el bucle translineal $M1 - M2 - M3 - M_{outn}$ ($M6 - M5 - M4 - M_{outp}$). El efecto de la corriente I_b entre $M3$ y $M4$ asegura el funcionamiento clase AB. Como contrapartida se necesita una tensión de alimentación elevada ($V_{dd} > 2 \cdot V_T$) y no asegura la circulación de una corriente mínima por los transistores de salida.

En [53] se realiza la batería flotante de la figura 2.1b mediante una fuente de corriente $MP4$ y un transistor $MP5$ (figura 2.4a). Nótese que la corriente de $MP5$ está fijada por un circuito de réplica ($MP1, MP2, MP3, MP4, MN1$) que asegura una caída V_{AB} tal que la corriente quiescente de M_{outn} es igual a la de

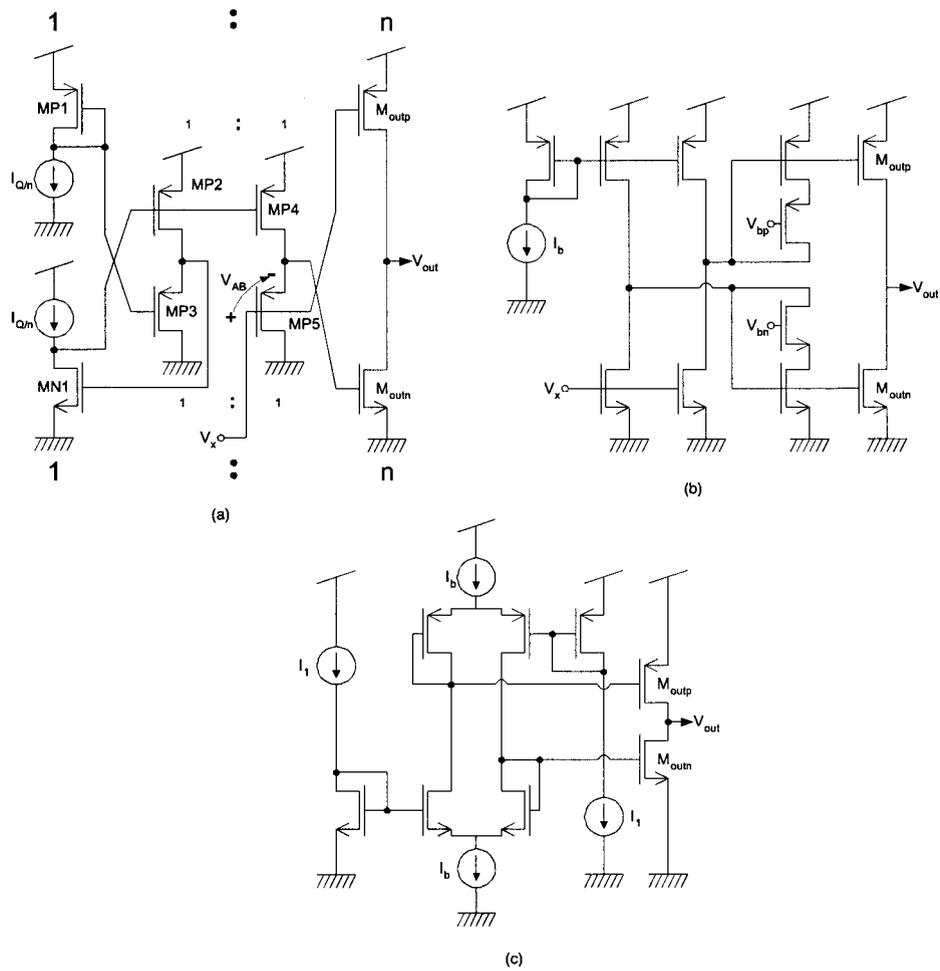


Figura 2.4: Etapa de salida de (a) [53], (b) [54] y (c) [55].

2.3. Etapa de salida clase AB con Flipped Voltage Follower

La etapa de salida que se propone se presenta en la figura 2.6. Este circuito está basado en el espejo de corriente de baja tensión, descrito en [34], representado en la figura 2.5.

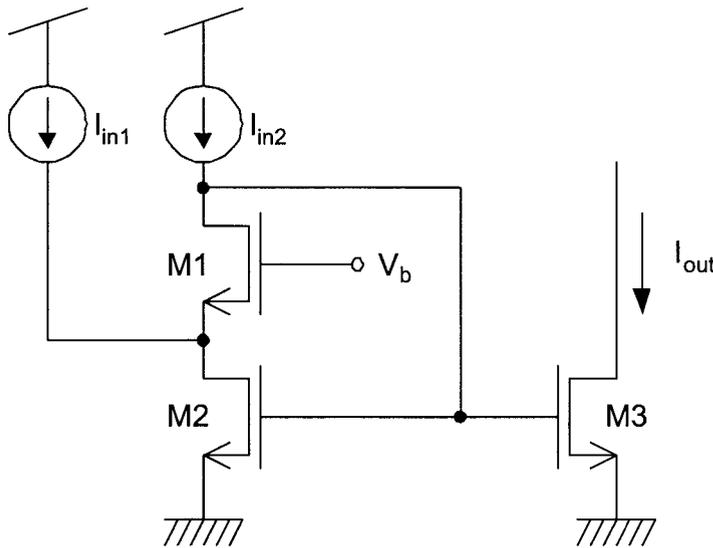


Figura 2.5: Espejo de corriente de baja tensión de [34].

El funcionamiento de esta etapa es como sigue. La puerta del transistor $M3$ se polariza de modo que trabaje siempre en saturación. Esta tensión de polarización será la tensión quiescente del nodo de control, V_x^Q .

$$V_c = V_x^Q < V_{dd} - V_{DSsat} - V_{SG}^{M1}$$

En este circuito (figura 2.6), la resistencia de entrada R_{in}^A es baja, del orden de 20Ω a 100Ω . La tensión en el punto A permanece prácticamente constante independientemente de las variaciones de la señal V_x . Cuando la tensión de control (V_x) es igual a V_c , la corriente que circula por los transistores $M1$ y $M2$ es la misma. La corriente que circula por $M3$ es la suma de las dos:

$$I_{M3}^Q = 2 \cdot I_{min}$$

Si V_x crece, la corriente I_{M2} decrece cuadráticamente. Cuando $M2$ corta (baja mucho la tensión V_x) la corriente que pasa por $M3$ es la mínima y vale: $I_{M3}^{min} = I_{min}$. En el caso contrario, en el que V_x disminuye respecto de su valor medio V_x^Q , la corriente por $M2$ aumenta cuadráticamente, aumentando también la corriente que atraviesa $M3$.

2.4 Etapa de salida clase AB con batería flotante para circuitos discretos en el tiempo de baja

En el circuito de la figura 2.6 se muestra la etapa de salida completa utilizando los espejos de corriente de baja tensión. En este circuito, la corriente I_o en los pares diferenciales $M_{1p}-M_{3p}$ y $M_{1n}-M_{3n}$ determina de una forma precisa la corriente quiescente de salida de la forma:

$$I_{out}^Q = I_{outn}^Q = I_{outp}^Q = 2\alpha I_o \quad (2.3)$$

siendo α la relación de aspecto entre los transistores .

$$\alpha = \frac{W/L_{M_{outp}}}{W/L_{M_{3p}}} = \frac{W/L_{M_{outn}}}{W/L_{M_{3p}}}$$

La corriente mínima que circula por los transistores de salida será

$$I_{out}^{MIN} = I_{outp}^{MIN} = I_{outn}^{MIN} = \alpha \cdot I_o$$

En este caso, I_{out}^Q y I_{out}^{MIN} no dependen del valor de tensión de la batería flotante (V_{AB}). V_{AB} se ajusta para tener una copia adecuada de las corrientes en los transistores de salida M_{outp} y M_{outn} . Para esto, los dos transistores deben estar en saturación. Los valores típicos de tensión que deben cumplir los nodos x e y son;

$$V_x^Q = V_{dd} - V_{SGM1p}^Q - V_{DSsat} - \Delta V_x^{MAX}/2 \quad (2.4)$$

$$V_y^Q = V_{GSM1n}^Q + V_{DSsat} + \Delta V_x^{MAX}/2 \quad (2.5)$$

V_x^{MAX} es el rango máximo de variación de la tensión de control V_x en el nodo x . Como resultado de todo se calcula el valor adecuado de la batería flotante como:

$$V_{AB} = V_x^Q - V_y^Q = V_{dd} - V_{GSM1n}^Q - V_{SGM1p}^Q - 2 \cdot V_{DSsat} - \Delta V_x^{MAX} \quad (2.6)$$

En el caso en el que el nodo x sea el el nodo de salida de la etapa de entrada de un opamp, la realimentación negativa limita el rango de variación de V_x a pocos mV , de modo que puede despreciarse el valor de ΔV_x en la ecuación 2.6.

2.4. Etapa de salida clase AB con batería flotante para circuitos discretos en el tiempo de baja tensión

En la figura 2.7 se muestra el circuito propuesto en [49]. La capacidad C_b se utiliza para realizar la batería flotante necesaria para operar en clase AB. Los transistores en configuración diodo $M1$ y $M2$ seorean con los transistores de salida M_{outp} y M_{outn} , respectivamente. Mediante las fuentes de corriente I_Q/n se fija la corriente quiescente de los transistores de salida. Las tensiones

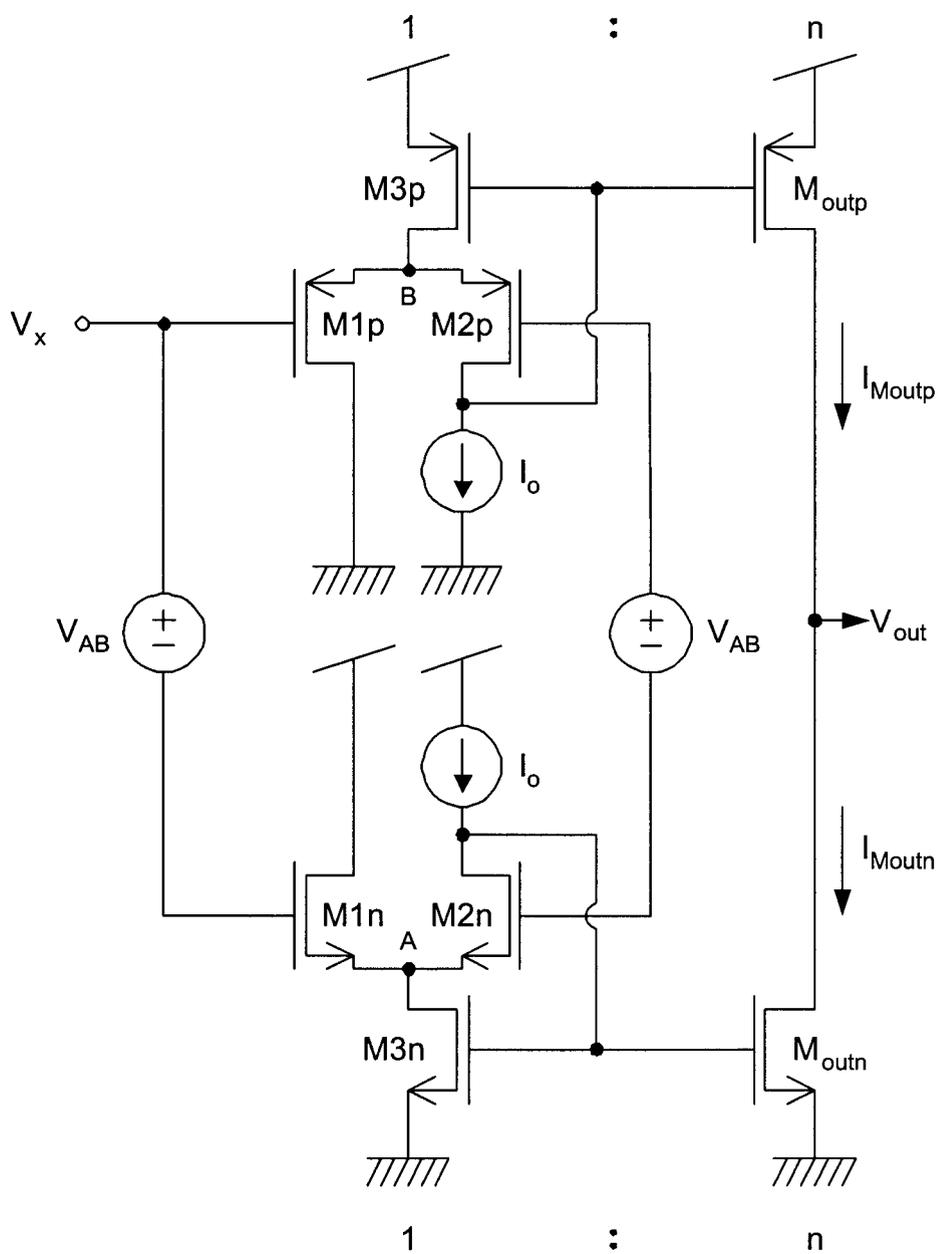


Figura 2.6: Etapa de salida con Flipped Voltage Follower.

2.4 Etapa de salida clase AB con batería flotante para circuitos discretos en el tiempo de baja

de referencia V_1 y V_2 se copian a las capacidades C_a y C_b a través de los interruptores $S1$ a $S4$. De esta forma, siempre se cumple la igualdad (2.7), lo que equivale a una batería flotante de valor $V_1 - V_2$ entre los nodos x y y .

$$V_y - V_x = V_1 - V_2 \quad (2.7)$$

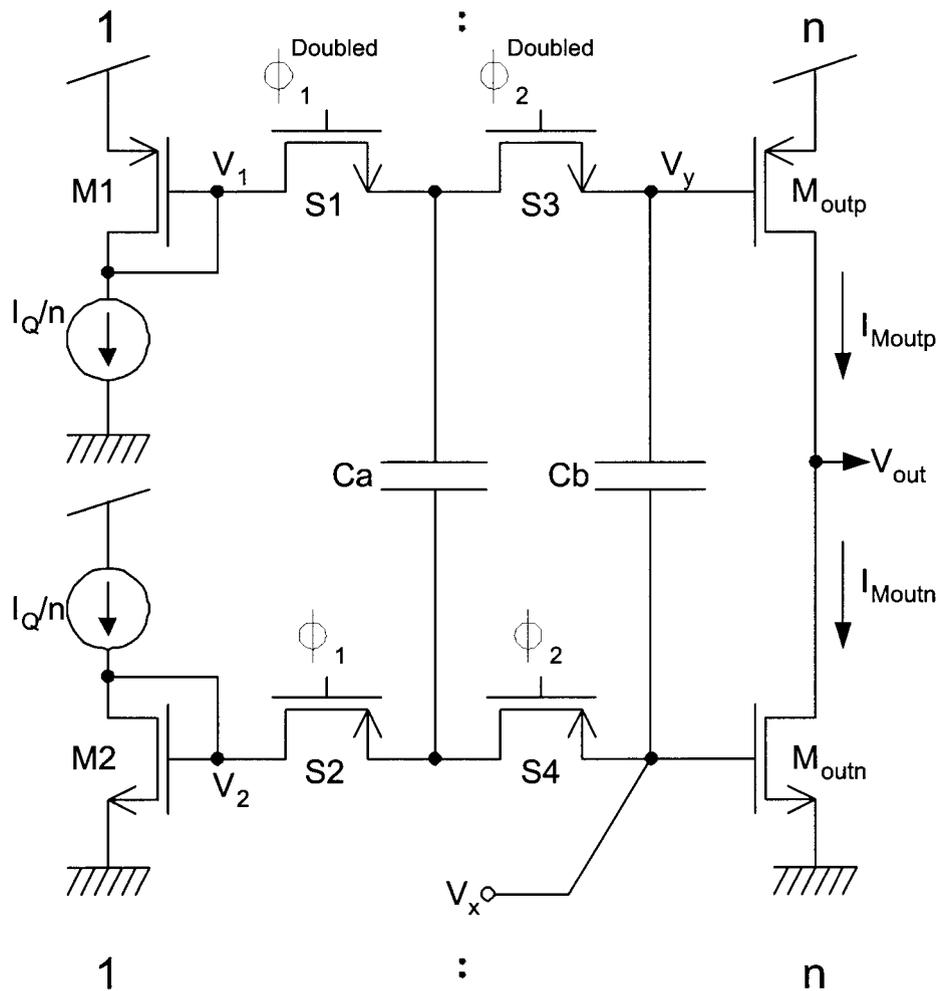


Figura 2.7: Etapa de salida clase AB de [49].

Para disminuir el consumo de esta etapa se hace que los transistores $M1$ y $M2$ sean una versión escalada de los transistores de salida M_{outp} y M_{outn} . De modo que la corriente I_Q/n será también una versión escalada de la corriente quiescente de los transistores de salida I_{Mout}^Q .

Al trabajar en muy baja tensión, las señales de activación de los interruptores también disminuyen. Para asegurar que los interruptores permiten copiar las tensiones V_1 y V_2 en C_a y C_b , se implementan con transistores NMOS los interruptores $S1$ y $S3$ y, con transistores PMOS, $S2$ y $S4$. Además, $S1$ y $S3$ se controlan mediante dobladores de tensión.

En este capítulo se propone el diseño de esta etapa sin el uso de los dobladores de tensión para los interruptores $S1$ y $S3$. Si se dimensionan adecuadamente los interruptores, para las mismas condiciones de tensión de alimentación y para las frecuencias de trabajo a las que se somete el circuito, puede demostrarse mediante simulación que se conserva un comportamiento adecuado. Al eliminar los dobladores de tensión de los dos interruptores se reduce el área de silicio y se reduce también el consumo y el ruido del circuito. El hecho de poner $S1$ y $S3$ sin dobladores de tensión hará más lenta la transferencia de carga hacia C_a y C_b . El objetivo es dimensionar los interruptores de forma que la carga se complete dentro del periodo de reloj asignado en cada caso. Esta estrategia hace que el interruptor funcione en inversión moderada o débil. La transferencia de carga se hace más lenta, pero funciona dado que las corrientes por los interruptores tan solo deben compensar las fugas, su funcionamiento es cuasiestático y la velocidad no es un problema.

En el cuadro 2.1 se recogen las dimensiones de los interruptores del circuito propuesto en [49] y del circuito propuesto aquí. Si bien hay un incremento de área debido al tamaño de los transistores, ese incremento no es comparable al ahorro que se produce al eliminar un doblador de tensión, amén del ahorro en el consumo de los dobladores. La constante de carga de los interruptores puede aproximarse por:

$$\tau = 2 \cdot R_{on} \cdot C$$

Donde R_{on} es la resistencia de encendido del transistor *NMOS* con el que se construye el interruptor y C es la capacidad. La carga se produce aún cuando $\tau \gg 1/f_s$, siendo f_s la frecuencia de conmutación. Los tamaños de los interruptores se han calculado de forma que el tiempo de carga sea menor de $100\mu S$.

Interruptor	Tipo	Circuito de [49]	Circuito propuesto
$S1$	NMOS	$W/L = 2/0,3 \mu m/\mu m$	$W/L = 12/0,3 \mu m/\mu m$
$S2$	NMOS	$W/L = 2/0,3 \mu m/\mu m$	$W/L = 12/0,3 \mu m/\mu m$
$S3$	NMOS	$W/L = 2/0,3 \mu m/\mu m$	$W/L = 12/0,3 \mu m/\mu m$
$S4$	NMOS	$W/L = 2/0,3 \mu m/\mu m$	$W/L = 12/0,3 \mu m/\mu m$

Cuadro 2.1: Dimensiones de los interruptores.

2.4 Etapa de salida clase AB con batería flotante para circuitos discretos en el tiempo de baja

Para demostrar la validez de la solución se ha simulado la estructura sin dobladores de tensión. En la figura 2.8 se muestra la tensión de la batería flotante ($V_y - V_x$) del circuito con los interruptores sin doblar (2.8a) y con los interruptores doblados (2.8b). Como puede verse en la simulación, la salida sin dobladores tarda más tiempo en alcanzar el valor final de tensión. Puesto que esta transición solo se produce en el encendido del circuito no repercute de forma alguna en el comportamiento final de la etapa.

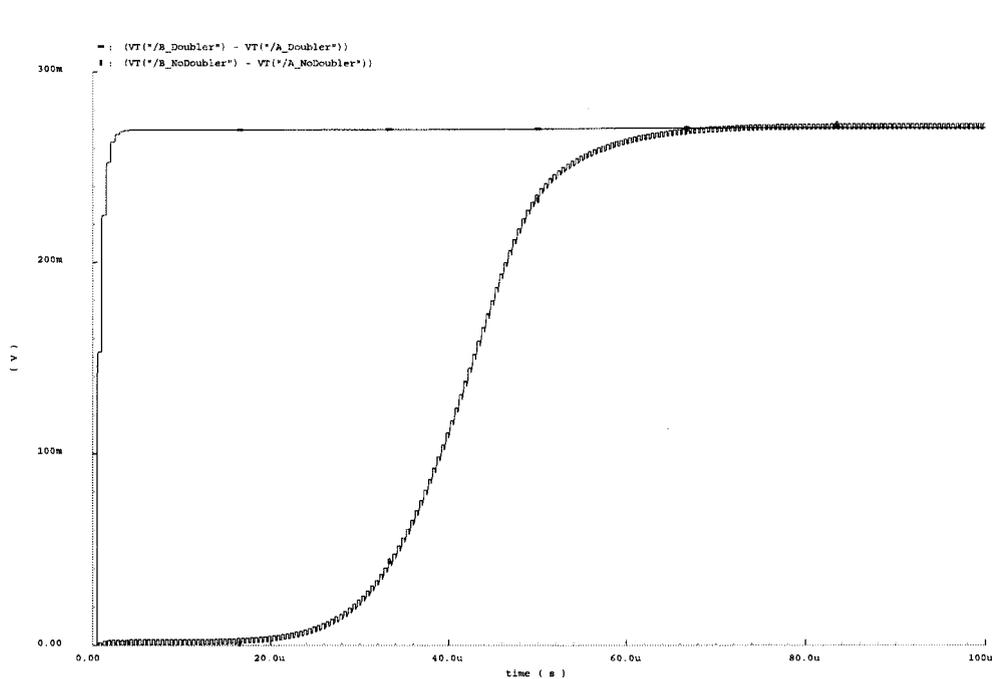


Figura 2.8: Tensión de la batería flotante en (a) el circuito propuesto y (b) circuito de [49], durante el periodo de encendido.

Finalmente, en la figura 2.9 se muestra la corriente de los transistores de salida (M_{outp} y M_{outn}) en función de la tensión de control V_x . Puede verse el comportamiento de clase AB. En el estado quiescente los dos transistores tienen la misma corriente (I_{out}^Q). Cuando la tensión de control V_x se separa de su valor de equilibrio (V_x^Q) uno de los transistores ve aumentada su corriente mientras que en el otro disminuye, llegando incluso a cortar ($I_{min} = 0$). Por ello la etapa de salida no dispone de circuito de control de corriente mínima.

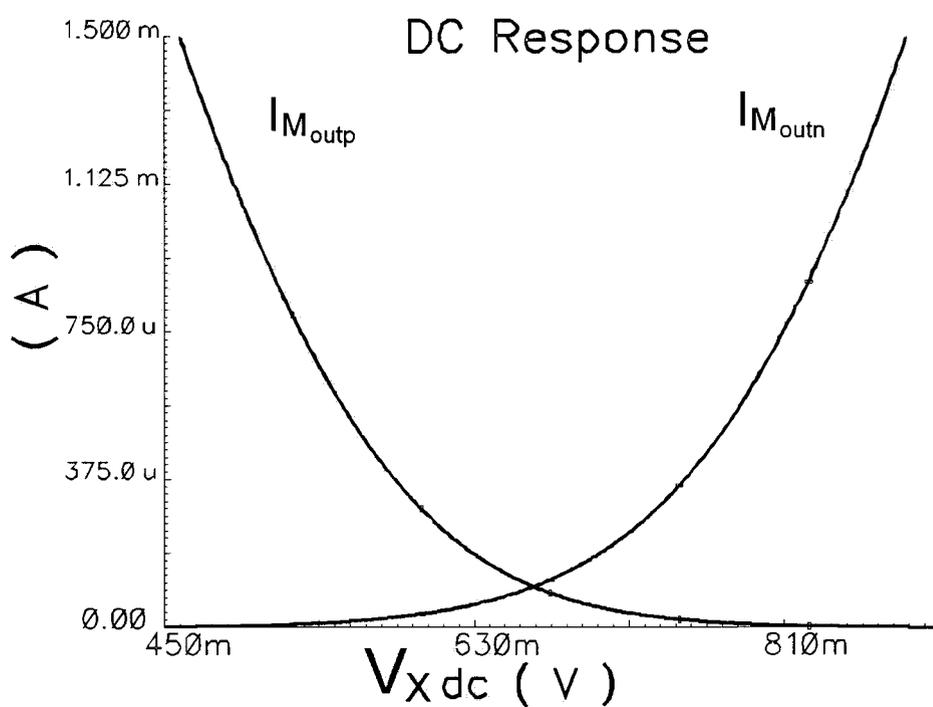


Figura 2.9: Funcionamiento en clase AB de la etapa de salida.

Capítulo 3

Fundamentos de los convertidores Sigma-Delta

3.1. Introducción

El uso de convertidores sobremuestreados ha permitido superar limitaciones con las que se encuentran los convertidores de Nyquist [10]. En estos convertidores, para conseguir elevados rangos dinámicos, se necesitan reducidas tolerancias en los apareamientos entre componentes. Esta limitación se compensa aumentando la resolución y aplicando técnicas de autocalibración o corrección (físicamente con láser) de las características del circuito [7]. La segunda limitación que presentan es la necesidad de incluir filtros anti-aliasing de muy alto orden a la entrada para evitar la aparición de componentes de alta frecuencia en la banda de señal debido al proceso de muestreo. Este filtrado tan selectivo es difícil de realizar con circuitería analógica.

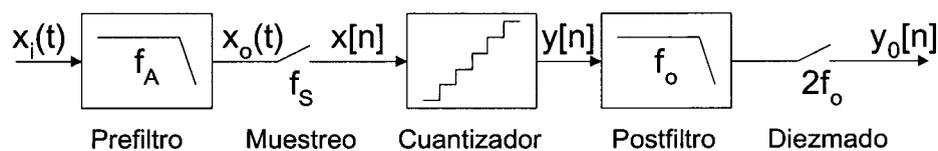


Figura 3.1: Convertidor D-A sobremuestreado.

Aprovechando la posibilidad de utilizar relojes muy superiores a la frecuencia de Nyquist (de la señal de información), se puede incrementar el rango dinámico de los convertidores utilizando técnicas de sobremuestreo.

En la figura 3.1 se representa un convertidor de sobremuestreo. La entrada $x_i(t)$ se hace pasar por un filtro paso-bajo (filtro anti-aliasing) limitando sus componentes de frecuencia a la banda de interés (f_o). Una vez filtrada ($x_o(t)$),

la señal se muestrea a OSR veces la frecuencia de Nyquist ($f_s = OSR \cdot 2f_o$). A OSR se le denomina "tasa de sobremuestreo".

Debido a que las componentes de frecuencia que pueden ser causa de aliasing se encuentran en la banda de frecuencias entre $OSR \cdot f_o$ y $2 \cdot OSR \cdot f_o = f_s$, se pueden relajar las especificaciones del filtrado. Esto permite filtros más sencillos que los necesarios con los convertidores de Nyquist. El rango dinámico del convertidor ideal así descrito viene dado por la ecuación 3.1.

$$DR = \frac{3}{2} OSR (2^B - 1)^2 \quad (3.1)$$

Donde B es el número de bits del cuantizador. Esto significa que el rango dinámico del convertidor aumenta linealmente con la tasa de sobremuestreo.

3.2. Arquitectura general de moduladores Sigma-Delta (SDM)

La arquitectura general de un convertidor analógico a digital Sigma-Delta se muestra en la figura 3.2. Para describir su funcionamiento nos centramos en la estructura en tiempo discreto. Suponemos que la señal de entrada $x_c(t)$ ya ha sido filtrada de forma que solamente contiene componentes frecuenciales en la banda de interés (de lo contrario, se pasa por un filtro anti-aliasing). La entrada $x_c(t)$ (continua en el tiempo) pasa por una etapa de muestreo y retención. Una vez muestreada ($x_{sh}(t)$) a una frecuencia f_s se introduce en el modulador. La última etapa del modulador consiste en un cuantizador, generalmente de bajo número de pasos de cuantización. La salida del cuantizador, x_{sdm} es discreta en el tiempo y en amplitud (i.e., digital). Esta señal digital está relacionada linealmente con la entrada $x_c(t)$, incluyendo también ruido de cuantización fuera de la banda de señal.

Para eliminar estas componentes de ruido se utiliza un filtro de diezmo. El diezmo consiste en un filtrado paso-bajo para eliminar las componentes de ruido situadas fuera de la banda, seguido de una etapa de diezmo en la que se reduce la tasa de bit de la señal. Como resultado, la salida es una señal digital multi-bit con una tasa de $2f_o$ (frecuencia de Nyquist). Durante el proceso de diezmo no se produce pérdida de información ya que el ancho de banda original se limitó a f_o .

En esta breve introducción se ha puesto de manifiesto que un convertidor Sigma-Delta está formado por dos etapas diferenciadas. La primera abarca los bloques de muestreo y retención y el modulador Sigma-Delta. Generalmente estos dos bloques están integrados en uno sólo, siendo la etapa de muestreo parte del modulador. La segunda etapa, filtro de diezmo, es completamente digital.

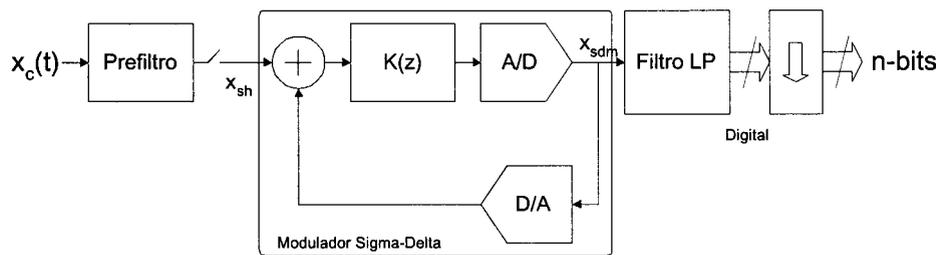


Figura 3.2: Arquitectura general de un convertidor A/D Sigma-Delta.

3.2.1. Funcionamiento básico de moduladores Sigma-Delta

Para estudiar el funcionamiento básico de los moduladores se considera la estructura genérica de la figura 3.3. El esquema consta de un filtro $H(z)$, un cuantizador uniforme multi-nivel de ganancia unidad y un convertidor digital-analógico. En esta estructura, la señal de entrada se introduce en el cuantizador a través del filtro $H(z)$. La salida, cuantizada, se resta a la señal de entrada. Mediante la realimentación se fuerza el valor medio de la señal cuantizada a seguir al valor medio de la entrada.

La forma más sencilla de abordar el problema del análisis de esta estructura es a través de la descripción en el dominio de la frecuencia [1] de su "modelo lineal". Para poder tratar al modulador Sigma-Delta como un sistema lineal es necesario modelar linealmente el componente no lineal. Esto consiste en sustituir la operación de cuantización (inherente en todo convertidor analógico-digital) por la adición de una señal equivalente de error (figura 3.4). De esta forma, valiéndonos de la teoría de sistemas lineales, la salida no es más que la suma de ambas componentes (señal + error de cuantización). Si pudiésemos filtrar por separado la señal y el error podríamos separar ambas componentes en el espectro de una forma controlable. La señal digital resultante tendrá separadas espectralmente las componentes de señal y de error de cuantización. Mediante filtros digitales, puede obtenerse una señal limpia de ruido de cuantización.

A modo de ejemplo, se va a analizar el circuito de la figura 3.5, que representa un SDM de primer orden. En esta figura se ha sustituido el cuantizador

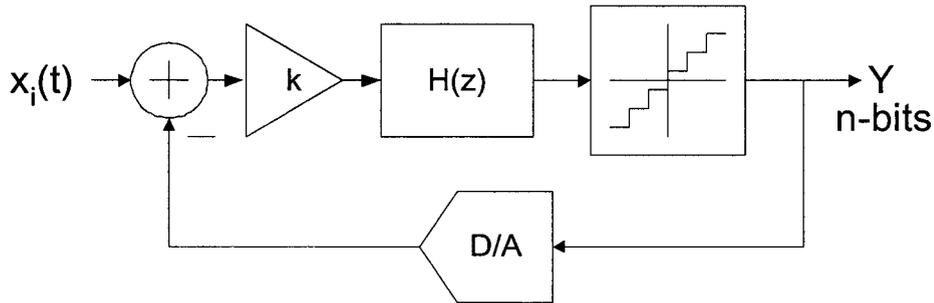


Figura 3.3: Modulador Sigma-Delta genérico.

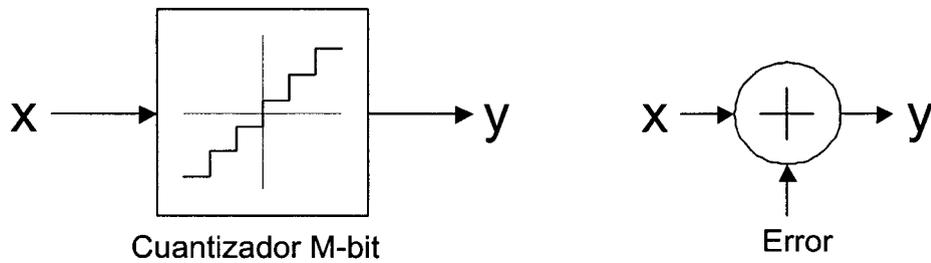


Figura 3.4: Modelado del cuantizador.

(uniforme de dos niveles) por su modelo lineal, es decir, por una señal (e_i) que se suma a la señal de entrada al cuantizador. La señal e_i representa el error introducido por el cuantizador. Por otro lado, el acumulador representa la integración en un sistema con señales discretas en el tiempo. Analizando esta estructura, podemos ver que:

$$w_i = w_{i-1} + d_{i-1}$$

$$d_{i-1} = x_{i-1} - y_{i-1}$$

$$y_{i-1} = w_{i-1} + e_{i-1}$$

De esta forma tenemos que:

$$w_i = x_{i-1} + (e_i - e_{i-1}) \quad (3.2)$$

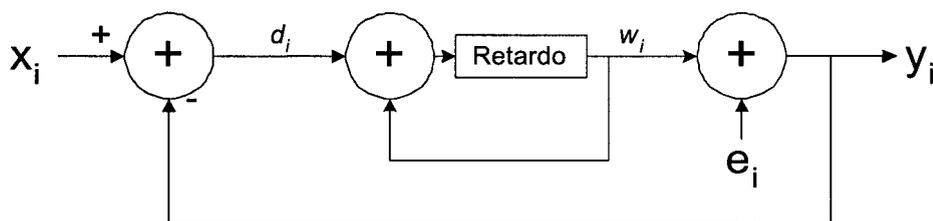


Figura 3.5: Modulador Sigma-Delta de primer orden.

Donde y_i es la señal cuantizada en amplitud.

De este resultado se desprende que la salida cuantizada contiene toda la información de la señal de entrada (si bien retrasada) a la que se suma la primera derivada (diferencia) del error de cuantización. Para conocer la salida completa del modulador es preciso determinar las propiedades del error de cuantización.

Error de cuantización.

Para comenzar con el estudio de la estructura, se sustituyó el cuantizador por su modelo lineal (figura 3.4). Este modelo consiste en sumarle a la señal el error de cuantización. Es obvio que este error de cuantización depende de la señal de entrada. Sin embargo, cuando el valor de la entrada cambia de una forma aleatoria sin causar saturación, se considera que el error de cuantización toma valores incorrelados entre sí, con igual probabilidad.

Partiendo de esta suposición, puede considerarse el error de cuantificación como una señal aleatoria (ruido), lo que hace posible el aprovechar importantes propiedades inherentes a estas señales.

Para definir el ruido introducido hay que calcular su valor medio y su valor cuadrático medio. La función de transferencia (claramente no lineal) del cuantizador se muestra en la figura 3.6, junto con la función de error (error frente a la entrada).

Considerando que el error de cuantización es una variable aleatoria de media 0 y equiprobable en el rango $-\frac{\Delta}{2}$ a $+\frac{\Delta}{2}$, el valor cuadrático medio se calcula mediante 3.3.

$$e_{rms}^2 = \frac{1}{\Delta} \int_{-\frac{\Delta}{2}}^{\frac{\Delta}{2}} e^2 de = \frac{1}{12} \Delta^2 \quad (3.3)$$

Considerando el ruido en la salida del modulador como:

$$n_i = e_i - e_{i-1} \quad (3.4)$$

En el dominio de la frecuencia se tiene:

$$N(f) = E(f) - E(f) \cdot e^{-j\omega T_s} \quad (3.5)$$

$$E(f) = e_{rms} \cdot \sqrt{\frac{2}{f_s}} \quad (3.6)$$

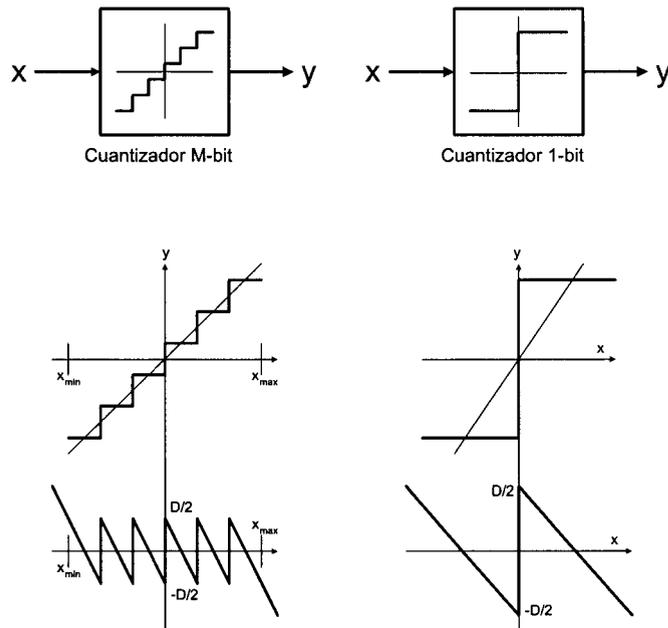


Figura 3.6: Relación entrada a salida de un cuantizador.

Donde $w = 2\pi f_s$ y T_s es el periodo de reloj ($T_s = 1/f_s$). De esta forma, la densidad espectral del ruido sumada a la señal a la salida del modulador Sigma-Delta de primer orden viene dada por la expresión:

$$N(f) = 2 \cdot e_{rms} \cdot \sqrt{2 \cdot T_s} \cdot \text{sen}(0,5 \cdot w \cdot T_s) \quad (3.7)$$

Esta expresión (3.7) se corresponde con la figura 3.7.

Para conocer las repercusiones del resultado anterior (ecuación 3.7) se debe calcular la potencia de ruido en la banda de señal (n_o^2).

$$n_o^2 = \int_0^{f_0} |N(f)|^2 df \quad (3.8)$$

Si se considera que $f_s^2 \gg f_o^2$, se puede aproximar por:

$$n_o^2 \simeq e_{rms}^2 \frac{\pi^2}{3} (2f_o T_s)^3 \quad (3.9)$$

Y su valor rms es:

$$n_o \simeq e_{rms} \frac{\pi}{\sqrt{3}} (2f_o T)^{\frac{3}{2}} = e_{rms} \frac{\pi}{\sqrt{3}} (OSR)^{\frac{-3}{2}} \quad (3.10)$$

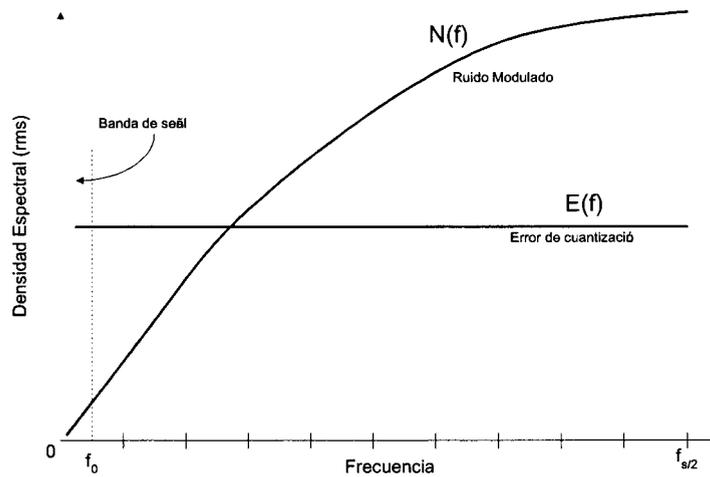


Figura 3.7: Densidad espectral de ruido de un modulador sigma-delta.

Se observa que, cada vez que se dobla la tasa de sobremuestreo (OSR), el ruido en banda se reduce en 9dB. Esto proporciona un aumento en resolución de 1,5 bits. Si bien estos resultados se calculan basándonos en la suposición de ruido blanco, en la experiencia [1] se muestra que la ecuación anterior se cumple incluso cuando el ruido no es totalmente blanco (presenta algún tipo de dependencia con la entrada).

Generalizando el resultado anterior para sistemas de orden superior a 1 se obtiene la siguiente ecuación (3.11), donde L es el orden del filtro.

$$n_o = e_{rms} \frac{\pi^L}{\sqrt{2L+1}} (OSR)^{L+\frac{1}{2}} \quad (3.11)$$

$$OSR = \frac{f_s}{2f_{Nyquist}}$$

Para poder generalizar el análisis hecho a moduladores de orden superior, debe establecerse el modo de encontrar las ecuaciones que definen el comportamiento del modulador. Nos basamos en el esquema del modulador genérico mostrado en la figura 3.3. La salida de este modelo puede escribirse como:

$$Y(z) = H_x(z)X(z) + H_e(z)E(z)$$

Donde $X(z)$ y $E(z)$ son la entrada y el error de cuantización respectivamente.

Las funciones de transferencia $H_x(z)$ y $H_e(z)$ son las funciones de transferencia de señal (STF) y de ruido (NTF), que resultan del análisis de la estructura.

$$H_x(z) = \frac{H(z)k}{1 + H(z)k} \quad (3.12)$$

$$H_e(z) = \frac{1}{1 + H(z)k}$$

Siendo k la ganancia a la entrada del filtro $H(z)$.

Estas dos expresiones muestran que la señal de entrada y el ruido de cuantización sufren procesos de filtrado definidos por expresiones diferentes. Esto permite tratar separadamente el ruido de la señal. Haciendo que $H(z)k$ sea muy grande en la banda de señal, la entrada pasará a la salida, mientras que el ruido se verá muy reducido en esta misma banda.

Generalizando, se considera que se tiene una función $H(z)$ de orden n con todos sus polos en $z = 1$ (alta ganancia en continua). Esta función viene descrita por

$$H(z) = \left(\frac{z^{-1}}{1 - z^{-1}}\right)^n$$

Considerando que la ganancia del modelo del cuantizador es $k = 1$, se tienen los siguientes resultados para la NTF y la STF:

$$|H_x(z)| = 1$$

$$H_e(z) = (1 - z^{-1})^n$$

3.2.2. Comportamientos no-lineales

El estudio realizado en el apartado anterior considera un modelo lineal del cuantizador. Por ello se supuso que la señal podía tomar cualquier valor dentro del rango de entradas posibles (señal "busy") y que el error de cuantización era incorrelado con la señal. Debido a que este modelo no es válido en todos los casos, aparecen desviaciones respecto del comportamiento predicho.

Patrón de ruido ante entradas DC. En ciertas situaciones podemos encontrarnos con que la entrada es una señal constante (o nula). Como se dijo, la salida del modulador tiende a tomar valores cuantizados cuya media corresponde con la media de la entrada. La salida del cuantizador sólo tomará valores de los dos niveles más próximos a la señal.

En este proceso se obtiene un patrón de repetición a la salida del modulador para obtener el valor medio de la entrada [94]. Si se analiza esta salida espectralmente, se observa un tono de continua igual a la señal de entrada. Pero, además, aparecen componentes en frecuencias correspondientes a la secuencia de salida. Estos tonos causan una degradación de la relación señal a ruido cuando caen dentro de la banda de señal, dando lugar a una modulación ruidosa. Para evitarlo, los patrones deben permanecer fuera de la banda de interés.

Zonas muertas. Otro efecto en la modulación de señales de baja frecuencia (cercanas a DC) es la aparición de regiones "muertas" (dead zones) en la señal de entrada. Dada una entrada x_i , la salida y_i conserva el mismo patrón periódico para un rango de valores de la entrada.

De esta forma, cambios pequeños en la entrada son ignorados por el modulador bajo ciertas condiciones. Esto afecta a las prestaciones del modulador cuando estamos ante integradores con pérdidas y baja ganancia en frecuencias bajas (DC).

Los patrones de repetición y los tonos que aparecen ante ciertas entradas son comunes en los moduladores de primer y segundo orden, aunque también están presentes en estructuras de orden superior. Estos efectos no deseados son un problema importante en aplicaciones de audio puesto que los receptores humanos son muy sensibles a este tipo de patrón periódico [89].

3.3. Prestaciones de convertidores Sigma-Delta

En la realización física de los moduladores aparecen imperfecciones que modifican la función de transferencia y el comportamiento, provocando que el modulador no presente las prestaciones esperadas.

Las no-idealidades en el modulador se convierten en errores en su salida. Es por ello por lo que se definen unas especificaciones de comportamiento del convertidor.

Las especificaciones de un convertidor pueden dividirse en dos grandes apartados. Por un lado están las especificaciones DC. Éstas son las especificaciones que se miden poniendo a la entrada del convertidor señales continuas. Entre ellas están: el offset, error de ganancia, no-linealidad diferencial (DNL), monotonicidad o dependencia con la temperatura. Son especificaciones estáticas comunes a todo tipo de convertidores, tanto convertidores de Nyquist como sobremuestreados.

Además de las especificaciones DC, se define otro grupo de especificaciones (dinámicas), necesarias a la hora de aplicar los convertidores a ciertos sistemas digitales como sistemas de procesamiento de señal para audio digital o video digital. Para estos sistemas no es suficiente comprobar que se cumplen las especificaciones ante entradas DC, también es necesario comprobar que su comportamiento en una banda determinada de frecuencias cumple con las especificaciones dinámicas.

A continuación se describen las especificaciones que determinan el comportamiento de los moduladores $\Sigma\Delta$.

1. Relación Señal a Ruido (SNR).

La SNR se define como:

$$SNR_{dB} = 10 \log(P_i/P_{ruido}) \quad (3.13)$$

P_i es la potencia de la señal de entrada y P_{ruido} es la potencia de ruido dentro de la banda de señal.

El ruido incluye tanto las componentes de ruido de sistema (se verán más adelante) como el error de cuantización (modelado como un error lineal). Considerando que se tienen las componentes de ruido discretizadas en frecuencia se puede calcular la potencia de ruido como:

$$P_{ruido} = \sum_{i=0}^I P(i)$$

Donde $P(i)$ es la potencia de ruido en la frecuencia i -ésima del espectro de potencia.

En la figura siguiente 3.8 se muestra la curva de SNR de un SDM. En el eje de abscisas se representa la entrada en dB. En el eje de ordenadas se representa la medida de SNR. El punto en el cual la SNR es 0dB es el punto a partir del cual la señal es superada por la potencia de ruido. A medida que se incrementa la potencia de la señal, se incrementa (linealmente) la SNR. La linealidad de esta curva muestra la linealidad del convertidor.

Cuando la entrada alcanza el nivel de sobrecarga, comienzan a aparecer componentes de distorsión que producen primero un estancamiento de la SNR y, finalmente, que la SNR caiga. La amplitud para la cual la SNR cae 3dB respecto de su valor máximo se denomina "entrada de sobrecarga" (overload).

Esta es la especificación dinámica más importante en la mayoría de las aplicaciones que debe cumplir un SDM. La SNR está estrechamente ligada a la resolución del convertidor y se ve afectada por las especificaciones de linealidad, distorsión, incertidumbre de tiempo de muestreo, ruido y tiempo de establecimiento. Esto se debe a que todas estas especificaciones tienen repercusiones directas sobre la SNR del convertidor. Por ejemplo, la distorsión produce tonos en la banda de señal que se suman al ruido, reduciendo la relación señal a ruido.

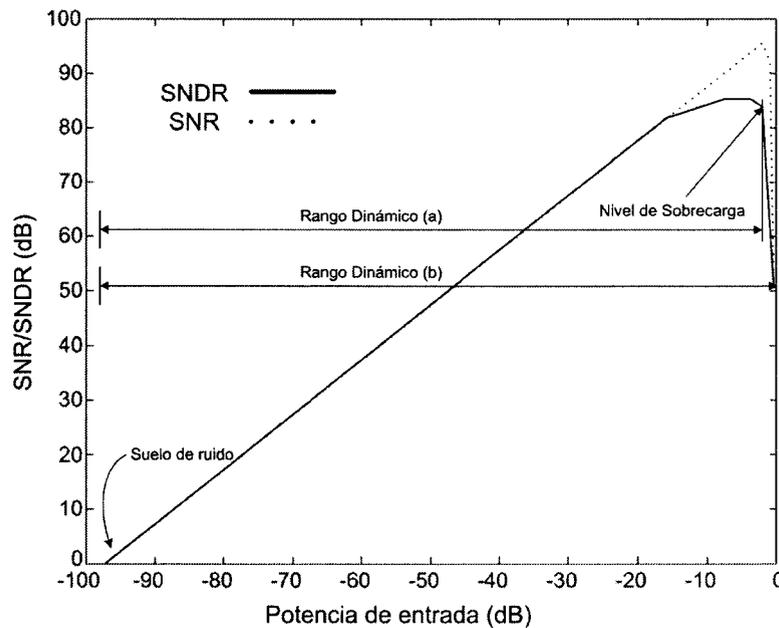


Figura 3.8: Medidas de DR sobre la curva de SNR.

Suponiendo que el ruido del sistema permanece por debajo del error de cuantización, se puede calcular la SNR_{max} del modulador ideal como (3.14):

$$SNR_{max} = 20 \log(A_{max,rms}/N_{rms}) \quad (3.14)$$

Donde la señal tiene la amplitud máxima permitida a la entrada del convertidor A_{max} , con n bits de resolución y Δ el tamaño del escalón de cuantización.

$$\begin{aligned} A_{max} &= 2^n \Delta / 2 \\ A_{max,rms} &= 2^n \frac{\Delta}{2\sqrt{2}} \end{aligned} \quad (3.15)$$

Y el ruido de cuantización viene de la ecuación 3.3

$$N_{rms} = \frac{\Delta}{\sqrt{12}}$$

Este resultado puede finalmente escribirse como:

$$SNR_{max} = \frac{A_{max,rms}^2}{N_{rms}^2} = 2^{2n} \cdot \frac{3}{2} \quad (3.16)$$

Pasando este resultado a decibelios:

$$SNR_{max}^{dB} = 10 \cdot \log_{10}\left(2^{2n} \cdot \frac{3}{2}\right) = 6,02n + 1,76dB \quad (3.17)$$

Idealmente, la SNR se calcula para una senoide de amplitud A como señal de entrada. A medida que la amplitud de la entrada disminuye, la SNR debe disminuir linealmente; esto último será cierto siempre que la potencia de ruido no dependa de la señal. Como se comentó anteriormente, el ruido incluye componentes dependientes de la señal, creando armónicos en la característica de salida, reduciendo así la SNR.

2. Rango dinámico.

El rango dinámico, normalmente expresado en decibelios, es la figura de mérito que evalúa la resolución del modulador. Puesto que no se trata de un convertidor (a falta del filtrado digital) no puede hablarse de 'número de bits'. Por ello, mediante la expresión 3.18, puede relacionarse el DR (rango dinámico) con el número de bits efectivos (ENOB) que tendría el convertidor haciendo uso de ese modulador.

$$ENOB = (DR(dB) - 1,76)/6,02 \quad (3.18)$$

Según la literatura pueden encontrarse dos modos de calcular el DR. En ambas formas, el cálculo de DR se basa en la curva de SNR frente a Amplitud de entrada.

- a) En [1] se considera el DR como el rango de señal (en dB) entre la amplitud de señal a partir de la cual la $SNR \geq 0$ (valor mínimo de amplitud) y la amplitud de señal a partir de la cual la SNR cae 3dB respecto del máximo.
- b) Una segunda forma de calcular el DR [3] es igualar el DR al rango de amplitudes de entrada (en dB) para los cuales la $SNR \geq 0$. Lo anterior puede definirse también como la relación entre el nivel de saturación de la entrada y el suelo de ruido.

Puesto que los moduladores Sigma-Delta tienden a ver disminuida su SNR para amplitudes grandes (cerca de 0dB), la segunda forma de medir el DR suele ganar unos 5dB en rango dinámico respecto de la primera. Esto representa una mejora de 0,8 bits respecto de la primera medida.

Generalmente es la primera forma de calcular el DR la que se utiliza para la medida de convertidores. En la figura 3.8 se muestra la medida hecha de las dos formas descritas anteriormente.

3. Rango dinámico libre de espúrios (SFDR).

En aplicaciones en los que la pureza espectral es importante (por ejemplo, audio) la especificación de SFDR determina la relación entre la máxima amplitud de señal y la mayor componente de distorsión que se obtiene. En la figura 3.9 se observa cómo se realiza la medida del SFDR para una entrada de amplitud máxima.

En convertidores con integradores muy lineales pueden conseguirse SFDR mejores que SNR. Esto puede entenderse si se tiene en cuenta que la SFDR es la relación entre la señal y un único tono (el mayor debido a la distorsión). En cambio, para el SNR, la relación se establece entre la entrada y la potencia total del ruido (incluyendo los tonos de distorsión).

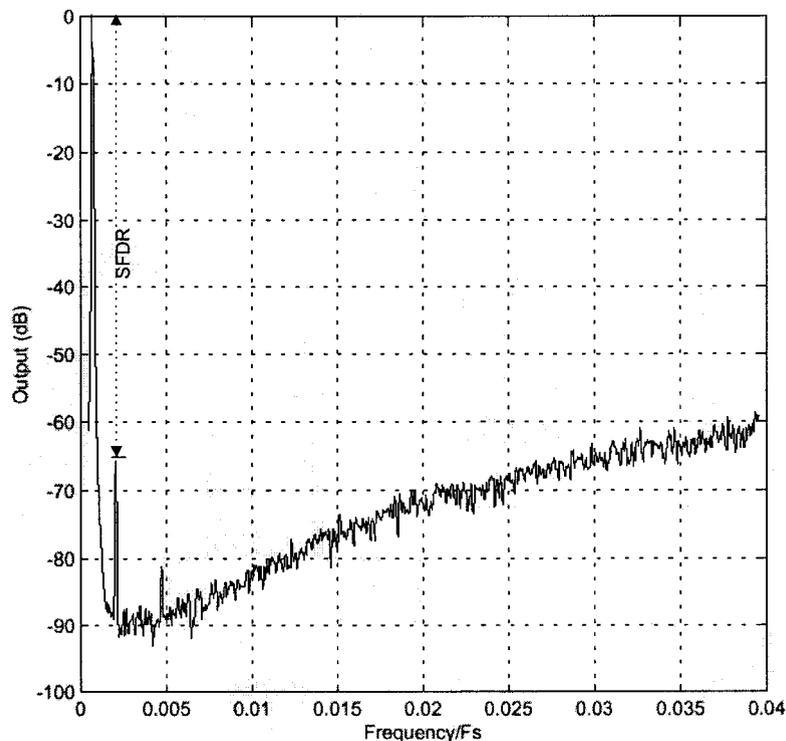


Figura 3.9: Medidas de SFDR.

4. Producto de intermodulación de tercer orden (IM3).

La medida del producto de intermodulación de tercer orden (IM3) se realiza con dos señales de entrada a frecuencias f_1 y f_2 . IM3 se define como la relación entre la potencia de la entrada y la potencia de la componente de distorsión a la frecuencia $2f_1 - f_2$ ó $2f_1 + f_2$.

5. Punto de intercepto de tercer orden (IP3).

La medida del IP3 se utiliza para evaluar no-linealidades de tercer orden y se define como la potencia de la entrada para la cual la potencia del producto de intermodulación de tercer orden (IM3) iguala a la potencia de la entrada. IP3 e IM3 se relacionan según la expresión:

$$IP3_{dB} = PX_{dB} - 0,5IM3_{dB} \quad (3.19)$$

La relación entre IM3 e IP3 puede verse también en la gráfica 3.10. Generalmente, antes de alcanzar el IM3 a la potencia de la portadora (cualquiera de las dos entradas), tanto la potencia de la señal de información como la del producto de intermodulación saturan. El IP3 se calcula como el punto de cruce considerando que ni la señal ni la IM3 saturan (línea discontinua).

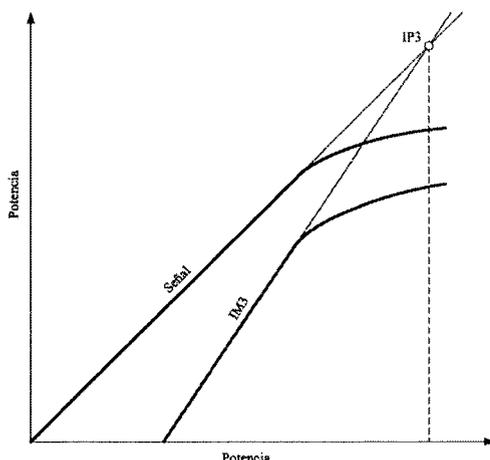


Figura 3.10: Punto de intercepto de tercer orden.

3.4. Estabilidad de moduladores Sigma-Delta

En un sistema realimentado, el hecho de asegurar su estabilidad en cualquier momento de su funcionamiento es fundamental. En sistemas puramente lineales, la estabilidad se comprueba aplicando el método de Routh-Hurwitz.

Mediante este método se calcula la posición de polos del sistema y se establecen unas condiciones que aseguren la estabilidad. Sin embargo este método es solamente válido para sistemas lineales. En el caso de sistemas con bloques no-lineales como el cuantizador, deja de tener efecto. Es necesario buscar otros criterios para evaluar la estabilidad en los convertidores realimentados (no-lineales).

Un modulador se considera estable si, para entradas acotadas (independientemente de las condiciones iniciales), las variables de estado del sistema permanecen acotadas. Esto se conoce también como criterio BIBO "Bounded Input, Bounded Output".

Para el diseño del modulador presentado en esta tesis se aplica el método de la función de descripción que se explica a continuación.

Método de la función de descripción. Éste método, conocido y utilizado en el estudio de estabilidad de sistemas no-lineales [81], se basa en crear un modelo lineal a partir de la función de transferencia (no-lineal). Para aplicarlo se parte de dos supuestos:

1. La entrada del elemento no-lineal (cuantizador) es senoidal.
2. La salida del elemento no-lineal tiene como característica un armónico fundamental correspondiente a la señal entrante como componente más importante.

Estas suposiciones suelen cumplirse en la práctica. Por otra parte, el filtro de realimentación (lineal) tiene una característica paso-bajo, eliminando los armónicos superiores y dejando a la entrada del elemento no-lineal una senoide. La efectividad del método depende de la forma en que se ha modelado el elemento no-lineal. Generalmente se realiza mediante una ganancia dependiente de la entrada.

Además de la función de descripción, también se aplican otros métodos y reglas para garantizar la estabilidad de los moduladores. Los más importantes (utilizados con moduladores $\Sigma\Delta$) son:

- Método de Lyapunov [79].
- Regla de Lee [80].
- Método de Tsytkin [78].
- Conjuntos invariantes positivos [77].
- Método de ganancia de potencia de Agrawal y Sheno [82].

Mediante los métodos anteriores se consigue establecer unos criterios para el diseño de moduladores estables.

Sin embargo, ante la imposibilidad de garantizar la estabilidad en cualquier estado del modulador, se aplican una serie de técnicas que ayudan a mantener el sistema estable y, en algunos casos, sacan al sistema de situaciones de inestabilidad:

1. Seleccionando los coeficientes de ganancia de los integradores para reducir la ganancia fuera de banda del ruido de cuantización a niveles que garantizan la estabilidad [80, 82].
2. Limitando la salida de los integradores. Esto tiene el mismo efecto que reducir la ganancia de los integradores cuando la salida toma valores elevados (posible situación de inestabilidad).
3. Reiniciando los integradores a un estado estable cuando se detecta una situación de inestabilidad.

Estas técnicas [83] tienen como efecto inmediato (además de mejorar la estabilidad) la reducción de prestaciones del convertidor, por ejemplo de SNR.

3.5. Causas de No Idealidades en moduladores Sigma-Delta

Una vez descrito el comportamiento de un modulador genérico, se hace necesario estudiar el impacto de las desviaciones que aparecen en el mismo respecto al comportamiento esperado (ideal).

El objetivo es evitar que se conviertan en errores dominantes que supongan limitaciones en las especificaciones del modulador. Las causas de no idealidad pueden dividirse en dos grupos.

Por una parte están aquellas que modifican las funciones de transferencia de señal (STF) o ruido (NTF). Por otra parte están aquellas que pueden modelarse como una fuente de ruido. Las primeras son fuertemente dependientes de la arquitectura mientras que las segundas no alteran la posición de los polos de la función de transferencia.

3.5.1. No idealidades que afectan a la función de transferencia del modulador

1. Ganancia DC de los amplificadores.

En condiciones de idealidad, se admite la suposición de que la ganancia de los amplificadores es infinita. A la hora de realizar físicamente el amplificador encontramos que la ganancia nunca puede hacerse infinita [85]. Si se construye el circuito de la figura 3.11 para implementar un integrador, en condiciones ideales, la función de transferencia viene dada por:

$$\frac{V_o(z)}{V_i(z)} = k \frac{z^{-1}}{1 - z^{-1}} \quad (3.20)$$

$$k = \frac{C_1}{C_2}$$

Al tener un amplificador con ganancia finita A_V , la función de transferencia del integrador se convierte en:

$$\frac{V_o(z)}{V_i(z)} = k \frac{z^{-1}}{1 - (1 - u)z^{-1}} \quad (3.21)$$

Donde:

$$u = \frac{k}{A_V}, A_V \gg 1 \quad (3.22)$$

Este resultado puede interpretarse pensando en que el integrador tiene pérdidas, ya que solamente una parte de la salida del periodo anterior se suma a la entrada.

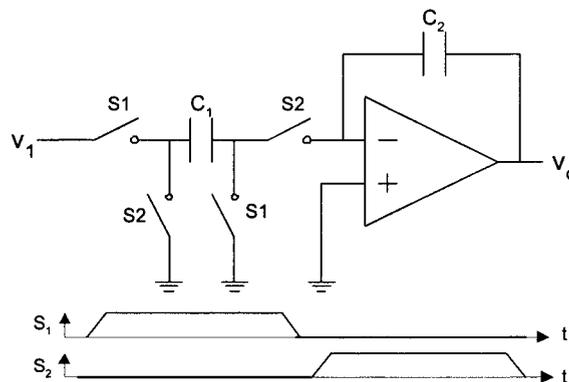


Figura 3.11: Integrador SC.

Una vez conocido el efecto de ganancia finita en un integrador, se pasa a estudiar este efecto en un SDM. Se parte del integrador descrito por la ecuación 3.21. Considerando que la función de transferencia $H(z)$ del

modulador consiste en un solo integrador (SDM de primer orden), se tienen las siguientes expresiones de STF y NTF:

$$\begin{aligned} STF(z, u) &\cong \frac{1}{1+u} \cong 1-u & (3.23) \\ NTF(z, u) &\cong (1-u)(1-z^{-1}) + uz^{-1} \\ &u \ll 1, z \rightarrow 1 \end{aligned}$$

En este resultado se pueden apreciar dos fenómenos:

- a) Aparece un error de ganancia en la STF, que afecta a la señal de información, lo cual no es un problema en la mayoría de las aplicaciones pues no afecta a la linealidad.
- b) Se produce una modificación en la posición de los ceros de la NTF, afectando a la conformación del ruido. Integrando la potencia de ruido (NTF) en la banda de interés se llega a la ecuación (3.24). Aparece una dependencia de la potencia de ruido con el factor de pérdida u .

$$P_Q(u) = \int_f E(f) |NTF(f, u)|^2 df \cong \frac{\Delta^2}{12} \left(\frac{u^2}{OSR} + \frac{\pi^2}{3OSR^3} \right) \quad (3.24)$$

Esta dependencia es proporcional a u^2 e inversamente proporcional al OSR (para $u \ll 1$). Este resultado muestra que, para altas tasas de sobremuestreo o para ganancias bajas, este ruido puede dominar sobre el de cuantización.

$$OSR = \frac{f_s}{2f_b} \gg 1$$

Para un modulador de orden L y lazo simple, puede aplicarse la expresión 3.25 para calcular la potencia de ruido.

$$P_Q(u) = \frac{\Delta^2}{12} \left(\frac{u^2 \pi^{2L-2} L}{(2L-1) OSR^{2L-1}} \right) \quad (3.25)$$

2. Error de Apareamiento de Capacidades.

Una fuente de no idealidades en circuitos de Capacidades Conmutadas es el error que se produce en los valores reales de las capacidades fabricadas respecto del valor calculado. Los factores de ganancia en circuitos SC se basan en la relación entre capacidades, lo cual permite obtener gran exactitud entre los valores de diseño y los valores de fabricación. De todas formas, debido a desapareamientos, se producen dispersiones respecto de los valores ideales y esto ocasiona desviaciones en la ganancia y, por tanto, en la función de transferencia del modulador.

En la ecuación 3.12 se mostraba que la STF es proporcional a k . Un error en la relación de capacidades produce un error en k o sea, un error en ganancia. Para moduladores de lazo simple, el error de apareamiento se limita a un error de ganancia. El problema se agrava en el caso de moduladores en cascada. En estos moduladores se cancela digitalmente el ruido de cuantización. Para ello deben cumplirse ciertas relaciones entre la ganancia de los integradores y de los coeficientes digitales. Al ocurrir desviaciones de la ganancia de los integradores, las relaciones con los coeficientes digitales no se cumplen y el ruido no es debidamente cancelado, lo que da lugar al deterioro de las prestaciones del modulador [5].

3.5.2. No idealidades modelables como fuentes de ruido

En el apartado anterior se han visto causas de no-idealidades que modifican la función de transferencia del circuito. Éstas suelen reflejarse en variaciones de la función de transferencia.

Las no-idealidades que se describen a continuación afectan directamente al espectro de la señal de salida aumentando el ruido que acompaña a la entrada y añadiendo tonos de distorsión en la banda de señal.

1. No idealidades debidas a la dinámica del integrador.

En circuitos SC, las transferencias de carga no completadas en el periodo asignado constituyen una de las principales fuentes de error [90, 91]. Las principales causas de esta no-idealidad tienen su origen en los integradores:

- Producto Ganancia-Ancho de banda limitado.
- Slew-Rate (SR) limitado.

Para entender como afectan estos factores al comportamiento del integrador, vamos a seguir la evolución de la tensión de salida durante el periodo de integración.

Al comienzo del periodo de integración y debido a que el amplificador presenta alta impedancia de salida, el principio de conservación de carga hace que la salida del integrador (v_o) salte con signo opuesto al incremento final de la salida (Δv_o) [92].

Si el incremento de la entrada es tal que $|\Delta v_{in}| < \frac{I_o}{g_m}$, donde g_m es la transconductancia e I_o es la máxima corriente que puede suministrar el amplificador, el funcionamiento del amplificador es lineal.

Si, por el contrario, $|\Delta v_{in}| > \frac{I_o}{g_m}$, el amplificador comienza su funcionamiento fuera de la zona lineal. Durante la primera parte del periodo de integración, la corriente suministrada es constante, de valor I_o . Esta situación se mantiene hasta que la diferencia de la tensión de salida con el valor final (objetivo) sea igual a I_o/g_m . A partir de este punto el amplificador funciona de forma lineal hasta el final del periodo de integración.

Sea cual sea la situación de partida (lineal o no), el error de transferencia de carga puede modelarse como un error de ganancia variable para cada ciclo de integración, función del incremento de tensión de la entrada.

Si se considera que el error es independiente de la señal de entrada el modulator, puede tratarse (el error producido) como un ruido incorrelado con la entrada.

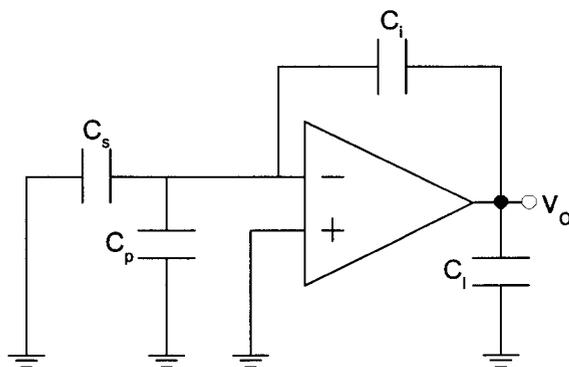


Figura 3.12: Circuito equivalente del integrador SC durante el periodo de integración.

En [6] se realiza el cálculo de la ganancia efectiva resultante en función de la entrada (ecuación 3.26).

$$g_{eff} = \begin{cases} g_{ideal}(1 - \beta e), & |v_i| \leq v_L \\ g_{ideal}(1 - \beta e^{|v_i|/v_L}), & |v_i| > v_L \end{cases} \quad (3.26)$$

Donde

$$v_L = \frac{I_o}{g_m \gamma} \quad (3.27)$$

$$g_{ideal} = \frac{C_i}{C_s} \quad (3.28)$$

$$\beta = \left(1 + \frac{C_p}{C_i}\right) \cdot \gamma \cdot e^{-\left(\frac{g_m T_s}{2C_{eq}} + 1\right)} \quad (3.29)$$

$$\gamma = \frac{C_i}{C_{eq}} \left(1 + \frac{C_l}{C_s}\right) \quad (3.30)$$

$$C_{eq} = C_s + C_p + C_i \cdot \left(1 + \frac{C_s + C_p}{C_i}\right) \quad (3.31)$$

2. Ruido térmico del circuito.

Las prestaciones de un modulador sigma-delta vienen limitadas por el ruido introducido por la circuitería con la que se construye. Este ruido viene de dos fuentes. La primera es el ruido flicker (ruido $1/f$), comúnmente relacionado con las imperfecciones en la estructura cristalina en las lindes entre el óxido y las distintas capas de silicio [93]. La densidad espectral de potencia del ruido flicker es inversamente proporcional a la frecuencia, por lo que suele hablarse de ruido $1/f$.

Por otra parte, el ruido térmico se corresponde con el movimiento aleatorio de los electrones en un conductor. Este ruido es proporcional a la temperatura y presenta un espectro blanco hasta el rango de los THz, por lo que suele considerarse a todos los efectos como ruido blanco gaussiano en las frecuencias de trabajo habituales.

En moduladores sigma-delta de lazo simple, el ruido térmico debido al proceso de muestreo se mapea a la entrada del modulador y se expresa mediante la ecuación 3.32 [5]. En esta ecuación se muestra cómo el ruido introducido por la primera etapa no sufre filtrado alguno, mientras que el introducido por las siguientes etapas se ve atenuado por las propiedades de conformado de ruido (noise shaping) del modulador. En esta ecuación, $N_1(z)$, $N_2(z)$, $N_3(z)$, corresponden al ruido introducido por el primer, segundo y tercer integrador respectivamente.

En (3.33) se expresa la potencia de ruido en la banda de señal.

$$N_{in}(z) = N_1(z) + \frac{(1 - z^{-1})}{a_1} N_2(z) + \frac{(1 - z^{-1})^2}{a_1 a_2} N_3(z) + \dots \quad (3.32)$$

$$S_{in}(z) = \frac{1}{OSR} S_{N1} + \frac{1}{a_1^2} \frac{\pi^2}{3OSR^3} S_{N2} + \frac{1}{a_1^2 a_2^2} \frac{\pi^4}{5OSR^5} S_{N3} + \dots \quad (3.33)$$

Donde OSR es la tasa de sobremuestreo, a_i son los coeficientes de ganancia de los integradores y S_{Ni} es la potencia de ruido a la entrada del i -ésimo integrador.

El valor de S_{Ni} viene dado por la expresión (3.34).

$$S_{Ni} = kT \frac{1 + g_m R_S}{C_{Si}} \quad (3.34)$$

Donde k es la constante de Boltzman, T la temperatura en grados Kelvin, g_m la transconductancia del amplificador, R_S la resistencia de salida y C_{Si} la carga total del amplificador i .

3. Distorsión armónica debido a capacidades no-lineales.

Las capacidades se utilizan como elementos de almacenamiento de carga (memorias) en los circuitos SC. Idealmente, los incrementos de carga se traducen linealmente en incrementos de tensión según la ecuación 3.35.

$$\Delta Q = C \cdot \Delta v \quad (3.35)$$

En la realidad, los condensadores presentan, en mayor o menor medida, dependencias de su capacidad con los valores de tensión en bornas. Desarrollando en series el valor de la capacidad en función de la tensión se tiene que:

$$C = f(v) = C_{ideal} \cdot (1 + \alpha_1 v + \alpha_2 v^2 + \dots) \quad (3.36)$$

En el caso de trabajar con condensadores de doble poly, la dependencia de la capacidad con la tensión puede reducirse al primer término del desarrollo.

Durante el periodo de integración (ver figura 3.12), la carga almacenada en la capacidad de muestreo se transfiere a la capacidad de integración. Puesto que se conserva la carga, se cumple que $\Delta Q_s = \Delta Q_i$:

$$\int_0^{v_s} C_s(1 + \alpha v)dv = \int_{\Delta v_i} C_i(1 + \alpha v)dv \quad (3.37)$$

Resolviendo la integral para una entrada senoidal [6] se tiene que la salida está formada por la componente fundamental y el segundo armónico, con amplitud dada por 3.38.

$$A_{H,2} = \frac{1}{4}\alpha \cdot A^2 \quad (3.38)$$

Donde α es el coeficiente no lineal de primer orden de la capacidad y, A , la amplitud de la señal de entrada. El valor de α viene fijado por la tecnología. Es por ello por lo que la selección del tipo de capacidad que se utilice en el diseño debe hacerse de forma que se minimice la distorsión armónica.

4. Distorsión armónica debido a la ganancia DC no-lineal.

Cuando la ganancia del amplificador presenta dependencias con la entrada o la salida, aparecen armónicos dependientes de la señal en la característica de salida.

En la figura 3.13 se muestra un ejemplo de ganancia dependiente de la señal. La no linealidad en la ganancia (fuera de la zona de saturación) aparece pues la transición entre las zonas lineal y de saturación es gradual [70]. En [6] se emplean las ecuaciones (3.39) y (3.40) para el cálculo de las amplitudes del primer y segundo armónico partiendo del hecho de que la ganancia no es constante y puede desarrollarse como $A_V = A_0(1 + \gamma_1 v + \gamma_2 v^2 + \dots)$.

$$A_{H,2} = \frac{|\gamma_1|(1 + k_1)}{2A_0} \frac{k_2^2}{k_1^3} A^2 \quad (3.39)$$

$$A_{H,3} = \frac{|\gamma_2|(1 + k_1)}{4A_0} \frac{k_2^3}{k_1^4} A^3 \quad (3.40)$$

Donde $k_1 = g'_1/g_1$ y $k_2 = g'_2/g_2$. g_1 , g'_1 , g_2 , g'_2 son las ganancias de los integradores de un modulador de segundo orden (figura 3.14).

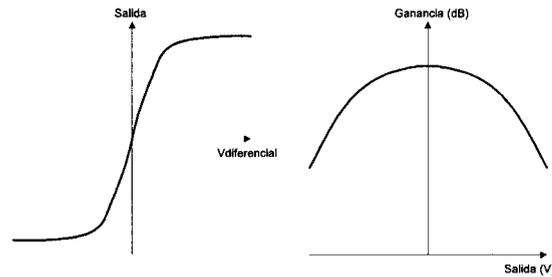


Figura 3.13: Característica DC no lineal de un Amplificador.

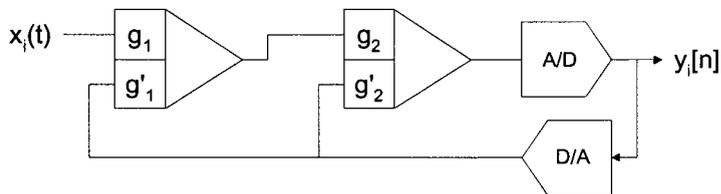


Figura 3.14: Esquema del modulador de orden 2.

La linealidad de la ganancia DC de los amplificadores debe controlarse de modo que la potencia de los armónicos resultantes se mantenga dentro de las cotas especificadas en el diseño.

5. Ruido Jitter.

En el estudio teórico de un sistema muestreado se considera que los instantes de conmutación de los relojes son exactos y uniformes. Cuando el instante de conmutación de interruptores no es uniforme, aparece una indeterminación en el instante de muestreo de la señal. Al muestrear la señal en un instante distinto al esperado, aparece una desviación entre el valor que debería ser muestreado y el valor muestreado en la práctica [87].

Esta desviación se suma como un error en la entrada. Esto hace que no sea filtrado por la NTF y pase a la salida junto con la señal. Si se introduce una entrada sinusoidal de amplitud A y frecuencia f_i , el error en la entrada debido al jitter es:

$$\Delta x = x(nT + \delta) - x(nT) = 2\pi f_i A \delta \cos(2\pi f_i nT_s)$$

Si se considera que el error de tiempo δ tiene una distribución gaussiana con desviación media σ y media cero, se puede calcular la potencia de ruido introducido en la banda de señal mediante la ecuación (3.42).

$$P_{jitter} = \frac{A^2 (2\pi f_i \sigma)^2}{2 \cdot OSR} \quad (3.41)$$

Esto implica una dependencia de la potencia de ruido con el cuadrado de la amplitud de entrada y con el cuadrado de la frecuencia. Puede también observarse que crece con el inverso del OSR. El efecto del ruido jitter sobre los BPM es considerablemente mayor que sobre los LPM puesto que la frecuencia de señal es mucho mayor en los primeros. Despejando σ de la ecuación anterior (3.42), para limitar la potencia de ruido jitter, el valor cuadrático medio del jitter del reloj debe limitarse a:

$$\sigma^2 = \frac{2 \cdot OSR \cdot P_{jitter}}{A^2 4\pi f_i} \quad (3.42)$$

3.6. Consumo de moduladores

Un aspecto importante en el diseño de moduladores sigma-delta es el cumplimiento de unas limitaciones en cuanto a consumo. Esto se hace crítico cuando nos encontramos con diseños orientados a aplicaciones en las que un reducido consumo es esencial, como son aplicaciones en sistemas portátiles que dependen de baterías como fuente de alimentación. Reducciones en el consumo permiten mayor autonomía, lo que es esencial, por ejemplo, en telefonía móvil.

Como consecuencia de la característica ya comentada de conformación de ruido (noise shaping), la etapa del primer integrador tiene mayor peso en las prestaciones que va a ofrecer el convertidor. Esto se debe a que los errores introducidos en la primera etapa se suman directamente a la señal de entrada. Las siguientes etapas no son tan importantes en cuanto a la degradación del SNR del modulador, por lo que pueden relajarse las especificaciones de diseño. Puesto que el consumo crece con las necesidades de prestaciones, es en la primera etapa donde será predominante.

Consumo de un integrador ideal. En integradores de capacidades conmutadas el consumo viene relacionado con la carga. Por ello, para minimizar el consumo, las capacidades de los integradores deben tener el mínimo valor que se permita para mantener las prestaciones de resolución y ancho de banda. De esta forma, sigue manteniéndose la limitación de ruido kT/C en el primer integrador. En las siguientes ecuaciones se calcula el consumo cuando los amplificadores son ideales.

Se parte de una señal de entrada de amplitud máxima V_{sw} . La potencia de esta entrada es $S_S = V_{sw}^2/2$. Definiendo el rango dinámico (DR) como la relación entre la potencia de la máxima señal y la potencia a la que la SNR es 0dB, se define el rango dinámico en función del ruido kT/C (límite del modulador) como:

$$DR = \frac{S_S}{S_{kT/C}} = \frac{V_{sw}^2 MC_S}{8kT} \quad (3.43)$$

En [5] se realiza el estudio de potencia para el primer integrador en los casos en los que el amplificador es ideal de clase A (ecuación 3.44) y cuando el amplificador es ideal de clase B (ecuación 3.45).

$$P = 32kT \cdot DR \cdot f_{Nyquist} \quad (3.44)$$

$$P = 4kT \cdot DR \cdot f_{Nyquist} \cdot \frac{\overline{\Delta V_{in}}}{V_{DD}} \quad (3.45)$$

Siendo $\overline{\Delta V_{in}}$ la media del valor de $V_{in} - V_{ref}$.

Estas dos ecuaciones muestran que el mínimo consumo en la primera etapa de un modulador sobremuestreado depende linealmente del rango dinámico necesario. Puesto que para añadir un bit de resolución es necesario aumentar 6dB el rango dinámico (multiplicar por 4), se puede decir que el consumo está estrechamente ligado a la resolución. Este resultado muestra también que el consumo es independiente de la tasa de sobremuestreo. Claro está que los circuitos de reloj y de conmutación sí tendrán un consumo dependiente del OSR.

Al consumo de la parte analógica hay que sumar el consumo de la circuitería digital, sin embargo esta tesis se centra en el diseño del modulador y no tendrá en cuenta la parte digital en términos de consumo. Para una evaluación del convertidor (modulador más filtrado digital y diezmado) sí habría que tener en cuenta el consumo de la parte digital.

3.7. Evaluación de prestaciones de moduladores Sigma-Delta

Ante la aparición de numerosas soluciones para el diseño de moduladores para distintas aplicaciones ha surgido una figura de mérito. De este modo se puede evaluar y comparar la bondad de moduladores con características distintas en resolución, ancho de banda, y consumo.

Originalmente, aparece la FOM (Figure Of Merit) para comparar convertidores en general [88]. Adaptada a moduladores Sigma-Delta [6] puede describirse según la ecuación 3.46 .

$$FOM_1 = \frac{C}{2^b DOR} 10^{12} \quad (3.46)$$

Donde C es el consumo del circuito en Watios, b es la resolución expresada en bits y DOR es la tasa de datos de salida (digitales).

La unidad de FOM es de energía (pico julios) y se interpreta como la energía invertida en la conversión. Por tanto, un modulador es mejor cuanto menos energía consume para convertir una unidad de información.

Existe una segunda figura de mérito definida en la literatura [31], descrita en la ecuación 3.47.

$$FOM_2 = SNDR + 10 \log_{10} \left(\frac{f_o}{C} \right) \quad (3.47)$$

Donde $SNDR$ es la máxima relación señal a ruido más distorsión para un modulador con un consumo de C y un ancho de banda de señal de f_o Hz. Esta segunda FOM se mide en dB. Mejor será el modulador cuanto más alto sea su FOM_2 .

3.8. Diseño de moduladores $\Sigma\Delta$ paso-banda (BPM)

Una vez descritos los principales características de los moduladores $\Sigma\Delta$ se estudian en este apartado las técnicas de diseño que pueden emplearse para la construcción del modulador $\Sigma\Delta$ paso banda.

La forma más simple de diseño de moduladores paso-banda es mediante la conexión de un filtro y un cuantizador formando un bucle (figura 3.15), al igual que se hacía en el caso de moduladores paso-bajo. El filtro consiste en un resonador centrado en la frecuencia de interés.

Para completar el convertidor $\Sigma\Delta$ paso-banda es preciso añadir al modulador un post-filtro y un diezmador. Estos últimos bloques, digitales, eliminan el ruido fuera de la banda de trabajo y ofrecen la salida como palabras binarias reduciendo así la tasa de transferencia. Puesto que la operación de conversión se realiza en banda, la salida del convertidor será una señal con las mismas componentes de frecuencia que la señal entrante. Un procesado de la salida permite obtener la señal en banda base.

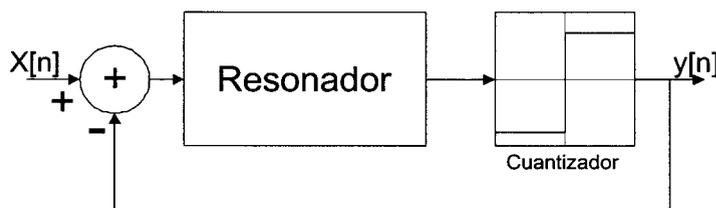


Figura 3.15: Esquema general de un modulador $\Sigma\Delta$ paso-banda.

3.8.1. Función de transferencia

El trabajo de diseño de moduladores paso-banda tiene como objetivo final el diseñar una función de transferencia para el filtro resonador que cumpla con las exigencias y especificaciones propuestas.

Muchas de las propiedades estudiadas en el caso de moduladores $\Sigma\Delta$ paso-bajo son aplicables en el diseño de moduladores paso-banda. De hecho, uno de los métodos de diseño consiste en partir de un modulador paso-bajo de orden N y convertirlo en un modulador paso-banda de orden $2N$. Esto se consigue con una simple transformación matemática que asegura un igual comportamiento de ruido y estabilidad en ambos moduladores [95].

Modelado del BPM

Al igual que se hace con los LPM, para poder trabajar con ecuaciones lineales en el caso de BPM es preciso sustituir los componentes no lineales por sus modelos lineales.

El bloque no lineal que se encuentra en el modulador es el cuantizador. Aplicando en el caso del sistema paso-banda el modelo lineal del cuantizador (señal de error), se tiene el sistema descrito por la ecuación (3.48).

$$Y(z) = G(z)X(z) + H(z)E(z) \quad (3.48)$$

Donde $H(z)$ es la función de transferencia del ruido. Se busca que $H(z)$ minimice el ruido dentro de la banda de interés y que cumpla con las condiciones de causalidad y estabilidad [74]. La condición de causalidad obliga a que el primer coeficiente de la respuesta impulsiva sea cero o, lo que lo mismo, $\lim_{z \rightarrow \infty} H(z) = 1$.

Métodos de diseño de BPM

El principal parámetro de diseño en un BPM es la situación de la frecuencia central de la banda de señal (ω_0) en relación con la frecuencia de muestreo

(w_s). La elección de la posición de la frecuencia central dentro del círculo de radio unidad en el plano z (figura 3.16) determinará las especificaciones de la tasa de muestreo y, por tanto, tasa de sobremuestreo (OSR), prestaciones del filtro anti-aliasing (FAA) y del filtro de ruido ($H(z)$).

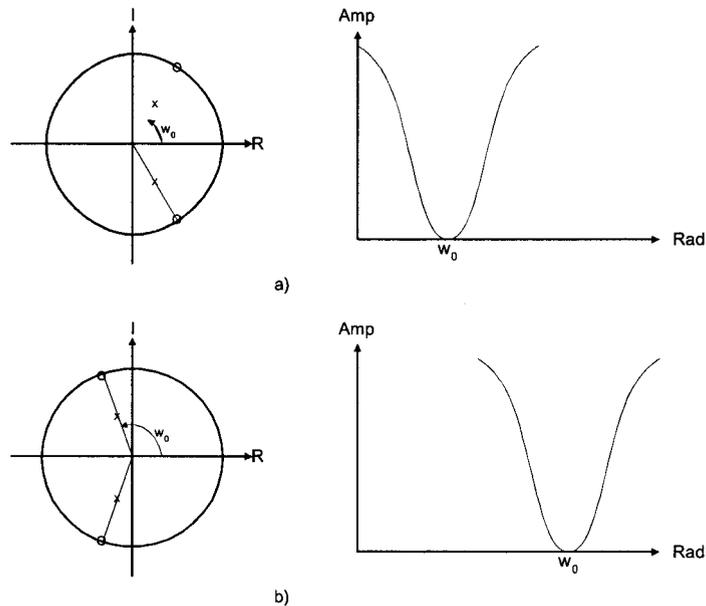


Figura 3.16: Selección de w_0 de un modulador $\Sigma\Delta$ paso-banda.

Si se sitúa w_0 cerca de $w = 0$ aumentamos el OSR , mejorando las prestaciones de la estructura elegida. También se relajan las especificaciones del filtro anti-aliasing. Por contra, un OSR elevado obliga a tasas de reloj altas, exigiendo mayores prestaciones a los bloques constructivos del circuito. Por otra parte, w_0 cercanos a $w = \pi$ relaja las prestaciones de tasas de reloj, pero requiere de filtros de noise-shaping y FAA más restrictivos.

Todo esto implica un compromiso entre los tres parámetros citados anteriormente: OSR , FAA y $H(z)$.

Para el diseño del modulador se pueden seguir dos métodos de diseño.

1. Aproximación generalizada de filtros [96].

Éste es el método directo de diseño de moduladores $\Sigma\Delta$. De la ecuación 3.48 se desprende que pueden diseñarse $H(z)$ y $G(z)$ de forma que se cumplan las características de ruido deseadas. Primeramente se debe

calcular una función de transferencia $H(z)$. Los polos y ceros de $H(z)$ determinarán la frecuencia central en la que el ruido será rechazado (Noise Shaping) y el ancho de banda.

El método de aproximación generalizada consiste en encontrar la función $H(z)$ que mejor se adapta a las especificaciones deseadas. En la actualidad existen diversos algoritmos y programas para el cálculo de forma automatizada de $H(z)$. En [84] introduce el programa *FiltorX*. Este algoritmo aplica la función de costes a la función de mínimos cuadrados para hallar la $H(z)$ óptima. Las desviaciones en el comportamiento de una $H(z)$ respecto del caso ideal (definido por el usuario) hacen incrementarse la función de costes. De esta manera, la solución que más se aproxima al caso ideal minimiza la función de costes y, por tanto, es el resultado del algoritmo.

El cálculo de $G(z)$ no es tan crítico como el de $H(z)$. $H(z)$ y $G(z)$ comparten los polos (calculados para obtener $H(z)$), por lo que el diseño de $G(z)$ ha de centrarse en determinar los ceros. Situando los ceros en $z = 0$ se consiguen bandas de señal muy planas. Si se desea conformar $G(z)$ para rechazar ciertas frecuencias de señal, basta con situar los ceros de forma adecuada.

2. Método del prototipo LPM.

El otro modo de diseñar moduladores $\Sigma\Delta$ Paso-Banda (BPM) es partiendo de un modulador Paso-Bajo (LPM) que cumpla con las necesidades de SNR con el sobremuestreo especificado. En la figura 3.17 se representa la posición de ceros y polos de un modulador LPM y de un BPM. El método del prototipo LPM consiste en transformar el modulador LPM de forma que los ceros y polos del LPM pasan a situarse en la posición deseada para un modulador BPM. Para ello se emplean varios métodos de transformación.

a) Transformación $z \rightarrow -z^2$

El método más sencillo y más ampliamente utilizado en la literatura aplica la transformación 3.49.

$$z \rightarrow -z^2 \quad (3.49)$$

De esta forma, los ceros de $H(z)$ se transforman de *DC* en el LPM a $\pm\pi/2$ en el BPM. La frecuencia central (banda de señal) pasa a estar situada en $\omega_o = \pi/2$ o, lo que es lo mismo, en $f_o = f_s/4$, donde

f_s es la frecuencia de muestreo del sistema. Esta transformación es muy empleada puesto que se conserva en el BPM el comportamiento dinámico de su prototipo LPM.

El modulador se comporta como dos moduladores paso-bajo multiplexados. De aquí se desprende que el BPM es estable si y sólo si el LPM prototipo es estable y las SNR son iguales.

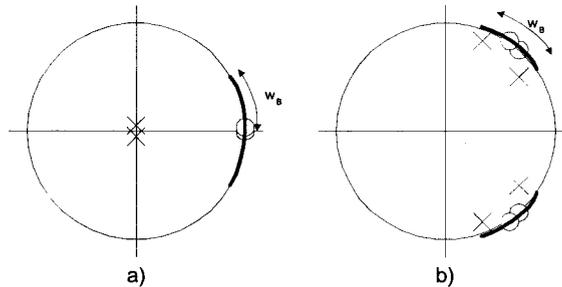


Figura 3.17: Polos y ceros en moduladores LPM y BPM.

b) Transformación generalizada N-path (NPGT)

La NPGT es una generalización del método anterior que sigue la transformación de la ecuación (3.50).

$$z \rightarrow -z^N \quad (3.50)$$

Si bien mantiene la misma característica de conservar el comportamiento dinámico en el modulador resultante, aumenta el orden del mismo. Mediante esta transformación se puede situar la banda de señal en $\frac{f_s}{2N}$.

Para valores de N superiores a 2 se aumenta el número de bandas de paso, apareciendo otras bandas en posiciones diferentes a la deseada. Si bien esto permite elegir la posición de nuestra banda, se incrementa el orden del modulador (diseño más complejo) sin mejorar las características dinámicas respecto del caso de $N = 2$. Otro problema que trae consigo este método es la pérdida de garantía de estabilidad de que gozaba la transformación $z \rightarrow -z^2$ (siempre que se parta de un modulador estable).

c) Transformación generalizada de segundo orden.

El caso más general de transformación consiste en sustituir z en la función de transferencia del LPM según la función 3.51:

$$z \longrightarrow -z \frac{z + a}{az + 1} \quad (3.51)$$

Siendo a un coeficiente que varía como $-1 < a < 1$. En el caso particular en el que $a = 0$ se tiene la transformación $z \longrightarrow -z^2$. Cuando $a < 0$, la banda está próxima a DC y, con $a > 0$, la banda tiende a $f_s/2$. Puede comprobarse cómo, mediante esta transformación, se conservan las condiciones de estabilidad del LPM:

$$\lim_{z \rightarrow \infty} H(z)$$

$$\max(|H(e^{jw})|)$$

Esta transformación permite controlar completamente la posición de la banda de paso. Sin embargo, tropieza con la dificultad de mantener (en el caso general) el mismo comportamiento dinámico del prototipo paso bajo.

3.8.2. Diseño en tiempo continuo frente a diseño en tiempo discreto

Una vez seleccionada una estructura que cumpla con las prestaciones de rango dinámico (DR) y ancho de banda hay que pasar a su realización física. Para ello existen dos caminos. Históricamente, el diseño de convertidores $\Sigma\Delta$ se inició con filtros en tiempo continuo. El paso a diseño en tiempo discreto se debió principalmente a la simplicidad en la matemática relacionada con los moduladores y, por tanto, la facilidad con la que se pasa del dominio de las matemáticas al campo de la electrónica.

- Una ventaja de los moduladores en tiempo discreto es su menor sensibilidad al jitter del reloj que los moduladores en tiempo continuo.
- En tiempo discreto, la frecuencia de reloj está limitada por el ancho de banda de los amplificadores involucrados. Por el contrario, los amplificadores en moduladores de tiempo continuo no se ven sometidos a la frecuencia del reloj, no limitando la frecuencia de datos de salida. Esto implica que los AO utilizados en tiempo discreto deben alcanzar mayores prestaciones que los de tiempo continuo.
- En los moduladores de tiempo continuo, la potencia de ruido térmico no va a depender de la frecuencia de muestreo, haciendo independiente este ruido de $\frac{kT}{C}$. Esto permite utilizar menores tamaños de capacidades

(ahorro en superficie de silicio) en los moduladores en tiempo continuo respecto de los moduladores en tiempo discreto.

- Como consecuencia de lo dicho anteriormente, para iguales características de conversión, los AO utilizados en tiempo discreto presentarán mayor consumo que los utilizados en tiempo continuo, alcanzándose en este último caso, mejores figuras de consumo.
- El proceso de muestreo implica una repetición en el espectro de la banda muestreada. Para evitar la aparición de aliasing es preciso situar filtros antialiasing a la entrada del modulador. Este fenómeno no se da en los moduladores en tiempo continuo, no necesitándose esta circuitería extra. Suele decirse que un modulador en tiempo continuo equivale a un modulador en tiempo discreto más un filtro antialiasing.

Pese a las ventajas en rendimiento de los moduladores en tiempo continuo, la sencillez de diseño y el mejor comportamiento frente al jitter hacen conveniente el diseño en tiempo discreto, siempre que las especificaciones lo permitan.

Capítulo 4

Modulador Sigma-Delta Paso-Banda de baja tensión y bajo consumo

4.1. Introducción

En el capítulo 3 se ha introducido el concepto de *noise shaping*. Mediante la realimentación de un cuantizador (de baja resolución) se filtra el ruido en la banda de frecuencias que ocupa la señal de información. De este modo se puede separar espectralmente la señal de información de la del ruido una vez se ha realizado la conversión. En estos moduladores los ceros de la función de transferencia de ruido se sitúan en banda base (figura 4.1), consiguiendo una mayor relación señal a ruido en estas frecuencias.

De igual forma se puede aplicar este principio a señales de banda estrecha. Esto se consigue situando los ceros del filtro de ruido cuantización en las frecuencias ocupadas por la señal de entrada (figura 4.2).

En este capítulo se describe el diseño de un modulador sigma-delta paso-banda con el objetivo de alcanzar 14 bits de resolución a una frecuencia de Nyquist de 16KHz. Si bien el objetivo no es ambicioso en términos de velocidad, se pretende explorar las posibilidades que ofrecen los circuitos de muy baja tensión de alimentación ($V_{dd} < V_{tn} + |V_{tp}|$) con reducido consumo. El BPM se diseña para aplicaciones en las que se trabaje con señales de audio y para su integración en los proyectos CICOMBT y DABACOM.

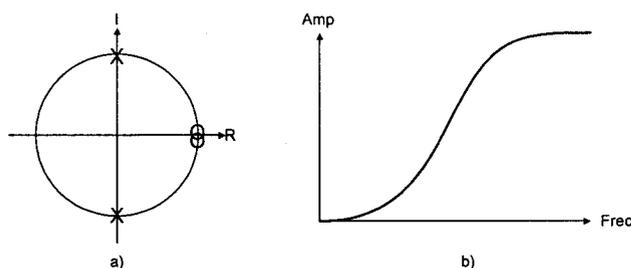


Figura 4.1: Filtro del ruido de cuantización en moduladores Paso-Bajo.

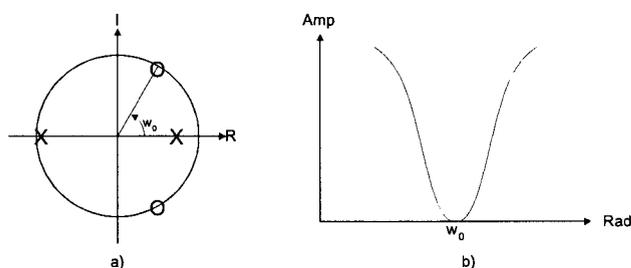


Figura 4.2: Filtro del ruido de cuantización en moduladores Paso-Banda.

4.2. Motivación del diseño de moduladores Paso-Banda

El proceso de digitalización de señales IF puede conseguirse mediante convertidores AD de Nyquist (ADNC) o mediante convertidores Sigma-Delta Paso-Banda (BPSD). Los primeros poseen un ruido de cuantización constante en toda la banda de interés. Esto significa que, para conseguir una SNR adecuada en la banda de señal, el convertidor ha de presentar unas prestaciones elevadas en toda su banda de Nyquist. Esto implica un diseño más complejo. Por otra parte, los convertidores Sigma-Delta, reducen el ruido de cuantización únicamente en la banda de interés. Esto permite obtener altas prestaciones con especificaciones de diseño más relajadas.

La capacidad que tienen los moduladores paso-banda de procesar una señal dentro de una banda estrecha de frecuencia al campo digital, los hacen atractivos para resolver el problema de la conversión de señales IF (frecuencia intermedia). Generalmente, en estos sistemas la señal está situada en una banda fija.

El proceso convencional de digitalización de esta señal se muestra en la figura 4.3 (a). La señal se mezcla a banda base de forma analógica haciendo uso de un mezclador en cuadratura (sensibles al mismatch, offset y ruido

flicker). Una vez obtenida la señal en banda base, ambas ramas (I y Q) se convierten al dominio digital mediante dos convertidores AD.

Para resolver este problema en el campo analógico es necesario recurrir a un filtro paso banda de IF (BPIF) con un alto valor de Q y un oscilador local (LO).

Una alternativa al proceso de mezclado seguido de una conversión AD aparece con los convertidores AD paso-banda. En estos convertidores se traslada el proceso de mezclado al campo digital integrándolo en el convertidor AD. Para ello es preciso un CAD cuya banda de conversión esté centrada en la banda de la señal de IF. Este sistema convierte a digital la señal IF, pudiendo ser posteriormente mezclada de forma digital.

La conversión AD se realiza en la primera etapa del proceso. Posteriormente se hacen de forma digital (mediante DSP) funciones tales como mezclado, control de ganancia, filtrados, ...

4.2.1. Objetivos

El objetivo que se pretende alcanzar es el diseño de un modulador sigma-delta paso-banda para aplicaciones de audio ($F_{Nyquist} = 16KHz$).

La resolución ha de ser de 14 bits. El sistema debe ser de muy baja tensión de alimentación y bajo consumo. Las especificaciones del convertidor se recogen en el cuadro 4.1. Para alcanzar las prestaciones de bajo consumo y baja tensión de alimentación se aplicarán técnicas de baja tensión en el diseño de los distintos componentes del circuito.

El modulador se realizará aplicando técnicas de Capacidades Conmutadas con la tecnología CMOS de $0,35\mu m$ de AMS.

Parámetro	Valor
$F_{Nyquist}$	16KHz
Bits	13
Orden	4
Vdd	1,1v
Consumo	500 μ W

Cuadro 4.1: Objetivos de diseño del modulador Sigma-Delta paso-bajo.

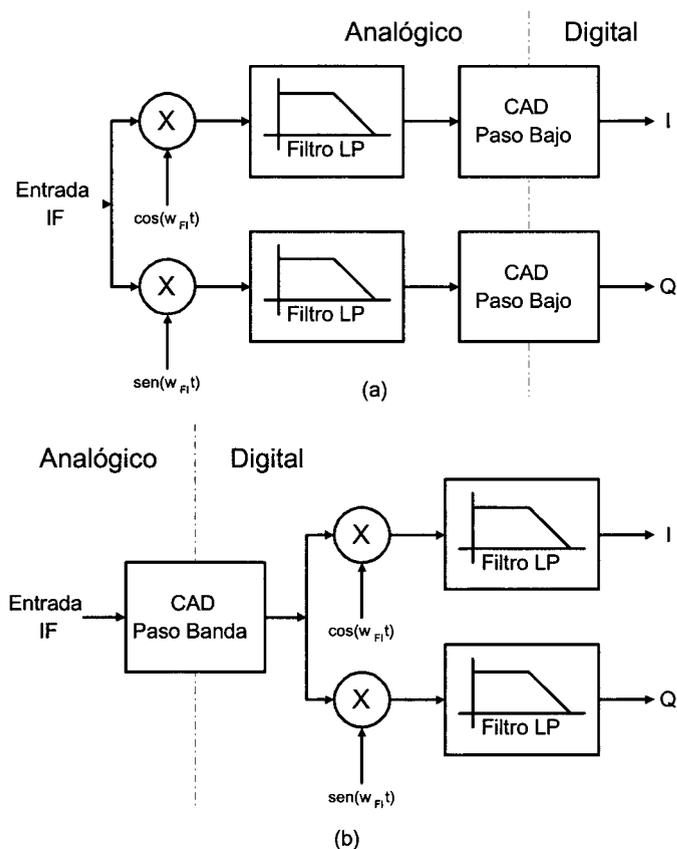


Figura 4.3: Soluciones al problema de mezclado de la FI; (a) conversión AD en banda base y (b) conversión AD en FI.

Para cumplir con los objetivos propuestos deben definirse las prestaciones que ha de cumplir la estructura que se elija. Estas prestaciones se definen en términos de rango dinámico (DR) y ancho de banda.

De la ecuación 4.1 puede calcularse que, para obtener 14 bits de resolución es necesario que el DR sea $86dB$.

$$DR = 6,02n + 1,76dB \simeq 86dB \quad (4.1)$$

4.2.2. Estado del arte

En el cuadro 4.2 se recogen las características de los principales moduladores paso-banda publicados hasta julio de 2002 realizados con técnicas de capacidades conmutadas (SC) en tecnología CMOS.

Para poder hacer una comparativa entre los diferentes circuitos, se definieron dos figuras de mérito en el capítulo 3 y escritas de nuevo en refe:3.0.1 [6] y 4.3 [31]. La primera se mide en *pico - julios* y la segunda en *dB*.

$$FOM_1 = \frac{Power}{2^b F_{Nyquist}} 10^{12} \quad (4.2)$$

$$FOM_2 = SNDR + 10 \log_{10} \frac{BW}{Power} \quad (4.3)$$

En enero de 2000 se fijó el objetivo del diseño del BPM con 14 bits a una frecuencia de Nyquist de 16KHz y un consumo menor a $500\mu w$. En términos de figura de mérito se tiene que:

$$FOM_1 = \frac{500\mu w}{2^{14} 16kHz} 10^{12} = 1,9 \quad (4.4)$$

$$FOM_2 = 86 + 10 \log_{10} \frac{8kHz}{500\mu w} = 158dB \quad (4.5)$$

Lo que supone valores de FOM_1 o FOM_2 que, hasta esa fecha, no se habían logrado con tecnología CMOS en BPM (SC). Hasta la fecha, los mejores valores de FOM publicados los alcanzaron [25] ($FOM_1 = 3,6$ y $FOM_2 = 144$) y [17] ($FOM_1 = 4,3$ y $FOM_2 = 146$). El prototipo se midió en 2001. En esa fecha se publica un BPM [29] que supera en FOM_1 (1,2 frente a 1,9) e iguala en FOM_2 (158dB) al BPM propuesto.

En el cuadro (4.1) se recogen los principales *BPM* realizados con SC en tecnología CMOS publicados hasta julio de 2002.

<i>Bits</i>	<i>F_b</i> (kHz)	<i>F_I</i> (MHz)	<i>P</i> (mW)	<i>CMOS</i> (μm)	<i>V_{dd}</i> (V)	<i>FOM₁</i> (pJ)	<i>FOM₂</i> (dB)	<i>Fecha</i>	<i>Ref.</i>
10,2	8	455	230	3 μm	$\pm 5 V$	3055	113	1993	[27]
9	30	2	0,8	2 μm	3,3 V	26	132	1995	[19]
12	200	81	7	0,8 μm	3 V	4,3	146	1996	[17]
12,1	200	20	72	0,6 μm	3,3 V	41	139	1997	[23]
12,1	9	5	180	0,65 μm	4 V	2280	121	1997	[24]
12,2	200	20	72	0,6 μm	3,3 V	38,2	140	1997	[16]
12,5	200	3,75	130	0,8 μm	5 V	56,1	139	1997	[26]
7,5	2000	40	65	0,5 μm	3,3 V	90	122	1997	[20]
8,3	200	100	330	0,35 μm	2,7 V	2617	109	1999	[21]
11	200	82	18	0,35 μm	3 V	22	138	1999	[28]
11,3	2000	16	110	0,25 μm	2,5 V	11	142	2000	[15]
10,3	200	50	1,8	0,35 μm	2,5 V	3,6	144	2000	[25]
11	200	2,5	5,5	0,35 μm	3,3 V	6,7	143	2000	[18]
13,5	180	10	5	0,35 μm	1 V	1,2	158	2001	[29]
13,6	200	78	11,5	0,25 μm	2,5 V	2,3	156	2001	[30]
12	200	10,7	76	0,35 μm	3,3 V	46,4	138	2001	[22]
13,6	270	100	56	0,35 μm	3 V	8,35	139	2002	[33]
7,3	3840	100	56	0,35 μm	3 V	46,3	120	2002	[33]

Cuadro 4.2: Cuadro comparativo de los principales moduladores $BP\Sigma\Delta$ publicados hasta julio de 2002.

4.3. Diseño del modulador $\Sigma\Delta$ paso banda de 4^o orden

En el capítulo 3 se describieron las diferentes estrategias que pueden seguirse para el diseño de moduladores paso banda. Como se vio, el método más sencillo es diseñar el modulador partiendo de un prototipo paso-bajo y siguiendo la transformación $z \rightarrow -z^2$. Con esta transformación los integradores se convierten en resonadores y la banda de señal pasa de DC a estar centrada en $f_s/4$.

En la figura 4.4 (a) se muestra como ejemplo un LPM prototipo de orden 2 y, en 4.4 (b), el BPM resultado de la transformación $z \rightarrow -z^2$. La entrada (centrada en $f_s/4$) se demodula en dos señales (I y Q) en banda base. Cada una de estas dos señales es modulada por un modulador LP. Finalmente, las dos señales se mezclan de nuevo para formar la salida en $f_s/4$.

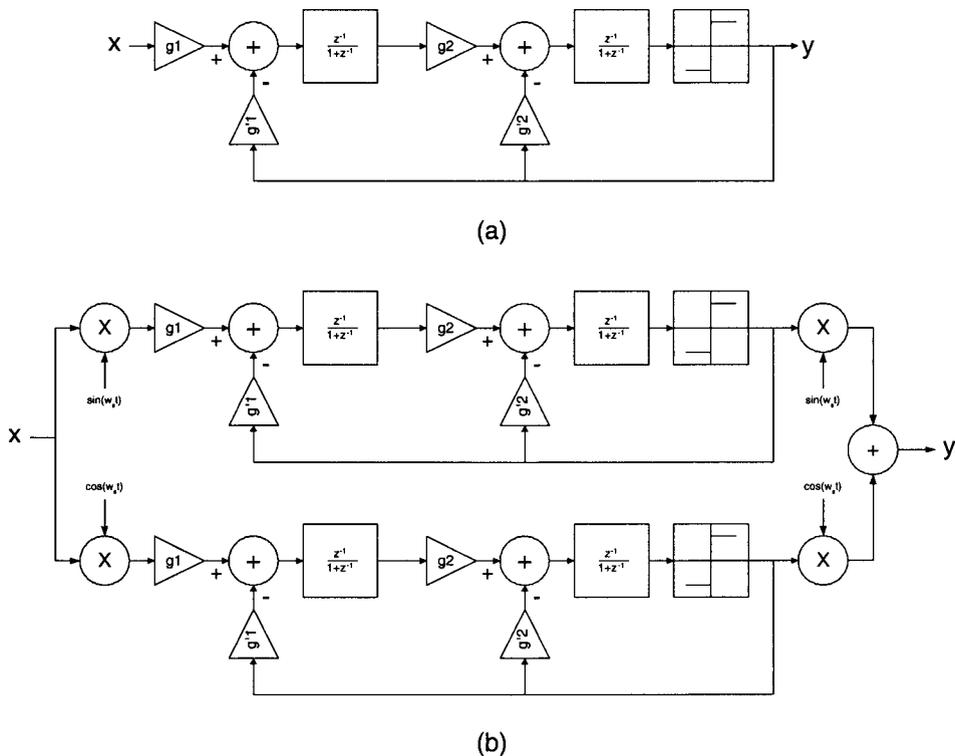


Figura 4.4: Transformación LP (a) a BP (b).

Cualquier error sistemático entre la rama I y la rama Q tiene como resultado un muestreo no uniforme. Este desfase entre las dos ramas produce una distorsión de fase que se traduce en la aparición de una imagen de la señal

con respecto de la frecuencia central de la banda. Este error es crítico en la primera etapa del modulador. En [15, 20, 25] se estudia en detalle la aparición de la señal imagen y como minimizar sus efectos.

Para que la banda de señal sea utilizable es necesario eliminar por completo el efecto de la frecuencia imagen. En el caso en que esto no sea posible, la solución pasa por definir como banda de señal una de las bandas laterales a la frecuencia central. En el BPM propuesto se toma como banda de señal la banda lateral derecha a $f_s/4$ (figura 4.5) y así se evita la aparición de imágenes dentro de la banda de señal.

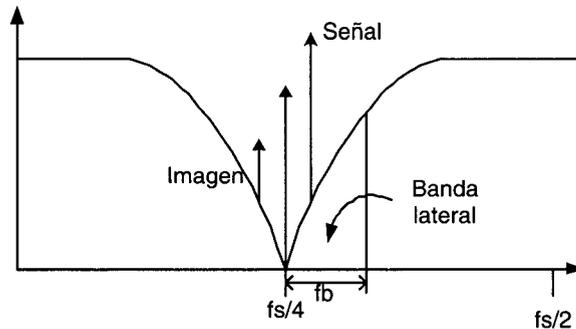


Figura 4.5: Banda útil de señal.

4.3.1. Prototipo $\Sigma\Delta$ Paso Bajo

La transformación $z \rightarrow -z^2$ permite diseñar el BPM partiendo de un LPM. Las prestaciones de resolución entre ambos moduladores son iguales para un mismo valor de OSR y una misma $f_{Nyquist}$ (frecuencia de Nyquist). Esto es cierto mientras la banda de señal del BPM está centrada en $f_s/4$. En el apartado anterior se ha decidido tomar como banda de señal la banda lateral derecha a la frecuencia $f_s/4$ para evitar la aparición de imágenes en la banda de señal. La resolución del LPM y del BPM no será, por tanto, igual para un mismo valor de OSR.

La cuestión se centra entonces en hallar el OSR y ancho de banda de un LPM (prototipo) que, al aplicarsele la transformación $z \rightarrow -z^2$ de lugar al BPM de banda lateral deseado.

El BPM buscado debe tener 14 bits de resolución ($DR = 86dB$) en la banda lateral (f_b), que se alcanza con un OSR dado. Si no se considera la aparición de la señal imagen, con el mismo OSR se obtiene un $DR = 86 - 6 = 80dB$ en un ancho de banda $2f_b$ centrado en $f_s/4$. Este BPM equivalente, con la

banda de señal centrada en $f_s/4$, sí puede ser diseñado transformando un LPM prototipo con el mismo valor de OSR y ancho de banda igual a $2f_b$.

El prototipo LPM se diseñará entonces con un $DR = 80dB$ y una banda de señal de $2f_b = 16kHz$ ($f_{Nyquist} = 32kHz$) centrada en $f_s/4$.

Para lograr este objetivo se presentan distintas arquitecturas posibles:

1. **Moduladores de lazo simple de un bit.** En el capítulo anterior se realizó un estudio del ruido incorporado en la banda de señal en moduladores de lazo simple. El resultado de este estudio (ecuación 4.6 [1]) muestra la dependencia del ruido dentro de la banda de señal con el orden del modulador y con la tasa de sobremuestreo, representado en la figura 4.6.

$$n_0 = e_{rms} \frac{\pi^L}{\sqrt{2L+1}} (2f_0T)^{L+1/2} \quad (4.6)$$

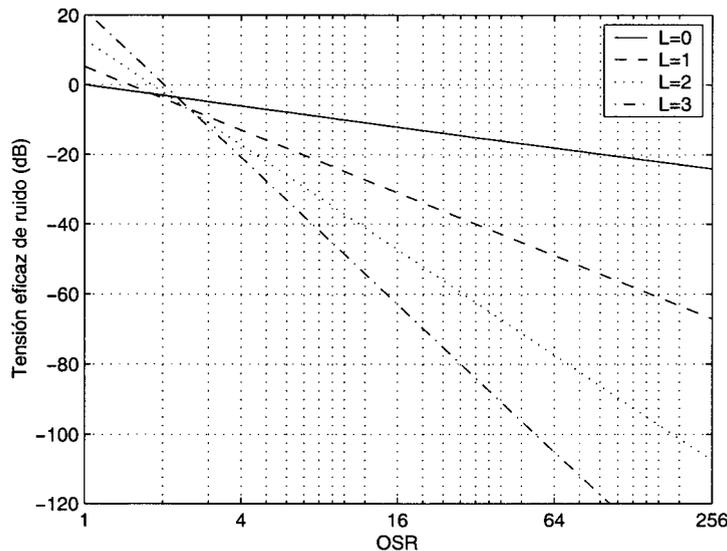


Figura 4.6: Representación gráfica de la ecuación (4.6): relación entre el ruido en la banda de señal y OSR (ceros en el origen).

$L = 0$ representa un convertidor sin realimentar (convertidor sobremuestreado). Observando esta figura se aprecia cómo, a medida que se incrementa el orden del modulador (L), disminuye el ruido de cuantización en la banda de señal. Para alcanzar los objetivos de $DR \geq 80dB$ se tienen varias opciones:

- a) $L = 1$. Con moduladores de primer orden, OSR debe ser superior a 512 para obtener un ruido inferior a -80dB. El reloj de sistema debe ser de $f_{clk} \geq 32kHz \cdot 512 = 16MHz$. En el capítulo 2 se diseñaron los opamp en baja tensión que se utilizan en el diseño del modulador. Su frecuencia de funcionamiento no alcanza una $f_{clk} = 16MHz$, por lo que se descarta esta estructura.
 - b) $L = 2$. $OSR \geq 86$. Esto corresponde con una frecuencia de reloj de 2,752MHz. Un LPM de orden 2 se transforma en un BPM de orden 4. Aplicando técnicas de multiplexado de opamps [19], solamente se necesita un opamp por cada 2 órdenes en el diseño de BPM.
 - c) En los casos en los que el orden del modulador es $L = 3$ y valores superiores se consiguen con menores valores de OSR los objetivos propuestos ($OSR = 35$ para $L = 3$). El BPM de orden 6 se diseña con 3 amplificadores. Esto se traduce en un aumento del consumo del sistema.
2. **Moduladores de lazo simple multibit.** Como se ha visto anteriormente, las topologías basadas en cuantizadores multibit consiguen una mejora sobre las de un bit, como se deduce de la expresión 4.7. Esto permite disminuir la tasa de sobremuestreo. La contrapartida es la necesidad de convertidores DA de la precisión de los bits que se pretenden obtener de resolución, 14 en este caso. Esto es difícil debido a errores de apareamiento entre los niveles de referencia del DAC. Para conseguir alta linealidad y resolución se aplican técnicas DEM (Dynamic Element Matching) [97, 98]. Las principales DEM mejoran el rendimiento del DAC aleatorizando los errores para evitar la aparición de tonos dependientes de la entrada o compensando dinámicamente los errores de precisión de los elementos del DAC.

$$\Delta DR = 20 \log(2^B - 1) dB \quad (4.7)$$

3. **Moduladores multietapa.** Las estructuras en cascada permiten mayores resoluciones de conversión sin comprometer la estabilidad del sistema.

De los distintos posibles tipos de moduladores se han realizado simulaciones a nivel de sistema con MATLAB. Debido a la complejidad adicional de los CDA multibit, éstos se han descartado en el estudio. Los resultados se recogen en el cuadro 4.3.

Una vez estudiadas las distintas alternativas para el diseño de un LPM de 13 bits y $F_{Nyquist} = 32KHz$ estamos en disposición de hacer la elección. La arquitectura seleccionada será la más simple con la que se cumplan los objetivos.

Arquit. prototipo	OSR	F_{clk} KHz	Consumo Previsto μW	FOM_1 pJ	FOM_2 dB	Área normalizada
1	512	16384	-	-	-	$1,3 \cdot A$
2	86	2752	< 500	1,9	158	$2,3 \cdot A$
3	34	1088	< 600	2,3	157,2	$3,3 \cdot A$
2-1	34	1088	< 650	2,5	156,8	$3,6 \cdot A$
2-2	28	896	< 750	2,8	156,2	$4,6 \cdot A$

A es el área que ocupa un integrador genérico.

Cuadro 4.3: Resultados de simulación de arquitecturas estudiadas.

La de primer orden queda descartada por la dificultad del diseño de amplificadores que funcionen a la frecuencia necesaria. La estructura de segundo orden es la que presenta mejores valores de FOM y es por tanto la estructura seleccionada para servir de prototipo en el diseño del BPM.

El esquema del LPM se representa en la figura 4.7. Una vez tomada la decisión, se pasa al estudio de parámetros y especificaciones de los componentes de la estructura escogida. Para ello se realizan un estudio teórico y simulaciones de comportamiento. Con MATLAB y MIDAS [14] se hacen las simulaciones de comportamiento y de respuesta a no-idealidades presentes en las distintas etapas del modulador.

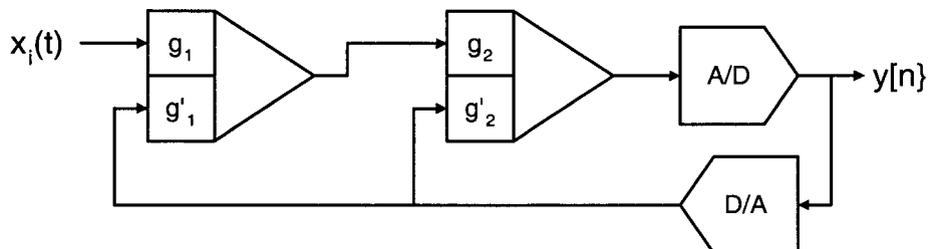


Figura 4.7: Modulador $\Sigma\Delta$ de orden 2.

Estudio teórico

Función de transferencia.

El modulador de segundo orden se muestra en la figura 4.7. El primer paso para el diseño es conocer la función de transferencia a fin de ajustar sus parámetros estructurales. Aplicando superposición de fuentes ($X(z)$, $E(z)$) y asumiendo el modelo de ruido aditivo del comparador expresamos la salida $Y(z)$ como:

$$Y(z) = H_X(z)X(z) + H_E(z)E(z) \quad (4.8)$$

Donde la

$H_X(z)$ y $H_E(z)$ son:

$$H_X(z) = \frac{g_1 g_2 z^{-2}}{(1 + g'_1 g_2 - g'_2) z^{-2} + (g'_2 - 2) z^{-1} + 1} \quad (4.9)$$

$$H_E(z) = \frac{(1 - z^{-1})^2}{(1 - z^{-1})^2 + g'_1 g_2 z^{-2} + g'_2 z^{-1} (1 - z^{-1})} \quad (4.10)$$

A través de estas ecuaciones puede verse el proceso de transformación que sufren tanto la señal como el ruido introducido por el cuantizador. Puesto que no queremos que la señal sufra ninguna modificación espectral, deben fijarse los valores de las ganancias del sistema (g_1 , g'_1 , g_2 y g'_2). Dicho de otra forma, se pretende que $H_X(z)$ sea constante en z . Para ello se establecen las siguientes condiciones:

$$g'_2 = g'_1 \cdot g_2 + 1 \quad (4.11)$$

$$g'_2 = 2 \quad (4.12)$$

De esta forma, la respuesta del modulador ante la entrada de señal es constante en z y solamente introduce un retraso en la señal de salida respecto de la entrada.

$$H_X(z) = g_1 g_2 z^{-2} \quad (4.13)$$

Partiendo de las condiciones impuestas a $H_X(z)$ (4.11) tenemos que $H_E(z)$ (4.10) queda reducida a:

$$H_E(z) = (1 - z^{-1})^2 \quad (4.14)$$

Según este resultado, el ruido que introduce el cuantizador se ve filtrado por $H_E(z)$, que tiene dos ceros en $z = 1$ y dos polos en $z = 0$.

La densidad espectral de potencia del ruido de cuantización queda entonces definida por [1]:

$$S_Q(f) = S_E(f) \cdot 16 \text{sen}^4\left(\pi \frac{f}{f_S}\right) \quad (4.15)$$

De 4.15, se desprende la potencia de ruido de cuantización en la banda de señal como:

$$P_Q(f) = \int_{-\frac{f_d}{2}}^{\frac{f_d}{2}} S_Q(f) df \cong \frac{\Delta^2}{12} \frac{\pi^4}{5M^5} \quad (4.16)$$

A modo de resumen, las características principales obtenidas tras el estudio teórico del modulador de orden 2 son:

- Parámetros fijados: $g'_2 = g'_1 \cdot g_2 + 1$ y $g'_2 = 2$.
- Dos grados de libertad de diseño (por ejemplo g_1 y g_2).
- $H_X(z)$ es constante frente a z . La ganancia depende de g_1 y g_2 .
- Si $g_1 = g_2 = 1$. Entonces, $g'_1 = 1$ (g'_2 está fijada a 2).
- $H_E(z)$ presenta 2 ceros en $z=1$ ($\equiv f = 0$), atenuando el ruido en la banda de señal.
- Incrementando OSR, mejora la resolución en 2,5 bits por octava.

Estudio de estabilidad

Como se ha visto en el capítulo introductorio a $\Sigma\Delta$, el estudio de la estabilidad del modulador es crítico. En [1] se hace el análisis de estabilidad siguiendo el método de la función de descripción [81] del que se desprende que el LPM de orden 2 es incondicionalmente estable.

4.3.2. Simulaciones del modulador $\Sigma\Delta$ de orden 2

La simulación del modulador a nivel de bloques permite determinar las especificaciones que han de tener cada uno de ellos. Asimismo pueden calcularse las desviaciones en el DR en función de la variación de los parámetros de estos bloques respecto del comportamiento con parámetros ideales.

Coefficientes del modulador de orden 2

La elección de las ganancias de los integradores es crítica a la hora de la implementación física del modulador. Los niveles de señal en los distintos puntos de la estructura dependen de los valores de los coeficientes g (ver esquema de la figura 4.7). Con una entrada de plena escala (amplitud máxima) debe maximizarse el rango de señal a la salida de los integradores. Cuando los coeficientes están mal dimensionados podemos encontrarnos con dos situaciones al introducir una entrada de amplitud máxima:

1. La salida de los integradores no alcanza los valores máximos de rango de señal. Puesto que el ruido térmico de los integradores es fijo, la relación entre señal a la salida del integrador y el ruido disminuye respecto de la situación óptima. Se está disminuyendo por tanto, rango dinámico.
2. La salida de los integradores supera los valores de saturación de éstos. En esta situación aparecen componentes armónicas que contribuyen a empeorar la SNDR del modulador.

En la figura 4.8 a) se muestra una estadística de los valores de tensión a la salida de los amplificadores. En esta simulación se han elegido los valores de los parámetros g de forma que se desaprovecha el rango dinámico de salida de los AOs. Puesto que el suelo de ruido permanece constante, la máxima relación señal a ruido a la salida de los integradores es menor que en el caso de máximo aprovechamiento del rango dinámico (figura 4.8 b).

El extremo opuesto es el representado en la figura 4.8b) . La tensión de salida de los integradores cubre el rango completo. En este caso la relación señal a ruido es máxima. Desgraciadamente, debido a la saturación de la salida de los amplificadores, la señal se distorsiona para tensiones cercanas a los extremos del rango dinámico de tensión. En esta situación aparecen componentes armónicos que hacen disminuir la SFDR.

En la figura 4.8 c) se escoge un valor de compromiso para los coeficientes g (cuadro 4.4). No se obtiene la mayor SNR posible, pero se evita la aparición de espureos que degraden la salida del modulador.

Coefficiente	Valor
g_1	0,25
g'_1	0,25
g_2	0,5
g'_2	0,25

Cuadro 4.4: Coeficientes g del modulador $\Sigma\Delta$ de orden 2 para el caso de la figura 4.8 c).

Sensibilidad de los coeficientes

Los coeficientes de ganancia de los integradores se implementan físicamente como una relación de capacidades. Es evidente que desapareamientos entre estas capacidades producen divergencias de los valores de los coeficientes con respecto de sus valores nominales. Para evaluar los efectos que tienen estos desapareamientos en el rendimiento del modulador se simulan variaciones de los coeficientes y se compara la SNR resultante con la nominal. Se toma para ello como punto de partida de la simulación el modulador de orden 2 de la figura 4.7.

En la figura 4.9 se muestra la pérdida de SNDR al variar la ganancia g_1 respecto del valor nominal (0,25). Como puede comprobarse, con variaciones de $\pm 20\%$ se tienen variaciones inferiores a $1dB$, cuando g_1 disminuye respecto del valor nominal. La tecnología de fabricación de C.I. permite actualmente

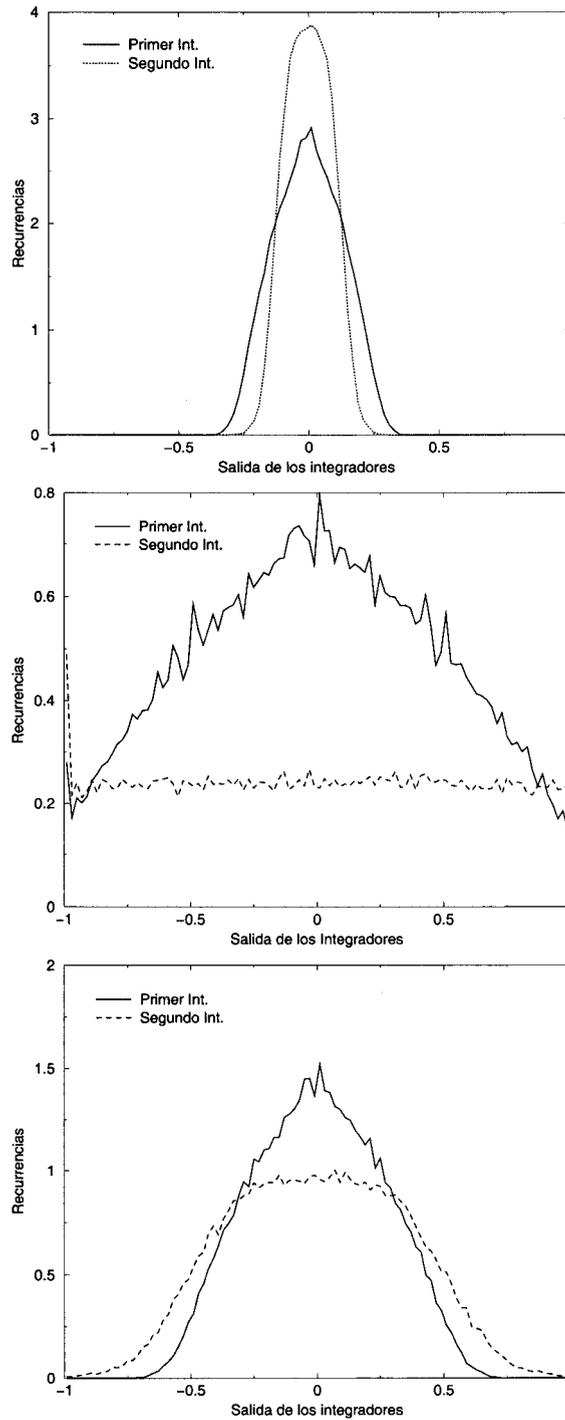


Figura 4.8: Salida de los integradores. a) Rango de salida desaprovechado, b) rango de salida saturado y c) rango de salida optimizado.

precisiones inferiores al 1% aplicando técnicas de apareamiento de capacidades.

Las sensibilidades de g_2 y g'_2 no afectan al comportamiento del modulador. Puesto que la salida del segundo integrador es la entrada del comparador, errores en ganancia de este integrador no afectan a la salida.

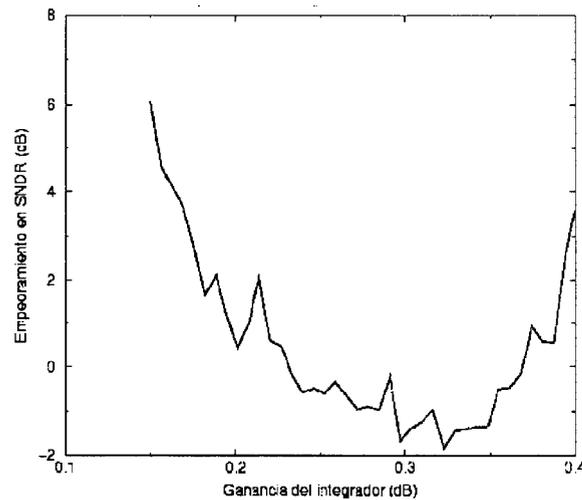


Figura 4.9: Variación de la SNDR con g_1 .

Integradores

Mediante simulaciones en MIDAS se han determinado las prestaciones que han de cumplir los integradores para no degradar la relación señal a ruido del modulador. En la figura 4.10 se muestra el efecto del "Settling Time"(ST) y el "Slew Rate"(SR) del opamp en la SNR del modulador. Para valores normalizados de $ST_n = 10$ y $SR_n = 1,15$, no tendremos pérdidas apreciables de SNR. Para obtener los valores reales de ST y SR basta con aplicar los resultados de simulación a las ecuaciones (4.17) y (4.18).

$$SR = \frac{1}{2f_s} \Delta SR_n \quad (4.17)$$

$$\tau = \frac{1}{ST_n} f_s \quad (4.18)$$

Para no sufrir pérdidas significativas de SNR se elige $SR_n = 2,65$ y $ST_n = 8$. Esto se traduce en:

$$SR = 11V/\mu s$$

$$\tau = 16,4MHz$$

Estos datos se toman como partida para el diseño de los amplificadores operacionales.

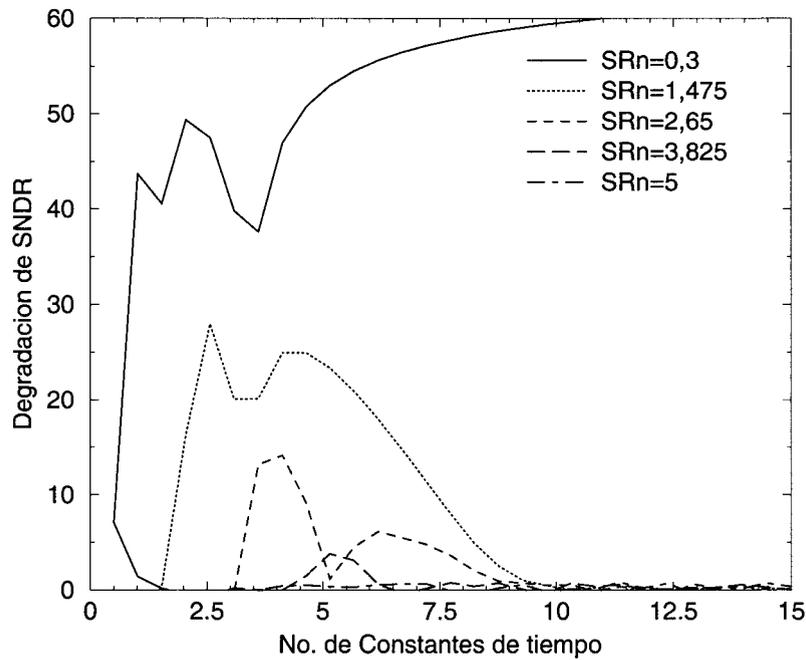


Figura 4.10: Prestaciones de los AO.

Otros parámetros

El cuantizador también puede afectar a la figura de ruido. Debe limitarse la histéresis del cuantizador para no degradar el comportamiento. En la figura 4.11 se representa la sensibilidad del modulador ante distintos valores de histéresis. En el eje X se representa $\frac{h}{\Delta}$ donde h es la amplitud de histéresis y Δ es el rango de entrada del comparador. Para minimizar este efecto se utilizarán comparadores regenerativos. Éstos se resetean a cada ciclo de reloj, partiendo siempre del mismo estado. De esta forma se evitan no-linealidades dependientes de señal debido a la histéresis, traducidos en espureos en el espectro de la salida.

El último aspecto a considerar en el diseño del prototipo paso-bajo es el efecto que tiene el *jitter* del reloj sobre el comportamiento. Como se ha dicho, la transformación $z \rightarrow -z^2$ garantiza el mismo comportamiento dinámico en el modulador resultante. Sin embargo, la respuesta al *jitter* será distinta. Esto se debe a que el *jitter* afecta a la primera etapa en la modulación (muestreo de señal). El efecto del *jitter* sobre una señal en banda-base es muy diferente en $f_s/4$. A la hora de estudiar el modulador paso-banda se comparará el efecto

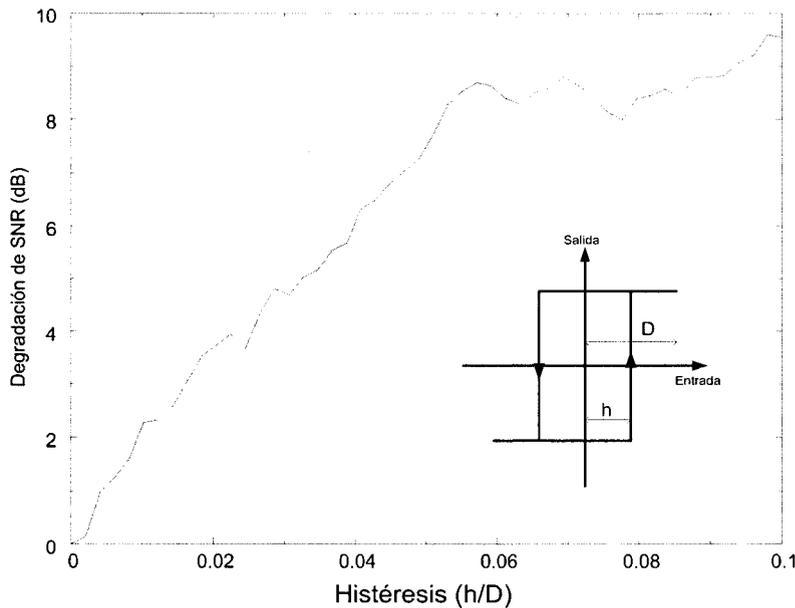


Figura 4.11: Sensibilidad con la histéresis del cuantizador.

del *jitter* en uno y otro caso. En la figura (4.12) se muestra la degradación del SNR del modulador LP de orden 2 para distintas amplitudes de la señal de entrada y diferentes valores de *jitter*. El jitter se simula como un error aleatorio en el instante de muestreo de la señal de entrada. La simulación de la figura 4.12 muestra el resultado de añadir un jitter de reloj con una varianza de 0,16, 0,64 y 2,56 (porcentaje sobre el periodo del reloj).

4.3.3. Arquitectura del modulador $\Sigma\Delta$ Paso-Banda de orden 4

Una vez estudiado el prototipo LP del que se parte, se aplica la transformación $z \rightarrow -z^2$ para obtener el BPM. En la figura 4.13 se presenta la arquitectura básica del BPM una vez efectuada la transformación $z \rightarrow -z^2$. Esta transformación convierte los dos integradores en resonadores, cambiando el signo en el segundo sumador para conservar la misma función de transferencia. Los resonadores se realizan generalmente utilizando dos amplificadores operacionales, por lo que el BPM necesita 4 amplificadores para su diseño. Esto supone un incremento importante en el consumo del modulador respecto del BPM prototipo.

Una alternativa para reducir el consumo (reduciendo el número de amplificadores) consiste en diseñar los resonadores con un solo AO (figura 4.14) [2]. Sin embargo, la utilización de esta estructura requiere un esquema de relojes bastante más complejo para funcionar. Necesita 6 nuevos relojes de frecuencia

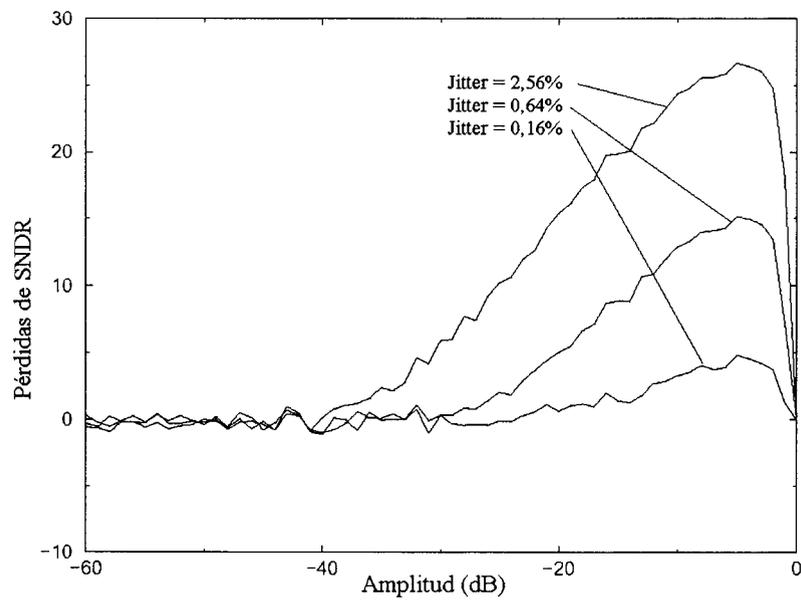


Figura 4.12: Sensibilidad con el Jitter.

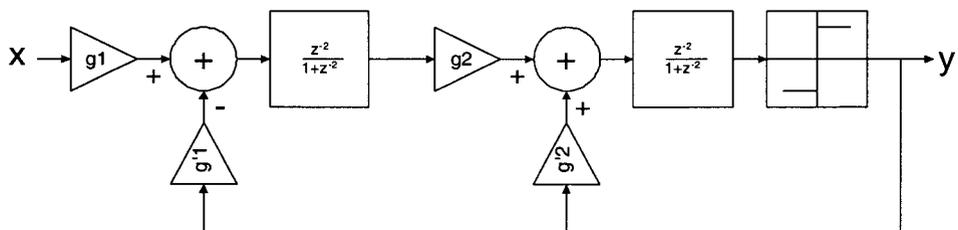


Figura 4.13: Modulador $\Sigma\Delta$ paso banda de orden 4.

mitad de la frecuencia de muestreo. Esto es peligroso puesto que de no tener un control estricto de las fases de reloj, pueden aparecer componentes de frecuencia dependientes del sistema de relojes en la banda de señal en torno a $f_s/4$.

Una segunda solución para implementar el modulador paso banda consiste en sustituir los resonadores por integradores de retraso doble (Two Delay Integrators). En esta estructura (figura 4.15) los integradores sólo utilizan sumadores. Por esta razón las polaridades de entrada y salida han de invertirse cada dos retrasos o, lo que es lo mismo, dos ciclos de reloj. Esto se implementa multiplicando las señales por la secuencia: $\dots, 1, 1, -1, -1, 1, 1, \dots$. La operación realizada por el integrador de retraso doble puede verse como una demodulación en cuadratura de la entrada a banda base seguida de una integración por separado de los canales I y Q y, finalmente, una modulación en cuadratura a $f_s/4$.

Como en el caso de los resonadores, se necesitan dos amplificadores para conseguir la integración con retraso doble, por lo que el número de AO en el BPM sigue siendo 4.

En [19] se propone una solución para implementar esta integración con un único amplificador. De este modo se pueden realizar estructuras de orden $2N$ haciendo uso únicamente de N amplificadores, reduciendo el consumo necesario y el área de silicio. Para ello se utiliza el mismo amplificador alternativamente en cada una de las dos ramas. En la figura 4.15 puede observarse cómo en cada ciclo de reloj una de las ramas integra mientras que la otra permanece con el mismo valor durante un ciclo completo. Este esquema puede realizarse mediante un único amplificador multiplexado entre las dos ramas (figura 4.16). Durante la fase I la carga en C_S se integra en C_I , permaneciendo C_Q con su carga constante. En la fase Q es C_Q la que recibe la carga de C_S . Así se obtiene, mediante un amplificador con un doble condensador de integración un integrador de doble retardo.

Fuentes de error.

Error de offset. La modulación y demodulación en cuadratura puede introducir errores en la banda de señal en forma de componentes frecuenciales dependientes de la señal de entrada. Si las portadoras I y Q presentan un error de fase y la entrada es una senoidal de frecuencia $f_s/4 + f_i$, la señal de salida puede aproximarse por [73]:

$$V_o = \cos(2\pi(\frac{f_s}{4} + f_i)t) + \frac{\sin\theta}{2}\sin(2\pi(\frac{f_s}{4} - f_i)t) - \frac{\sin\theta}{2}\sin(2\pi(\frac{f_s}{4} + f_i)t) \quad (4.19)$$

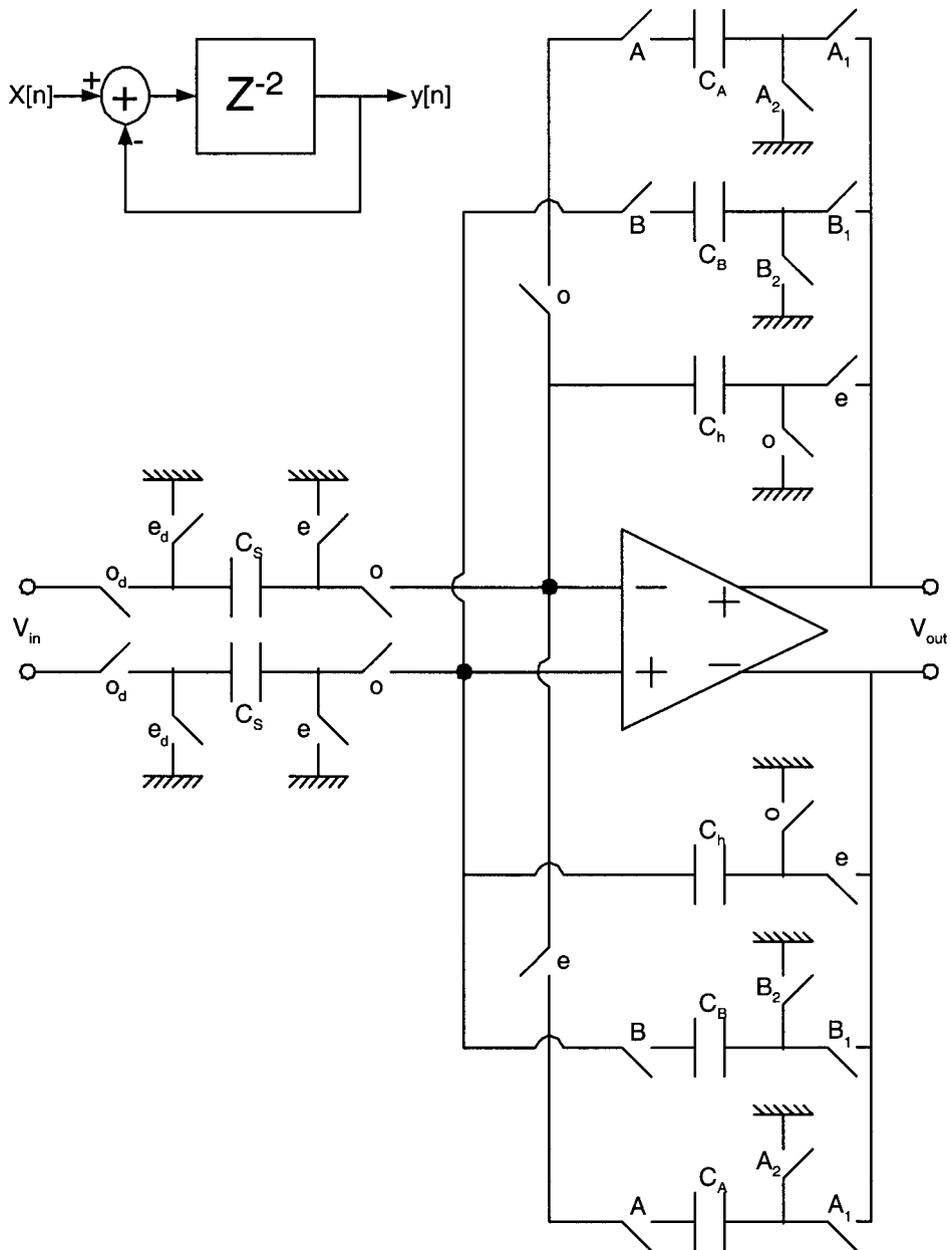


Figura 4.14: Resonador de un solo AO.

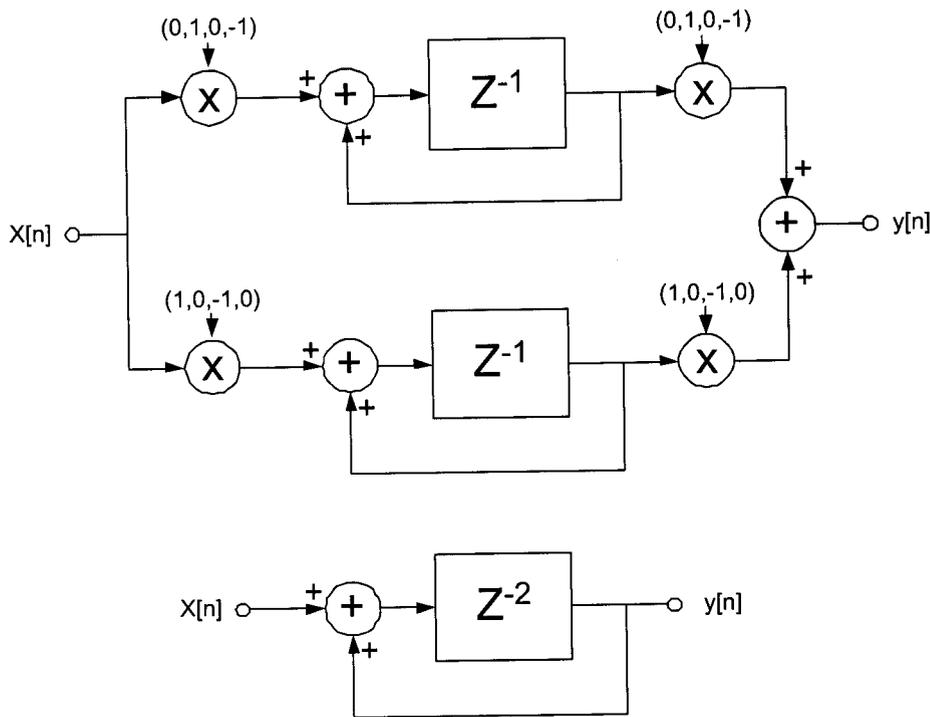


Figura 4.15: Integrador de Retraso Doble.

Aunque se utilice un mismo reloj a f_s para generar los relojes I y Q (frecuencia $f_s/4$) puede aparecer un error de fase debido al jitter del reloj. Para evitar que afecte el comportamiento del BPM, el tono introducido debe estar por debajo del suelo de ruido en la banda de señal ($-86dB$). Esto se traduce en que:

$$20 \cdot \log_{10}\left(\frac{\sin\theta}{2}\right) < -86 \longrightarrow \theta < 5,74mRad \quad (4.20)$$

Si se cifra este valor en términos de periodos de reloj, el jitter del reloj no deberá superar el 0,1% del periodo de reloj. Este valor es fácilmente superable actualmente por generadores de reloj comerciales.

Error de ganancia. Otra causa de error en el modulador en cuadratura es el desapareamiento de ganancias entre las ramas I y Q . Al emplear el mismo amplificador en las dos ramas (multiplexión en el tiempo) se alivia este problema, pero no cancela por completo. Errores de apareamiento y acomplamientos de las capacidades de integración llevan un error de ganancia α entre ambas ramas. Asumiendo que $\alpha \ll 1$ y para una entrada senoidal de frecuencia $f_s/4 + f_i$ se aproxima la salida [19] por:

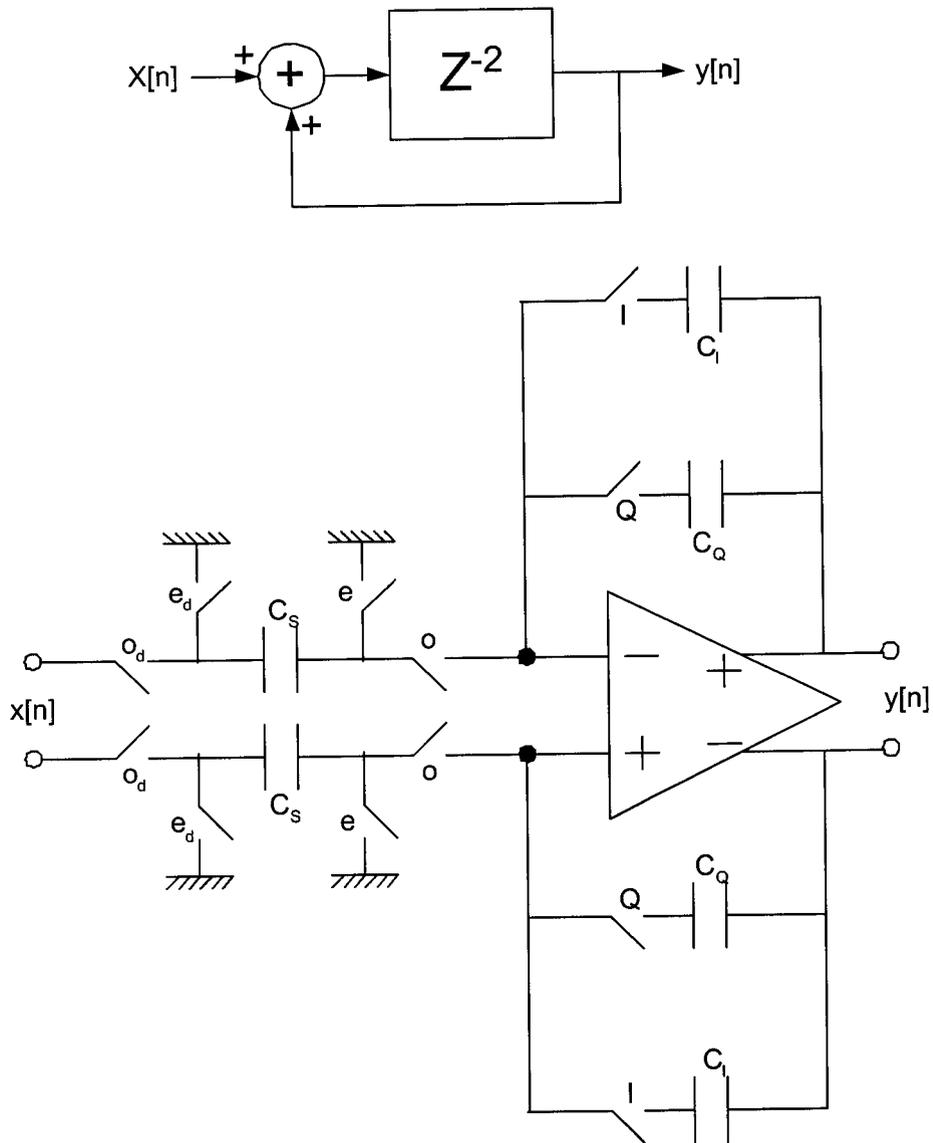


Figura 4.16: Integrador de Retraso Doble utilizando un único AO.

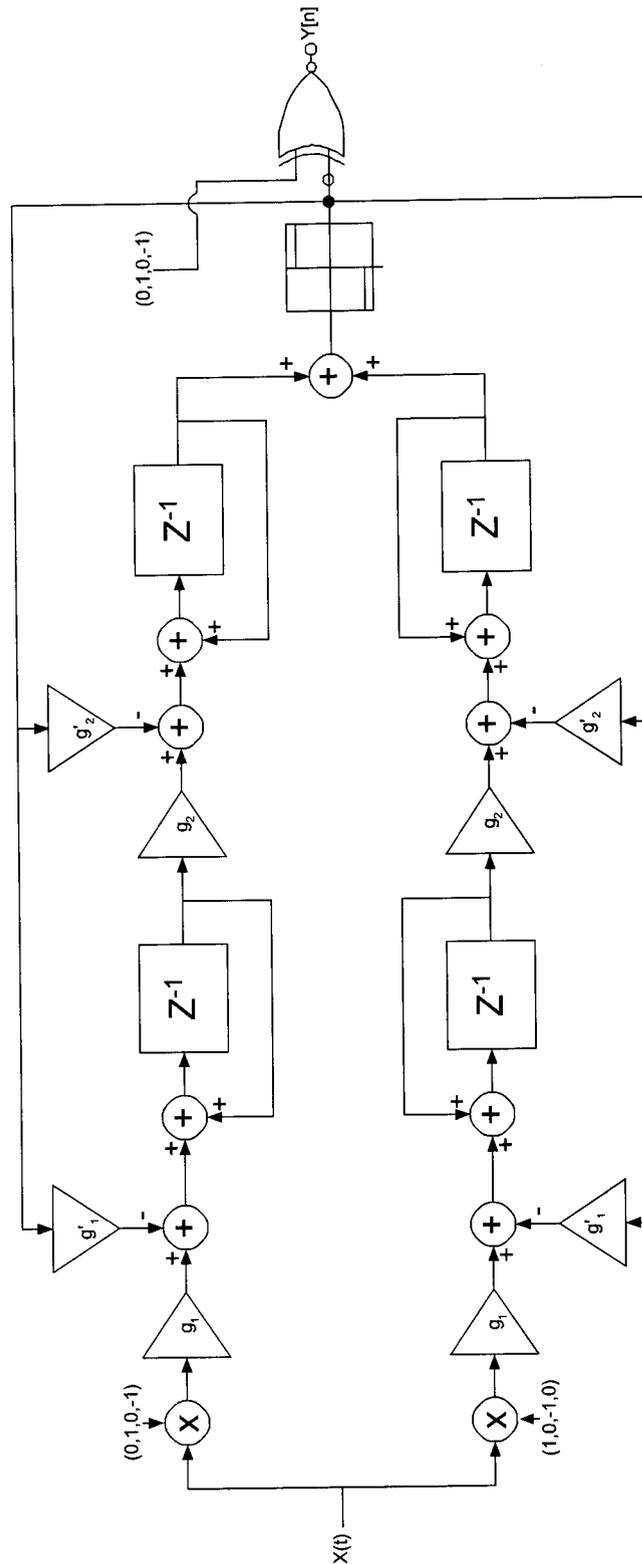


Figura 4.17: Modulador paso banda de orden 4 utilizando integradores multiplexados en el tiempo.

$$V_o = \cos(2\pi(\frac{f_s}{4} + f_i)t) + \frac{\alpha}{2}\cos(2\pi(\frac{f_s}{4} - f_i)t) \quad (4.21)$$

Al igual que en el caso anterior, para que el error de apareamiento de ganancias entre las ramas no afecte al comportamiento del BPM, el valor de α debe limitarse a:

$$\alpha < 2 \cdot 10^{\frac{-86}{20}} = 0,1 \cdot 10^{-3} \quad (4.22)$$

Este valor de α es muy restrictivo. En la práctica, la tolerancia de la tecnología define la precisión con la que se parean las capacidades (para definir la ganancia de las ramas) y la aparición de imágenes de la señal en torno a $f_s/4$ se hace inevitable.

Error de offset. A diferencia de los errores anteriores, la existencia de offset en las ramas I (V_{off}^I) y Q (V_{off}^Q), hace que aparezca un tono en la frecuencia de la portadora.

$$V_o = \cos(2\pi(\frac{f_s}{4} + f_i)t) + V_{off}^I \cdot \cos(2\pi\frac{f_s}{4}t) - V_{off}^Q \cdot \sen(2\pi\frac{f_s}{4}t) \quad (4.23)$$

El error de offset se considera de menor importancia que los anteriores puesto que, para la mayoría de las aplicaciones, la información no se encuentra alrededor de la frecuencia de la portadora.

Simulaciones a nivel de sistema

Debido al proceso de transformación para llegar al modulador paso banda, cabe esperar que se mantengan las propiedades dinámicas y de estabilidad del prototipo paso bajo [32]. Para confirmar este punto y estudiar las variaciones del SNR con los distintos parámetros de diseño se han realizado simulaciones en MATLAB con el esquema representado en la figura 4.17. Los resultados obtenidos corroboran la equivalencia en el comportamiento entre las dos estructuras.

Capítulo 5

Realización física del modulador $\Sigma\Delta$ paso banda de orden 4

5.1. Introducción

En este capítulo se describe el diseño a nivel de transistor de los distintos bloques que forman el BPM. El esquema completo del BPM se muestra en la figura 5.1.

El circuito se diseñará utilizando técnicas de capacidades conmutadas. Previo al diseño a nivel de transistor, se simula el comportamiento del modulador a nivel de sistema y se comprueba que se cumplen las prestaciones deseadas.

5.2. Limitaciones de ruido

La realización física del modulador introducirá fuentes adicionales de ruido (además del ruido de cuantización) que, en caso de no limitarse, perjudicarán a la relación señal a ruido (SNR). Por este propósito se estudian en este apartado las distintas fuentes de ruido que aparecen y se limitan por medio de un diseño apropiado.

En [9] se estudia con más profundidad el desarrollo matemático que lleva a las ecuaciones que aquí se utilizan. El proceso que se va a seguir para determinar la cantidad de ruido que se suma al ruido de cuantización es el siguiente:

- Cálculo de los valores permitidos de potencia de ruido.
- Cálculo del ruido que introduce el amplificador operacional. El ruido introducido en el sistema por los amplificadores se calculará por medio de simulaciones.

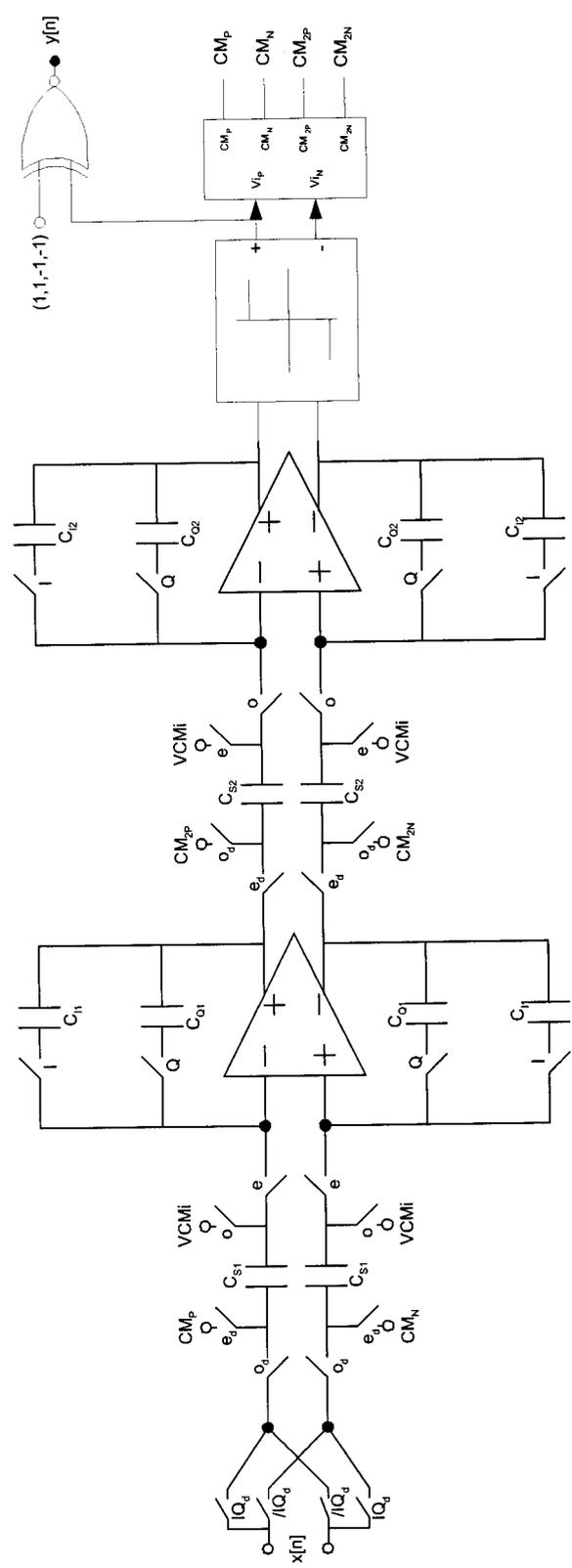


Figura 5.1: Esquema electrónico del modulador paso banda de orden 4..

- Cálculo de la potencia de ruido generado por el proceso de muestreo en cada integrador.
- Cálculo de la potencia de ruido que introduce cada integrador. Se va a considerar que un integrador tiene dos fuentes de ruido: el ruido introducido por el amplificador y el introducido debido al proceso de muestreo.
- Finalmente se calcula el ruido total aportado a la salida por los dos integradores. Puesto que aportan ruido en puntos distintos de la estructura, a la salida, el ruido de ambos se verá modificado por funciones de transferencia distintas.

Valores permitidos de potencia de ruido

El objetivo final es el de obtener un rango dinámico de $86dB$ (14 bits). Mediante simulaciones se ha comprobado que la máxima señal de entrada será de $-3dBr$. Para conseguir el rango dinámico deseado, el suelo de ruido deberá situarse en $-77dBr$.

Se considera que el ruido introducido por los distintos bloques del modulador es ruido blanco gaussiano. El ruido *flicker* (ruido $1/f$) no se considera en este estudio pues solamente es predominante a bajas frecuencias. En el BPM la banda de interés está situada en $fs/4$, por lo que el ruido flicker no tiene efecto alguno sobre la señal de información.

En todo el desarrollo, dBr es la relación entre los valores de tensión y el valor máximo de señal de entrada (V_{max}) siguiendo la ecuación 5.1.

$$AdBr = 20 \log \frac{V_{signal}}{V_{rango\ completo}} \quad (5.1)$$

El circuito se diseña para un rango de señal máximo de $1,1V$, esto es:

$$20 \log \frac{1,1}{1,1} = 0dBr$$

Para asegurar una contribución total de ruido del sistema por debajo de los $-89dBr$ se va a considerar que, tanto el ruido de cuantización como el ruido introducido por los elementos del sistema, aportan la misma cantidad de ruido. Es decir, si se permiten $-89dBr$ de ruido total, se limitará la tensión eficaz de ruido de cuantización (E_Q) a $E_Q = -92dB$ y el ruido del sistema (integradores), también a $E_I = -92dBr$.

El ruido de sistema E_I tiene su origen, principalmente, en dos fuentes. La primera aparece como consecuencia de los amplificadores (ruido intrínseco del amplificador). La segunda se debe al efecto en las capacidades del proceso de muestreo (ruido de muestreo).

En primer lugar se calcula el ruido intrínseco de los amplificadores. De modo que el ruido restante (hasta llegar al valor de $-92dB_r$) corresponderá al ruido de muestreo permitido.

Ruido introducido por los amplificadores operacionales (E_{AO})

El ruido introducido por los amplificadores tiene su origen en el ruido de Johnson que aparece en las resistencias y transistores. Debido al proceso de muestreo, este ruido es limitado en banda en el rango $f = 0$ a $f = f_s/2$ [10]. Puesto que la banda de interés es una pequeña franja en torno a $f_s/4$ se considera, a efectos del modulador, un ruido blanco que se suma a la señal de entrada y, por tanto, sufre la misma transferencia que esta última.

Para ver el efecto del ruido de los dos amplificadores en el modulador, se calcula el ruido equivalente a la entrada del modulador [1, 6] mediante la expresión (5.2):

$$S_{NAO}^{IN} = \frac{1}{OSR} S_{NAO_1} + \frac{\pi^2}{G_1^2 3 OSR^3} S_{NAO_2} \quad (5.2)$$

Para cuantificar la potencia de ruido introducido por los amplificadores se han realizado simulaciones con SPECTRE. Este ruido equivale a una fuente sumada a la señal de entrada de valor cuadrático medio $E_{AO}^2 = 4,66 \cdot 10^{-10} V^2$, lo que equivale a una tensión eficaz de $21,5 \mu V_{rms}$. Pasando este valor a dB_r (ecuación 5.3), se obtiene que el ruido introducido en banda por el amplificador es de $-94dB_r$.

$$E_{eficaz} = 1,1 \cdot 10^{\frac{P_{dB_r}}{20}} \quad (5.3)$$

Ruido de muestreo (E_S)

Se ha determinado como potencia máxima de ruido de la estructura el valor de $-92dB_r$, además del ruido de cuantización. En el apartado anterior se obtiene que el ruido debido a los amplificadores (ruido térmico) es de $-94dB_r$. En unidades naturales:

$$E_{AO} = \sqrt{4,66 \cdot 10^{-10}} \text{ V}$$

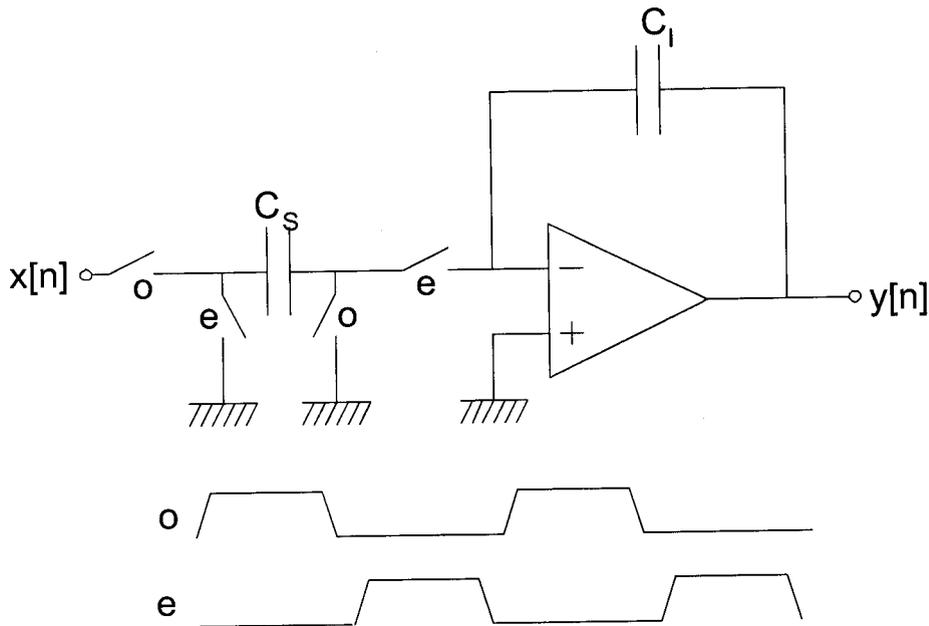


Figura 5.2: Esquema general de un integrador.

Debido al proceso de muestreo de los integradores, aparece una componente de ruido que se suma al introducido por los amplificadores. En [6] se estudia con más detalle el fenómeno relacionado con esta fuente de ruido que puede modelarse mediante la expresión (5.5). Según este estudio la potencia de ruido a la entrada del integrador ($S_{N_{int}}$) puede aproximarse mediante la expresión (5.4) .

$$S_{N_{int}} = \frac{kT}{C_s} \left(1 + \frac{p_a}{p_s}\right) \quad (5.4)$$

Donde:

$$p_a = -\frac{g_m}{C_s}$$

$$p_s = -\frac{1}{R_s C_s}$$

p_a es el polo introducido por el amplificador, correspondiente a la frecuencia de ganancia unidad (aproximadamente) y p_s es el polo introducido por el conjunto capacidad de muestreo más resistencia interna del switch.

Para conocer la aportación de los dos integradores al ruido del sistema, se aplica la ecuación (5.5). Se comprueba cómo la aportación al ruido total es mayor debido al primer integrador que al segundo (atenuado por un factor

OSR^3). Debido a esto, se considera que la primera etapa aporta el 90 % de la potencia de ruido mientras que el segundo integrador aporta el 10 % restante.

$$E_I^2 = \frac{1}{OSR} S_{N_{int1}} + \frac{\pi^2}{G_1^2 3 OSR^3} S_{N_{int1}} \quad (5.5)$$

Puesto que el ruido total (térmico y de cuantización) se limita a $-92dB$ ($E_I^2 + E_{AO}^2 = 7,63 \cdot 10^{-10} V^2$) y $E_{AO}^2 = 4,66 \cdot 10^{-10} V^2$, tenemos que el ruido de muestreo debe mantenerse por debajo de:

$$E_I^2 \leq 7,63 \cdot 10^{-10} V^2 - 4,66 \cdot 10^{-10} V^2 = 2,97 \cdot 10^{-10} V^2$$

Como se ha dicho, la primera etapa aporta el 90 % de la potencia de ruido. Estas condiciones se presentan mediante las ecuaciones 5.6 y 5.7.

$$E_{1^{er}Int}^2 = \frac{1}{M} S_{N_{int1}} \leq 0,9 \cdot E_I^2 \quad (5.6)$$

$$E_{2^{o}Int}^2 = \frac{\pi^2}{G_1^2 3 M^3} S_{N_{int1}} \leq 0,1 \cdot E_I^2 \quad (5.7)$$

$$S_{N_{int_i}} = \frac{kT}{C_{Si}} \left(1 + \frac{p_a}{p_s}\right)$$

Despejando en ambos casos la capacidad C_{Si} se llega a que:

$$C_{S1} > 1,2pF \quad (5.8)$$

$$C_{S2} > 0,01pF \quad (5.9)$$

En el caso de la capacidad C_{S2} , su valor es del orden de las capacidades parásitas. Para esta capacidad se tomarán valores superiores a los $100fF$, cumpliendo con la figura de ruido.

A modo de resumen, en los cuadros 5.1, 5.2, 5.3, se recogen los valores de potencia de ruido calculados en este apartado, los valores de las capacidades y los requisitos de los amplificadores para cumplir con las limitaciones de ruido.

Símbolo	Descripción	Valor (dBr)	Valor (V^2)
E_{TOTAL}^2	Ruido total en banda	$-89dB$	$1,52 \cdot 10^{-9} V^2$
E_Q^2	Ruido de cuantización	$-92dB$	$7,63 \cdot 10^{-10} V^2$
E_{AO}^2	Ruido de los amplificadores	$-94dB$	$4,66 \cdot 10^{-10} V^2$
E_I^2	Ruido de muestreo	$-95,3dB$	$2,97 \cdot 10^{-10} V^2$

Cuadro 5.1: Figuras de ruido.

Símbolo	Valor
C_{S1}	$1,2pF$
C_{S2}	$0,01pF$

Cuadro 5.2: Tamaños mínimos de las capacidades de muestreo.

Símbolo	Valor
p_a	$15,3 MHz$
p_s	$85,5 MHz$

Cuadro 5.3: Especificaciones de los opamp.

5.3. Integradores

El diseño de los integradores para su funcionamiento en muy baja tensión de alimentación necesita resolver dos cuestiones.

Por una parte hay que diseñar un amplificador operacional que, funcionando a una tensión de alimentación muy baja (1,1V en este diseño), alcance las prestaciones requeridas para el correcto funcionamiento del modulador. En los puntos siguientes se definen las prestaciones que han de cumplir los amplificadores y su diseño empleando técnicas de muy baja tensión de alimentación descritas en el capítulo 3.

La segunda cuestión que es necesario resolver estriba en el diseño de interruptores que conmuten con rangos de tensión de control tan bajos. Incluso empleando esquemas de puertas de transmisión, no es sencillo conmutar interruptores para señales de rango completo. En la figura 5.3 a) se muestra gráficamente el rango de señal que puede conmutarse con distintos tipos de interruptores. Se observa cómo para señales de rango completo no puede aplicarse ninguna de las tres estructurassi la tensión de alimentación cumple $V_{dd} < V_{tn} - |V_{tp}|$.

Para resolver este problema se aplican dos técnicas. La primera es utilizar dobladores de tensión [40] para generar las señales de control de los interruptores. De esta forma se pueden conmutar los interruptores con una señal de control superior a la tensión de alimentación del circuito. En la figura 5.3 b) se representan los nuevos rangos de señal que pueden ser procesados de este modo.

La otra técnica que se utiliza tiene como base la utilización de *Switched Op - Amp* [34]. Esta solución implica el diseño de amplificadores que puedan

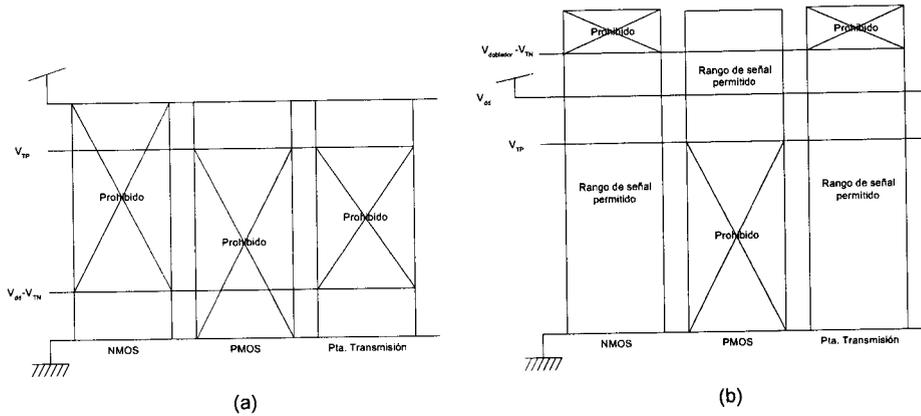


Figura 5.3: Rango de señal aplicable a interruptores NMOS, PMOS y puerta de transmisión (a) sin doblador de tensión (b) utilizando dobladores de tensión.

desconectarse durante una de las fases de reloj. Además de necesitar amplificadores más rápidos, esta técnica hace que se incremente el ruido de muestreo del integrador.

Entre estas dos alternativas, se opta por la solución basada en dobladores de tensión ya que nuestra tecnología permite emplear tensiones superiores a $v_{dd} = 1,1V$. Esto puede parecer una limitación, pero todas las tecnologías actuales de baja tensión disponen de transistores con óxido más grueso del necesario para la realización de los circuitos de entrada/salida (pads).

5.3.1. Prestaciones de los amplificadores

Ganancia DC.

Como se estudió en el capítulo 2, el efecto de la ganancia finita sobre el comportamiento del modulador se refleja en un aumento del ruido asociado a cuantización. Para ello se considera que la función de transferencia del integrador puede representarse según la ecuación 5.10.

$$H_{int}(z) = -G \frac{z^{-1}}{1 - (1 - \epsilon)z^{-1}} \tag{5.10}$$

siendo

$$1 - \epsilon = \frac{1}{1 + \frac{G}{A}} ; G = \frac{C_s}{C_i} \tag{5.11}$$

Para comprobar el efecto que tiene sobre la respuesta del modulador la limitación en la ganancia DC, se ha simulado el sistema paso-banda empleando la ecuación 5.10 para modelar los integradores.

En la figura 5.4 se muestran los resultados. Puede observarse cómo en el modulador paso banda el SNR es mucho más sensible ante limitaciones en la ganancia DC que en caso de moduladores paso bajo.

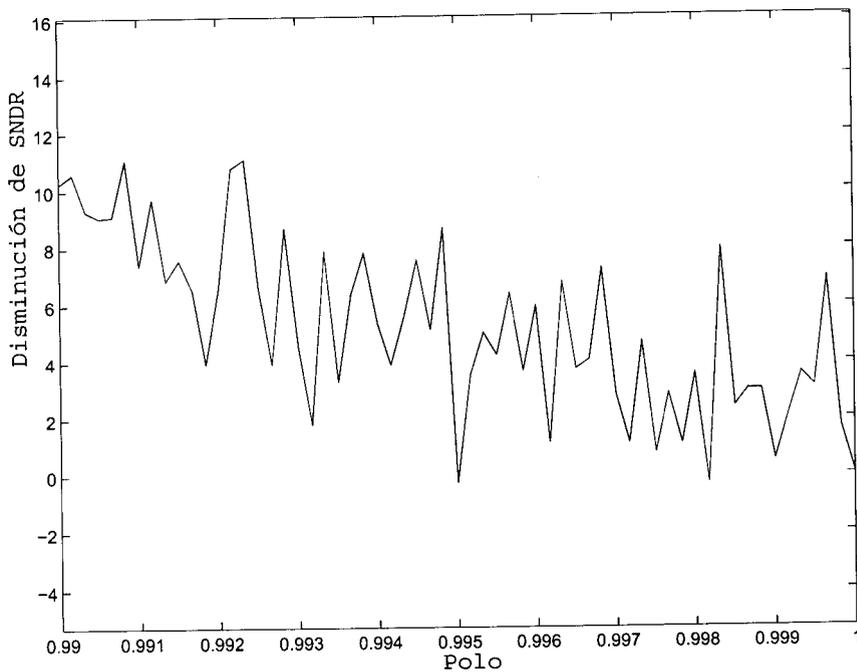


Figura 5.4: Sensibilidad de SNR con la ganancia finita de los amplificadores.

En esta figura (5.4) se representa en el eje de abcisas el valor de $1 - \epsilon$. La entrada del modulador es un tono de amplitud $-20dB$ dentro de la banda de señal. El resultado muestra que para no afectar al SNR, el valor de ϵ debe mantenerse por debajo de 0,002. La ganancia del integrador, G , máxima es de 0,5. Aplicando estos valores a la ecuación 5.11 y despejando el valor de ganancia del amplificador llegamos a la condición 5.12.

$$A \geq G \frac{1 - \epsilon}{\epsilon} = 249,5 \quad (5.12)$$

Slew-Rate y Ancho de banda.

Las simulaciones de la sensibilidad del SNR en función del Slew-Rate y del ancho de banda del amplificador se muestran en la figura 5.5. En el eje de abcisas se representa τn , que es una medida normalizada de la constante de tiempo del amplificador (Settling time). Llamamos a τn , número de constantes de tiempo y se relaciona con τ , constante de tiempo del amplificador mediante la ecuación 5.13.

$$\tau n = \frac{\tau}{T_S} \quad (5.13)$$

Siendo T_S el periodo del reloj del sistema.

En la misma figura (5.5) se simula el sistema para distintos valores de Slew-rate (SR). En la figura, SRn es el valor normalizado de SR y se relacionan mediante la expresión 5.14.

$$SR = SRn \frac{2\Delta}{T_S} ; \Delta = V_{dd}/2 = 0,55V \quad (5.14)$$

Para conocer las necesidades de ancho de banda del amplificador, miramos la gráfica de la figura 5.5. Para no ver afectado el SNR del sistema es preciso escoger un valores de SR y τ adecuados. Por ello se van a tomar los valores de $SRn = 4$ y $\tau n = 0,15$.

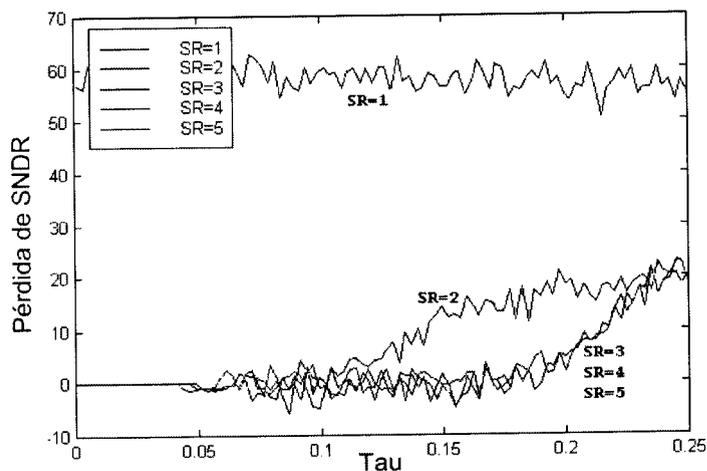


Figura 5.5: Sensibilidad de la SNR con el SR y τ del amplificador.

Puesto que se ha especificado una frecuencia de reloj de $F_s = 2752 \text{ KHz}$, se tiene un periodo de integración de $T_s/2 = 182 \text{ nS}$. A través de las ecuaciones 5.13 y 5.14 calculamos los valores de $SR = 11,25 \text{ V}/\mu\text{S}$ y $\tau = 0,15 * T_s = 54,6 \text{ nS}$, lo que corresponde a una frecuencia de ganancia unidad de $18,3 \text{ MHz}$. En el cuadro 5.4 se resumen las prestaciones que han de alcanzar los amplificadores en el modulador paso banda.

Símbolo	Descripción	Valor mínimo
A	Ganancia DC	249,5
FGU	Frecuencia de ganancia unidad	18,3 MHz
SR	Slew-Rate	11,25 V/ μS
F_s	Frecuencia de muestreo	2,752 MHz

Cuadro 5.4: Prestaciones mínimas que han de satisfacer los amplificadores operacionales.

5.3.2. Diseño de los interruptores

Los interruptores se diseñan empleando transistores *NMOS* y *PMOS*. Cuando se activan los interruptores, estos presentan una resistencia finita, lo que puede provocar errores en la carga de capacidades. La resistencia de activación de un transistor *MOS* puede calcularse como:

$$R_{on} = \frac{1}{\mu C_{ox}(W)(V_{GS} - V_T)} \quad (5.15)$$

De esta ecuación puede verse que, no solo es finita, distinta de 0, sino que es además fuertemente no-lineal, dependiente de V_{GS} .

La constante de carga de una capacidad C (τ) controlada mediante un transistor *MOS* se puede aproximar por:

$$\tau_{on} = 2 \cdot R_{on} \cdot C \quad (5.16)$$

Para evitar que se produzcan errores de carga dentro del periodo de reloj (T_{on}), el valor de τ_{on} debe estar por debajo de un orden de magnitud.

$$\frac{T_{on}}{\tau_{on}} > 10 \quad (5.17)$$

Para el diseño de los interruptores del BPM se busca la condición 5.17. Los tamaños de los transistores que forman los interruptores de los distintos bloques del circuito se han determinado mediante simulaciones, buscando que se cumpla la condición 5.17.

5.3.3. Primer integrador

En la figura 5.6 se muestra el esquema del primer integrador. Como se ha explicado en puntos anteriores, a fin de implementar la estructura de retraso doble, se diseña el integrador con dos capacidades de integración (C_I y C_Q). Mediante los interruptores S_3 y S_4 se conectan C_I y C_Q alternativamente, siguiendo el esquema de relojes de la figura 5.7. S_1 y S_2 permiten invertir la señal de entrada (V_{in}) durante ϕ_Q .

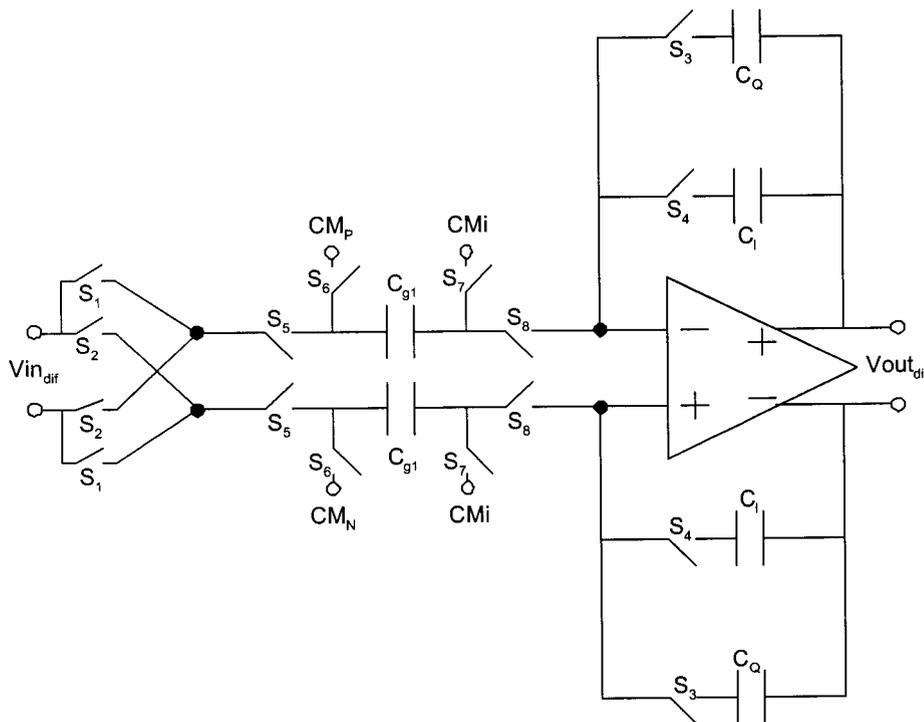


Figura 5.6: Esquema del primer integrador.

Las ganancias de integración se alcanzan mediante las relaciones entre las capacidades C_I , C_Q y C_{g1} . Los valores de g_i coinciden con los del prototipo LP.

$$g_1 = g'_1 = \frac{C_{g1}}{C_I} = \frac{C_{g1}}{C_Q} \quad (5.18)$$

El funcionamiento del integrador es el siguiente:

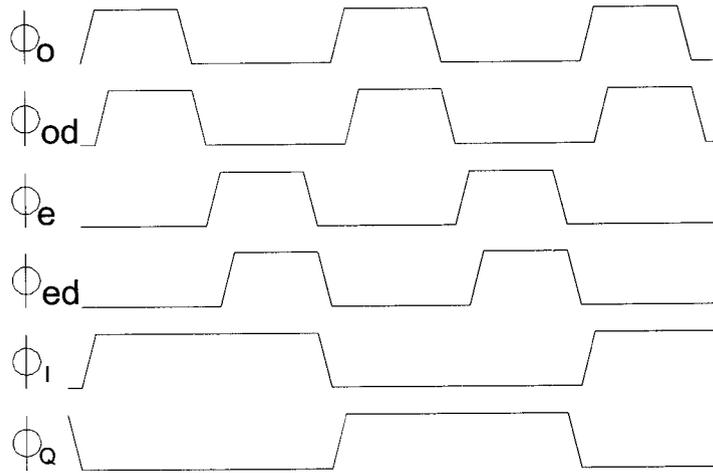


Figura 5.7: Esquema de relojes.

Fase ϕ_I En la fase I se activan los interruptores S_2 y S_4 , conectándose la capacidad C_I . La entrada Vin se introduce de forma positiva en el integrador. Durante este ciclo, C_Q no ve modificada su carga al estar desactivado S_3 .

ϕ_1 Durante ϕ_1 , S_5 y S_7 se cierran, cargando la capacidad C_{g1} con la tensión $Vin_{POS} - V_{CM_i}$. Siendo V_{CM_i} la tensión de modo común de entrada del amplificador operacional. En el amplificador operacional empleado, $V_{CM_i} = 100 \text{ mV}$. Si se quiere evitar tener dos interruptores consecutivos (S_5 tras S_1 y S_2), se eliminará S_5 . Para conseguir la misma funcionalidad, la señal de activación de S_1 deberá ser $\phi_Q \cdot \phi_1$ y, la de S_2 , $\phi_I \cdot \phi_1$.

ϕ_2 Cuando se cierran S_6 y S_8 se integra en C_I la carga almacenada en C_{g1} menos la contribución correspondiente a $CM_P - V_{CM_i}$. De modo que, al término de ϕ_2 , el incremento de tensión en la capacidad C_I es $g_1 \cdot (Vin_{POS} - CM_P)$ en la rama positiva. El incremento diferencial en C_I es de $g_1 \cdot (Vin_{dif} - CM_{dif})$.

$$Vin_{dif} = Vin_P - Vin_N$$

$$CM_{dif} = CM_P - CM_N$$

Fase Q Durante la fase Q se desactivan S_2 y S_4 y se activan S_1 y S_3 . De esta forma se conecta la capacidad C_Q y se desconecta C_I , repitiéndose el mismo proceso descrito para la fase ϕ_I pero esta vez con la capacidad C_Q y con la señal de entrada Vin invertida. Al final de ϕ_2 el incremento de tensión diferencial en C_Q será:

$$g_1 \cdot (-Vin_{dif} - CM_{dif})$$

En apartados anteriores se calcularon los valores mínimos de capacidad de muestreo necesarios para no superar los límites de ruido. El mínimo valor de capacidad de muestreo para el primer integrador se establecía como $C_{S1} > 1,2 pF$ (condición 5.8). Para $C_{g1} = 1,25 pF$, se tienen los valores de capacidades del cuadro 5.5.

Capacidad	Valor
C_{g1}	$1,25 pF$
C_I	$5 pF$
C_Q	$5 pF$

Cuadro 5.5: Valores de las capacidades del primer integrador.

En el cuadro 5.6 se resumen los rangos de valores de tensión de las distintas señales que intervienen en el primer integrador. En el cuadro 5.7 vienen recogidos los valores de diseño de los interruptores del primer integrador.

Símbolo	Descripción	Tipo de señal	Valores
V_{inP}	Señal de entrada (positiva)	Continua	0 V a 1,1 V
V_{inN}	Señal de entrada (negativa)	Continua	0 V a 1,1 V
CM_P	Salida del comparador (positiva)	Discreta	0 V ó 1,1 V
CM_N	Salida del comparador (negativa)	Discreta	0 V ó 1,1 V
V_{CM_i}	Modo común de entrada del AO	Referencia	0,1 V

Cuadro 5.6: Valores de tensión de las señales de entrada.

Interr.	Tipo	Fase y tensión de activación	Tamaños de los trans. (W/L)
S_1	NMOS	$\phi_I \cdot \phi_1 d, > 1,65 V$	$15\mu m/0,3\mu m$
S_2	NMOS	$\phi_Q \cdot \phi_1 d, > 1,65 V$	$15\mu m/0,3\mu m$
S_3	NMOS	$\phi_Q, 1,1 V$	$18\mu m/0,3\mu m$
S_4	NMOS	$\phi_I, 1,1 V$	$18\mu m/0,3\mu m$
S_6	Pta. Trans.	$\phi_2 d, 1,1 V$	N, $10\mu m/0,3\mu m$; P, $15\mu m/0,3\mu m$
S_7	NMOS	$\phi_1, 1,1 V$	$15\mu m/0,3\mu m$
S_8	NMOS	$\phi_2, 1,1 V$	$15\mu m/0,3\mu m$

Cuadro 5.7: Parámetros de diseño de los interruptores.

5.3.4. Segundo integrador

El segundo integrador, al igual que el primero, implementa una función de integrador de doble retraso con un solo amplificador operacional. El esquema

se representa en la figura 5.8.

El esquema de relojes coincide con el del primer integrador (figura 5.7).

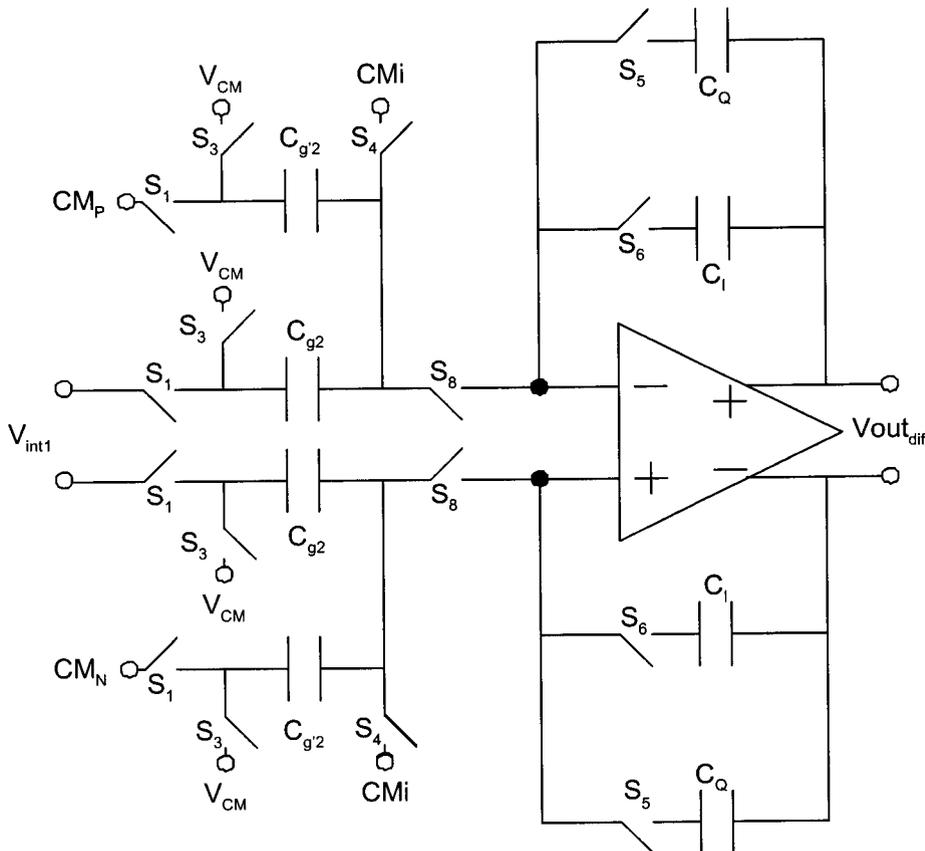


Figura 5.8: Esquema del segundo integrador.

Puede simplificarse este circuito si se hace que $g_2 = g'_2 = 0,5$. Para que sigan cumpliéndose las condiciones de diseño, bastaría con que las entradas CM_P y CM_N sean sustituidas por $CM_{2P} = CM_P/2$ y $CM_{2N} = CM_N/2$, respectivamente. De este modo las dos entradas diferenciales (V_{int1} y CM) se ven afectadas por la misma ganancia y solamente haría falta una capacidad de muestreo, eliminándose $C_{g'_2}$. El circuito resultante se muestra en la figura 5.9.

Esta simplificación permite una reducción en área de silicio al eliminar dos capacidades (se trabaja con tensiones diferenciales). Esto también repercute en una mayor simplicidad al aplicar técnicas de centroide común en la realización del layout de las capacidades del integrador.

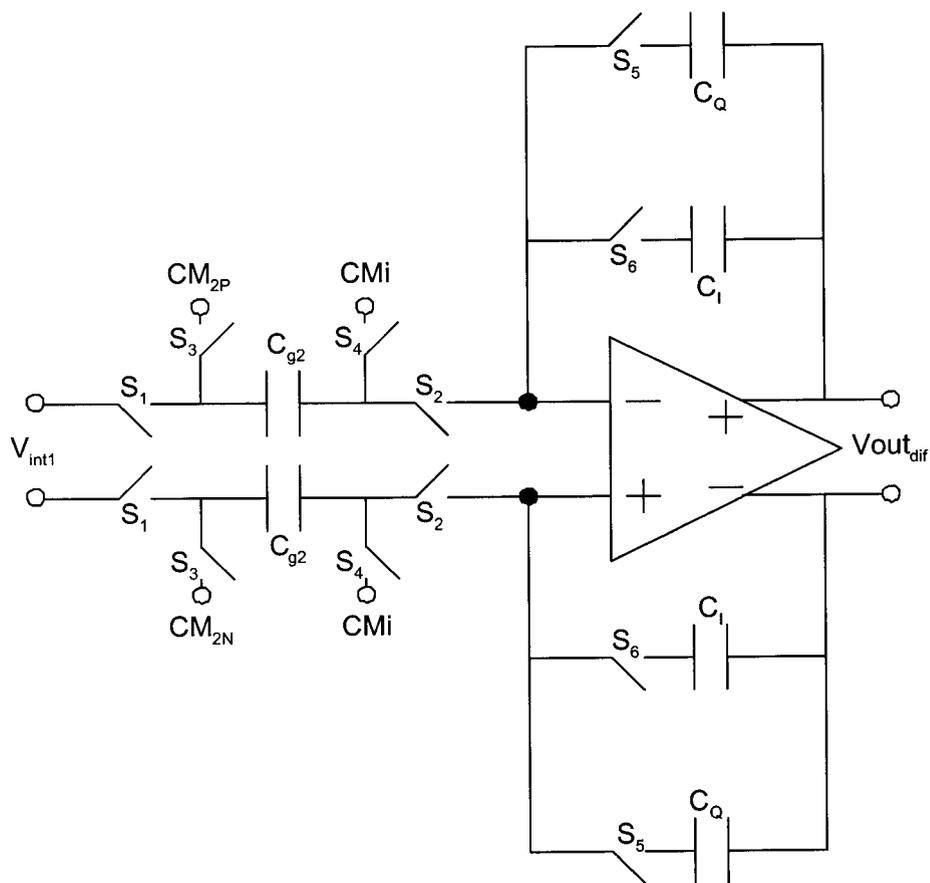


Figura 5.9: Esquema del segundo integrador tras simplificar.

Mediante los interruptores S_5 y S_6 se conmuta entre las capacidades C_Q y C_I , respectivamente.

El funcionamiento del integrador es similar al del primer caso. La condición que han de cumplir estos coeficientes es que $g_2 = g'_2$. Si mantenemos esta relación, aún modificando el valor nominal de g_2 (y g'_2) no se modificará la salida del modulador. Esto se debe a que la salida del segundo integrador se introduce directamente en el cuantizador.

Al igual que en el primer caso, los coeficientes de ganancia se relacionan con los valores de las capacidades mediante la ecuación 5.19.

$$g_2 = g'_2 = \frac{C_S}{C_I} = \frac{C_S}{C_Q} \quad (5.19)$$

En el segundo integrador se da un valor a la capacidad de muestreo (C_S) bastante más elevado que el impuesto por la condición de ruido (ecuación 5.9). El valor que se toma en la práctica es de 1pF , muy superior a las capacidades parásitas que puedan afectar negativamente al comportamiento del integrador. En el cuadro 5.8 se recogen los valores de las capacidades empleadas en el segundo integrador.

Capacidad	Valor
C_S	1 pF
C_I	2 pF
C_Q	2 pF

Cuadro 5.8: Valores de las capacidades del segundo integrador.

En el cuadro 5.9 se resumen los niveles de tensión de señal y, en el cuadro 5.10, se recogen los parámetros de diseño de los interruptores, tal y como se hizo con el primer integrador.

Símbolo	Descripción	Tipo de señal	Valores
V_{in2P}	Señal de entrada (positiva)	Continua	0 V a 1,1 V
V_{in2N}	Señal de entrada (negativa)	Continua	0 V a 1,1 V
$CM2P$	Realim. del comparador (positiva)	Discreta	0,275 V ó 0,825 V
$CM2N$	Salida del comparador (negativa)	Discreta	0,275 V ó 0,825 V
V_{CM_i}	Modo común de entrada del AO	Referencia	0,1 V

Cuadro 5.9: Valores de tensión de las señales de entrada de los interruptores del segundo integrador.

Interr.	Tipo	Fase y tensión de activación	Tamaños de los trans. (W/L)
S_1	NMOS	$\phi_2d, > 1,4 V$	$24\mu m/0,3\mu m$
S_2	NMOS	$\phi_2, 1,1 V$	$24\mu m/0,3\mu m$
S_3	NMOS	$\phi_1d, 1,1 V$	$12\mu m/0,3\mu m$
S_4	NMOS	$\phi_1, 1,1 V$	$15\mu m/0,3\mu m$
S_5	NMOS	$\phi_Q, 1,1 V$	$32\mu m/0,3\mu m$
S_6	NMOS	$\phi_I, 1,1 V$	$32\mu m/0,3\mu m$

Cuadro 5.10: Parámetros de diseño de los interruptores del segundo integrador.

5.4. Amplificadores operacionales

5.5. Diseño del amplificador de baja tensión para el modulador $\Sigma\Delta$ paso banda

5.5.1. Introducción

En la sección anterior se han calculado las prestaciones que deben tener los amplificadores operacionales para poder emplearse en el diseño del modulador. Estos parámetros se resumen en el cuadro 5.11. En esta sección se presenta el diseño de un amplificador basado en la etapa de salida clase AB con batería flotante de capacidades conmutadas, explicada en el tema 2.

Símbolo	Descripción	Valor mínimo
A	Ganancia DC	249,5
FGU	Frecuencia de ganancia unidad	13,65 MHz
SR	Slew-Rate	13,5 V/ μS

Cuadro 5.11: Prestaciones que ha de superar el amplificador operacional.

5.5.2. Estructura general

El esquema del amplificador se muestra en la figura 5.11. La etapa de entrada consiste en un par diferencial simple basado en transistores PMOS $M1$ y $M2$. Puesto que la alimentación será de $V_{dd} = 1,1V$, la tensión máxima de la entrada es:

$$V_{in}^{max} = V_{dd} - V_{DSsat}^{M5} - V_{SG}^{M1,2} \quad (5.20)$$

Esto limita las tensiones de entrada a unos $0,3V$. Puesto que este amplificador se utiliza para construir integradores (circuito realimentado), las tensiones de entrada no van a sufrir grandes variaciones; milivoltios a lo sumo. Se va a considerar que el modo común de la entrada tiene un valor de $V_{cmi} = 0,1V$.

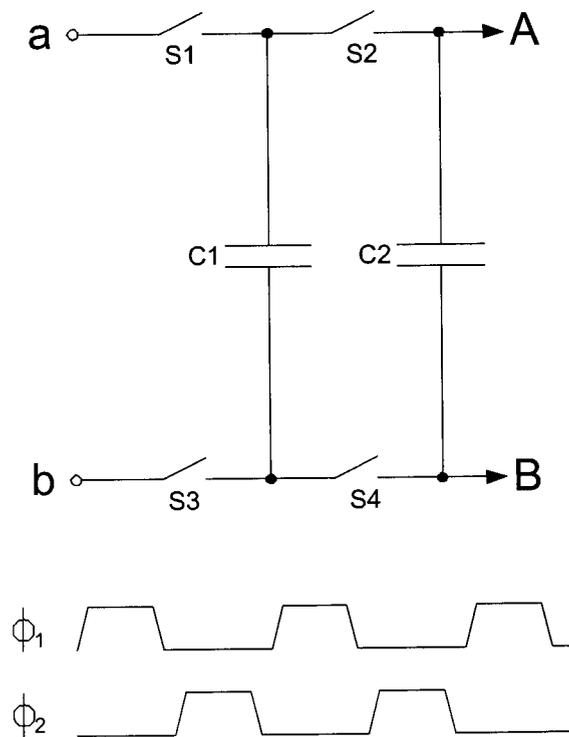


Figura 5.10: Circuito de la batería flotante.

En el cuadro 5.12 se recogen los valores de los dispositivos del amplificador operacional.

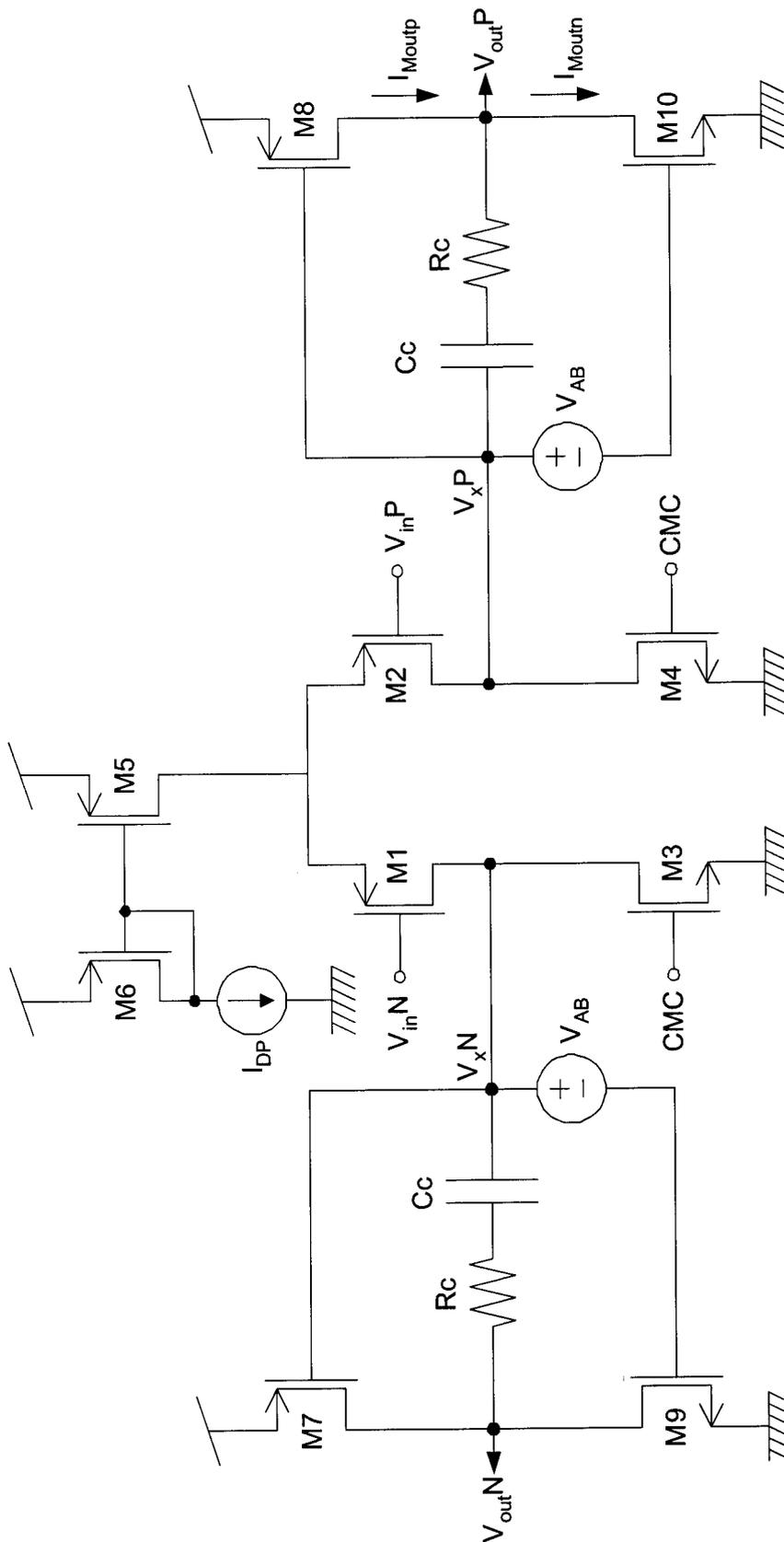


Figura 5.11: Esquema del amplificador operacional con batería flotante.

5.5 Diseño del amplificador de baja tensión para el modulador $\Sigma\Delta$ paso banda95

Dispositivo	Tipo	Valor
M1	PMOS	$W/L = 60/1 \mu m/\mu m$
M2	PMOS	$W/L = 60/1 \mu m/\mu m$
M3	NMOS	$W/L = 12/5 \mu m/\mu m$
M4	NMOS	$W/L = 12/5 \mu m/\mu m$
M5	PMOS	$W/L = 60/1 \mu m/\mu m$
M6	PMOS	$W/L = 7,5/1 \mu m/\mu m$
M7	PMOS	$W/L = 150/1 \mu m/\mu m$
M8	PMOS	$W/L = 150/1 \mu m/\mu m$
M9	NMOS	$W/L = 50/1 \mu m/\mu m$
M10	NMOS	$W/L = 50/1 \mu m/\mu m$
C1	Cpoly	$Cap = 2,5pF$
C2	Cpoly	$Cap = 2,5pF$
R1	Rpoly	$Res = 1,5k\Omega$
R2	Rpoly	$Res = 1,5k\Omega$

Cuadro 5.12: Dimensiones de los dispositivos del amplificador operacional de baja tensión.

5.5.3. Batería flotante

El circuito para realizar la batería flotante se muestra en la figura 5.10. Como se ha comentado en secciones anteriores, la batería flotante se diseña para que sus interruptores no necesiten dobladores de señal para ser activados. En este circuito, a y b son los nodos de entrada de la batería. Durante ϕ_2 la tensión V_{ab} se fuerza en el condensador C_1 . Durante ϕ_1 , C_1 sirve para cargar C_2 . La carga de C_2 se hace a costa de la carga almacenada en C_1 . Para que la tensión de C_2 sea una copia fiel de V_{ab} , la relación entre C_1 y C_2 deberá ser lo más grande posible. Mientras mayor es la relación anterior, en menos ciclos de reloj tenderá la tensión V_{AB} al valor deseado (V_{ab}).

En el párrafo anterior se ha descrito la batería flotante y su funcionamiento para forzar una tensión entre las bornas de salida de $V_{AB} = V_{ab}$. Las tensiones en los nodos de entrada a y b se dimensionan para que en la rama de salida del amplificador (transistores $M7$ a $M10$ de la figura 5.11) la corriente quiescente pueda ser controlada (I_{BAT}^Q). Para fijar estas tensiones se recurre al circuito de la figura 5.12. Este circuito permite polarizar las dos baterías del amplificador. El funcionamiento básico del circuito es similar al de un espejo de corriente en baja tensión. Los transistores $M1$ y $M3$ forman una versión escalada de la etapa de salida del amplificador (figura 5.13). La corriente I_{BAT}^Q se copia a la rama formada por los transistores $M1$, $M2$ y $M3$. De esta forma, las tensiones en los nodos a y b son las tensiones que habría en los nodos A y B de la etapa de salida del amplificador cuando circula una corriente quiescente de valor:

$$I_{BAT}^Q \cdot M_P^{out}/M1 = I_{BAT}^Q \cdot M_N^{out}/M3 \quad (5.21)$$

El circuito de polarización proporciona las dos tensiones de referencia al circuito de batería flotante. Las dos baterías aprovechan el mismo circuito de referencia, teniendo así la misma corriente quiescente en las dos ramas del circuito.

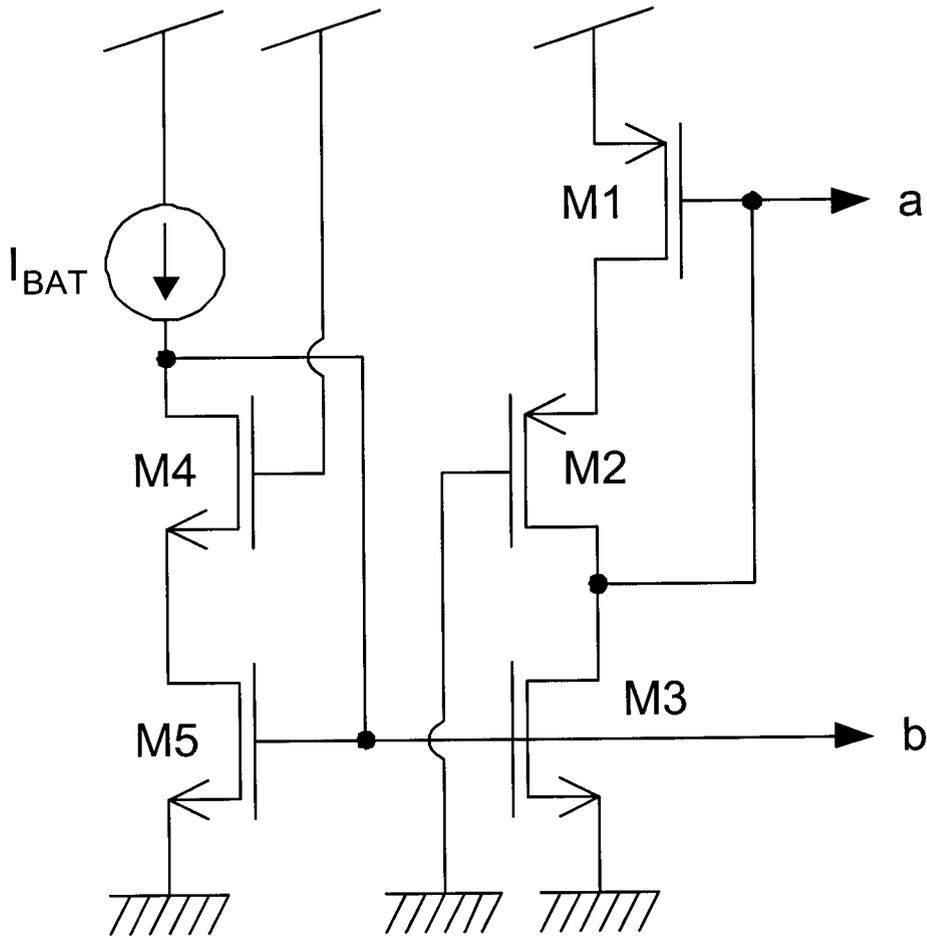


Figura 5.12: Circuito de polarización de la batería flotante.

En el cuadro 5.13 se recogen los valores de diseño de los dispositivos del circuito de batería flotante.

5.5.4. Circuito de control de modo común

Cuando las entradas V_{in}^{POS} y V_{in}^{NEG} son iguales estamos en el estado quiescente y las tensiones V_{outp}^Q y V_{outn}^Q coinciden. El valor que deben tener V_{outp}^Q y

5.5 Diseño del amplificador de baja tensión para el modulador $\Sigma\Delta$ paso banda97

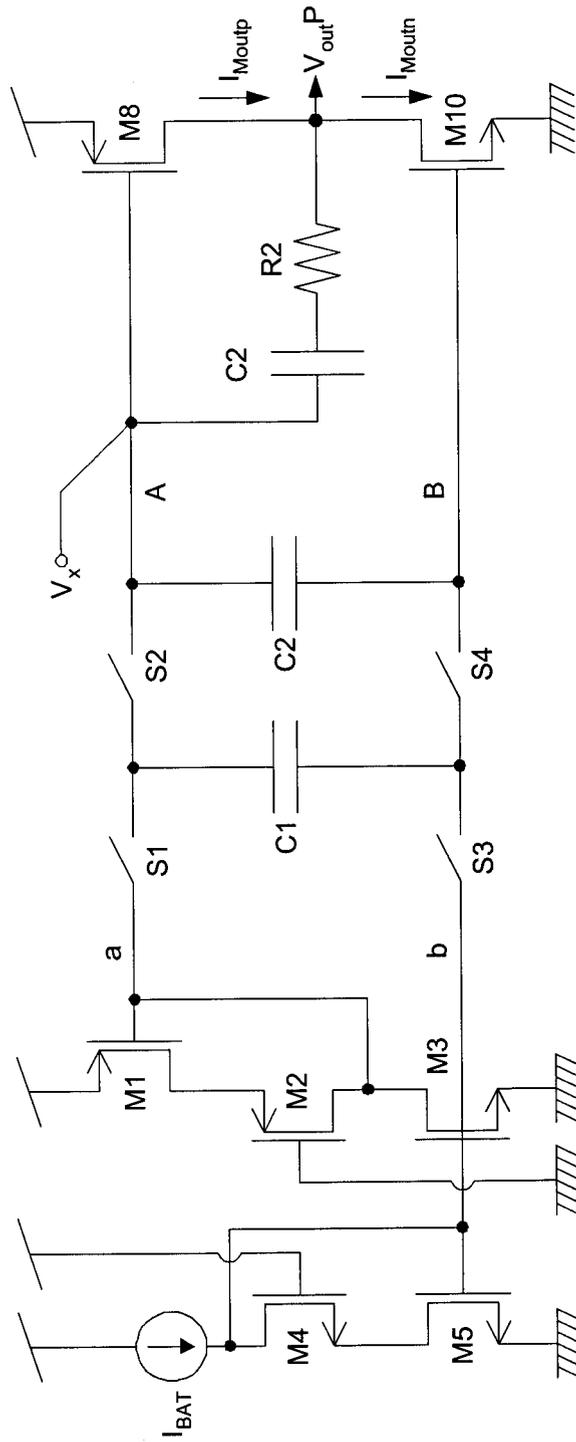


Figura 5.13: Etapa de salida del amplificador operacional con la batería flotante.

Dispositivo	Tipo	Valor
$M1$	PMOS	$W/L = 37,5/1 \mu m/\mu m$
$M2$	PMOS	$W/L = 37,5/1 \mu m/\mu m$
$M3$	NMOS	$W/L = 12,45/1 \mu m/\mu m$
$M4$	NMOS	$W/L = 12,45/1 \mu m/\mu m$
$M5$	NMOS	$W/L = 12,45/1 \mu m/\mu m$
$C1$	Cpoly	$Cap = 4 pF$
$C2$	Cpoly	$Cap = 1 pF$
$S1$	Switch NMOS	$W/L = 10/0,3 \mu m/\mu m$
$S2$	Switch NMOS	$W/L = 10/0,3 \mu m/\mu m$
$S3$	Switch NMOS	$W/L = 10/0,3 \mu m/\mu m$
$S4$	Switch NMOS	$W/L = 10/0,3 \mu m/\mu m$
I_{BAT}	Corriente	$I = 10 \mu A$

Cuadro 5.13: Dimensiones de los dispositivos que forman la batería flotante.

V_{outn}^Q en este estado puede controlarse a través de la carga activa de la etapa de entrada (transistores $M3$ y $M4$ de la figura 5.11). Si la tensión de modo común de salida sube por encima del valor nominal V_{CM}^{OUT} , el circuito de control de modo común debe bajar la tensión del nodo CMC . En el caso contrario en el que la tensión V_{CM}^{OUT} baja, el circuito de control de modo común actúa de forma similar subiendo la tensión del nodo CMC . El circuito de control de modo común se muestra en la figura 5.14.

Mediante los condensadores muestreados C_1 y C_4 se copia en los condensadores C_2 y C_3 la tensión $V_{DMC} - V_{ref}$. V_{DMC} es la tensión deseada de modo común a la salida del amplificador. V_{ref} es la tensión de puerta de los transistores de carga del circuito de la figura 5.11 que, teóricamente, fuerzan la tensión de modo común a la salida al valor deseado (V_{DMC}). De esta forma, la tensión en el nodo D vendrá dada por la expresión 5.22.

$$V_D = \frac{V_{on} + V_{op}}{2} - (V_{DMC} - V_{ref}) \quad (5.22)$$

Cuando el modo común de la salida coincide con el esperado (V_{DMC}), la tensión en el nodo D vale $V_D = V_{ref}$. En el caso en el que el modo común crezca por encima de V_{DMC} , la tensión en D aumentará, disminuyendo la corriente que circula por $M3$. Como resultado, disminuye V_{CMC} . La tensión de los nodos V_{xp} y V_{xn} (ver figura 5.11) aumentan, haciendo disminuir la tensión común de salida del amplificador. En el caso de disminuir el modo común de salida, se repite el proceso a la inversa.

En el cuadro 5.14 se recogen los valores de diseño de los dispositivos del circuito de control de modo común.

5.5 Diseño del amplificador de baja tensión para el modulador $\Sigma\Delta$ paso banda99

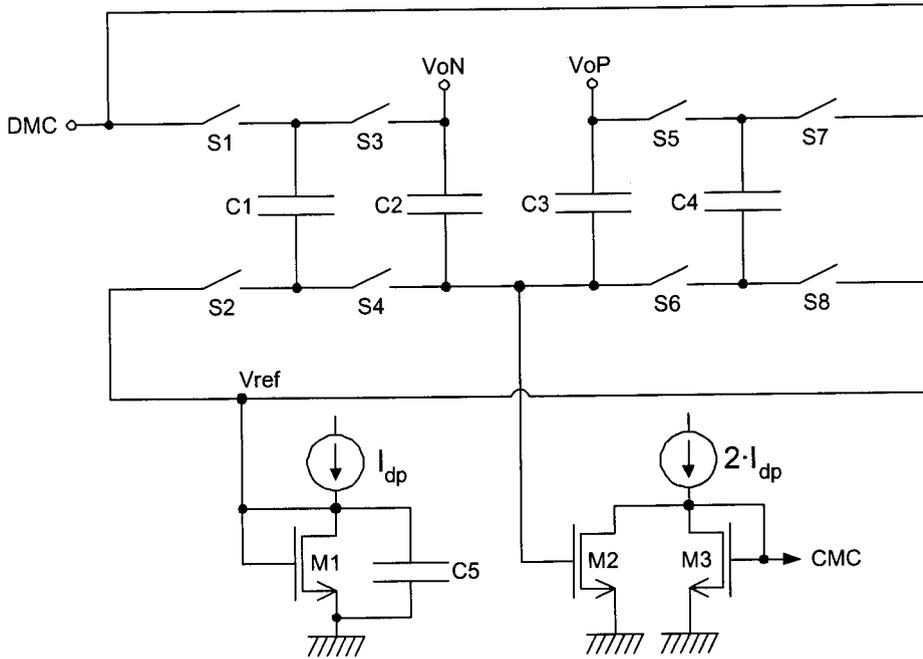


Figura 5.14: Circuito de control de modo común.

Dispositivo	Tipo	Valor
$M1$	NMOS	$W/L = 3,1/1 \mu\text{m}/\mu\text{m}$
$M2$	NMOS	$W/L = 3,1/1 \mu\text{m}/\mu\text{m}$
$M3$	NMOS	$W/L = 3,1/1 \mu\text{m}/\mu\text{m}$
$C1$	Cpoly	$Cap = 0,2 \text{ pF}$
$C2$	Cpoly	$Cap = 0,5 \text{ pF}$
$C3$	Cpoly	$Cap = 0,2 \text{ pF}$
$C4$	Cpoly	$Cap = 0,5 \text{ pF}$
$C5$	Cpoly	$Cap = 1,4 \text{ pF}$
$S1$ a $S8$	Switch NMOS	$W/L = 1/0,3 \mu\text{m}/\mu\text{m}$
I_{DP}	Corriente	$I = 15 \mu\text{A}$

Cuadro 5.14: Dimensiones de los dispositivos que forman el circuito de control de modo común.

5.5.5. Consumo del amplificador

El consumo estático del amplificador puede calcularse como la suma de los consumos de cada sección. En cada sección, el consumo estático viene dado por las corrientes que circulan por cada rama. En el cuadro 5.15 se recoge el consumo calculado para cada etapa. La tensión de alimentación es de $V_{dd} = 1,1V$. El consumo estático total es de $193 \mu W$ para el primer amplificador y $100 \mu W$ para el segundo. Se observa como el consumo del segundo amplificador se diferencia del primero en las etapas de entrada y de salida, responsables de los requisitos de *Slew - Rate*, ganancia y ancho de banda impuestos por el modulador $\Sigma\Delta$ y de la carga capacitiva.

Etapa	Corriente (1 ^{er} Op Amp)	Corriente (2 ^o Op Amp)
Entrada	$50 \mu A$	$15 \mu A$
Salida	$80 \mu A$	$30 \mu A$
Baterías	$20 \mu A$	$20 \mu A$
Control de Modo Común	$25 \mu A$	$25 \mu A$

Cuadro 5.15: Consumo de las etapas del amplificador operacional.

5.5.6. Resultados de simulación

En la figura 5.15 se muestra la respuesta en frecuencia del amplificador. Puede observarse cómo se tiene una ganancia DC de $60dB$. La frecuencia de ganancia unidad es de $20MHz$, con un margen de fase de 75 grados . En la figura siguiente 5.16 se muestra la respuesta en simulación ante un tren de pulsos de entrada. Puede medirse que el *Slew - Rate* llega a los $14V/\mu Seg$. En el cuadro 5.16 se resumen los parámetros de funcionamiento del amplificador diseñado.

Símbolo	Parámetro	Valor
V_{dd}	Tensión de alimentación	$1,1 V$
A_{DC}	Ganancia DC	$60dB$
FGU	Frecuencia de Ganancia Unidad	$20MHz$
MF	Margen de Fase	75°
SR	Slew-Rate	$14V/\mu S$
C_E^1	Consumo Estático (1 ^{er} AO)	$190 \mu W$
C_E^2	Consumo Estático (2 ^o AO)	$100 \mu W$

Cuadro 5.16: Prestaciones del amplificador operacional utilizado en el modulador $\Sigma\Delta$ paso banda.

5.5 Diseño del amplificador de baja tensión para el modulador $\Sigma\Delta$ paso banda 101

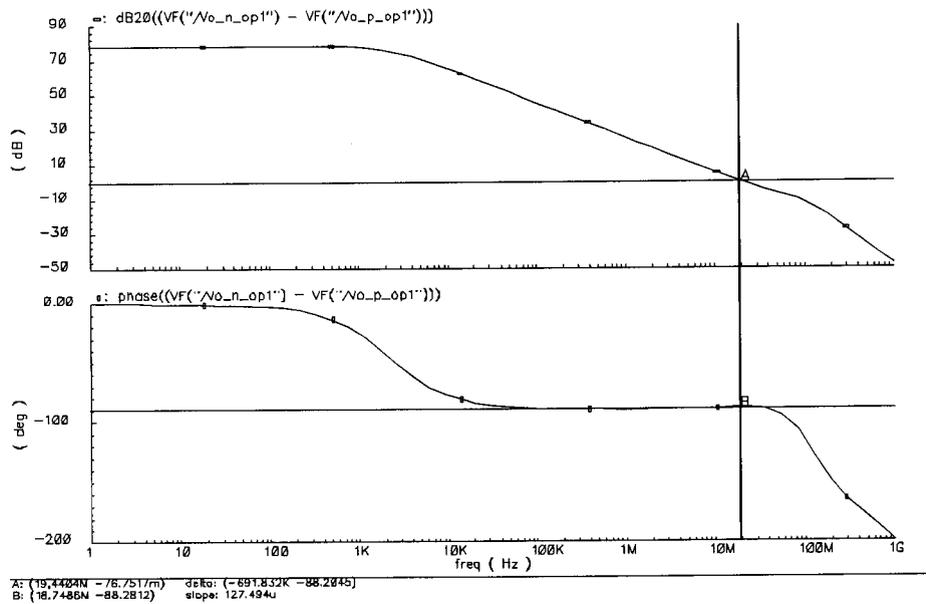


Figura 5.15: Respuesta en frecuencia del amplificador operacional.

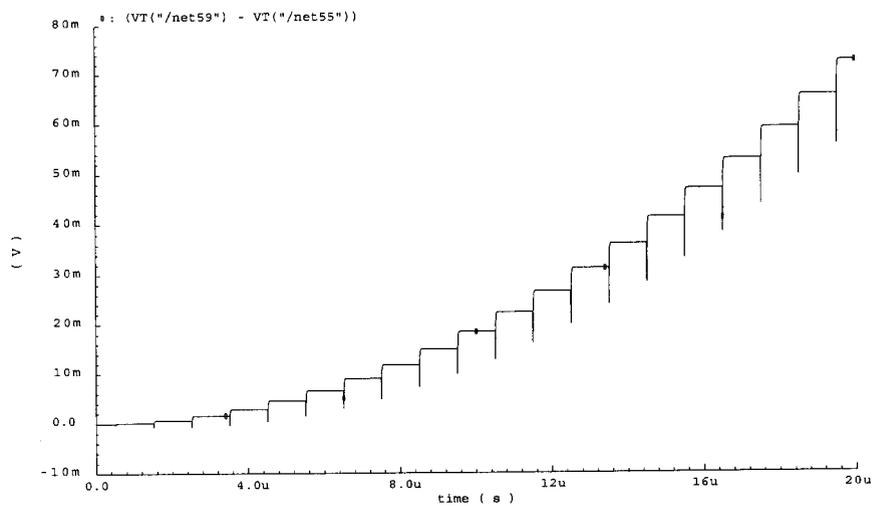


Figura 5.16: Respuesta del amplificador utilizado como integrador.

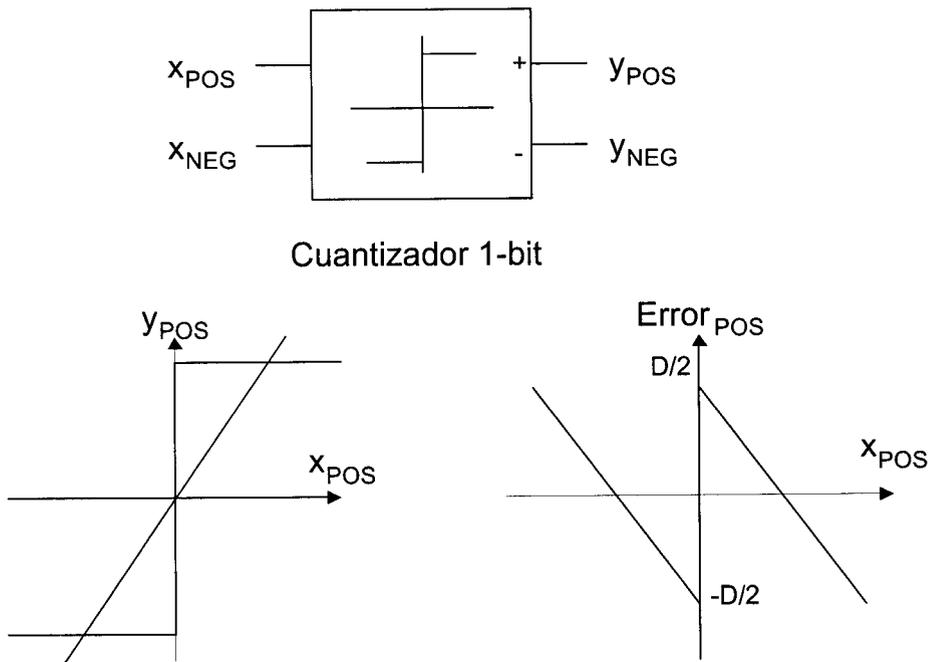


Figura 5.17: Comparador de 1 bit.

5.6. Comparador

La salida del segundo integrador tiene que ser cuantizada para ser re-almimentada a las dos etapas de integración. El bloque de cuantización se hace de un único bit por las ventajas de sencillez de diseño e inherente linealidad. En la figura 5.17 se muestra el esquema del cuantizador de un bit y la relación entrada salida.

Las especificaciones que ha de cumplir el cuantizador para poder aplicarse al modulador $\Sigma\Delta$ se miden en términos de Histéresis, Offset, Velocidad y Precisión.

En la figura 4.11 se mostraba el efecto de la histéresis del comparador sobre la SNR del sistema. Ésta va a ser la mayor restricción que ha de cumplir el comparador. Los requerimientos de velocidad y precisión no serán altos. Por todo esto se utiliza un comparador regenerativo bastante sencillo (figura 5.18).

Para reducir la histéresis se añaden los transistores $M3$ y $M4$. Durante el periodo de reseteo (ϕ_2), estos transistores fuerzan la salida a tierra. De este modo siempre se evalúa la comparación partiendo del mismo estado, de forma que desaparece la histéresis en el comparador. Sin esta característica, podrían

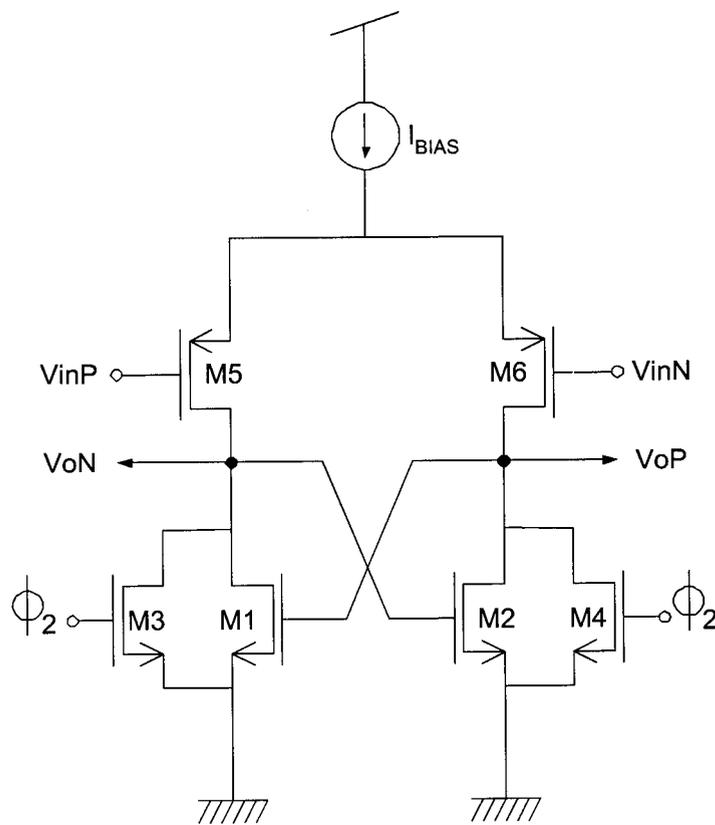


Figura 5.18: Comparador Regenerativo.

obtenerse histéresis de unos $20mV$. En el caso de moduladores paso bajo (figura 4.11) puede observarse cómo este fenómeno no afecta prácticamente en el comportamiento. No es así en el caso de moduladores paso banda en los que sí tiene un efecto considerable, como queda reflejado en la gráfica 5.19

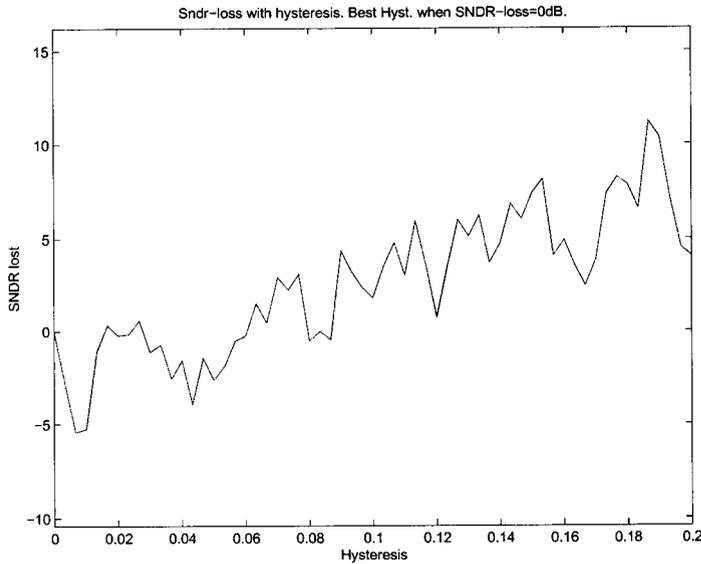
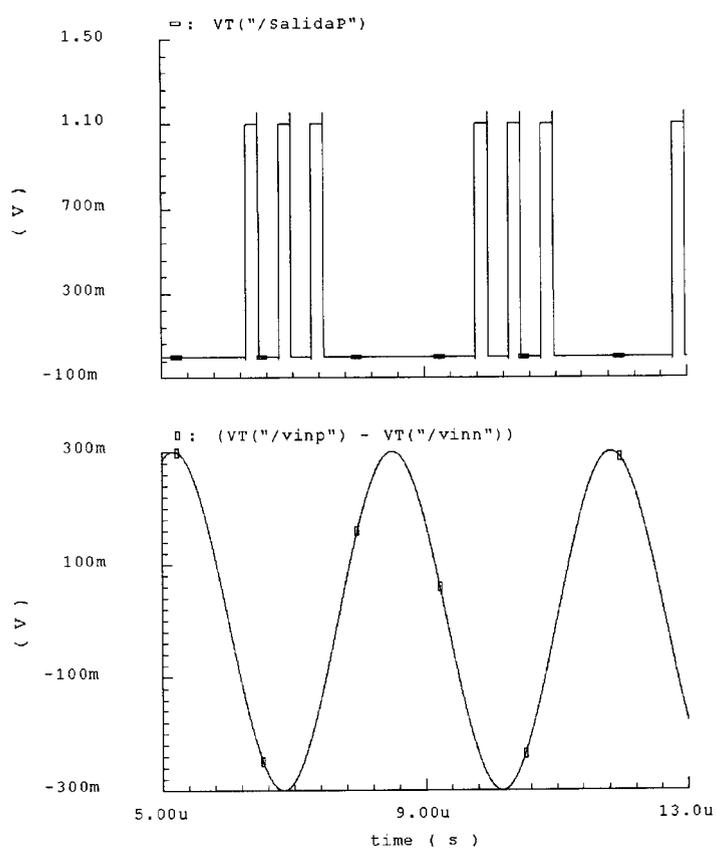


Figura 5.19: Sensibilidad a la histéresis.

Sin embargo, el reseteo del circuito no impide que se produzca un error de *offset* en la comparación. El *offset* en moduladores paso banda no tendrá un efecto importante pues se traduce en una señal fuera de la banda de información.

Otro factor importante en el dimensionado del comparador es el tiempo de establecimiento necesario para una carga determinada. Puesto que no es conocida a priori la carga del comparador y que, en el caso más general, puede ser diferente para cada una de las dos salidas (comparador diferencial) se le añade una etapa de buffer a la salida de modo que el proceso de comparación no se ve afectado por la carga que pudiera haber a la salida.

Para acondicionar la señal del comparador al convertidor DA de realimentación, será necesario añadir una etapa de salida. Esta etapa pretende sincronizar la salida del comparador con el resto de circuitería. Debido al periodo de reset del comparador, la salida tiene el aspecto mostrado en 5.20. Durante ϕ_1 la salida tiene su valor nominal y, durante ϕ_2 el valor de reset ($0v$).

Figura 5.20: Salida V_{OP} del comparador.

La etapa de entrada del comparador consiste en dos transistores PMOS $M1$ y $M2$. La señal de entrada debe tener un modo común de $100mV$ para su correcto funcionamiento en muy baja tensión de alimentación. Puesto que esta señal proviene del segundo integrador (señal de rango completo) es necesario añadir una etapa de acondicionamiento de señal.

En la figura 5.21 se muestra esta etapa y la secuencia de relojes para su control. Debido a que la entrada es rail to rail, el switch $S1$ deberá ser controlado mediante un doblador de tensión. Esto mismo ocurre con $S2$, que conduce $V_{cm} = V_{dd}/2$. $S5$ se activa con ϕ_{2d} para anular la capacidad parásita almacenada en $S4$.

Durante ϕ_1 se activan $S1$, $S3$ y $S5$, cargándose la capacidad C_s al valor $V_{in} - C M_i$. En la fase ϕ_2 , C_s pone en $V_{C_{in}}$ la tensión almacenada restándole V_{CM} . Esto resulta en una entrada al comparador ($V_{C_{in}}$):

$$V_{C_{in}} = V_{in} - C M_i - V_{CM} \quad (5.23)$$

Donde $V_{CM} = 0,55V$ es el modo común de la señal y, $C M_i = 0,1V$, el modo común de entrada del cuantizador.

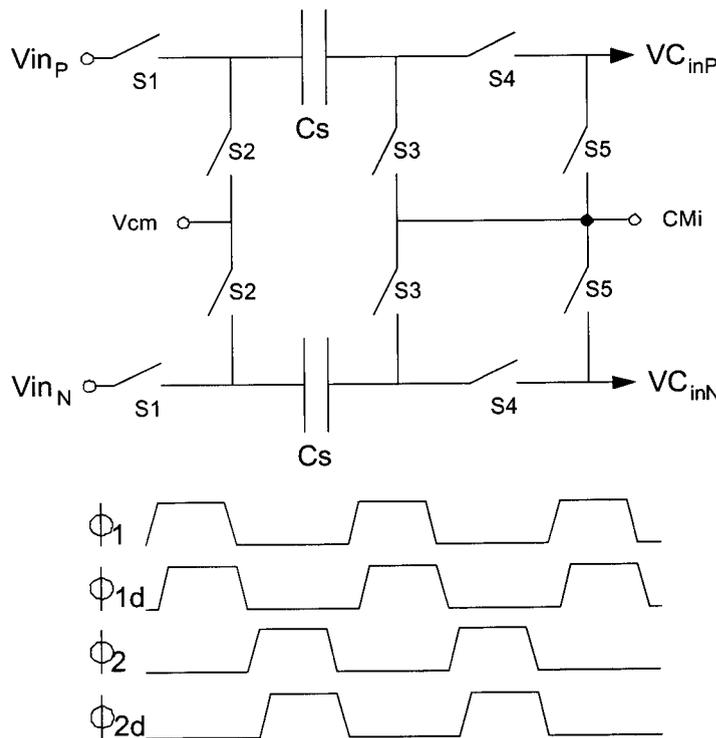


Figura 5.21: Etapa de entrada del cuantizador y secuencia de relojes.

Los valores de los elementos que forman el cuantizador se recogen en el cuadro 5.17. Los tamaños se han obtenido mediante simulación para funcionar con tensión de alimentación de 1V.

Dispositivo	Tipo	Dimensiones
$M1$ y $M2$	<i>PMOS</i>	$W/L = 5/0,3 \mu m/\mu m$
$M3$ y $M4$	<i>NMOS</i>	$W/L = 5/0,3 \mu m/\mu m$
$M5$ y $M6$	<i>NMOS</i>	$W/L = 5/0,3 \mu m/\mu m$
$S1$ y $S2$	Interruptor <i>NMOS</i>	$W/L = 12/0,3 \mu m/\mu m$
$S3$ y $S4$	Interruptor <i>NMOS</i>	$W/L = 2/0,3 \mu m/\mu m$
$S5$	Interruptor <i>NMOS</i>	$W/L = 1/0,3 \mu m/\mu m$
C_s	Capacidad	$1pF$

Cuadro 5.17: Dimensiones de los transistores del cuantizador.

La salida del comparador consiste en las señales I y Q multiplexadas en el tiempo. Para obtener a la salida del modulador la señal digital en banda, se modula la salida del comparador por medio de una puerta *XNOR*. Esta función se realiza mediante el circuito de la figura 5.22.

Esta señal en banda será la salida del modulador $\Sigma\Delta$. Como se ha dicho antes, el comparador genera una señal cuyo valor es $0V$ durante ϕ_2 . Para poder utilizar esta señal como salida del modulador, se mantiene su valor también durante ϕ_2 . Por ello se emplean los biestables del circuito representado en 5.22. De este modo, la salida (digital) mantiene su valor nominal durante todo el periodo de reloj, como se muestra en la simulación de la figura 5.23).

5.7. Convertidor DA

El convertido DA será de un bit. Dada la sencillez en el diseño y la linealidad intrínseca en esta estructura suele preferirse al uso de convertidores DA multibit, aunque ello implique el incremento del OSR (en caso de ser posible) o, incluso, incremento en el orden del modulador.

En los apartados referentes a los integradores se ha visto cómo los valores de salida del CDA hacia el primer integrador no corresponden con los valores entrantes en el segundo. Por ello el DA tendrá salidas independientes para cada uno de los integradores. En el cuadro 5.18 se recogen los valores de tensión de salida de conversión DA.

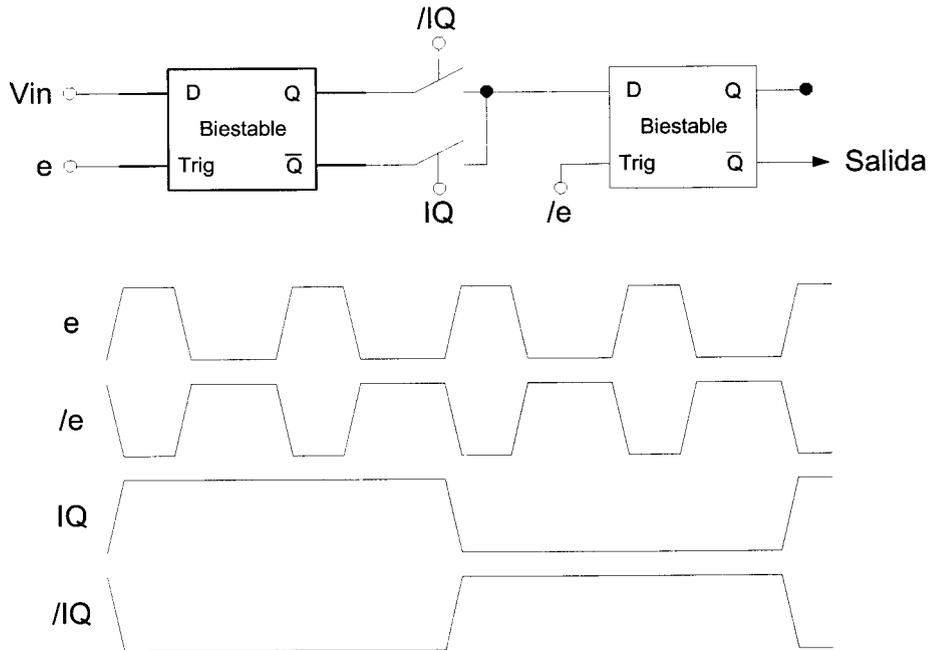


Figura 5.22: Generación de la salida en banda a partir de la señal del comparador.

En la figura 5.24 se muestra el esquema completo del convertidor DA. Las salidas digitales del cuantizador habilitan, mediante interruptores, las tensiones analógicas de salida del convertidor DA. Los parámetros de diseño de los interruptores se muestran en el cuadro 5.19.

Los interruptores S_1 y S_2 pueden ser controlados por tensiones de 0 y 1,1 V. Sin embargo, la señal de control para activar los interruptores S_3 y S_4 ha de ser de mayor valor. Por ello se introducen Dobladores de Tensión para elevar la tensión de control de estos interruptores.

Entrada digital (bits)	CM_P	CM_N	CM_{2P}	CM_{2N}
0	0	1,1 V	0,275 V	0,825 V
1	1,1 V	0	0,825 V	0,275 V

Cuadro 5.18: Función de conversión DA.

5.8. Esquema y generación de sincronismo

Como se explicó en el diseño del esquema general del modulador paso banda, van a ser necesarias dos frecuencias de reloj para el funcionamiento del

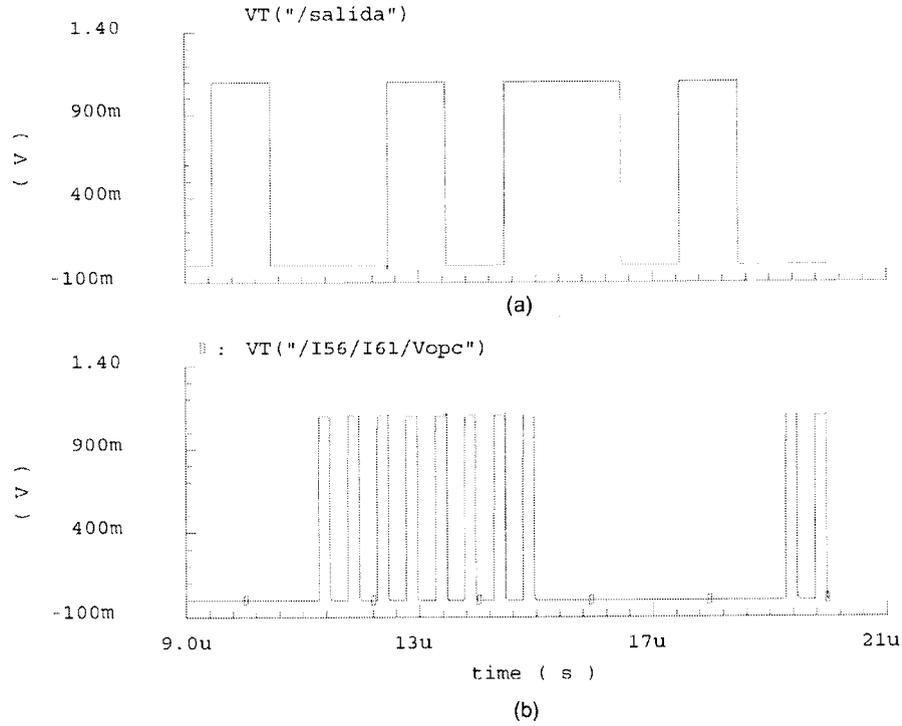


Figura 5.23: Señal (a) a la salida del modulador $\Sigma\Delta$, (b) a la salida del comparador.

Interr.	Tipo	Señal de Control	Tamaños de los transist.(W/L)
S_1	PMOS	V_{i_N}	$15\mu m/0, 3\mu m$
S_2	NMOS	V_{i_N}	$10\mu m/0, 3\mu m$
S_3	NMOS	$V_{i_P}^{DOBLADO}$	$12\mu m/0, 3\mu m$
S_4	NMOS	$V_{i_N}^{DOBLADO}$	$10\mu m/0, 3\mu m$

Cuadro 5.19: Parámetros de diseño de los interruptores del CDA.

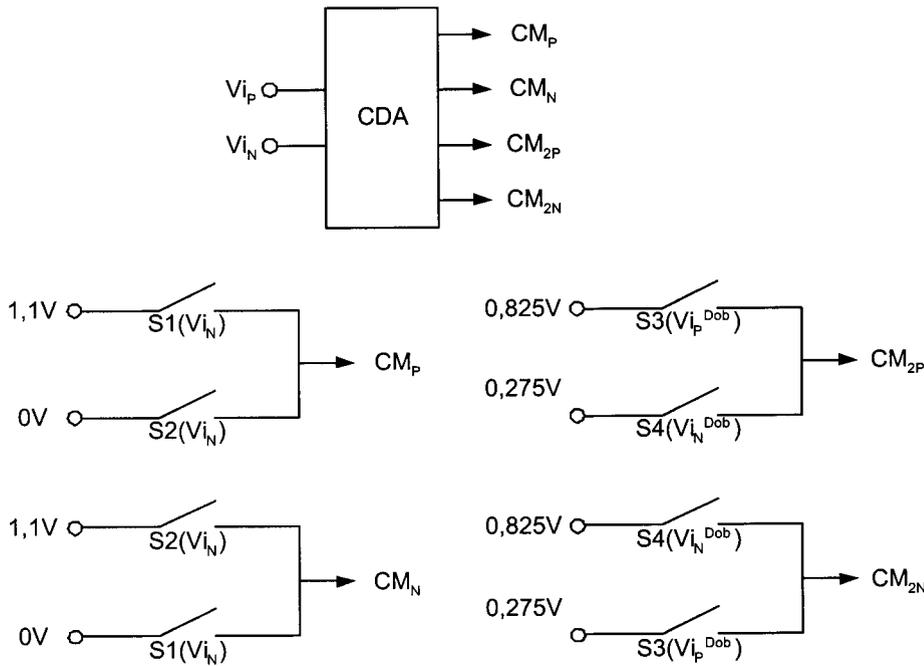


Figura 5.24: Esquema del convertidor DA de 1 bit.

sistema.

De la primera frecuencia (f_s) deben generarse las fases ϕ_1 , ϕ_2 , ϕ_{1d} y ϕ_{2d} . Las fases ϕ_1 y ϕ_2 deben ser no solapantes. ϕ_{1d} y ϕ_{2d} son versiones retrasadas de ϕ_1 y ϕ_2 para evitar el clock feedthrough. Además se generará una fase adicional (ϕ_c) que se utilizará en la etapa de entrada del comparador.

Para la generación de señales de sincronismo se ha recurrido a una versión mejorada del circuito clásico, mostrada en la figura 5.25. En este circuito se han añadido dos grupos de transistores ($M1, M2, M3$ y $M4, M5, M6$) que permiten que coincidan los flancos de subida de ϕ_1 y ϕ_{1d} y, a su vez, de ϕ_2 y ϕ_{2d} , retrasándose los flancos de bajada de los ϕ_{xd} respecto de los ϕ_x . Este alineamiento de los flancos de subida permite aprovechar al máximo el tiempo que tendrán los amplificadores para alcanzar la tensión deseada.

La segunda frecuencia que ha de emplearse es para generar las fases I y Q . Estas fases han de ser también no solapantes y su frecuencia es $f_{IQ} = f_s/2$. El modo de generar estas fases es igual que en los casos anteriores, partiendo de una frecuencia f_{IQ} (creada a partir de f_s)

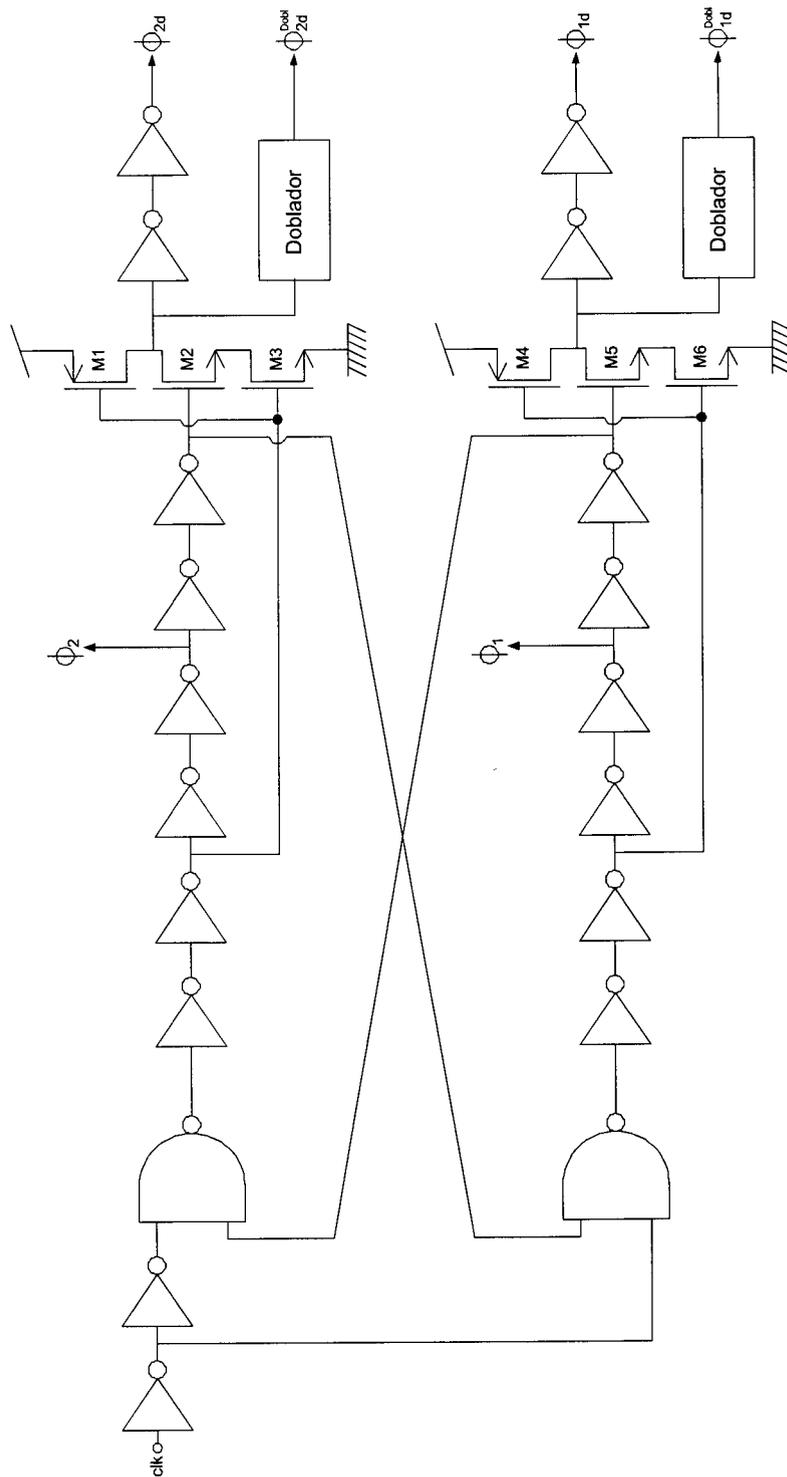


Figura 5.25: Generación completa de fases nominales y retrasadas.

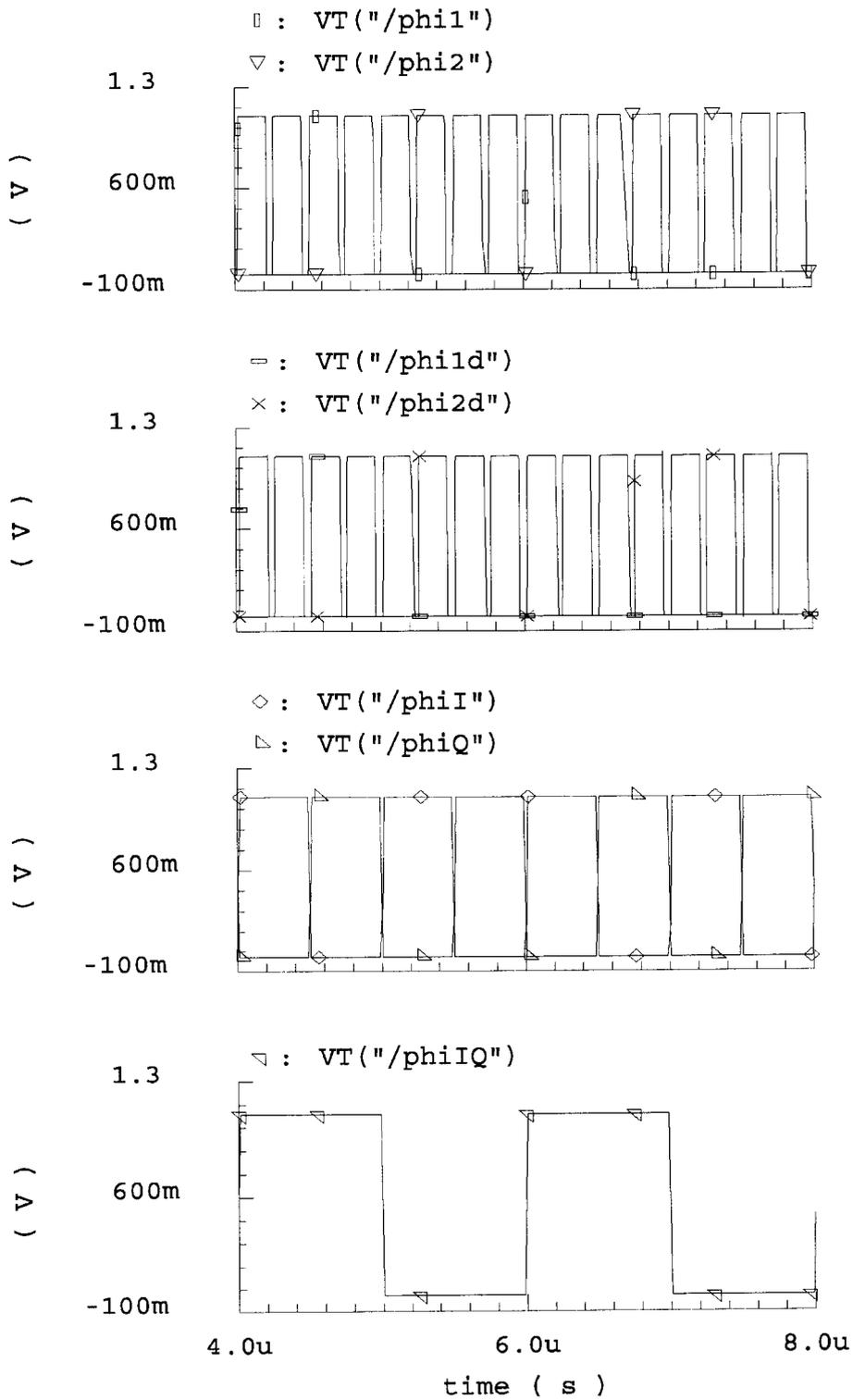


Figura 5.26: Secuencia de fases de reloj.

5.8.1. Especificaciones del reloj del sistema, Jitter

En los sistemas reales, los relojes de muestreo tienen una cierta inestabilidad llamada *Jitter de reloj*, agravada por el ruido introducido en los circuitos de distribución de las señales de sincronismo. Esta inestabilidad se traduce en un error aleatorio en la fase. Para poder cuantificar su efecto, se considera que el error de fase es una variable aleatoria gaussiana, de media cero y desviación típica, σ_{jitter} .

En la figura 5.27 se muestra gráficamente el error de muestreo cuando el reloj de muestreo tiene jitter. Este error de muestreo se traduce en un error de cuantización adicional, empeorando la relación señal a ruido del sistema.

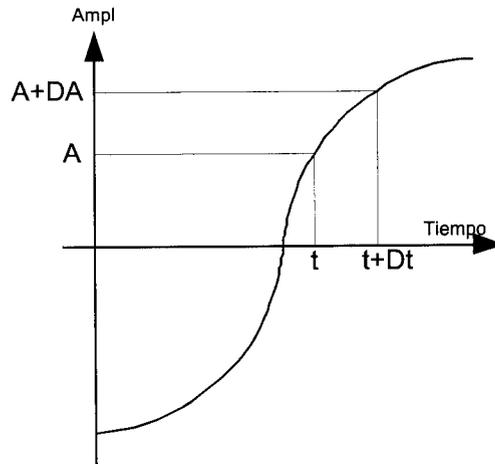


Figura 5.27: Error de muestreo debido a jitter.

La influencia del jitter del reloj sobre la amplitud de la señal cuantizada se puede medir analíticamente. Para ello se supone que la entrada es la señal senoidal $V_{in} = A \cdot \sin(\omega t)$, de amplitud máxima. El incremento ΔA (error) de señal al muestrear con un error de tiempo Δt es:

$$\Delta V_{in} = \Delta A = A \cdot \omega \cos(\omega t) \cdot \Delta t \quad (5.24)$$

Donde $\omega = 2 \cdot \pi f_{in}$ y A es la amplitud.

Para que el error de jitter no degrade la relación señal a ruido se va a limitar ΔA de forma que no supere al error de cuantización. En un convertidor de n bits, el máximo error de cuantización será:

$$q_s = \frac{2A}{2^n - 1} \approx A \cdot 2^{1-n} \quad (5.25)$$

A fin de calcular el máximo valor de Δt igualamos (5.24) y (5.25). Despejando Δt , se obtiene un valor de Δt_{max} :

$$\Delta t_{max} = \frac{2^{-n}}{\pi \cdot f_{in} \cos(2\pi f_{in} t)} \quad (5.26)$$

El peor caso será cuando $\cos(2\pi f_{in} t) = 1$. Entonces, la ecuación (5.26) se simplifica como:

$$\Delta t_{max} = \frac{2^{-n}}{\pi \cdot f_{in}} \quad (5.27)$$

Influencia del Jitter sobre la resolución del convertidor

Para estudiar el efecto del jitter sobre la resolución del convertidor es necesario calcular primero la potencia de error debido al jitter. El valor *rms* viene dado por la ecuación (5.28):

$$\Delta A^2 = q_s^2 \cdot 2^{2n-1} f_{in}^2 \pi^2 \cos(2\pi f_{in} t) \cdot \Delta t^2 \quad (5.28)$$

En esta ecuación, la derivada de la señal determina la sensibilidad del convertidor al *jitter* del reloj. Para estimar la potencia media de ruido, se debe tomar la pendiente media de la señal (ecuación 5.29).

$$\frac{1}{\pi} \int_0^\pi \cos^2 \phi d\phi = \frac{1}{2} \quad (5.29)$$

De este modo, combinando (5.28) y (5.29), se tiene la potencia media de error debido al *jitter*.

$$\Delta A^2 = q_s^2 \cdot 2^{2n-1} f_{in}^2 \pi^2 \Delta t^2 \quad (5.30)$$

Si añadimos el error debido al *jitter* al error de cuantización, se tiene que la potencia total de error de muestreo (*jitter* más cuantización) es:

$$q_{total}^2 = \frac{q_s^2}{12} + \Delta A^2 = \frac{q_s^2}{12} (1 + k_{jtr}^2) \quad (5.31)$$

Siendo k_{jtr}^2 :

$$k_{jtr}^2 = \frac{\Delta A^2}{\frac{q_s^2}{12}} \quad (5.32)$$

Sustituyendo ΔA^2 (5.30) en (5.31) se tiene que k_{jtr} es:

$$k_{jtr} = 2^n \pi \sqrt{6} \frac{\Delta t}{T_{in}} \quad (5.33)$$

Δt es el ruido (rms) de fase del reloj de muestreo. Incluyendo esta potencia de ruido dentro de la figura de ruido del convertidor (SNR) se tiene la ecuación (5.34).

$$\frac{S}{N + N_{jtr}} = \frac{S}{N} \frac{N}{N + N_{jtr}} = \sqrt{1,5} \cdot 2^n \cdot 2^{-\frac{\log(1+k_{jtr}^2)}{2\log 2}} \quad (5.34)$$

La reducción en el número efectivo de bits (ENOB) como resultado del jitter viene dado por la ecuación (5.35).

$$n_{reduccion} = \frac{\log(1 + k_{jtr}^2)}{2\log 2} \quad (5.35)$$

En la figura 5.28 se muestra el deterioro de la resolución (en bits) en función de la relación $\frac{T_{jitter}}{T_{senal}}$, siendo $T_{senal} = 1/f_{in}$ para convertidores de resolución entre 10 y 15 bits.

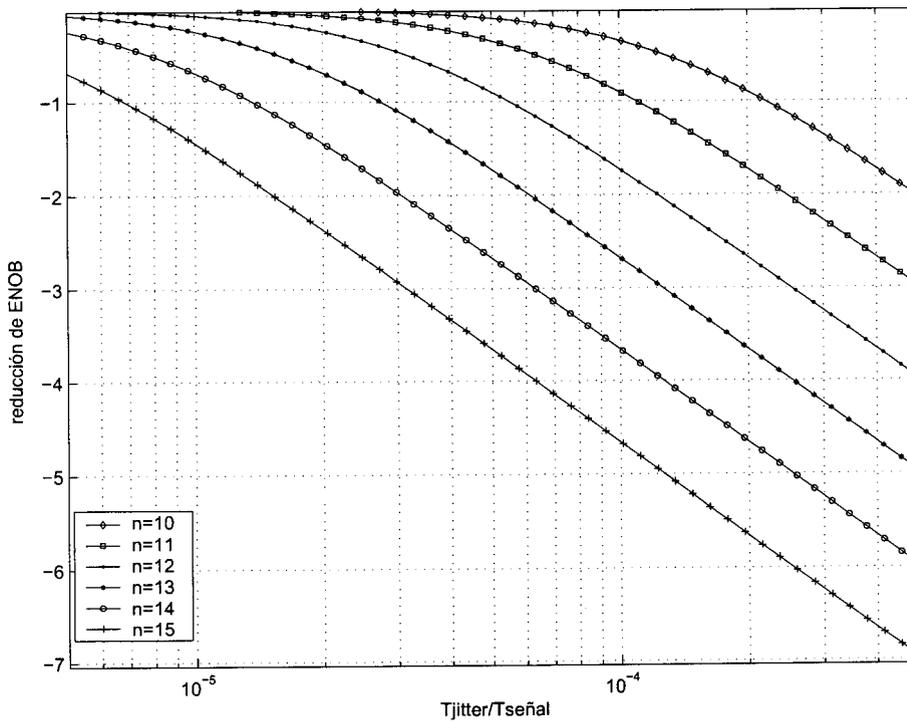


Figura 5.28: Representación gráfica de la ecuación 5.35.

5.9. Doblador de tensión

Para conseguir tensiones de control de los interruptores por encima de la tensión nominal de alimentación (1,1 V) se recurre a los dobladores de ten-

sión.

Para el diseño del doblador de tensión se parte del circuito presentado en [50]. Este circuito puede implementarse en una tecnología CMOS para aumentar la tensión de un nodo por encima de la tensión de alimentación. Este circuito sólo funciona con señales continuas, es decir, no puede aplicarse a tensiones variables como es el caso de señales de reloj para controlar interruptores.

El esquema de [50] (figura 5.29) se modifica para poder tener a la salida señales de control variables en el tiempo. Para ello se ha sustituido $M3$ en el circuito original por $M3'$. El condensador C_B se ha conectado a V_{dd} (1,1 V) para prevenir el *latch-up* durante el transitorio de encendido. El esquema final del circuito está representado en la figura 5.30. Los tamaños de los dispositivos se recogen en el cuadro 5.20

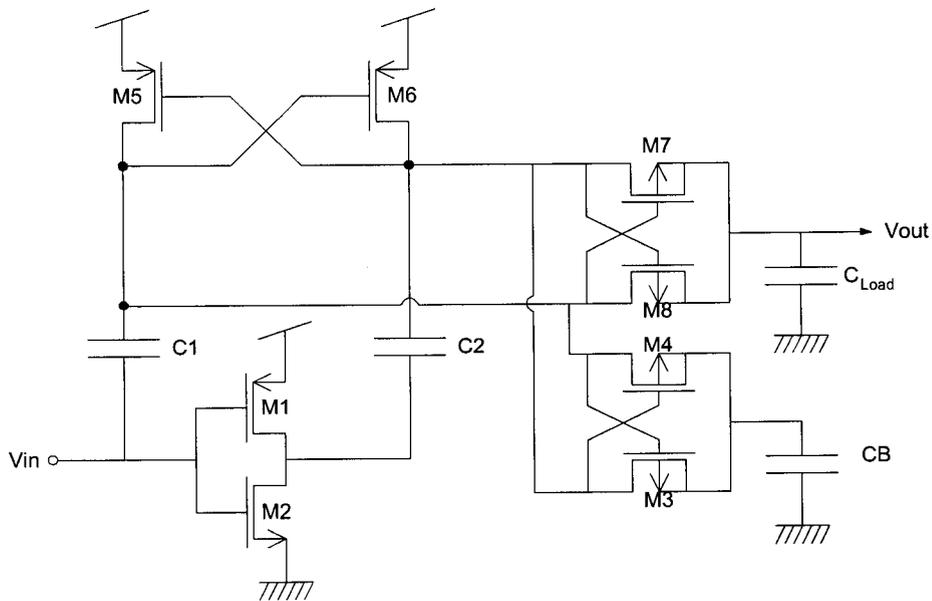


Figura 5.29: Doblador de tensión de [50].

En el caso que nos concierne, además de señales de reloj, también será necesario doblar (o al menos incrementar) las salidas del comparador VM_P y VM_N para generar $V_{i_P}^{DOBLADO}$ y $V_{i_N}^{DOBLADO}$. Aunque estas señales no sean periódicas en el tiempo, sí presentan tasas de variación (componentes en frecuencia) cercanas a la frecuencia de muestreo f_s . Para comprobar este punto, se ha simulado el doblador de tensión con VM_P y VM_N como entradas y se muestran los resultados en la figura 5.31

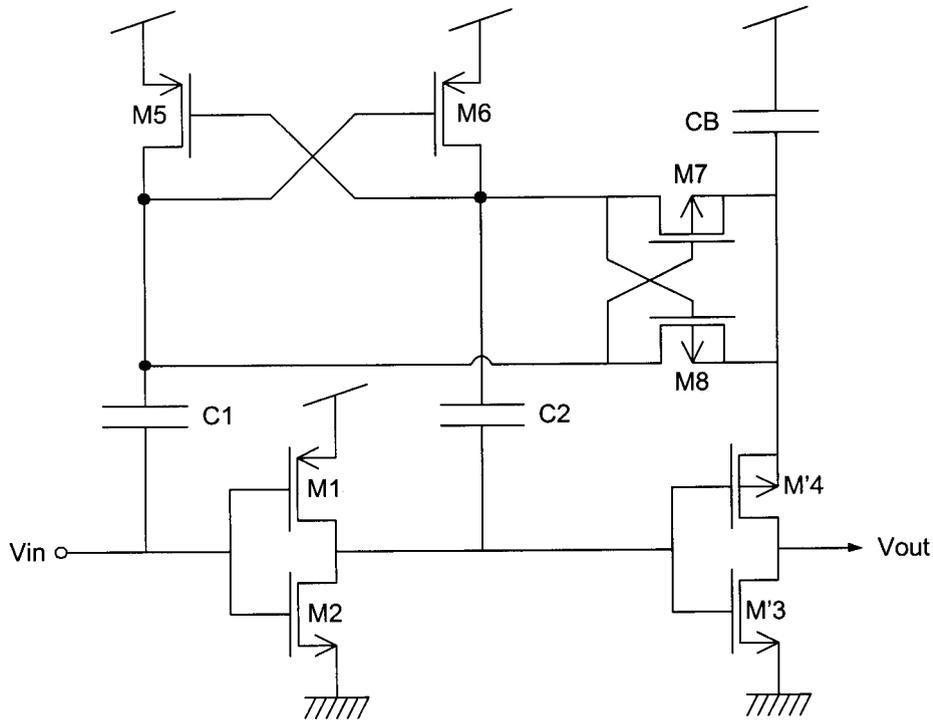


Figura 5.30: Doblador de tensión modificado.

Dispositivo	Tipo	Dimensiones
M1	PMOS	$W/L = 10/0,4 \mu/\mu$
M2	NMOS	$W/L = 5/0,4 \mu/\mu$
M3'	NMOS	$W/L = 9/0,4 \mu/\mu$
M4	PMOS	$W/L = 8/0,3 \mu/\mu$
M5 y M6	NMOS	$W/L = 6/0,3 \mu/\mu$
M7 y M8	PMOS	$W/L = 1/0,3 \mu/\mu$
C ₁	cpoly	3pF
C ₂	cpoly	0,4pF
C _B	cpoly	0,2pF

Cuadro 5.20: Dimensiones de los dispositivos del doblador de tensión.

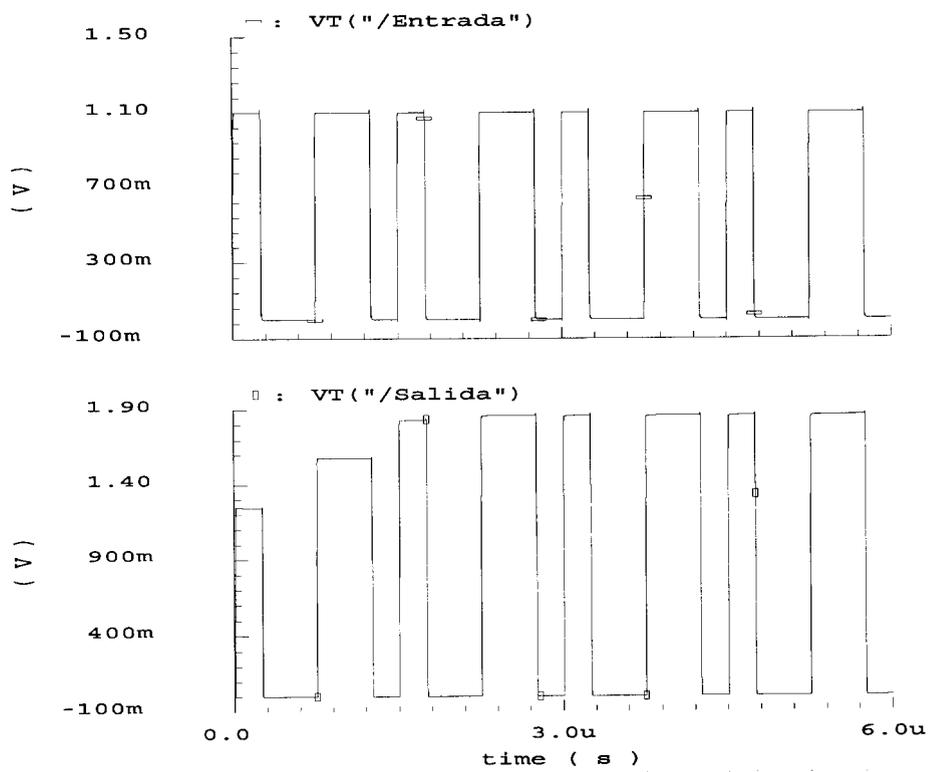


Figura 5.31: Doblado de una señal no periódica.

Puede verse cómo el doblador tarda unos ciclos en dar la salida al nivel deseado. La máxima tensión de salida que ofrece el doblador depende del valor de la capacidad C_1 , para una carga determinada.

Para poder implementar los dobladores de tensión, es necesario que la tecnología lo permita. Para ello la tensión de *Breakdown* entre puerta y óxido debe ser superior a la tensión alcanzada por el doblador. Además es necesario que existan al menos dos capas de *poly*.

5.10. Estudio de Consumo.

En este apartado se hace una estimación de consumo basada en los circuitos diseñados a nivel de transistor.

Consumo de los integradores.

El consumo dinámico de los integradores es el consumo dinámico de los amplificadores operacionales. Este consumo depende de la carga (C_S) siguiendo la expresión 5.36.

$$P_D = 0,5 \cdot V_{dd}(V_{in} - V_{ref}) \cdot C_S \cdot OSR \cdot F_{Nyquist} \quad (5.36)$$

Para los valores típicos de funcionamiento:

$$V_{dd} = 1,1 V$$

$$V_{in_{max}} = 1,1 V$$

$$V_{ref} = 0,55 V$$

$$V_{C_{S1}} = 1,25 pF, \quad V_{C_{S2}} = 1 pF$$

$$OSR = 187$$

$$F_{Nyquist} = 16 kHz$$

Obtenemos un consumo dinámico de:

$$P_{D1} = 1,34 \mu W \quad (5.37)$$

$$P_{D2} = 1,25 \mu W \quad (5.38)$$

Para el primer y el segundo integrador, respectivamente.

El consumo estático de los amplificadores (calculado anteriormente) es:

$$P_S^{AO1} = 190 \mu W \quad (5.39)$$

$$P_S^{AO2} = 100 \mu W \quad (5.40)$$

Consumo del comparador.

El comparador necesita una corriente de polarización de $10 \mu A$, obtenida a partir de un espejo de corriente. El consumo total será pues de $2 \cdot 11 \mu W = 22 \mu W$.

Consumo de los dobladores de tensión.

El consumo medio de los dobladores de tensión es inferior a $9 \mu W$. Puesto que son necesarios 7 dobladores de tensión para poder controlar los distintos interruptores doblados del circuito, el consumo medio debido a los dobladores de tensión llega hasta los $63 \mu W$.

Consumo de otros elementos del circuito.

A la figura de consumo hay que añadir el consumo de la circuitería digital empleada para el control de los interruptores y la adaptación de la salida del comparador. Estas contribuciones están por debajo de los $200 \mu W$.

Consumo total.

En el cuadro 5.21 se hace un balance total de la estimación de consumo del modulador completo.

Bloque	Consumo
C. estático del 1 ^{er} AO	$190 \mu W$
C. estático del 2 ^o AO	$100 \mu W$
C. dinámico del 1 ^{er} integrador	$1,34 \mu W$
C. dinámico del 1 ^o integrador	$1,25 \mu W$
Comparador	$22 \mu W$
Dobladores de tensión	$63 \mu W$
Circuitería digital	$100 \mu W$
TOTAL	$477,59 \mu W$

Cuadro 5.21: Consumo del modulador $\Sigma\Delta$ paso-banda.

5.11. Simulaciones del circuito completo

Antes de pasar al proceso de Layout del prototipo, se han realizado distintas simulaciones con Spectre del modulador $\Sigma\Delta$ completo. Una vez obtenida la secuencia binaria del modulador se representa la DFT.

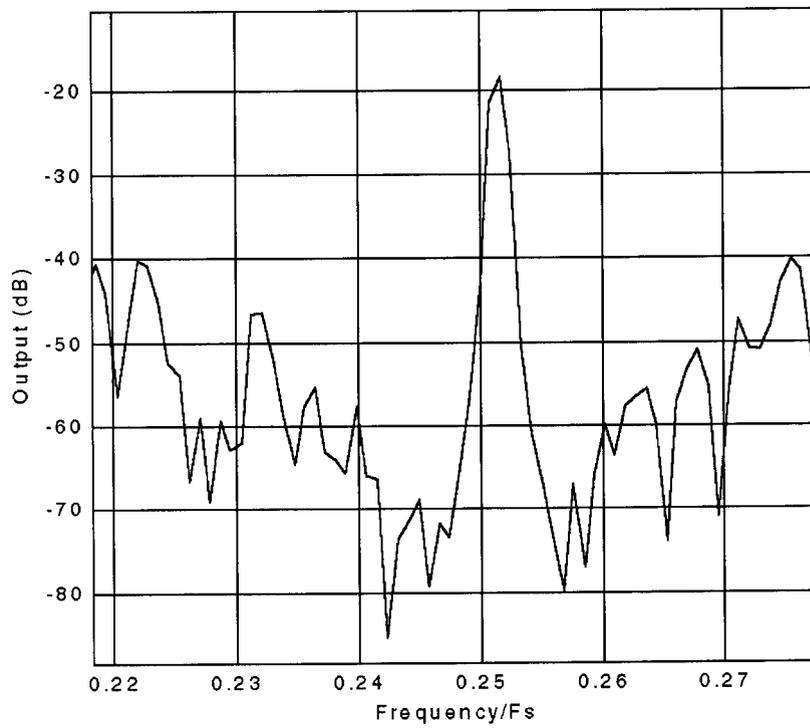


Figura 5.32: Espectro de la salida del $\Sigma\Delta$ paso banda mediante simulación con SPECTRE.

En la figura 5.32 se muestra el resultado de simulación a nivel de transistor (SPECTRE) del modulador, para un tono de entrada de $-18dB$ de amplitud. La DFT se ha realizado con 1024 puntos a una frecuencia de reloj de $2 MHz$.

Capítulo 6

Prototipo experimental

6.1. Introducción

Para comprobar la validez del estudio hecho, se ha fabricado el circuito integrado con el $LP\Sigma\Delta$ (prototipo paso bajo) y el $BP\Sigma\Delta$. Para las medidas se ha diseñado un sistema de adquisición digital para leer la salida de los moduladores ($LP\Sigma\Delta$ y $BP\Sigma\Delta$) en 1 PC. Posteriormente, los datos obtenidos se procesan con Matlab a fin de caracterizar los moduladores.

En esta sección se presentan los resultados experimentales del modulador paso banda de orden 4. Primero se exponen los parámetros de la tecnología y se describe el layout y el sistema de medición que se emplea.

6.2. Realización del Layout del circuito

6.2.1. Parámetros de la tecnología

El chip se realiza en la tecnología CMOS de $0,35\ \mu m$ de AMS. Esta tecnología permite el diseño utilizando tres capas de metal y dos de polisilicio. Las principales características de esta tecnología se recogen en el cuadro 6.1.

6.2.2. Layout

En la figura 6.1 se muestra el *floor – planning* del circuito. Este diagrama representa la estrategia que se sigue en la realización del layout. Para evitar los ruidos relacionados con la circuitería digital se sitúan las líneas de reloj lo más alejadas posible de los amplificadores. También se *blindan* los buses de reloj mediante planos de *polisilicio* y *metal* para minimizar las interferencias con la circuitería analógica.

Parámetro	Símbolo	Valor típico
Tensión Umbral de NMOS	V_{thN}	0,55 V
Tensión Umbral de PMOS	V_{thP}	-0,65 V
Factor de ganancia NMOS	K_N	175 $\mu A/V^2$
Movilidad NMOS	μ_N	385 cm^2/Vs
Factor de ganancia PMOS	K_P	60 $\mu A/V^2$
Movilidad PMOS	μ_P	130 cm^2/Vs
Ancho de puerta mínimo	W_{min}	0,3 μm
Largo de puerta mínimo	L_{min}	0,3 μm

Cuadro 6.1: Parámetros básicos de la tecnología.

Los interruptores (incluso los de los opamp) se llevan hasta la zona del bus de reloj. Entre los interruptores y los amplificadores se colocan las capacidades del circuito.

El layout se ha hecho teniendo en cuenta las técnicas de diseño de centroide común para el macheo de transistores y capacidades.

En la figura 6.2 se muestra el layout del modulador $\Sigma\Delta$ paso banda. El circuito ocupa una superficie de $1000 \times 500 \mu m^2$.

6.3. Sistema de medidas

6.3.1. Descripción

Para realizar las medidas al modulador se ha diseñado el sistema de medidas representado en la figura 6.3.

El objetivo del sistema de medidas es el tener en un ordenador una secuencia suficientemente larga de datos de salida. La salida se guarda en un fichero. A partir de este fichero se pueden estudiar las características espectrales y de ruido utilizando herramientas tales como MATLAB.

Los bloques básicos de este sistema de adquisición son la placa de medidas del prototipo, la placa de captura digital y las rutinas de análisis de la salida.

6.3.2. Placa de pruebas del prototipo

La placa de pruebas del prototipo tiene la función de polarizar y adaptar las señales de entrada y de reloj del sistema. En la figura 6.4 se muestra una foto de esta placa.

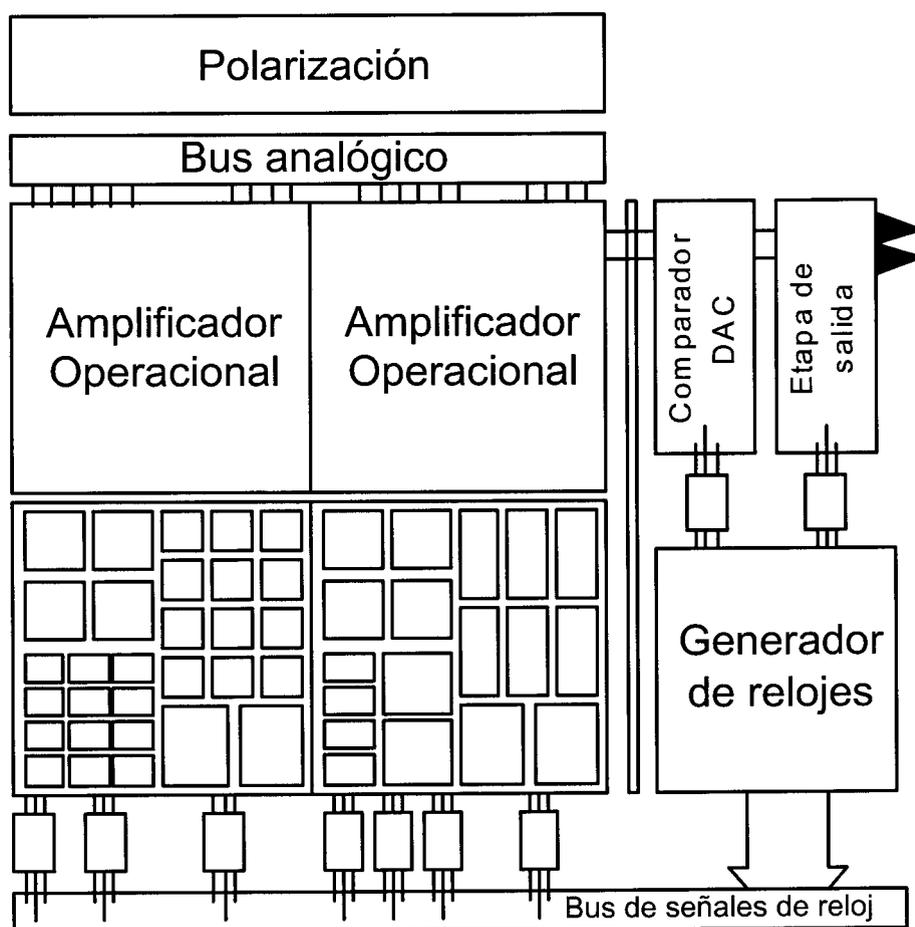


Figura 6.1: Floor-planning del layout del modulador $\Sigma\Delta$.

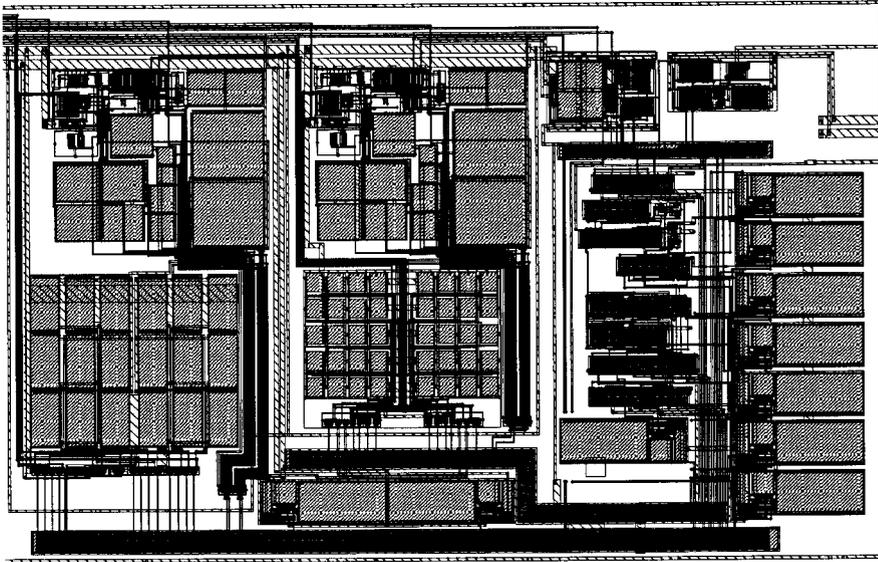
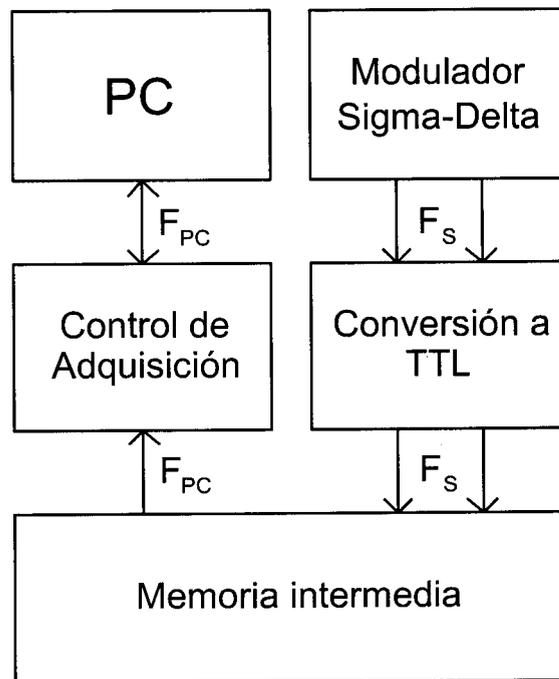
Figura 6.2: Layout del modulador $\Sigma\Delta$.

Figura 6.3: Diagrama de bloques del sistema de medidas.

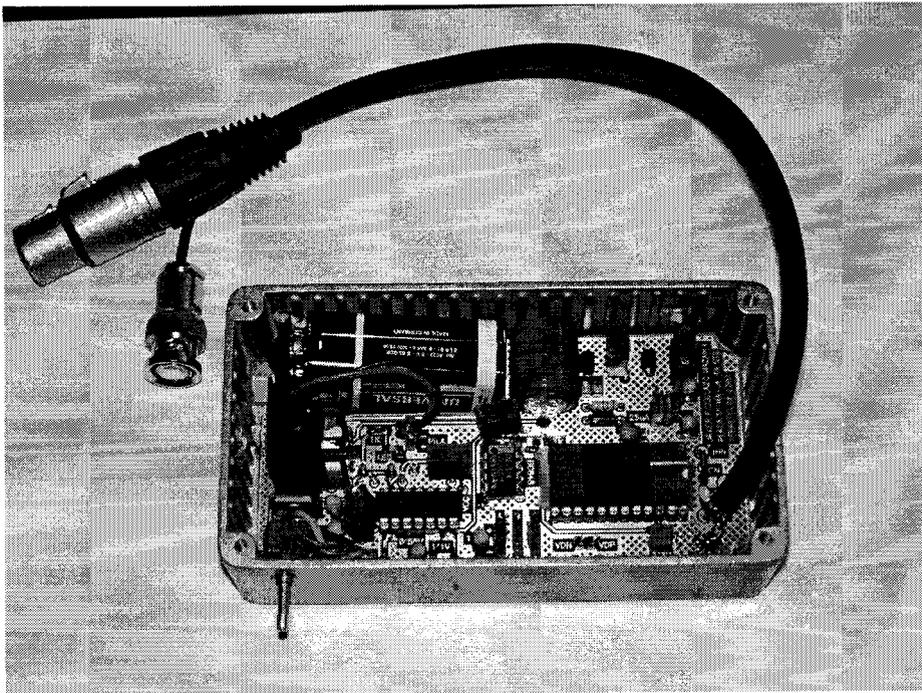


Figura 6.4: Placa de pruebas del prototipo.

6.3.3. Placa de captura digital

La placa de captura digital consiste en un circuito de adquisición de datos adaptado a las necesidades de flujo de datos del modulador.

La tasa de datos de salida del modulador será igual a la frecuencia del reloj del sistema (f_s). La amplitud de los pulsos es igual a la tensión de alimentación (V_{dd}).

La tasa de lectura de datos del PC depende de las prestaciones del puerto paralelo (puerto de lectura) y de la dedicación de éste a la aplicación (programa de lectura del puerto).

Debido a las diferencias de tasa binaria y de amplitud entre las señales que salen del modulador y las que pueden ser leídas por el ordenador, es necesario crear una interfaz que permita la comunicación entre ambos.

El proceso de captura es como sigue:

1. La salida del modulador (M_{Out}), junto con la señal de sincronía (M_{Sinc}) se transforman a lógica *TTL*. Esto es ajustar las amplitudes de las dos

señales de V_{dd} a 5 V. Esto se hace con comparadores compatibles con TTL , situando el umbral de comparación al valor adecuado (típicamente $V_{dd}/2$).

2. Una vez que las dos señales del modulador (M_{Out} y M_{Sinc}) son compatibles con la lógica TTL , se almacena una secuencia de datos de salida (M_{Out}) en una memoria. Se guardan N datos consecutivos. El instante de muestreo se determina gracias a la señal de trigger (M_{Sinc}). Para manejar la memoria se emplea un bloque de control que tiene la información acerca del comienzo de la operación y cantidad de datos a almacenar.
3. Al terminar el proceso de almacén de los N datos de salida del modulador, el bloque de control transmite los datos al PC a la tasa binaria permitida.

En la figura 6.5 se muestra una fotografía de la tarjeta de sincronización del modulador $\Sigma\Delta$ con el PC . Esta tarjeta fue diseñada y realizada por otro miembro del grupo de trabajo.

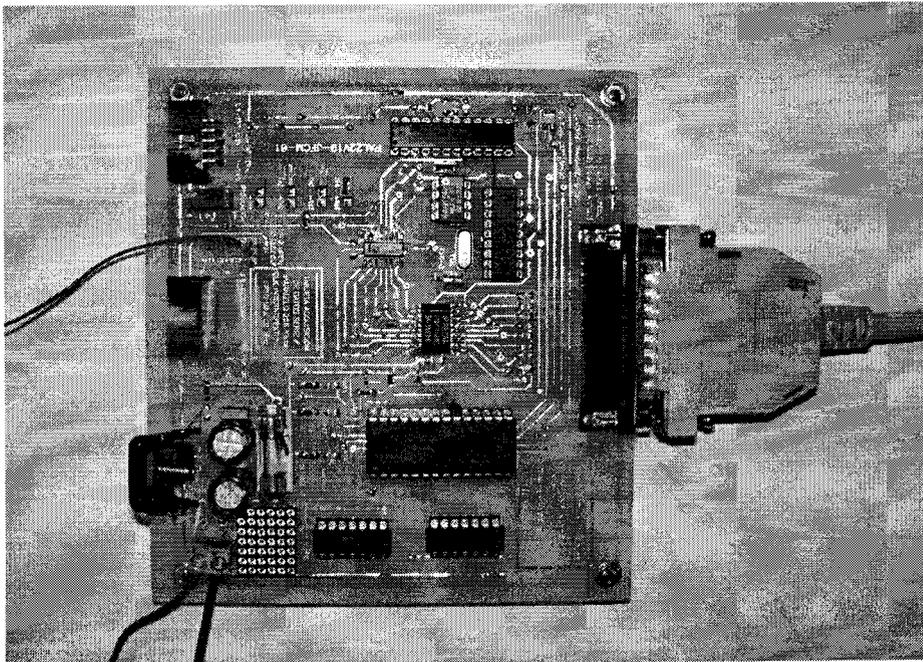


Figura 6.5: Fotografía de la tarjeta de comunicación entre el modulador y el PC .

6.4. Resultados experimentales

El modulador $\Sigma\Delta$ paso banda se envió a fábrica y se recibieron diez integrados preparados para tomar medidas. De los diez, dos de ellos no han funcionado por distintas razones. Los restantes ocho integrados se han medido y se han obtenidos los resultados que se muestran a continuación.

6.4.1. Parámetros de funcionamiento

Se han sometido los integrados a medidas de SNR en distintas condiciones de funcionamiento. En el cuadro 6.2 se recogen los parámetros de polarización y funcionamiento.

Parámetro	Símbolo	Valor ó rango de valores
Tensión de alimentación	V_{dd}	1,1 V
Frecuencia de reloj	f_s	2 MHz a 4 MHz
Frecuencia intermedia	f_i	$f_s/4$
Frecuencia de entrada	f_o	$f_i - 8kHz$ a $f_i + 8kHz$
Amplitud de entrada	A_i	-100dB _r a 0dB _r

Cuadro 6.2: Parámetros de medida.

De esta forma se obtienen las curvas de SNR y SNDR del modulador para las condiciones de funcionamiento establecidas.

6.4.2. Banda de interés

Como se ha dicho al comienzo del estudio del $BP\Sigma\Delta$, los errores de apareamiento en los caminos de señal dan lugar a productos de intermodulación que aparecen dentro de la banda de señal. Es por esta razón por la que la banda de señal se considera una de las bandas laterales a la frecuencia central $f_s/4$.

En la figura 6.6 se muestra el espectro de salida del modulador. La señal de entrada tiene una frecuencia de $0,253 \cdot f_s$. En $f_s/4$ aparece en tono de $-45dB$ de amplitud, lo que equivale a una tensión en valores naturales de:

$$V_{tono} = 1,1 \cdot 10^{-\frac{45}{20}} V = 6,18 mV \quad (6.1)$$

Al introducir la señal de información aparece una imagen simétricamente a la frecuencia central de la banda de paso ($f_s/4$), como se puede observar en la figura 6.6. La amplitud de la imagen está atenuada 45dB respecto de la amplitud de la señal de entrada.

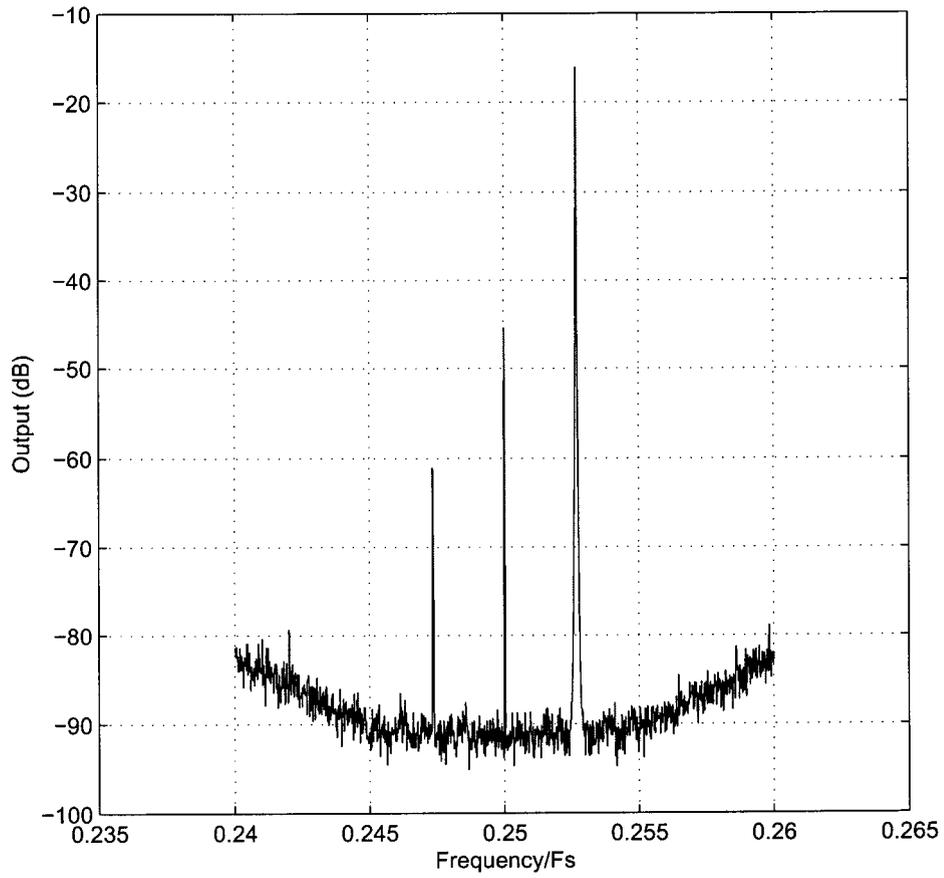


Figura 6.6: Espectro de salida del modulador paso banda.

6.4.3. Medida de SNR y SNDR del modulador $\Sigma\Delta$ paso banda de orden 4.

Se han realizado medidas de SNR para distintas frecuencias de reloj. Como se ha visto en el desarrollo teórico del modulador $\Sigma\Delta$, un incremento de la frecuencia de muestreo implica un incremento del OSR , mejorándose la SNR. También se ha establecido, como frecuencia mínima de trabajo para alcanzar los 14 *bits* de resolución buscados ($DR = 80dB$) en la banda lateral, $f_s = 2,816MHz$. Para medir el modulador se redondea este valor a $f_s = 3 MHz$.

En la figura 6.7 se muestra la curva de SNR y $SNDR$ para una frecuencia de reloj de $f_s = 3MHz$ y una frecuencia de señal de entrada de $f_i = 752,5kHz$. Se ha considerado que la banda de señal es de $f_b = 8kHz$ (frecuencia de Nyquist $f_{Nyquist} = 16kHz$), lateral a la frecuencia central ($f_i = 752,5kHz$). En estas condiciones se ha obtenido un rango dinámico de $83dB$ con un $SNDR$ máximo de $70dB$.

También se han realizado medidas aumentando la frecuencia de muestreo por encima de los $3MHz$. A medida que se aumenta f_s aumenta el OSR y, por tanto, cabe esperar una mejora en el DR del BPM, como se puede observar en la figura 6.8, en la que el BPM se somete a una $f_s = 4MHz$. Aumentando f_s por encima de $4MHz$ no se consiguen incrementos significativos de DR. A mayor frecuencia de reloj, los amplificadores trabajan fuera del rango de frecuencias para lo que fueron diseñados y empieza a degradarse el comportamiento del modulador, por lo que no se presentan resultados a frecuencias superiores a $f_s = 4MHz$.

En el cuadro 6.3 se recogen las principales características obtenidas con el modulador $\Sigma\Delta$ paso banda de orden 4.

6.4.4. Comparación con el modulador prototipo paso-bajo

En el circuito integrado también se ha realizado el prototipo paso bajo. Se han empleado para este circuito los mismos amplificadores (adaptados al modulador LP) con las mismas prestaciones de velocidad y ganancia. En la gráfica 6.9 se muestra la curva de SNR para una frecuencia de $f_s = 3MHz$ y una frecuencia de Nyquist de $f_{Nyquist} = 16kHz$. En el cuadro 6.4 se recogen las principales características obtenidas con el prototipo LP.

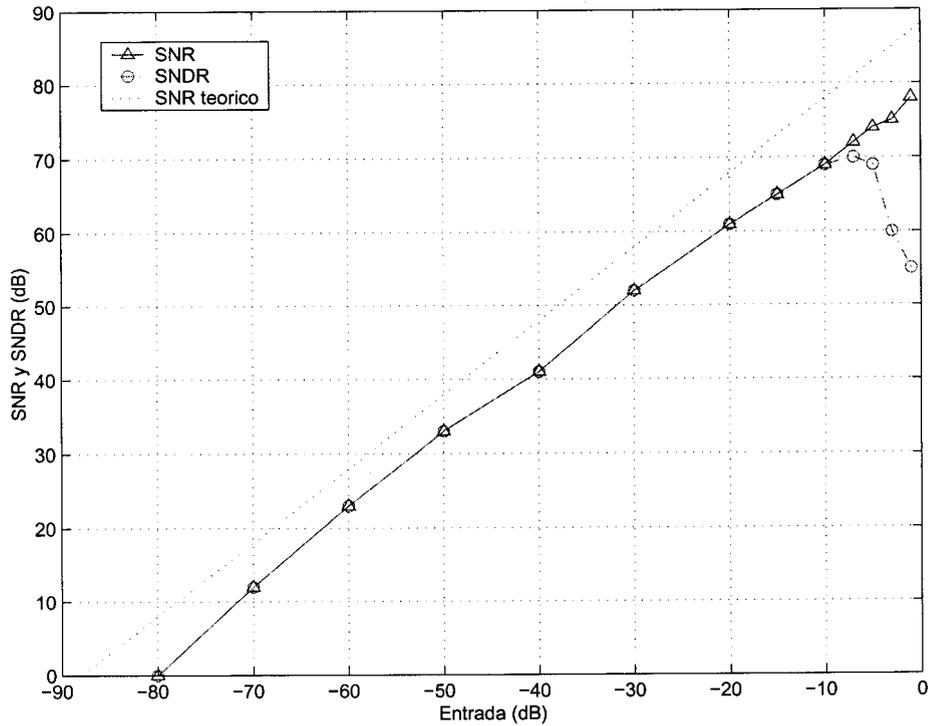


Figura 6.7: SNR y SNDR para $f_s = 3MHz$.

Parámetro	Símbolo	Valor ($f_s = 3MHz$)	Valor ($f_s = 4MHz$)
Tensión de alimentación	V_{dd}	1,1V	1,1V
Frecuencia de Nyquist	$f_{Nyquist}$	16kHz	16kHz
Tasa de sobremuestreo	OSR	187,5	250
Máximo SNDR	$SNDR_{max}$	70dB	79dB
Máximo SFDR	$SFDR_{max}$	90dB	90dB
Máximo SNR	SNR_{max}	79dB	86dB
Rechazo de la señal imagen	RSI	45dB	45dB
Rango dinámico	DR	75dB	83dB
Figura de mérito 1	FOM_1	6,8 pJ	2,7 pJ
Figura de mérito 1	FOM_2	142 dB	151 dB
Consumo	P	< 500μW	< 500μW
Superficie	A	1000x500 μm ²	1000x500 μm ²

Cuadro 6.3: Resultados del modulador $\Sigma\Delta$ paso banda de orden 4.

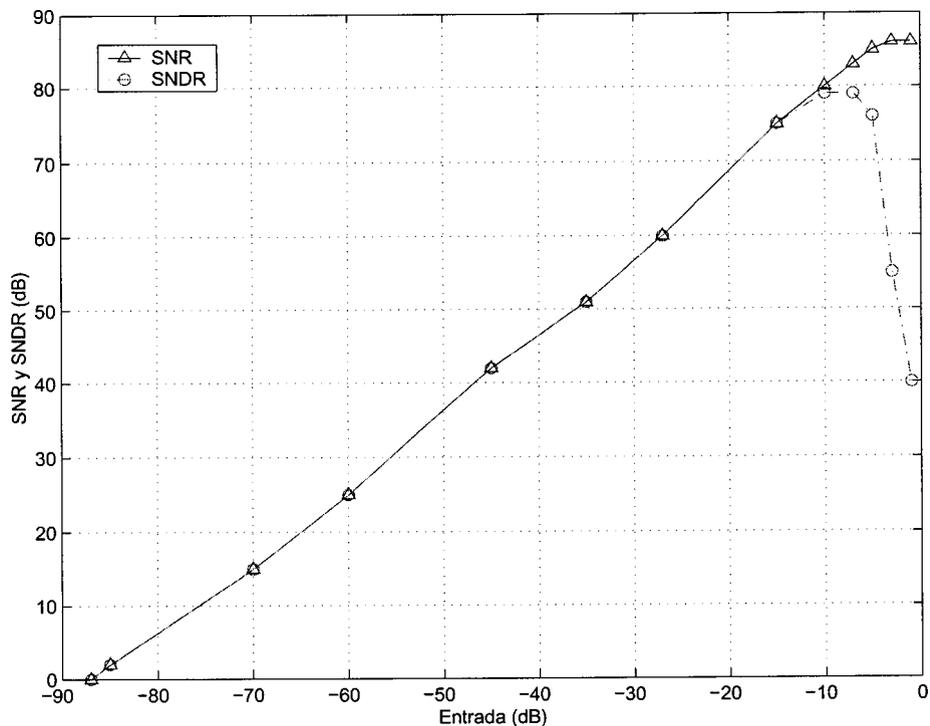


Figura 6.8: SNR y SNDR para $f_s = 4MHz$.

Parámetro	Símbolo	Valor
Máximo SNR	SNR_{max}	82
Rango dinámico	DR	90dB
Consumo	P	$< 500\mu W$
Superficie	A	$1000 \times 500 \mu m^2$
Figura de mérito 1	$FOM 1$	1,2 pJ
Figura de mérito 2	$FOM 2$	163 pJ

Cuadro 6.4: Resultados del modulador $\Sigma\Delta$ prototipo paso bajo.

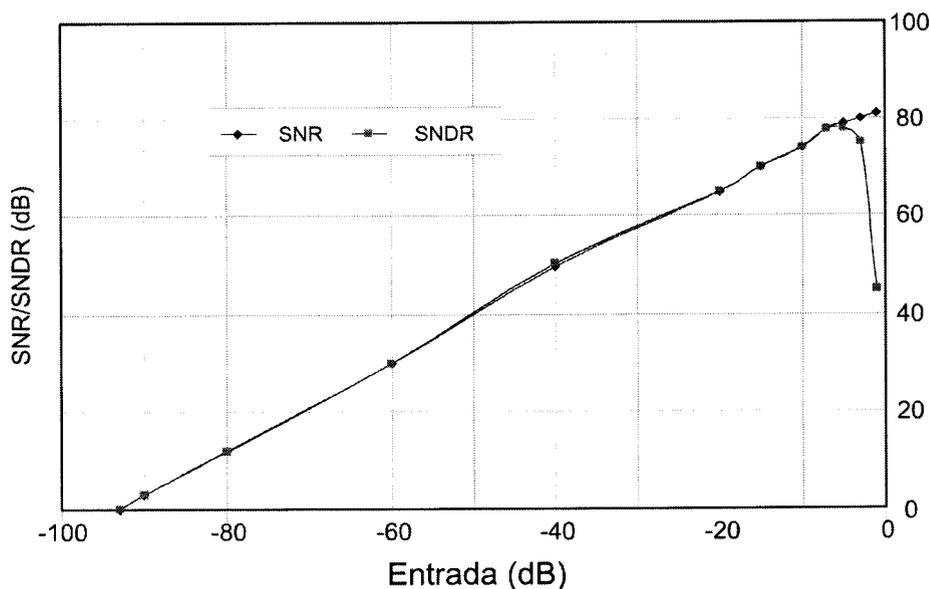


Figura 6.9: SNR y SNDR del prototipo paso bajo.

6.5. Conclusiones

En este capítulo se ha presentado el diseño de un modulador $\Sigma\Delta$ paso banda de orden 4. El circuito funciona a muy baja tensión de alimentación (1,1 V) y tiene un consumo reducido ($< 500\mu W$).

El circuito se ha fabricado en una tecnología CMOS de $0,35\mu m$, ocupando el modulador un área de $1000 \times 500\mu m^2$. La banda de trabajo es la banda lateral a la frecuencia $f_i = f_s/4$, siendo la frecuencia de muestreo $f_s \geq 2,816 MHz$. Las medidas se realizarion con un reloj de $3 MHz$. Para un ancho de banda de $8 kHz$ ($f_{Nyquist} = 16 kHz$) se consigue un rango dinámico de $83 dB$, lo que se traduce en una resolución de 13,5 bits.

En la figura (6.10) se representa gráficamente la figura de mérito ($FOM 1$) de los principales BPM. Con un triángulo se representa la posición que ocuparía el modulador según los objetivos planteados. El prototipo medido se representa mediante un asterisco. En la figura (6.11) se comparan los mismos moduladores, pero esta vez atendiendo a la segunda figura de mérito ($FOM 2$).

En la figura 6.12 se muestra una microfotografía del chip completo.

El diseño a nivel de esquemático del prototipo LP y la tarjeta de adquisición digital han sido hechos por otros miembros del grupo de trabajo en el Departamento de Ingeniería Electrónica. El autor de esta tesis ha realizado

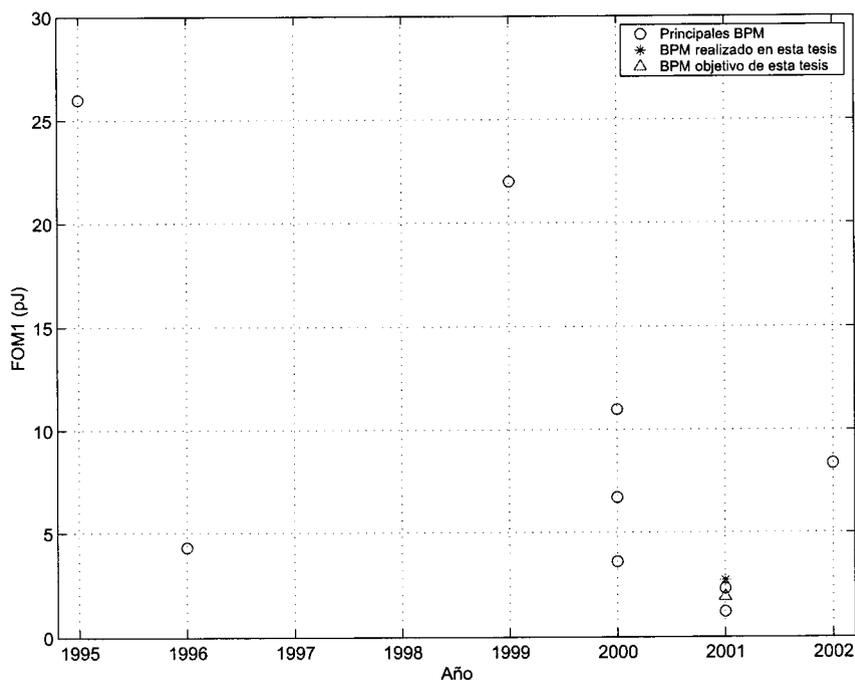


Figura 6.10: Moduladores $\Sigma\Delta$ paso banda publicados recientemente ordenados por su $FOM 1$.

el estudio y diseño del modulador paso-banda, el layout completo del circuito integrado (prototipo LP y $BP\Sigma\Delta$), las mediciones del modulador paso-banda y el sistema de medidas a excepción de la tarjeta de captura digital. Las mediciones del modulador prototipo paso-bajo fueron hechas por otro miembro del grupo de trabajo.

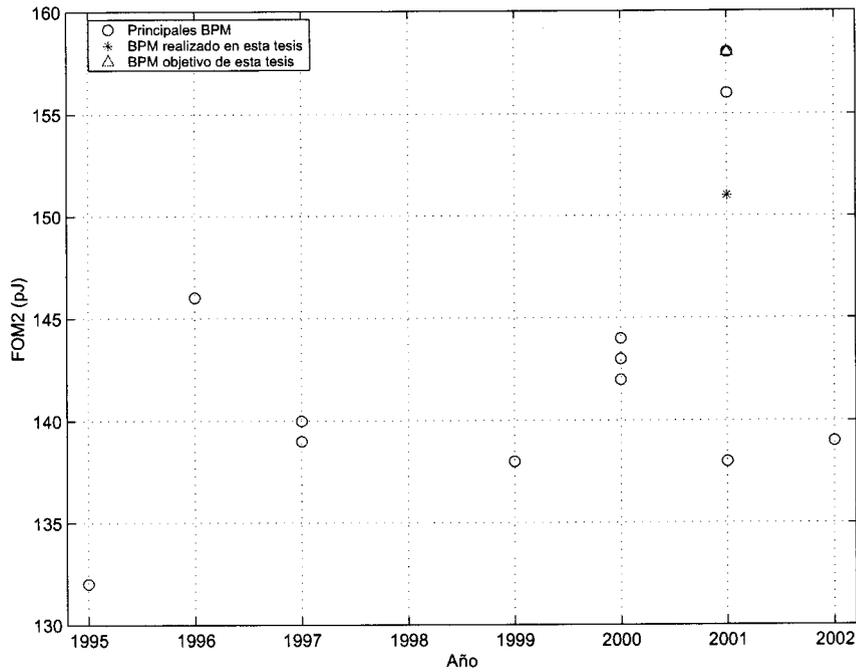


Figura 6.11: Moduladores $\Sigma\Delta$ paso banda publicados recientemente ordenados por su $FOM 2$.

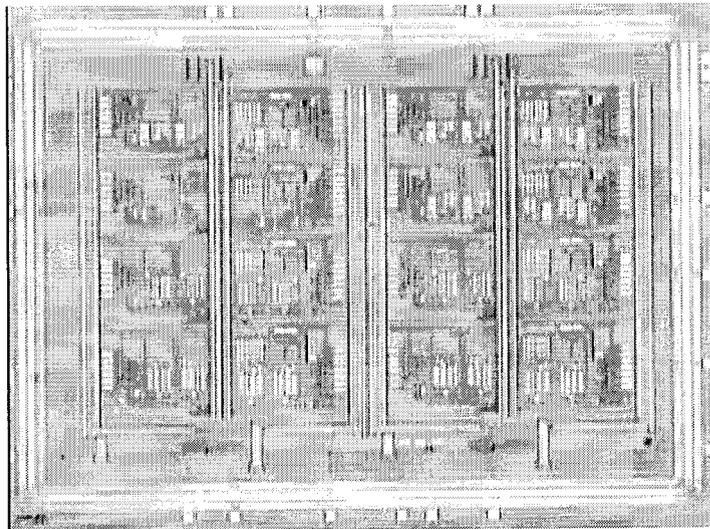


Figura 6.12: Microfotografía del chip.

Capítulo 7

Conclusiones

7.1. Introducción

En este capítulo se recogen las contribuciones y resultados obtenidos así como se proponen futuras líneas de trabajo. Esta investigación ha tenido dos principales enfoques. Por una parte el estudio de nuevas etapas de salida de amplificadores operacionales clase AB que funcionen a muy baja tensión de alimentación. Por otra parte, el diseño de moduladores $\Sigma\Delta$ y su implementación mediante circuitos de baja tensión y reducido consumo.

7.2. Contribuciones y resultados

Se han explorado los circuitos de baja tensión y reducido consumo. Las técnicas estudiadas se han aplicado al diseño de moduladores $\Sigma\Delta$ paso-banda de baja tensión y bajo consumo. Como fruto de esta investigación se ofrecen las siguientes aportaciones:

- Se ha introducido una etapa de salida clase AB basada en la etapa de salida con batería flotante, que reduce el número de dobladores de tensión necesarios para su funcionamiento en baja tensión de alimentación.
- Se ha introducido una segunda etapa de salida clase AB con flipped voltage follower que también funciona a reducidas tensiones de alimentación, aplicable tanto para circuitos SC como para circuitos en tiempo continuo.
- Se ha diseñado un BPM de orden 4 que funciona con una tensión de alimentación de 1,1V y un consumo de $500\mu W$. El modulador alcanza un rango dinámico de $83dB$ (13,5 bits) para una frecuencia de Nyquist de $16kHz$.

7.3. Futuras líneas de investigación

El trabajo presentado demuestra la posibilidad de diseñar moduladores $\Sigma\Delta$ con un consumo muy bajo. El siguiente paso sería su integración dentro de sistemas de comunicaciones, como el descrito en el anexo A. En este circuito se utilizan dos moduladores paso-bajo para implementar el convertidor paso-banda en cuadratura. Este diseño puede mejorarse aplicando las técnicas explicadas con un único modulador paso-banda.

Apéndice A

Aplicación industrial. Convertidor paso banda en cuadratura $\Sigma\Delta$

A.1. Introducción

En el presente apéndice se presenta el desarrollo de un receptor de señales IF diseñado dentro del ámbito del proyecto CICOMBT (Circuitos Integrados para Comunicación por Línea de Potencia de Baja Tensión). El objetivo de este proyecto (CTCBT) es el desarrollo de un transceiver (Transmisor y Receptor) para comunicaciones por línea de potencia. Para ello se va a partir de un circuito similar desarrollado para el proyecto POLICOM. Este esquema de sistema de comunicación se adaptará para las especificaciones del proyecto CICOMBT.

A.2. Antecedentes: proyecto POLICOM

CICOMBT tiene como precursor el proyecto POLICOM (Power Line Communication Modem). POLICOM es un proyecto ESPRIT cuyo objetivo es el diseño de un circuito integrado que incorpora todas las funciones de un modem por línea de potencia. La comunicación se realiza empleando las técnicas de modulación FSK/SFSK, con una velocidad máxima de transmisión de 19 Kbps en la banda CENELEC. El circuito incluye un procesador ARM empujado con periféricos de entrada/salida digitales y analógicos. También incluye las celdas digitales para el procesamiento de las señales FSK/SFSK y una interfaz analógica que emplea un receptor en cuadratura con convertidores $\Sigma\Delta$ de 13 bits de resolución. La característica principal de este sistema es la programabilidad de la tasa binaria de transmisión y de la frecuencia de la portadora.

El esquema completo del sistema se muestra en la figura A.1.

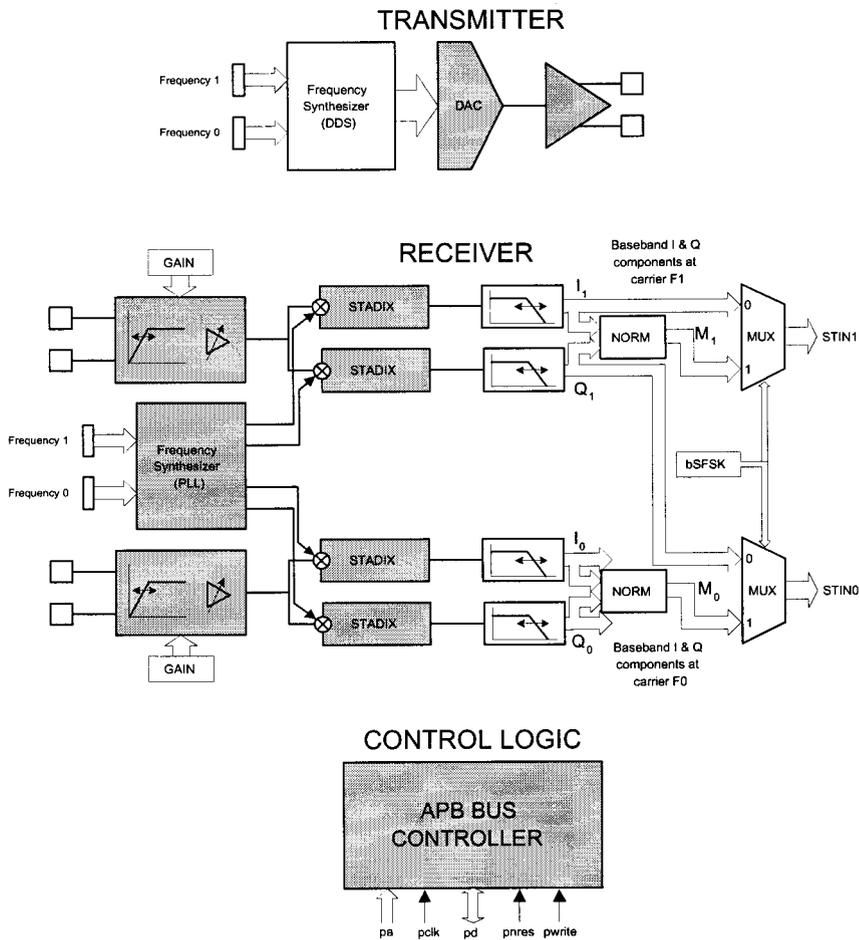


Figura A.1: Sistema de comunicación empleado por POLICOM.

Transmisor

El transmisor debe modular la entrada con el protocolo FSK/SFSK. Para ello cuenta con un sintetizador digital de frecuencias (DDS). Si transmite un bit 1, se genera una senoide de frecuencia f_1 . En el caso de transmitir un cero, la frecuencia ha de ser f_0 . Para conseguir esto y que se mantenga la fase en los cambios de frecuencias, se recurre a un generador digital de señal. La salida del generador (palabras digitales) se convierte a analógico mediante un DAC. En [73, 76] se describe en detalle la modulación FSK.

La modulación FSK puede entenderse como una doble modulación ASK. Es decir, se modulan en amplitud dos portadoras. La primera, centrada en f_1 está modulada por el dato a transmitir. La segunda portadora, f_0 está modulada por el dato negado.

En la figura A.2 se representa el esquema general del transmisor. En función del valor de la entrada, el bloque *Oscilador Digital* genera una señal a frecuencia f_0 ó f_1 . Esta señal se genera de forma digital. La secuencia de palabras digitales resultante se convierte a tensiones analógicas gracias al DAC. Finalmente, la salida es acoplada a la línea de tensión.

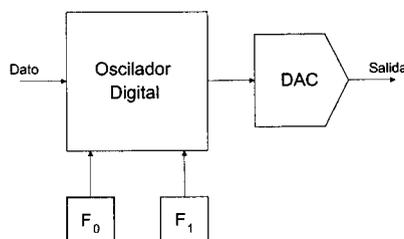


Figura A.2: Generación de la señal en transmisión.

Receptor

Para recuperar la señal existente en el canal (línea de potencia) se va a emplear un demodulador en cuadratura. El receptor va a muestrear el contenido del canal en las dos bandas de transmisión (f_0 y f_1). Para cada banda se va a emplear un canal de recepción. Cada canal, centrado en la frecuencia apropiada demodula la componente recibida y la convierte a digital. Una vez digitalizados los dos canales recibidos se pasa a la toma de decisión del valor del dato recibido. La decisión se realiza digitalmente.

Cada uno de los dos canales del receptor cuenta con una arquitectura en cuadratura. En la figura (A.3) se representa la estructura de uno de los canales del receptor.

En el cuadro A.1 vienen recogidas las especificaciones principales del sistema receptor y, en A.2, las del transmisor.

El diseño arquitectural y la estructura de los principales bloques de POLICOM fue realizada por el grupo de IST dirigido por el profesor Franca. Para el diseño de CTCBT se han tomado estos bloques y se han resiseñado en una tecnología diferente, añadiendo nuevos componentes y proponiendo nuevas

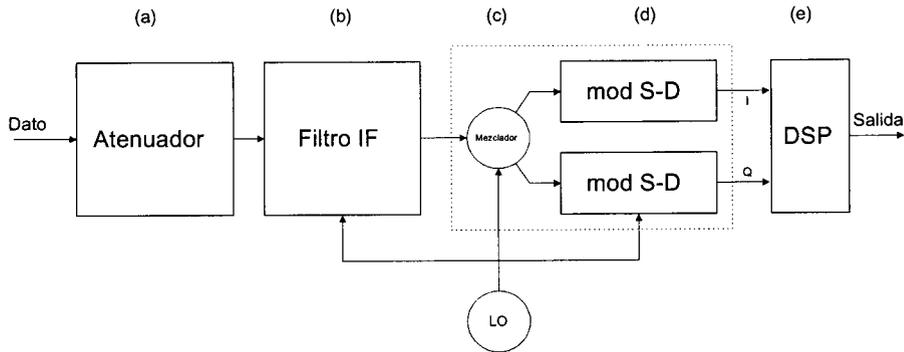


Figura A.3: Estructura de un canal de recepción. (a) Ganancia. (b) Filtro IF paso banda. (c) Mezclador. (d) Moduladores $\Sigma\Delta$. (e) Diezmado y reconstrucción

soluciones a algunos de los existentes. En la siguiente sección se introduce el proyecto CTCBT, comparándose con POLICOM.

Parámetro	Símbolo	Valor típico
Potencia disipada ($V_{dd} = 3V$)	P_d	$2mW$
Resolución máxima	N	$16bits$
Máxima entrada del ADC	$ADCFS$	$2V_{ppdif}$
SNR máx (300 baudios)	-	$80dB$
THD del ADC (máx)	THD	$0,1\%$
Frecuencia de muestreo	f_s	$80KHz$ a $580KHz$
Frec. central del filtro IF	f_o	$f_s/4$ ($\cong 20KHz$ a $145KHz$)
Ancho de banda del filtro IF	B	$f_s/50$ ($\cong 1,6KHz$ a $11,6KHz$)
Ganancia del filtro IF	G	$0dB$, $20dB$ ó $40dB$

Cuadro A.1: Especificaciones del receptor.

A.2.1. Proyecto CTCBT

El proyecto CTCBT parte de este diseño ya hecho para realizar un circuito integrado mejorando las prestaciones de POLICOM. El rediseño se hará en una tecnología de $0,35\mu m$. Entre otras mejoras se reducen los consumos de los distintos bloques. También se introduce un tercer canal para transmitir un tono que será utilizado como señalización. El filtro de frecuencia intermedia será ajustado para conseguir mayor rechazo a frecuencias altas y para cumplir con las especificaciones de ganancia en la banda de paso.

A diferencia con el proyecto POLICOM, en CTCBT se van a utilizar tres bandas de trabajo para llevar a cabo la comunicación. A los dos canales de-

Parámetro	Símbolo	Valor típico
Resolución en frecuencia	F_r	10Hz
Resolución del DAC	$NDAC$	10bits
Corriente de salida máxima	I_{max}	200mA
Distorsión armónica total con I_{max}	THD	80dB
Resistencia de carga	RL	5Ω a 100Ω

Cuadro A.2: Especificaciones del transmisor.

scritos en el apartado anterior se va a sumar un tercero para señalización. La señalización consistirá en un tono a una frecuencia f_p que hará de testigo de la existencia de una comunicación en curso. Esta señal premanecerá fija (en frecuencia y amplitud) durante toda la transmisión.

Transmisor

La etapa transmisora, al igual que en el caso anterior, consiste en un modulador digital seguido de un convertidor DA. La señal generada contiene las componentes correspondientes a la señal de información (canales I y Q) y a la señal piloto.

Las especificaciones del transmisor se recogen en el cuadro A.3

Parámetro	Símbolo	Valor típico
Resolución en frecuencia	f_r	10Hz
Resolución del DAC	$NDAC$	10bits
Corriente de salida máxima	I_{max}	200mA
Distorsión armónica total con I_{max}	THD	80dB
Resistencia de carga	RL	5Ω a 100Ω
Señal Piloto	f_p	102,5kHz

Cuadro A.3: Especificaciones del transmisor.

Receptor

Puesto que la comunicación precisa de tres bandas de frecuencia, el receptor tendrá que detectar cada una de estas tres bandas y demodularlas a fin de recibir los datos transmitidos. El esquema completo del demodulador se muestra en la figura A.4. Para cada una de las tres bandas de frecuencia que contienen información se habilita un canal de recepción. Dos de los canales están centrados en las frecuencias f_I y f_Q para detectar separadamente las dos bandas que componen la transmisión de datos modulados mediante FSK.

La tercera banda recibe la información de la señal piloto. La estructura de los canales de demodulación será idéntica para cada uno de los canales. La información obtenida de ellos alimentará un DSP.

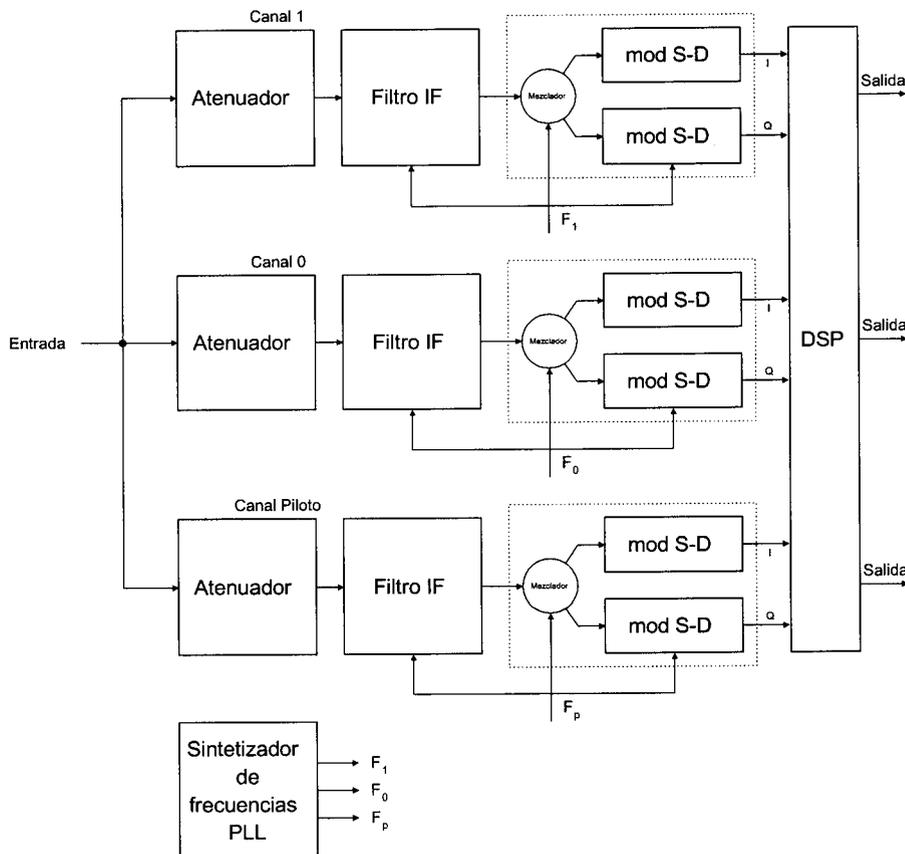


Figura A.4: Esquema de recepción.

El proceso que ha de seguir cada canal del receptor es el siguiente:

1. La amplitud de la señal se ajusta mediante un AGC (Auto Gain Control). La amplitud de la entrada se amplifica o atenúa de forma que la salida digital resultante tenga un valor de amplitud esperado. Para ello la entrada puede sufrir una atenuación de 20dB, una amplificación de 20dB o no modificarse. La amplificación de +20dB (en caso de necesitarse) se realiza en la etapa de filtrado (siguiente punto).
2. El segundo bloque por el que pasa la señal es un filtro paso banda. El filtro presenta caídas de 20dB/dec por encima de f_i (centrado en la frecuencia de cada canal) y de 40dB/dec por debajo de esa frecuencia central. La razón de necesitar mayor grado de atenuación por debajo de la frecuencia central es para poder rechazar la enorme componente de señal de

muy baja frecuencia existente en las líneas de tensión (220V a 50Hz y los armónicos que introducen otros elementos conectados a la red).

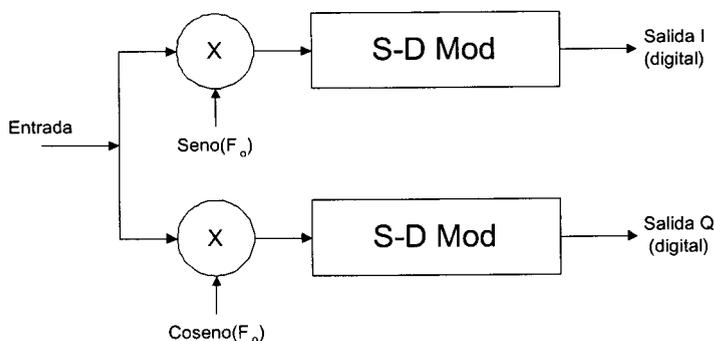


Figura A.5: Convertidor AD $\Sigma\Delta$ en cuadratura.

- La señal debe ser entregada al cliente (DSP). Por ello es necesaria la digitalización de la información. El proceso de demodulación y conversión se realiza por medio de un convertidor AD en cuadratura. El esquema del convertidor se muestra en la figura A.5. La conversión en cuadratura consiste en multiplicar la señal por un seno y un coseno. Las dos salidas resultantes (fase y cuadratura) se suman dando como resultado la señal demodulada. Puesto que la salida ha de ser digital, se hacen pasar las dos fases por sendos moduladores $\Sigma\Delta$ paso bajo. La resolución de conversión ha de ser 13 bits para una tasa de datos de 300 baudios.

En el cuadro A.4 se recogen las especificaciones del receptor

Parámetro	Símbolo	Valor típico
Potencia disipada ($V_{dd} = 3V$)	P_d	???
Resolución máxima	N	16bits
Máxima entrada del ADC	$ADCFS$	$2V_{pp}df$
SNR máx (300 baudios)	-	80dB
THD del ADC (máx)	THD	0,1%
Frecuencia de muestreo	f_s	80KHz a 580KHz
Frec. central del filtro IF	f_o	$f_s/4$ (\cong 20KHz a 145KHz)
Ancho de banda del filtro IF	B	$f_s/50$ (\cong 1,6KHz a 11,6KHz)
Ganancia del filtro IF	G	0dB, 20dB ó 40dB
Frec. de la señal piloto	f_p	102,5kHz

Cuadro A.4: Especificaciones del receptor.

En la próxima sección se describe el diseño del modulador $\Sigma\Delta$ utilizado. Para ello se ha aplicado la técnica de diseño explicada en capítulos anteriores.

A.3. Diseño del modulador $\Sigma\Delta$ paso-bajo

Para cumplir con las especificaciones del diseño del modulador Sigma-Delta analógico a digital especificado, se ha realizado un estudio de las distintas topologías que pueden aplicarse en este diseño. Una vez determinada la más simple que reúne los requisitos se dimensiona y se determinan los parámetros de diseño. Para ello se utiliza la herramienta de simulación de moduladores $\Sigma\Delta$, MIDAS [14] y se realiza un estudio de ruido para determinar los tamaños de capacidades necesarios.

A.3.1. Prestaciones del modulador $\Sigma\Delta$

De la documentación del proyecto CICOMBT se recogen las siguientes especificaciones para el diseño del convertidor Sigma-Delta.

- Banda de señal (f_b): se calcula mediante A.1, siendo f_s la frecuencia de muestreo. La tasa binaria de información es programable y está comprendida entre 300 y 9600 baudios (1 bit por baudio), por lo que la frecuencia de Nyquist (f_{Ny}) de la señal tendrá valores de 600Hz a 19200Hz.

$$f_b = \frac{T_s}{2 \cdot OSR}; f_{Ny} = 2f_b \quad (A.1)$$

- Tasa de Sobremuestreo (OSR): es programable a través del parámetro M y puede variar de $OSR = 8, \dots, 128, 256, 512$ y 1024 . Sólo podrán emplearse aquellas OSR que, mediante la expresión A.2 den valores de f_s válidos (ver siguiente punto). El parámetro programable del sistema (M) es el Factor de Diezmado del filtro *Sinc3*. M toma valores entre 2 y 256.
- Frecuencia de muestreo (f_s): también es programable. Los valores permitidos estarán comprendidos entre $80KHz$ y $580KHz$. Partiendo de los valores programados para la tasa binaria y el sobremuestreo, se calcula la frecuencia de muestreo necesaria (f_s) mediante la expresión A.2.

$$f_s = 2 \cdot OSR \cdot f_b \quad (A.2)$$

- Rango dinámico (DR). La resolución máxima para una tasa de datos de 300 baudios debe ser $DR_{dB} = 80dB$. Este valor se alcanza con la frecuencia de muestreo $f_s = 580KHz$, lo que resulta en $OSR = 966,7$. Este valor de rango dinámico equivale a una ENOB (número efectivo de bits) de 13 bits (ecuación A.3).

$$N_{bits} = \frac{DR_{dB} - 2}{6} \tag{A.3}$$

- Tensión de alimentación de 3.3v .

A.3.2. Estudio del modulador

De las distintas estructuras posibles para el diseño del convertidor, se ha elegido la de segundo orden (figura A.6) pues con ella se alcanzan las especificaciones planteadas. Estructuras de mayor orden no se han tenido en cuenta por su mayor complejidad y consumo, innecesarios para obtener los resultados buscados. A continuación va a analizarse el convertidor de segundo orden a nivel de sistema. Este estudio es similar al realizado en el capítulo 3, por lo que sólo se exponen los resultados obtenidos.

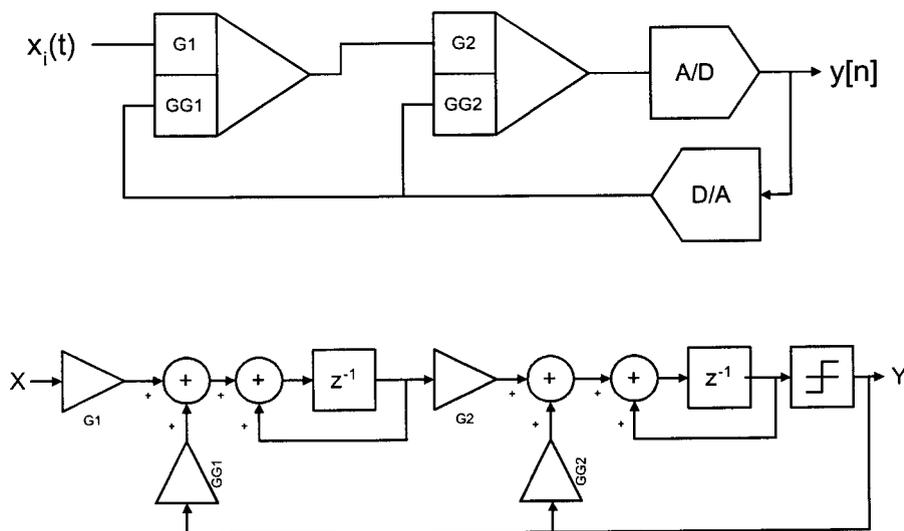


Figura A.6: Modulador $\Sigma\Delta$ de orden 2.

Una vez introducida la estructura en el simulador MIDAS se le han realizado las siguientes simulaciones:

Ganancia de los integradores

Los valores de ganancia de los integradores han de cumplir las condiciones de las ecuaciones A.4 y A.5 para que la función de transferencia del sistema sea válida.

$$gg1 = g1 \tag{A.4}$$

$$gg2 = 2 \cdot gg1 \cdot g2 \quad (\text{A.5})$$

Las simulaciones con MIDAS muestran el valor óptimo cuando $g1 = 0,25$. Con las restricciones de (A.4) y (A.5) se calculan los valores para $gg1$, $g2$ y $gg2$:

$$g1 = 0,25$$

$$gg1 = 0,25$$

$$g2 = 0,5$$

$$gg2 = 0,25$$

SNDR

En la figura A.7 se muestra la característica de SNDR para las relaciones de sobremuestreo (OSR) permitidas en el sistema: 8, 16, 32, 64, 128, 256, 512, y 1024. En el eje X se representa la señal de entrada en dB mientras que en el eje Y se muestra la relación SNDR (incluyendo distorsión) para todos los casos.

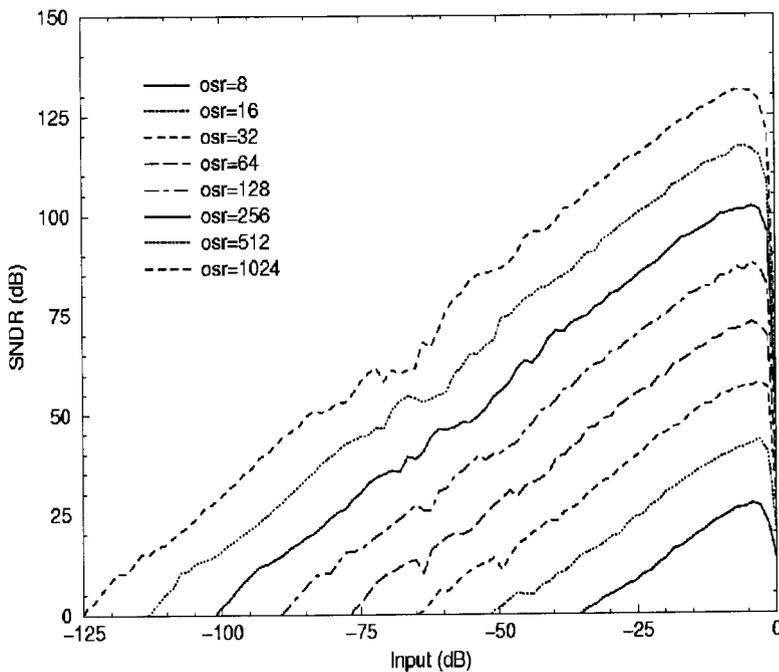


Figura A.7: SNR para distintas OSR.

Las especificaciones requieren que, para una tasa de 300 baudios ($f_{Ny} = 600Hz$), se obtenga un máximo de 13 bits de resolución. En el caso menos restrictivo ($f_s = 580KHz$), $OSR = 966$. Observando la curva correspondiente de la figura A.7, para un OSR menor (p.e. $OSR = 512$) se superan con creces los 13 bits, lo cual cumple con la especificación.

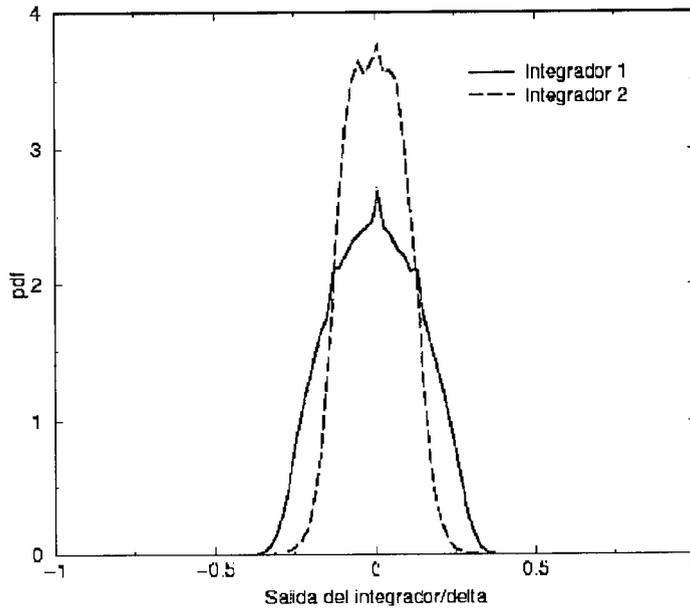


Figura A.8: Histograma de la salida de los integradores.

Rango dinámico a la salida de los integradores

En la figura A.8 se representan los niveles de señal a la salida de los integradores. Esta medida se hace de forma estadística, enfrentando los valores de señal con el número de veces que aparecen a lo largo de la simulación. Puede apreciarse cómo son más frecuentes los valores de señal en torno al modo común (valor 0). Se ha utilizado para esta simulación una entrada de -4dB de amplitud sobre un rango total de 2Vp).

Slew-Rate y ancho de banda mínimos

Para esta simulación se ha supuesto un Amplificador Operacional (AO) de un polo, y se han simulado las pérdidas en SNDR de la salida para distintos valores de Slew-Rate y ancho de banda. En la figura A.9 se representa el Slew-Rate y el Ancho de banda necesarios para alcanzar los objetivos. En el eje de abscisas se representa el número de constantes de tiempo para distintos SRn (Slew-Rate normalizados). Con la expresión A.6 se calculan los valores de SR

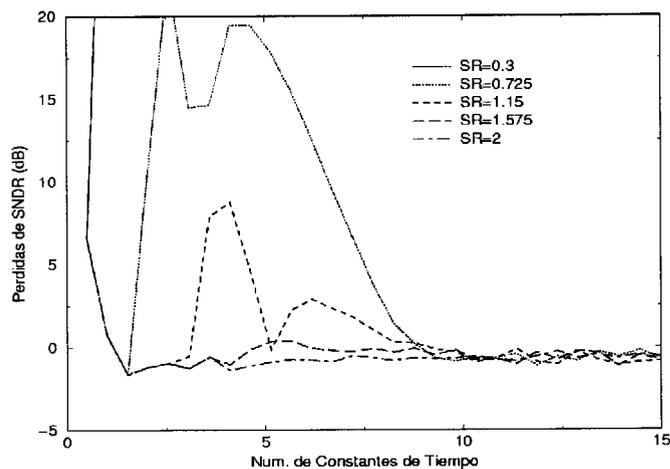


Figura A.9: Prestaciones de los amplificadores.

a partir de los resultados experimentales. Con la expresión A.7 se calcula el valor de la constante de tiempo.

$$SR = SR_n \cdot 2 \cdot f_s \cdot V_{sw} \quad (A.6)$$

$$\tau = \frac{1}{NCT} \frac{0,5}{f_s} = 172nSeg \quad (A.7)$$

Se tienen varias combinaciones de SR y τ que satisfacen las especificaciones. En la primera se considera τ mínima, para lo que tomamos $SR_n > 1,575$. En el segundo caso, se escoge SR_n mínima ($SR_n = 0,725$) y el valor de $\tau = 10$ para evitar pérdidas de SNDR. En ambos casos se considera la frecuencia de muestreo más restrictiva ($f_s = 580KHz$),

CASO A:

$$SR = 1,575, \tau = 5$$

$$Voltios/seg = 6,029V/microSeg$$

CASO B:

$$SR = 0,725, \tau = 10$$

$$Voltios/seg = 2,775V/microSeg$$

Limitación de la salida de los integradores

La figura A.10 muestra cómo afecta el nivel de saturación a la salida. De los resultados se muestra que, a partir de $0,8 \cdot \Delta$, no influye (la saturación) negativamente en los resultados. En el presente proyecto, $\Delta = 0,5V$, lo que significa que la salida de los integradores debe tener un rango mínimo de

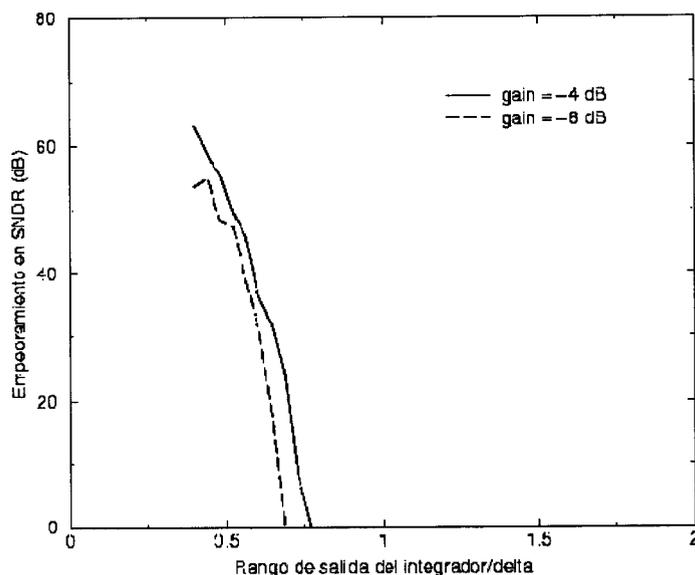


Figura A.10: Sensibilidad a la saturación de los integradores.

fluctuación de entre 1,15V y 2,15V (variación de Δ en torno al modo común de salida).

Cuantizador

Otro de los elementos que puede limitar el rango dinámico del modulador es el comparador (convertidor AD de 1 bit) sito a la salida del segundo integrador. Los efectos negativos sobre el SNDR se deben a no-idealidades en el umbral de decisión o en la histéresis. Desplazamientos en el umbral no tienen efectos apreciables en el SNDR. Por el contrario, la histéresis puede afectar de forma muy negativa de no limitarse (figura A.11). Para minimizar el efecto se utiliza un comparador regenerativo que se resetea a cada ciclo de reloj.

Jitter

El efecto del Jitter sobre la característica de salida se muestra en la figura A.12. Para evitar los efectos del jitter, es necesario que el reloj del sistema tenga un jitter inferior al 0,16 %, lo que no es muy restrictivo ya que es fácil encontrar relojes que superen estas características.

Valores de las capacidades

Una vez realizadas las simulaciones de la estructura, pasamos a concretar el circuito con el que se realizará el modulador. El estudio de ruido se realiza para el caso especificado de señal de 300 baudios y 13 bits de resolución

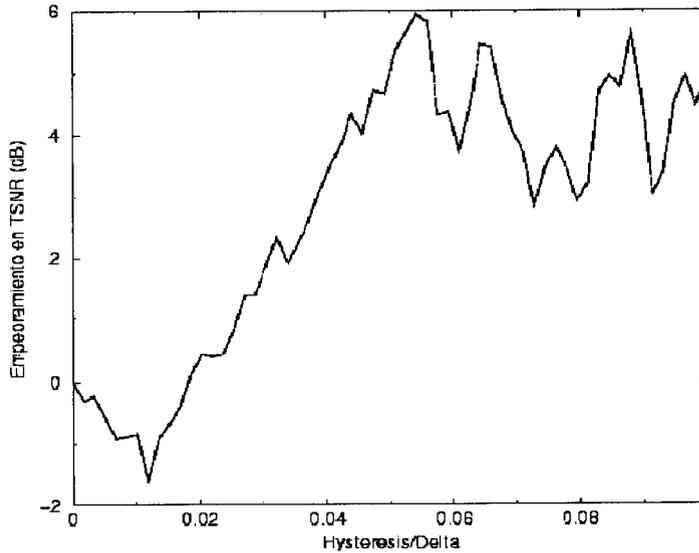


Figura A.11: Sensibilidad con la histéresis del cuantizador.

(80dB). En el peor caso ($f_s = 80\text{KHz}$) se tiene una $OSR = 128$. Partiendo de estas especificaciones se aborda el problema de ruido.

Con el sistema de segundo orden, se obtiene un Rango Dinámico de 84dB para $OSR = 128$ (figura A.7) y el ruido de cuantización se sitúa en -87dB . Considerando con igual peso al ruido de cuantización y al ruido térmico, el rango dinámico se reduce a 81dB, lo que está dentro de las especificaciones.

Por lo dicho anteriormente, se permite un ruido térmico de -87dB en el sistema. El ruido térmico tiene sus fuentes en el muestreo y el ruido generado en el amplificador. Si se divide en partes iguales tenemos $(-87\text{dB}) - (3\text{dB}) = -90\text{dB}$ para cada uno. Estos cálculos están hechos para una tensión de referencia de 0dB (1V). Para una tensión máxima de entrada dada V_{MAX} ($V_{MAX} 2V_{pp}$ según las especificaciones) hay que sumar $20\log(V_{MAX})(\text{dB})$. Para 2V hay que sumar 6dB, lo que resulta un ruido de -84dB sobre la referencia de 2V. Haciendo los cálculos de la potencia de ruido en unidades naturales se tiene que: $P_{wattios} = 10^{P_{dB}/10} = 10^{-84/10} = 3,98\text{nWattios}$.

- El ruido de muestreo responde a la ecuación A.8

$$SN_{in} = \frac{SN_1}{OSR} + \pi^2 \frac{SN_2}{a_1^2 \cdot 3 \cdot OSR} = 3,31\text{nW} \quad (\text{A.8})$$

- SN_i son las potencias de ruido generado por cada etapa de integración A.9. Asumiendo que la primera etapa puede producir el 50% del ruido

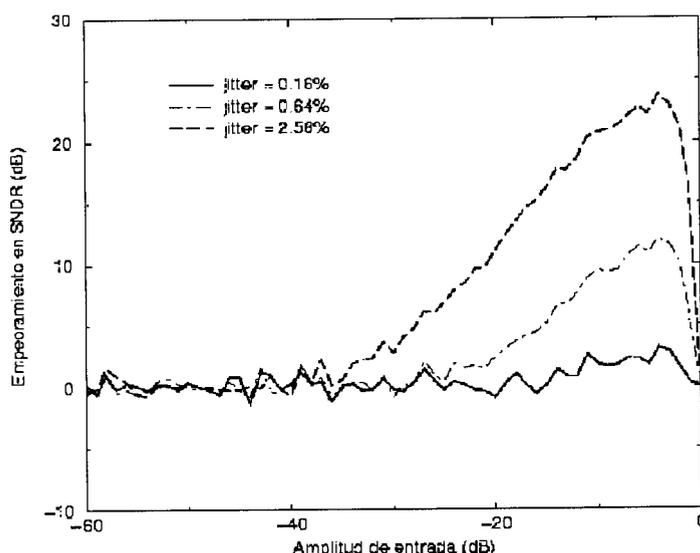


Figura A.12: Sensibilidad con el Jitter del reloj.

total ($SN_1 = 1,99nW$), la segunda etapa el 10% ($SN_2 = 0,398nW$)..., se tienen las ecuaciones A.10 y A.11 para las distintas capacidades mínimas que hacen cumplir los niveles de ruido térmico debido al muestreo:

$$SN_i = K \cdot T \frac{1 + g_m R_s}{C_{s_i}} \quad (A.9)$$

$$C_{s_1} = 2KT \frac{1 + g_m R_s}{SN_{in} OSR} = 0,039 \cdot 10^{-12} \cdot (1 + g_m R_s) \quad (A.10)$$

$$C_{s_2} = 10\pi^2 KT \frac{1 + g_m R_s}{SN_{in} OSR^3 \cdot 3a_1^2} = 0,031 \cdot 10^{-12} \cdot (1 + g_m R_s) \quad (A.11)$$

$$K = 1,38 \cdot 10^{-23} \text{ , } T = 300^\circ K$$

Como se ha dicho anteriormente, los valores de capacidades resultantes están calculados para limitar el efecto del ruido sobre la SNR. Valores superiores de capacidades solamente tendrán efecto en el consumo del sistema. En los casos en los que las capacidades resultantes sean del orden de las capacidades parásitas del circuito, se toman valores más altos para evitar problemas de desapareamientos y desarreglos con las ganancias del integrador. Las capacidades parásitas están en el orden de $5fF$ por lo que no se recomienda dar valores inferiores a los $100fF$ a las capacidades implicadas.

A.3.3. Diseño electrónico del modulador $\Sigma\Delta$ de orden 2

Como se ha dicho en el estudio teórico, se decide tomar un modulador de orden 2 para implementar el CAD. En la figura A.13 se muestra el esquema eléctrico completo.

Funcionamiento del primer integrador

Durante la fase de reloj f_2 se integra el valor de realimentación del comparador (V_{CMO}) a través de la capacidad C_1 . En la fase f_1 se cargan las capacidades C_1 y C_2 a las tensiones $-V_{CDA} - V_{CMI}$ y $V_{IN} - V_{CMI}$, respectivamente. Además de la carga de estas capacidades, durante f_1 se compensa el offset del amplificador mediante la integración de la carga existente en C_3 . En el segundo integrador no tiene influencia apreciable este efecto y se prescinde de la capacidad C_3 que aparece en el primer integrador. Durante la fase f_2 se integran las cargas de C_1 y C_2 , referenciadas a V_{CMO} . El resultado del periodo de integración es el siguiente:

$$\Delta V = \frac{C_{I1}}{C_2}(V_{IN} - V_{CMO}) - \frac{C_{I1}}{C_1}(V_{CDA} - V_{CMO}) \quad (\text{A.12})$$

Funcionamiento del segundo integrador

Puesto que la ganancia de integración en la segunda etapa es igual para las dos ramas entrantes, solamente se necesita una capacidad (C_4). Durante f_2 se produce el muestreo y, durante f_1 , la integración. En el cuadro A.5 se recogen los valores de las capacidades del modulador.

Dispositivo	Capacidad (pF)
C_{I1}	0,7
C_{I2}	0,7
C_1	0,35
C_2	0,7
C_3	0,7
C_4	0,35

Cuadro A.5: Capacidades del modulador $\Sigma\Delta$ de orden 2.

Cuantizador

El esquema del cuantizador puede descomponerse en dos etapas. En la primera etapa (figura A.14) se realiza la comparación entre las señales de entrada. El esquema es el equivalente de tener dos inversores enfrentados, con

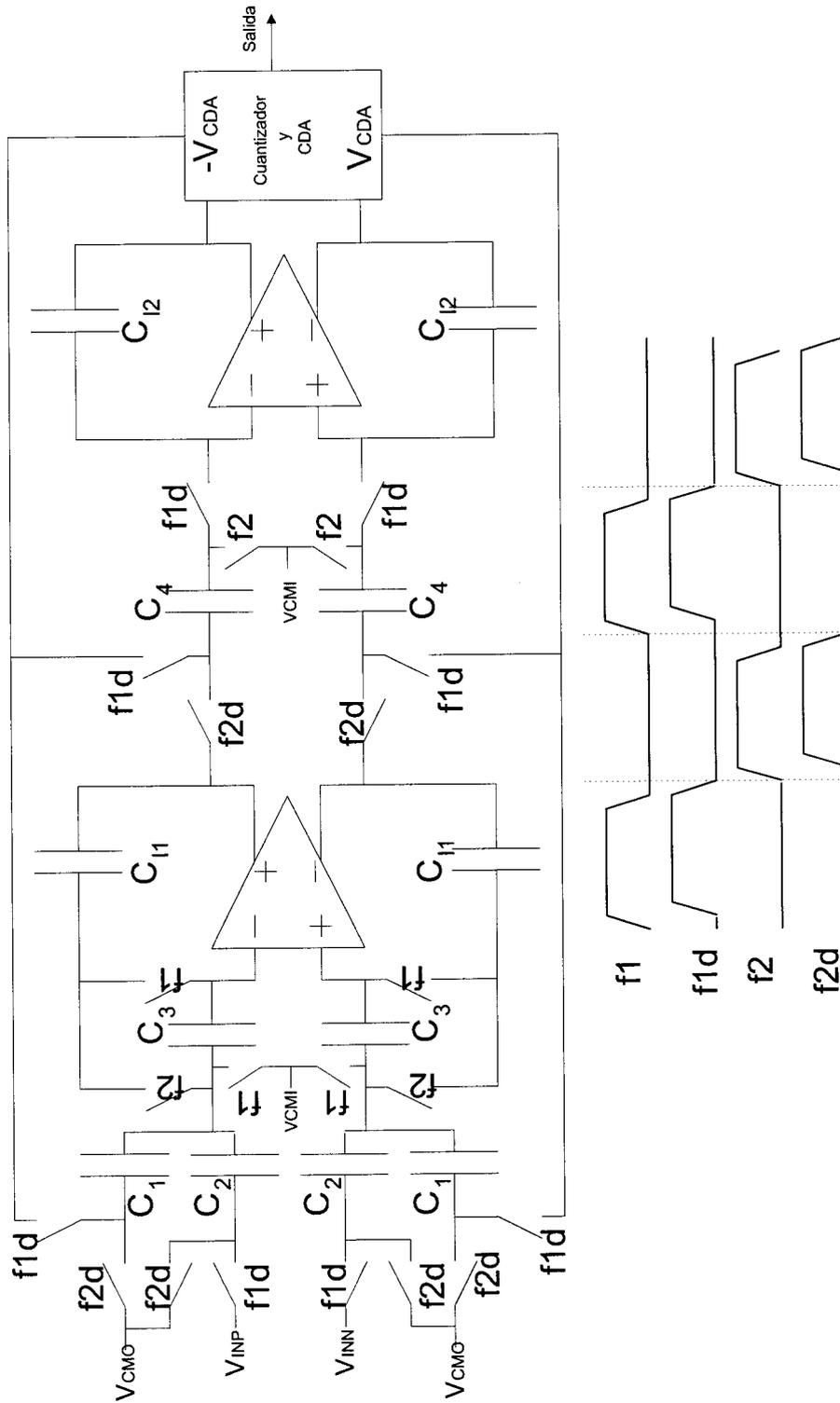


Figura A.13: Esquema electrónico del modulador de orden 2.

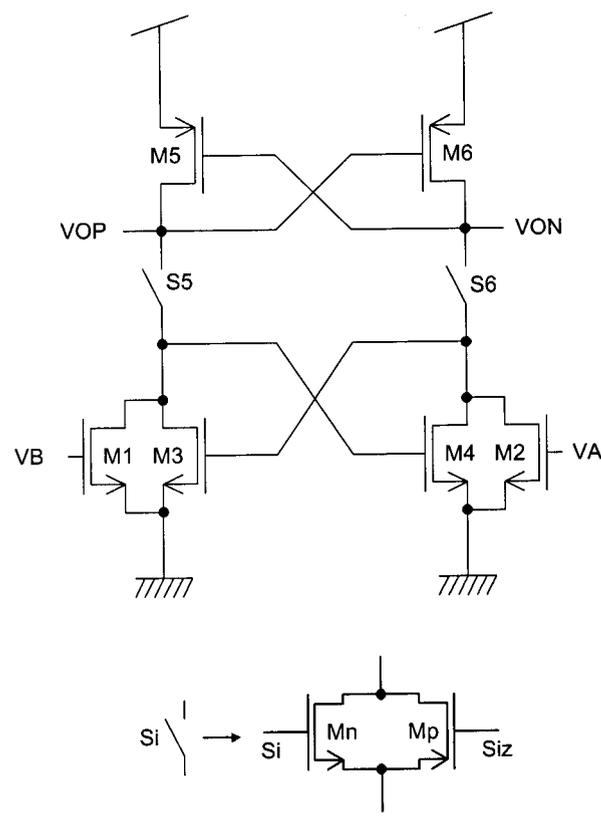


Figura A.15: Segunda etapa del cuantizador (latch).

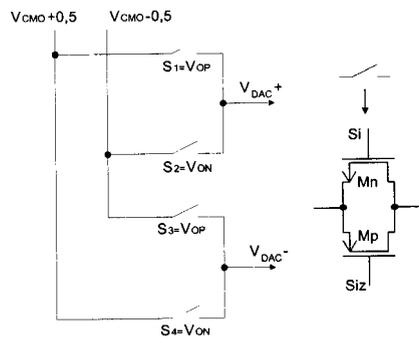


Figura A.16: Convertidor DA.

Entrada del cuantizador	Salida analógica
0	1,15V
1	2,15V

Cuadro A.6: Valores de conversión.

Amplificador

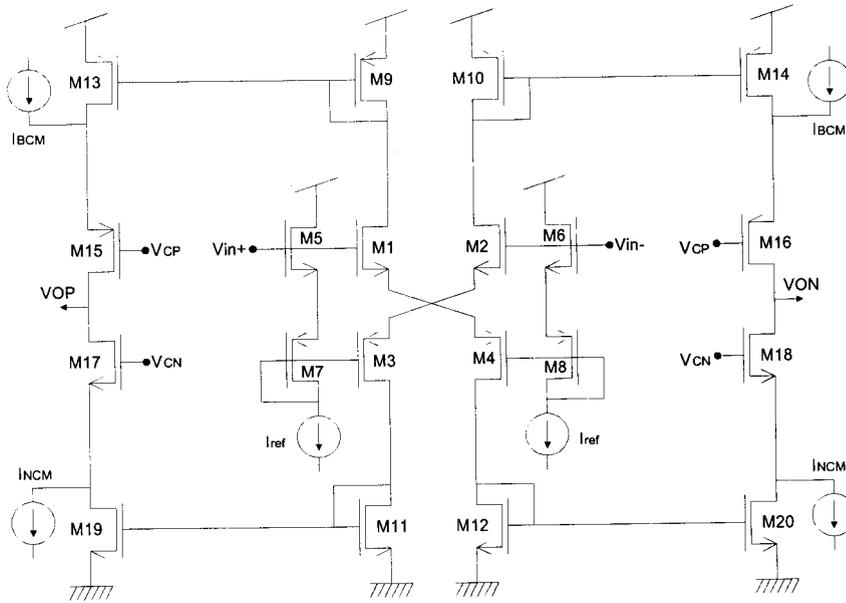


Figura A.17: Amplificador clase AB.

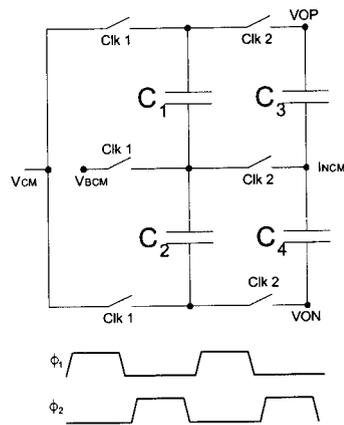


Figura A.18: Circuito de control de modo común.

Para la implementación de los amplificadores, se utiliza el circuito de la figura A.17. Este circuito se describe en [72]. Se trata de un amplificador clase AB. La tensión de salida de modo común se controla mediante el circuito de la figura A.18. El circuito se ha dimensionado para su funcionamiento en la tecnología de $0,35\mu\text{m}$ de AMS, empleándose tanto para el filtro IF como para los moduladores $\Sigma\Delta$. Los tamaños de los transistores y capacidades del

amplificador se recogen en los cuadros A.7 y A.8. Las prestaciones obtenidas mediante simulación se muestran en el cuadro A.9.

Dispositivo	W(μm)	L(μm)	Dispositivo	W(μm)	L(μm)
M1	64	2	M2	64	2
M3	96	2	M4	96	2
M5	64	2	M6	64	2
M7	96	2	M8	96	2
M9	30	1	M10	30	1
M11	50	1,5	M12	50	1,5
M13	30	1	M14	30	1
M15	90	1	M16	90	1
M17	150	1,5	M18	150	1,5
M19	50	1	M20	50	1

Cuadro A.7: Tamaños de los transistores del amplificador clase AB.

Dispositivo	Capacidad (pF)
C1	0,5
C2	0,5
C3	2,5
C4	2,5

Cuadro A.8: Tamaños de la capacidades del circuito de control de modo común.

Simulaciones a nivel de transistor

Una vez diseñado el sistema sigma-delta a nivel de transistor se ha procedido a realizar distintas simulaciones. Las simulaciones se realizan con Spectre y los resultados (salida binaria) se analizan con MATLAB. En las figuras A.19 y A.20 se muestran los resultados de la respuesta en frecuencia para distintos niveles de entrada de señal. La frecuencia está normalizada a la frecuencia de muestreo ($f_s = 1$). Para interpretar las gráficas se procede de la siguiente manera.

- El eje y representa la amplitud de entrada referida a la amplitud máxima (0dB). La amplitud de entrada máxima es de $2V_{pp}$. Según las curvas de simulación de la figura A.7, obtenemos distorsión en la salida (pérdida de SNDR) a partir de una entrada de $-6dB$, lo que equivale a una entrada de $1V_{pp}$.

Parámetro	Símbolo	Valor
Alimentación	V_{dd}	3,3V
Modo común de entrada	V_{CMI}	2,3V
Modo común de salida	V_{CMO}	1,65V
Slew-Rate	SR	2,75V/ μ Sec
Ganancia	G	70dB
Frecuencia de ganancia uninad	FGU	20MHz

Cuadro A.9: Prestaciones del amplificador.

- El eje x representa la frecuencia normalizada. Las pruebas se han realizado con entradas senoidales a una frecuencia f_0 . Para conocer la OSR basta con aplicar la expresión A.13.

$$OSR = \frac{1}{2 \cdot f_0} \quad (A.13)$$

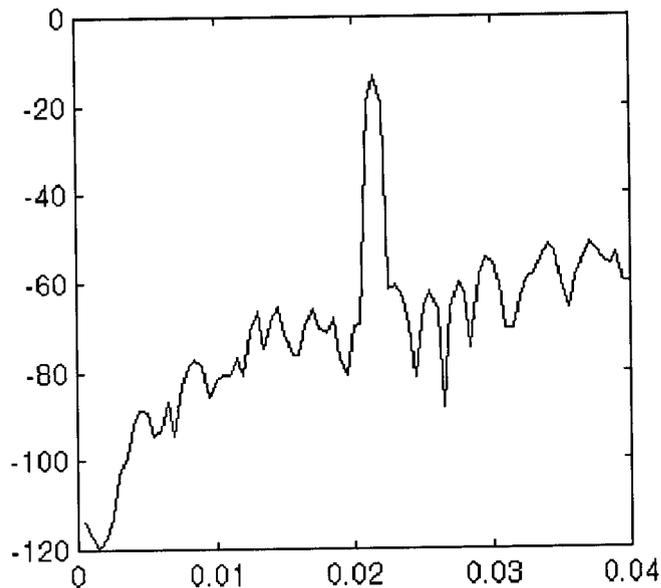


Figura A.19: Simulación con SPECTRE (I).

En la primera gráfica (figura A.19) introduce una entrada con $OSR=24$ y $amplitud=-12dB$. Según los resultados teóricos de la figura A.7 cabe esperar un SNDR de 30 a 35dB. Como puede verse en la figura A.19, la SNDR obtenida

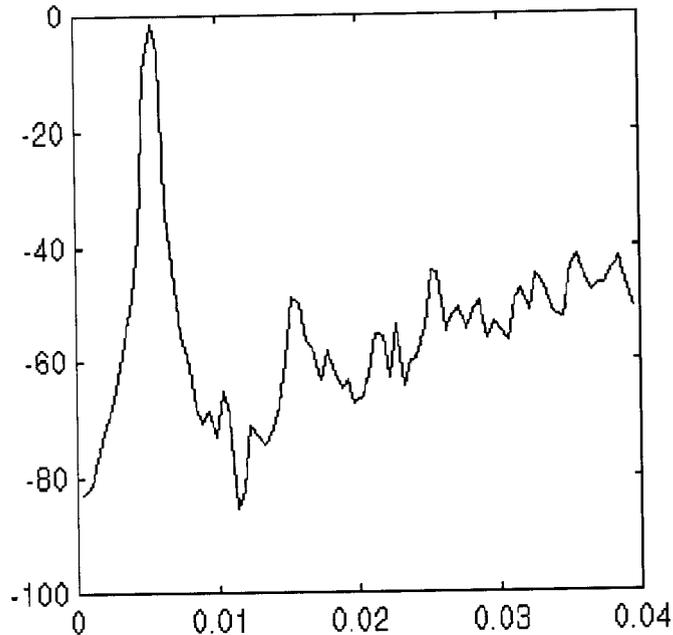


Figura A.20: Simulación con SPECTRE (II).

es: $-12\text{dB} - (-50\text{dB}) = 38\text{dB}$, lo que confirma los valores teóricos. En la segunda gráfica (figura A.20) tenemos una señal a la frecuencia normalizada de 0.005. Su frecuencia de Nyquist es, por tanto, 0.01. La amplitud de la entrada es de 0dB. Observando la gráfica de simulación la SNDR obtenida es: $0\text{dB} - (-50\text{dB}) = 50\text{dB}$. En este segundo caso aparecen unas 'faldas' en torno a la señal de entrada que deterioran la SNDR como muestra la teoría para las señales superiores a -5dB de amplitud (figura A.7).

A.4. Conclusiones

El proyecto descrito en este anexo ha sido realizado por el grupo de trabajo integrado por A. Torralba, R. G. Carvajal, J. Tombs, F. Muñoz y el autor de esta tesis, cuyo trabajo fue el diseño de los moduladores $\Sigma\Delta$ y los filtros paso-banda, a excepción de los amplificadores. También le correspondió la tarea de la realización del layout de la circuitería analógica excluyendo las celdas correspondientes a los osciladores.

backmatter

Bibliografía

- [1] R. Schreier S. Norsworthy and G. Temes. "**Delta-Sigma Data Converters, Theory, Design, and Simulation**". IEEE Press, 1997.
- [2] W. Sansen, R. J. Van De Plassche and J. H. Huijsing. "**Analog Circuit Design MOST RF circuits, Sigma-Delta Converters and Translinear circuits**". Kluwer Academic Publishers, 1996.
- [3] J. A. Cherry and W. M. Snelgrove. "**Continuous-time Delta-Sigma Modulators for High-Speed A/D Conversion. Theory, Practice and Fundamental Performance Limits**". Kluwer Academic Publishers, 2000.
- [4] V. Peluso, M. Steyaert and W. Sansen. "**Design of Low-Voltage Low-Power CMOS Delta-Sigma A/D Converters**". Kluwer Academic Publishers, 1999.
- [5] S. Rabii, B. A. Wooley. "**Design of Low-Voltage, Low-Power Delta-Sigma Modulators**". Kluwer Academic Publishers, 1999.
- [6] F. Medeiro, A. Perez-Verdu. A. Rodriguez-Vazquez. "**Top-Down Design of High-Performance Sigma-Delta Modulators**". Kluwer Academic Publishers, 1999.
- [7] R. J. Van De Plassche. "**Integrated Analog-to-Digital and Digital-to-Analog Converters**". Kluwer Academic Publishers, 1994.
- [8] Thomas E. Stichelbout. "**Delta sigma modulation in RF transmitters**". Aalborg University, Denmark, Sept. 1999.
- [9] J. van Engelen and R. J. Van De Plassche. "**Bandpass Sigma Delta Modulators**". Kluwer Academic Publishers, 1999.
- [10] Lowis Albert Williams III. "**Modeling and design of high-resolution sigma-delta modulators**". Ph.D. Thesis, Stanford University, 1993.
- [11] P. Kiss. "**Adaptive Digital Compensation of Analog Circuit Imperfections for cascaded Delta-Sigma Analog-to-Digital Converters**". University of Timisoara, August 20, 1999.

- [12] Arnold R. Feldman. "**High-Speed, Low-Power Sigma-Delta Modulators for RF Baseband Channel Applications**". Phd. Thesis. University of California, Berkeley.
- [13] James C. Candy, Gabor C. Temes. "**Oversampling Delta-Sigma Data Converters. Theory, Design, and Simulation**". IEEE Press.
- [14] L.A. Williams III, and B.A. Wooley. "**MIDAS a functional simulator for mixed digital and analog sampled data systems**". IEEE International Symposium on Circuits and Systems, Mayo 1992.
- [15] Ali Tabatabaei and Bruce A. Wooley. "**A Two-Path Bandpass Sigma-Delta Modulator with extended Noise Shaping**". IEEE Journal of Solid State Circuits, vol. 35, no.12, pp. 1799-1809, December 2000.
- [16] Adrian K. Ong. "**A two-Path Bandpass $\Sigma\Delta$ Modulator for Digital IF Extraction at 20 MHz**". IEEE Journal of Solid State Circuits, vol.32, no.12, pp.1920-1933, December 1997.
- [17] Armond Hairapetian. "**An 81-MHz IF Receiver in CMOS**". IEEE Journal of Solid State Circuits, vol.31, no.12, pp.1981-1996, December 1996.
- [18] Shen-Iuan Liu, Chien-Hung Kuo, Ruey-Yuan Tsai, and Jingshown Wu. "**A Double Sampling Pseudo-Two-Path Bandpass $\Sigma\Delta$ Modulator**". IEEE Journal of Solid State Circuits, vol.35, no.2, pp.276-280, February 2000.
- [19] Bang-Sup Song. "**A Fourth-Order Bandpass Delta-Sigma Modulator with reduced number of Op Amps**". IEEE Journal of Solid State Circuits, vol.30, no.12, pp.1309-1315, December 1995.
- [20] Seyfi Bazarjani and Martin Snelgrove. "**A 40 MHz IF Fourth-Order Double-Sampled SC Bandpass $\Sigma\Delta$ Modulator**". IEEE Symposium Circuits and Systems, June 9-12, 1997, Hong Kong.
- [21] Hai Tao and John M. Khoury. "**A 400-Ms/s Frequency Translating Bandpass Sigm-Delta Modulator**". IEEE Journal of Solid State Circuits, vol.34, no.12, pp.1741-1752, December 1999.
- [22] Paolo Cusinato. "**A 3.3-V CMOS 10.7-MHz Sixth-Order BandPass $\Sigma\Delta$ Modulator with 74-dB Dynamic Range**". IEEE Journal of Solid State Circuits, vol.36, no.4, pp.629-636, abril 2001.
- [23] Adrian K. Ong Bruce A. Wooley . "**A two-path bandpass $\Sigma\Delta$ modulator for digital IF extraction at 20 MHz**". IEEE Journal of Solid State Circuits, vol.32, pp.1920-1934, December 1997.

- [24] Minkyu Song, Jaejin Park, and Euro Joe. "**A Fully-Integrated 5MHz-IF Digital FM Demodulator**". IEEE Integrated Circuits Conference, 24.5.1, 1997.
- [25] Lucien J. Breems, Eric J. van der Zwan and Johan H. Huijsing . "**A 1.8-mW CMOS $\Sigma\Delta$ modulator with integrated mixer for A/D conversion of IF signals**". IEEE Journal of Solid State Circuits, vol.35, pp. 468-475,bril 2000.
- [26] Stephen A. Jantzi, Kenneth W. Martin, Adel S. Sedra . "**Quadrature bandpass $\Sigma\Delta$ modulation for digital radio**". IEEE Journal of Solid State Circuits, vol.32, pp.1935-1950, December 1997.
- [27] Stephen A. Jantzi, W. Martin Snelgrove, Paul F. Ferguson Jr. "**A fourth-order bandpass sigma-delta modulator**". IEEE Journal of Solid State Circuits, vol.28, pp.282-291, Marzo 1993.
- [28] Vittorio Comino and Allen C. Lu. "**A Bandpass Sigma-Delta Modulator IC with Digital Branch-Mismatch Correction**". IEEE Custom Integrated Circuits Conferenec, 7.6.1, 1999.
- [29] Vincent S.L. Cheung, Howard C. Luong and W.H. Ki. "**A 1V 10.7 MHz Switched-Opamp Bandpass $\Sigma\Delta$ Modulator Using Double-Sampling Finite-Gain-Compensation Technique**". IEEE International Solid State Circuits Conference, 2001.
- [30] Thomas Burger and Qiuting Huang. "**A 13.5mW, 185MSample/s $\Sigma\Delta$ -Modulator for UMTS/GSM Dual-Standar IF Reception**". IEEE International Solid State Circuits Conference, 2001.
- [31] David Robertson. "**Specifications and Figures of Merit for Mixed-Signal Circuits - A guide to Understanding Where the numbers Come From and What They Mean**". IEEE International Solid State Circuits Conference, February 3, 2002.
- [32] L. Longo and B.R. Horng. "**A 15-bit 30kHz bandpass sigma-delta modulator**". IEEE International Solid State Circuits Conference Digest of Techncal papers, February, 1993.
- [33] Teemu Salo, Saska Lindfors, and Kari A. I. Halonen. "**A 80-MHz Bandpass $\Sigma\Delta$ Modulator for a 100-MHz IF Receiver**". IEEE Journal of Solid State Circuits, vol.37,No.7, Julio 2002.
- [34] Vincenzo Peluso, Peter Vancoreland, Augusto M. Marques, Michel S. J. Steayert and Willy Sansen. "**A 900-mV Low Power $\Sigma\Delta$ A/D Converter with 77-dB Dynamic Range**". IEEE Journal of Solid-State Circuits. vol.33, no. 12, December 1998.

- [35] Mohamed Dessouky and Andreas Kaiser. "Very Low-Voltage Digital-Audio $\Sigma\Delta$ Modulator with 88-dB Dynamic Range Using Local Switch Bootstrapping". IEEE Journal of Solid-State Circuits. vol.36, no. 3, March 2001.
- [36] Kuan-Dar Chen and Tai-Haur Kuo. "An Improved Technique for reducing Base-Band Tones in Sigma-Delta Modulators Employing Data-Weighted averaging algorithm without adding Dither". IEEE Trans. on Circuits and Systems- II, Analog and Digital Signal Processing, vol.46, no.1, January 1999.
- [37] Steven R. Norsworthy, Irving G. Post and H. Scott Fetterman. "A 14-bit 80-kHz Sigma-Delta A/D Converter: Modeling, Design, and Performance Evaluation". IEEE Journal of Solid-State Circuits. vol.24, no. 2, April 1989.
- [38] Augusto MARques, Vincenzo Peluso, Michael Steyaert and Willy M. Sansen. "Optimal Parameters for $\Sigma\Delta$ Modulator Topologies". IEEE Trans. on Circuits and Systems- II, Analog and Digital Signal Processing, vol.45, no.9, September 1998.
- [39] Bhagwati P. Agrawal and Kishan Shenoi. "Design Methodology for $\Sigma\Delta M$ ". IEEE Trans. Commun., vol. COM-31, pp. 360-370, March 1983.
- [40] S. Rabii and Bruce Wooley. "A 1.8-V 5,4mW digital audio $\Sigma\Delta$ modulator in $1,2\mu m$ CMOS". Proc. IEEE International Solid-State Circuits Conference, 1996.
- [41] S. Rabii and Bruce Wooley. "A 1.8-V digital audio $\Sigma\Delta$ modulator in $0,8\mu m$ CMOS". IEEE Journal of Solid-State Circuits n.32. pp.783-796, Jun, 1999.
- [42] V. Peluso, M. Steyaert, and W. Sansen. "A 1.5-v, $100\mu w$ modulator with 12-bit dynamic range using the switched opamp technique". IEEE Journal of Solid-State Circuits n.32. pp.943-952, Jul, 1997.
- [43] E. van der Zwan. "A 2.3 mw CMOS $\Sigma\Delta$ modulator for audio applications". Proc. of the IEEE International Solid-State Circuits Conference, pp.220-221, 1997.
- [44] E. van der Zwan and E. Dijkmans. "A 0.2mw CMOS $\Sigma\Delta$ modulator for speech coding with 80dB dynamic range". Journal of Solid-State Circuits n.35. pp.1873-1888, Dec, 1996.
- [45] E. van der Zwan, K. Philips, and C. Bastiaansen "A 10.7MHz IF-baseband $\Sigma\Delta$ a/d conversion system for AM/FM radio receivers". Journal of Solid-State Circuits n.35. pp.1810-1819, Dec, 2000.

- [46] C. Wang. "A 20-bit 25KHz delta-sigma A/D converter utilizing a frequency-shared chopper stabilization scheme". Journal of Solid-State Circuits n.36. pp.566-569, Mar, 2001.
- [47] F. Muñoz, A. P. Vegaleal, R. G. Carvajal, A. Torralba, J. Tombs and J. Ramírez-Angulo. "A 1.1V Low-Power $\Sigma\Delta$ Modulator For 14-b 16KHz A/D Conversion". Proc. of the IEEE International Solid-State Circuits Conference, 2002.
- [48] A.Torralba, R.G.Carvajal, J.Ramirez-Angulo, J.Martinez and A.P.Vegaleal. "Class AB output stages for low voltage CMOS opamps with accurate quiescent current control by means of dynamic biasing". Proc of the XV Design onCircuits and Integrated Systems Conference, DCIS'2000, Montpellier, France.
- [49] R.G.Carvajal, A.Torralba, J.Ramirez-Angulo, J.Tombs and F.Muñoz. "Low Voltage class AB output stages for CMOS op-amps using floating capacitors". Proc. of the International Symposium on Circuits and Systems, ISCAS'2001, Sydney, Australia.
- [50] Pierre Favrat, Philippe Deval, Michel J. Declercq. "A high-efficiency CMOS voltage doubler". IEEE Journal of Solid-State Circuits, vol. 33, pp. 410 - 416, Marzo 1998.
- [51] Takayuki Kawahara, Syun-ichi Saeki, Yusuke Jyouno, Naoki Miyamoto, Takashi Kobayashi, Katsutaka Kimura. "Internal voltage generator for low voltage, quarter-micrometer flash memories". IEEE Journal of Solid-State Circuits, vol. 33, pp. 126 - 132, Enero 1998.
- [52] Monticelli, D.M. "A quad CMOS single-supply op amp with rail-to-rail output swing". IEEE Journal of Solid-State Circuits, 1986, n.21, pp.1026-1034.
- [53] J. Ramírez-Angulo, R.G. Carvajal, J. Tombs, and A. Torralba. "A simple technique for opamp continuous time 1V supply operation". Eletron. Lett. 1999, nr.35, pp.263-264.
- [54] F. You, S. H. K. Embabi, and E. Sanchez-Sinencio. "Low-Voltage class AB buffers with quiescent current control". IEEE Journal of Solid-State Circuits, 1998,n.33,pp.915-920.
- [55] De Langen, and H. J. Huising. "Compact Low-Voltage power-efficient operational amplifier cells for VLSI". IEEE Journal of Solid-State Circuits, 1998,n.33,pp.1482-1496.
- [56] Ramón González Carvajal. "Aportaciones al Diseño Microelectrónico de Controladores Borrosos y Neuronales: automatización y realización". Sevilla, 15 de Mayo de 1999.

- [57] F. Chen and B. Leung. "A 0.25mw low-pass passive sigma-delta modulator with built-in mixer for a 10mhz if input ". IEEE J. Solid-State Circuits, 32:774-782, Jun. 1997.
- [58] S. Au and B. Leung. "A 1.95v, 0.34mw, 12-b sigma-delta modulator stabilized by local feedback loops ". IEEE J. Solid-State Circuits, 32:321-328, Mar. 1997.
- [59] A. Feldman, B. Boser, and P. Gray. "A 13-bit 1.4-ms/s sigma-delta modulator for rf baseband channel applications ". IEEE J. Solid-State Circuits, 33:1462-1469, Oct. 1998.
- [60] E. Fogleman, J. Welz, and I. Galton. "An audio adc delta-sigma modulator with 100-dB peak sinad and 102-dB DR using a second-order mismatch-shaping dac". IEEE J. Solid-State Circuits, 36:339-348, Mar. 2001.
- [61] I. Fujimori, L. Longo, A. Hairapetian, K. Seiyama, S.Kosic, J. Cao and S. Chan "A 90dB snr 2.5 MHz output rate adc using cascaded multibit delta-sigma modulation at 8 oversampling ratio". IEEE J. Solid-State Circuits, 35:1820-1828, Dec. 2000.
- [62] Y. Geerts, A. Marques, M Steyaert and W. Sansen. "A 3.3 v,15bit, delta-sigma adc with a signal bandwidth of 1.1 MHz for ADSL applications". IEEE J. Solid-State Circuits, 34:927-936, Jul. 1999.
- [63] Y. Geersrsabd, M. Steyaert, and W. Sansen. "A high-performance multibit $\sigma\delta$ cmos adc". IEEE J. Solid-State Circuits, 35:1829-1840, Dec. 2000.
- [64] D. Kasha, W. Lee, and A. Thomsen. "A 16-mw, 120dB linear switched-capacitor delta-sigma modulator withdynamic biasing". IEEE J. Solid-State Circuits, 34:921-926, Jul. 1999.
- [65] A. Marquez, V. Peluso, M. Steyaert, and W. Sansen. "A 15b resolution 2-MHz nyquist rate $\sigma\delta$ adc in a 1μ CMOS technology ". IEEE J. Solid-State Circuits, 33:1065-1075, Jul. 1998.
- [66] P. Maulik, M. Chadha, W. Lee, and P. Crawley. "A 16-bit 250kHz delta-sigma modulator and decimator filter". IEEE J. Solid-State Circuits, 35:458-467, Apr. 2000.
- [67] F. Medeiro, A. Perez-Verdu, and A. Rodriguez-Vazquez. "A 13-bit, 2.2-ms/s 55mw multibit cascade $\sigma\delta$ modulator in CMOS $0,7\mu m$ single poly technnology". IEEE J. Solid-State Circuits, 34:748-760, Jun. 1999.

- [68] J. Morizio, M. Hoke, T. Kocak, C. Geddie, C. Hugges, J. Perry, S. Madhavapeddi, M. Hodd, G. Lynch, H. Kondoh, T. Kumamoto, T. Okuda, H. Noda, M. Ishiwaki, T. Miki, and M. Nakaya. "**14-bit, 2.2-ms/s, sigma-delta adc's**". IEEE J. Solid-State Circuits, 35:968-976, Jul. 2000.
- [69] A. Nagari, A. Mecchia, E. Viani, S. Pernici, P. Confalonieri, and G. Nicollini. "**A 2.7-v 11.8mw baseband adc with 72-dB dynamic range for GSM applications**". IEEE J. Solid-State Circuits, 35:798-806, Jun. 2000.
- [70] P.R. Gray and R.G. Meyer. "**Analysis and Design of Analog Integrated Circuits**". Wiley, 1993.
- [71] Rolf Schaumann, M.S. Ghausi and Kenneth R. Laker. "**Design of analog filters. Passive, Active RC, and Switched Capacitor**". Prentice Hall Series in Electrical and Computer Engineering, 1990.
- [72] Rinaldo Castello, and Paul R. Gray. "**A High Performance Micropower Switched-Capacitor Filter**". IEEE Journal of Solid-State Circuits, Diciembre 1985.
- [73] Simon Haykin. "**Communication Systems**". John Wiley & sons, inc., 2001.
- [74] Proakis, Manolakis. "**Tratamiento Digital de Señales. Principios, algoritmos y aplicaciones**". Prentice Hall, 1998.
- [75] S. D. Stearns and R. A. David. "**Signal Processing Algorithms in Matlab**". Prentice Hall, 1996.
- [76] Alan V. Oppenheim, Alan S. Willsky. "**Signals and Systems**". Prentice Hall, 1992.
- [77] R. Schreier, M. Goodson, B. Zhang. "**An algorithm for computing convex positively invariant sets for delta-sigma modulators**". IEEE Trans on Circuits and Systems I: Fundamental Theory and Applications, vol 44, no. 1, pp38-44, Jan. 1977.
- [78] E. I. Juri. "**Theory and application of the z-transform method**". John Wiley & sons, inc., New York, 1964.
- [79] A. Lyapunov. "**Problème général de la stabilité du mouvement**". Ann. of Math Study #17, Princeton, 1947.
- [80] K. Chao, S. Nadeem, W. Lee, C. Sodini. "**A higher order topology for interpolative modulators for oversampling A/D converters**". IEEE Trans on Circuits and Systems, vol. 37, no. 3, pp309-318, Mar. 1990.
- [81] D. Atherton. "**Stability of non-linear systems**". Research Studies Press; Wiley, 1981.

- [82] B. Agrawal, K. Shenoi. "**Design Methodology for $\Sigma\Delta M$** ". IEEE Trans. on Communications, vol 3, no. 4, pp. 324-332, Apr. 1996
- [83] R. Adams et al.. "**Theory and Practical Implementation of a Fifth Order Sigma-Delta A/D Converter using Oversampling Techniques**". Journal of Audio Engineering Society, vol. 39, pp. 515-528, July 1991.
- [84] C. Ouslis, W. M. Snelgrove and A. S. Sedra. "**FiltorX: an interactive design language for filters**". Proceedings of the First International Conference on Electrical Engineering Analysis and Design, Computational Mechanics/Springer-Verlag, New York, pp.227-240, August, 1990.
- [85] P.E.Allen and D.Holdberg. "**CMOS analog Circuit Design**". Holt, Rinehart Winston 1987.
- [86] F.Op'T Eynde and W. Sansen. "**Analog Interfaces for Digital Signal Processing Systems**". Kluwer 1993.
- [87] B.E.Bosser and B.A.Wooley. "**The design of sigma-delta modulation Analog-to-Digital Converters**". IEEE Journal of Solid-State Circuits, vol.23, pp.1298-1308, Diciembre, 1988.
- [88] F.Goodenough. "**Analog Technologies of all Varieties Dominate ISSCC**". Electronic Design, vol.44, pp.96-111, Febrero 1996.
- [89] B.H. Leung, R. Neff, P.R. Gray, and R.W. Brodersen. "**Area-efficient multichannel oversampled PCM voice-band coder**". IEEE Journal of Solid-State Circuits, Vol.SC-23, Dec.1988.
- [90] C.G. Temes. "**Finite Amplifier Gain and Bandwidth Effects in Switched-Capacitor filters**". IEEE Journal of Solid-State Circuits, Vol.15, Jun.1980.
- [91] K. Martin and S. Sedra. "**Effects of the Op Amp Finite Gain and Bandwidth on the performance of Switched-Capacitor Filters**". IEEE Transactions on Circuits and Systems, Vol.28, Aug.1981.
- [92] W. Sansen et Al. "**Transient Analysis of Charge Transfer in SC Filters: Gain error and Distortion**". IEEE Journal of Solid-State Circuits, Vol.22, Apr.1987.
- [93] M. Das and J. Moore. "**Measurements and interpretation of low-frequency noise in FET's**". IEEE Transactions on Electron Devices, Vol.ED-21, Apr. 1974.
- [94] J.C. Candy and O.J. Benjamin. "**The structure of quantization noise from sigma-delta modulation**". IEEE Transactions on Communications, Vol.COM-29, Sept. 1981.

- [95] L. Longo and B.-R. Horng. "**A 15b 30kHz bandpass sigma-delta modulator**". IEEE International Solid-State Circuits Conference Digest of Technical Papers, Feb. 1993.
- [96] S. Jantzi, C. Ouslis and A.S. Sedra. "**The design of transfer functions for delta-sigma converters**". Proc. IEEE Int. Symp. Circuits Syst., 1994.
- [97] R.J. van der Plassche. "**Integrated Analog-to-Digital and Digital-to-Analog Converters**". Kluwer Academic Publishers, Boston, MA. USA, 1994.
- [98] I. Galton. "**Spectral Shapping of circuit errors in Digital-to-Analog Converters**". IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing, Vol.44, no.10, Oct. 1997.