



TESIS DOCTORAL



**Contribución al desarrollo de celdas
analógicas de muy baja tensión y
bajo consumo**

Juana María Martínez Heredia

Sevilla, Junio de 2006



TESIS DOCTORAL



**Contribución al desarrollo de celdas
analógicas de muy baja tensión y
bajo consumo**

Juana María Martínez Heredia

Ingeniero de Telecomunicación

por la E. S. de Ingenieros de la Universidad de Sevilla

Presentada en la

Escuela Superior de Ingenieros

de la

Universidad de Sevilla

para la obtención del

Grado de Doctor Ingeniero de Telecomunicación

Sevilla, Junio de 2006



TESIS DOCTORAL



**Contribución al desarrollo de celdas
analógicas de muy baja tensión y
bajo consumo**

Autora: Juana María Martínez Heredia

Director: Prof. Dr. Antonio Jesús Torralba Silgado

A aquellos a los que quiero

Índice General

Índice General.	1
Lista de símbolos.	5
Lista de términos.	7
Lista de Figuras.	11
Lista de Tablas.	17
Capítulo 1 Introducción.....	19
1.1. El por qué de la baja tensión y el bajo consumo.	19
1.2. Técnicas de diseño de circuitos analógicos de baja tensión y bajo consumo.	20
1.3. Estructura de la Tesis.	25
Capítulo 2 Diseño de baja tensión mediante la batería flotante.....	29
2.1. Introducción.....	29
2.2. Técnica de Desplazamiento DC: Batería flotante.....	30
2.2.1. Espejo cascodeo convencional.	31
2.2.2. Implementación de la batería flotante.	33
2.3. Batería dinámica.	40
2.4. Aplicaciones de la batería flotante.....	42
2.4.1. Aplicaciones de la S-FB.	42
2.4.2. Aplicaciones de la SDM/DCM-FB.	46
2.4.3. Aplicaciones de la D-FB.	52
2.5. Implementación de la batería dinámica.	52
2.5.1. Análisis DC.....	53
2.5.2. Análisis de pequeña señal.....	55
2.5.2.1. Análisis a bajas frecuencias.	56
3.2.2.1. Análisis a altas frecuencias.	58
2.5.3. No linealidades.	62
2.6. Otras implementaciones de la batería dinámica.	62
2.7. Transconductor basado en batería dinámica.	65
2.7.1. Resultados de simulación.	70
2.7.2. Consideraciones de diseño.	72
2.7.3. Resultados experimentales.	75

2.7.3.1. Layout.....	75
2.7.3.2. Placa de Pruebas.	78
2.7.3.3. Medidas experimentales.	80
2.8. Rectificador de tensión.....	85
2.8.1. Consideraciones de diseño.	90
2.8.2. Resultados de simulación.	91
2.8.3. Resultados experimentales.	95
2.8.3.1. Layout.....	95
2.8.3.2. Placa de Pruebas.	95
2.8.3.3. Medidas experimentales.	98
2.9. Conclusiones.	100
Capítulo 3 Diseño de baja tensión mediante la celda FVF.....	101
3.1. Introducción.....	101
3.2. El seguidor de tensión girado (o FVF).....	102
3.2.1. Análisis DC.....	104
3.2.2. Análisis de pequeña señal.....	107
3.2.2.1. Análisis de pequeña señal a bajas frecuencias.....	107
3.2.2.2. Análisis de pequeña señal a altas frecuencias.....	115
3.2.3. Comportamiento de gran señal.	120
3.2.4. Resumen de comparación entre el FVF y el seguidor de fuente.	120
3.3. Esquemas básicos a partir del FVF y aplicaciones.....	122
3.4. Aportaciones de esta Tesis basadas en el circuito FVF.....	129
3.4.1. Introducción.....	129
3.4.2. Multiplicador de tensión de cuatro cuadrantes.....	130
3.4.2.1. Estrategia de diseño.....	136
3.4.2.2. Resultados de simulación.	138
3.4.2.3. Consideraciones de diseño.....	143
3.4.2.4. Resultados experimentales.	144
3.4.2.5. Conclusiones.....	165
3.4.3. Transconductor de muy baja tensión.....	165
3.4.3.1. El transistor súper-cascodo.....	171
3.4.3.2. Estrategia de diseño.....	176
3.4.3.3. Resultados de simulación.	177
3.4.3.4. Conclusiones.....	182

Capítulo 4	Diseño de un filtro analógico de baja tensión y bajo consumo	185
4.1.	Introducción.....	185
4.2.	Técnica G_m -C para filtros de tiempo continuo.....	186
4.3.	Procedimiento de diseño del filtro.....	189
4.4.	Resultados de simulación post-layout del filtro.....	210
4.5.	Resultados experimentales del filtro.....	214
4.6.	Conclusiones.....	223
Capítulo 5	Conclusiones y líneas futuras de investigación	225
5.1.	Conclusiones.....	225
5.2.	Líneas futuras de investigación.....	228
Bibliografía	231

Lista de símbolos

C_L	Capacidad de carga
C_{ox}	Capacidad por unidad de área del óxido de puerta de un MOS
GBW	Producto ganancia-ancho de banda
G_m	Transconductancia de gran señal
g_m	Transconductancia de pequeña señal
I_D	Corriente de drenador de un transistor MOS
$k_n = \mu_n C_{ox}$	Parámetro de transconductancia en un NMOS
$K_N = \mu_n C_{ox} W/L$	Factor de ganancia de un NMOS
$k_p = \mu_p C_{ox}$	Parámetro de transconductancia en un PMOS
$K_P = \mu_p C_{ox} W/L$	Factor de ganancia de un PMOS
L	Longitud del canal de un MOS
Mf	Margen de fase
P_Q	Potencia media consumida
Punto Q	Punto de polarización
Q	Factor de calidad
R_L	Resistencia de carga
V_{BS}	Tensión sustrato-fuente de un transistor MOS
V_{CMI}	Tensión de modo común a la entrada
V_{CMO}	Tensión de modo común a la salida
V_{DD}	Tensión de alimentación
V_{DS}	Tensión drenador-fuente de un transistor MOS
V_{GS}	Tensión puerta-fuente de un transistor MOS
V_{DS}^{SAT}	Mínimo valor de v_{DS} para que un MOS se halle en saturación.
$V_{IN} = V_{IN} + v_{in}$	Valor instantáneo de la señal de entrada
V_{IN}	Valor de continua de la señal de entrada
v_{in}	Valor de alterna de la señal de entrada
V_{IN}^{MIN}	Valor mínimo de la tensión de entrada v_{IN}
V_{IN}^{MAX}	Valor máximo de la tensión de entrada v_{IN}

$v_{I+} = V_{CMI} + (v_{id}/2)$	Tensión unipolar de entrada en el nodo positivo
$v_{I-} = V_{CMI} + (v_{id}/2)$	Tensión unipolar de entrada en el nodo negativo
v_{id}	Valor de la señal diferencial de entrada
μ_n	Movilidad de los electrones
μ_p	Movilidad de los huecos
V_{TN}	Tensión umbral de un transistor MOS tipo N
V_{TP}	Tensión umbral de un transistor MOS tipo P
W	Ancho del canal de un MOS

Lista de términos

<u>Acrónimo</u>	<u>Término en inglés</u>	<u>Término traducido al español*</u>
AC	Alternate current	Corriente alterna
A/D	Analog/Digital	Analógico/Digital
ADSL	Asymmetric digital subscriber line	Línea digital asimétrica de abonado
BJT	Bipolar junction transistor	Transistor de unión bipolar
BW	Bandwidth	Ancho de banda
CMFB	Common mode feedback	Circuito de control del modo común
CMFF	Common mode feedforward	Circuito de compensación en adelanto del modo común
CMOS	Complementary MOS	MOS complementarios
CMRR	Common mode rejection ratio	Relación de rechazo a la variación del modo común
CT	Continuous time	De tiempo continuo
D/A	Digital/Analog	Digital/Analógico
DA	Differential amplifier	Amplificador diferencial
DC	Direct current	Corriente continua
DDM/DCM-FB	Dynamic differential mode/dynamic common mode-FB	Batería flotante estática con el modo diferencial y dinámica con el modo común
DFVF	Differential FVF	FVF diferencial
DR	Dynamic range	Rango dinámico
DSP	Digital signal processing (or processor)	Procesado (o procesador) digital de señal
DT	Discrete time	De tiempo discreto
DVB-H	Digital video broadcasting-handheld	Difusión de vídeo digital portátil
FB	Floating battery	Batería flotante
FVF	Flipped voltage follower	Seguidor de tensión girado

FVFCs	FVF current sensor	Sensor de corriente FVF
HD _n	N-th order harmonic distortion	Distorsión armónica de orden n
HF	High frequency	Alta frecuencia
IM ₃	Third-order intermodulation distortion	Distorsión de intermodulación de tercer orden
LP	Low pass	Paso bajo
MIFG	Multiple input floating gate	De puerta flotante con entrada múltiple
MOS	MOSFET	Transistor de efecto de campo de unión metal-óxido-semiconductor
MOSFET	Metal-oxide-semiconductor field effect transistor	Transistor de efecto de campo de unión metal-óxido-semiconductor
OTA	Operational transconductance amplifier	Amplificador operacional de transconductancia
PDFVF	Pseudo-differential FVF	FVF pseudo-diferencial
PSRR	Power supply rejection ratio	Relación de rechazo a la variación de la fuente de alimentación
RMS	Root mean squared	Valor eficaz
SC	Switched capacitors	De capacidades conmutadas
SDM/DCM-FB	Static differential mode/dynamic common mode-FB	Batería flotante estática con el modo diferencial y dinámica con el modo común
S-FB	Static-FB	Batería flotante estática
SFDR	Spurious-free dynamic range	Rango dinámico libre de espúreos
SI	Switched current	De corriente conmutada
SR	Slew rate	---
THD	Transient harmonic distortion	Distorsión armónica
TL	Translinear loop	Bucle translineal
VHF	Very high frequency	Muy alta frecuencia
WCDMA	Wideband code-division multiple-access	Acceso múltiple de banda ancha por división de código
WTA	Winner-take-all	El ganador se lo lleva todo

<u>Acrónimo</u>	<u>Término en español</u>
AF	Altas frecuencias
BF	Bajas frecuencias
MC	Modo común
MD	Modo diferencial
NMOS	MOSFET de tipo N
PMOS	MOSFET de tipo P
TB	Transconductor básico
TCD	Transconductor completamente diferencial
TDS	Transconductor diferencial simple
TES	Transconductor de entrada simple

* Nota: La traducción al español de los términos en inglés ha sido realizada por la autora de forma libre, procurando reflejar las traducciones de textos reconocidos publicados en español y la utilización diaria de los términos que realizan los investigadores españoles.

Lista de figuras

Figura 2.1: Celda inversora CMOS.....	30
Figura 2.2: Espejo de corriente cascode.....	31
Figura 2.3: Espejo de corriente cascode de baja tensión.....	32
Figura 2.4: Implementaciones de la batería flotante con transistores MOS.....	33
Figura 2.5: Inversor CMOS modificado con batería flotante: a) ideal b) real.....	35
Figura 2.6: Batería flotante estática con resistencia y fuentes de corriente constante... 36	
Figura 2.7: Batería flotante estática usando un par diferencial no balanceado PMOS.. 36	
Figura 2.8: Esquema básico para funcionamiento en baja tensión.	37
Figura 2.9: Batería flotante con capacidades conmutadas.....	38
Figura 2.10: Inversor CMOS con batería flotante implementada mediante red SC.	39
Figura 2.11: Inversor CMOS con batería flotante SC y sin dobladores de tensión [80].	39
Figura 2.12: Esquema básico para funcionamiento en baja tensión.	41
Figura 2.13: Convector de corriente con fuente flotante [84].	43
Figura 2.14: Inversor CMOS de muy baja tensión [86].....	43
Figura 2.15: Etapa de entrada complementaria con fuentes de tensión flotantes.	44
Figura 2.16: Transconductancia de una etapa de entrada complementaria frente al MC de entrada con la técnica de solape de la respuesta de MC [89].....	45
Figura 2.17: Etapas de salida clase AB para amplificadores operacionales: a) [94] b) [95].	46
Figura 2.18: Etapa de entrada con resistencias de desplazamiento DC y circuito sumador [96].	47
Figura 2.19: Amplificador operacional con circuito de desplazamiento dinámico [97].48	
Figura 2.20: Esquema conceptual del desplazamiento dinámico de nivel de modo común [97].	48
Figura 2.21: Esquema de la batería flotante a) [97] b) [71], [72].	50
Figura 2.22: Etapa de entrada <i>rail-to-rail</i> [103].	51
Figura 2.23: Amplificador operacional en esquema seguidor de baja tensión con implementación de batería dinámica [72].....	53
Figura 2.24: Implementación de baja tensión del DA: par diferencial con carga activa.	54

Figura 2.25: Batería dinámica.....	55
Figura 2.26: Circuito de pequeña señal a bajas frecuencias de la batería dinámica.	56
Figura 2.27: Circuito de pequeña señal a altas frecuencias de la batería dinámica.	59
Figura 2.28: Circuito equivalente para el cálculo de la ganancia del lazo.	59
Figura 2.29: Nueva implementación de batería dinámica.	63
Figura 2.30: Otra posible implementación de batería dinámica.	64
Figura 2.31: Segunda versión de la implementación de batería dinámica de la Figura 2.30.....	64
Figura 2.32: Implementación de baja tensión [108].....	65
Figura 2.33: Esquema básico de un transconductor lineal.	66
Figura 2.34: Arquitectura de amplificador operacional utilizada en la Figura 2.33.....	68
Figura 2.35: Transconductor lineal de entrada simple.	68
Figura 2.36: Transconductor lineal diferencial simple.....	68
Figura 2.37: Nuevo transconductor completamente diferencial con alta linealidad.....	69
Figura 2.38: Versión del nuevo OTA sin componente de continua en las salidas.....	70
Figura 2.39: Transconductor modificado para medidas desde fuera del chip.	74
Figura 2.40: Característica DC del transconductor.....	74
Figura 2.41: Microfotografía del transconductor dentro del chip.....	76
Figura 2.42: Esquemático diseñado de la placa de pruebas.	78
Figura 2.43: Esquema simplificado de la placa de medidas del transconductor.	79
Figura 2.44: Placa de pruebas para medir el transconductor.....	80
Figura 2.45: Característica DC: Salida positiva frente a entrada.....	81
Figura 2.46: Característica DC: Salida negativa frente a entrada.....	81
Figura 2.47: Medida de THD dl transconductor para 1KHz y $0.5V_{pp}$	82
Figura 2.48: Respuesta del transconductor ante una onda cuadrada.....	83
Figura 2.49: Esquema del rectificador de corriente de muy baja tensión [116].	86
Figura 2.50: Rectificadores de corriente: a) [117], b) [111].....	87
Figura 2.51: Rectificador de corriente de onda completa y muy baja tensión [116]. ...	88
Figura 2.52: Esquema de rectificador de tensión CMOS de baja tensión.....	89
Figura 2.53: Señal rectificada cuando i_{IN} es de 1MHz y $6\mu A$ de amplitud.	91
Figura 2.54: Señal i_{IN} de 20MHz y $6\mu A$ de amplitud y señal rectificada.	92
Figura 2.55: Detalle de la corriente de entrada y la corriente por M_P y M_N a 20MHz. .	92
Figura 2.56: Señal rectificada cuando v_{IN} es de 1MHz y 4.5V de amplitud.....	93
Figura 2.57: Señal rectificada cuando v_{IN} es de 10MHz y 4.5V de amplitud.....	93

Figura 2.58: Característica DC del rectificador de tensión.	94
Figura 2.59: Microfotografía del rectificador de tensión dentro del chip.	96
Figura 2.60: Placa de pruebas para medida del rectificador de tensión.	97
Figura 2.61: Placa de pruebas para medida del rectificador de tensión.	98
Figura 2.62: Señal de entrada y de salida del rectificador.	99
Figura 3.1: Celda FVF: a) tipo P, b) tipo N.	102
Figura 3.2: Celda FVF tipo p con impedancia de carga.	103
Figura 3.3: Seguidor de fuente tipo P con impedancia de carga.	105
Figura 3.4: Circuito de pequeña señal a bajas frecuencias del FVF tipo p.	108
Figura 3.5: Valor de R_L mínima en el FVF frente al valor de la resistencia r_{OB}	113
Figura 3.6: Valor de la resistencia de salida del FVF frente al valor de la resistencia r_{OB}	115
Figura 3.7: Esquema de pequeña señal a altas frecuencias del FVF.	116
Figura 3.8: Circuito de pequeña señal a altas frecuencias del FVF.	117
Figura 3.9: Sensor de corriente FVF.	123
Figura 3.10: Amplificador diferencial FVF.	125
Figura 3.11: Principio de OTA lineal /circuito de función cuadrática [153]: a) tipo N, b) tipo P.	126
Figura 3.12: Elemento transconductor mediante dos DFVF.	126
Figura 3.13: PDFVF o par pseudo-diferencial FVF.	127
Figura 3.14: Multiplicador de transconductancia con esquema de inyección por puerta y fuente.	130
Figura 3.15: Esquema del multiplicador básico de transconductancia con FVF para V_a , y V_b	132
Figura 3.16: Multiplicador de transconductancia de muy baja tensión de alimentación [164], [169].	134
Figura 3.17: Multiplicador de tensión propuesto.	136
Figura 3.18: Característica DC del multiplicador: v_{OUT} frente a v_{d12}	139
Figura 3.19: Respuesta en frecuencia para distintos valores de v_{dab}	141
Figura 3.20: Respuestas unipolares y diferencial ante ondas cuadradas de entrada. ...	141
Figura 3.21: Microfotografía del multiplicador de tensión dentro del chip.	145
Figura 3.22: Esquema simplificado de la placa de medidas de continua y de baja frecuencia del multiplicador.	146

Figura 3.23: Placa de pruebas para medir el multiplicador en DC y bajas frecuencias.	147
Figura 3.24: Característica DC del multiplicador.	148
Figura 3.25: Distorsión a la salida tras multiplicar $v_{d12} = 0.15\cos(2\pi 10000t)$ y $v_{dab} = 0.3V$	149
Figura 3.26: Distorsión a la salida tras multiplicar $V_{d12} = 0.15\cos(2\pi 100000t)$ y $v_{dab} = 0.3V$	150
Figura 3.27: Operación de multiplicación de una señal triangular por una senoidal... ..	150
Figura 3.28: Operación de multiplicación de dos ondas senoidales.	151
Figura 3.29: Microfotografía del multiplicador de tensión dentro del chip.	153
Figura 3.30: Esquema simplificado de la placa de medidas de AF del multiplicador.	154
Figura 3.31: Placa de pruebas para medir el multiplicador a altas frecuencias.	155
Figura 3.32: Respuesta en frecuencia del multiplicador con el analizador de red vectorial.	156
Figura 3.33: Distorsión a la salida con $v_{d12} = 0.15\cos(2\pi 4900000t)$ y $v_{dab} = 0.18V$	158
Figura 3.34: Distorsión a la salida con $v_{d12} = 0.3\cos(2\pi 4900000t)$ y $v_{dab} = 0.18V$	158
Figura 3.35: IM3 para dos tonos en 4.9MHz y 5MHz, respectivamente, y de 300mV _{pp}	159
Figura 3.36: IM3 para dos tonos en 4.9MHz y 5MHz, respectivamente, y de 600mV _{pp}	160
Figura 3.37: Señal de salida para entradas diferenciales con $f_1=20MHz$ y $f_2=1MHz$	161
Figura 3.38: Señal de salida para entradas diferenciales con $f_1=40MHz$ y $f_2=1MHz$	161
Figura 3.39: Señal de salida para entradas diferenciales con $f_1=60MHz$ y $f_2=1MHz$	162
Figura 3.40: Señal de salida para entradas diferenciales con $f_1=100MHz$ y $f_2=1MHz$	162
Figura 3.41: Respuesta diferencial del circuito ante onda diferencial cuadrada.	163
Figura 3.42: Esquema del transconductor pseudo-diferencial propuesto.....	166
Figura 3.43: a) Esquema del transistor súper-cascodo; b) Símbolo.....	172
Figura 3.44: Circuito de pequeña señal para cálculo de la r_{out} vista desde el drenador.	172
Figura 3.45: Nuevo buffer de muy baja tensión basado en el transistor súper-cascodo.	175
Figura 3.46: Nuevo transconductor de muy baja tensión basado en el súper-cascodo.	176
Figura 3.47: Característica de transferencia DC del transconductor: i_{OUT} frente a v_{id}	178

Figura 3.48: Transconductancia.....	179
Figura 3.49: Frecuencia de 3dB en el rango de sintonización.....	179
Figura 3.50: THD con una señal de entrada de $0.6V_{pp}$ en el rango de sintonización. .	180
Figura 3.51: THD con una señal de entrada de $1.2V_{pp}$ en el rango de sintonización. .	180
Figura 3.52: Espectro de la señal de salida para entrada senoidal de $0.6V_{pp}$ y 10MHz.	181
Figura 3.53: Respuesta diferencial del circuito ante una onda cuadrada a la entrada..	181
Figura 4.1: Esquema de un integrador G_m -C.....	187
Figura 4.2: Esquema de un filtro bicuadrático de orden 6.	188
Figura 4.3: Esquema de un filtro en escalera LC.....	188
Figura 4.4: Representaciones G_m -C.	192
Figura 4.5: Filtro G_m -C unipolar.....	193
Figura 4.6: Esquema del filtro paso bajo de tercer orden completamente diferencial.	194
Figura 4.7: Esquema del transconductor para el filtro.	200
Figura 4.8: Esquema del CMFB/CMFF/Pol para el transconductor.....	200
Figura 4.9: Esquema del circuito CMFF/Pol para el transconductor.....	200
Figura 4.10: Magnitud y fase de la función de transferencia del integrador ideal.....	203
Figura 4.11: Magnitud y fase de la función de transferencia del integrador real.	204
Figura 4.12: Respuesta en frecuencia del integrador.	206
Figura 4.13: Esquema del filtro con los correspondientes circuitos de control del modo común.	207
Figura 4.14: Integradores equivalentes.	210
Figura 4.15: Microfotografía del filtro dentro del chip.....	211
Figura 4.16: Característica de transferencia DC del filtro: v_{od} frente a v_{id}	212
Figura 4.17: Respuesta en frecuencia variando V_C en todo el rango de sintonización.	213
Figura 4.18: Esquema simplificado de la placa de medidas del filtro.....	216
Figura 4.19: Placa para medida del filtro.	217
Figura 4.20: Respuesta en frecuencia del filtro con $V_C=0.954V$	217
Figura 4.21: Señales de entrada y salida en la banda de paso del filtro.	218
Figura 4.22: IM3 para dos tonos en 1MHz y 1.1MHz y una amplitud de $300mV_{pp}$. .	219
Figura 4.23: IM3 para dos tonos de $600mV_{pp}$ en 1MHz y 1.1MHz.	220
Figura 4.24: Resumen de la comparación de filtros LP.	223

Lista de tablas

Tabla 2.1: Especificaciones para el transconductor básico TB.	70
Tabla 2.2: Parámetros de diseño del transconductor.....	71
Tabla 2.3: Resultados de simulación del transconductor básico.	72
Tabla 2.4: Resultados de simulación <i>post-layout</i> del transconductor modificado.....	75
Tabla 2.5: Parámetros de la tecnología CXQ de 0.8 μ m de AMS.....	77
Tabla 2.6: Resultados experimentales de distorsión armónica del transconductor.	82
Tabla 2.7: Resultados experimentales de SR del transconductor.	83
Tabla 2.8: Comparación de THD entre el montaje BT y el TCD.	84
Tabla 2.9: Prestaciones del transconductor completamente diferencial TCD.....	85
Tabla 2.10: Especificaciones deseadas para el rectificador de tensión.	90
Tabla 2.11: Parámetros de diseño del rectificador de tensión.	91
Tabla 2.12: Resultados de simulación del rectificador de tensión.....	94
Tabla 2.13: Prestaciones del rectificador de tensión.....	99
Tabla 3.1: Comparación de prestaciones entre el seguidor de fuente y el FVF.	121
Tabla 3.2: Especificaciones para el multiplicador de tensión de cuatro cuadrantes....	137
Tabla 3.3: Parámetros de diseño del multiplicador de tensión de cuatro cuadrantes...	139
Tabla 3.4: Resultados de simulación del multiplicador de tensión.....	142
Tabla 3.5: Resultados experimentales de distorsión armónica del multiplicador.....	149
Tabla 3.6: Parámetros de diseño de la versión del multiplicador para altas frecuencias.	152
Tabla 3.7: Resultados experimentales de THD con $V_{d12} = A\cos(2\pi 4900000t)$	157
Tabla 3.8: Resultados experimentales del IM3 del multiplicador.	159
Tabla 3.9: Comparación de multiplicadores recientes de la literatura.	164
Tabla 3.10: Especificaciones para el transconductor.	177
Tabla 3.11: Parámetros de diseño del transconductor.....	178
Tabla 3.12: Resultados de distorsión del transconductor.	181
Tabla 3.13: Prestaciones simuladas del transconductor.	183
Tabla 3.14: Comparación con otros transconductores publicados.....	184
Tabla 4.1: Filtros LP reportados en la literatura para receptores WCDMA.....	191
Tabla 4.2: Tamaños de los transistores del transconductor.....	201
Tabla 4.3: Tamaños de los transistores para el esquema del “CMFB/CMFF/Pol”.	201

Tabla 4.4: Tamaños de los transistores para el esquema del “CMFF/Pol”	201
Tabla 4.5: Prestaciones simuladas del transconductor	202
Tabla 4.6: Parámetros simulados del OTA para la caracterización del integrador.....	205
Tabla 4.7: Parámetros de la tecnología CUP de 0.6 μ m de AMS.....	212
Tabla 4.8: THD del filtro para distintas amplitudes y frecuencias de la señal de entrada.	214
Tabla 4.9: IM3 del filtro para distintas amplitudes y frecuencias de dos tonos muy próximos.	214
Tabla 4.10: Resultados experimentales de THD con $v_{id} = A_p \cos(2\pi 500000t)$	219
Tabla 4.11: Prestaciones del filtro de baja tensión medidas experimentalmente.	221
Tabla 4.12: Comparativa de filtros LP publicados recientemente.	222

Capítulo 1

Introducción

El objetivo de esta Tesis Doctoral ha sido el diseño de circuitos y bloques básicos de sistema de baja tensión de alimentación y bajo consumo. Durante los últimos años, la proliferación de aplicaciones portátiles y la tendencia a implementar circuitos mixtos (integración de las partes analógica y digital de un circuito en un mismo chip), ha motivado la necesidad de desarrollar técnicas de diseño de baja tensión de alimentación y bajo consumo. En este capítulo se describirá dicha necesidad y el estado actual de la investigación en este campo, exponiendo un resumen de las distintas técnicas existentes hoy día. Por último, se presentan los distintos circuitos analógicos desarrollados durante esta Tesis Doctoral.

1.1. El por qué de la baja tensión y el bajo consumo.

La continua expansión del mercado de sistemas electrónicos portátiles hace necesario el desarrollo de técnicas de diseño de circuitos capaces de operar con baja tensión de alimentación y bajo consumo. Como ejemplos de aplicaciones portátiles que requieren de este tipo de circuitos podemos encontrar los dispositivos de comunicación inalámbricos, la electrónica de consumo y aplicaciones biomédicas como audífonos, marcapasos, etc. Es importante destacar que la utilización de baterías de pequeño tamaño y reducido peso exige que los circuitos operen con baja tensión de alimentación. Por otra parte, el bajo consumo permite asegurar un razonable tiempo de vida de la batería.

Además de las razones antes mencionadas, la tendencia al escalado de la tecnología con el fin de aumentar la capacidad computacional de los circuitos digitales, exige disminuir su tensión de alimentación por dos razones fundamentales. En primer lugar,

una reducción del tamaño del transistor, manteniendo constante la tensión de alimentación, provoca un aumento del gradiente de tensión y del campo eléctrico en el dispositivo, pudiendo dar lugar a una ruptura del mismo. En segundo lugar, un aumento en el número de puertas y transistores por unidad de área, incrementa significativamente la potencia disipada, dado que en un circuito digital ésta es, en primera aproximación, proporcional a V_{DD}^2 , no siendo siempre cierto en el caso de circuitos analógicos.

La tecnología digital ha sustituido, en muchos casos, a la analógica por su menor coste, mayor precisión, mayor rango dinámico y sencillez de verificación. Sin embargo, puesto que los estímulos que nos rodean poseen una naturaleza analógica, resulta imprescindible una circuitería analógica que sirva de interfaz entre el mundo exterior y los bloques de procesamiento digital de señales y datos. Consideraciones de coste y prestaciones han hecho que la forma preferida por la industria a la hora de fabricar equipos portátiles sea mediante el diseño de circuitos mixtos, capaces de operar con una única fuente de tensión de pequeño valor. Se hace necesario, pues, desarrollar circuitos analógicos como convertidores A/D y D/A, amplificadores operacionales, transconductores, multiplicadores, filtros, etc., que funcionen con baja tensión de alimentación.

Las prestaciones de los circuitos analógicos, tales como velocidad, ganancia, ancho de banda y linealidad, se ven enormemente reducidas al disminuir la tensión de alimentación. Por ello, el gran reto del diseño analógico en la actualidad radica en proponer nuevas topologías y técnicas de diseño de circuitos que posean la funcionalidad necesaria con un bajo consumo y mantengan sus prestaciones con baja tensión de alimentación.

1.2. Técnicas de diseño de circuitos analógicos de baja tensión y bajo consumo.

Aunque en los últimos años se han propuesto distintas técnicas de diseño analógico de bajo consumo y baja tensión, no se puede decir que exista una mejor que las demás, pues los resultados son muy dependientes del tipo de aplicación en la que se emplea [1],

[2]. Entre dichas técnicas se encuentran las que utilizan transistores MOSFET atacados por sustrato (*bulk-driven*), de puerta flotante, de puerta casi-flotante, con funcionamiento en la región sub-umbral y “autocascodo” y las que utilizan dobladores de tensión, amplificadores operacionales conmutados, estructuras clase AB y configuraciones completamente diferenciales o balanceadas. Una técnica muy empleada últimamente consiste en procesar las señales de información en modo corriente. Y otras dos estrategias que están demostrando ser muy eficientes son aquellas basadas en el uso de baterías flotantes y del seguidor de tensión girado o celda FVF [3]. A continuación se hace un resumen de las aportaciones más relevantes que han aparecido en los últimos años utilizando diferentes técnicas de baja tensión y bajo consumo. Este resumen no pretende ser exhaustivo, sino tan sólo ilustrar las técnicas actuales y sus posibles aplicaciones.

- **Transistores MOS atacados por sustrato:**

Esta técnica consiste en introducir la señal al transistor MOS por el terminal de sustrato de modo que la corriente de drenador I_D está controlada por la tensión sustrato-fuente. La gran ventaja que posee es que no hay requerimiento de tensión umbral V_T en el camino de señal, con lo que se facilita la reducción de la tensión de alimentación y, además, no tiene por qué disminuir el rango de tensiones. Inconvenientes que presenta son la pequeña transconductancia, que provoca mayor ruido equivalente a la entrada y un posible empeoramiento de la respuesta en frecuencia, la posibilidad de problemas de *latch-up* y la limitación de transistores de un solo tipo de canal para una determinada clase de sustrato. Ejemplos de aplicación de esta técnica son [4]-[14].

- **Transistores MOS de puerta flotante:**

Aunque durante décadas fueron utilizados para implementar memorias digitales, recientemente se han empleado en el diseño analógico, especialmente en condiciones de baja tensión. Un transistor MIFG (de puerta flotante con entrada múltiple) se diferencia de un MOS convencional en que la tensión de puerta flotante es una suma ponderada de las tensiones de control de entrada y las tensiones de drenador, fuente y sustrato. Despreciando la dependencia con estas tres últimas, se puede utilizar un terminal de control para polarizar el transistor cerca de uno de los raíles de alimentación y los otros

para inyectar señal, de forma que se puede reducir la tensión umbral equivalente. Esto facilita el diseño de circuitos con muy baja tensión de alimentación y gran rango de señal. Sin embargo, presenta algunos inconvenientes. Entre ellos destaca que la transconductancia es menor que la de un MOS convencional, que el producto ganancia-ancho de banda GBW se puede degradar si la capacidad de acoplo requerida para la polarización es demasiado grande y que la carga atrapada en la puerta durante el proceso de fabricación puede producir grandes offsets (si bien, recientemente, se propuso un método para eliminar esa carga sin necesidad de aplicar luz ultravioleta tras el proceso de fabricación [15]). Además, los transistores MIFG poseen menor relación de rechazo a la fuente de alimentación y mayor distorsión armónica debido a los desapareamientos entre las capacidades de entrada. Aplicaciones relevantes de esta técnica se pueden encontrar en [16]-[26].

- **Transistores MOS de puerta casi-flotante:**

Esta técnica es muy reciente. Aparece publicada por primera vez en [27] y sólo existen unas pocas referencias desde entonces, siendo las más importantes [28]-[30]. Como en los transistores MIFG, las entradas se acoplan capacitivamente a la puerta flotante pero, además, se conecta una resistencia muy alta entre la puerta y uno de los raíles de alimentación. Dicha resistencia establece como valor de tensión DC en la puerta el del raíl de alimentación, de forma que no sólo minimiza los requerimientos de alimentación sino que elimina el problema de la carga atrapada durante el proceso de fabricación (hay camino para esa carga) y el del empeoramiento del GBW de los MIGF (ya no es necesaria la gran capacidad de acoplo para polarización). Sin embargo, esta técnica limita la frecuencia mínima de funcionamiento, especialmente en las tecnologías nanométricas, si bien dicha frecuencia mínima de funcionamiento es del orden de Hz, lo que, en algunos casos, puede ser incluso positivo al limitar los efectos de offset y ruido de baja frecuencia. Por otra parte, esta técnica es difícil de emplear en circuitos realimentados.

- **Transistores MOS en la región sub-umbral:**

En un modelo de inversión fuerte del transistor MOS se considera que si la tensión puerta-fuente es menor que la tensión umbral (zona sub-umbral o de inversión débil), la

corriente drenador-fuente es nula. Sin embargo, en esa zona, aunque la corriente es muy pequeña, no es nula y tiene una dependencia exponencial con la tensión [1], que puede ser aprovechada para diseñar circuitos de baja tensión y pequeña área que requieran de poco consumo. Esta técnica presenta ciertos inconvenientes: pobre respuesta en frecuencia, poco rango de ajuste, mayor sensibilidad a desapareamientos y grandes offsets. Las publicaciones [31]-[36] son una muestra de aplicación de esta técnica. En algunas de ellas se han utilizado además los transistores MIFG para simplificar los circuitos y reducir el número de nodos internos.

La autora de esta Tesis considera muy valioso mencionar en este punto la región de operación de los transistores en inversión moderada, en la que se consigue un buen compromiso entre consumo, área y velocidad y que será probablemente en los próximos años objeto de numerosas investigaciones en cuanto a su aplicabilidad. Aunque se han hecho numerosos esfuerzos por modelar los transistores en esta zona [1], existen pocas aplicaciones publicadas a día de hoy, destacando por ello [37] y [38]. Asimismo, Bill Toole y el resto de autores en [39] demostraron mediante un análisis teórico, simulado y experimental que existe una región de linealidad enriquecida cuando un transistor MOS funciona en inversión moderada, abriendo una prometedora puerta a futuros diseños de baja distorsión en la zona de inversión moderada para reducir el consumo de potencia.

- **Transistores MOS “autocascodo”:**

Un transistor autocascodo (del inglés *self-cascoded*) está formado por dos transistores en serie con las puertas conectadas: uno funcionando en zona lineal y otro en zona de saturación. Esta estructura funciona en conjunto como un transistor en saturación con mayor longitud efectiva del canal. Así pues, tiene la ventaja de suministrar alta ganancia (alta impedancia de salida) como las estructuras cascodo pero con un requerimiento de tensión similar al de un solo transistor. Sin embargo, la respuesta en frecuencia es más pobre que la de un transistor simple. Esta configuración ha sido utilizada con éxito en aplicaciones como [40]-[44].

- **Dobladores o multiplicadores de tensión:**

Se trata de circuitos capaces de elevar la tensión en un punto del circuito a partir de la tensión de alimentación. Esta técnica ha sido muy empleada en circuitos de capacidades conmutadas para asegurar el correcto funcionamiento de los interruptores cuando se disminuye la tensión de alimentación. Importantes contribuciones utilizando esta técnica son [45]-[51]. No obstante, esta solución deja de ser viable en las tecnologías con longitud mínima de canal muy por debajo de la micra, en las cuales la tensión de ruptura que pueden soportar los transistores es muy pequeña.

- **Amplificadores operacionales conmutados:**

Esta técnica es una de las soluciones más prometedoras planteadas para resolver el problema que aparece en los circuitos de capacidades conmutadas cuando se reduce la tensión de alimentación: poder encender los interruptores en todo el rango de señal. La técnica consiste en apagar el amplificador operacional en el que el interruptor se usa. Se introdujo por primera vez en [52] y ha sido aplicada en filtros SC [52], [53], moduladores $\Delta\Sigma$ [54], [55], convertidores *pipelined* [56] y aplicaciones biomédicas de mínimo consumo [57]. Además de añadir complejidad, la gran limitación de esta técnica es la velocidad de operación. Y esto es debido a los lentos transitorios de los amplificadores operacionales que están siendo conmutados del encendido al apagado. Para mejorar las técnicas de amplificadores operacionales conmutados se han hecho esfuerzos de investigación como son [58]-[60].

- **Procesado de señal en modo corriente:**

Es potencialmente más rápido que el procesado de señal en modo tensión ya que los efectos de las inductancias parásitas en circuitos de baja impedancia son menos perjudiciales que los efectos capacitivos parásitos en circuitos de alta impedancia, y, por tanto, es una técnica apropiada para diseñar circuitos a altas frecuencias. Además, el rango de señal asociado a los nodos de baja impedancia es pequeño, por lo que se puede operar con baja tensión de alimentación y ancho rango dinámico. Otras ventajas de esta estrategia de diseño son impedancias de entrada programables, altos valores de *slew rate* y menor susceptibilidad a variaciones de la alimentación y tierra. Desde que en 1968 Smith y Sedra [61] introdujesen el primer convertidor de corriente como elemento básico para aplicaciones en modo corriente, han aparecido numerosos circuitos basados

en esta técnica. Entre los más recientes y relevantes se encuentran nuevos convertidores de corriente [62], amplificadores operacionales [63], amplificadores/espejos de corriente [64], preamplificadores [65], amplificadores de instrumentación [66], convertidores RMS-DC [67], convertidores A/D [68] y filtros [69], [70]. No obstante, es necesario señalar que algunos autores han cuestionado las ventajas de los circuitos en modo corriente.

Dado que esta Tesis Doctoral está basada en la utilización de baterías flotantes y el seguidor de tensión girado, no se hará en esta sección un resumen de dichas técnicas, exponiéndose con profundidad en los capítulos 2 y 3, junto con las publicaciones más relevantes a las que han dado lugar. Además, el FVF es una celda de clase AB, es decir, su corriente de polarización puede ser elegida mucho menor que el valor de la corriente máxima que por él puede circular. Las estructuras clase AB han sido, y siguen siendo, muy empleadas cuando se persigue ahorrar potencia, por ejemplo, en etapas de salida. A lo largo de la Tesis, se hace referencia a numerosas estructuras clase AB, por lo que también se omite en este apartado un resumen de las mismas. Finalmente, cabe mencionar que el uso de configuraciones completamente diferenciales es algo muy habitual en diseño de baja tensión de alimentación, ya que además de permitir, por un lado, mayor rango de tensión y, por otro, mayor rechazo al ruido de modo común y de la fuente de alimentación, la linealidad aumenta debido a la inexistencia de armónicos de orden par.

1.3. Estructura de la Tesis.

El objetivo de este trabajo de investigación, como ya se ha comentado anteriormente, es contribuir al diseño de circuitos analógicos de baja tensión y bajo consumo. Dicho trabajo se enmarca dentro de la labor que, en este sentido, lleva realizando el Grupo de Investigación “Ingeniería Electrónica” de la Escuela Superior de Ingenieros de la Universidad de Sevilla, en colaboración con otras Universidades y Centros de Investigación, especialmente la New Mexico State University y la Universidad Pública de Navarra. En esta Tesis se han propuesto varios circuitos basados en el uso de dos celdas básicas: la batería dinámica y el seguidor de tensión rotado (FVF). La presente memoria ha sido organizada como sigue:

El capítulo 2 comienza con la presentación de la batería flotante estática como técnica de reducción de la tensión de alimentación, mostrando, a continuación, la conveniencia de hacerla dinámica. Se realiza una clasificación de las baterías flotantes y se describen las distintas aplicaciones relevantes en las que se han utilizado. Tras elegir un tipo de implementación de batería dinámica y llevar a cabo su estudio, se presentan dos aplicaciones de la misma, que son contribución de esta Tesis: un transconductor con rango de entrada y salida casi completo y un rectificador de tensión con gran rango de entrada, ambos de muy baja tensión de alimentación y muy reducido consumo.

El capítulo 3 parte de una celda básica muy versátil y recomendable en el diseño analógico de baja tensión: el seguidor de tensión girado o celda FVF. Tras realizar un análisis exhaustivo de la misma, se describen brevemente sus distintas versiones y se recopilan las publicaciones a las que ha dado lugar. Finalmente, se presentan dos circuitos basados en el FVF que son aportaciones originales de esta Tesis: un multiplicador de tensión y un transconductor pseudo-diferencial. Ambos circuitos, además de trabajar con muy baja tensión de alimentación y poseer un gran ancho de banda, gozan de unas excelentes prestaciones de linealidad.

El capítulo 4 está dedicado a la implementación de un filtro de tiempo continuo que demuestra las posibilidades del transconductor pseudo-diferencial como bloque básico para la construcción de sistemas tales como amplificadores de ganancia variable, convertidores de datos, osciladores, filtros, etc. Y siempre con un diseño de estos sistemas orientado a la reducción de la tensión de alimentación y el consumo. El filtro desarrollado funciona con tan sólo 1.8V en una tecnología CMOS de 0.6 μ y es de tipo Chebyshev, paso bajo, de tercer orden, con 0.5dB de rizado máximo en la banda pasante y una frecuencia de corte de 2.1MHz. Se ha elegido por su aplicabilidad a los sistemas de comunicaciones móviles de tercera generación, los cuales utilizan una interfaz radio WCDMA y necesitan un filtro en banda base de 2.1MHz de ancho de banda que discrimine las señales interferentes no deseadas. Un filtro de estas características puede encontrar igualmente aplicación (con las modificaciones pertinentes fijadas por las arquitecturas seleccionadas para cumplir con las especificaciones de los respectivos estándares) en sistemas como ADSL o DVB-H,

donde los anchos de banda son del orden de unos pocos megahercios. El filtro constituye una aportación original de esta Tesis Doctoral.

Por último, en el capítulo 6 se realiza un resumen de los resultados y conclusiones más importantes obtenidos en este trabajo y se presentan las posibles líneas futuras de investigación.

Capítulo 2

Diseño de baja tensión mediante la batería flotante

Este capítulo comienza con una introducción a los circuitos desplazadores de nivel de continua. Se describen distintas implementaciones prácticas de los mismos y a raíz de la necesidad de hacer programable la tensión de desplazamiento de forma continua, surge el concepto de desplazamiento dinámico de nivel. Aparece así la batería flotante dinámica con el modo diferencial y/o con el modo común, que da solución a distintos problemas del diseño analógico. Tras realizar una recopilación de las aplicaciones relevantes que han ido apareciendo en la literatura, basadas en los distintos tipos existentes de baterías flotantes, se realiza un estudio detallado de una implementación de tiempo continuo de la batería dinámica. Finalmente, se presentan dos circuitos basados en dicha batería dinámica, un transconductor y un rectificador de tensión, capaces ambos de funcionar con muy baja tensión de alimentación y bajo consumo.

2.1. Introducción.

Una de las técnicas básicas para reducir la tensión de alimentación en circuitos analógicos es utilizar fuentes de tensión flotantes, es decir, introducir desplazamientos de tensión DC para reducir la tensión umbral efectiva de los transistores MOS y por tanto, sus requerimientos de tensión para mantener un correcto funcionamiento. Este capítulo comienza con la descripción del uso de dicha técnica en un ejemplo sencillo: un espejo de corriente cascode convencional. Se estudian distintos tipos de implementación de una batería flotante, y se muestra la conveniencia de hacer programable la tensión de desplazamiento, es decir, de implementar baterías flotantes estáticas programables. A continuación se comprueba la gran utilidad del uso de una

batería dinámica en el diseño de amplificadores operacionales de muy baja tensión con rango de entrada completo y transconductancia g_m constante. Se dedica entonces una especial atención a la batería dinámica presentada por primera vez en [71] y, más tarde, en [72]. A lo largo del capítulo se presentan numerosos circuitos en los que se utiliza este tipo de baterías y que han sido publicados en los últimos años, demostrando así la eficacia de esta técnica con tensiones de alimentación muy bajas.

En esta Tesis se considera que un circuito funciona bajo condiciones de muy baja tensión de alimentación cuando tiene una única fuente de tensión V_{DD} que cumple la siguiente condición:

$$\{V_{TN}, |V_{TP}|\} < V_{DD} < V_{TN} + |V_{TP}| \quad (2-1)$$

Es decir, la fuente de alimentación es mayor que la tensión umbral de un transistor MOS pero menor que la suma de las tensiones umbrales de un transistor PMOS y un NMOS. Por ejemplo, un circuito tan simple como el inversor CMOS, mostrado en la Figura 2.1, donde $V_{DD} = V_{SG, M_p} + V_{GS, M_n}$, no podría operar en baja tensión según esta definición si ambos transistores tuvieran que estar simultáneamente en estado de conducción.

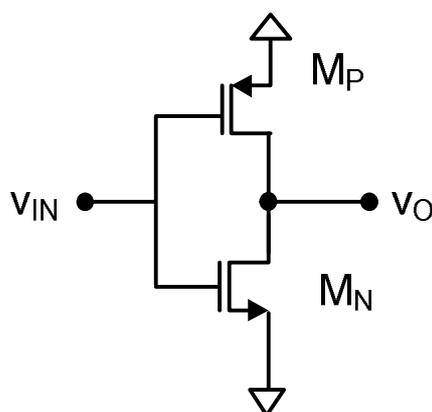


Figura 2.1: Celda inversora CMOS.

2.2. Técnica de Desplazamiento DC: Batería flotante.

2.2.1. Espejo cascode convencional.

A mediados de los años noventa, Ramírez-Angulo mostró cómo al introducir un desplazador de nivel DC en un espejo de corriente se reducían sus requerimientos de tensión de alimentación [73], [74]. Esta técnica se puede aplicar no sólo a los espejos de corriente convencionales, como el espejo simple, cascode y espejo regulado [75], sino también a otros circuitos.

Para entender la técnica consideraremos un espejo de corriente cascode NMOS como el de la Figura 2.2.

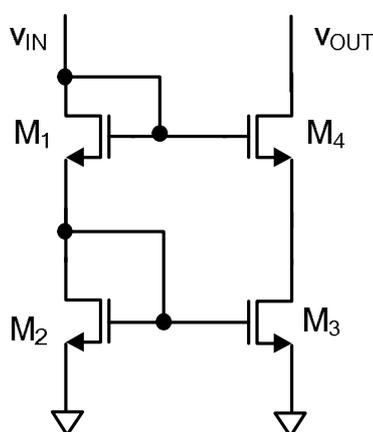


Figura 2.2: Espejo de corriente cascode.

Para que el circuito copie corriente con precisión y alta resistencia de salida, todos los transistores han de estar en saturación. Se puede observar que la tensión de entrada mínima necesaria para que el espejo funcione es $v_{IN}^{MIN} = 2v_{GS}^{MIN}$. Llamando V_{DS}^{SAT} al mínimo valor de tensión drenador-fuente para mantener el transistor en saturación, que puede ser elegido tan pequeño como 0.1V, podemos decir que $v_{GS}^{MIN} = V_{DS}^{SAT} + V_{TN}$. Esto nos conduce a que $v_{IN}^{MIN} = 2 \cdot (V_{DS}^{SAT} + V_{TN}) = 2V_{TN} + 2V_{DS}^{SAT}$. Si se estudia el circuito de salida, es fácil ver que la tensión de salida mínima necesaria es la suma de la tensión mínima de saturación del transistor M_4 más la tensión en el drenador de M_3 . Ésta última, por ser el circuito un espejo de corriente, ha de ser similar a la tensión de

drenador de M_2 , y por tanto, a la tensión puerta-fuente de M_2 , cuyo valor mínimo es $V_{DS}^{SAT} + V_{TN}$. Se tiene, entonces, que $v_{OUT}^{MIN} = V_{DS}^{SAT} + V_{DS}^{SAT} + V_{TN} = V_{TN} + 2V_{DS}^{SAT}$.

Aplicando la técnica del desplazador de continua se puede construir la versión de baja tensión mostrada en la Figura 2.3, donde, concretamente, se ha introducido una batería flotante estática V_{DC} entre el drenador y la puerta tanto de M_1 como de M_2 , con la polaridad marcada en dicha figura.

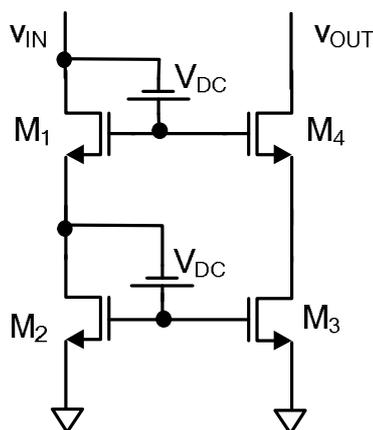


Figura 2.3: Espejo de corriente cascode de baja tensión.

Analizando el nuevo circuito, se observa que la tensión mínima necesaria en la entrada es $v_{IN}^{MIN} = 2 \cdot (-V_{DC} + v_{GS}^{MIN}) = 2 \cdot (-V_{DC} + V_{DS}^{SAT} + V_{TN}) = 2V_{TN} - 2V_{DC} + 2V_{DS}^{SAT}$, es decir, $2V_{DC}$ menor que en el cascode convencional. La tensión mínima necesaria en la salida será $v_{OUT}^{MIN} = V_{DS}^{SAT} - V_{DC} + V_{DS}^{SAT} + V_{TN} = V_{TN} - V_{DC} + 2V_{DS}^{SAT}$, o lo que es lo mismo, V_{DC} menor que en el cascode convencional. Vemos, por tanto, que los requerimientos de tensión de alimentación del nuevo circuito son menores tanto en la entrada como en la salida. Llamando V'_{TN} a $V_{TN} - V_{DC}$, podemos expresar $v_{IN}^{MIN} = 2V'_{TN} + 2V_{DS}^{SAT}$ y $v_{OUT}^{MIN} = V'_{TN} + 2V_{DS}^{SAT}$. El nuevo espejo se comporta como el antiguo, siendo el desplazamiento DC introducido equivalente a una reducción de la tensión umbral efectiva de los transistores. Seleccionando de forma adecuada el valor de la batería flotante estática y una tecnología con $V_{TN} = 0.7V$ y $V_{TP} = -0.8V$, la nueva versión del espejo cascode convencional puede funcionar para tensiones de alimentación inferiores a 1V sin que se observe una pérdida de prestaciones.

El ejemplo anterior es una demostración fácilmente comprensible de cómo la técnica de la batería flotante permite reducir significativamente los requerimientos de tensión a la entrada y a la salida de los espejos de corriente. La batería flotante se puede introducir en un circuito tanto en el camino de la señal como en el camino de la alimentación, siendo, por tanto, muy adecuada para el diseño de sistemas de baja tensión.

2.2.2. Implementación de la batería flotante.

Comprobada la utilidad de la batería flotante ideal en el diseño analógico de baja tensión, en este apartado se describen las implementaciones físicas más relevantes de baterías flotantes de la literatura. Las no linealidades de la implementación real de la batería pueden restringir su uso a caminos de señal donde no haya corriente o ésta sea constante, y pueden limitar también el comportamiento dinámico del circuito en el que se encuentren.

Según el tipo de implementación se puede programar el nivel de desplazamiento DC en un menor o mayor rango. En la Figura 2.4 se muestran realizaciones convencionales de baterías flotantes estáticas. Aunque todas ellas están realizadas con transistores PMOS también se pueden realizar de forma análoga con transistores NMOS. Conviene mencionar que a lo largo del capítulo, mientras no se diga lo contrario, se considerará que los transistores siguen un modelo de primer orden, con objeto de simplificar las explicaciones.

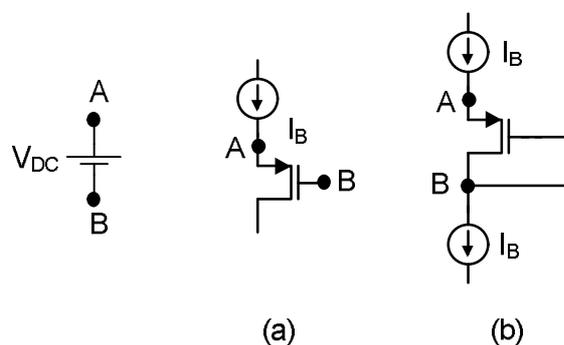


Figura 2.4: Implementaciones de la batería flotante con transistores MOS.

La implementación de la Figura 2.4.a corresponde a un típico seguidor de fuente (con resistencia de carga infinita y sin efecto sustrato, su ganancia de tensión es igual a la unidad) que, por su funcionamiento, puede ser usado también como desplazador de nivel [76]. La fuente de corriente constante I_B provoca una caída de tensión constante

entre la puerta y la fuente del transistor $V_{SG} = |V_{TP}| + \sqrt{\frac{2I_B}{K_P}}$, donde $K_P = \mu_p C_{ox} W/L$. Esa

caída es precisamente el valor V_{DC} de continua que se pretende usar como valor de desplazamiento. El valor mínimo de V_{DC} que se puede obtener es $V_{DC}^{MIN} = v_{SG}^{MIN} = |V_{TP}| + V_{SD}^{SAT}$ y el valor máximo $V_{DC}^{MAX} = V_{DD} - V_{SD}^{SAT}$, por lo que el rango de funcionamiento es $\Delta V_{DC} = V_{DC}^{MAX} - V_{DC}^{MIN} = V_{DD} - 2V_{SD}^{SAT} - |V_{TP}|$. Si la tensión de alimentación del circuito fuese, por ejemplo, $V_{DD} = 1.5V$ y la tensión umbral del transistor $V_{TP} = -0.8V$, se podría programar V_{DC} en el rango $[0.9V, 1.4V]$. De los dos nodos A y B de la batería, sólo el B es de alta impedancia. Para evitar que por la fuente del transistor entre más corriente en DC que la I_B de diseño y se altere así el funcionamiento de la batería, se debe conectar el nodo A a un punto del circuito con alta impedancia. Además, a pesar de las posibles variaciones de tensión entre el drenador y la fuente del transistor, éste ha de permanecer en saturación para que el nivel de desplazamiento sea lo más constante posible. Esta implementación fue utilizada en [77] en un amplificador operacional clase AB de baja tensión de alimentación. Dicho circuito consiste en un amplificador diferencial básico seguido de un inversor CMOS que actúa como etapa de salida, a la que se le añade una batería flotante para que pueda trabajar en baja tensión, tal y como se muestra en la Figura 2.5.a con la batería flotante ideal y en la Figura 2.5.b con una implementación práctica de la misma.

La implementación de la Figura 2.4.b funciona mediante dos fuentes de corriente apareadas y garantiza el estado de saturación del transistor, ya que el drenador y la puerta del mismo se hallan cortocircuitados. Su rango de funcionamiento es algo menor que el de la Figura 2.4.a, ya que V_{DC}^{MIN} no cambia pero $V_{DC}^{MAX} = V_{DD} - 2V_{DS}^{SAT}$, dando como resultado $\Delta V_{DC} = V_{DD} - V_{TN} - V_{DS}^{SAT}$. Con $V_{DD} = 1.5V$ y $V_{TP} = -0.8V$, se podría programar V_{DC} en el rango $[0.9V, 1.3V]$.

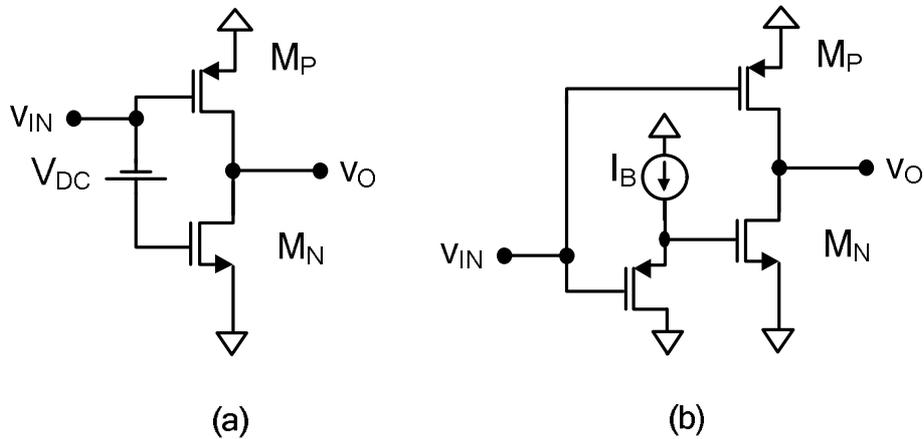


Figura 2.5: Inversor CMOS modificado con batería flotante: a) ideal b) real.

En la Figura 2.6.a se muestra una posible implementación pasiva del desplazador de nivel que consiste en una resistencia (R) y dos fuentes de corriente constante apareadas (I_B). El valor de la tensión de desplazamiento es $V_{DC} = I_B \cdot R$ y si se considera que la corriente I_B sólo se puede programar en un sentido, el rango de programación de V_{DC} puede ir desde prácticamente cero hasta $V_{DD} - 2V_{DS}^{SAT}$. Es decir, que el rango de programación es $[0, V_{DD} - 2V_{DS}^{SAT}]$, casi completo (en inglés, *rail-to-rail*). Además, si la corriente I_B es programable en ambos sentidos, entonces V_{DC} puede tomar tanto valores positivos como negativos, siendo el rango en este caso $[-V_{DD} + 2V_{DS}^{SAT}, V_{DD} - 2V_{DS}^{SAT}]$. En la Figura 2.6.b se muestra una posible implementación práctica de la batería donde las fuentes de corriente del mismo valor y apareadas se realizan mediante una fuente de intensidad de referencia y unos espejos de corriente. Las resistencias de salida de las fuentes de corriente de la batería pueden cargar el circuito en el que se utilice la misma, siendo una posible solución el empleo de espejos cascado para aumentar dichas resistencias.

En la Figura 2.7 se muestra la batería flotante estática presentada en [73] ligeramente modificada. La gran ventaja de esta implementación es que con ella se pueden programar tensiones de desplazamiento tanto positivas como negativas de forma muy sencilla, ya que por la topología del circuito se cumple que $V_{DC} = v_{SG,M2} - v_{SG,M1}$,

donde $v_{SG,M2} = |V_{TP}| + \sqrt{\frac{I_{B2}}{K_P}}$ y $v_{SG,M1} = |V_{TP}| + \sqrt{\frac{I_{B1} - I_{B2}}{K_P}}$. Independientemente de

que I_{B1} deba ser mayor que I_{B2} para un correcto funcionamiento del circuito, si se selecciona $I_{B1} < 2I_{B2}$, la tensión V_{DC} será positiva, mientras que si se selecciona $I_{B1} > 2I_{B2}$, la tensión V_{DC} será negativa. El nivel de desplazamiento podrá programarse en el rango $[-V_{DD} - |V_{TP}| - 2V_{DS}^{SAT}, V_{DD} - 2V_{DS}^{SAT}]$. Aunque el nodo A es de alta impedancia, habrá que asegurar la saturación de M_1 . El nodo B no es de alta impedancia y habrá que procurar no cargarlo, pero M_2 tiene asegurada la saturación al tener sus terminales de puerta y drenador cortocircuitados. En el caso de disponer de $V_{DD} = 1.5V$ y $V_{TP} = -0.8V$, la tensión V_{DC} se podría variar en el rango $[-2.5V, 1.3V]$.

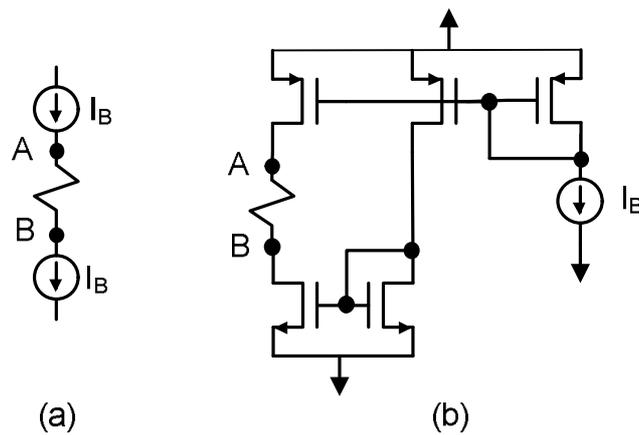


Figura 2.6: Batería flotante estática con resistencia y fuentes de corriente constante.

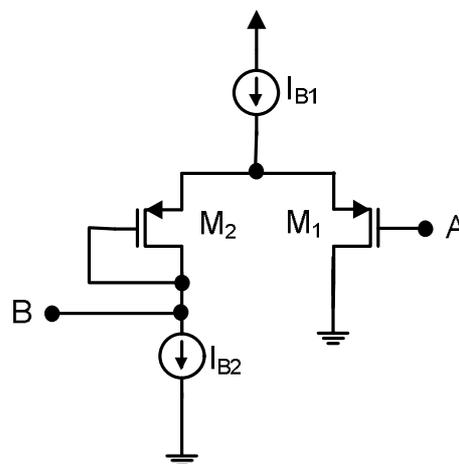


Figura 2.7: Batería flotante estática usando un par diferencial no balanceado PMOS.

En [77] se presentaba, además, una técnica para conseguir que un amplificador operacional de dos etapas funcionase con muy baja tensión de alimentación. Dicha estrategia consiste en colocar una batería flotante estática de valor V_{BIAS} en la entrada negativa del amplificador operacional, tal y como muestra la Figura 2.8.a. La batería flotante disminuye los requerimientos de tensión de la etapa de entrada ya que hace que ambos terminales de entrada tengan una tensión muy próxima a uno de los railes de alimentación. Es decir, con esta técnica se consigue desacoplar el modo común de entrada del modo común de salida, a pesar de que el modo común de salida debe valer la mitad de la tensión de alimentación para permitir el máximo rango dinámico posible y que el modo común de entrada, en circuitos de baja tensión, debe encontrarse cerca de un raíl de alimentación. La batería puede ser implementada con cualquiera de las configuraciones vistas anteriormente aunque en [77] se utilizó una implementación práctica que seguía el esquema resistencia-fuente de corriente de la Figura 2.8.b.

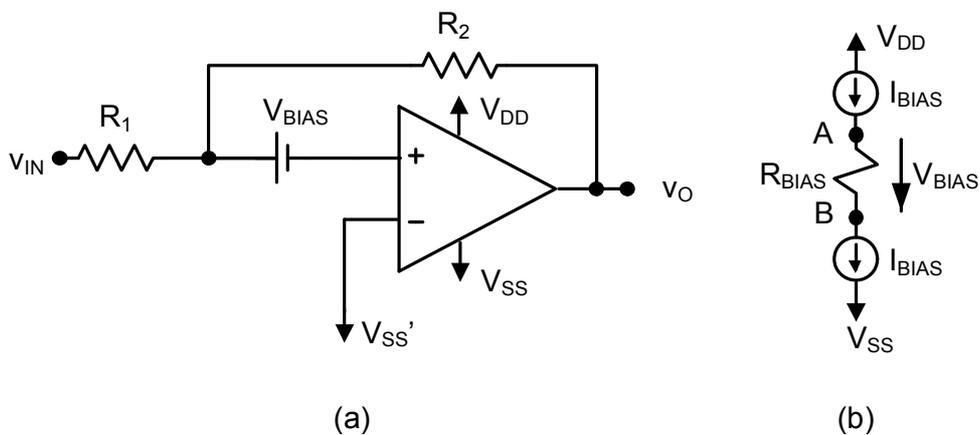


Figura 2.8: Esquema básico para funcionamiento en baja tensión.

En [78] se utilizó una batería flotante de capacidades conmutadas para desplazar el nivel DC entre dos etapas de un amplificador operacional en un circuito SC. Dicha batería se muestra en la Figura 2.9 y consiste en mantener una tensión flotante en la capacidad C_2 dada por la diferencia entre dos referencias de tensión V_{REF1} y V_{REF2} . Los interruptores son controlados por dos relojes de fases complementarias, de forma que el valor de la tensión en C_2 se refresca periódicamente mediante el valor de la tensión en C_1 . A pesar de las corrientes de fuga de los condensadores, la tensión de desplazamiento V_{DC} no se degrada. Este tipo de implementación presenta una ventaja clara frente a la implementación con fuentes de corriente y resistencias: se puede usar con mayor

facilidad en la entrada de amplificadores operacionales o transconductores, ya que no carga de forma resistiva el circuito. Su utilidad se centra principalmente en circuitos discretos (SC), ya que en tiempo continuo la necesidad del refresco introduciría tonos no deseados, posiblemente de baja frecuencia. En las primeras publicaciones que utilizaron esta batería, se asumía el siguiente inconveniente: para una tecnología dada y si el diseño era de baja tensión, los transistores que actuaban como interruptores debían tener asegurada su conducción y, para ello, su tensión puerta-fuente debía ser suficientemente alta. Esto limitaba de forma considerable el rango de programación de V_{DC} .

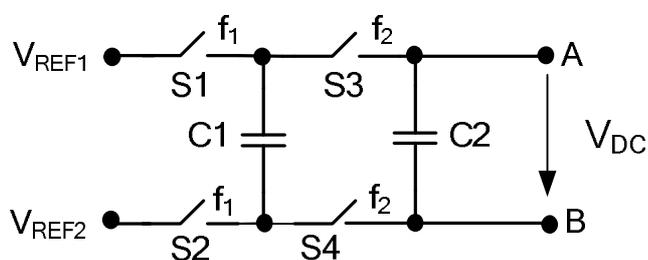


Figura 2.9: Batería flotante con capacidades conmutadas.

Una batería flotante SC similar a la anterior fue utilizada en la etapa de salida de [79], que puede verse en la Figura 2.10. Gracias a la batería, dicha etapa consigue un control de la corriente quiescente y puede funcionar con tensiones de alimentación pequeñas. Como en el caso anterior, los transistores-interruptores $S3$ y $S4$ requerían, en principio, una tensión de puerta mucho más alta que la tensión de alimentación y, por tanto, un doblador de tensión.

Es necesario añadir que, en realidad, esos interruptores no tienen por qué requerir una tensión de puerta tan alta, ya que pueden funcionar en la región sub-umbral. Sólo habrá que tener en cuenta que, al ser la corriente más pequeña, los retrasos en la conmutación serán mayores y, sobre todo, que el arranque puede ser muy lento, incluso milisegundos, dependiendo del nivel de inversión alcanzado en los transistores.

Una versión de batería flotante SC que no necesita dobladores de tensión fue propuesta en [80] para conseguir el funcionamiento de muy baja tensión de alimentación del inversor CMOS, tal y como se muestra en la Figura 2.11.

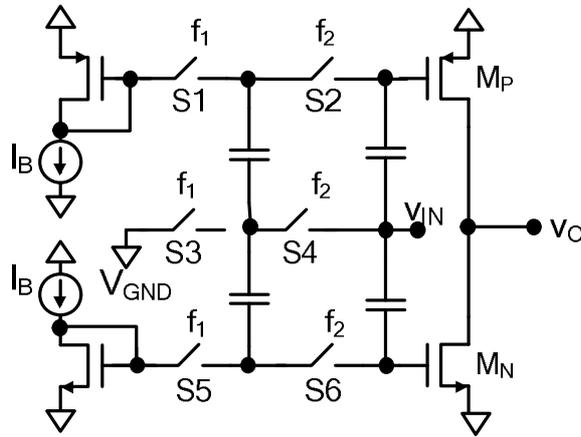


Figura 2.10: Inversor CMOS con batería flotante implementada mediante red SC.

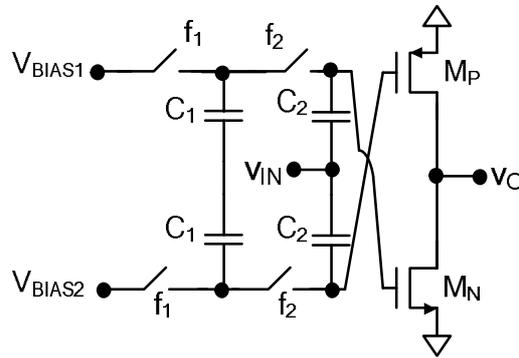


Figura 2.11: Inversor CMOS con batería flotante SC y sin dobladores de tensión [80].

En la actualidad, se han propuesto interruptores basados en transistores de puerta casi-flotante que, incluso en condiciones de muy baja tensión de alimentación, son capaces de conmutar en todo el rango de señal, sin necesidad de multiplicadores de tensión para incrementar el valor de la tensión de puerta [81].

En [82] se presenta un nuevo desplazador de nivel DC, con alto rendimiento de potencia frente a los convencionales y buena respuesta de conmutación. No obstante, está orientado a aplicaciones digitales donde se necesita desplazar el nivel de DC un valor muy alto (entre 8 y 20 voltios), con lo que la tensión de alimentación es muy elevada y no es de interés en esta Tesis.

En [83] se utiliza otro tipo de batería estática para aumentar el modo común a la entrada de un amplificador de transconductancia, con lo cual se aumenta el rango de entrada del mismo. De esta manera, se diseña un filtro G_m -C con un rango de entrada-salida casi

completo. Sin embargo, esta topología de batería tampoco nos interesa porque necesita una alimentación mucho mayor que la del amplificador y hace necesario introducir un circuito doblador de tensión que la genere. De nuevo, este tipo de diseño sigue una dirección opuesta al objetivo marcado en esta Tesis.

2.3. Batería dinámica.

Observando cualquiera de las anteriores implementaciones de batería flotante estática, se intuye la conveniencia de hacer programable la tensión de desplazamiento, puesto que dependiendo de la aplicación, se necesitará un valor u otro de la misma. Esta programación se lleva a cabo regulando una o varias fuentes de polarización, según el tipo de batería estática. En cualquier caso, se trata de una programación realizada una sola vez y que permite fijar el valor de la tensión DC al valor constante deseado.

Pues bien, en [72] se propone una nueva técnica para conseguir el funcionamiento de muy baja tensión y gran ancho de banda de amplificadores operacionales CMOS, con g_m constante y rango completo de entrada y salida. Dicha estrategia consiste en utilizar una fuente flotante controlada por tensión en el camino de realimentación del amplificador operacional. De esta forma, se consigue mantener ambos terminales de entrada con un valor de tensión cercano a uno de los raíles de alimentación, lo cual significa una reducción de los requerimientos de alimentación. Y en vez de utilizar las clásicas etapas de entrada diferenciales complementarias MOS para conseguir un rango de entrada completo, las cuales requieren una V_{DD} mayor que $V_{TN} + |V_{TP}|$, se puede utilizar un simple par diferencial, PMOS o NMOS, que sí es capaz de trabajar con muy baja tensión de alimentación y que, mediante esta técnica, consigue, el funcionamiento *rail-to-rail* a la entrada.

Para ilustrar la aplicación de dicha técnica, se ha considerado un amplificador operacional en configuración de seguidor de tensión, tal y como se muestra en la Figura 2.12.a. La etapa de entrada de dicho amplificador es un típico par diferencial PMOS. El máximo valor que puede tomar cada entrada sin que los transistores entren en el estado de corte es $v_{IN}^{MAX} = V_{DD} - 2V_{SD}^{SAT} - |V_{TP}|$. De ahí que el rango del modo común de

entrada V_{CMI} sea $[0, V_{\text{DD}} - 2V_{\text{SD}}^{\text{SAT}} - |V_{\text{TP}}|]$. El modo común de salida V_{CMO} tiene ese mismo rango ya que $V_{\text{CMO}} = V_{\text{CMI}}$. En el caso de disponer de $V_{\text{DD}} = 1.5\text{V}$ y $V_{\text{TP}} = -0.8\text{V}$, el rango de modo común se ve limitado a $[0\text{V}, 0.5\text{V}]$.

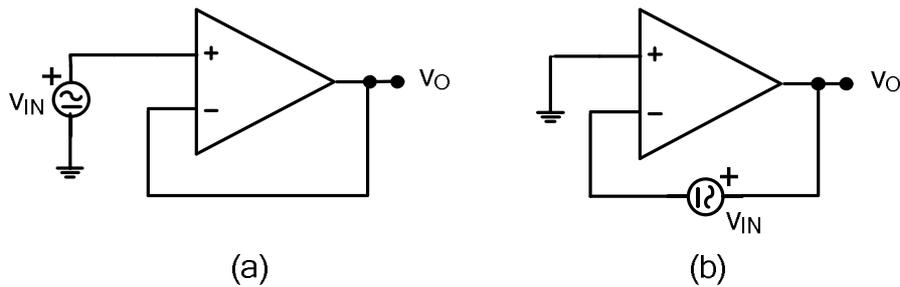


Figura 2.12: Esquema básico para funcionamiento en baja tensión.

Sin embargo, en la configuración de la Figura 2.12.b, a pesar de que sigue siendo un seguidor de tensión y que $V_{\text{CMO}} = V_{\text{CMI}}$, el modo común de entrada no se aplica directamente a ninguno de los terminales de entrada del amplificador operacional, por lo que su limitación viene dada, en este caso, por la máxima excursión permitida en la tensión de salida. Esto conduce a un rango de tensión de modo común $[V_{\text{SD}}^{\text{SAT}}, V_{\text{DD}} - 2V_{\text{SD}}^{\text{SAT}}]$. Es decir, esta configuración permite no sólo trabajar con muy baja tensión de alimentación, sino también un rango de modo común completo. Por supuesto, el seguidor sigue presentando una alta impedancia de entrada y una baja impedancia de salida.

La clave de esta configuración es el uso de una fuente de tensión flotante dependiente de la señal de entrada, que no es más que una batería flotante dinámica (su valor ya no permanece constante sino que varía en el tiempo dependiendo de una señal, normalmente la entrada del circuito). Esta técnica, publicada en Mayo de 2000, fue la primera que permitió el funcionamiento de un amplificador operacional en tiempo continuo con muy baja alimentación, rango de entrada completo, g_m constante y alta impedancia de entrada.

En esta Tesis nos hemos basado en la batería dinámica de tiempo continuo propuesta en [72] para diseñar dos nuevos circuitos básicos, un transconductor y un rectificador

de tensión, capaces de operar con muy baja alimentación, y que se presentarán más adelante, no sin antes realizar un estudio de la implementación de dicha batería. Aparte de estas dos aplicaciones, la batería flotante ha dado lugar a otras de diferentes autores por las cuales se hará un breve recorrido en la siguiente sección.

2.4. Aplicaciones de la batería flotante.

En esta Tesis Doctoral se ha considerado que las baterías flotantes se dividen en los siguientes tipos:

- a) Batería flotante estática (S-FB): su valor es constante.
- b) Batería flotante estática para el modo diferencial y dinámica para el modo común (SDM/DCM-FB): su valor depende del modo común de una señal de tensión. Su variación es, por tanto, lenta.
- c) Batería dinámica (D-FB): su valor depende de una señal de tensión que tiene tanto componente de modo común como componente diferencial. Su valor varía, pues, muy rápidamente.

Como ya se ha comentado, en la literatura se puede encontrar una serie de relevantes aplicaciones de las baterías flotantes, a las cuales está dedicado el resto del apartado atendiendo a esta clasificación.

2.4.1. Aplicaciones de la S-FB.

La batería flotante estática o desplazador DC ha sido utilizada en multitud de aplicaciones de gran interés para el diseño analógico [84]-[86], [88]-[95].

En [84] se propone un convector de corriente, mostrado en la Figura 2.13, con reducida resistencia de entrada y mayor flexibilidad de diseño, ya que, gracias a la incorporación de una fuente flotante, la corriente quiescente no queda sólo determinada por la tensión de alimentación y la relación de aspecto de los transistores. Se utiliza un seguidor de fuente para implementar la fuente flotante.

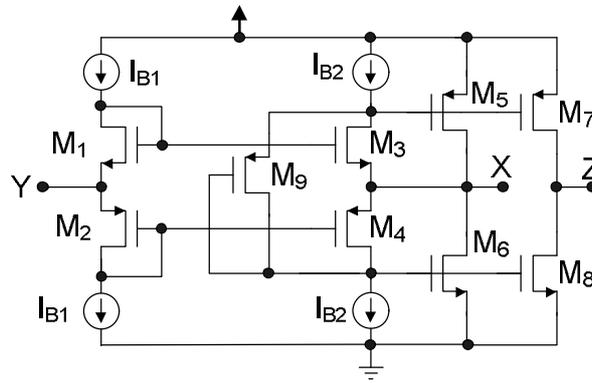


Figura 2.13: Convector de corriente con fuente flotante [84].

En [85], [86] se presentan dos transconductores que, debido al uso de baterías flotantes, consiguen operar con muy baja tensión de alimentación. Ambos están basados en el OTA propuesto por Nauta [87]. Sin embargo, los típicos inversores CMOS que lo componen, han sido sustituidos por inversores de muy baja tensión con batería flotante como el de la Figura 2.14.a. Para implementar la batería en el primer transconductor se utiliza el esquema de resistencia con fuentes de corriente de la Figura 2.6.a, salvo que, al ser necesario implementar dos fuentes de tensión V_{BIAS} , se ha modificado ese esquema ligeramente quedando como aparece en la Figura 2.14.b. En el segundo transconductor se implementa la batería basándose en el esquema SC de Feldman [78], el cual no presenta nodos internos y degrada menos la respuesta en frecuencia. En este caso, el inversor CMOS de baja tensión queda como se muestra en la Figura 2.14.c y su utilización está limitada a aplicaciones SC. Ambos transconductores tienen un gran rango de entrada, $600mV_{pp}$. El primero consigue un $BW=100MHz$ con $V_{DD}=1.5V$ y el segundo logra un $BW=350MHz$ con $V_{DD}=1.2V$ aunque con mayor distorsión.

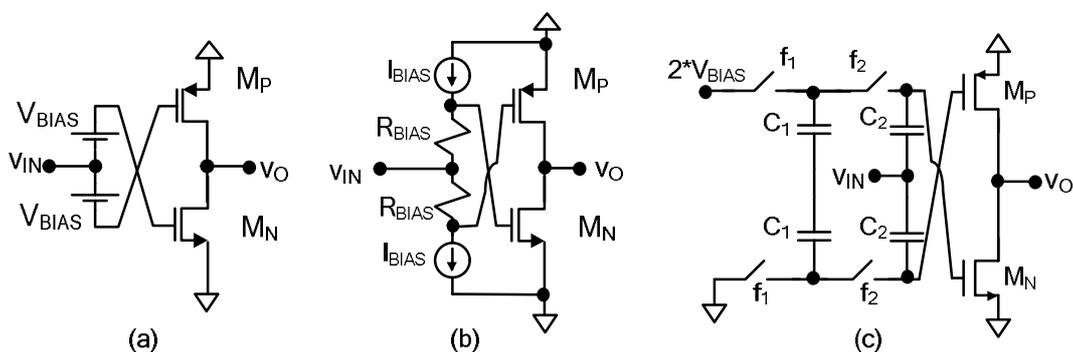


Figura 2.14: Inversor CMOS de muy baja tensión [86].

En [88] se propone una técnica para conseguir que las etapas diferenciales de entrada complementarias P-N, la cuales disponen de rango de entrada completo, mantengan una transconductancia total g_m constante en todo el rango. De ese modo, el producto ganancia-ancho de banda GBW de la etapa no se ve afectado al variar el modo común de entrada V_{CMI} . Dicha técnica consiste en utilizar una batería flotante V_S entre la puerta de cada transistor del par diferencial P y la entrada de señal, tal y como se muestra en la Figura 2.15. De esta forma, se solapa la región de transición de la curva g_m - V_{CMI} del par P con la del N, siendo la suma de ambas curvas (transconductancia total de la etapa) más constante. Sin embargo, en [88] no se llega a proponer un criterio para sintonizar el valor de la batería V_S a su valor óptimo.

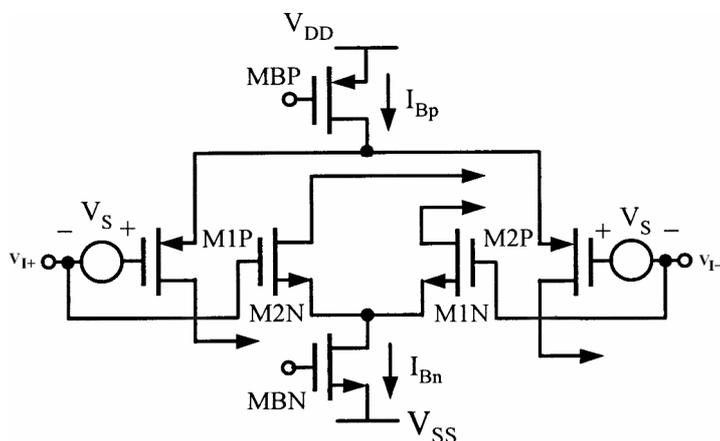


Figura 2.15: Etapa de entrada complementaria con fuentes de tensión flotantes.

En [89] se presenta la técnica de solape de la respuesta de modo común, dando precisamente un criterio de ajuste de dicho valor de V_S . Propone ajustarlo, mediante una sección de sintonía automática, a un valor tal que el punto V_C de corte de las regiones de transición de ambos pares tenga el mismo valor que el nivel de modo común de entrada en el que sus transconductancias g_{mn} y g_{mp} son la mitad de su valor máximo. En la Figura 2.16 se muestran las transconductancias g_{mn} y g_{mp} de los pares de la etapa de entrada de la Figura 2.15 frente al modo común de entrada, así como la transconductancia total g_m de dicha etapa cuando se aplica el criterio anterior de ajuste de V_S . Puede observarse cómo la variación de la transconductancia g_m es, en tal caso, muy reducida. Las baterías flotantes se implementan mediante seguidores de fuente tanto en [88] como en [89].

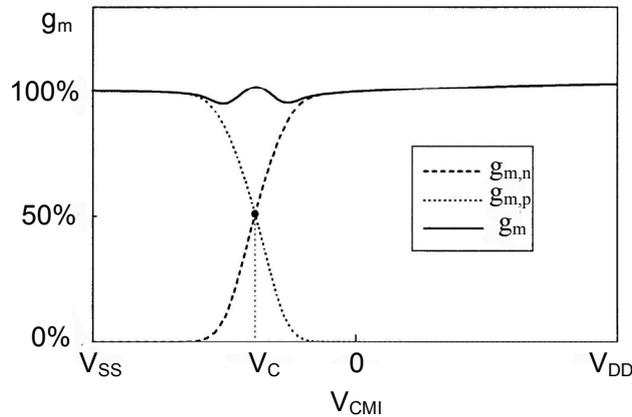


Figura 2.16: Transconductancia de una etapa de entrada complementaria frente al MC de entrada con la técnica de solape de la respuesta de MC [89].

En [90] se proponen topologías de bucles translineales capaces de operar con muy baja tensión de alimentación gracias al uso de una novedosa técnica de polarización que incluye baterías flotantes estáticas. La implementación de dichas baterías está basada en el esquema resistencia con fuentes de corriente de la Figura 2.6.

En [91] se utilizan desplazadores de nivel DC, implementados con seguidores de fuente para programar la transconductancia del circuito. En [92] se utiliza un par diferencial, linealizado usando fuentes de tensión flotantes implementadas mediante el seguidor de tensión girado (FVF), para realizar la función de conversión tensión corriente con baja tensión de alimentación. Ese mismo transconductor es usado en [93] para realizar un circuito de ley cuadrática y un multiplicador de tensión, ambos de baja tensión y bajo consumo.

En [94], [95] se presenta una etapa de salida clase AB para amplificadores operacionales CMOS que consigue un control preciso no sólo de la corriente quiescente, sino también de la corriente mínima a través de los transistores de salida. Y todo ello posible en un gran rango de tensiones de alimentación. De hecho, la etapa puede funcionar tanto con una alimentación alta como con una alimentación cercana a la tensión umbral de un transistor. Dicha etapa, mostrada en la Figura 2.17.a, utiliza dos fuentes de tensión flotantes que están basadas en el esquema de la batería dinámica [72] pero que se programan a un valor constante. En [95] se presenta, además, otra etapa de salida CMOS clase AB con control preciso de la corriente quiescente y capaz de operar

también con muy baja alimentación. Esta segunda etapa de salida se muestra en la Figura 2.17.b y está basada en el inversor ideal CMOS de baja tensión de la Figura 2.5.a pero con una implementación de la batería flotante como la descrita para [94].

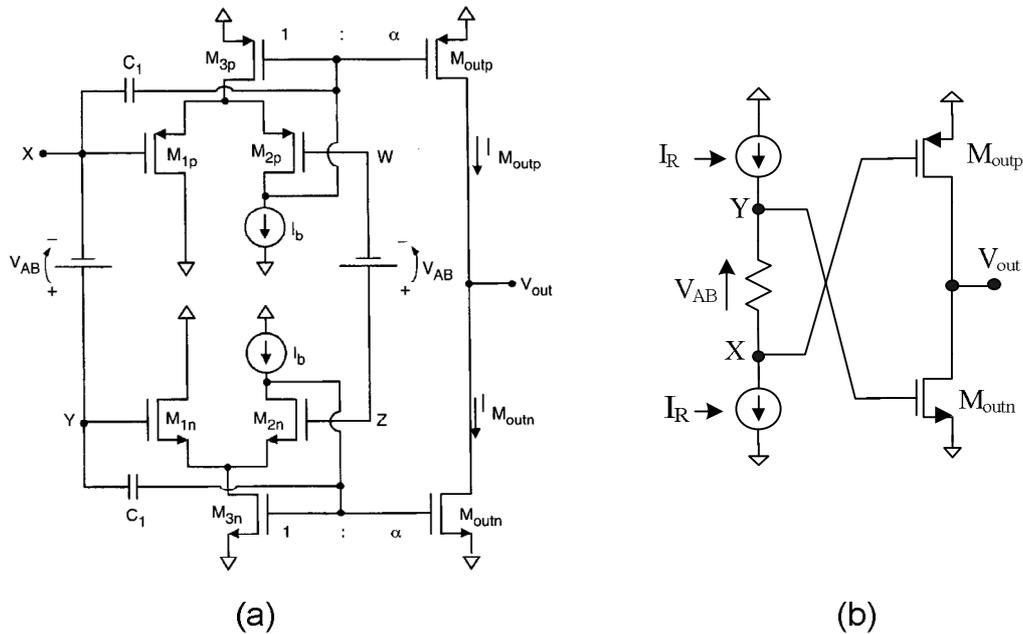


Figura 2.17: Etapas de salida clase AB para amplificadores operacionales: a) [94] b) [95].

2.4.2. Aplicaciones de la SDM/DCM-FB.

La batería flotante estática para el modo diferencial y dinámica para el modo común ha dado lugar a aplicaciones como [96], [97], [99]-[103].

En [96] se presenta un amplificador operacional con rangos de entrada y salida completos y que opera con una tensión de alimentación de tan sólo 1V. Aunque utiliza tecnología bipolar, hay que decir que ya utiliza la idea de desplazamiento de nivel dinámico. El amplificador operacional está basado en una etapa de entrada complementaria de pares diferenciales para conseguir el funcionamiento *rail-to-rail*. La operación a muy baja tensión de alimentación se consigue introduciendo resistencias de desplazamiento de nivel entre los terminales de entrada y las bases de los transistores de los dos pares de entrada, como puede verse en la Figura 2.18. Estas resistencias son activadas por fuentes de corriente que, mediante un generador de corriente de

desplazamiento dinámico, se hacen dependientes del nivel de modo común de entrada. Cuando el modo común de entrada está cerca de uno de los raíles de alimentación, la corriente de desplazamiento dinámico es cero y el modo común aplicado a los pares de entrada coincide con el modo común de las señales de entrada, con lo que el correspondiente par estará activo y el otro no. Cuando el modo común de entrada está en la mitad del rango de alimentación, la corriente de desplazamiento dinámico toma su valor máximo. En ese caso, el modo común aplicado al par P es desplazado hasta el raíl negativo y el aplicado al par N, hasta el raíl positivo, eliminándose la zona prohibida de valores de modo común que aparece cuando se disminuye la alimentación en una etapa complementaria.

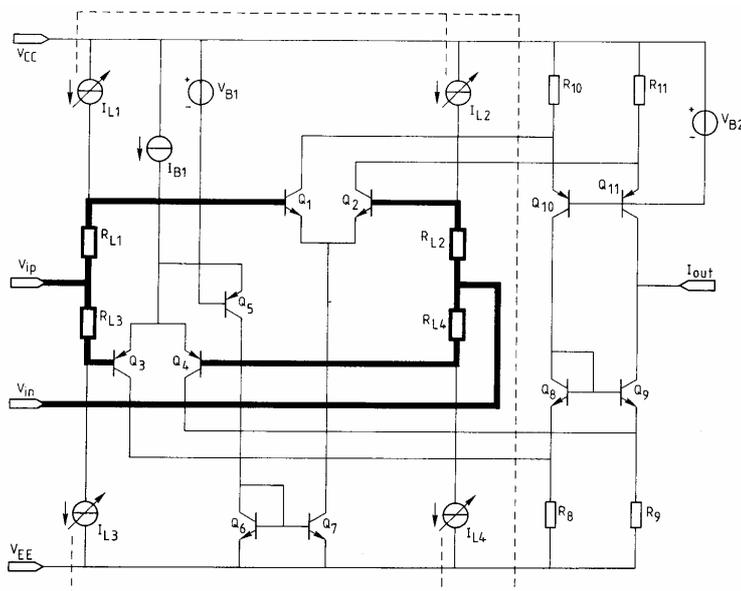


Figura 2.18: Etapa de entrada con resistencias de desplazamiento DC y circuito sumador [96].

En [97] se proponen dos amplificadores operacionales CMOS *rail-to-rail* capaces de funcionar con 1V de alimentación. El primero, mostrado en la Figura 2.19, está basado en una etapa complementaria de pares diferenciales que utiliza el concepto de desplazamiento dinámico de [96] aplicado a tecnología CMOS: a través de resistencias por las que circula una corriente dada por un generador de desplazamiento dinámico, se acomoda el modo común de entrada en todo su rango al rango muy pequeño de la etapa de entrada. Esto se lleva a cabo mediante una acción “hacia delante” ya que el generador está midiendo las señales de entrada para obtener el modo común y,

dependiendo de éste, genera una corriente como en [96]. El esquema conceptual del desplazamiento dinámico no lineal de nivel de modo común se muestra en la Figura 2.20.

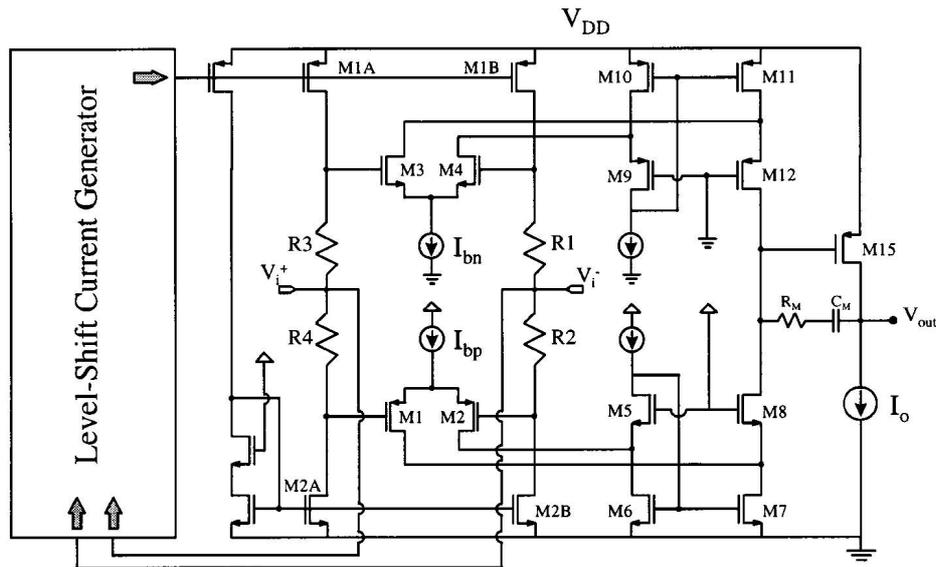


Figura 2.19: Amplificador operacional con circuito de desplazamiento dinámico [97].

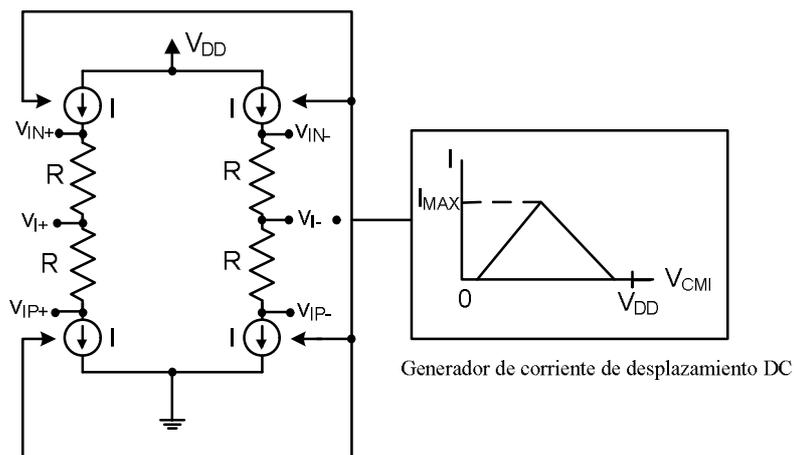


Figura 2.20: Esquema conceptual del desplazamiento dinámico de nivel de modo común [97].

El segundo amplificador operacional propuesto en [97], con el que se consigue menor consumo, menor complejidad y menor distorsión que con el anterior, está basado en un simple par diferencial que utiliza también un circuito adaptador para adecuar el modo común de la entrada al rango de tensión de entrada del amplificador, que en el caso de

ser de tipo P es solamente $[V_{SS}, V_{DD} - 2V_{SD}^{SAT} - |V_{TP}|]$. Este circuito adaptador no funciona “hacia delante” sino que está basado en un lazo de realimentación del modo común, consituyendo una batería flotante cuyo esquema conceptual puede verse en la Figura 2.21.a. El esquema es muy similar al de la batería flotante de [71], [72], que se ha repetido en la Figura 2.21.b para facilitar la comparación entre ambos [98]. Puede verse que la topología del esquema de la Figura 2.21.a es la versión diferencial balanceada del de la Figura 2.21.b. Sin embargo, existe una diferencia sustancial en el modo en que cada una de estas baterías flotantes funciona. En el primer esquema, $V_{CMIP} = V_{REF}$ y $v_{ipd} = v_{id}$, luego las tensiones v_{IP+} y v_{IP-} tienen la misma variación en el tiempo que las tensiones v_{I+} y v_{I-} , si bien su modo común, V_{CMIP} , es el de entrada V_{CMI} menos una tensión de desplazamiento V_{SHIFT} tal que V_{CMIP} queda constante e igual a la tensión de referencia V_{REF} , que está muy cercana al raíl negativo (o tierra, sin pérdida de generalidad). Ello significa que, debido al bucle de realimentación, la tensión de modo común del par diferencial queda fijada a un valor constante adecuado dentro del rango de entrada del par, a la vez que el modo diferencial no experimenta ningún cambio. El valor de la batería flotante depende sólo del modo común de entrada y no del modo diferencial, siendo, por tanto, una batería flotante estática para el modo diferencial y dinámica para el modo común (SDM/DCM-FB). En el esquema de la Figura 2.21.b se da que $V_{CMIP} = V_{REF}$ y $v_{ipd} = 0$ y, por ello, $v_{IP+} = v_{IP-} = V_{REF}$. En el terminal negativo de entrada del par, la tensión es la de entrada, v_{IN} , desplazada una tensión $V_{SHIFT} = v_{IN} - V_{REF} = V_{CMI} + v_{in} - V_{REF}$, siendo así la batería dinámica tanto con el modo común como con el modo diferencial (lo que hemos denominado una batería D-FB). Además, existe otro detalle a tener en cuenta: mientras el modo diferencial sea pequeño, como suele suceder en la mayoría de las aplicaciones con amplificadores operacionales, ambos esquemas pueden trabajar con $V_{DD}^{MIN} = 3V_{DS}^{SAT} - |V_{TP}|$, pero si el modo diferencial es mayor que $2 \cdot [V_{DS}^{SAT} - V_{REF}]$, habrá que aumentar la alimentación en el esquema de la Figura 2.21.a.

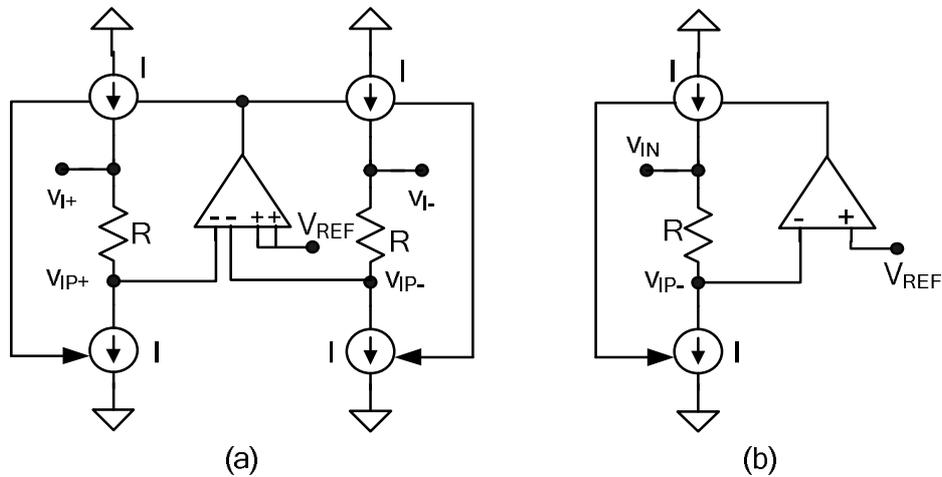


Figura 2.21: Esquema de la batería flotante a) [97] b) [71], [72].

En [99] se ha mejorado el generador no lineal de corriente de desplazamiento dinámico del primer amplificador operacional propuesto en [97]. Ese generador no está controlado de forma precisa puesto que sólo la tensión máxima de desplazamiento es sintonizada, lo cual lleva a que el comportamiento de pequeña señal del amplificador varíe mucho en el rango de modo común de entrada. Pues bien, en este nuevo generador se consigue que $\sqrt{I_p} + \sqrt{I_N}$ sea casi constante, siendo I_p e I_N la corriente de polarización del par P y N, respectivamente. De esa forma, $g_{m,total} = \sqrt{2K_p I_p} + \sqrt{2K_N I_N} = \sqrt{2K} \cdot (\sqrt{I_p} + \sqrt{I_N})$ es prácticamente constante, siendo $K_p = K_N = K$. El nuevo amplificador operacional tiene, además, menor consumo y un mayor producto GBW, SR, CMRR y PSRRR, pero con menor ganancia DC y más elevada alimentación (1.3V en vez de 1V). En esta misma línea, en [100] se propone otra versión del generador no lineal de corriente de desplazamiento dinámico del primer amplificador operacional propuesto en [97]. Dicha versión consigue el control preciso de la tensión de desplazamiento y, además, mantiene la corriente total de polarización de la etapa de entrada del amplificador, casi constante e igual al valor nominal de la corriente de polarización de cada par. Esta última razón hace que si los transistores de entrada operan en inversión débil, usual si la alimentación es extremadamente baja, la transconductancia total del amplificador se mantenga casi constante, ya que en inversión débil la transconductancia de un transistor MOS es proporcional a su corriente de polarización. En inversión fuerte, naturalmente, no ocurre. El amplificador operacional al que da lugar esta versión del generador tiene la mayoría de sus

prestaciones similares al de [99] y, aunque no mejora el producto GBW del de [97], sí es capaz de operar con una alimentación de 1V.

En [101] y [102], al igual que en [89], se propone un criterio para sintonizar el valor de V_S de [88] a su valor óptimo. Se propone la técnica de conformado de la respuesta del modo común, que ajusta el valor de las fuentes flotantes estáticas V_S según el valor de la tensión de modo común de entrada V_{CMi} , de manera que la transconductancia total del par compuesto sea constante e igual al valor de la g_m cuando el modo común de entrada es justamente el valor de la alimentación V_{DD} . La diferencia con la técnica propuesta en [89] es que las dos fuentes flotantes estáticas V_S no se ajustan mediante una sección de sintonización automática estática sino de forma continua mediante un lazo de realimentación negativa. Se trata, por tanto, de una batería dinámica con el modo común y estática con el modo diferencial. Aunque esta técnica ofrece más precisión que la otra desde el punto de vista de variación de la transconductancia total (de hecho, consigue un $\Delta g_m = \pm 1.25\%$ frente al $\Delta g_m = \pm 3.5\%$ de la otra), el bucle de realimentación limita el rango de frecuencia de funcionamiento, consiguiendo trabajar sin distorsión a valores de frecuencia más bajos. Se utilizan seguidores de fuente para implementar las baterías flotantes.

En [103] se presenta una etapa de entrada amplificadora con funcionamiento *rail-to-rail*, mostrada en la Figura 2.22.

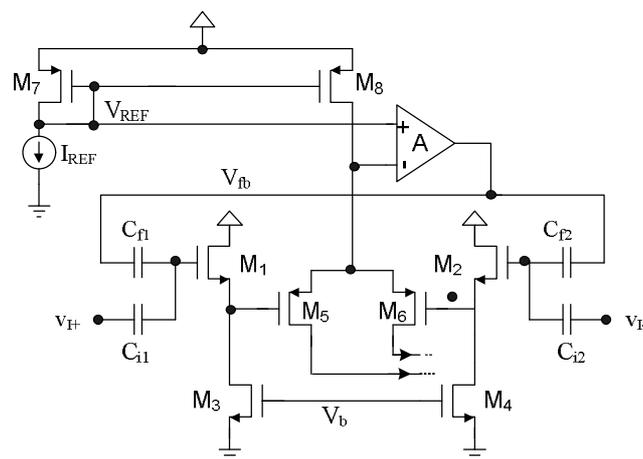


Figura 2.22: Etapa de entrada *rail-to-rail* [103].

Dicha etapa consiste en un simple par diferencial al que se le añade en cada entrada una batería flotante programable. Esta batería sirve para desplazar el nivel DC de la señal de entrada a un nivel fijo, que esté dentro del rango de modo común de entrada del amplificador. Como la cantidad de desplazamiento requerido depende del valor del modo común de entrada, es necesario que la batería sea altamente programable y, para ello, se ha utilizado un transistor MIFG en configuración de seguidor de fuente. El esquema conseguido presenta g_m constante y un alto CMRR.

2.4.3. Aplicaciones de la D-FB.

La batería dinámica de [71], [72] ha dado lugar no sólo a las aplicaciones presentadas en esta Tesis [104]-[107], sino también a otras como [94], [95], aunque estas dos últimas han sido englobadas dentro de las S-FB por haber sido programadas las baterías a una tensión constante.

Tras el estudio bibliográfico realizado en esta Tesis, se puede afirmar que no existe hasta la fecha ninguna otra implementación de tiempo continuo de batería dinámica con el modo diferencial y dinámica con el modo común que la propuesta en [71], [72]. Si bien existen implementaciones de capacidades conmutadas (SC) como las presentadas en [78], [79] que pueden hacerse dependientes de señal, al ser adecuadas para aplicaciones de tiempo discreto están fuera de los objetivos marcados en esta Tesis. Nuestro interés, como ya se ha comentado anteriormente, radica en las aplicaciones de tiempo continuo con muy baja tensión de alimentación.

2.5. Implementación de la batería dinámica.

En la Figura 2.23 se muestra el esquema de la Figura 2.12.b pero con la implementación de baja tensión de la batería dinámica mencionada anteriormente. Dicha implementación consta de dos partes: la primera, o “Parte A”, actúa como amplificador de transconductancia convirtiendo tensión en corriente y la segunda, o “Parte B”, como amplificador de transresistencia convirtiendo corriente en tensión.

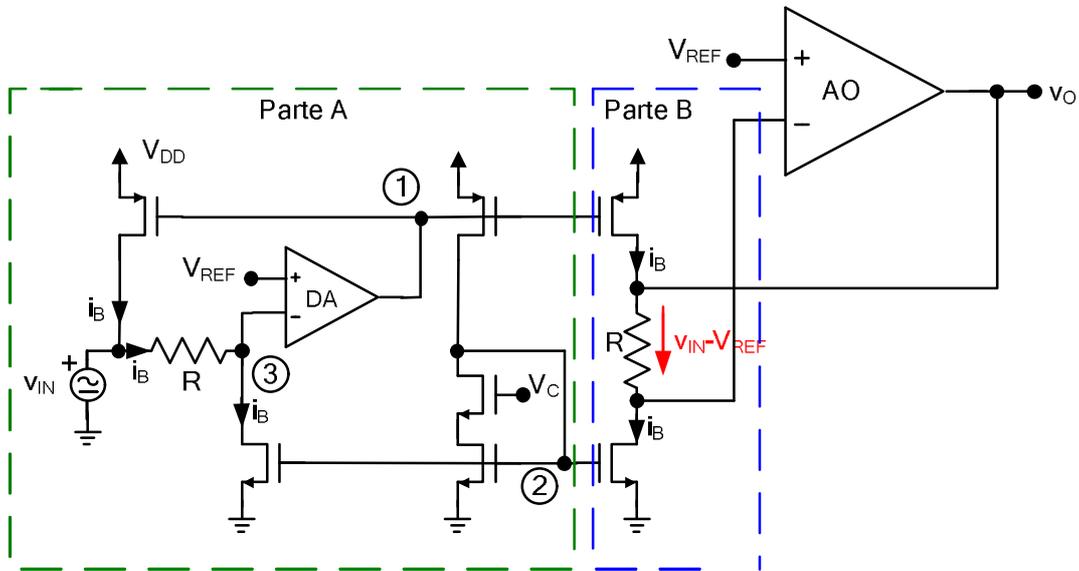


Figura 2.23: Amplificador operacional en esquema seguidor de baja tensión con implementación de batería dinámica [72].

De esta forma, una fuente de señal referida a tierra puede transformarse en una fuente del mismo valor con sus dos terminales flotantes.

2.5.1. Análisis DC.

Partiremos de un análisis inicial de la batería en la Figura 2.23, considerando que la señal de entrada tiene una componente de continua V_{IN} y una componente de señal $v_{in}(t)$, de forma que $v_{IN}(t) = V_{IN} + v_{in}(t)$ y $|v_{in}(t)| < V_{IN}$. Por tanto, la señal de salida será también de la forma $v_O(t) = V_O + v_o(t)$. Se considera, además, una fuente de alimentación simple de valor V_{DD} .

En la Parte A del circuito hay un amplificador DA básico de muy baja tensión y alta ganancia como el de la Figura 2.24, cuya entrada es la diferencia entre una tensión de referencia V_{REF} (de valor muy próximo a tierra) y la tensión del nodo 3. Al existir realimentación negativa, el DA genera una tensión de control finita en el nodo 1 que hace que la diferencia de tensión entre sus dos entradas sea muy próxima a cero, es decir, el nodo 3 queda finalmente con un valor de tensión igual al de la fuente de polarización V_{REF} . Por tanto, en un extremo de la resistencia R está aplicada la fuente de señal $v_{IN}(t)$ mientras que en el otro la tensión tiende a ser constante e igual a V_{REF} .

Eso significa que la corriente que atraviesa la resistencia es $i_B = (v_{IN} - V_{REF})/R$. Dicha corriente i_B se copia mediante un espejo de tensión de baja tensión y se replica tanto en la parte de abajo del circuito como en la parte de arriba, de forma que la tensión de control del nodo 1 genera una corriente del mismo valor que la generada en la resistencia. Idealmente, la corriente que da la fuente de tensión es nula, es decir, la fuente de entrada no es “cargada” por el circuito. Sin embargo, en la práctica, la impedancia de entrada no es infinita sino que viene dada por la fuente de corriente i_B . Aunque idealmente la referencia establecida en el terminal positivo del DA puede ser tierra, en la práctica debe ser al menos la mínima tensión drenador-fuente de un transistor para que esté en saturación y que puede ser tan pequeña como 0.1V.

En la Parte B del circuito se vuelve a copiar la corriente i_B por arriba y por abajo, de manera que dicha la corriente i_B atraviesa la resistencia R y por ninguno de los extremos de ésta se escapa corriente. Se consigue una tensión en la resistencia de valor $i_B * R$ y, de ese modo, en la salida del seguidor hay un valor de tensión $v_O(t) = i_B * R + V_{REF} = v_{IN}(t) - V_{REF} + V_{REF}$, es decir, justamente la entrada $v_{IN}(t)$, como se deseaba. Se ha implementado, pues, una batería flotante del tipo resistencia con fuentes de corriente, con la particularidad de que estas fuentes de corriente dependen de la tensión de entrada del circuito y la batería, por tanto, no sólo es flotante sino también dinámica.

Cuando se aplica a la entrada una tensión continua V_{IN} , la tensión de salida es $V_O = I_B * R = V_{IN} - V_{REF}$, ya que $I_B = (V_{IN} - V_{REF})/R$.

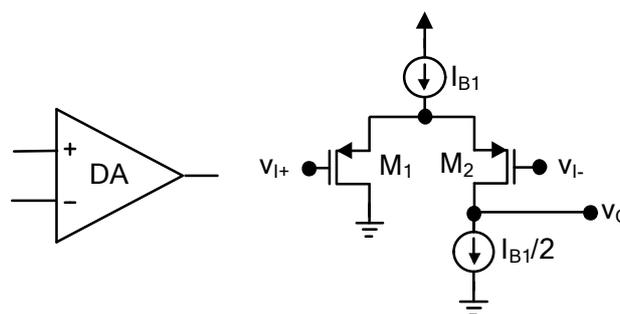


Figura 2.24: Implementación de baja tensión del DA: par diferencial con carga activa.

2.5.2. Análisis de pequeña señal.

Para realizar el estudio de pequeña señal de la batería dinámica, mostrada de forma independiente en la Figura 2.25, se ha tenido en cuenta que la intensidad de polarización que atraviesa cada uno de los transistores es de valor $I_B = (V_{IN} - V_{REF})/R$. Además, se considera que los transistores tienen el mismo tamaño (W/L) y se omite, con objeto de simplificar el análisis y sin pérdida de generalidad, el efecto del transistor cascode del espejo de corriente, ya que su única función es el aumento de la resistencia de salida del mismo y, por tanto, de su precisión.

Los parámetros de pequeña señal de los transistores están dados por las expresiones (2-2)-(2-5). Además, al ser $k_n \approx 3 \cdot k_p$, $g_{mn} = \sqrt{3} \cdot g_{mp}$.

$$g_{m,M1} = g_{m,M1P} = g_{m,M1PP} = \sqrt{2 \cdot I_B \cdot K_P} = g_{mp} \quad (2-2)$$

$$g_{m,M2} = g_{m,M2P} = g_{m,M2PP} = \sqrt{2 \cdot I_B \cdot K_N} = g_{mn} \quad (2-3)$$

$$r_{0,M1} = r_{0,M1P} = r_{0,M1PP} = \frac{1}{\lambda_p \cdot I_B} = r_{0p} \quad (2-4)$$

$$r_{0,M2} = r_{0,M2P} = r_{0,M2PP} = \frac{1}{\lambda_n \cdot I_B} = r_{0n} \quad (2-5)$$

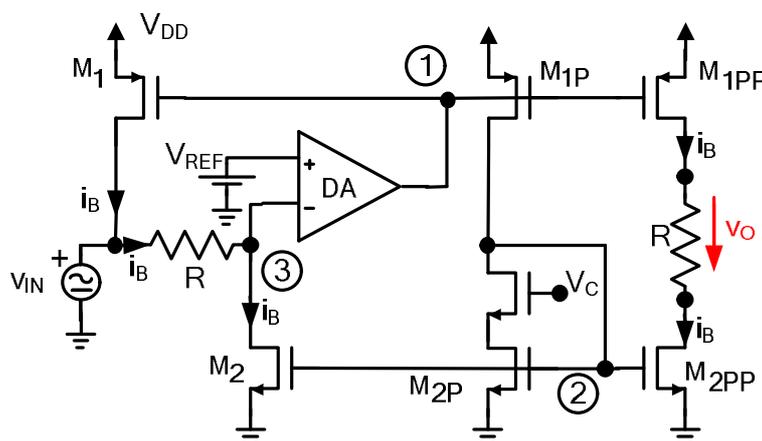


Figura 2.25: Batería dinámica.

2.5.2.1. Análisis a bajas frecuencias.

El circuito de pequeña señal a bajas frecuencias de la batería dinámica queda como se muestra en la Figura 2.25.

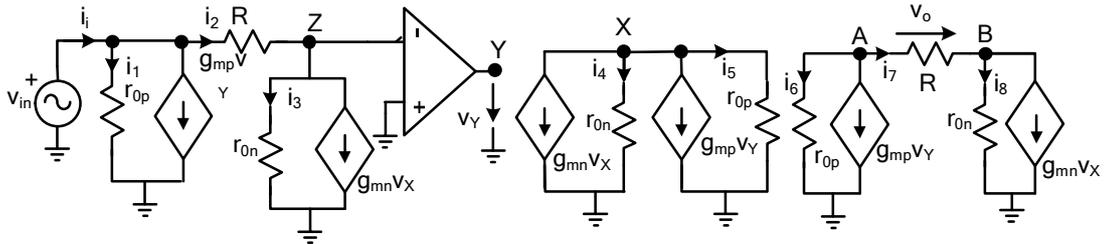


Figura 2.26: Circuito de pequeña señal a bajas frecuencias de la batería dinámica.

Resolviendo por nudos, se obtiene el siguiente sistema de ecuaciones:

$$\left. \begin{aligned}
 i_i &= g_{mp} \cdot v_Y + i_1 + i_2 \\
 i_2 &= g_{mn} \cdot v_X + i_3 \\
 g_{mn} \cdot v_X + i_4 + g_{mp} \cdot v_Y + i_5 &= 0 \\
 i_6 + g_{mp} \cdot v_Y + i_7 &= 0 \\
 i_7 &= i_8 + g_{mp} \cdot v_X \\
 v_A - v_B &= v_o \\
 v_Y &= -A_d \cdot v_Z
 \end{aligned} \right\} \Rightarrow$$

$$\left. \begin{aligned}
 i_i &= g_{mp} \cdot v_Y + v_{in} \cdot r_{op}^{-1} + (v_{in} - v_Z) \cdot R^{-1} \\
 g_{mn} \cdot v_X + v_Z \cdot r_{on}^{-1} &= (v_{in} - v_Z) \cdot R^{-1} \\
 g_{mn} \cdot v_X + v_X \cdot r_{on}^{-1} + g_{mp} \cdot v_Y + v_X \cdot r_{op}^{-1} &= 0 \\
 v_A \cdot r_{op}^{-1} + g_{mp} \cdot v_Y + v_o \cdot R^{-1} &= 0 \\
 v_B \cdot r_{on}^{-1} + g_{mn} \cdot v_X &= v_o \cdot R^{-1} \\
 v_A - v_B &= v_o \\
 v_Y &= -A_d \cdot v_Z
 \end{aligned} \right\} \Rightarrow$$

Y, teniendo en cuenta que $r_{0n}^{-1}, r_{0p}^{-1} \ll g_{mn}, g_{mp}$, se llega a

$$\frac{v_o}{v_{in}} = \frac{r_{0p} + r_{0n}}{(R + r_{0p} + r_{0n}) \left(I + \frac{I}{g_{mp} \cdot A_d \cdot R} \right)} \quad (2-6)$$

Como se puede elegir R de forma que $R \ll r_{0p}, r_{0n}$, nos queda

$$\frac{v_o}{v_{in}} \approx \frac{r_{0p} + r_{0n}}{(r_{0p} + r_{0n}) \left(I + \frac{I}{g_{mp} \cdot A_d \cdot R} \right)} = \frac{I}{I + \frac{I}{g_{mp} \cdot A_d \cdot R}} \quad (2-7)$$

y, dado que $g_{mp} \cdot A_d \cdot R \gg 1$, la expresión de arriba queda reducida a

$$\frac{v_o}{v_{in}} \cong I \quad (2-8)$$

demostrándose así que el circuito funciona en alterna como se esperaba. Conviene resaltar que no es necesario que la ganancia A_d del amplificador de error sea muy alta, ya que esa aproximación es válida diseñando el circuito de forma que R y g_{mp} sean lo suficientemente grandes como para que $A_d \gg 1/(R \cdot g_{mp})$.

Calculando la corriente i_{in} que da la fuente de entrada, se llega a

$$i_{in} = v_{in} \cdot \left(\frac{I}{R} - \frac{I + \frac{I}{R \cdot A_d \cdot g_{mp}}}{\left(I + \frac{I}{R \cdot A_d \cdot g_{mp}} \right) \cdot R} \right) = 0 \quad (2-9)$$

siendo, por tanto, la resistencia de entrada $r_{in} \approx \infty$, como ya se había predicho.

3.2.2.1. Análisis a altas frecuencias.

Teniendo en cuenta las capacidades parásitas, el circuito quedaría como se muestra en la Figura 2.27. Por cada transistor hay que incluir las capacidades C_{GS} , C_{GD} , C_{SB} y C_{DB} . Sin embargo, al ser los transistores iguales y por la topología del circuito, algunas de las capacidades se pueden asociar en capacidades equivalentes, simplificándose el esquema. Además, C_{SB} no aparecerá porque los terminales D y S están cortocircuitados en todos los transistores. Así, se tiene que

$$C_1 = 3 \cdot C_{GS} \quad (2-10)$$

$$C_2 = C_{DB} \quad (2-11)$$

$$C_3 = C_{GD} \quad (2-12)$$

$$C_4 = C_1 + 2 \cdot C_2 \quad (2-13)$$

El amplificador de error DA tiene un polo dominante debido al nodo de salida. Su función de transferencia $A(s)$ se puede aproximar, por tanto, a la de un sistema de primer orden de la forma

$$A(s) = \frac{A_d}{1 + \frac{s}{p_1}} \quad (2-14)$$

donde $A_d = g_m \cdot r_0$ y $p_1 = \frac{1}{r_0 \cdot C_Y}$, siendo g_m la transconductancia del DA, r_0 su resistencia de salida y C_Y la carga capacitiva que ve su nodo de salida y que no es otra que la carga parásita del nodo Y.

Asimismo, los espejos de corriente también tienen un polo pero éste se halla muy lejos del polo del DA.

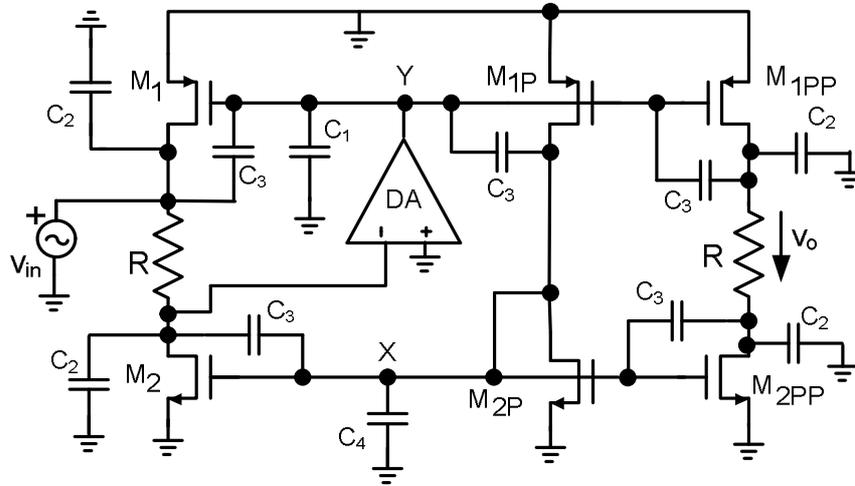


Figura 2.27: Circuito de pequeña señal a altas frecuencias de la batería dinámica.

La función de transferencia de la batería consta de varios polos y ceros, siendo su expresión analítica poco intuitiva. Lo más interesante para nosotros es la frecuencia del polo dominante, que nos da el ancho de banda del circuito, y si el circuito es estable a pesar de la realimentación negativa.

Para estudiar la estabilidad de la batería dinámica es suficiente con estudiar la ganancia del lazo $L(s)$ y, por el criterio de estabilidad de Nyquist, ver cómo se podría comportar desde el punto de vista de margen de fase y margen de ganancia. Así, analizando el circuito de la Figura 2.28, que incluye las capacidades parásitas, la ganancia del lazo sería $L = -v_o/v_{in}$.

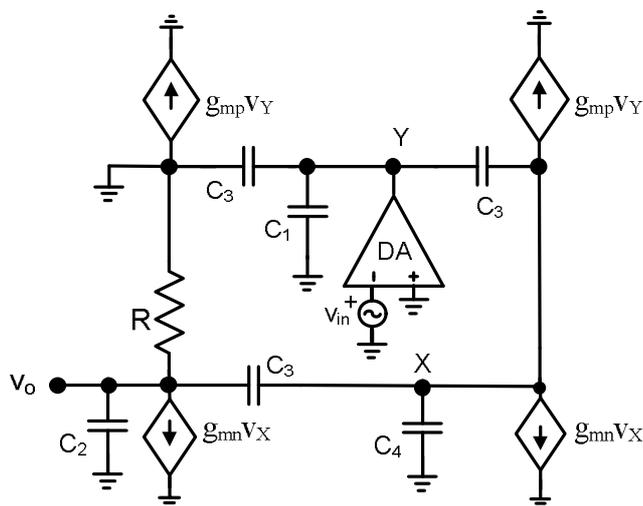


Figura 2.28: Circuito equivalente para el cálculo de la ganancia del lazo.

Tras un análisis del circuito de pequeña señal correspondiente al circuito de la Figura 2.28 y despreciando las altas resistencias de salida de los transistores, se obtiene

$$L(s) = \frac{A(s) \cdot [(C_3 s - g_{mp}) \cdot (C_3 s - g_{mn})]}{s^2 [C_3(2C_2 + C_3 + C_4) + C_2 C_4] + s \left(g_{mn}(C_2 + 2C_3) + \frac{C_4 + 2C_3}{R} \right) + \frac{g_{mn}}{R}} \quad (2-15)$$

Sustituyendo la expresión de A(s), llamando $C_a = 2C_2 + C_3 + C_4$ y reordenando, se llega a

$$L(s) = \frac{\frac{A_d}{(C_3 C_a + C_2 C_4)} \cdot (C_3 s - g_{mp}) \cdot (C_3 s - g_{mn})}{\left(I + \frac{s}{p_1} \right) \left[s^2 + s \frac{g_{mn}(C_2 + 2C_3) + \frac{C_4 + 2C_3}{R}}{C_3 C_a + C_2 C_4} + \frac{g_{mn}}{R(C_3 C_a + C_2 C_4)} \right]} \quad (2-16)$$

Así, pues, la ganancia del lazo en el dominio s tiene dos ceros z_1, z_2 reales positivos y tres polos p_1, p_2, p_3 en el semiplano negativo, cuyas expresiones son las siguientes:

$$z_1 = \frac{g_{mp}}{C_3} \quad (2-17)$$

$$z_2 = \frac{g_{mn}}{C_3} = \frac{\sqrt{3} g_{mp}}{C_3} \cong 2z_1 \quad (2-18)$$

$$p_1 = \frac{-I}{r_0 \cdot C_Y} \quad (2-19)$$

$$p_2 = -\frac{g_{mn}(C_2 + 2C_3) + \frac{2C_3 + C_4}{R}}{2(C_3 C_a + C_2 C_4)} + \sqrt{\left(\frac{g_{mn}(C_2 + 2C_3) + \frac{2C_3 + C_4}{R}}{2(C_3 C_a + C_2 C_4)} \right)^2 - \frac{g_{mn}}{R(C_3 C_a + C_2 C_4)}} \quad (2-20)$$

$$p_3 = -\frac{g_{mn}(C_2 + 2C_3) + \frac{2C_3 + C_4}{R}}{2(C_3C_a + C_2C_4)} - \sqrt{\left(\frac{g_{mn}(C_2 + 2C_3) + \frac{2C_3 + C_4}{R}}{2(C_3C_a + C_2C_4)}\right)^2 - \frac{g_{mn}}{R(C_3C_a + C_2C_4)}} \quad (2-21)$$

Pues bien, para valores típicos, las frecuencias de los dos ceros están muy alejadas de las frecuencias de los polos por lo que no presentan problemas desde el punto de vista de estabilidad. Sin embargo, la posición relativa de los tres polos sí influirá en la estabilidad del sistema. El polo p_1 es real y será el dominante, pero los polos p_2 y p_3 pueden ser reales y distintos o complejos conjugados. En concreto, p_2 y p_3 serán complejos conjugados si se cumple que

$$\frac{4g_{mn}}{R} > \frac{\left(g_{mn}(C_2 + 2C_3) + \frac{2C_3 + C_4}{R}\right)^2}{C_3C_a + C_2C_4} \quad (2-22)$$

en cuyo caso, si además se encuentran cerca del polo p_1 , el sistema realimentado puede volverse inestable. Igualmente, aunque p_2 y p_3 sean distintos y reales, se hallan relativamente próximos el uno del otro y, si se encuentran suficientemente cerca de p_1 , el margen de fase puede que sea negativo o con valor positivo insuficiente para que el sistema realimentado siga siendo estable, debiéndose evitar esta posible pérdida de estabilidad. Para ello, tenemos dos opciones: por un lado, compensar en frecuencia añadiendo, por ejemplo, una red de compensación, y, por otro, intentar hacer por diseño que el primer polo esté lo suficientemente alejado de los otros dos, de manera que el comportamiento de la ganancia del lazo se aproxime a un sistema de primer orden. En este último caso habría que intentar que se diese la condición

$$\frac{1}{r_0 \cdot C_Y} \ll \frac{g_{mn}(C_2 + 2C_3) + \frac{2C_3 + C_4}{R}}{2(C_3C_a + C_2C_4)} - \sqrt{\left(\frac{g_{mn}(C_2 + 2C_3) + \frac{2C_3 + C_4}{R}}{2(C_3C_a + C_2C_4)}\right)^2 - \frac{g_{mn}}{R(C_3C_a + C_2C_4)}} \quad (2-23)$$

lo cual se conseguiría aumentando C_Y (y, por tanto, el tamaño de los transistores) y r_0 .

2.5.3. No linealidades.

Observando la Figura 2.25, es fácil inducir que tanto el rango de tensión de entrada como el de salida están dados por $[V_{DS}^{SAT}, V_{DD} - V_{DS}^{SAT}]$. Los espejos de corriente utilizados en esa implementación introducen distorsión y, si se desea que la copia de corriente sea más precisa, se pueden sustituir por espejos cascado. Tales espejos, aunque limitan el rango de tensión, tienen mayor resistencia de salida. La distorsión no lineal también va a depender del grado de apareamiento conseguido entre los transistores, por un lado, y las resistencias, por otro. Con ese objetivo, se debe realizar el layout de la batería aplicando la técnica del centroide común. Otro elemento no ideal de la batería es el amplificador operacional. Su implementación real deberá ser tal que su ancho de banda sea lo suficientemente alto como para que no limite la velocidad de respuesta del circuito completo.

2.6. Otras implementaciones de la batería dinámica.

Aunque en esta Tesis se ha utilizado la implementación de la batería dinámica de [72] para presentar el diseño de un transconductor y un rectificador de tensión, ambos de muy baja tensión de alimentación, se proponen dos nuevas implementaciones de la batería dinámica, ambas basadas en la celda básica FVF. El FVF es una celda muy adecuada para el diseño analógico de baja tensión y se estudiará con mayor detalle en el siguiente capítulo. El esquema de la primera realización propuesta de batería dinámica puede verse en la Figura 2.29.

El funcionamiento es muy parecido al del caso anterior, sólo que ahora la tensión en el nodo 3 está fijada mediante el transistor M_3 del FVF, que está formado por M_3 , M_2 y la fuente de corriente I_{POL} . Estableciendo la tensión V_{POL} al valor de referencia que se desea tener en el nodo 3 más la tensión de desplazamiento DC deseada desde la puerta de M_3 hasta el nodo 3, se consigue fijar en dicho nodo un valor muy constante de tensión V_A . De esta forma, se consigue disponer en la resistencia de una corriente proporcional a las variaciones de tensión de la fuente de entrada. Por el transistor M_2 circula la corriente de la resistencia i_B . De nuevo, mediante espejos, se copia la intensidad para reflejarla en la segunda resistencia, la cual tendrá una tensión entre sus

extremos de valor $v_O = v_{IN} - V_A$. El bloque dentro de la línea discontinua en la Figura 2.29 sirve para fijar el valor de tensión V_A en el extremo de la resistencia al que está conectado. Sin embargo, es un bloque opcional ya que para fijar dicho valor V_A en ese nodo se pueden utilizar espejos cascode, aunque esto disminuiría el rango de tensión de la batería. La ventaja de esta nueva implementación de la batería dinámica es que, al no existir el amplificador operacional y por ser la celda FVF muy rápida, el ancho de banda va a ser considerablemente mayor. Asimismo, desaparecen los problemas de estabilidad del caso anterior y no es necesario, pues, aplicar una técnica de compensación. El FVF permite, además, ahorrar potencia frente a la solución con el amplificador operacional.

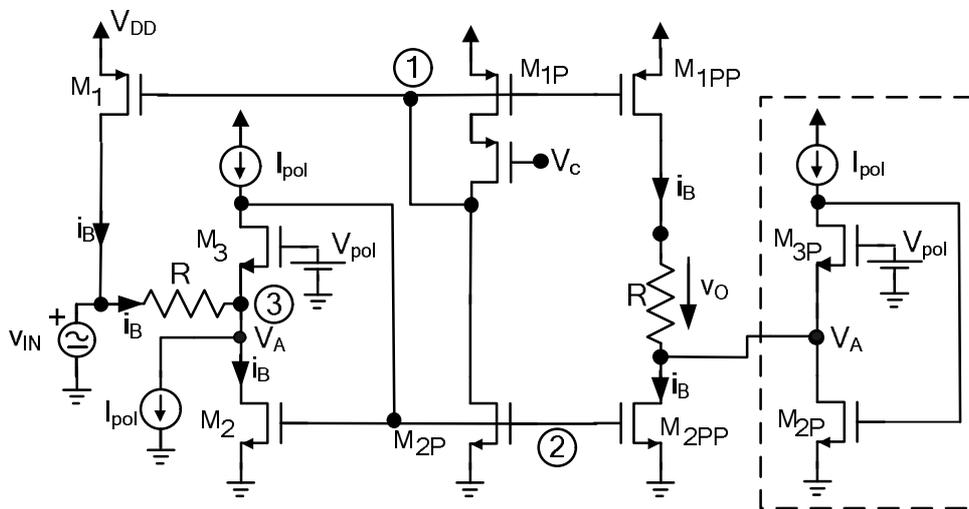


Figura 2.29: Nueva implementación de batería dinámica.

En la Figura 2.30 se muestra la segunda implementación de batería dinámica que se propone en esta Tesis. La entrada $v_{IN}=V_{IN}+v_{in}$ se aplica al FVF formado por M_1 , M_2 y la fuente I_B , y una tensión de polarización V_B se aplica a un segundo FVF, dado por M_{1P} , M_{2P} y otra fuente I_B . Cada uno de estos dos FVF introduce un desplazamiento V_{DC} en la tensión que tiene aplicada, de manera que por la resistencia R a la que están conectados fluye una corriente de valor $i_R = \frac{V_B - V_{DC} - (v_{IN} - V_{DC})}{R}$. Por tanto, dicha

corriente consta de una componente de continua $I_R = \frac{V_B - V_{IN}}{R}$ y una componente de

señal $I_R = \frac{V_B - V_{IN}}{R}$. La corriente por el transistor M_2 , llamada i_2 , es la suma de la

corriente i_R y la corriente de polarización I_B , y es copiada mediante unos espejos de corriente de tal forma que por la resistencia R' , del mismo valor que la otra, circula una intensidad $i=i_R$. Es decir, que en esa resistencia hay una tensión con una componente DC de valor $V_B - V_{IN}$ y una componente de alterna v_{in} , consiguiéndose así el comportamiento de batería dinámica. Si se desea que la tensión de modo común de la batería sea nula, sólo hay que introducir una tensión de polarización V_B igual al modo común de entrada. Una segunda versión de este circuito se muestra en la Figura 2.31. En ella, en vez de usar el transistor M_{2PP} y el M_3 para inyectar la corriente i_2 por el extremo superior de la resistencia R' , se fija la tensión en su extremo inferior a $V_{IN} - V_{DC}$ inyectando I_B en el drenador de M_{2P} .

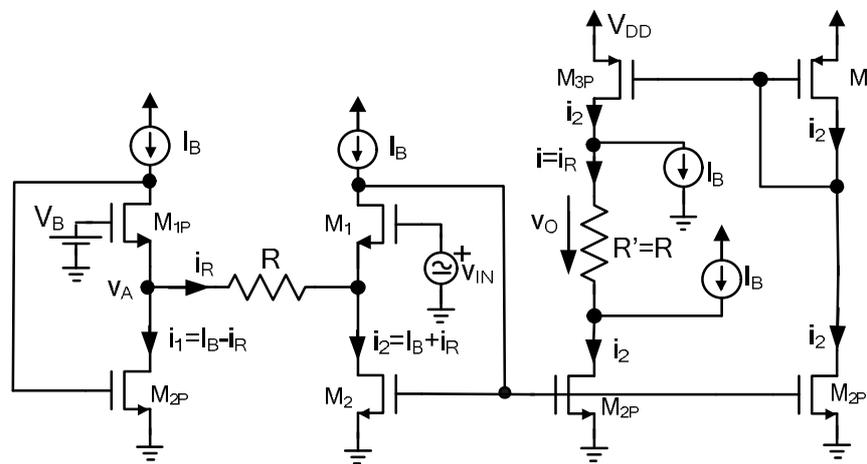


Figura 2.30: Otra posible implementación de batería dinámica.

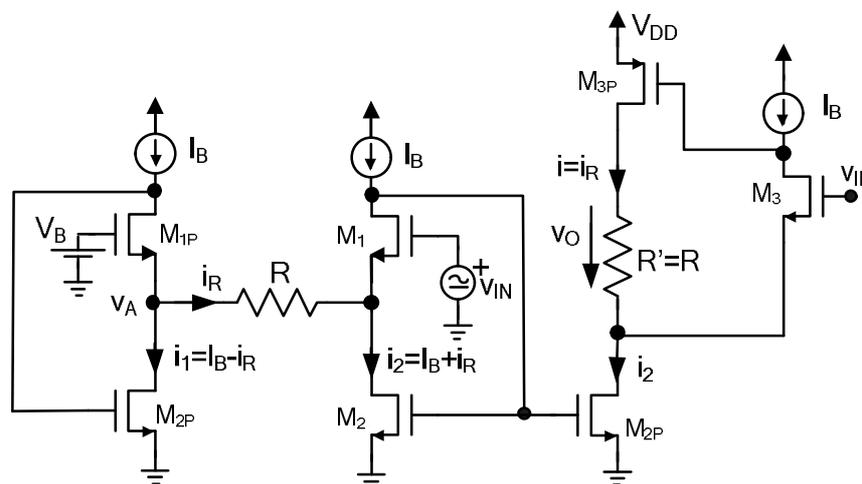


Figura 2.31: Segunda versión de la implementación de batería dinámica de la Figura 2.30.

En [108], aunque no se dice expresamente, se está implementando también una batería dinámica mediante una resistencia con un extremo conectado a la fuente de tensión de entrada y el otro a una referencia fija. Se utiliza como amplificador de corriente un espejo de baja tensión basado en la celda FVF y, mediante un bucle de corriente, se consigue que la fuente de entrada no genere corriente, es decir, que la impedancia de entrada del circuito sea muy alta. Esta implementación, presentada como una etapa de entrada de transconductancia, se muestra en la Figura 2.32 y, aunque efectiva, es más compleja que la de la Figura 2.29.

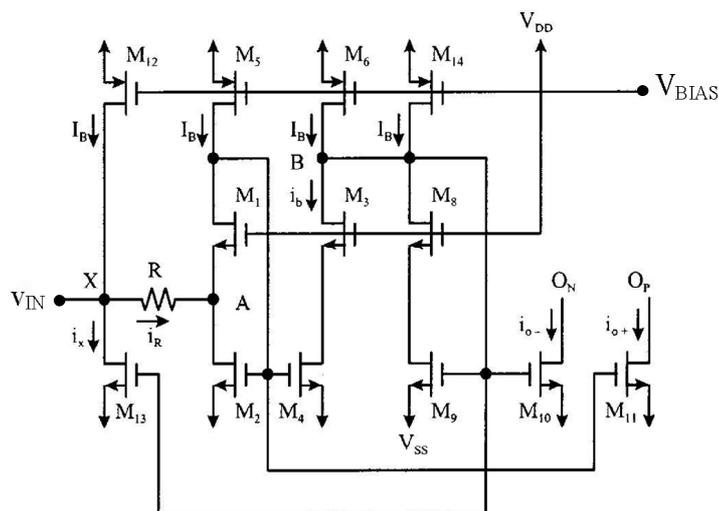


Figura 2.32: Implementación de baja tensión [108].

2.7. Transconductor basado en batería dinámica.

El transconductor presentado está basado en la parte de la batería dinámica de la Figura 2.25 que convierte tensión en corriente, pero añadiéndole algunas modificaciones necesarias para mejorar su funcionamiento. Es decir, se toma la llamada Parte A del esquema de la Figura 2.23, que, como se vio anteriormente, convierte la tensión de entrada menos una tensión de referencia constante V_{REF} en una corriente proporcional de valor $i_{OUT} = v_{IN} - V_{REF} / R$. Esa corriente circula por la resistencia R y, gracias al espejo de corriente de baja tensión, también por la parte superior (i_{SUP}) e inferior (i_{INF}) del circuito. Añadiéndole al esquema unos espejos de corriente M_{1PP} - M_{3PP} y M_{4PP} - M_{2PP} , se consigue entregar entregar las corrientes $i_{SUP} = i_{OUT}$ e $i_{INF} = -i_{OUT}$ a la salida y

obtener, así, un transconductor de entrada unipolar y salida diferencial. Además, se ha añadido los transistores cascodo M_3 y M_{3P} , los cuales aumentan la resistencia de salida de M_1 y M_{1P} , respectivamente, haciendo que la copia de corriente sea más precisa y, con ello, más lineal el comportamiento del circuito. El esquema del circuito completo puede verse en la Figura 2.33 y ha dado lugar a [104], [105]. Con las tensiones de polarización V_{NMOS} y V_{PMOS} se controla la precisión de las copias de corriente, haciendo las tensiones v_{DS} en cada espejo lo más parecidas posible. Como puede observarse, el circuito anterior funciona como un convertidor de tensión corriente en el que la transconductancia es justamente el inverso de la resistencia R . A este circuito le llamamos Transconductor Básico (BT). Las corrientes de salida $i_{OUT} = I_{OUT} + i_{out}$ son unidireccionales, con una componente de señal $i_{out} = v_{in} / R$ y una componente de modo común $I_{OUT} = I_{CM} = (V_{IN} - V_{REF}) / R$.

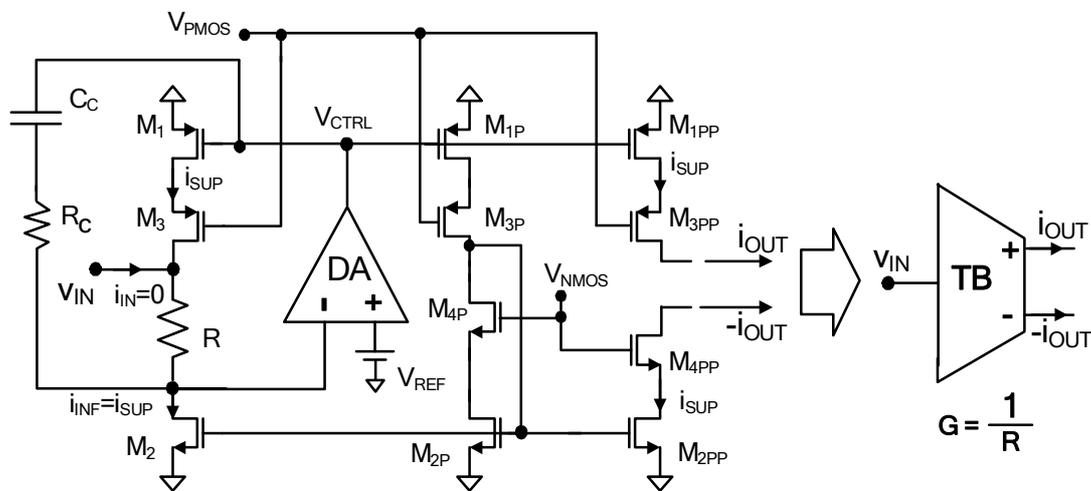


Figura 2.33: Esquema básico de un transconductor lineal.

Conviene destacar los siguientes aspectos:

- Idealmente, para minimizar requerimientos de tensión, se podría usar en el terminal positivo de entrada del amplificador diferencial una tensión de referencia de valor $V_{REF} = 0$. En la práctica, no obstante, el mínimo valor de V_{REF} está determinado por la tensión de saturación V_{DS}^{SAT} del transistor que actúa

como fuente de corriente inferior i_{INF} en el circuito, y que puede tomar valores tan pequeños como $V_{REF} \sim 0.1V$.

- Dado que corrientes del mismo valor son inyectadas y extraídas en ambos extremos de la resistencia R , la fuente de señal v_{IN} no es cargada ($i_{IN} \approx 0$) y el circuito TB presenta una alta resistencia de entrada.
- En el caso de que se necesite eliminar componentes de modo común de i_{OUT} , se puede usar un TB idéntico con su entrada conectada a V_{IN} para generar una corriente de salida $I_{OUT} = I_{CM} = (V_{IN} - V_{REF})/R$. Dado que I_{CM} puede ser fácilmente replicada, en la práctica sólo se requiere un único transconductor en un sistema donde varios transconductores requieren cancelación del modo común.
- Réplicas adicionales tanto positivas como negativas de i_{OUT} e I_{CM} son fácilmente generadas usando espejos de corriente.
- Para el amplificador de la Figura 2.33 se ha usado la arquitectura que se muestra en la Figura 2.34. El DA tiene requerimientos mínimos de tensión dado que sus dos entradas están puestas a un potencial constante muy próximo a tierra.
- El rango pico a pico máximo de entrada y salida del transconductor es $V_{DD} - 2V_{DS}^{SAT}$, donde V_{DS}^{SAT} es el mínimo valor de v_{DS} para que los transistores que implementan las fuentes de corriente i_{SUP} e i_{INF} se hallen en saturación. En la práctica, para obtener resistencia de salida alta y réplicas de corriente de alta precisión se han usado espejos de corriente cascode para implementar tanto i_{SUP} como i_{OUT} (para i_{INF} se puede usar un espejo de corriente simple ya que tiene tensión v_{DS} constante). Esto supone un decremento de valor V_{DS}^{SAT} en el rango máximo pico a pico de la entrada y un decremento de valor $2V_{DS}^{SAT}$ en el rango máximo pico a pico de la salida.

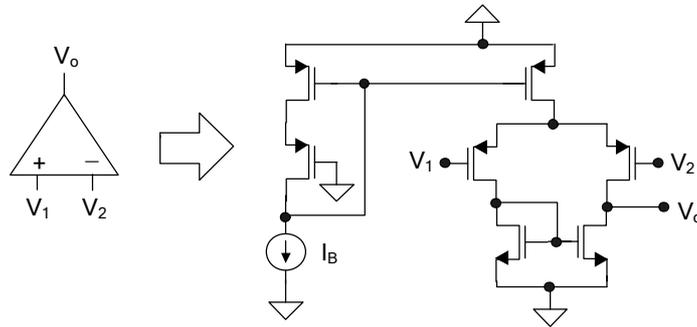


Figura 2.34: Arquitectura de amplificador operacional utilizada en la Figura 2.33.

En la Figura 2.36 se muestra la implementación de un transconductor lineal diferencial simple (TDS). Para ello se toman dos transconductores básicos y se conectan a unas tensiones de entrada $v_{I+} = V_{CM1} + (v_{id}/2)$ y $v_{I-} = V_{CM1} + (v_{id}/2)$. Las corrientes de salida de este circuito están dadas por $i_{o+} = -i_{o-} = (v_{I+} - v_{I-})/R = v_{id}/R$.

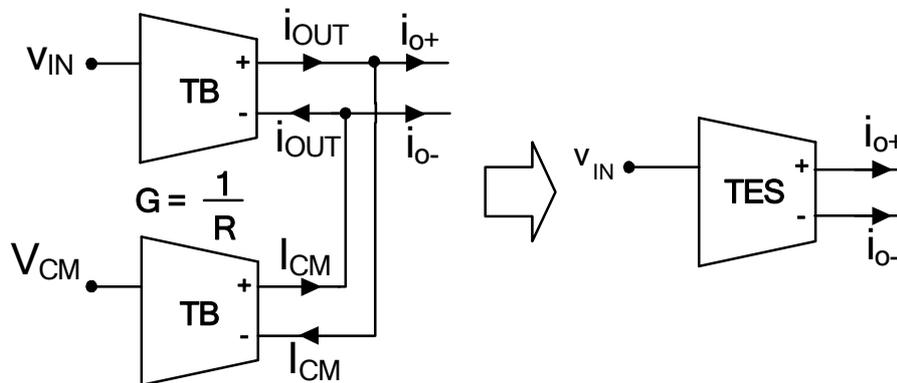


Figura 2.35: Transconductor lineal de entrada simple.

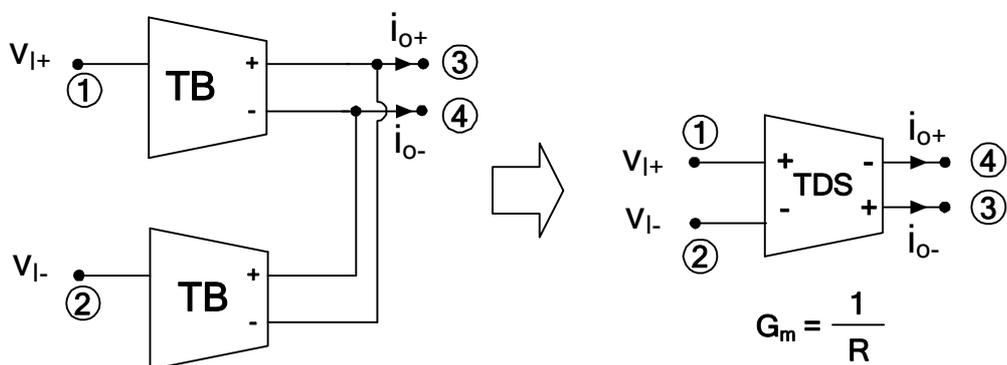


Figura 2.36: Transconductor lineal diferencial simple.

Sin embargo, aunque los montajes de la Figura 2.35 y Figura 2.36 son válidos para el fin que persiguen, hay que remarcar que la rama de salida positiva del transconductor está hecha con transistores P y no se encuentra, por tanto, apareada con la rama de salida negativa. Por ello, la señal diferencial de salida no tendrá una buena cancelación de los armónicos de orden impar. Como solución a dicho inconveniente, en esta Tesis se propone un nuevo montaje completamente diferencial del transconductor, mostrado en la Figura 2.37, que resulta mucho más eficiente que el anterior desde el punto de vista de la distorsión armónica.

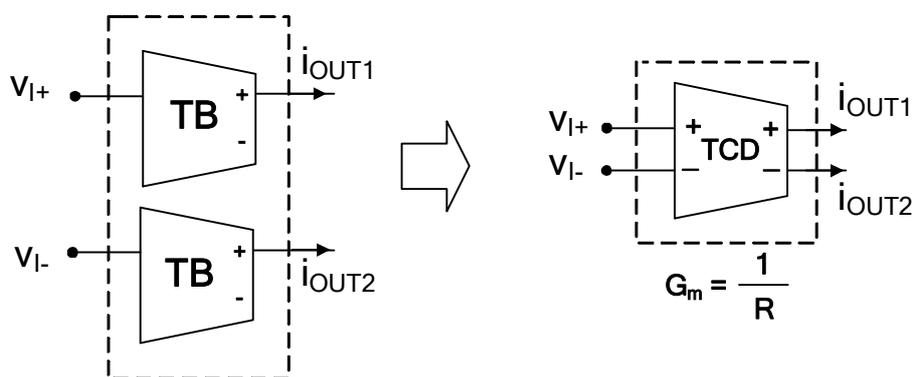


Figura 2.37: Nuevo transconductor completamente diferencial con alta linealidad.

Asimismo, para obtener una cancelación más eficaz del modo común de cada señal de salida, se añadiría una segunda rama de salida positiva a cada OTA básico repitiendo dicha rama, que es simplemente un espejo. Sumando las corrientes de dichas ramas adicionales, se obtendría la corriente de modo común I_{MC} multiplicada por dos. Lo único que quedaría por hacer es copiar esa corriente mediante un espejo de relación 2:1 y sustraerla de cada salida del transconductor principal. Las corrientes de salida i_{o+} e i_{o-} cumplen que $i_{o+} = -i_{o-} = (v_{I+} - v_{I-})/R = v_{id}/R$. El esquema sería el de la Figura 2.38.

Las especificaciones que se han establecido como objetivo para el transconductor básico TB aparecen en la Tabla 2.1 y corresponden a las de un amplificador operacional de transconductancia de muy baja tensión y bajo consumo, lineal y con ancho rango de entrada. Dichas especificaciones se ha establecido para mostrar las características de la celda y no están orientadas a una aplicación concreta.

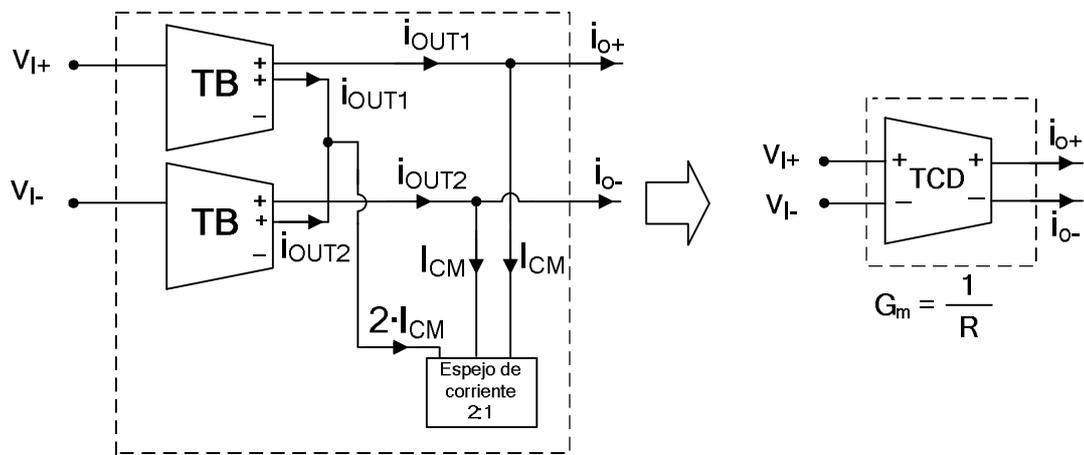


Figura 2.38: Versión del nuevo OTA sin componente de continua en las salidas.

V_{DD}	$> \{V_{TN}, V_{TP} \}$ y $< V_{TN} + V_{TP} $
BW	$> 30\text{MHz}$
P_Q	$< 250\mu\text{Wm}$
Rango de entrada	$> \frac{2V_{DD}}{3}$
G_m	$10\mu\text{A/V}$
r_{out+}, r_{out-}	$> 2\text{M}\Omega$
THD	$< -40\text{dB}$

Tabla 2.1: Especificaciones para el transconductor básico TB.

2.7.1. Resultados de simulación.

Para simular el transconductor básico TB se ha utilizado CADENCE DFW-II y Spectre con la tecnología CMOS AMS CXQ de $0.8\ \mu\text{m}$, que dispone de unas tensiones umbrales típicas $V_{TN} = 0.7\text{V}$ y $V_{TP} = -0.8\text{V}$.

En la Tabla 2.2 se muestran los parámetros de diseño del circuito. El circuito fue compensado con una red RC dada por $C_c = 550\text{fF}$ y $R_c = 10.7\text{K}\Omega$. Para cargar cada rama de salida sin afectar a la forma de onda de tensión, se ha utilizado una resistencia

pequeña en serie con una fuente de 0.75V. Se ha optado por diseñar los transistores PMOS M_1 , M_{1P} , M_{1PP} con el mismo tamaño que los NMOS M_2 , M_{2P} , M_{2PP} en vez de hacer las transconductancias iguales. Esto es debido a que las corrientes de salida, dadas teóricamente por $i_{OUT+} = i_{OUT}$ e $i_{OUT-} = -i_{OUT}$, recorren una rama tipo P y una rama tipo N, respectivamente, y se intenta evitar lo más posible que haya distinta respuesta en alta frecuencia para cada rama al haber distintas capacidades parásitas. Es decir, se intenta reducir la falta de simetría entre las ramas de salida a altas frecuencias.

Transistor	W/L
M_1, M_{1P}, M_{1PP}	45/1
M_3, M_{3P}, M_{3PP}	5/1
M_4, M_{4PP}	1.1/0.8
M_2, M_{2P}, M_{2PP}	45/1
Tensiones y corrientes	
V_{DD}	1.5V
V_{PMOS}	0V
V_{NMOS}	1.475V
V_{REF}	0.15V
V_{IN}	0.75V
I_B	25 μ A

Tabla 2.2: Parámetros de diseño del transconductor.

El amplificador diferencial DA utilizado ha sido diseñado de forma que su producto ganancia-ancho de banda sea de 60MHz, es decir, para que sea mucho más rápido que el transconductor y no limite la velocidad del conjunto.

La Tabla 2.3 resume los resultados de simulación obtenidos. Es conveniente mencionar que la distorsión armónica en cada una de las ramas de salida del transconductor básico BT está dominada por el HD2. Sin embargo, en el montaje completamente diferencial TCD, el THD estará dominado por el HD3, que es mucho menor. Por este motivo, se dan los resultados de simulación tanto del HD2 como del HD3.

G_m	10 μ A/V
BW	42MHz
Rango de entrada	[0.3V,1.25V]
<ul style="list-style-type: none"> • Para i_{OUT+} : THD@10kHz,0.6V_{pp} THD@4MHz,0.6V_{pp} • Para i_{OUT-} : THD@10kHz,0.6V_{pp} THD@4MHz,0.6V_{pp} 	HD2=-45.18dB; HD3=-77.58dB HD2=-24.45dB; HD3=-41.95dB HD2=-43.83dB; HD3=-71.13dB HD2=-26.58dB; HD3=-39.78dB
r_{out+} ; r_{out-}	18.9M Ω ; 26.5M Ω
Potencia media consumida	103 μ W
Potencia máxima consumida	121 μ W

Tabla 2.3: Resultados de simulación del transconductor básico.

2.7.2. Consideraciones de diseño.

Al objeto de realizar medidas desde fuera del chip y comprobar el correcto funcionamiento del circuito, es necesario hacerle una serie de modificaciones antes de realizar el layout. La razón es que la salida del circuito es en corriente y como los niveles de intensidad manejados en el circuito son muy pequeños ($i_{OUT}^{MIN} = 1.5\mu A$, $i_{OUT}^{MIN} = 11.5\mu A$), no pueden cargar siquiera la capacidad de un pad. Por esa razón, se toman las siguientes decisiones:

- 1) Se añade en cada rama de salida del transconductor una resistencia R' para que transforme la corriente de salida en tensión. El valor de R' es el mismo que el de la resistencia R.

- 2) También se añade en cada salida un *buffer*, que sigue las variaciones de tensión existentes en la resistencia R' y es capaz de cargar un pad. Aunque el *buffer* también introduce una cierta componente de continua en la señal de salida deseada, a efectos prácticos, no reviste importancia.
- 3) Se elige como *buffer* un simple seguidor de fuente de tipo N sin efecto sustrato. Su transistor principal ha de ser lo suficientemente grande para conducir la corriente necesaria para cargar la capacidad de un pad con un determinado SR, que hemos fijado, en este caso, a un valor de $10\text{V}/\mu\text{s}$. La capacidad parásita de puerta del transistor es, por tanto, muy grande y es necesario, para poder cargarla, escalar la corriente que circula por cada rama de salida del OTA. Escalando los transistores de las ramas de salida, la corriente es cinco veces mayor que antes, suficiente para nuestro propósito.
- 4) Al aumentar los tamaños de los transistores de las ramas de salida, hay que disminuir las resistencias R' para que las variaciones de tensión sigan siendo las mismas y no estén amplificadas en cinco veces. El nuevo valor de R' es $R'=R/5$, es decir, $20\text{K}\Omega$.
- 5) Se procede a una nueva compensación del transconductor considerando que las resistencias tendrán una cierta tolerancia.
- 6) Se incrementa la corriente de polarización del par diferencial I_B de $25\mu\text{A}$ a $35\mu\text{A}$ para que el circuito siga siendo suficientemente rápido.
- 7) Se utiliza una corriente de polarización para el *buffer* de $300\mu\text{A}$ y se alimenta con una tensión de 5V , ya que no es objetivo de la Tesis diseñar un *buffer* de muy baja tensión de alimentación y altas prestaciones.

Después de todas estas modificaciones, el esquemático resultante ha sido el de la Figura 2.39. Conviene resaltar que ahora el circuito está preparado para ser medido en el laboratorio pero que el BW del *buffer* es sólo de aproximadamente 15MHz , limitando el del circuito completo. De todas formas, esta disminución en el BW no es importante desde el punto de vista de las medidas en el laboratorio de la característica DC y la

distorsión armónica a bajas frecuencias. De hecho, en un sistema de procesamiento de señal donde se utilizase el transconductor, a éste nunca se le añadiría ese *buffer*. Los transistores E_1 , E_2 y E_3 tienen una relación de aspecto $W/L=225/4$ y B_1 y B_2 , de $150/1$.

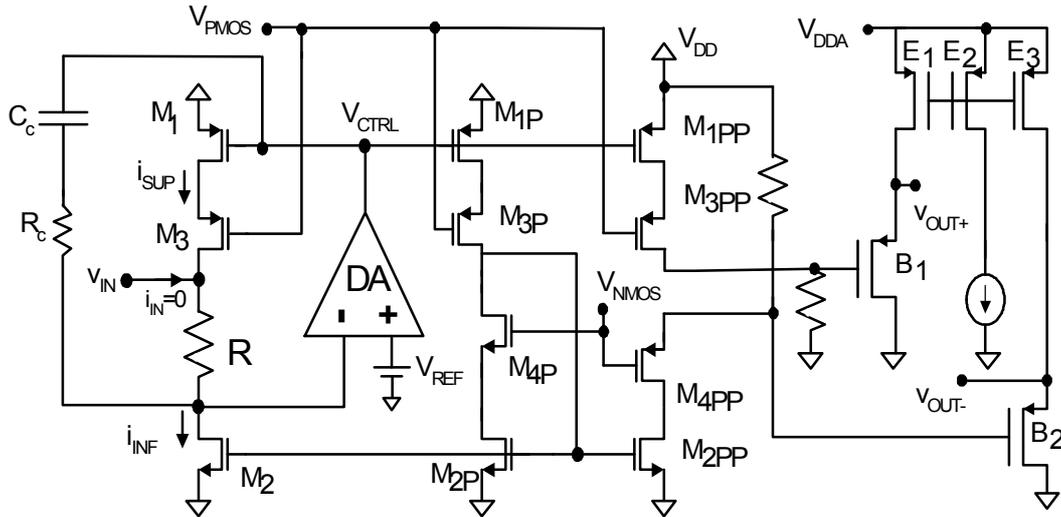


Figura 2.39: Transconductor modificado para medidas desde fuera del chip.

En la Figura 2.40, correspondiente a la característica DC simulada del layout para una entrada de 0.3V a 1.25V en saltos de 20mV , puede observarse que el rango de linealidad del transconductor es muy ancho.

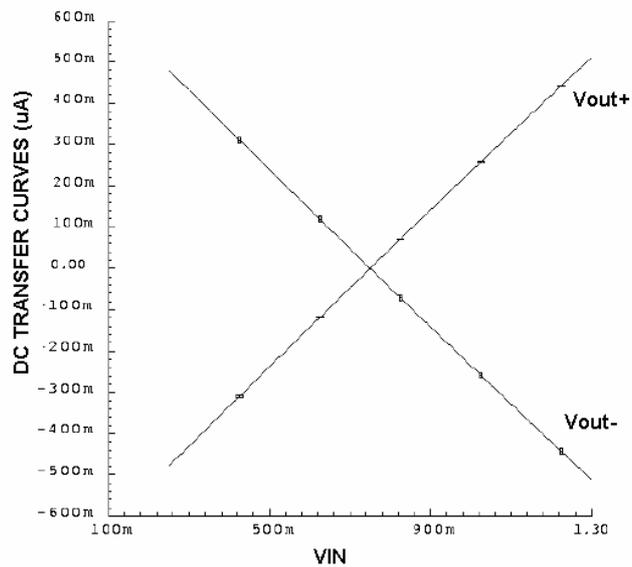


Figura 2.40: Característica DC del transconductor.

La Tabla 2.4 resume los resultados de simulación *post-layout* del transconductor modificado para poder ser medido en un laboratorio. Puede observarse cómo no sólo el ancho de banda se ha visto reducido de 42MHz a 15MHz debido al *buffer*, sino que también ha aumentado la distorsión armónica. No obstante, si estos resultados se verifican experimentalmente podremos afirmar que los del transconductor original también se verifican.

G_m	10 μ A/V
BW	15MHz
Rango de entrada	[0.3V, 1.25V]
<ul style="list-style-type: none"> • Para v_{OUT+} : THD@10kHz, 0.6V_{pp} HD2=-37.7dB; HD3=-55.8dB THD@1MHz, 0.6V_{pp} HD2=-33.3dB; HD3=-42.7dB • Para v_{OUT-} : THD@10kHz, 0.6V_{pp} HD2=-38.25dB; HD3=-55.75dB THD@4MHz, 0.6V_{pp} HD2=-30.55dB; HD3=-39.55dB 	
P_Q, P_{MAX}	230 μ W, 232.8 μ W

Tabla 2.4: Resultados de simulación *post-layout* del transconductor modificado.

2.7.3. Resultados experimentales.

2.7.3.1. Layout.

Se envió a fabricar un primer chip (ver Figura 2.41) con el transconductor y otras celdas desarrolladas en la Tesis, habiendo realizado previamente simulaciones de Monte Carlo para comprobar su robustez ante variaciones del proceso y/o desapareamientos. Todos los circuitos de esta Tesis han pasado dicho test, consiguiendo, así, cierta garantía del funcionamiento de los mismos en el laboratorio. El *layout* del OTA se muestra en la Figura 2.41 dentro del recuadro rojo y ha ocupado aproximadamente 0.09932mm² de silicio.

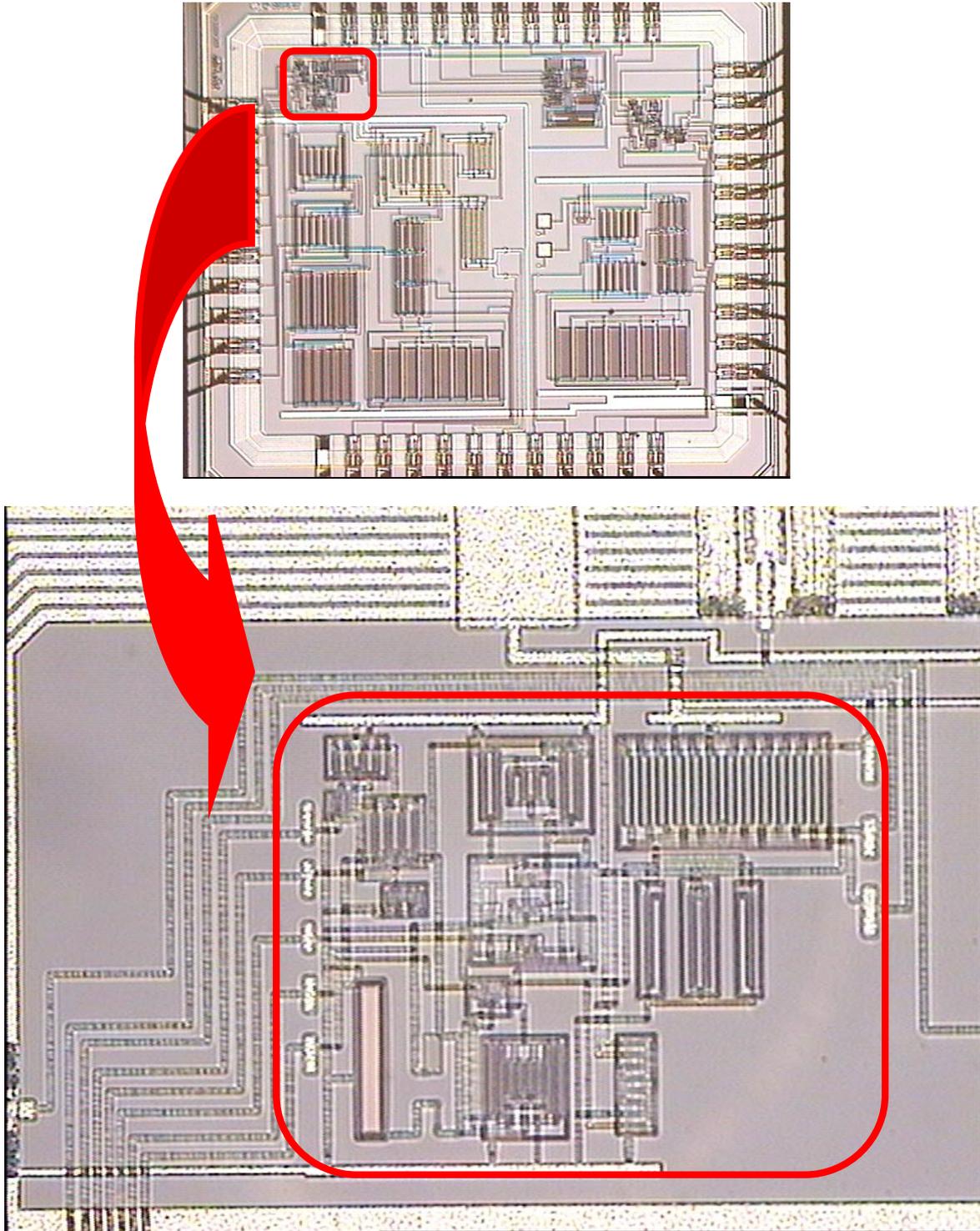


Figura 2.41: Microfotografía del transconductor dentro del chip.

El *layout* del chip fue realizado en la tecnología CXQ de $0.8\mu\text{m}$ del fabricante de circuitos integrados AMS, cuyos parámetros se hayan recogidos en la Tabla 2.5.

Parámetro	Valor Típico
Tensión umbral NMOS (V_{TN})	0.7V
Movilidad NMOS (μ_N)	468cm ² /Vs
Factor de ganancia NMOS (K_N)	95 μ A/V ²
Tensión umbral PMOS (V_{TP})	-0.8V
Movilidad PMOS (μ_P)	158cm ² /Vs
Factor de ganancia PMOS (K_P)	32 μ A/V ²

Tabla 2.5: Parámetros de la tecnología CXQ de 0.8 μ m de AMS.

Un *layout*, en general, debe hacerse de forma cuidadosa para evitar, en lo posible, el aumento de la distorsión armónica y la alteración de la respuesta en frecuencia. Como es bien sabido, entre componentes teóricamente iguales dentro de una misma oblea de silicio, pueden surgir diferencias debido a los gradientes de dopado, la temperatura, errores en los procesos litográficos, falta de homogeneidad en el espesor del óxido a lo largo de la oblea, etc. Además, a altas frecuencias, las capacidades y resistencias parásitas de los componentes, pistas y pads, pueden introducir polos y ceros que degraden la respuesta en frecuencia. Por ello, en esta Tesis se han tomado las siguientes precauciones en los *layouts*:

- Los componentes idénticos o con relaciones de aspecto entre ellos muy precisas, se han apareado dividiéndolos en trozos más pequeños y disponiéndolos según la regla del centroide común.
- Se han establecido anillos de guarda. Para ello, los transistores P se han colocado dentro de un pozo n⁺ conectado a la alimentación (excepto los cascodo tipo P, que se han conectado a su terminal de fuente para evitar el efecto sustrato) y los transistores tipo N se han colocado en un pozo tipo p⁺ conectado a tierra. Por ser la tecnología convencional CMOS con sustrato tipo P, los transistores cascodo tipo N sufrirán irremediablemente de efecto sustrato.
- La anchura de todas las pistas, en general, se ha dimensionado para soportar el valor máximo de corriente que pueda ir por ellas y, además, se les ha dado un pequeño rango de seguridad. En este sentido también, en las interconexiones

grandes se han puesto múltiples vías. Las pistas de alimentación y tierra se han rutado con suficiente anchura para evitar las resistencias serie parásitas. Al ser dichas pistas tan largas y anchas, se les ha añadido agujeros que las hacen más resistentes a esfuerzos.

2.7.3.2. Placa de Pruebas.

Con el fin de realizar las medidas necesarias del OTA dentro del chip, ha sido necesario diseñar una placa de pruebas para establecer las distintas polarizaciones de tensión y de corriente del circuito. El esquemático completo de la placa, mostrado en la Figura 2.42 a modo de ilustración, ha sido realizado mediante el programa PCAD2001 Schematic mientras que para el rutado de la placa de circuito impreso se ha empleado el PCAD2001 PCB. Con estos mismos programas se ha diseñado el resto de placas de pruebas de la Tesis.

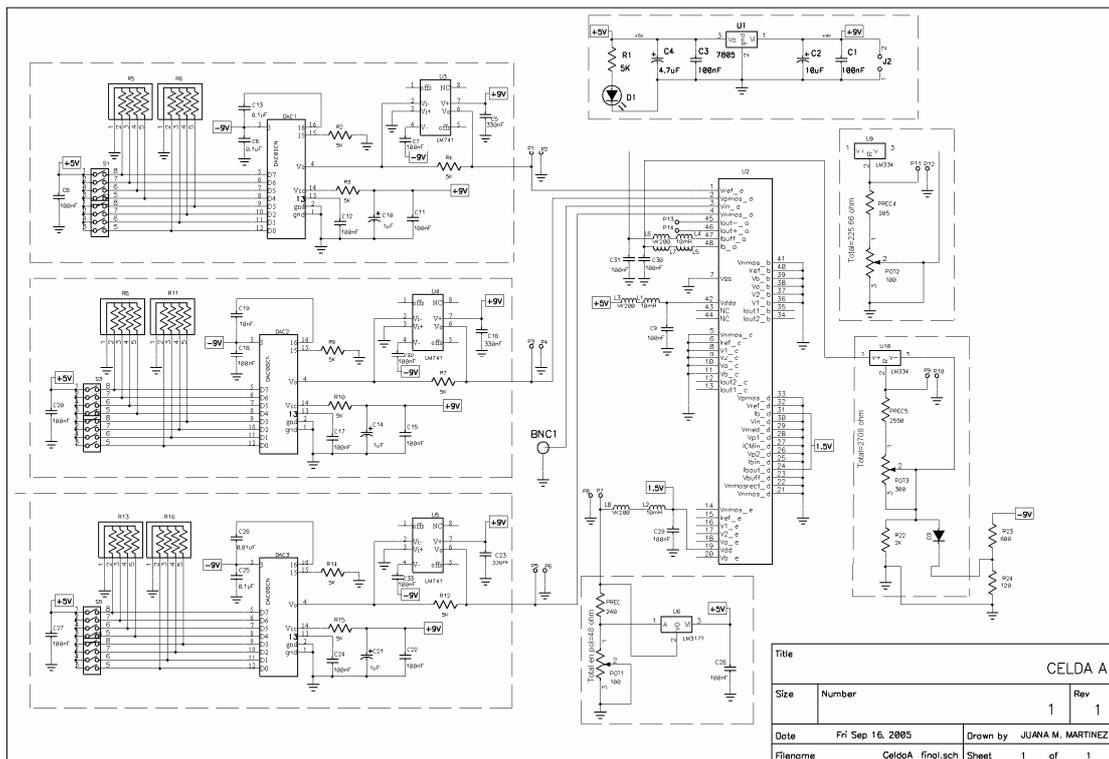


Figura 2.42: Esquemático diseñado de la placa de pruebas.

Para elegir los integrados que suministren las tensiones de alimentación o polarización necesarias, se ha tenido en cuenta el valor de esa tensión, si es constante o requiere poder ser programada y, en ese caso, en qué rango y con qué precisión, así como la corriente que tendría que ser capaz de dar en esta aplicación. Así, la alimentación de 5V del *buffer* se ha generado mediante el regulado L7805 y la de 1.5V del OTA, mediante el regulador LM317. Las tensiones V_{PMOS} , V_{NMOS} y V_{REF} se han generando con convertidores D/A DAC0800 de 8 bits. Mediante microinterruptores, amplificadores operacionales LM741 y relaciones de resistencias apropiadas, podemos programar tensiones de 0 a 5V en saltos de 20mV (es posible programar también tensiones de 0V a 2.5V en saltos de 10mV). Las corrientes de polarización del DA y del *buffer* han sido generadas con el integrado LM334 y pueden ser ajustadas mediante un potenciómetro multivuelta. Además, se han tomado muchas precauciones a la hora de diseñar la placa. Entre ellas destaca el uso de choques, bobinas de filtrado y capacidades pequeñas y grandes como medida de protección frente al retorno de señales y variaciones instantáneas de tensiones o corrientes.

Para hacer al lector más comprensible el modo en que se han realizado las medidas experimentales a lo largo de esta Tesis, se he decidido mostrar un esquema simplificado de cada placa de pruebas construida. Así, para el transconductor de esta sección, el esquema simplificado de la placa de medidas se muestra en la Figura 2.43.

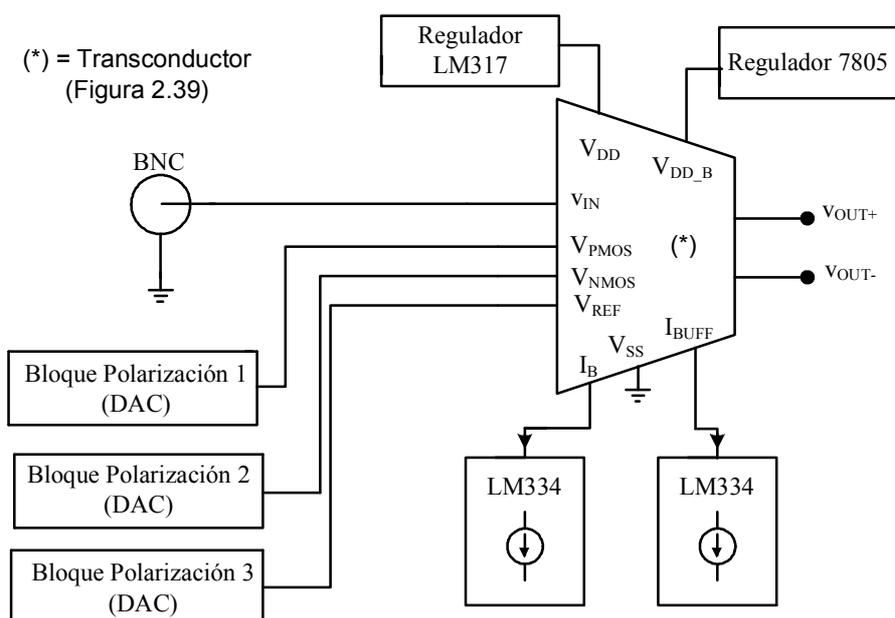


Figura 2.43: Esquema simplificado de la placa de medidas del transconductor.

La placa de pruebas quedó finalmente como se ve en la Figura 2.44.

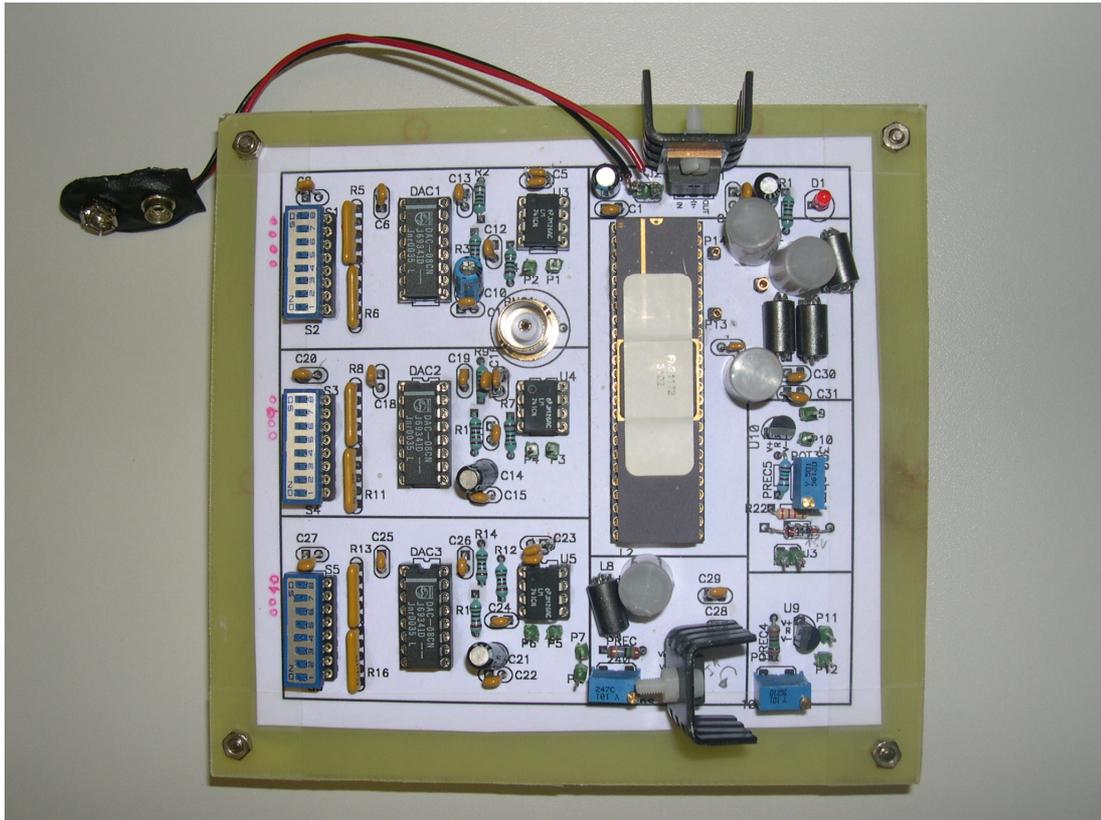


Figura 2.44: Placa de pruebas para medir el transistor.

2.7.3.3. Medidas experimentales.

En la Figura 2.45 y Figura 2.46 se muestra la característica DC de la salida positiva y negativa, respectivamente. Han sido obtenidas mediante un generador Agilent 33220A y un osciloscopio digital LeCroy LC584A. Aunque el rango de entrada es teóricamente $[0.3V, 1.25V]$, se ha barrido desde 0.2V a 1.4V para analizar la linealidad del transistor dentro del rango de funcionamiento y comprobar cómo empieza a saturarse dicha característica fuera de él. En cada una de dichas figuras se muestra a su vez la señal de entrada y de salida, que son prácticamente iguales, tal y como se suponía. La pequeña diferencia de amplitud observada se debe a que la ganancia del *buffer* no es exactamente la unidad, detalle ya conocido con antelación.

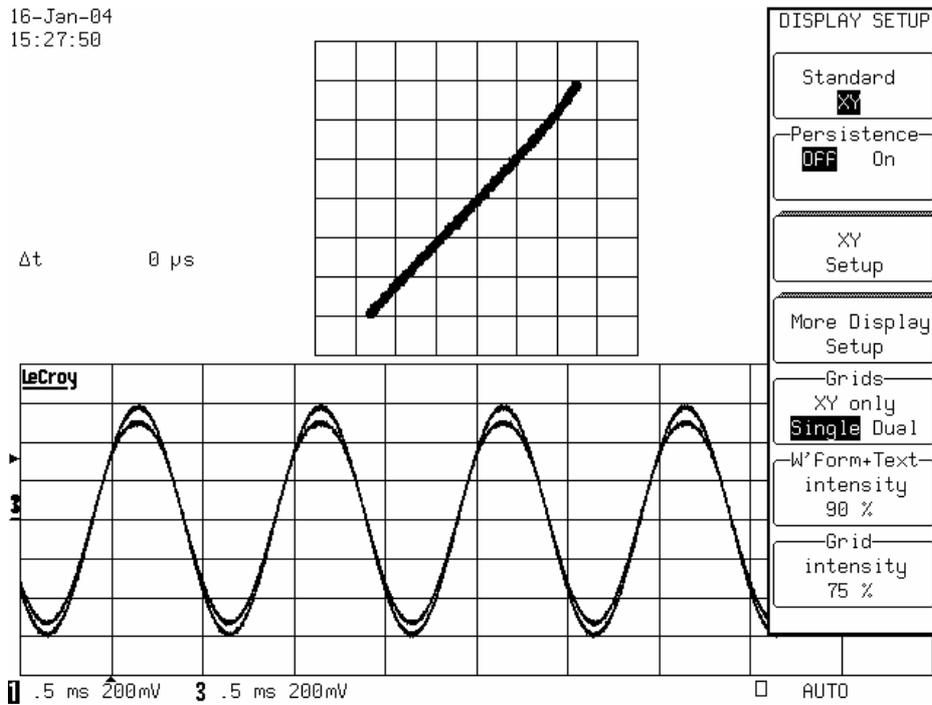


Figura 2.45: Característica DC: Salida positiva frente a entrada.

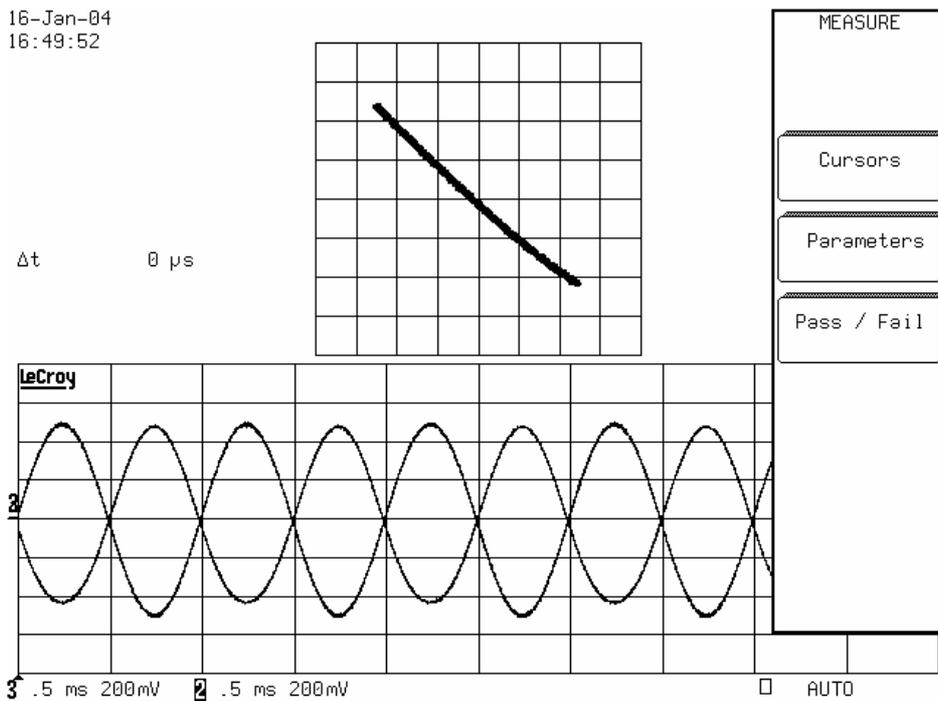


Figura 2.46: Característica DC: Salida negativa frente a entrada.

Se ha medido un BW de 12MHz, un poco menos que el obtenido en simulación *post-layout*, 15MHz. En cuanto a medidas de distorsión armónica, en la Tabla 2.6 se

resumen los resultados obtenidos tanto de la distorsión de tercer orden HD3 como de la de segundo orden HD2. Aunque en esta versión unipolar del transconductor el THD está dominado por el HD2, es su HD3 el que dominará la distorsión de la versión completamente diferencial TCD que consideraremos finalmente. A modo de ilustración, en la Figura 2.47 se muestra el THD para una señal de entrada senoidal de 1KHz, 0.75V de modo común y 1V_{pp} de amplitud pico a pico. Se ha comprobado que los resultados experimentales coinciden con los obtenidos por simulación.

	V _{OUT+}	V _{OUT-}
@1KHz, 0.5V _{pp}	HD3 < -55dB (no distinguishable) HD2 = -41.9dB	HD3 = -48.4dB; HD2 = -35.3dB
@1KHz, 1V _{pp}	HD3 = -42.9dB; HD2 = -35.2dB	HD3 = -46.6dB; HD2 = -28.9dB
@1MHz, 0.5V _{pp}	HD3 = -48.1dB; HD2 = -39.2dB	HD3 = -45.8dB; HD2 = -32.7dB
@1MHz, 1V _{pp}	HD3 = -33.6dB; HD2 = -29.1dB	HD3 = -30dB; HD2 = -24.5dB

Tabla 2.6: Resultados experimentales de distorsión armónica del transconductor.

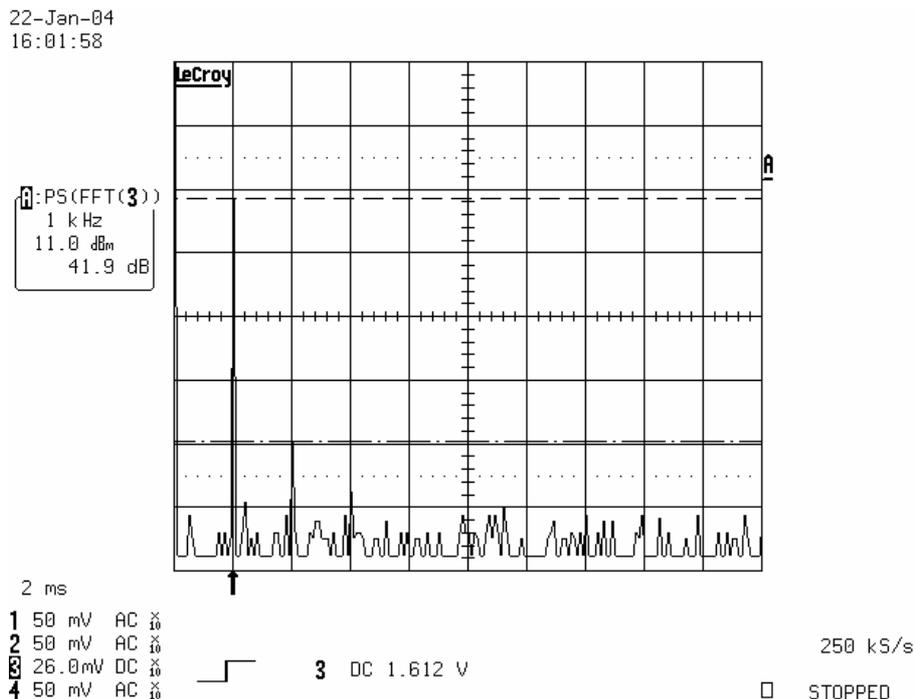


Figura 2.47: Medida de THD dl transconductor para 1KHz y 0.5V_{pp}.

Para comprobar la estabilidad del transconductor se ha introducido una onda cuadrada de 1MHz, 0.75V de modo común y 0.6V_{pp} de amplitud pico a pico. En la Figura 2.48 se puede observar dicha onda seguida de la respuesta de las salidas positiva y negativa. No existen picos de sobreoscilación, siendo la respuesta estable. Además, se ha medido el SR de v_{OUT+} y v_{OUT-} tanto en subida como en bajada, mostrándose los resultados en la Tabla 2.7. Hay que decir que el SR de la onda de entrada, dada por un generador de onda arbitraria Rohde&Schwarz, es de 98V/μs.

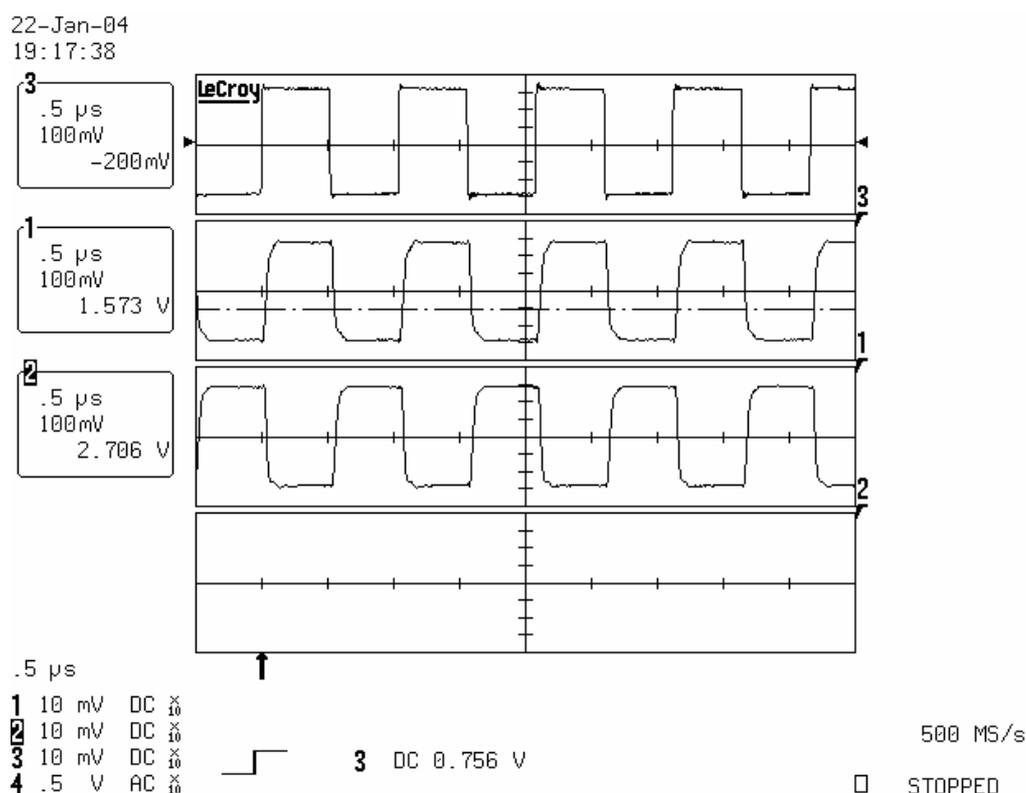


Figura 2.48: Respuesta del transconductor ante una onda cuadrada.

	Subida	Subida
SR de v _{OUT+}	8.42V/μs	11.12V/μs
SR de v _{OUT-}	9.73V/μs	14.93V/μs

Tabla 2.7: Resultados experimentales de SR del transconductor.

El consumo medio medido del OTA ha sido de aproximadamente 200μW.

El transconductor básico (BT) presentado en esta sección tiene, por tanto, un rango de entrada y salida casi completo y un gran ancho de banda. Los resultados experimentales confirman los resultados teóricos y aunque, a simple vista, puede parecer que los niveles de distorsión armónica del OTA son solamente aceptables, conviene recordar que se ha verificado el buen funcionamiento del circuito en el caso más desfavorable, es decir, cuando no se usa una estructura completamente diferencial.

Si a partir del transconductor básico BT, se monta un transconductor completamente diferencial TCD como se propuso en la Figura 2.37, los resultados de THD mejoran en más de 20dB, tal y como se muestra en la Tabla 2.8, donde se realiza una comparación de los resultados del BT con *buffer* con los de la configuración completamente diferencial del mismo. Se puede inducir, pues, que los resultados de distorsión armónica del TCD son muy satisfactorios. Además, los resultados reales de distorsión del TCD serán aún mejores que los reflejados en la tabla puesto que, como ya se vio, para poder hacer medidas desde fuera del chip, se realizaron una serie de modificaciones del transconductor básico que causaban una disminución del THD de aproximadamente 6dB y, en la práctica, cuando se utilice el transconductor en un sistema, esas modificaciones no se llevarán a cabo. Las prestaciones resumidas del TCD serían las de la Tabla 2.9.

	Salida positiva en "BT+buffer" (Post-layout)	Salida positiva en "BT+buffer" (Experimental)	Salida diferencial en TCD, con buffers incluidos (Post-layout)
@1KHz, 0.5V _{pp}	-40.34dB	-41.9dB	-66.59dB
@1KHz, 1V _{pp}	-33.5dB	-35dB	-64.09dB
@1MHz, 0.5V _{pp}	-35.05dB	-39dB	-60.24dB
@1MHz, 1V _{pp}	-22.17dB	-29.1dB	-46.86dB

Tabla 2.8: Comparación de THD entre el montaje BT y el TCD.

Tecnología	0.8 μm CMOS (AMS)
Alimentación	$V_{DD} = 1.5 \text{ V}$
Rango de entrada diferencial	$1.9V_{pp}$
G_m	$10\mu\text{A} / \text{V}$
BW	42MHz
THD@1kHz, $1V_{pp}$ diferencial	-71dB
THD@4MHz, $1V_{pp}$ diferencial	-51dB
r_{od}	38M Ω
P_Q	400 μW

Tabla 2.9: Prestaciones del transconductor completamente diferencial TCD.

2.8. Rectificador de tensión.

En sistemas no lineales de procesamiento de señal, la operación de rectificación es una operación importante [109]. En [110]-[113] fueron publicados rectificadores de baja tensión CMOS y BiCMOS con muy buenas prestaciones a alta frecuencia pero la tensión de alimentación que utilizaban era de 3.3V los dos primeros y $\pm 2.5\text{V}$ los dos últimos. En [114] se presentaron tres topologías alternativas a los clásicos rectificadores de onda completa basados en amplificadores operacionales y diodos, las cuales, si bien mejoraban las prestaciones de éstos en cuanto a respuesta en frecuencia, no dejaban de ser diseños bastante complejos y con una alimentación muy alta. En [115] se presentan dos esquemas de conversión V-I basados en espejos de corriente clase AB de ganancia programable en un ancho rango y se demuestra que pueden ser utilizados para rectificación de precisión de onda completa. La gran ventaja de estos dos esquemas respecto a los anteriores es que no sólo consiguen rectificar de forma precisa a altas frecuencias (hasta aproximadamente 20MHz y, sin distorsión, hasta 5MHz) sino que también disponen de ganancia programable en un ancho rango. Sin embargo, aunque la alimentación requerida en estas dos topologías es baja ($\pm 1\text{V}$) y menor que en las otras publicaciones, no puede considerarse muy baja.

El rectificador de tensión que se propone posee requerimientos de muy baja tensión de alimentación. Está basado en el rectificador de corriente [116] y el transconductor propuesto en la sección anterior [104], [105]. El esquema del rectificador de corriente utilizado puede verse en la Figura 2.49 y ha dado lugar a [106], [107]. Se trata de un circuito CMOS clase AB de precisión, donde la alimentación V_{DD} es simple y muy baja ($\{V_{TN}, |V_{TP}|\} < V_{DD} < V_{TN} + |V_{TP}|\}$).

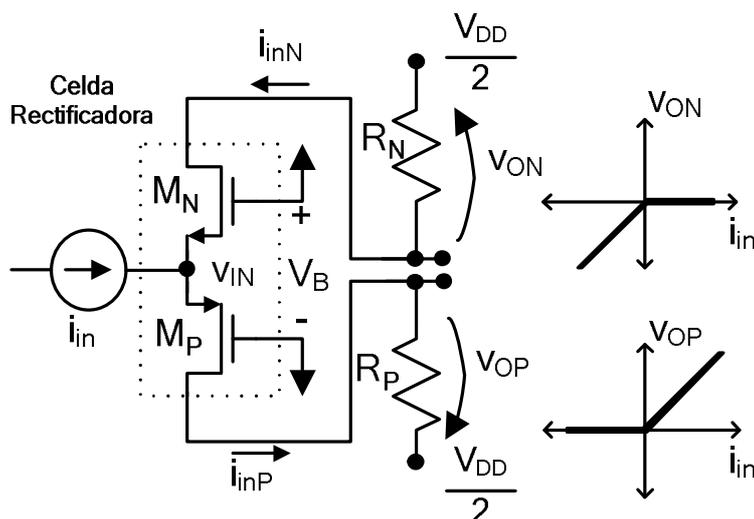


Figura 2.49: Esquema del rectificador de corriente de muy baja tensión [116].

Dicho rectificador de corriente consta tan sólo de dos transistores, M_N y M_P . El primero tiene conectada su puerta a V_{DD} y el segundo a tierra, de forma que $V_{DD} = v_{SG,MN} + v_{SG,MP}$ y, por tanto, ambos transistores nunca podrán conducir de forma simultánea. Bajo condiciones quiescentes, una señal de corriente muy pequeña (nivel sub-umbral) fluye a través de M_N y M_P y se tiene, entonces, que $V_{ON} = V_{OP} \approx 0$. Cuando la corriente de entrada es positiva, el transistor M_P conduce y la corriente de entrada i_{in} fluye desde M_P a R_P . Entonces la tensión de entrada toma un valor $v_{IN} = v_{SG,MP} > |V_{TP}|$, más cercano a V_{DD} que a tierra. Dado que la tensión entre las puertas de M_N y M_P es constante ($v_{SG,MN} + v_{SG,MP} = V_{DD}$), cuando $v_{SG,MP}$ aumenta, $v_{SG,MN}$ disminuye y M_N se corta ($i_{inN} = 0$). De forma análoga, cuando la corriente de entrada es negativa, M_N conduce y la corriente de entrada fluye desde R_N a M_P . En este caso, la tensión de entrada disminuye a un valor $v_{IN} = V_{DD} - v_{SG,MN} > V_{DD} - V_{TN}$, más

próximo a tierra que a V_{DD} . De forma similar al caso anterior, M_P se corta ($i_{inP}=0$) cuando M_N conduce.

En el rectificador de corriente anterior, con una tecnología CMOS de $1.2\mu\text{m}$ de $V_{TN} = |V_{TP}| = 0.85\text{V}$ y con $V_{SG,MN} = V_{SG,MP} = 0.95\text{V}$ para ambos transistores, se puede seleccionar una alimentación tan pequeña como $V_{DD}=1.2\text{V}$. El circuito tiene la gran ventaja de que la tensión entre las puertas de los transistores que rectifican se mantiene constante. Ello evita los grandes transitorios que se producen cuando dicha tensión varía en un rango, los cuales degradan la respuesta a altas frecuencias. Es el caso del rectificador de corriente publicado en [117] y mostrado en la Figura 2.50.a, que a pesar de ser capaz de operar con muy baja tensión de alimentación, su respuesta en frecuencia es peor. La celda publicada en [111] y mostrada en la Figura 2.50.b también utiliza una tensión de polarización constante entre las puertas de los dos transistores pero no puede ser usada con una alimentación V_{DD} tan baja como la elegida.

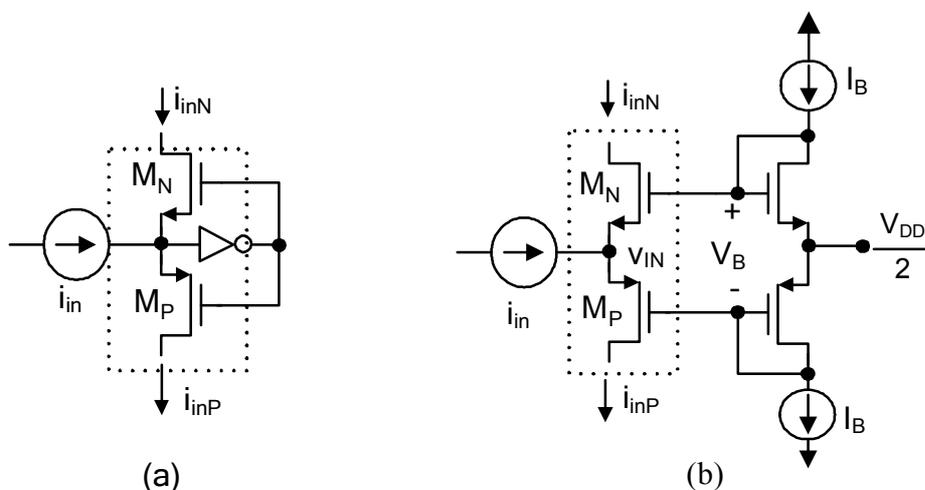


Figura 2.50: Rectificadores de corriente: a) [117], b) [111].

A partir de la celda rectificadora de corriente de precisión antes descrita y un espejo de baja tensión [118], se puede implementar un rectificador de onda completa [116] como se muestra en la Figura 2.51. La resistencia de carga R_L recibe, por un lado, la corriente de entrada negativa i_{inN} que la celda rectificadora le entrega y, por otro, la corriente positiva de entrada i_{inP} invertida que le entrega el espejo de corriente de baja tensión. Tanto i_{inN} como i_{inP} fluyen a través de la resistencia de carga R_L generando una caída de

tensión de un solo signo, en este caso, negativo. Además, al ser inyectada una corriente I_B en el drenador del transistor M_3 y también en el de M_1 , el espejo de corriente siempre está encendido, con lo cual se evita el retraso en la entrega de la corriente i_{inP} por el paso del transistor M_P de la zona de conducción a la de corte. Debido a que existe otra fuente de corriente I_B inyectada en el drenador de M_2 , la corriente i_{inP} se entrega tal cual es a la carga. Es decir, este espejo ayuda a entregar la corriente positiva sin la limitación de tiempo que supone tener que conmutar entre un estado de encendido y uno de apagado.

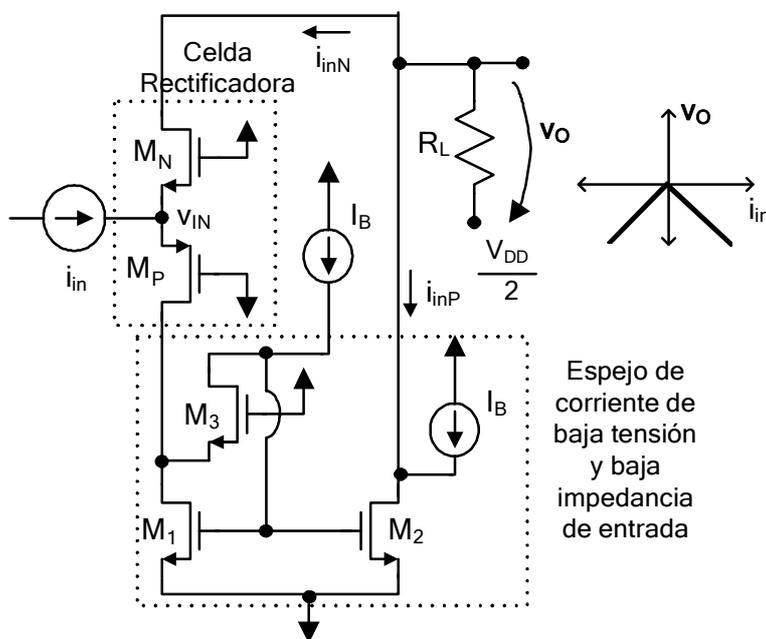


Figura 2.51: Rectificador de corriente de onda completa y muy baja tensión [116].

El rectificador de tensión presentado en esta Tesis está basado en el esquema que propuso Z. Wang en [119] para rectificación de precisión de onda completa, que consistía en convertir la tensión de entrada v_{IN} en una corriente i_{IN} , realizar la rectificación en el dominio de la corriente y, después, volver a convertir la corriente rectificada en una señal de tensión. En dicho esquema, la conversión tensión-corriente se conseguía principalmente mediante un amplificador operacional, la celda rectificadora era la publicada en [120] y la conversión final corriente-tensión se llevaba a cabo en una simple resistencia. Sin embargo, a pesar de las mejoras que este rectificador presentaba frente a los publicados con anterioridad en cuanto a consumo, impedancia de entrada, PSRR, etc, no era un esquema de muy baja tensión de

alimentación, ya que tanto el amplificador operacional como la celda rectificadora de corriente requerían una alimentación relativamente alta. En este trabajo se propone realizar la conversión tensión-corriente mediante el transconductor de muy baja tensión diseñado en la sección anterior, rectificar en corriente mediante la celda de muy baja tensión [116] y utilizar también una resistencia para convertir de nuevo la corriente en tensión. El rectificador de muy baja tensión de alimentación que se propone sigue el esquema mostrado en la Figura 2.52.

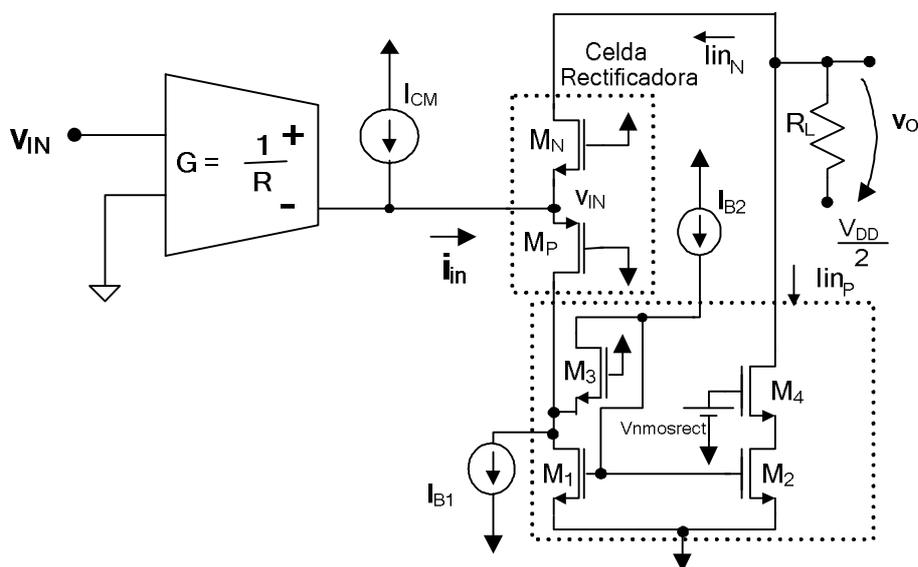


Figura 2.52: Esquema de rectificador de tensión CMOS de baja tensión.

Es necesario mencionar que se eligió en su día este transconductor porque sólo existían unos pocos esquemas publicados en la literatura que satisficiesen los requerimientos de muy baja tensión, amplio rango de entrada y salida y gran ancho de banda. Los transconductores de baja tensión [121] y [122] fueron descartados ya que necesitaban una $V_{DD}^{MIN} = V_T + 2V_{DS}^{SAT}$. Sólo los de [85] tenían similares requerimientos de tensión y rango de entrada/salida. Además, disponían de transconductancia sintonizable y un ancho de banda mucho mayor. Sin embargo, su consumo de potencia media era relativamente alto, haciéndolos más apropiados para aplicaciones de VHF como filtros HF G_m -C. Por ello, se eligió el OTA de la sección anterior como mejor opción. Es obvio que en la actualidad hay publicados otros transconductores de muy baja tensión y buenas prestaciones, como por ejemplo el que se propone al final de esta Tesis. Por

tanto, a día de hoy, el rectificador de tensión presentado es mejorable, siendo éste uno de los posibles trabajos a realizar una vez finalizada la Tesis.

Las especificaciones deseadas para el rectificador de tensión aparecen en la Tabla 2.10 y corresponden a un diseño capaz de rectificar con precisión hasta una frecuencia de, al menos, 5MHz, es decir, más rápido que los rectificadores previamente publicados en la literatura, pero capaz de operar, además, con muy baja tensión de alimentación y reducido consumo.

V_{DD}	$> \{V_{TN}, V_{TP} \} \text{ y } < V_{TN} + V_{TP} $
Frecuencia máx. de operación con precisión	$\geq 5\text{MHz}$
P_Q	$< 250\mu\text{W}$

Tabla 2.10: Especificaciones deseadas para el rectificador de tensión.

2.8.1. Consideraciones de diseño.

La celda rectificadora de corriente diseñada difiere de la de [116] en los nodos donde se añade y se resta corriente en el espejo y en el valor de las corrientes de polarización. No obstante, el objetivo que se consigue es el mismo: que el espejo de corriente siempre esté encendido y no introduzca el correspondiente retraso en el funcionamiento del rectificador completo. En este nuevo esquema la señal de corriente rectificada tendrá superpuesto un valor de continua equivalente a $I_{B2} - I_{B1} = 6\mu\text{A} - 5\mu\text{A} = 1\mu\text{A}$. Al ser un valor conocido, no tiene más importancia. Es indiferente utilizar uno u otro método para hacer que el espejo esté siempre funcionando. La celda ha sido también rediseñada para una alimentación $V_{DD} = 1.5\text{V}$ y para adaptarla a los niveles de corriente de nuestro transconductor [$1.5\mu\text{A}$, $11\mu\text{A}$]. El terminal V_{mosrect} es un terminal de control que ayudará a mantener la precisión de la copia de corriente en el espejo de la celda rectificadora. Los parámetros de diseño del rectificador se reflejan en la Tabla 2.11.

Transistor	W/L
M _N	2.2/0.8
M _P , M ₄	1.1/0.8
M ₁ , M ₂ , M ₃	0.8/0.8
Otros parámetros	
V _{DD}	1.5V
R _L	1kΩ
V _{nmosrect}	[1.37V,1.47V]
I _{B2}	6μA
I _{B1}	5μA

Tabla 2.11: Parámetros de diseño del rectificador de tensión.

2.8.2. Resultados de simulación.

Los primeros resultados de simulación que se van a mostrar corresponden solamente a la celda rectificadora de corriente. En la Figura 2.53 aparece la señal de corriente rectificada cuando la entrada i_{IN} es senoidal, de frecuencia 1MHz y amplitud 6μA.

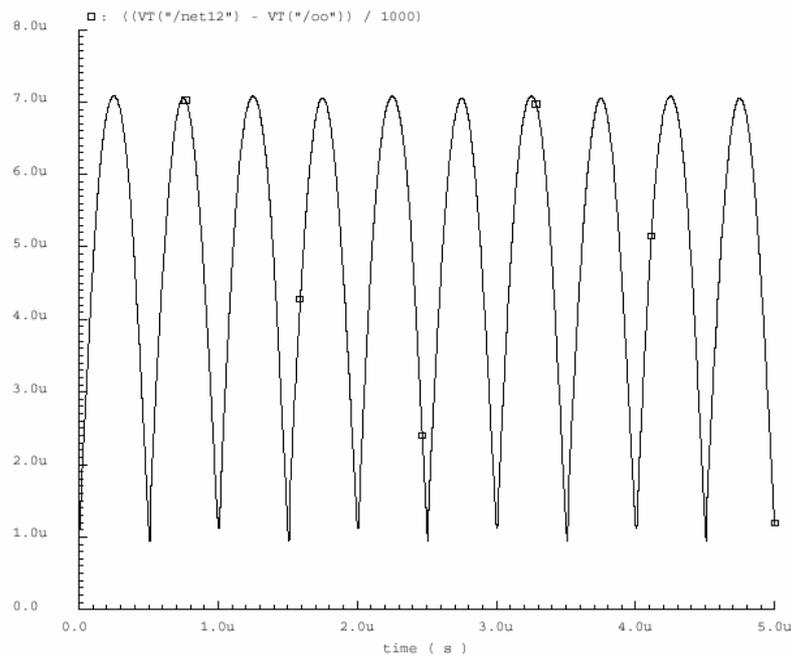


Figura 2.53: Señal rectificada cuando i_{IN} es de 1MHz y 6μA de amplitud.

En la Figura 2.54 se observa también la corriente rectificada aunque la frecuencia de la entrada se ha aumentado a 20MHz, comprobando así la prometedor respuesta del rectificador a altas frecuencias. En la Figura 2.55 se muestra un detalle de la corriente de entrada y la que circula por los transistores M_N y M_P , al objeto de reflejar el retraso introducido por los transistores a la frecuencia de 20MHz.

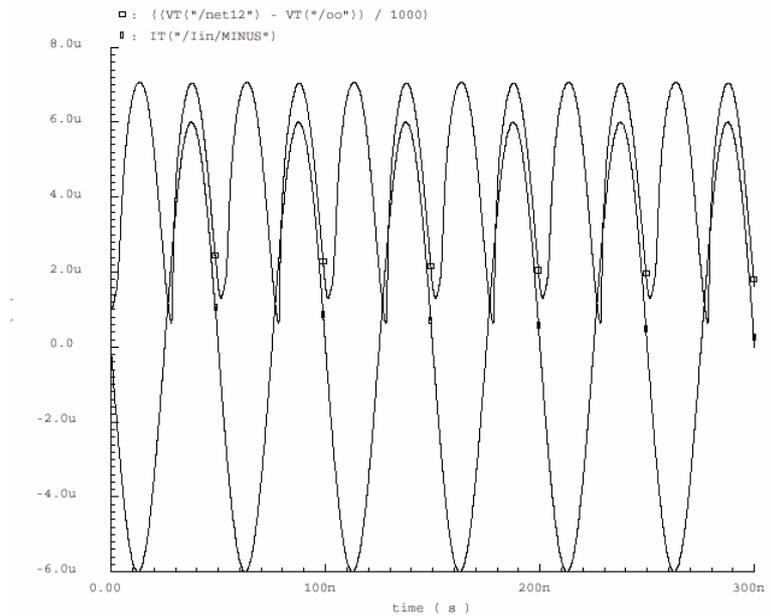


Figura 2.54: Señal i_{IN} de 20MHz y $6\mu A$ de amplitud y señal rectificada.

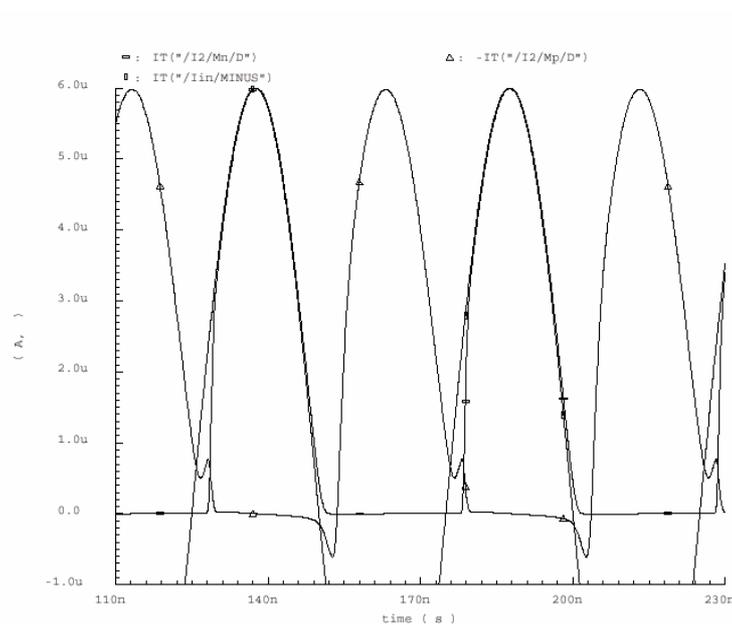


Figura 2.55: Detalle de la corriente de entrada y la corriente por M_P y M_N a 20MHz.

A continuación se muestran los resultados de simulación del rectificador de tensión. En la Figura 2.56 se muestra la señal rectificada junto con la corriente por los transistores M_N y M_P cuando la entrada v_{IN} es senoidal, de frecuencia 1MHz y amplitud 0.45V. Al aumentar la frecuencia a 10MHz, la señal rectificada es de la forma mostrada en la Figura 2.57. A partir de esa frecuencia la operación de rectificación se sigue realizando, aunque hay una falta de simetría evidente en los lóbulos de la señal, debida a la distorsión armónica que introduce el transconductor a partir de los 10MHz.

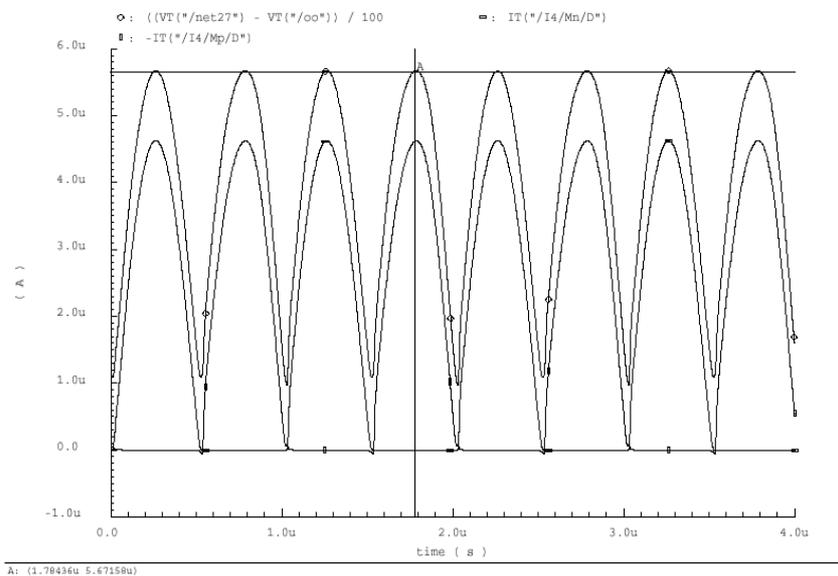


Figura 2.56: Señal rectificada cuando v_{IN} es de 1MHz y 4.5V de amplitud.

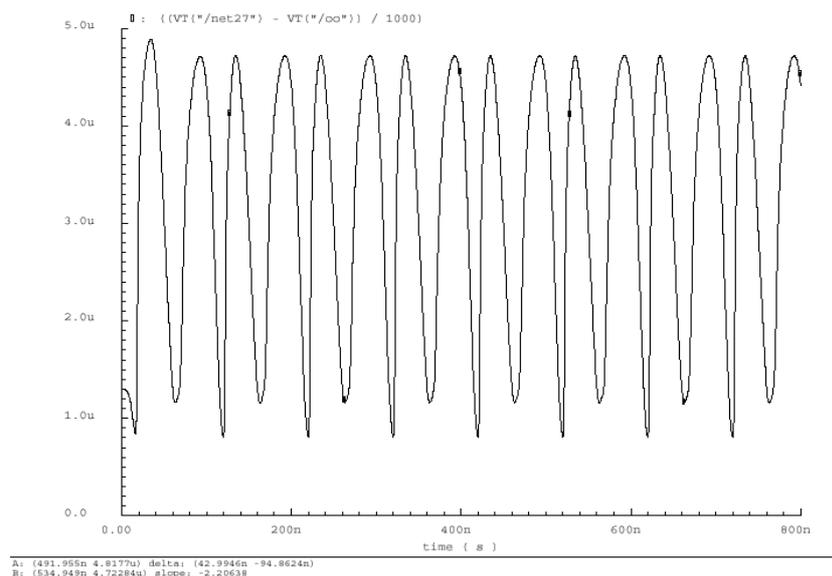


Figura 2.57: Señal rectificada cuando v_{IN} es de 10MHz y 4.5V de amplitud.

En la Figura 2.58 se muestra la característica DC del rectificador de tensión en la resistencia R_L tanto para entradas positivas como negativas respecto de un valor de modo común de 0.75V.

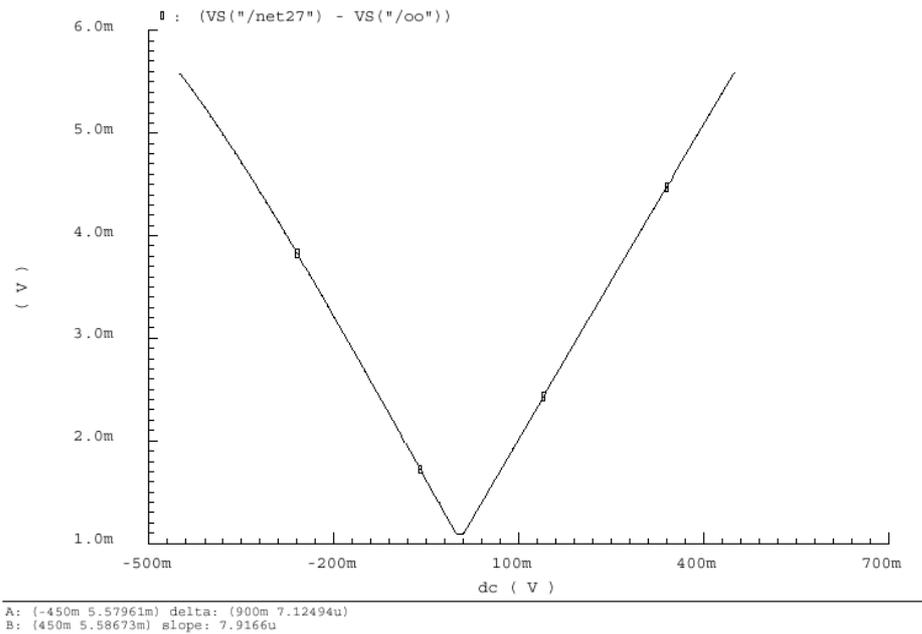


Figura 2.58: Característica DC del rectificador de tensión.

La Tabla 2.12 resume los resultados de simulación del rectificador de tensión.

V_{DD}	1.5V
Ancho de banda	20MHz
Frecuencia máx. de operación con precisión	10MHz
Rango de entrada	[0.3V, 1.25V]
Rango de salida en corriente	[1 μ A, 5.5 μ A]
Rango de salida en tensión	[1mV, 5.5mV]
P_Q	$\approx 200\mu$ W

Tabla 2.12: Resultados de simulación del rectificador de tensión.

2.8.3. Resultados experimentales.

Dados los pequeños niveles de corriente que se manejan en el rectificador de tensión, ha sido necesario también en esta ocasión añadir un *buffer* para, una vez fabricado el chip, poder hacer medidas desde el exterior. El *buffer*, un típico seguidor de fuente con alimentación de 5V, añade una componente DC a la salida. Sin embargo, desde el punto de vista práctico, esto no importa puesto que nuestro interés es medir las variaciones pico a pico de la tensión de salida y comprobar si se obtiene la señal rectificada. Otro detalle a tener en cuenta es que se ha aumentado la resistencia R_L de $1k\Omega$ a $10k\Omega$ para que el rango pico a pico de la salida aumente de $4.5mV$ a $45mV$ y pueda ser observado en el osciloscopio. No se ha incrementado más dicha resistencia porque los pequeños niveles de intensidad del rectificador de corriente no pueden cargar la impedancia formada por la resistencia R_L y la capacidad de puerta del transistor del *buffer*. Precisamente por esta razón, el ancho de banda del circuito se ve mermado considerablemente. Se ha comprobado mediante simulaciones que a partir de una frecuencia de 5MHz, la amplitud de la señal rectificada disminuye de forma apreciable.

2.8.3.1. Layout.

El rectificador de tensión se ha integrado en el mismo chip que el transconductor de la sección anterior, luego la tecnología utilizada es la misma. Se ha comprobado mediante simulaciones *post-layout* que el ancho de banda del circuito se reduce debido a que el rectificador de corriente es muy sensible a las capacidades parásitas de su salida. Por ello, se ha retocado el *layout* hasta reducir lo más posible dicho efecto. El *layout* del circuito se halla resaltado con un recuadro rojo en la Figura 2.59 y ocupa un área de silicio de aproximadamente $0.16416mm^2$.

2.8.3.2. Placa de Pruebas.

Se ha diseñado una placa de pruebas específica para tomar medidas experimentales del rectificador de tensión en el laboratorio.

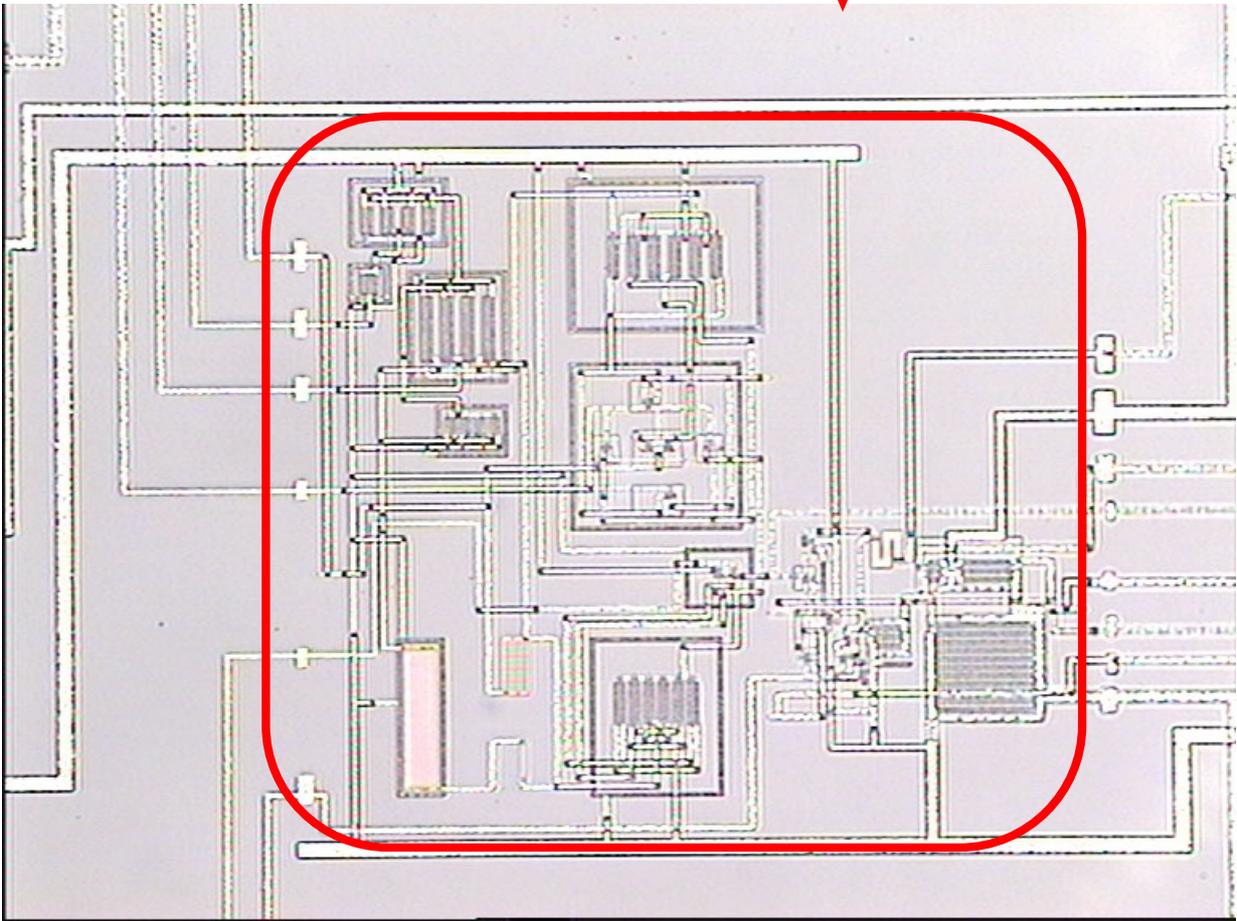
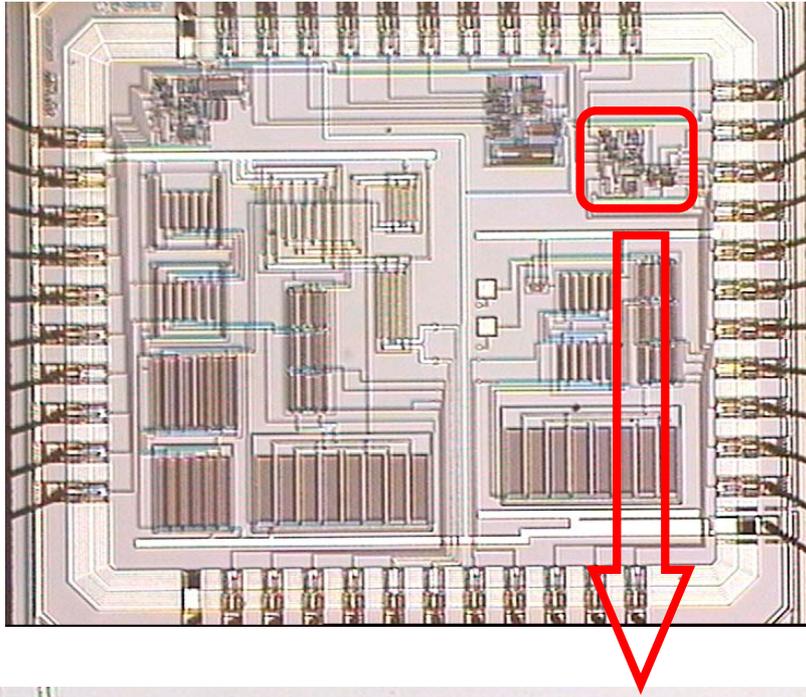
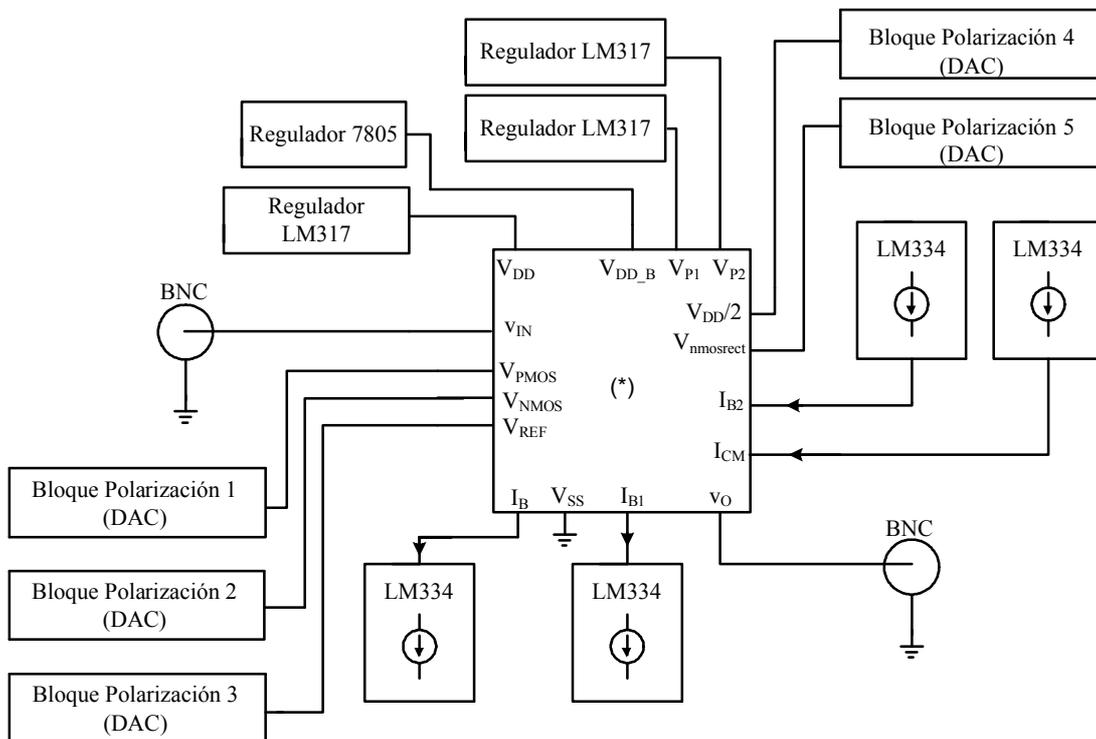


Figura 2.59: Microfotografía del rectificador de tensión dentro del chip.

La alimentación de 5V del *buffer* se ha generado mediante el integrado 7805 y las tensiones $V_{P1}=2.4V$, $V_{P2}=3V$ y $V_{DD}=1.5V$, mediante el integrado LM317, que es capaz de regular una tensión mínima de 1.25V. El resto de tensiones de polarización se han generado mediante convertidores D/A en la configuración ya vista anteriormente, que permite programar tensiones de 0 a 2.5V en saltos de 10mV. Para las cuatro corrientes de polarización del esquema de pruebas se han empleado integrados LM334 y se han colocado lo más cerca posible del chip, puesto que no sólo hay que ajustarlas a unos valores muy pequeños, sino que la diferencia de valor exacta entre unas y otras puede ser clave para el correcto funcionamiento del circuito. Se han seguido prácticamente los mismos criterios que ya fueron comentados para la placa del transconductor. El esquema simplificado de la placa de pruebas para la medida del rectificador de tensión se muestra en la Figura 2.60. El rutado de la placa ha tenido que hacerse a dos caras y se ha aprovechado la cara superior para extender un buen plano de masa. La placa de pruebas quedó finalmente como se muestra en la Figura 2.61.



(*) =Rectificador de tensión (Figura 2.52) +Buffer

Figura 2.60: Placa de pruebas para medida del rectificador de tensión.

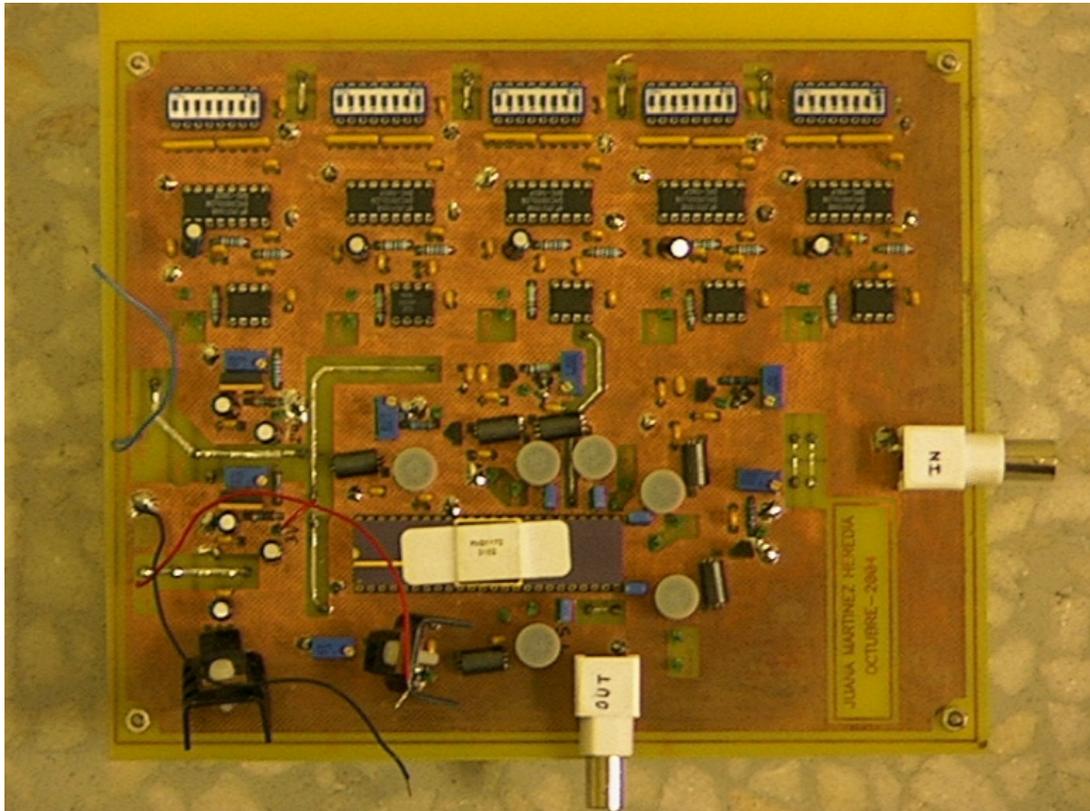


Figura 2.61: Placa de pruebas para medida del rectificador de tensión.

2.8.3.3. Medidas experimentales.

En este apartado no se pueden presentar aún resultados satisfactorios. A pesar del minucioso trabajo llevado a cabo en la placa y en el laboratorio, no se ha podido obtener el funcionamiento esperado del rectificador. Se ha constatado que el transconductor que compone el rectificador de tensión sí funciona porque si se introduce una señal senoidal v_{IN} de baja frecuencia y 0.45V de amplitud y se desactiva la fuente que da la intensidad de modo común de entrada justo en el punto de unión entre el OTA y el rectificador de corriente, se tiene a la salida del rectificador de tensión una onda senoidal de la misma frecuencia pero de amplitud 40mV, que es justo lo que cabría esperar. En ese caso, la intensidad que entra en el rectificador de corriente es positiva siempre y el transistor M_P se encuentra encendido todo el tiempo y entregando la corriente a la resistencia R_L y, por tanto, al *buffer*. También hay constancia de que la parte de abajo del rectificador de corriente (el transistor M_N y el espejo) no entra en conducción. Esto se puede ver reflejado en la Figura 2.62, en la que

queda patente que sólo aparecen rectificadas los semiciclos negativos. Pensamos que la causa de esto es que las fuentes de corriente implicadas $I_{B2}=6\mu A$ e $I_{B1}=5\mu A$ son tan pequeñas y difieren tan poco que resultan muy difíciles de ajustar con precisión, además de que no hay constancia de que la resistencia de salida de I_{B1} sea lo suficientemente grande como para que ésta no reciba parte de la corriente de entrada.

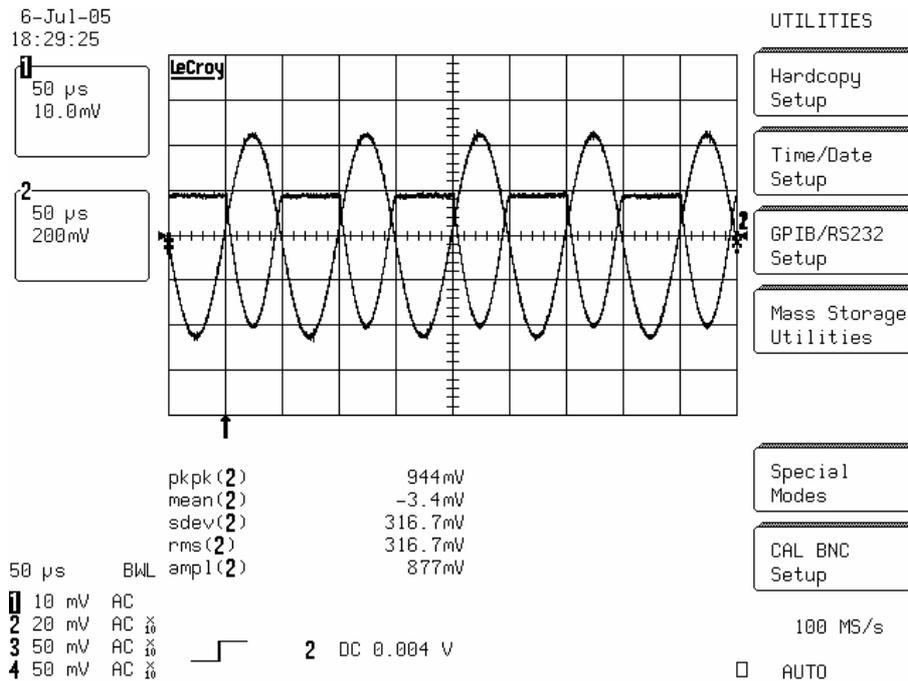


Figura 2.62: Señal de entrada y de salida del rectificador.

En la Tabla 2.13 se muestra un resumen de las prestaciones del rectificador de tensión que deberían haberse medido.

Tecnología	0.8 μm CMOS (AMS)
Alimentación	$V_{DD} = 1.5 V$
Rango de entrada	$0.95V_{pp}$
BW	20MHz
Frecuencia máx. de operación con precisión	10MHz
P_Q	$\approx 200\mu W$

Tabla 2.13: Prestaciones del rectificador de tensión.

Vistos los problemas que esta celda ha planteado a la hora de ser medida, la solución sería rediseñarla teniendo en cuenta la dificultad de hacer medidas desde fuera de un chip cuando los niveles de corriente de señal y de polarización son tan pequeños. Si se hace una versión escalada de la celda, se podrán obtener medidas para demostrar el funcionamiento general de la misma a pesar de que el consumo por supuesto aumentará significativamente.

2.9. Conclusiones.

En este capítulo se ha realizado un estudio detallado de una implementación de la batería dinámica y, tras proponer otra implementación posible, se han presentado dos aplicaciones de la batería: un transconductor y un rectificador de tensión. Ambos circuitos no sólo son capaces de operar con muy baja tensión de alimentación sino que su consumo es claramente muy reducido, siendo ésta una de las grandes ventajas que presentan. A pesar de que no se han obtenido resultados experimentales satisfactorios del rectificador, los del transconductor básico sí han resultado como se esperaba, demostrando, con ello, el potencial de la nueva configuración completamente diferencial del mismo (TCD) que se ha propuesto en esta Tesis. El TCD propuesto no sólo funciona con muy baja tensión de alimentación sino que tiene unas prestaciones de consumo, ancho de banda y linealidad dentro del estado del arte.

Capítulo 3

Diseño de baja tensión mediante la celda FVF

Este capítulo parte de la celda “seguidor de tensión girado” o celda FVF (acrónimo de su nombre en inglés “flipped voltage follower”), cuya eficacia para el diseño analógico de baja tensión y/o bajo consumo ha sido demostrada en numerosas y recientes publicaciones. Se realiza un análisis exhaustivo de la celda y sus características, una descripción de las estructuras básicas a las que da lugar y, finalmente, un repaso de las distintas publicaciones que utilizan estas estructuras. Tras esta recopilación de información, se presentan dos aportaciones de esta Tesis basadas en el FVF: un multiplicador de tensión y un transconductor, los cuales, además de trabajar con muy baja tensión de alimentación, poseen una alta linealidad y un gran ancho de banda.

3.1. Introducción.

Distintas publicaciones han señalado el uso del seguidor de tensión girado como una de las técnicas para el funcionamiento de muy baja tensión de circuitos analógicos de tiempo continuo [123]-[126]. No obstante, es en la más reciente, [127], donde se expresa de forma clara y detallada este hecho. El seguidor de tensión girado había sido utilizado de manera más o menos enmascarada en distintas aplicaciones desde el año 1990, pero hasta el año 2001 no se identifica como un circuito básico con unas propiedades especiales para la construcción de celdas analógicas de baja tensión y bajo consumo. Es precisamente [127] la publicación más relevante donde queda de manifiesto esta identificación, y su utilidad como técnica para el diseño analógico de baja tensión y/o bajo consumo.

La primera parte de este capítulo está dedicada a la presentación del FVF y al estudio que se ha realizado del mismo. Se describen después tres circuitos básicos que usan el FVF, exponiendo también las numerosas aplicaciones que, a lo largo del tiempo, han utilizado esta celda. Se dedica una atención especial a aquellas que cumplen nuestro objetivo de muy baja tensión de alimentación y/o bajo consumo. La cuarta sección de este capítulo está dedicada a la contribución realizada en esta Tesis en cuanto a aplicaciones de muy baja tensión que usan el seguidor de tensión girado. Se trata de un multiplicador de tensión y un amplificador de transconductancia, ambos de muy baja tensión y excelentes prestaciones.

3.2. El seguidor de tensión girado (o FVF).

El seguidor de tensión girado se muestra en sus versiones tipo P y tipo N en la Figura 3.1.a y Figura 3.1.b, respectivamente. La diferencia fundamental entre ambos tipos de FVF es que si se dispone de una tecnología convencional CMOS con sustrato tipo P, el transistor M_1 no tendrá efecto sustrato en la versión P, ya que sus terminales de sustrato y fuente se pueden cortocircuitar, pero sí lo tendrá en la versión tipo N, alejándolo de un comportamiento más ideal.

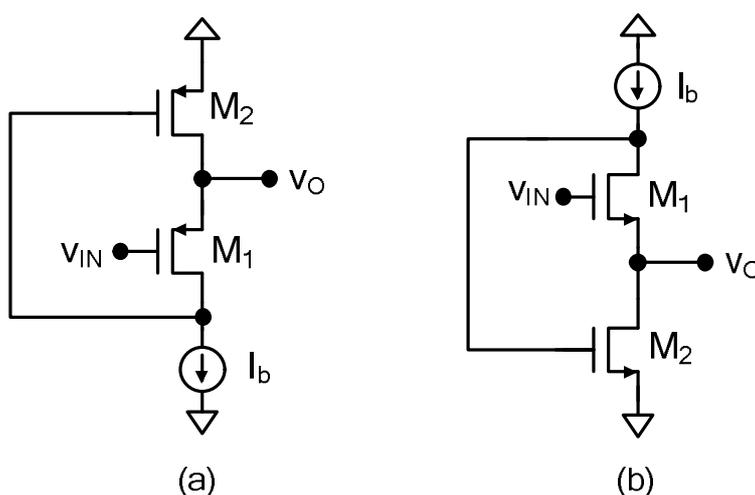


Figura 3.1: Celda FVF: a) tipo P, b) tipo N.

El FVF, al igual que el tradicional seguidor de fuente, se puede utilizar como *buffer* de clase AB. No obstante, el FVF posee tres ventajas claras respecto a dicho seguidor. En

primer lugar, es capaz de soportar cargas resistivas de bajo valor, manteniendo la ganancia de tensión prácticamente a la unidad. En segundo lugar, en gran señal y para cargas resistivas, también sigue teniendo una ganancia de tensión constante e igual a la unidad, ya que la tensión v_{GS} del transistor M_1 permanece aproximadamente constante a pesar de las grandes variaciones que pueda sufrir la señal de entrada v_{IN} . Por último, para valores típicos, la resistencia de salida del FVF es mucho menor que la del seguidor de fuente.

Se va a realizar un estudio detallado de la celda para comprobar todas estas características y se van a ir comparando los resultados obtenidos con los de un seguidor de fuente típico. Por simplicidad, se elige estudiar la celda tipo P. Se carga con una impedancia genérica Z_L , que podrá ser capacitiva o resistiva, y la notación empleada es la que se muestra en la Figura 3.2. Cada señal de corriente o tensión tendrá una componente de continua y una componente variable en el tiempo. Se considerarán modelos de primer orden para los transistores mientras no se diga lo contrario. Aun cuando el seguidor FVF tiene utilidad en diferentes niveles de inversión (débil, moderada y fuerte) de los transistores y en diferentes puntos de polarización, limitaremos nuestro análisis al caso en que los transistores permanecen en inversión fuerte y en saturación. El lector interesado puede plantear un análisis similar para otras regiones de funcionamiento.

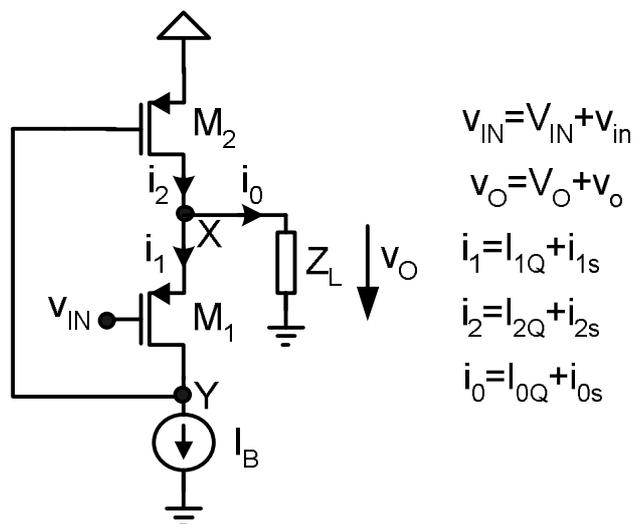


Figura 3.2: Celda FVF tipo p con impedancia de carga.

3.2.1. Análisis DC.

Si sólo consideramos una tensión de continua V_{IN} a la entrada del FVF, el resto de magnitudes tendrá también sólo componente de continua. Observando el circuito y utilizando un modelo de primer orden (no se tiene en cuenta el efecto de la modulación del canal), se ve que se cumplen las siguientes ecuaciones:

$$I_{1Q} = I_B \quad (3-1)$$

$$I_{2Q} = I_{1Q} + I_{0Q} \quad (3-2)$$

$$V_0 = V_{SG,MI} + V_{IN} = |V_{TP}| + \sqrt{\frac{2I_B}{K_p}} + V_{IN} \quad (3-3)$$

donde $K_p = \mu_p C_{ox} \frac{W}{L} \Big|_{M1}$.

Si la carga es capacitiva,

$$I_{0Q} = 0 \Rightarrow I_{2Q} = I_{1Q} = I_B \quad (3-4)$$

Y si la carga es resistiva, I_{0Q} ya no es nula pero sigue dándose que $I_{1Q} = I_B$ y, por tanto, la tensión $V_{SG,MI}$ no cambia respecto al caso capacitivo y tampoco lo hace V_0 . El valor de la corriente de salida es

$$I_{0Q} = V_0/R_L \quad (3-5)$$

De manera que el punto de polarización sólo cambia si lo hace la tensión de modo común de entrada, independientemente del valor y la naturaleza de la carga. Es decir, dada una tensión de entrada V_{IN} , la tensión de salida V_0 está perfectamente determinada y es constante para cualquier carga.

Partamos ahora del seguidor de fuente tipo P mostrado en la Figura 3.3. Se ve fácilmente que se cumplen las siguientes ecuaciones:

$$I_{1Q} = I_B - I_{0Q} \quad (3-6)$$

$$V_0 = V_{SG,M1} + V_{IN} = |V_{TP}| + \sqrt{\frac{2I_{1Q}}{K_p}} + V_{IN} \quad (3-7)$$

donde $K_p = \mu_p C_{ox} \frac{W}{L} \Big|_{M1}$.

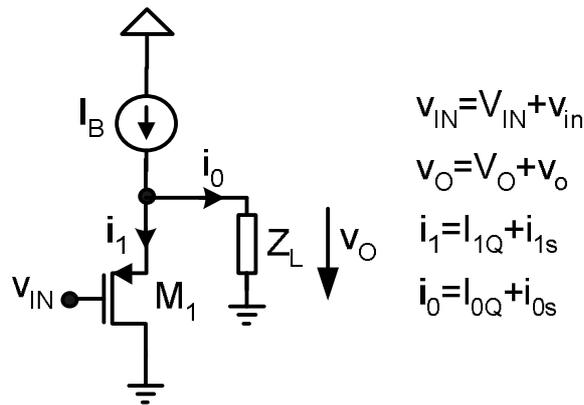


Figura 3.3: Seguidor de fuente tipo P con impedancia de carga.

Si la carga es capacitiva, $I_{0Q} = 0$ y, por tanto,

$$I_{1Q} = I_B \quad (3-8)$$

$$V_0 = |V_{TP}| + \sqrt{\frac{2I_{1Q}}{K_p}} + V_{IN} \quad (3-9)$$

cambiando el punto de polarización sólo si cambia el valor de V_{IN} , como en el FVF. Pero si la carga es resistiva, I_{0Q} ya no es nula y, además, depende del valor de la misma, con lo que I_{1Q} , $V_{SG,M1}$ y $V_0 = I_{0Q}/R$ ya no permanecen tampoco independientes del valor de la carga para una V_{IN} dada.

Respecto a la mínima tensión de alimentación con la que puede operar el FVF, se ve en la topología del mismo que está dada por

$$V_{DD}^{MIN} = V_{SG,M2}^{MIN} + V_{DS}^{sat} = |V_{TP}| + 2V_{DS}^{sat} \quad (3-10)$$

En una tecnología con $|V_{TP}| = 0.8V$, se tendría un valor tan pequeño como $V_{DD}^{MIN} = 0.8 + 0.2 = 1V$. Sin embargo, en la práctica no se elegirá esa tensión V_{DD}^{MIN} ya que el rango de entrada y salida quedaría limitado a $0V_{pp}$. En [75] quedó demostrado que, considerando el FVF sin carga, en estado quiescente y con M_1 y M_2 en saturación, el rango válido para la señal de entrada V_{IN} está limitado así:

$$|V_{TP}| + \sqrt{\frac{2I_B}{k_p \frac{W}{L}} \Big|_{M1}} + \sqrt{\frac{2I_B}{k_p \frac{W}{L}} \Big|_{M2}} < V_{DD} - v_{IN} < 2|V_{TP}| + \sqrt{\frac{2I_B}{k_p \frac{W}{L}} \Big|_{M2}} \quad (3-11)$$

o lo que es lo mismo,

$$V_{DD} - 2|V_{TP}| - \sqrt{\frac{2I_B}{k_p \frac{W}{L}} \Big|_{M2}} < v_{IN} < V_{DD} - |V_{TP}| - \sqrt{\frac{2I_B}{k_p \frac{W}{L}} \Big|_{M1}} - \sqrt{\frac{2I_B}{k_p \frac{W}{L}} \Big|_{M2}} \quad (3-12)$$

En la ecuación (3-12) se ve claramente que el rango pico a pico deseado a la entrada depende de los valores de V_{DD} e I_B seleccionados y de la tecnología disponible.

El rango a la salida será, pues,

$$v_{IN}^{MIN} + |V_{TP}| + \sqrt{\frac{2I_B}{k_p \frac{W}{L}} \Big|_{M1}} < v_o < v_{IN}^{MAX} + |V_{TP}| + \sqrt{\frac{2I_B}{k_p \frac{W}{L}} \Big|_{M1}} \quad (3-13)$$

En el caso del seguidor de fuente, la mínima tensión de alimentación posible está dada por

$$V_{DD}^{MIN} = V_{SG,M1}^{MIN} + V_{DS}^{sat} = |V_{TP}| + 2V_{DS}^{sat} \quad (3-14)$$

es decir, su valor es el mismo que para el FVF y, en la práctica, tampoco se elige ese valor V_{DD}^{MIN} puesto que el rango de entrada y salida sería nulo. El rango de entrada del

seguidor, dado por la expresión (3-15), es mayor que para el FVF, aunque cuando la alimentación se reduce, esa diferencia disminuye también.

$$0 < v_{IN} < V_{DD} - V_{DS}^{SAT} - |V_{TP}| - \sqrt{\frac{2I_B}{k_p \frac{W}{L}}}_{M1} \quad (3-15)$$

El rango de tensión a la salida del seguidor de fuente es, por tanto, también mayor que para el FVF y está dado por

$$|V_{TP}| + \sqrt{\frac{2I_B}{k_p \frac{W}{L}}}_{M1} < v_o < v_{IN}^{MAX} + |V_{TP}| + \sqrt{\frac{2I_B}{k_p \frac{W}{L}}}_{M1} \quad (3-16)$$

3.2.2. Análisis de pequeña señal.

Se realizará un primer análisis a bajas frecuencias y, más tarde, otro a altas frecuencias para comprobar la estabilidad del FVF. Se tendrá en cuenta que la señal total de entrada v_{IN} tiene una componente de continua V_{IN} y una componente de pequeña señal v_{in} . Igualmente, la señal total de salida v_o consta de una componente de continua V_o y una componente de pequeña señal v_o .

3.2.2.1. Análisis de pequeña señal a bajas frecuencias.

Es fácil observar en la Figura 3.2 que la tensión de salida v_o es la tensión de entrada v_{IN} más la tensión fuente-puerta del transistor M_1 . Si consideramos un modelo de primer orden donde se desprecie la modulación de la longitud del canal, la tensión $v_{SG,M1}$ es constante puesto que la corriente que lo atraviesa también lo es. Así, podemos escribir

$$v_o = v_{IN} + v_{SG,M1} = v_{IN} + V_{SG,M1} = v_{IN} + |V_{TP}| + \sqrt{\frac{2I_B}{K_p}} \quad (3-17)$$

Como $v_{IN} = V_{IN} + v_{in}$, se tiene, por otro lado, que

$$v_O = V_{IN} + v_{in} + |V_{TP}| + \sqrt{\frac{2I_B}{K_p}} \quad (3-18)$$

Y de esta ecuación podemos identificar el valor de continua V_O , ya expresado en (3-3), y el valor de pequeña señal v_o de la salida:

$$v_o = v_{in} \quad (3-19)$$

De la ecuación (3-19) se deduce que la ganancia de tensión del circuito es la unidad, es decir, la salida sigue a la entrada. Pero veamos un análisis más exhaustivo. El circuito de pequeña señal del FVF queda como se muestra en la Figura 3.4. La resistencia r_{0B} es la resistencia de salida de la fuente de corriente constante I_B . Ahora sí consideraremos el efecto de segundo orden de modulación del canal. Se ha conectado una carga R_L por ser el caso más desfavorable posible.

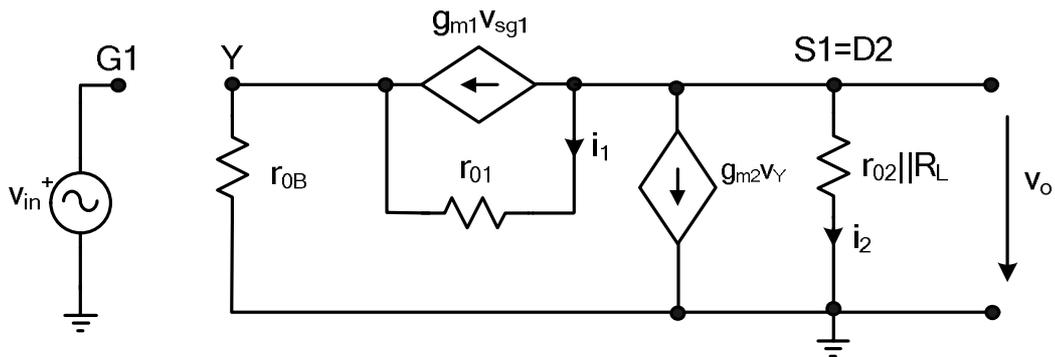


Figura 3.4: Circuito de pequeña señal a bajas frecuencias del FVF tipo p.

Si no existiese carga o ésta fuese capacitiva, los parámetros de pequeña señal serían

$$g_{m,M1} = \sqrt{2 \cdot I_B \cdot k_p \cdot \frac{W}{L}} \Big|_{M1} = g_{m1} \quad (3-20)$$

$$g_{m,M2} = \sqrt{2 \cdot I_B \cdot k_P \cdot \frac{W}{L}}_{M2} = g_{m2} \quad (3-21)$$

$$r_{0,M1} = r_{0,M2} = \frac{I}{\lambda_p \cdot I_B} = r_0 \quad (3-22)$$

Con la carga resistiva, los parámetros de pequeña señal del transistor M₁ son los mismos, variando los de M₂. En este caso,

$$g_{m,M1} = \sqrt{2 \cdot I_B \cdot k_P \cdot \frac{W}{L}}_{M1} = g_{m1} \quad (3-23)$$

$$g_{m,M2} = \sqrt{2 \cdot (I_B + I_{0Q}) \cdot k_P \cdot \frac{W}{L}}_{M2} = g_{m2} \quad (3-24)$$

$$r_{0,M1} = \frac{I}{\lambda_p \cdot I_B} = r_{01} \quad (3-25)$$

$$r_{0,M2} = \frac{I}{\lambda_p \cdot (I_B + I_{0Q})} = r_{02} \quad (3-26)$$

Las ecuaciones que se obtienen aplicando el método de nudos son:

$$\left. \begin{aligned} g_{m2} \cdot v_Y + i_2 + g_{m1} \cdot v_{sg1} + i_l &= 0 \\ (g_{m1} \cdot v_{sg1} + i_l) \cdot r_{oB} &= v_Y \\ v_{sg1} &= v_o - v_{in} \end{aligned} \right\} \Rightarrow$$

que dan lugar a

$$\left. \begin{aligned} v_Y \cdot (g_{m2} - r_{ol}^{-1}) + v_o \cdot [g_{m1} + r_{ol}^{-1} + (r_{02} \parallel R_L)^{-1}] &= g_{m1} \cdot v_{in} \\ v_o \cdot r_{oB} \cdot (g_{m1} + r_{ol}^{-1}) - r_{oB} \cdot g_{m1} \cdot v_{in} &= v_Y \cdot \left(I + \frac{r_{oB}}{r_{ol}} \right) \end{aligned} \right\} \Rightarrow$$

Como $r_{0,M1}^{-1} \ll g_{m,M1}$, resolviendo el sistema de ecuaciones se llega a

$$A_v = \frac{v_o}{v_i} = \frac{g_{m,M1} + \frac{r_{0B} \cdot g_{m,M1} \cdot \left(g_{m,M2} - \frac{I}{r_{0,M1}} \right)}{I + \frac{r_{0B}}{r_{0,M1}}}}{g_{m,M1} + \frac{r_{0B} \cdot g_{m,M1} \cdot \left(g_{m,M2} - \frac{I}{r_{0,M1}} \right)}{I + \frac{r_{0B}}{r_{0,M1}}} + \frac{I}{R_L \parallel r_{0,M2}}} \quad (3-27)$$

Calculemos, entonces, el valor mínimo de R_L para el cual aún se puede considerar que la ganancia es prácticamente la unidad.

Teniendo en cuenta que R_L será normalmente bastante menor que $r_{0,M2}$ y que, por tanto, se puede hacer la aproximación $R_L \parallel r_{0,M2} \approx R_L$, podemos reordenar la ecuación (3-27) así:

$$A_v = \frac{v_o}{v_i} = \frac{I}{I + \frac{R_L \cdot \left(g_{m,M1} + \frac{r_{0B} \cdot g_{m,M1} \cdot \left(g_{m,M2} - \frac{I}{r_{0,M1}} \right)}{I + \frac{r_{0B}}{r_{0,M1}}} \right)}{I}} \quad (3-28)$$

Llamando G a la expresión dada por (3-29),

$$G = \frac{I}{R_L \cdot \left(g_{m,M1} + \frac{r_{0B} \cdot g_{m,M1} \cdot \left(g_{m,M2} - \frac{I}{r_{0,M1}} \right)}{I + \frac{r_{0B}}{r_{0,M1}}} \right)} \quad (3-29)$$

se puede expresar (3-28) de la siguiente forma:

$$A_v = \frac{v_o}{v_i} = \frac{I}{I+G} \quad (3-30)$$

De forma que podremos decir que la ganancia A_v es prácticamente la unidad si se cumple que

$$G \ll I \quad (3-31)$$

Se va a considerar que la aproximación (3-31) es válida cuando G es un orden de magnitud menor que la unidad, es decir, si

$$G < 0.1 \quad (3-32)$$

De (3-29) y (3-32) se concluye que la ganancia de tensión se puede aproximar a la unidad si

$$R_L > \frac{10}{g_{m,M1} \cdot \left(1 + \frac{g_{m,M2} \cdot r_{0,M1} \cdot r_{0B}}{r_{0,M1} + r_{0B}} \right)} \quad (3-33)$$

donde se ha tenido en cuenta que $g_{m,M2} \cdot r_{0,M1} - I \approx g_{m,M2} \cdot r_{0,M1}$.

Si se considera que la fuente de corriente I_B se ha implementado mediante un simple espejo de corriente, entonces $r_{0B} \approx r_{0,M1}$ y la inecuación (3-33) se puede simplificar de la siguiente manera:

$$R_L > \frac{10}{g_{m,M1} \cdot \frac{g_{m,M2} \cdot r_{0,M1}}{2}} \quad (3-34)$$

Para valores típicos de $g_{m,M1} \approx g_{m,M2} \approx 100\mu\text{A}/\text{V}$ y $r_{0,M1} \approx 100\text{M}\Omega$, se obtiene que se puede conectar una resistencia tan pequeña como 20Ω .

Si se considera que la fuente de corriente I_B se ha implementado mediante un espejo de corriente cascode ($r_{0B} \approx g_{m,M1}r_{0,M1}r_{0,M2}$) o, sencillamente, que r_{0B} es mucho mayor que $r_{0,M1}$, la inecuación (3-33) se puede simplificar ahora como

$$R_L > \frac{10}{g_{m,M1} \cdot g_{m,M2} \cdot r_{0,M1}} \quad (3-35)$$

que es la mitad del valor dado antes por (3-34). Es decir, en este caso, para valores típicos de los parámetros, el valor mínimo de R_L que se puede conectar sin que A_v deje de ser prácticamente la unidad es 10Ω .

En el seguidor de fuente de la Figura 3.3 la ganancia de tensión DC tiene la expresión

$$A_v = \frac{v_o}{v_i} = \frac{I}{I + \frac{I}{g_{m,M1} \cdot (r_{0,M1} \parallel r_{0B} \parallel Z_L)}} \quad (3-36)$$

Cuando no existe carga (caso ideal) o ésta es capacitiva, la ganancia de tensión se puede considerar aproximadamente la unidad ya que el valor de $g_{m,M1} \cdot (r_{0,M1} \parallel r_{0B})$ es muy elevado. Y si la carga es resistiva, como $r_{0,M1} \parallel r_{0B} \parallel R_L \approx R_L$, la expresión (3-36) se reduce a

$$A_v = \frac{v_o}{v_i} = \frac{I}{I + \frac{I}{g_{m,M1} \cdot R_L}} \quad (3-37)$$

donde se aprecia que para valores pequeños de R_L , la ganancia de tensión puede disminuir bastante. De hecho, el valor mínimo de R_L que garantiza el comportamiento del circuito como *buffer* de tensión está dado por

$$R_L > \frac{10}{g_{m,M1}} \quad (3-38)$$

que, para valores típicos de $g_{m,M1}$, es de $100K\Omega$.

Comparando la expresión (3-38) con la (3-34) y (3-35), comprobamos que el requerimiento de mínima resistencia de carga para el caso del seguidor de fuente es mucho mayor que para el FVF, siendo, por tanto, el FVF mejor *buffer*. A modo de ilustración y para valores típicos de los parámetros de pequeña señal, en la Figura 3.5 se representa dicho valor de R_L mínima en el FVF cuando la resistencia r_{0B} de la fuente de corriente varía entre el valor correspondiente a un espejo simple y a un espejo cascado. En todo ese rango de r_{0B} , la R_L^{MIN} en el seguidor de fuente no varía.

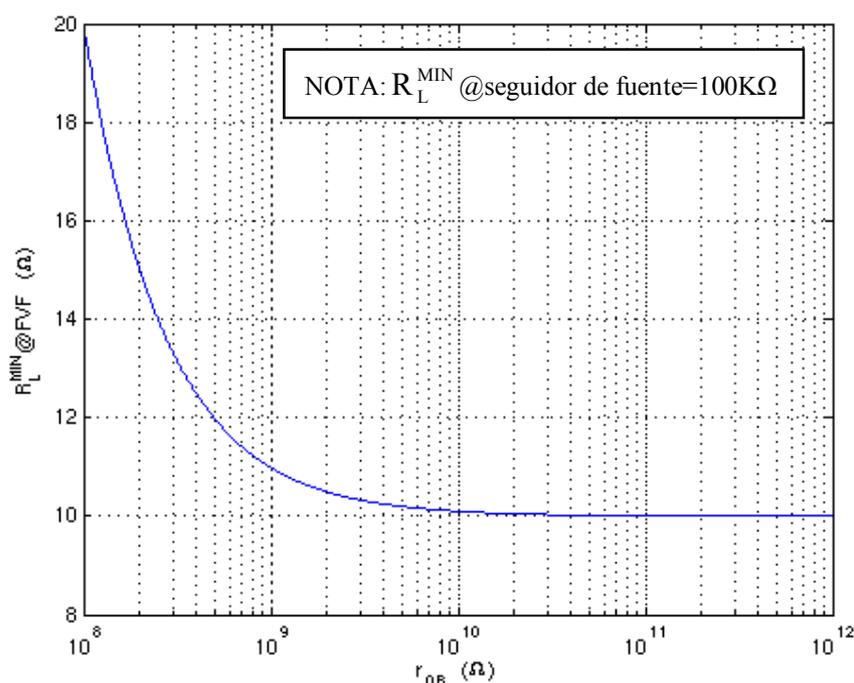


Figura 3.5: Valor de R_L mínima en el FVF frente al valor de la resistencia r_{0B} .

Ya estudiada la ganancia de tensión, se procede a estudiar la resistencia de entrada y de salida del FVF, las cuales pretendemos que se acerquen lo más posible a $r_{in} \approx \infty$ y $r_{out} \approx 0$.

A bajas frecuencias, la resistencia de entrada del FVF es prácticamente infinita puesto que la entrada está conectada a la puerta de un transistor MOSFET y, por tanto, la corriente DC que circula por ella es nula.

La resistencia de salida se calculará en el circuito de la Figura 3.4 pero añadiéndole una fuente de prueba en la salida y cortocircuitando la entrada a tierra. Resolviendo por nudos, se obtiene:

$$r_{out} = \frac{I}{g_{m,M1} \cdot \left(1 + \frac{r_{0B} \cdot (g_{m,M2} \cdot r_{0,M1} - I)}{r_{0,M1} + r_{0B}} \right)} \quad (3-39)$$

Si se considera que la fuente de corriente I_B se implementa mediante un simple espejo de corriente ($r_{0B} \approx r_{0,M1}$) y se tiene en cuenta que $g_{m,M2} \cdot r_{0,M1} + 1 \approx g_{m,M2} \cdot r_{0,M1}$, la expresión de r_{out} queda como en la ecuación (3-40). Si se considera que la fuente se implementa mediante un espejo de corriente cascode ($r_{0B} \approx g_{m,M1} r_{0,M1} r_{0,M2}$) o, simplemente, que r_{0B} es mucho mayor que $r_{0,M1}$, la resistencia de salida queda como en la ecuación (3-41).

$$r_{out} \cong \frac{2}{g_{m,M1} \cdot g_{m,M2} \cdot r_{0,M1}} \quad (3-40)$$

$$r_{out} \cong \frac{I}{g_{m,M1} \cdot g_{m,M2} \cdot r_{0,M1}} \quad (3-41)$$

Para valores típicos de los parámetros de pequeña señal, se obtiene que r_{out} es aproximadamente de 2Ω en el primer caso y de 1Ω en el segundo, verificándose así la casi-ideal resistencia de salida que posee la celda FVF y constatando por qué tiene un comportamiento como *buffer* tan extraordinariamente bueno.

En el caso del seguidor de fuente, la resistencia de entrada también es prácticamente infinita pero la resistencia de salida está dada por

$$r_{out} \cong \frac{I}{g_{m,M1} + \frac{I}{r_{0,M1} \parallel r_{0B}}} \cong \frac{I}{g_{m,M1}} \quad (3-42)$$

que es muy alta comparándola con la de la ceda FVF, y, naturalmente, peor. De hecho, con los mismos parámetros típicos de antes, se obtiene una r_{out} en el seguidor de tensión de aproximadamente $10K\Omega$.

A modo de ilustración nuevamente, y para valores típicos de los parámetros de pequeña señal, en la Figura 3.6 se representa la resistencia de salida del FVF cuando la resistencia r_{0B} de la fuente de corriente varía entre el valor correspondiente a un espejo simple y a un espejo cascado. En todo ese rango de r_{0B} , la resistencia de salida del seguidor de fuente no varía y es mucho más elevada.

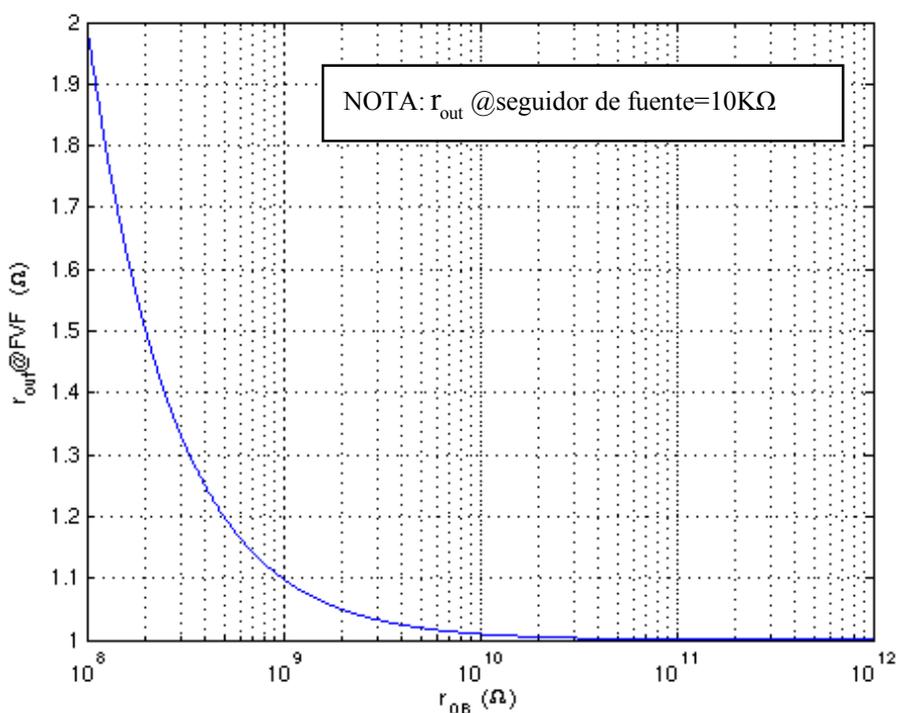


Figura 3.6: Valor de la resistencia de salida del FVF frente al valor de la resistencia r_{0B} .

3.2.2.2. Análisis de pequeña señal a altas frecuencias.

El FVF es claramente un circuito con realimentación negativa. Aunque en [127] ya se presentó un análisis aproximado de estabilidad del FVF estudiando la ganancia del lazo, esta Tesis aporta un análisis exhaustivo de la función de transferencia en bucle cerrado, llegando a unos resultados más amplios que los aportados en [127]. Además, no

haremos uso de la aproximación Miller para simplificar el circuito ante la aparición de capacidades puenteadando entrada y salida [128], [129].

Como en el análisis de alta frecuencia hay que incluir todas las capacidades parásitas de los transistores (C_{GS} , C_{GD} , C_{DB} y C_{SB}), el esquema del FVF quedaría como se muestra en la Figura 3.7, donde ya aparecen agrupadas las capacidades. Se ha considerado que la carga es la más general posible en un circuito CMOS, es decir, una resistencia R_L en paralelo con una capacidad C_L .

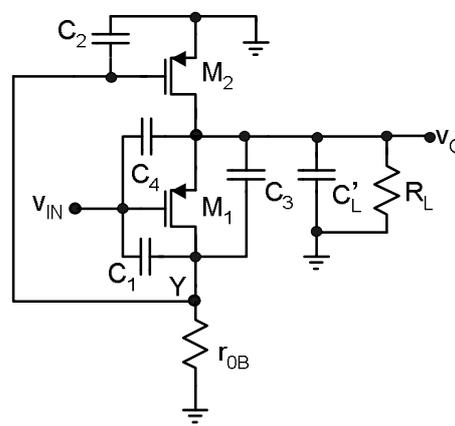


Figura 3.7: Esquema de pequeña señal a altas frecuencias del FVF.

Las capacidades de la Figura 3.7 están dadas por las siguientes expresiones:

$$C_1 = C_{GD,M1} \quad (3-43)$$

$$C_2 = C_{GS,M2} \quad (3-44)$$

$$C_3 = C_{GD,M2} + C_{DB,M1} \quad (3-45)$$

$$C_4 = C_{GS,M1} \quad (3-46)$$

$$C'_L = C_L + C_{DB,M2} \quad (3-47)$$

El circuito de pequeña señal completo a altas frecuencias del FVF quedaría como se muestra en la Figura 3.8.

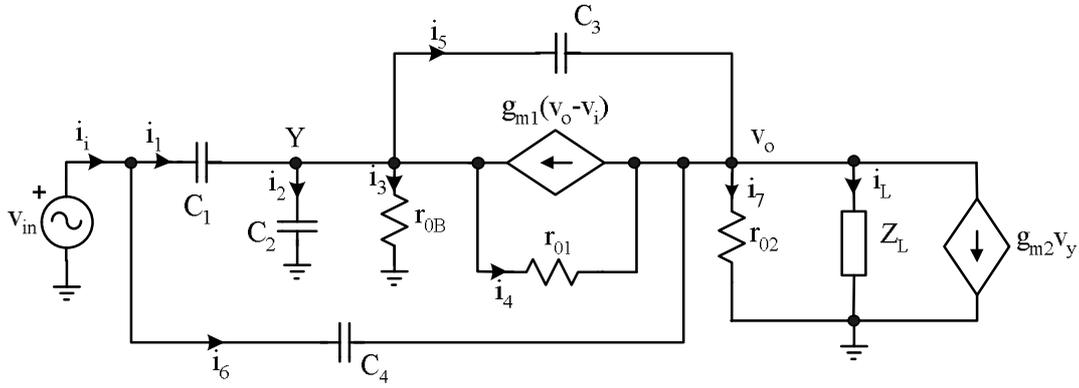


Figura 3.8: Circuito de pequeña señal a altas frecuencias del FVF.

En dicha figura, Z_L está dada por

$$Z_L = Y_L^{-1} = \frac{I}{R_L^{-1} + j\omega(C_L + C_{DB,M2})} \quad (3-48)$$

Aplicando el método de nudos, se obtienen las siguientes ecuaciones:

$$\left. \begin{aligned} i_i &= (v_i - v_y) \cdot C_1 s + (v_i - v_o) \cdot C_4 s \\ (v_i - v_y) \cdot C_1 s &= v_y C_2 s + v_y r_{0B}^{-1} + (v_y - v_o) \cdot C_3 s + (v_y - v_o) \cdot r_{01}^{-1} - g_{m1} v_o + g_{m1} v_i \\ (v_y - v_o) \cdot C_3 s + (v_y - v_o) \cdot r_{01}^{-1} + (v_i - v_o) \cdot C_4 s &= v_o r_{02}^{-1} + g_{m2} v_y + g_{m1} v_o - g_{m1} v_i + v_o Y_L \end{aligned} \right\}$$

Considerando $r_{0,M1}^{-1}, r_{0,M2}^{-1} \ll g_{m,M1}$ y $r_{0B} \approx r_{01}$, tras un tedioso cálculo, se llega a la función de transferencia

$$\frac{v_o}{v_i} = \frac{s^2(C_1 C_3 + C_4 C_A) + s \left[g_{m1}(C_1 + C_2) - g_{m2} C_1 + C_4 \frac{r_{01}^{-1}}{2} \right] + g_{m1} g_{m2}}{s^2(C_A C_B - C_3^2) + s \left[g_{m1}(C_1 + C_2) + g_{m2} C_3 + C_B \frac{r_{01}^{-1}}{2} + C_A R_L^{-1} \right] + g_{m1} g_{m2} + \frac{r_{01}^{-1}}{2} R_L^{-1}}$$

donde, por comodidad, se ha llamado

$$C_A = C_1 + C_2 + C_3 \quad (3-49)$$

$$C_B = C_3 + C_4 + C'_L \quad (3-50)$$

Pues bien, la función de transferencia tiene dos polos y dos ceros. El denominador es un polinomio de segundo orden que podemos expresar de la conocida forma

$$D(s) = s^2 + s \frac{w_o}{Q} + w_o^2 \quad (3-51)$$

cuyas raíces son

$$p_{1,2} = -w_o \left(\frac{1}{Q} \pm j \sqrt{1 - \frac{1}{4Q^2}} \right) \quad (3-52)$$

que están en el semiplano negativo o, como mucho, en el eje imaginario en forma de raíces complejas conjugadas. Sin embargo, este último caso no es posible porque para ello el coeficiente w_o/Q del término en “s” debería ser nulo y se ve en la función de transferencia que no puede serlo.

Se puede expresar la función de transferencia del FVF como

$$\frac{v_o}{v_i} = \frac{(C_A C_B - C_3^2)^{-1} \left[s^2 (C_1 C_3 + C_4 C_A) + s \left(g_{m1} (C_1 + C_2) - g_{m2} C_1 + C_4 \frac{r_{01}^{-1}}{2} \right) + g_{m1} g_{m2} \right]}{s^2 + s \frac{w_o}{Q} + w_o^2}$$

donde

$$w_o = \sqrt{\frac{g_{m1} g_{m2} + \frac{r_{01}^{-1}}{2} R_L^{-1}}{C_A C_B - C_3^2}} \quad (3-53)$$

$$Q = \frac{\sqrt{(C_A C_B - C_3^2) \left(g_{m1} g_{m2} + \frac{r_{01}^{-1}}{2} R_L^{-1} \right)}}{g_{m1} (C_1 + C_2) + g_{m2} C_3 + C_B \frac{r_{01}^{-1}}{2} + C_A R_L^{-1}} \quad (3-54)$$

Al tener los dos únicos polos en el semiplano negativo, se puede afirmar que el FVF es incondicionalmente estable. La respuesta transitoria del FVF siempre tiende a cero. Ahora bien, dependiendo de cómo sean esos polos, reales y distintos (si $Q < 0.5$), reales e iguales (si $Q = 0.5$) o complejos conjugados (si $Q > 0.5$), la respuesta transitoria será sobreamortiguada, críticamente amortiguada o subamortiguada, respectivamente. En el diagrama de amplitud de una función de transferencia $H(s)$ con ese denominador, también podríamos ver que si $Q > 0.707$, existe un pico para la frecuencia $\omega = \omega_o$, y que cuanto mayor es el factor Q , más pronunciado es ese pico y más abruptamente cambia la fase de 0° a -180° en la frecuencia ω_o , habiendo en la respuesta transitoria cada vez más sobreoscilación. Para que la respuesta del FVF ante una señal cuadrada corresponda al caso sobreamortiguado, debemos imponer la condición $Q < 0.5$. De todas formas, como el tamaño del transistor M_1 estará fijado por I_B y la tensión puerta-fuente deseada, que se elegirá cercana a la tensión $|V_{TP}|$ para permitir mayor rango a la salida, es intuitivo que se elegirá M_2 mayor que M_1 para que, estando en saturación, permita las variaciones de corriente lo más grandes posibles. Además, cuanto mayor sea C_L , mayor ha de ser M_2 para que no exista pico en el diagrama de amplitud del FVF, aunque entonces disminuirá el ancho de banda.

El seguidor de fuente, tras el análisis de alta frecuencia, nos da una función de transferencia dada por

$$\frac{v_o}{v_i} = \frac{g_{m1} + C_{GS,M1} \cdot s}{g_{m1} + \frac{I}{r_{0,M1} \parallel r_{0B} \parallel Z_L} + (C_{GS,M1} + C_{DB,M1}) \cdot s} \quad (3-55)$$

que consta de un cero y un polo en el semiplano negativo, por lo que el circuito es también incondicionalmente estable. Ahora bien, puede ocurrir que la carga sea resistiva y de pequeño valor ($R_L \ll \frac{1}{g_{m1}}$). En ese caso, la ganancia a bajas frecuencias es aproximadamente $g_{m1} \cdot R_L$, un valor muy por debajo de la unidad, y la frecuencia del cero es menor que la frecuencia del polo, con lo que el circuito a bajas frecuencias puede atenuar mucho la señal de entrada y conforme sube la frecuencia, dicha

atenuación disminuye, siendo la ganancia de tensión a muy altas frecuencias

$$\frac{v_o}{v_i} \approx \frac{C_{GS,M1}}{C_{GS,M1} + C_{DB,M1}}. \text{ El circuito, por tanto, deja de comportarse como un } buffer.$$

3.2.3. Comportamiento de gran señal.

El FVF sufre de no-idealidades que introducen distorsión armónica, como son la modulación de la longitud del canal, la degradación de la movilidad, el efecto sustrato (no presente en un FVF tipo P), efectos capacitivos dependientes de la señal y distorsión dependiente de la frecuencia. Como ya se ha comentado, en gran señal y con cargas resistivas, el comportamiento del FVF es mejor que el del seguidor de fuente ya que, aunque la señal de entrada sufra grandes variaciones pico a pico, la tensión v_{GS} del transistor M_1 sí permanece aproximadamente constante, manteniéndose la ganancia de tensión también constante e igual a la unidad. Es el transistor M_2 el que proporciona más o menos corriente a la resistencia de salida y sólo habrá que procurar que no entre en zona lineal cuando dé la corriente máxima, evitando con ello el aumento de la distorsión. En gran señal y ante una carga capacitiva, la corriente que puede dar el FVF tipo P es muy alta pero la que puede absorber es, como máximo, igual a la de la fuente I_B . Ante una onda cuadrada a la entrada, la carga del condensador apenas se ve limitada pero no ocurre lo mismo con la descarga del condensador, donde la corriente máxima está limitada a I_B y el *slew rate* de bajada es, por tanto, I_B/C_L . En el seguidor de fuente tipo P, es la carga del condensador la que se ve limitada por un *slew rate* de I_B/C_L . Si el FVF es tipo N, puede recibir mucha corriente y entregar como máximo I_B , mientras que el seguidor de fuente tipo N presenta el comportamiento contrario.

3.2.4. Resumen de comparación entre el FVF y el seguidor de fuente.

En la Tabla 3.1 se muestra un resumen de los resultados obtenidos a lo largo de esta sección, donde queda de manifiesto que el FVF tiene mejores prestaciones como *buffer* que el seguidor de fuente convencional.

Tabla 3.1: Comparación de prestaciones entre el seguidor de fuente y el FVF.

	Seguidor de fuente (P)	FVF (P)
DC (punto Q)	$Q=f(V_{IN})$ si C_L ; $Q=f(V_{IN}, R_L)$ si R_L	$Q = f(V_{IN})$, independientemente del tipo de carga y su valor
Pequeña señal BF	$A_v = \frac{I}{I + \frac{I}{g_{m,M1} \cdot (r_{o,M1} \parallel r_{oB} \parallel Z_L)}}$ <ul style="list-style-type: none"> • Si C_L: $A_v \cong I$ • Si R_L: $A_v \cong I \Leftrightarrow R_L > \frac{10}{g_{m,M1}}$ <p>P. v. t.: $R_L^{MIN} \cong 100k\Omega$</p>	$A_v = \frac{I}{I + \frac{r_{oB} \cdot g_{m,M1} \cdot \left(g_{m,M2} - \frac{I}{r_{o,M1}} \right)}{(Z_L \parallel r_{o,M2}) \cdot \left(g_{m,M1} + \frac{I + \frac{r_{oB}}{r_{o,M1}}}{1} \right)}}$ <ul style="list-style-type: none"> • Si C_L: $A_v \cong I$ • Si R_L: $A_v \cong I \Leftrightarrow R_L > \frac{10}{g_{m,M1} \left(1 + \frac{g_{m,M2} \cdot r_{o,M1} \cdot r_{oB}}{r_{o,M1} + r_{oB}} \right)}$; P. v. t.: $R_L^{MIN} \cong 20\Omega$
	$r_{in} \approx \infty$	$r_{in} \approx \infty$
	$r_{out} \cong \frac{1}{g_{m,M1} + \frac{1}{(r_{o,M1} \parallel r_{oB})}} \cong \frac{1}{g_{m,M1}}$ <p>P. v. t.: $r_{out} \cong 10k\Omega$</p>	$r_{out} \cong \frac{1}{g_{m,M1} + \left(1 + \frac{r_{oB} \cdot (g_{m,M2} \cdot r_{o,M1} - 1)}{r_{o,M1} + r_{oB}} \right)}$; Si $r_{oB} \approx r_{o,M1} \Rightarrow r_{out} \cong \frac{2}{g_{m,M1} \cdot g_{m,M2} \cdot r_{o,M1}}$ <p>P. v. t.: $r_{out} \cong 2\Omega$</p>
Pequeña señal AF	Estable (un polo). Pero si $R_L \ll$, efecto de más a menos atenuación	Estable (dos polos)

NOTA: P. v. t. \equiv Para valores típicos

3.3. Esquemas básicos a partir del FVF y aplicaciones.

Aunque en la referencia [127] se hacía un repaso de muchas de las aplicaciones a las que ha dado lugar el FVF, en esta sección se presenta un resumen actualizado que, desde el punto de vista de la autora de esta Tesis, es de gran interés, si bien el lector que conozca dicha referencia, puede continuar su lectura en la siguiente sección directamente.

Con el FVF se pueden montar tres circuitos básicos con propiedades de funcionamiento particulares. A partir de éstos se han desarrollado múltiples e interesantes celdas analógicas de baja tensión de alimentación y/o bajo consumo. Algunas de estas celdas son bastante antiguas, aunque la mayoría son recientes y, muchas de ellas, han sido propuestas por el Grupo de Ingeniería Electrónica de la Universidad de Sevilla, al cual pertenece la autora, en colaboración con investigadores de la New Mexico State University y la Universidad Pública de Navarra.

Por otra parte, el FVF en sí mismo, como celda en solitario, ha sido utilizado en una variedad de circuitos que no debemos dejar de mencionar por la gran contribución que representan al diseño analógico. En el mezclador de 1GHz [130] se utiliza el FVF para implementar un espejo de corriente de alta velocidad, muy baja impedancia de entrada y tensión de entrada controlable. Con ese mismo propósito es utilizado en el transconductor [91]. En [131] se aplica al diseño de convectoros de corriente y se proponen dos nuevos esquemas simples, de hasta 100MHz de BW, capaces de operar con muy baja tensión y bajo consumo. A su vez, el FVF se aplica a la versión CMOS del circuito WTA (“el ganador se lo lleva todo”, del inglés “winner-take-all”) de Yamawaka [132], sustituyendo el seguidor de fuente de cada rama por un FVF y consiguiendo así un nuevo circuito WTA de baja tensión y altas prestaciones [133]. Además, ha sido aplicado para polarizar de manera novedosa los bucles translineales CMOS [134], [135] y que éstos sean capaces de operar con una tensión de alimentación muy baja. Al utilizar este nuevo bucle translineal en los circuitos convencionales de procesamiento de señal, se obtiene una familia mejorada de circuitos analógicos basados en TL con muy baja tensión de alimentación y menor consumo [127], que incluye tanto circuitos estáticos no lineales (circuitos de media geométrica, raíz

cuadrada/divisor, multiplicador/divisor) como circuitos dinámicos lineales (filtros) y no lineales (convertidor RMS-DC).

Si tomamos el FVF de la Figura 3.2, polarizamos la puerta del transistor M_1 con una tensión constante, utilizamos el nodo X como nodo de entrada de una señal i_{IN} y copiamos la corriente de M_2 a través de un transistor adicional M_3 para entregarla a la salida, se obtiene un espejo de corriente capaz de funcionar con muy baja tensión de alimentación: el sensor de corriente FVF de la Figura 3.9 o FVFCS. Con un modelo de transistor que considere la modulación del canal y suponiendo los transistores saturados, el funcionamiento del circuito es como sigue: al ser el nodo X de muy baja impedancia, a pesar de las variaciones de i_{IN} , la tensión en él permanece prácticamente constante, siendo la corriente del transistor M_2 y, por tanto, la de salida, igual a la suma de i_{IN} e I_B . El circuito actúa, pues, como un sensor de la intensidad i_{IN} y, aunque añade una componente DC (I_B), esto carece de importancia ya que puede ser sustraída fácilmente de i_{OUT} . El sensor admite grandes variaciones de i_{IN} a la vez que mantiene la tensión constante y pequeña en el nodo de entrada, con lo que puede ser muy útil en aplicaciones de medida de consumo DC y AC en chips y espejos de corriente, como se verá más adelante. La corriente de entrada presenta el requisito de tener que ser siempre “saliente” si el sensor es tipo P o “entrante” si es tipo N.

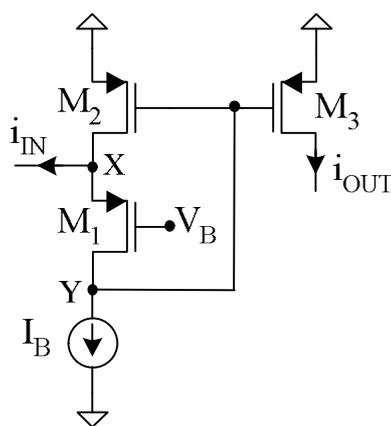


Figura 3.9: Sensor de corriente FVF.

Aunque en el sensor FVF se ha supuesto que M_{1-3} trabajan en saturación, hay un caso de funcionamiento especial digno de ser mencionado: cuando la corriente de entrada i_{IN} es muy alta y M_2 entra en zona lineal. En ese caso, la corriente de salida i_{OUT} puede

hacerse muy grande y, de hecho, ya no es proporcional a i_{IN} sino que aumenta mucho más de lo que lo hace ésta, llegando a tener un comportamiento clase AB que podría ser utilizado, por ejemplo, en etapas de salida. La única desventaja es que si la tensión v_{GS} de M_2 aumenta en exceso, la tensión en el nodo Y disminuye en la misma medida, pudiendo sacar de saturación al transistor que implementa I_B . Si esto ocurre, la corriente de polarización real aplicada al circuito es menor cuanto mayor es la corriente i_2 y la tensión en el nodo X ya no permanece constante. Para mantener la saturación del transistor que implementa I_B , habría que aumentar la tensión de alimentación, aunque diseñando el circuito con un cuidado especial desde el punto de vista de los rangos de funcionamiento, la alimentación no tendría por qué ser mucho alta. Ya en [136] se presentó una etapa de salida de baja tensión que aprovechaba el paso de transistores de saturación a zona lineal para conseguir un eficaz comportamiento clase AB.

El esquema FVFCS ha sido utilizado como etapa de entrada en espejos de corriente de baja tensión [137]-[142], consiguiendo muy baja impedancia de entrada y bajo requerimiento de tensión de entrada, aunque en [141], [142] se consigue, además, muy alta resistencia de salida junto con bajo requerimiento de tensión de salida. Todas esas prestaciones también las consigue el espejo de corriente presentado en [143], que es muy similar al espejo de corriente cascode regulado convencional sólo que, al llevar un FVF en la etapa de entrada, posee una impedancia de entrada mucho menor. Con este último espejo se obtiene un esquema de conversión V-I con rango de entrada completo muy adecuado para aplicaciones de convertidores A/D. EL FVFCS se ha utilizado también como sensor de corriente con gran rango de señal de entrada en [144] y para medidas de consumo de chips en [145]. En [146] se ha empleado en una etapa de entrada de transimpedancia de muy baja alimentación. Asimismo, ha sido usado para diseñar una celda de corriente conmutada de baja tensión [147], circuitos en el dominio logarítmico [148], [149] y un amplificador de potencia de rango completo [150]. En base a la búsqueda bibliográfica realizada por la autora, es justamente en [150] donde se utiliza el seguidor de tensión girado por primera vez.

Otra estructura básica se obtiene a partir del FVF añadiendo un transistor M_3 en el nodo X. Es el amplificador diferencial de la Figura 3.10, también llamado estructura diferencial FVF o DFVF. Además de ser capaz de operar con muy baja tensión de alimentación, tiene unas propiedades que lo hacen muy interesante. Una de ellas es que

si se aplica una tensión diferencial $v_{id} = V_1 - V_3$, donde $V_1 = V_{CMI} + v_{id}/2$, $V_3 = V_{CMI} - v_{id}/2$ y V_{CMI} es la tensión de modo común de entrada, la corriente i_3 que circula por el transistor M_3 tiene un comportamiento clase AB, ya que sigue la ley cuadrática de un MOSFET en saturación y su valor máximo puede ser mucho mayor que su valor quiescente I_B .

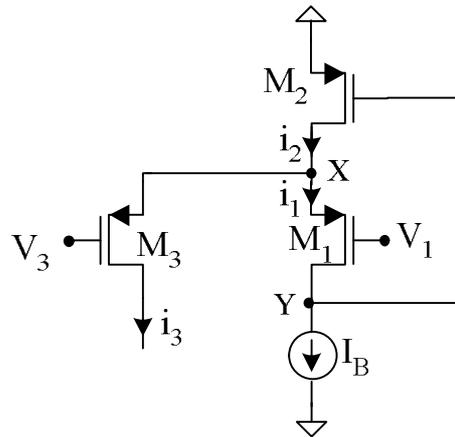


Figura 3.10: Amplificador diferencial FVF.

Otra propiedad del DFVF es que se puede tomar la salida en corriente o en tensión según interese en una determinada aplicación. La salida en corriente será o bien la intensidad i_3 que circula por M_3 o bien una copia mediante un espejo de la que circula por M_2 , que es $i_2 = i_3 + I_B$. La salida en tensión se podrá obtener del nodo Y, ya que en él la tensión sigue las variaciones de la señal de entrada comprimidas.

El esquema DFVF se utilizó en el relevante amplificador operacional de transconductancia clase AB de muy baja tensión [92], el cual se usó más tarde en [151] y [140] para diseñar un convertidor A/D $\Delta\Sigma$ de baja tensión y bajo consumo. A su vez, más recientemente, en [152], se identifica que ese OTA responde al principio de acoplamiento cruzado de un par de transistores emparejados con dos fuentes de tensión continua flotantes, y con él se realiza un transconductor lineal como en [153] (ver Figura 3.11), salvo que las fuentes se implementan mediante seguidores de tensión girados. Aunque se han hecho esfuerzos [153]-[156] para implementar dichas fuentes flotantes, la forma más eficiente es introducir un desplazamiento DC mediante el uso del FVF, por encima incluso de los seguidores de fuente o los pares complementarios

(“pares CMOS”). Dicho transconductor, que, además, es sintonizable, se muestra en la Figura 3.12 y puede verse cómo no es más que dos DFVF cruzados. En [93] se presenta un circuito de función cuadrática, que se obtiene con sólo sumar las dos corrientes de salida del OTA de [92], [152], y un multiplicador de cuatro cuadrantes de 2V de alimentación. Dicho multiplicador sigue el esquema planteado en [163], que consiste en restar la salida de un circuito “cuadrado de la suma” y un circuito “cuadrado de la diferencia”, cada uno de ellos implementado, cómo no, a partir del circuito de función cuadrática basado en dos DFVF.

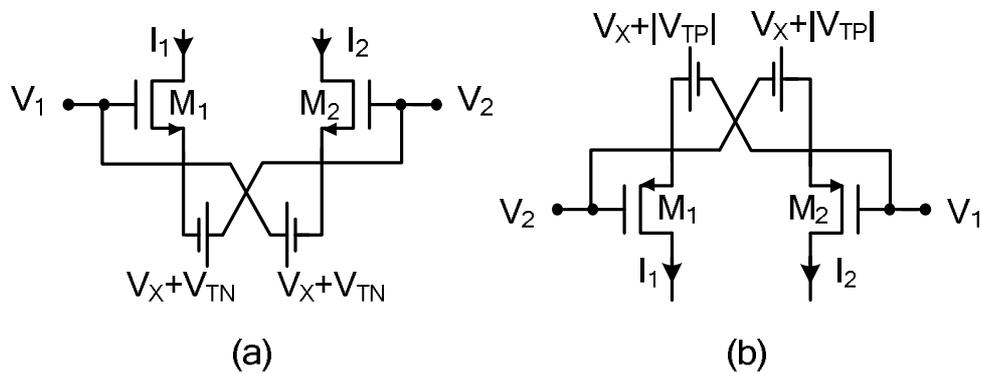


Figura 3.11: Principio de OTA lineal /circuito de función cuavdrática [153]: a) tipo N, b) tipo P.

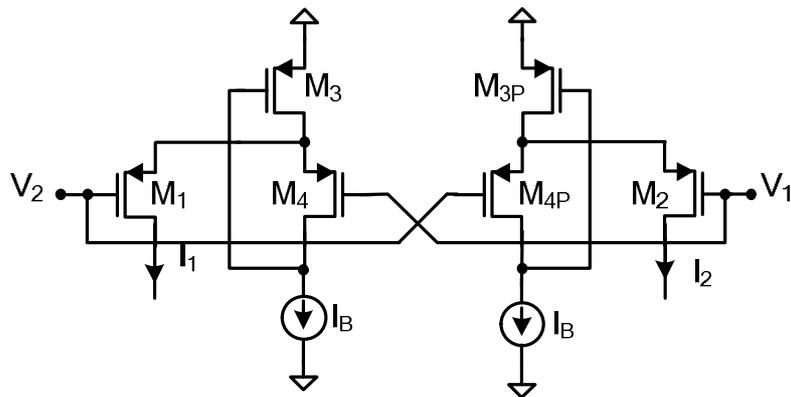


Figura 3.12: Elemento transconductor mediante dos DFVF.

El esquema DFVF también ha dado lugar a la etapa de salida AB [94], [95] que, además de ser de muy baja tensión, consigue un control tanto de la corriente quiescente como de la corriente mínima. Precisamente el comportamiento clase AB del DFVF ha sido aprovechado para implementar varios *buffers* de tensión [157]-[159]. En [157] se diseña un *buffer* basado en dos celdas DFVF complementarias que, a pesar de operar

con una alimentación de 3.3V, es de bajo consumo y tiene una gran capacidad para dar y recibir corriente. El inconveniente que presenta es que su rango de tensión de salida es muy limitado y de valor $[V_{SS} + |V_{TN}| + 2V_{DS}^{SAT}, V_{DD} - |V_{TP}| - 2V_{SD}^{SAT}]$. Este problema se soluciona en el *buffer* [158]-[159], el cual, en vez de dirigir la carga a través de un DFVF tipo P cuando la entrada v_{IN} aumenta y con un DFVF tipo N cuando la entrada disminuye, lo hace justo al revés, con ayuda de unos espejos adicionales.

La tercera estructura básica a partir del FVF es el llamado par pseudo-diferencial FVF o PDFVF. Se obtiene tras añadirle un transistor M_4 al DFVF tal y como se muestra en la Figura 3.13. Este esquema sigue siendo capaz de operar con muy baja tensión de alimentación. En [127] se le llamó par pseudo-diferencial FVF porque, como ese tipo de par, no posee el alto rechazo intrínseco al modo común que tiene el par diferencial.

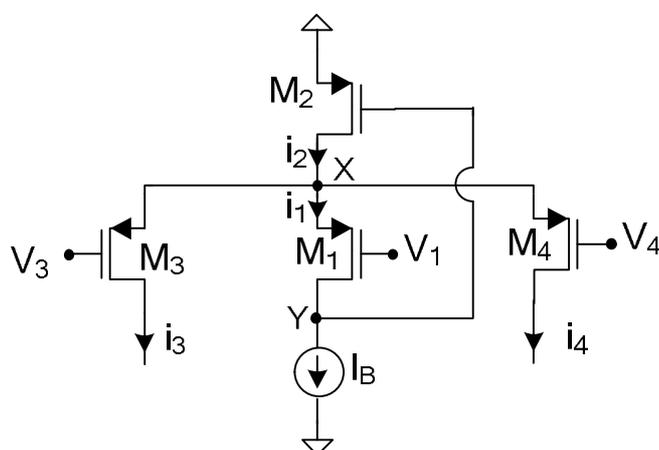


Figura 3.13: PDFVF o par pseudo-diferencial FVF.

En el esquema PDFVF, suponiendo los transistores en saturación, cuando se aplica una señal diferencial de entrada $v_{id} = V_3 - V_4$, donde $V_3 = V_{CMI} + v_{id}/2$, $V_4 = V_{CMI} - v_{id}/2$ y V_{CMI} es la tensión de modo común de entrada, las corrientes de salida i_3 e i_4 siguen la ley cuadrática de un transistor MOS en dicho estado de saturación, por lo que su comportamiento es clase AB (la corriente máxima puede ser mucho mayor que la corriente quiescente). Lo usual es aplicar $V_1 = V_{CMI} = (V_3 + V_4)/2$ pero si se aplica un valor de tensión continua distinto, el comportamiento AB se sigue dando y la característica DC tiene la misma forma aunque con un desplazamiento de continua constante. Si se consideran $V_1 = V_{CMI}$, modelos de primer orden, saturación y

mismo tamaño para los transistores M_1 , M_3 y M_4 , se calculan las corrientes de salida unipolares y se restan para obtener la corriente diferencial, se obtiene la siguiente expresión:

$$i_{OUT} = i_3 - i_4 = -K_p \cdot (V_Q - |V_{TP}|) \cdot v_{id} \quad (3-56)$$

donde V_Q es la tensión fuente-puerta del transistor M_1 , que es constante debido a la fuente I_B y está dada por

$$V_Q = v_{SG,M1} = |V_{TP}| + \sqrt{\frac{2I_B}{K_p}} \quad (3-57)$$

La expresión (3-57) es muy interesante: la corriente diferencial es ahora bidireccional (en el DFVF la corriente sólo podía ser positiva y alta si v_{IN} era positiva, o positiva y menor que I_B , si v_{IN} era negativa) y, además, programando I_B se puede controlar el valor de V_Q y, por tanto, la cantidad de tensión de entrada que se convierte en corriente de salida, es decir, la transconductancia. Si utilizásemos dos PDFVF cruzados podríamos obtener un transconductor completamente diferencial de transconductancia programable. Otra forma de programar fácilmente esa transconductancia en el circuito de la Figura 3.13 sería aplicando una fuente V_B en la puerta de M_1 . La corriente diferencial estaría dada en ese caso por

$$i_{OUT} = i_3 - i_4 = -K_p \cdot (V_Q + V_B - V_{CMI} - |V_{TP}|) \cdot v_{id} \quad (3-58)$$

Además, en el transistor M_2 se tiene la corriente de modo común de salida más la corriente I_B , con lo que para obtener la primera se puede hacer una copia de i_2 y sustraerle una cantidad I_B .

El PDFVF fue utilizado para construir una etapa diferencial de entrada clase AB de baja tensión y bajo consumo [160] que, más tarde, sirvió de base para implementar un amplificador operacional de transconductancia de baja tensión y bajo consumo [161], muy adecuado para aplicaciones SC, donde es más importante el bajo consumo

quiescente y la alta capacidad de *slew rate* que el alto valor de la relación CMRR. Este OTA fue usado para construir un modulador $\Sigma\Delta$ de segundo orden con 86dB de rango dinámico en un BW de 16KHz y capaz de funcionar con tan sólo 1.1V de alimentación y $35\mu\text{W}$ de consumo quiescente [162]. En [161] se presenta un segundo OTA basado en la misma etapa de entrada [160]. Se trata de un amplificador cascodo doblado clase AB completamente diferencial, que tiene un consumo quiescente de $8\mu\text{W}$ en comparación con los $12\mu\text{W}$ que consume el primer OTA, siendo el resto de prestaciones similares en ambos casos (alimentación de 1V, GBW=15MHz y $Mf=70^\circ$ con una $C_L=1\text{pF}$).

El PDFVF ha dado lugar también a un multiplicador básico de transconductancia [164] de muy baja tensión, alto rendimiento de corriente, gran rango de entrada y con un BW de 31MHz aproximadamente. A partir de esta celda básica, se ha desarrollado un transconductor programable, clase AB y de 2V de alimentación, que ha sido empleado en un oscilador senoidal con rango de sintonía de 1MHz a 25MHz [165] y en un multiplicador de tensión de muy alta frecuencia de funcionamiento, alta linealidad y muy baja tensión, que es aportación original de esta Tesis y que se verá en detalle en la siguiente sección. En [166] fue publicado otro multiplicador de transconductancia que difiere del de [164] en que los transistores que forman el núcleo del esquema de inyección por puerta y fuente no operan en zona de saturación sino en zona lineal consiguiendo mayor rango de entrada (de $0.6V_{pp}$ se pasa a $0.8V_{pp}$). Consigue, además, mayor ancho de banda, pero a costa de incrementar mucho la corriente de polarización y, por tanto, el consumo quiescente. En [167] se extiende el esquema de [166] para incluir un número cualquiera “n” de celdas de entrada. La corriente total en cada rama de salida es la suma de las correspondientes intensidades individuales, lo que se lleva a cabo mediante una conexión directa de las ramas de salida individuales para, a continuación, ser medida mediante la celda FVFCS.

3.4. Aportaciones de esta Tesis basadas en el circuito FVF.

3.4.1. Introducción.

En esta sección se van a presentar dos celdas que están basadas en el seguidor de tensión girado y son aportaciones originales de esta Tesis. La primera de ellas es un multiplicador de tensión de cuatro cuadrantes muy lineal, capaz de operar con muy baja tensión de alimentación y que consigue, con muy bajo consumo de corriente quiescente, un ancho de banda de 40MHz para $C_L = 10\text{pF}$ y de 70MHz para $C_L = 1\text{pF}$. La segunda es un amplificador de transconductancia pseudo-diferencial de muy baja tensión, elevado rango de entrada, ancho de banda de 100MHz y una impedancia de salida muy alta proporcionada por una estructura “súper-cascodo” basada en el FVF.

3.4.2. Multiplicador de tensión de cuatro cuadrantes.

El multiplicador de tensión presentado en esta sección está basado en el típico esquema de inyección por puerta y fuente [168] de la Figura 3.14 con los transistores trabajando en saturación.

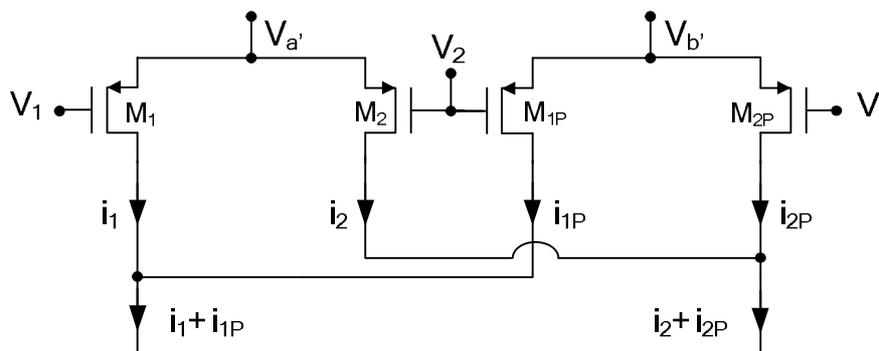


Figura 3.14: Multiplicador de transconductancia con esquema de inyección por puerta y fuente.

Dicho esquema consiste en dos pares diferenciales polarizados en tensión y acoplados de forma cruzada. La corriente de salida i_{OUT} se obtiene restando las corrientes $i_1 + i_{1P}$ e $i_2 + i_{2P}$ cancelándose los términos no lineales de las corrientes de drenador. Las señales V_1 , V_2 se aplican a las puertas de los transistores mientras que las señales $V_{a'}$ y $V_{b'}$ se aplican a los nodos de fuente, tal y como se indica en la Figura 3.14.

Considerando que todos los transistores se encuentran en saturación y que las fuentes $V_{a'}$ y $V_{b'}$ son ideales, las corrientes $i_1 + i_{1P}$ e $i_2 + i_{2P}$ quedan definidas de la forma

$$i_1 + i_{1P} = \frac{I}{2} K_p \left[(V_{a'} - V_1 - |V_{TP}|)^2 + (V_{b'} - V_2 - |V_{TP}|)^2 \right] \quad (3-59)$$

$$i_2 + i_{2P} = \frac{I}{2} K_p \left[(V_{a'} - V_2 - |V_{TP}|)^2 + (V_{b'} - V_1 - |V_{TP}|)^2 \right] \quad (3-60)$$

Restando las expresiones anteriores, $i_{OUT} = (i_1 + i_{1P}) - (i_2 + i_{2P})$, se obtiene:

$$i_{OUT} = K_p \cdot (V_1 - V_2) \cdot (V_{a'} - V_{b'}) = K_p \cdot v_{d12} \cdot v_{da'b'} \quad (3-61)$$

donde K_p es el factor de ganancia de los transistores y $v_{d12} = V_1 - V_2$ y $v_{da'b'} = V_{a'} - V_{b'}$, las tensiones diferenciales en las entradas de puerta y en las entradas de fuente, respectivamente.

Para que la cancelación de componentes no lineales sea perfecta, las fuentes de tensión $V_{a'}$ y $V_{b'}$ han de tener impedancia de salida nula. Por eso, es objetivo prioritario implementar de forma práctica esas fuentes de tensión y que éstas tengan la menor impedancia de salida posible, dando lugar igualmente a la menor distorsión posible. Por otra parte, para realizar un multiplicador con el esquema anterior que cumpla la condición de ser capaz de funcionar con una tensión de alimentación muy baja, es necesario realizar las fuentes $V_{a'}$ y $V_{b'}$ siguiendo un esquema que proporcione baja impedancia de salida y que opere con muy baja tensión de alimentación. Se ha elegido el seguidor de tensión girado para implementar dichas fuentes $V_{a'}$ y $V_{b'}$ porque, como ya se vió en la sección 3.2, cumple todos los requisitos de forma eficiente. En la Figura 3.15 se muestra el esquema del multiplicador básico de transconductancia con la implementación CMOS de las fuentes $V_{a'}$ y $V_{b'}$ utilizando la celda FVF.

Observando dicha figura se comprueba que este esquema de multiplicador de transconductancia consiste en dos pares PDFVF conectados de forma cruzada y que, por tanto, conserva las propiedades de baja tensión de alimentación, rango de entrada y comportamiento clase AB de esa estructura.

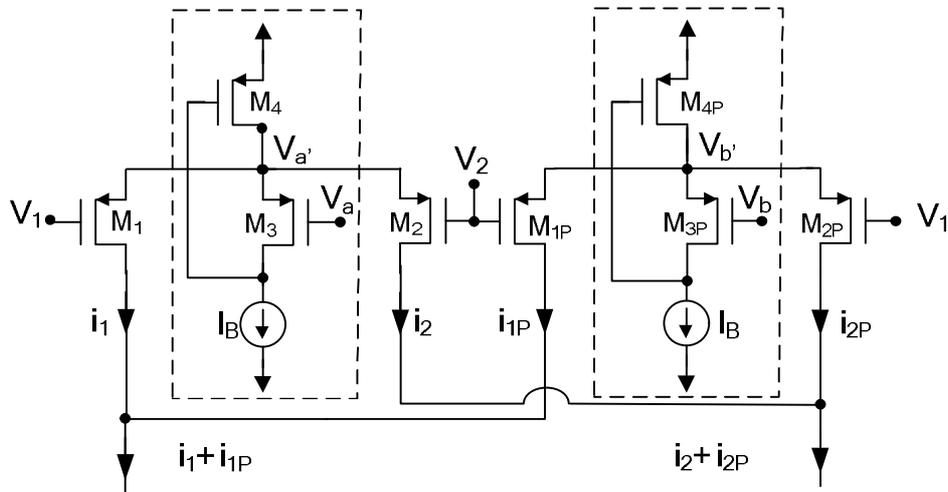


Figura 3.15: Esquema del multiplicador básico de transconductancia con FVF para $V_{a'}$ y $V_{b'}$.

Fijámonos en el FVF formado por M_4 , M_3 e I_B y considerando modelos de primer orden y transistores en saturación, la fuente de corriente constante I_B produce en M_3 una caída de tensión constante V_Q entre su fuente y su puerta de valor:

$$v_{SG,M3} = |V_{TP}| + \sqrt{\frac{2I_B}{K_p}} = V_Q \quad (3-62)$$

donde $K_p = \mu_p \cdot C_{ox} \cdot \frac{W}{L}|_{M1}$ es el factor de ganancia de M_1 , válido para los transistores M_2 , M_3 , M_{2P} , M_{3P} y M_{1P} al tener el mismo tamaño.

La tensión $V_{a'}$ se mantiene constantemente a un valor $V_{a'} = V_Q + V_a$ mientras que el transistor M_4 absorbe tanto I_B como las variaciones de corriente de M_1 y M_2 que se producen como consecuencia de las variaciones de las tensiones aplicadas en V_1 y V_2 . Dichas variaciones de corriente no afectan, por tanto, a la tensión de la fuente $V_{a'}$ sino que se traducen en variaciones de tensión en la puerta de M_4 y, debido al camino de realimentación desde la puerta de M_4 hasta el drenador de M_3 , se ven directamente reflejadas en el drenador de M_3 , que es un nodo que no pertenece al camino de la señal. Este lazo es el que permite al circuito funcionar con muy baja tensión de alimentación y con una corriente de continua I_B mucho menor que los valores máximos que puedan

tener i_1 e i_2 , es decir, que el multiplicador presentado no sólo es de baja tensión de alimentación sino, además, de clase AB y, por ello, puede ser programado para tener un consumo muy bajo. Además, la resistencia interna de la fuente $V_{a'}$ es de muy bajo valor, habiéndose ya demostrado que está dada por la expresión (3-39) y que si se considera que la fuente I_B se implementa mediante un simple espejo de corriente ($r_{0B} \approx r_{0,M3}$), la expresión queda como en la ecuación (3-40). Particularizada para el caso que nos ocupa, sería

$$R_{a'} \cong \frac{2}{g_{m,M3} \cdot g_{m,M4} \cdot r_{0,M3}} \quad (3-63)$$

Ya vimos que para valores típicos de los parámetros ($g_{m,M3} \approx g_{m,M4} \approx 100\mu\text{A}/\text{V}$, $r_{0,M3} \approx 100\text{M}\Omega$), se obtiene que $R_{a'}$ es aproximadamente de 2Ω , verificándose así la casi-ideal resistencia de salida que posee la celda FVF cuando se utiliza como fuente de tensión de baja impedancia.

Todo ello da lugar al multiplicador de transconductancia propuesto en [164], [169] y que puede verse en la Figura 3.16, siendo una estructura clase AB de muy baja tensión de alimentación. Para entregar las corrientes de salida hay que utilizar espejos de corriente de reducida resistencia de entrada y elevada resistencia de salida. Se ha utilizado el espejo con etapa de entrada basada en el FVF [137], es decir, en la celda FVFCS. A la salida del espejo se ha añadido un transistor cascode que permite alta resistencia de salida y gran rango, tal y como se desea cuando las señales de salida son señales de corriente. Estos espejos de corriente reúnen dos condiciones: son capaces de operar con muy baja tensión de alimentación y los nodos de entrada A y B donde se inyectan las corrientes de salida i_1 e i_{II} del multiplicador básico son de muy baja impedancia, con lo que la tensión se mantiene prácticamente constante y se minimizan los efectos de segundo orden asociados a la modulación de la longitud del canal. Por la topología del FVF se puede observar que las tensiones $V_{a'}$ y $V_{b'}$ pueden estar muy cerca del valor de la tensión de alimentación, con lo que se dispone de un rango considerable para las señales de entrada.

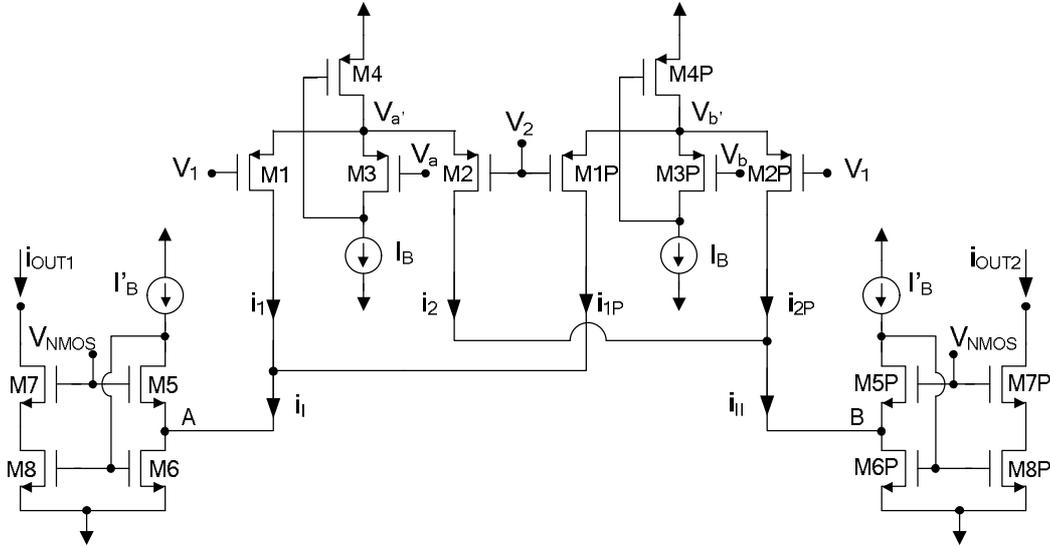


Figura 3.16: Multiplicador de transconductancia de muy baja tensión de alimentación [164], [169].

En un multiplicador de transconductancia se puede definir un factor de calidad llamado rendimiento de corriente (CE), que represente la cantidad de corriente que se convierte en intensidad de salida útil de entre la total generada en el multiplicador. Para el esquema de la Figura 3.16, la CE quedaría según la expresión (3-64).

$$CE = \frac{i_{OUT}}{i_I + i_{II} + 2I_B} = \frac{i_I - i_{II}}{i_I + i_{II} + 2I_B} = \frac{i_I + i_{IP} - i_2 - i_{2P}}{i_I + i_{IP} + i_2 + i_{2P} + 2I_B} \quad (3-64)$$

Para obtener un alto rendimiento de corriente y maximizar el rango de entrada a la vez que se consigue un comportamiento lineal, se aplican señales de entrada complementarias, es decir, las tensiones de entrada $V_1 - V_2 = v_{d12}$ y $V_a - V_b = v_{dab}$ son diferenciales balanceadas y tienen el mismo modo común V_{CMI} . Es decir,

$$V_1 = \frac{v_{d12}}{2} + V_{CMI} \quad (3-65)$$

$$V_2 = -\frac{v_{d12}}{2} + V_{CMI} \quad (3-66)$$

$$V_a = \frac{v_{dab}}{2} + V_{CMI} \quad (3-67)$$

$$V_b = -\frac{v_{dab}}{2} + V_{CMI} \quad (3-68)$$

Ya se ha visto también que, como consecuencia de los FVF M_3 - M_4 - I_B y M_{3P} - M_{4P} - I_B , se cumple que

$$V_{a'} = V_Q + V_a \quad (3-69)$$

$$V_{b'} = V_Q + V_b \quad (3-70)$$

donde V_Q es un valor constante de tensión y está dado por la ecuación (3-62). De forma que sustituyendo las ecuaciones (3-69) y (3-70) en la ecuación (3-61), ésta queda de la siguiente forma:

$$i_{OUT} = K_p \cdot (V_1 - V_2) \cdot (V_a - V_b) = K_p \cdot v_{d12} \cdot v_{dab} \quad (3-71)$$

En esa expresión se puede observar cómo la corriente de salida es función de la multiplicación de dos señales diferenciales de tensión, v_{d12} y v_{dab} , como ya se había predicho. Además, se puede tomar la señal v_{dab} como una señal de control con la que se puede programar la transconductancia G_m del multiplicador, ya que ésta tendría una expresión dada por la ecuación

$$G_m = \frac{\partial i_{OUT}}{\partial v_{d12}} = K_p \cdot v_{dab} = \mu_p C_{ox} \frac{W}{L} v_{dab} \quad (3-72)$$

Por tanto, la transconductancia del multiplicador no sólo presenta una dependencia lineal con v_{dab} sino que, además, se puede programar variando esa tensión v_{dab} .

En el momento de presentar el multiplicador de transconductancia [164], se encontraban publicadas en la literatura distintas formas de aplicar la señal al terminal de fuente de los transistores en el esquema de inyección por puerta y fuente [168] de la Figura 3.14. Cada una de ellas dio lugar a un multiplicador distinto con sus propias

prestaciones. En [170] se utilizaba un amplificador operacional para aplicar la señal y en [171], un amplificador diferencial lineal. También se puede utilizar seguidores de fuente [153]. De hecho, en [163] se empleaba un seguidor de fuente para cada transistor de los acoplados de forma cruzada, en [172]-[177] un seguidor de fuente de ganancia enriquecida y en [178], un seguidor de emisor BJT. Todos ellos, excepto el [178], operaban con $\pm 5V$ de alimentación o $\pm 7V$, siendo el [178] el único capaz de operar con baja alimentación (3.3V en una tecnología de $2\mu m$). Sin embargo, el que se presentó en [164] era capaz de operar con muy baja alimentación (1.4V en una tecnología de $1.2\mu m$) gracias a que la señal era inyectada en los terminales de fuente mediante el FVF, que permitía implementar las fuentes V_a y V_b con muy baja impedancia de salida y muy baja tensión de alimentación.

3.4.2.1. Estrategia de diseño.

El multiplicador de tensión se diseña a partir del esquema básico de multiplicador de transconductancia de la Figura 3.15, añadiéndole los espejos de baja impedancia de entrada y alta impedancia de salida ya comentados y unas resistencias R que realicen la necesaria conversión corriente-tensión. El nuevo esquema sería el de la Figura 3.17.

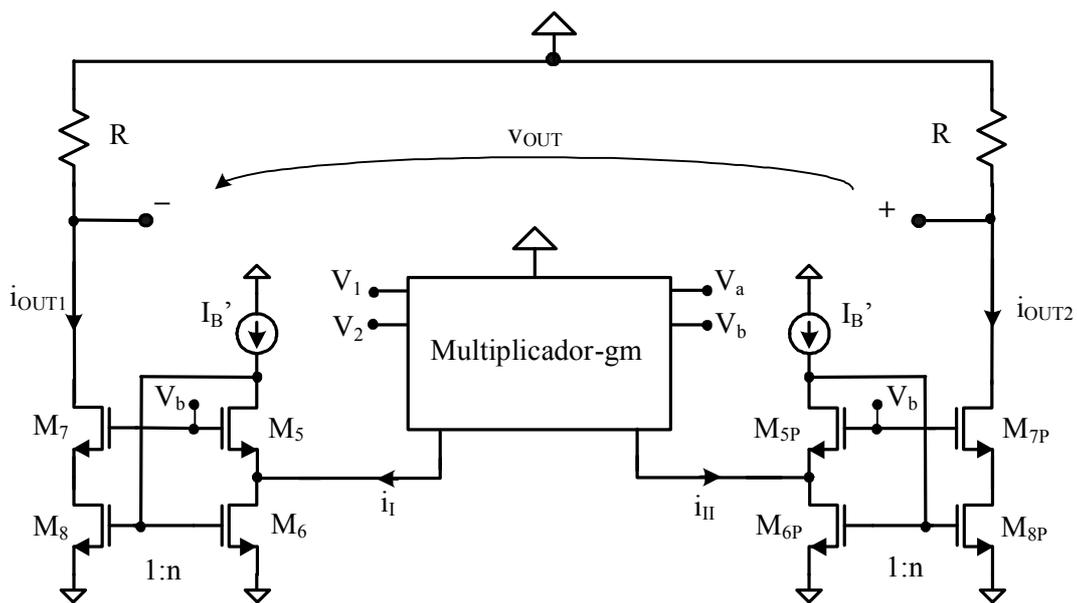


Figura 3.17: Multiplicador de tensión propuesto.

Las especificaciones de diseño que se han establecido como objetivo para el multiplicador de tensión aparecen en la Tabla 3.2. Dichas especificaciones tan sólo pretenden mostrar las posibilidades de esta celda y no se corresponden con ninguna aplicación concreta.

De todas formas, conviene mencionar que tales especificaciones no son fáciles de conseguir simultáneamente puesto que entre algunas de esas magnitudes existe un compromiso. Por un lado, cuanto mayor sea la corriente de polarización I_B del FVF, mayor será el BW, pero mayor será también el consumo de potencia en el multiplicador. En nuestro caso, se ha sacrificado BW para cumplir la especificación del consumo. Por otro lado, cuanto mayor sea el rango de salida, peor se dará la saturación en los transistores de salida del espejo y, por tanto, mayor será la distorsión. Así, hay que elegir un rango de salida óptimo que, sin ser pequeño, mantenga la distorsión por debajo de un determinado valor. Ese rango se podría conseguir, en principio, sin los espejos y, al ser las variaciones de corriente de i_I e i_{II} pequeñas, con unas resistencias R suficientemente altas. Sin embargo, cuando las resistencias R aumentan, el ancho de banda se ve reducido drásticamente. La solución es hacer una réplica amplificada de las corrientes i_I e i_{II} mediante los espejos e inyectarlas en unas resistencias lo más pequeñas posible. De nuevo hay que buscar el punto óptimo de la copia 1:n de corriente y del valor de R para que con la menor distorsión y el mayor ancho de banda posibles, se obtenga un rango de salida suficientemente grande.

V_{DD}	$> \{V_{TN}, V_{TP} \} \text{ y } < V_{TN} + V_{TP} $
P_Q	$< 2\text{mW}$
Rango de entrada	$> V_{DD}/3$
THD	Mínimo alcanzable
IM3	Mínimo alcanzable
R	$< 1\text{k}\Omega$
Rango de salida	$> V_{DD}/5$
$BW@C_L=10\text{pF}$	$> 30\text{MHz}$

Tabla 3.2: Especificaciones para el multiplicador de tensión de cuatro cuadrantes.

La salida del multiplicador de tensión viene dada por

$$v_{OUT} = (V_{DD} - i_{OUT2} \cdot R) - (V_{DD} - i_{OUT1} \cdot R) = R \cdot (i_{OUT1} - i_{OUT2}) \quad (3-73)$$

Como $i_{OUT1} = n \cdot i_I$ y $i_{OUT2} = n \cdot i_{II}$, sustituyendo en la expresión de arriba,

$$v_{OUT} = R \cdot n \cdot (i_I - i_{II}) = R \cdot n \cdot i_{OUT} \quad (3-74)$$

siendo i_{OUT} la ya calculada de la ecuación (3-71), con lo que, después de sustituir, queda la expresión siguiente,

$$v_{OUT} = R \cdot n \cdot K_p \cdot v_{d12} \cdot v_{dab} \quad (3-75)$$

que está linealmente relacionada con el producto de las dos señales de entrada diferenciales v_{d12} y v_{dab} .

3.4.2.2. Resultados de simulación.

Para simular el multiplicador se ha utilizado CADENCE DFW-II y Spectre con la tecnología CMOS AMS CXQ de 0.8 μm , cuyos parámetros ya se mostraron en la Tabla 2.5. En la Tabla 3.3 se muestran los parámetros de diseño del circuito. Como puede observarse, la relación de copia en los espejos es de 1:20 y las resistencias de 300 Ω . Con esos valores se ha conseguido optimizar tanto el rango de tensión a la salida como la distorsión armónica y el ancho de banda, como se verá más adelante.

Si se realiza un barrido en continua de la señal v_{d12} desde -300mV a 300mV manteniendo v_{dab} a un valor constante, el resultado debe ser una recta de pendiente $K_p \cdot v_{dab}$. Si se programa la pendiente de esa recta variando v_{dab} desde -300mV a 300mV en saltos de 50mV, se obtiene la característica DC del multiplicador, que puede verse en la Figura 3.18.

Transistor	W/L
M ₁ , M _{1P} , M ₂ , M _{2P} , M _{2PP} , M ₃ , M _{3P}	14/0.8
M _{4P} , M _{4PP}	600/0.8
M ₅ , M _{5P} , M ₆ , M _{6P}	28/0.8
M ₇ , M _{7P}	400/0.8
M ₈ , M _{8P}	560/0.8
Otros parámetros	
V _{DD}	1.5V
I _B , I' _B	10μA
V _{NMOS}	1.1V
R	300Ω
C _L	10pF

Tabla 3.3: Parámetros de diseño del multiplicador de tensión de cuatro cuadrantes.

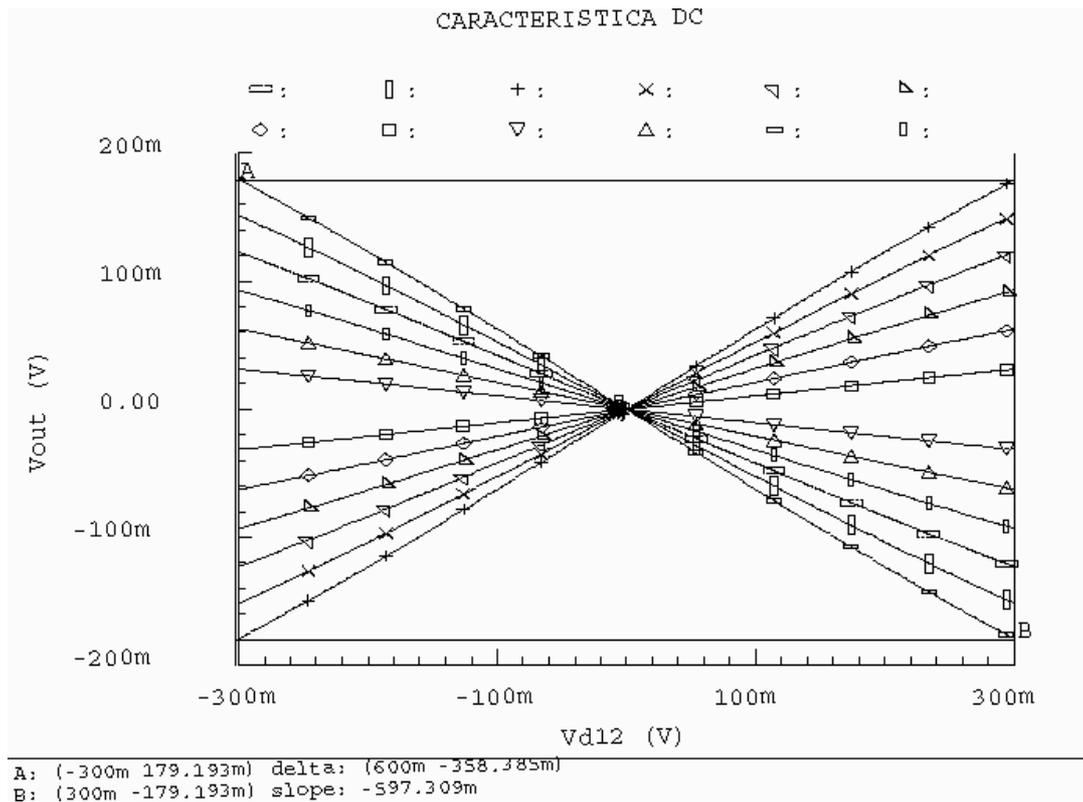


Figura 3.18: Característica DC del multiplicador: v_{OUT} frente a v_{d12} .

En la Figura 3.19 se muestra el resultado del análisis AC de la señal v_{d12} programando v_{dab} desde 50mV a 300mV en saltos de 50mV y considerando una carga capacitiva a la salida de 10pF, que, obviamente, disminuye el ancho de banda. En los multiplicadores encontrados en la literatura no suele aparecer este dato, dando la impresión de que no se ha considerado carga capacitiva alguna, con lo que el BW dado sería el correspondiente al caso más favorable. Además, si no se considera ninguna C_L , queda enmascarado el hecho de que por cada nodo de salida existe un polo de valor $1/R \cdot C_L$ que puede ser bastante pequeño si la resistencia R es alta, convirtiéndose en el polo dominante del circuito y, por tanto, limitando el BW total. En este sentido, las resistencias utilizadas en los multiplicadores de la literatura son bastante más elevadas (1k Ω , 2k Ω , 5k Ω) que las utilizadas en el multiplicador de tensión propuesto (300 Ω), con lo que si tuviesen en cuenta una carga capacitiva, el BW dado sería presumiblemente bastante más pequeño.

Además, en los multiplicadores de la literatura no suele aparecer la respuesta en frecuencia experimental (extraer señales de amplitud reducida y alta frecuencia fuera de un chip entraña serias dificultades), con lo que no se puede saber el BW efectivo de dichas topologías. En esta Tesis se ha hecho un esfuerzo especial en conseguir medidas experimentales de alta frecuencia del multiplicador de tensión para demostrar así su funcionamiento real. En la Figura 3.19 se puede ver cómo el ancho de banda es de 40MHz aproximadamente y permanece prácticamente independiente del ajuste de ganancia. Si la capacidad fuese más pequeña, por ejemplo, $C_L=1$ pF, el BW aumentaría considerablemente, llegando a ser de unos 76MHz. El BW para la otra entrada es también prácticamente independiente de la tensión programada en v_{d12} , y de valor ≈ 25 MHz para $C_L=10$ pF y ≈ 30 MHz para $C_L=1$ pF. Un ejemplo de que el BW es casi independiente de la ganancia es que para $v_{dab}=50$ mV, su valor es de ≈ 70 MHz y para $v_{dab}=300$ mV, de ≈ 76 MHz.

Para comprobar que el circuito es estable se han multiplicado dos señales cuadradas. Ambas son de la misma amplitud pero una posee una frecuencia mucho menor que la otra para poder observar que la salida es una onda cuadrada con la frecuencia de la más rápida. En concreto, v_{dab} es una señal cuadrada de 1KHz, 150mV de modo común y 100mV_{pp} de amplitud. La señal v_{d12} es igual que la anterior salvo que su frecuencia es de 2.5MHz. En la Figura 3.20 se muestran la tensión unipolar de salida en cada nodo y

la tensión diferencial de salida v_{OUT} , comprobándose que no se produce ninguna sobreoscilación y que el circuito es estable.

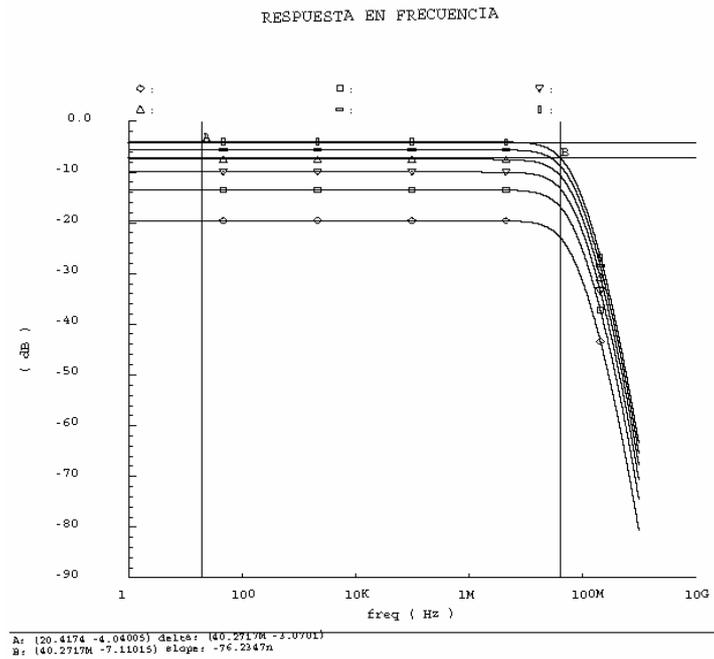


Figura 3.19: Respuesta en frecuencia para distintos valores de v_{dab} .

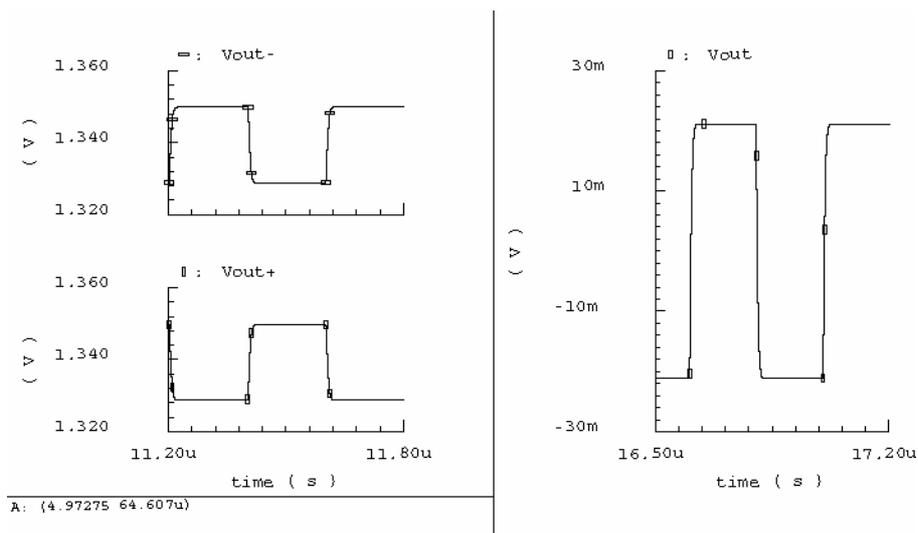


Figura 3.20: Respuestas unipolares y diferencial ante ondas cuadradas de entrada.

En la Tabla 3.4 se resumen los resultados de simulación obtenidos, los cuales, como puede comprobarse, cumplen las especificaciones de la Tabla 3.2. El multiplicador de tensión no sólo es capaz de operar con muy baja tensión de alimentación ($V_{DD} = 1.5V$

con $V_{TN} = 0.7V$ y $|V_{TP}| = -0.8V$), sino que presenta un alto ancho de banda con unos excelentes resultados de distorsión armónica. Cuando el rango de entrada es máximo, la distorsión armónica permanece prácticamente invariable al aumentar la frecuencia desde valores muy bajos hasta un décimo del BW ya que, para ese rango, el efecto dominante de no linealidad es debido a la saturación de la característica de transferencia. Conviene comentar también que en los multiplicadores de la literatura no se suele dar ni la potencia quiescente ni la potencia máxima consumida (con V_{dab} y V_{d12} a rango máximo), pero sí se suele encontrar el dato de la corriente de polarización utilizada. Por ello, aunque el rango de salida elegido influye en la potencia máxima y es difícil la comparación, sí se puede comparar el consumo DC del núcleo de los distintos multiplicadores, siendo el de esta Tesis mucho menor que el de la gran mayoría.

Si utilizásemos unas resistencias R de 200Ω en vez de 300Ω el rango de salida disminuiría de $358mV_{pp}$ a $238mV_{pp}$ pero el ancho de banda aumentaría de $40MHz$ a $50MHz$, manteniéndose aproximadamente los valores de THD.

BW	76MHz@ $C_L=1pF$ 40MHz@ $C_L=10pF$
Rango de entrada para V_{d12} , V_{dab}	[-0.3V, 0.3V]
Rango de salida	[-0.179V, 0.179V]
Para $V_{dab}=0.15V$: THD@100kHz,0.3V _{pp} THD@1MHz,0.3V _{pp} THD@4MHz,0.3V _{pp}	-67.8dB -60.9dB -49.5dB
Para $V_{dab}=0.3V$: THD@100kHz,1MHz,4MHz,0.6V _{pp}	-38.2dB
R_{out+} ; R_{out-}	300 Ω
P_Q @Multiplicador de transconductancia P_Q @en Multiplicador de tensión	97 μW 1.64mW
P_{MAX} @Multiplicador de transconductancia P_{MAX} @Multiplicador de tensión	148 μW 2.59mW

Tabla 3.4: Resultados de simulación del multiplicador de tensión.

3.4.2.3. Consideraciones de diseño.

Para resolver el problema de realizar medidas desde fuera del chip de parámetros del multiplicador de tensión tan distintos como la característica DC, la distorsión armónica a bajas y altas frecuencias, el producto de intermodulación y la respuesta en frecuencia, se ha optado por implementar dos versiones del multiplicador, cada una adaptada a un tipo de medidas. Asimismo, será necesario diseñar para cada multiplicador una placa de pruebas apropiada.

Para medidas de linealidad y bajas frecuencias se ha realizado una versión prácticamente igual que la original salvo que, al ser el rango máximo de salida 358mV_{pp} , se ha aumentado la copia de corriente en los espejos de 1:20 a 1:40 y el valor de las resistencias R a $1\text{k}\Omega$. De esta forma, se mantiene la característica de linealidad a la vez que se obtiene un rango de salida de 2.75V_{pp} , lo cual permite observar muy bien la señal en un osciloscopio y con menor error que si trabajamos con señales de rango pequeño. Se ha elegido implementar las resistencias fuera del chip mediante potenciómetros para poder emparejarlas lo máximo posible. Se conectarán dichas resistencias a una alimentación externa de 3.3V para permitir las acusadas variaciones de tensión existentes en cada nodo de salida, lo cual no es inconveniente desde el punto de vista de la consecución de medidas precisas del multiplicador.

La versión del multiplicador orientada a medidas de alta frecuencia es una versión escalada de la original que trabaja tanto con intensidades de polarización más grandes como con variaciones de corriente (i_{MIN}, i_{MAX}) mayores en las ramas de salida. Además, se reducen las resistencias R que, como ya se ha visto, pueden limitar el BW. Todo esto hace que el circuito esté preparado no sólo para afrontar las capacidades de los pads sino para cargar la entrada de 50Ω de los instrumentos de medida. El rango de tensión de salida del multiplicador es ahora de 530mV_{pp} , aunque en los instrumentos se verá reducido a la mitad puesto que se adaptarán las impedancias a 50Ω para evitar pérdidas por reflexión. De todas formas, para el tipo de medidas de interés, con el analizador de red vectorial y el analizador de espectros, esto no tendría importancia puesto que dichos instrumentos tienen mayor rango dinámico que el osciloscopio, es decir, no presentan problemas para trabajar con señales más pequeñas. Para construir

una placa de pruebas que funcionase a cualquier frecuencia habría que utilizar interruptores que fuesen conectando distintos “camino” para los distintos rangos de frecuencias. Sin embargo, ello complicaría de forma excesiva la placa e introduciría ruido y cambios de impedancia. Por esta razón, se ha elegido diseñar la placa para que funcione con señales v_{d12} y v_{OUT} en el rango de frecuencias [20MHz, 100MHz] (camino de señal con adaptación de impedancias) y v_{dab} en el rango [1MHz, 10MHz] (sin adaptación), suficientes para demostrar las prestaciones del multiplicador.

3.4.2.4. Resultados experimentales.

- **De continua y muy bajas frecuencias.**

El *layout* del multiplicador para este tipo de medidas fue realizado en la tecnología CXQ de 0.8 μ m de AMS. Las ligeras modificaciones de esta versión del multiplicador respecto al original han sido ya comentadas en la sección anterior. El *layout* se presenta en la Figura 3.21 dentro del recuadro rojo y ha ocupado “403 μ m x 480 μ m”, es decir, unos 0.19344mm² de silicio.

El esquema simplificado de la placa de medidas de baja frecuencia del multiplicador se puede ver en la Figura 3.22. Para las tensiones y corrientes de polarización, se han seguido los mismos pasos comentados en el capítulo anterior a la hora de elegir los integrados que las suministren. Sin embargo, esta placa posee algunas peculiaridades. Mediante unos *jumpers* podemos seleccionar dos caminos de entrada posibles tanto para v_{d12} como para v_{dab} . Uno se utiliza para introducir señales de tensión constantes y otro para introducir señales periódicas y convertirlas en complementarias con un modo común de 0.15V. Las señales de tensión constantes se programan mediante convertidores D/A DAC0800 de 8 bits, microinterruptores, amplificadores operacionales LM741 y resistencias apropiadas. Las dos posibles señales periódicas a la entrada del multiplicador se introducen a través de dos conectores BNC, tras los cuales hay sendos transformadores Z6010 que permiten la conversión de una señal unipolar, dada por un típico generador de funciones, a una señal completamente diferencial. Se coloca tras los transformadores una red de resistencias que permite fijar el modo común a 0.15V. Se ha comprobado experimentalmente que estos transformadores funcionan

bien en el rango de frecuencias [1KHz, 70KHz], lo cual es suficiente para nuestra aplicación. Con el objetivo de ahorrar tiempo y costes en el diseño de futuras placas de prueba para medidas de DC y bajas frecuencias, se ha diseñado una placa adicional consistente en un *array* de bloques de polarización, que puede utilizarse para medir esta celda y otras sin tener que incluir bloques iguales de polarización en cada placa. La placa de pruebas final para medir el multiplicador se muestra en la Figura 3.22.

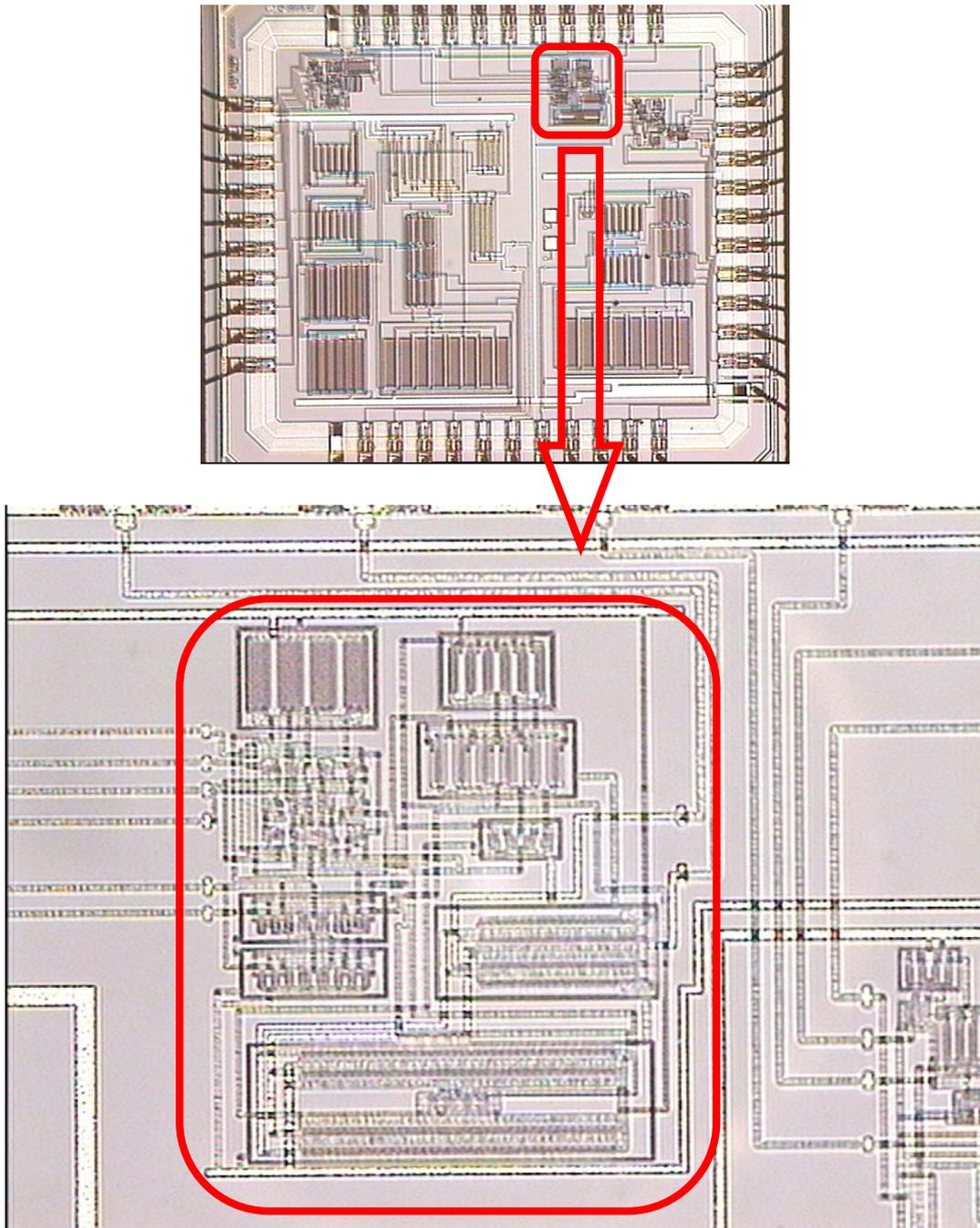


Figura 3.21: Microfotografía del multiplicador de tensión dentro del chip.

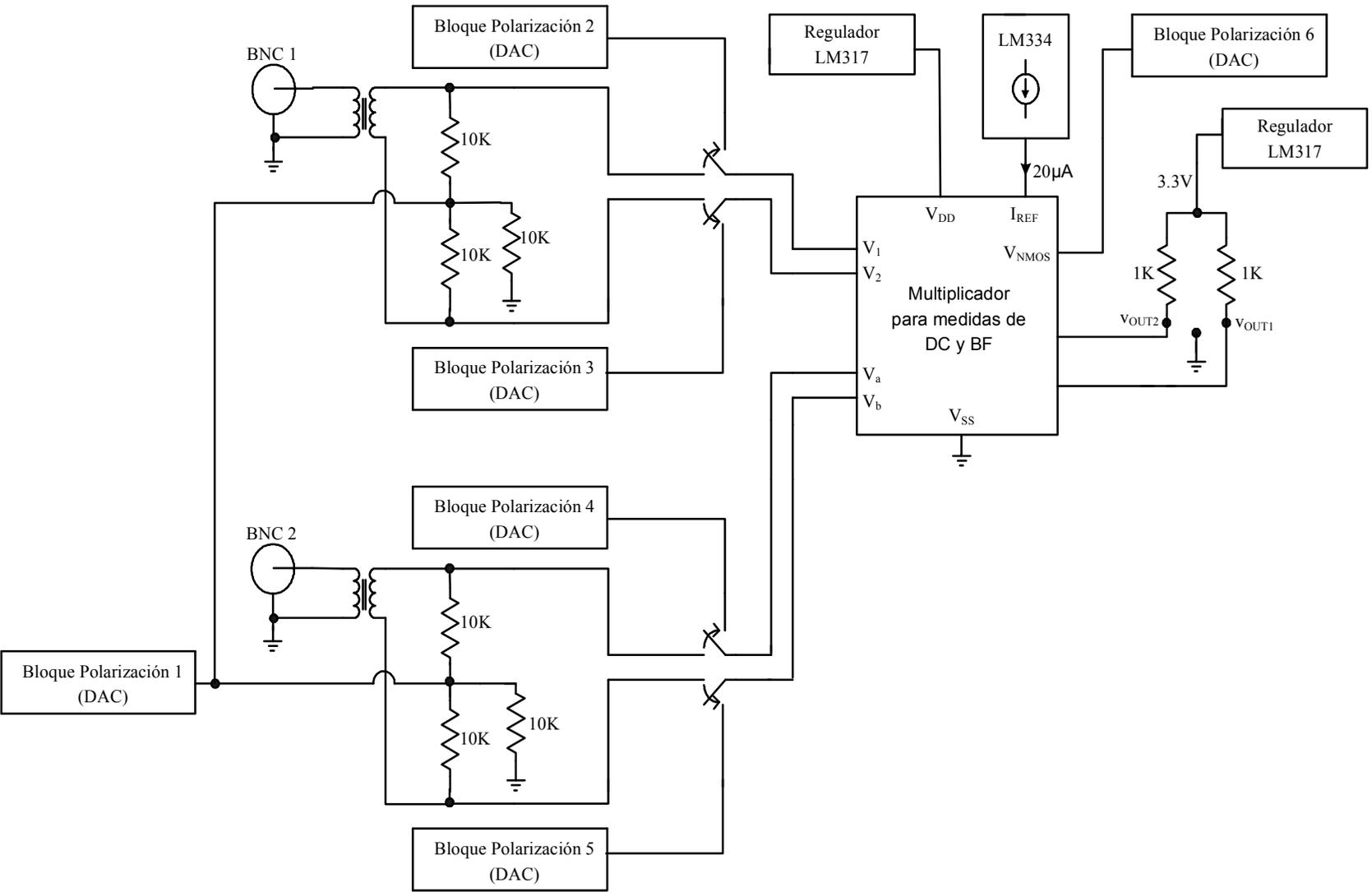


Figura 3.22: Esquema simplificado de la placa de medidas de continua y de baja frecuencia del multiplicador.

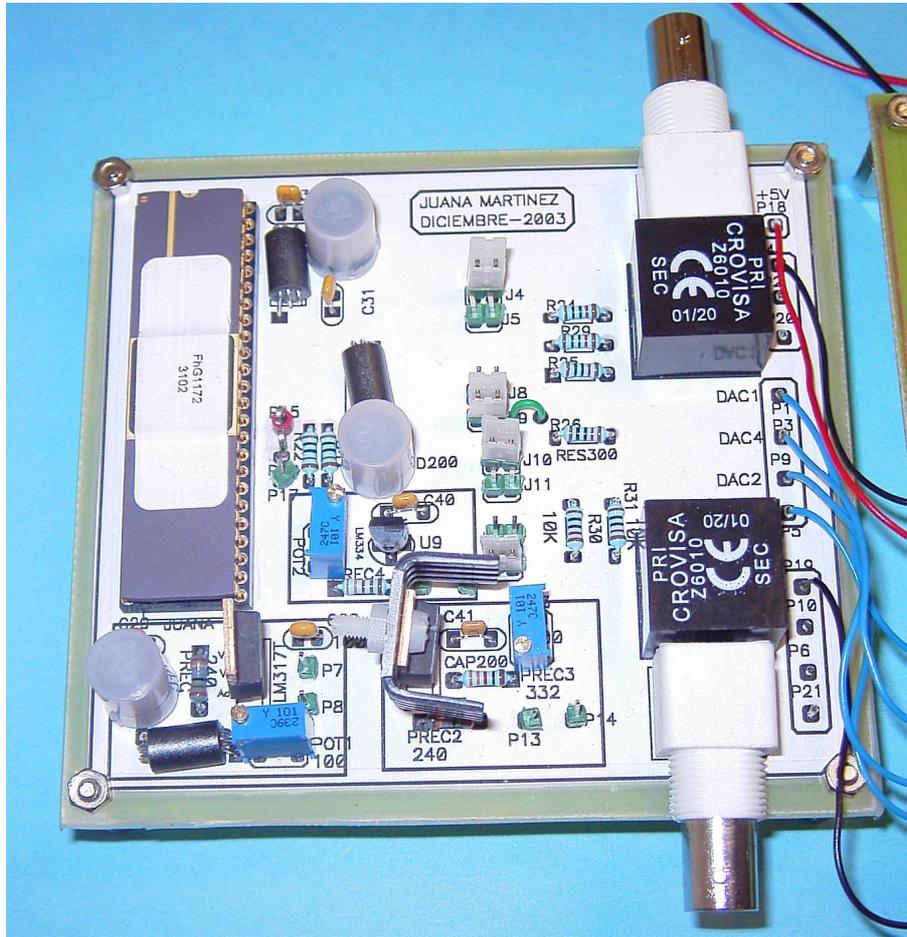


Figura 3.23: Placa de pruebas para medir el multiplicador en DC y bajas frecuencias.

En la Figura 3.24 se muestra la característica DC del multiplicador de tensión. Ha sido obtenida mediante un generador Agilent 33220A y un osciloscopio digital LeCroy LC584A. Se ha realizado un barrido en continua de v_{d12} desde -300mV a 300mV programando v_{dab} desde -300mV a 300mV en saltos de 60mV con ayuda de los convertidores D/A. Para señales de entrada con amplitud menor que 400mV_{pp} , el multiplicador es muy lineal y, a partir de ahí, se observa el comienzo de la saturación de la característica de transferencia. Sin embargo, en simulación la saturación comenzaba a darse a partir de los 600mV_{pp} , por lo que ha debido haber variaciones de parámetros como k_p y V_{TP} respecto a su valor típico.

En cuanto a medidas de distorsión armónica, en la Tabla 3.5 se resumen los resultados obtenidos. En las gráficas que verifican los resultados se puede comprobar que, dado que el circuito es completamente diferencial, los armónicos pares son inexistentes, de

acuerdo a la teoría. Por tanto, el término principal de distorsión que contribuye a la distorsión armónica total (THD) es el del tercer armónico (HD3) y no el del segundo (HD2). A modo de ilustración, en la Figura 3.25 se muestra el THD para la señal resultante de multiplicar una onda senoidal de entrada v_{d12} de 10KHz, $0.3V_{pp}$ de amplitud y $THD \approx -54.5dB$ y una entrada v_{dab} constante en su caso más desfavorable ($0.3V$), viéndose que la distorsión estará por debajo del 1% en todo el rango de v_{dab} . Los resultados experimentales son algo peor que los simulados, como era de esperar, mas confirman el buen funcionamiento del multiplicador. Hay que decir también que aunque a 100KHz los resultados experimentales empeoran sensiblemente, esto es debido a que se ha sobrepasado el rango de frecuencias de funcionamiento de los transformadores utilizados en la placa de pruebas. Dichos transformadores introducen distorsión a partir de 70KHz, lo que puede comprobarse en la Figura 3.26, correspondiente al THD en las mismas condiciones anteriores salvo que la frecuencia es de 100KHz y donde puede apreciarse que el segundo armónico ya no tiene un peso despreciable respecto al tercero.

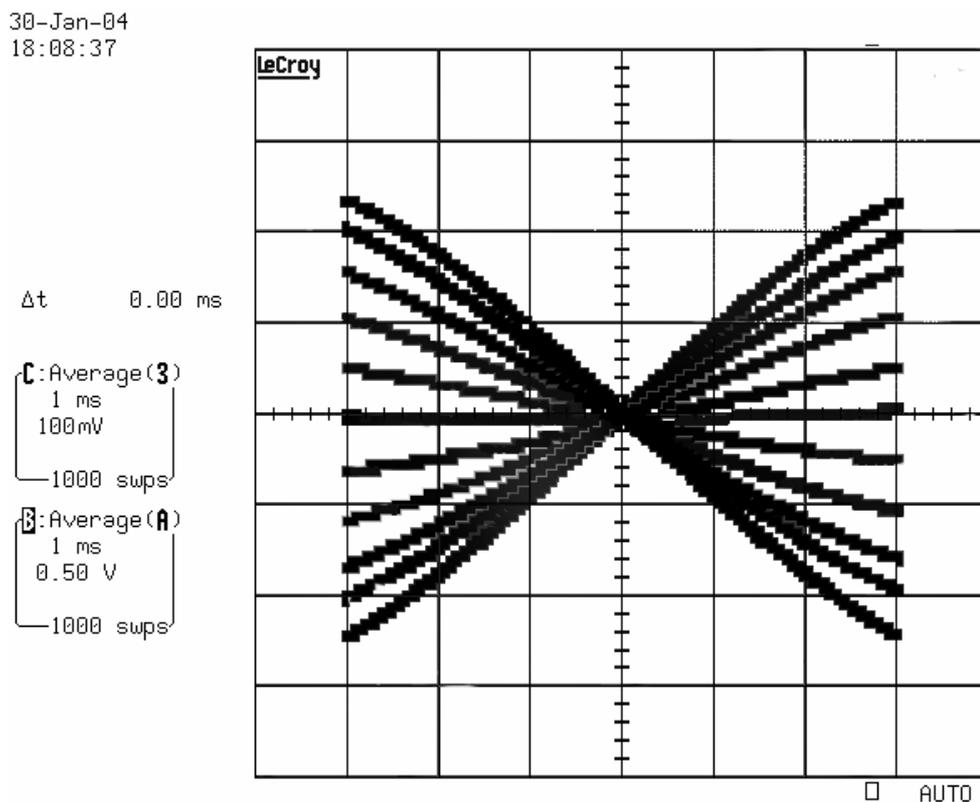


Figura 3.24: Característica DC del multiplicador.

	Resultado Experimental	Resultado Simulación <i>post-layout</i>
THD@10kHz,0.3V _{pp} : <ul style="list-style-type: none"> • Para V_{dab}=0.15V • Para V_{dab}=0.3V 	-49.1dB -42.6dB (Figura 3.25)	-52.29dB -45.97dB
THD@100kHz,0.3V _{pp} : <ul style="list-style-type: none"> • Para V_{dab}=0.15V • Para V_{dab}=0.3V 	-46.6dB -40.8dB (Figura 3.26)	-51.92dB -46.15dB

Tabla 3.5: Resultados experimentales de distorsión armónica del multiplicador.

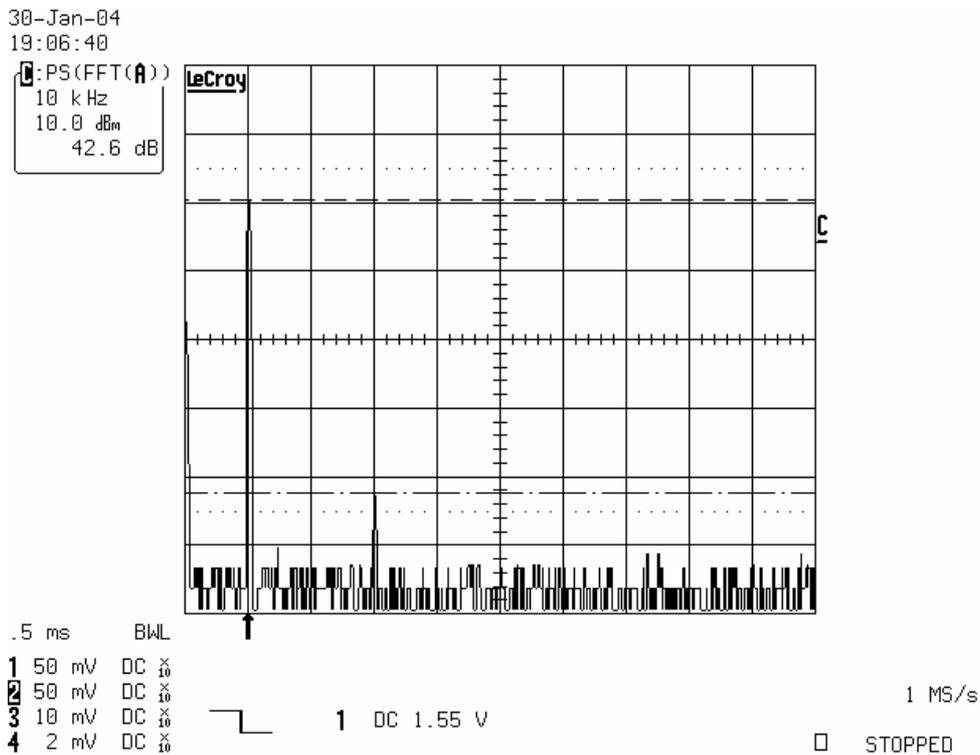


Figura 3.25: Distorsión a la salida tras multiplicar $v_{d12} = 0.15\cos(2\pi 10000t)$ y $v_{dab} = 0.3V$.

30-Jan-04
19:11:33

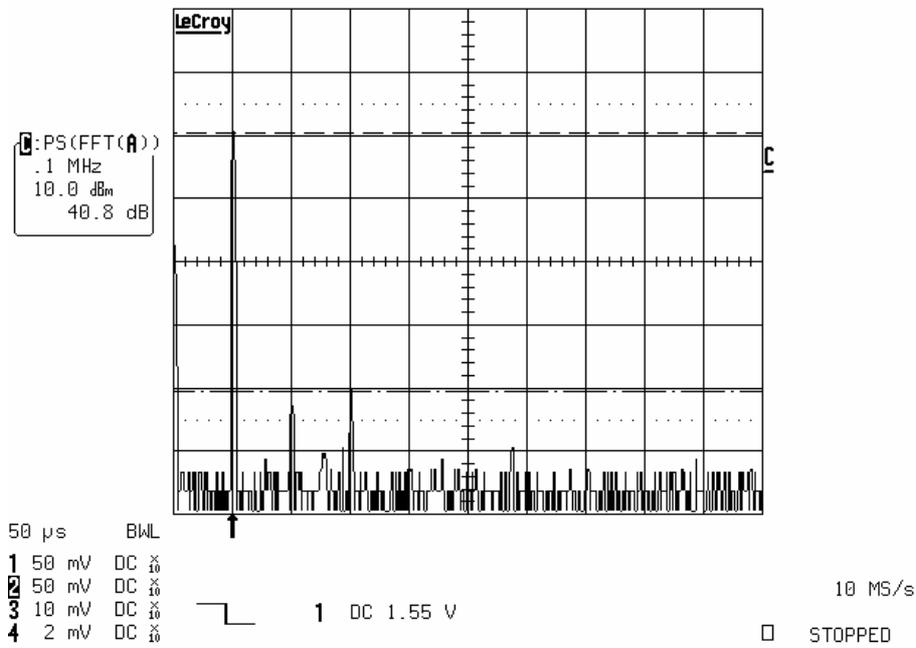


Figura 3.26: Distorsión a la salida tras multiplicar $V_{d12} = 0.15\cos(2\pi 100000t)$ y $v_{dab} = 0.3V$.

Para ilustrar la operación de multiplicación del circuito, se muestra en la Figura 3.27 el resultado de multiplicar una onda senoidal v_{d12} de 300mV de amplitud y frecuencia 50KHz y otra triangular v_{dab} de 300mV de amplitud y frecuencia 2KHz.

29-Jan-04
16:50:33

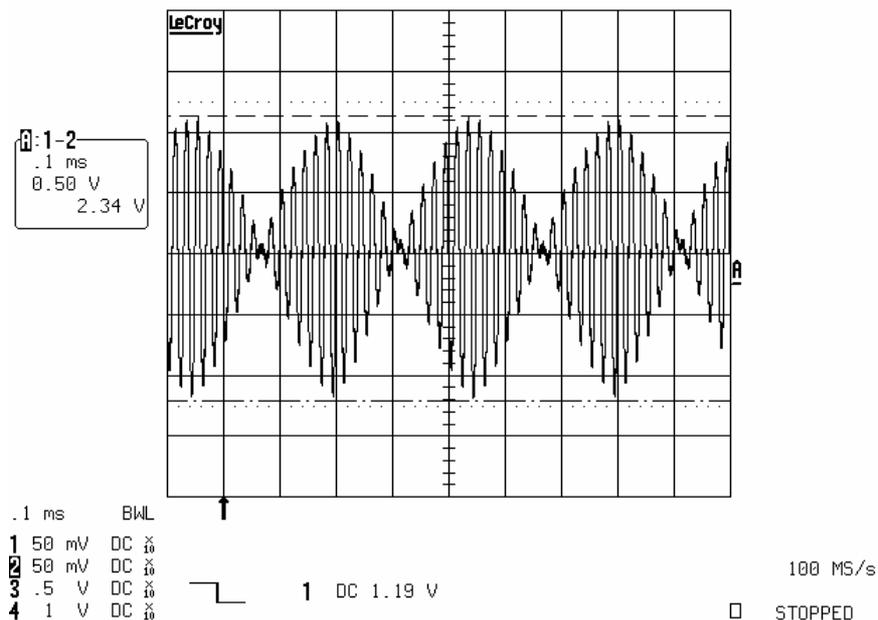


Figura 3.27: Operación de multiplicación de una señal triangular por una senoidal.

Asimismo, en la Figura 3.28 se muestra el resultado de multiplicar una señal v_{d12} senoidal de 150mV de amplitud y frecuencia 100KHz por una señal v_{dab} senoidal de 150mV de amplitud y frecuencia 2KHz.

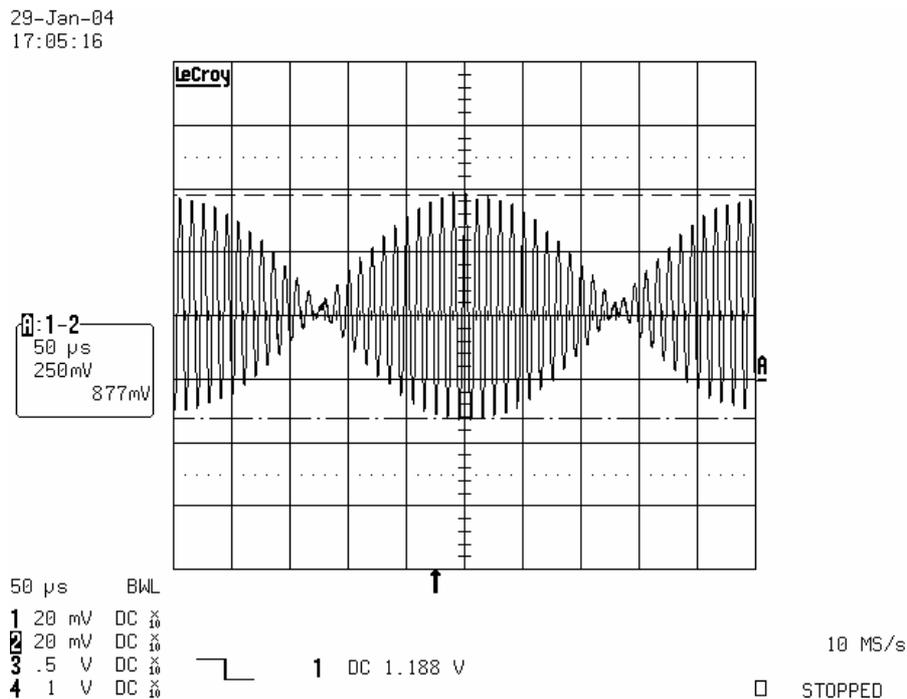


Figura 3.28: Operación de multiplicación de dos ondas senoidales.

- **De alta frecuencia.**

Los parámetros de diseño de la versión escalada del multiplicador para medidas de alta frecuencia se encuentran en la Tabla 3.6. El *layout* fue realizado en el mismo chip que el anterior y ocupó un área de “1507 μ m x 1996 μ m”, es decir, unos 3.008 mm² de silicio. También fue verificada su robustez ante variaciones del proceso y de desapareamiento mediante simulaciones de Monte Carlo. Una microfotografía del *layout* de este multiplicador dentro del chip puede verse en la Figura 3.29, mostrado en el recuadro rojo. Su ancho de banda, medido desde v_{d12} a v_{OUT} , es de 64MHz y su rango de salida de 526mV_{pp}, que se verá como 263mV_{pp} en los instrumentos de laboratorio por la adaptación de impedancias.

Transistor	W/L
M ₁ , M _{1P} , M ₂ , M _{2P} , M _{2PP} , M ₃ , M _{3P}	550/0.8
M _{4P} , M _{4PP}	3000/0.8
M ₅ , M _{5P}	400/0.8
M ₆ , M _{6P}	550/0.8
M ₇ , M _{7P} , M ₈ , M _{8P}	1100/0.8
Otros parámetros	
V _{DD}	1.5V
I _B	500μA
I' _B	1000μA
V _{NMOS}	1.1V
R	100Ω
C _L	10pF

Tabla 3.6: Parámetros de diseño de la versión del multiplicador para altas frecuencias.

La placa de pruebas para medir el multiplicador a altas frecuencias está diseñada, como ya se dijo, para trabajar con señales v_{d12} , v_{OUT} en el rango de frecuencias [20MHz, 100MHz] (adaptación de impedancias) y de v_{dab} en el rango [1MHz, 10MHz]. El esquema simplificado de dicha placa de medidas se muestra en la Figura 3.30. Los valores de las tensiones de polarización se han generado mediante integrados LM317 o bloques de polarización hechos con convertidores D/A, dependiendo de su valor y el rango de programación requerido. La referencia de corriente se ha generado mediante el integrado LM334. Las señales de entrada y de salida del multiplicador se comunican con el exterior de la placa mediante conectores BNC. La conversión de señales unipolares a señales complementarias se lleva a cabo con los transformadores de banda ancha WB2010-1 de Coilcraft. Dichos transformadores poseen un rango de funcionamiento de [40KHz, 175MHz], aunque la respuesta en amplitud no es totalmente plana sino que desde la frecuencia mínima hasta la frecuencia máxima hay una diferencia de atenuación de 0.5dB, como se verá reflejado en las medidas más tarde. Esto no representa inconveniente alguno puesto que está identificado el origen de la discrepancia. Las pistas largas de señal de alta frecuencia han sido implementadas de

forma que su impedancia característica es de 50Ω . Tanto en el camino de la señal v_{d12} como en el de v_{OUT} se ha utilizado un *buffer* MAX4204 para desacoplar impedancias, aunque en el segundo caso se ha utilizado también para poder cargar los analizadores. Además de las precauciones ya comentadas en otras placas de la Tesis, se ha extendido un plano de masa en la cara superior de la placa. En la Figura 3.31 se muestra cómo ha quedado dicha placa finalmente.

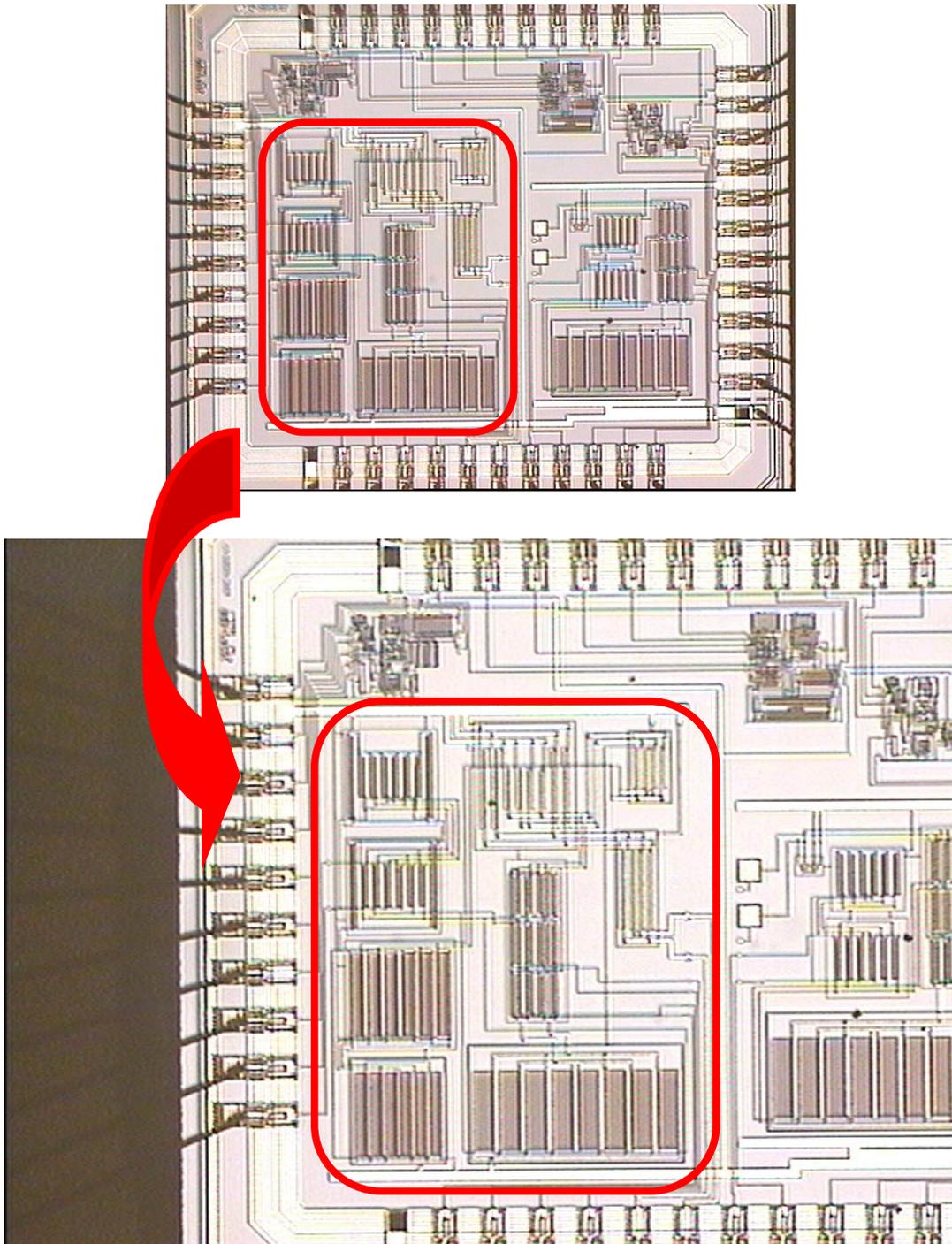


Figura 3.29: Microfotografía del multiplicador de tensión dentro del chip.

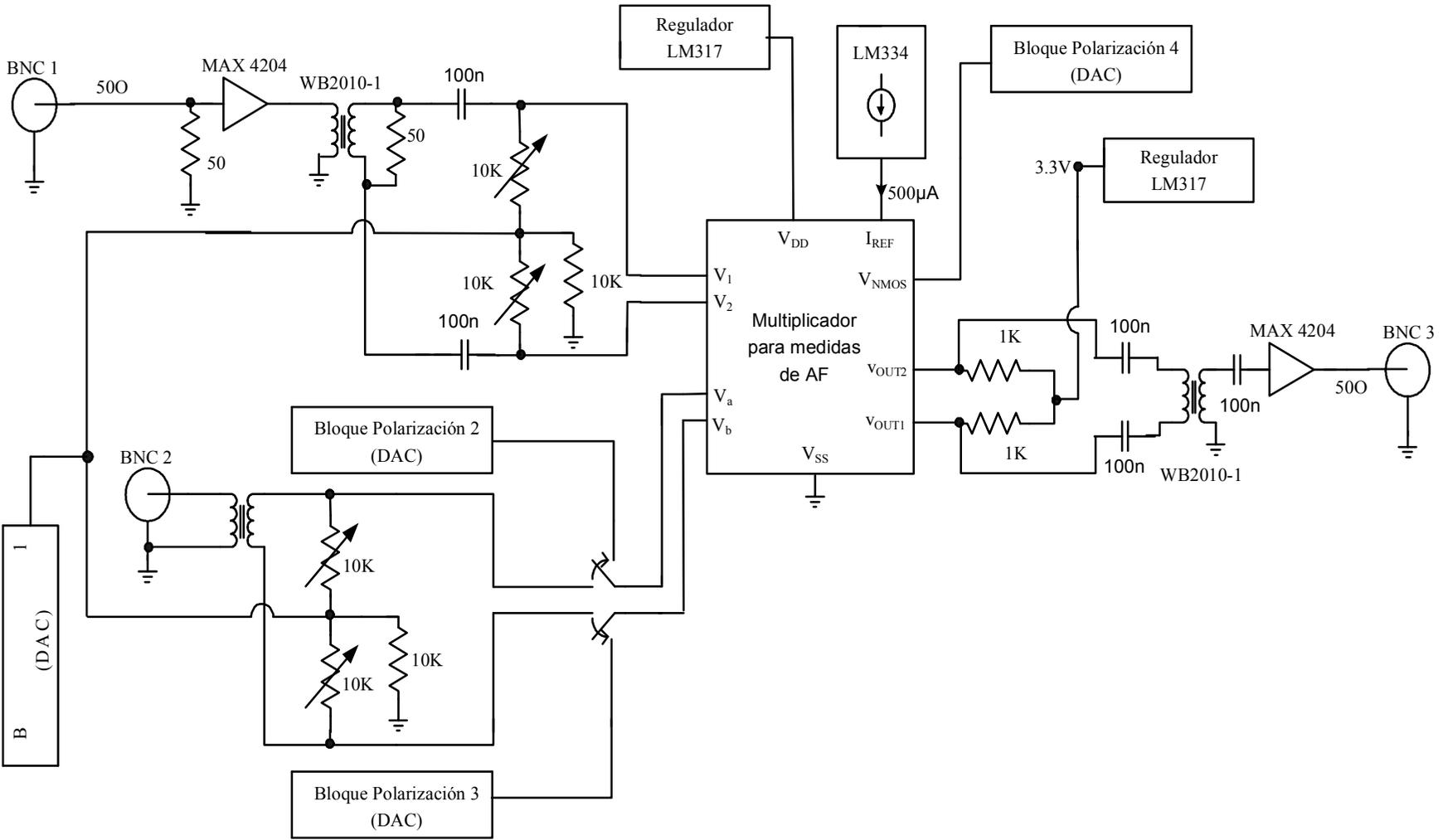


Figura 3.30: Esquema simplificado de la placa de medidas de AF del multiplicador.

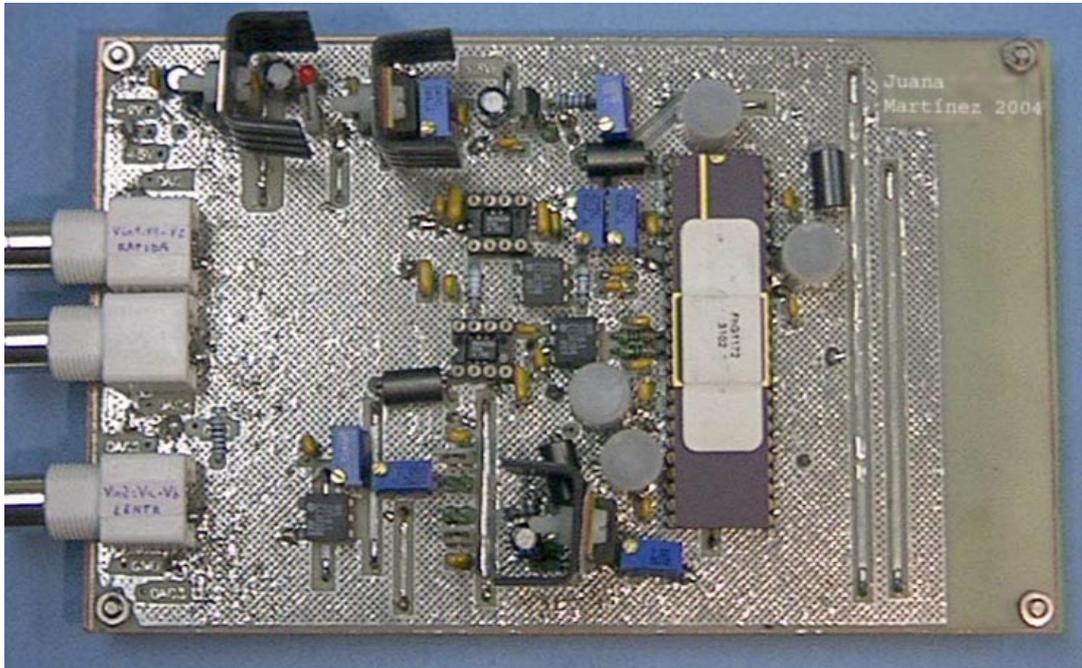


Figura 3.31: Placa de pruebas para medir el multiplicador a altas frecuencias.

Tomando v_{d12} como entrada, la simulación AC del esquema de este multiplicador proporciona un BW de 80MHz mientras que si la simulación es *post-layout* el resultado es de 64MHz, con lo cual se comprueba cómo las capacidades parásitas pueden reducir el BW de un circuito. Se ha medido la respuesta en frecuencia experimentalmente de dos formas: una, mediante el analizador de red vectorial Rohde&Schwarz 10Hz/9KHz-4GHz ZVRL y otra, realizando varias medidas en el tiempo mediante el generador de funciones y el osciloscopio. En el primer caso, la respuesta en amplitud ha tenido la forma esperada pero el BW medido es de tan sólo unos 32MHz, como puede observarse en la Figura 3.32, donde $P_{IN} = -10\text{dBm}$ y $v_{dab} = 300\text{mV}$. Sin embargo, usando el osciloscopio LeCroy CL584A de 1GHz para analizar el comportamiento del circuito en el tiempo cuando se varía la frecuencia de la señal v_{d12} , sí se ha obtenido el BW esperado. El proceso ha sido el siguiente: se ha introducido una señal senoidal en v_{d12} de 20MHz y amplitud máxima ($0.6V_{pp}$) y una señal triangular en v_{dab} de 1MHz y $0.6V_{pp}$. A la salida se ha comprobado cómo la señal resultante tiene 273mV_{pp} , aproximadamente lo que se esperaba, ya que la salida está adaptada a 50Ω . Si se va barriendo la frecuencia de la señal v_{d12} , se comprueba que la amplitud de la señal resultante se mantiene constante en un rango de frecuencias hasta que empieza a disminuir. El valor de frecuencia para el cual la amplitud de la salida decae 3dB, es

decir, la amplitud pasa a valer 193mV_{pp} , es de 50MHz . Eso significa que el BW experimental del multiplicador es de 50MHz . La discrepancia con el analizador de red vectorial es que éste presenta una capacidad a la entrada mucho mayor que la del osciloscopio, que hace que el BW total se vea reducido. El hecho de haber medido 50MHz en vez de 65MHz es debido a que el multiplicador se encuentra en la placa unas capacidades de carga parásitas más grandes de lo que se habían previsto en las simulaciones *post-layout*.

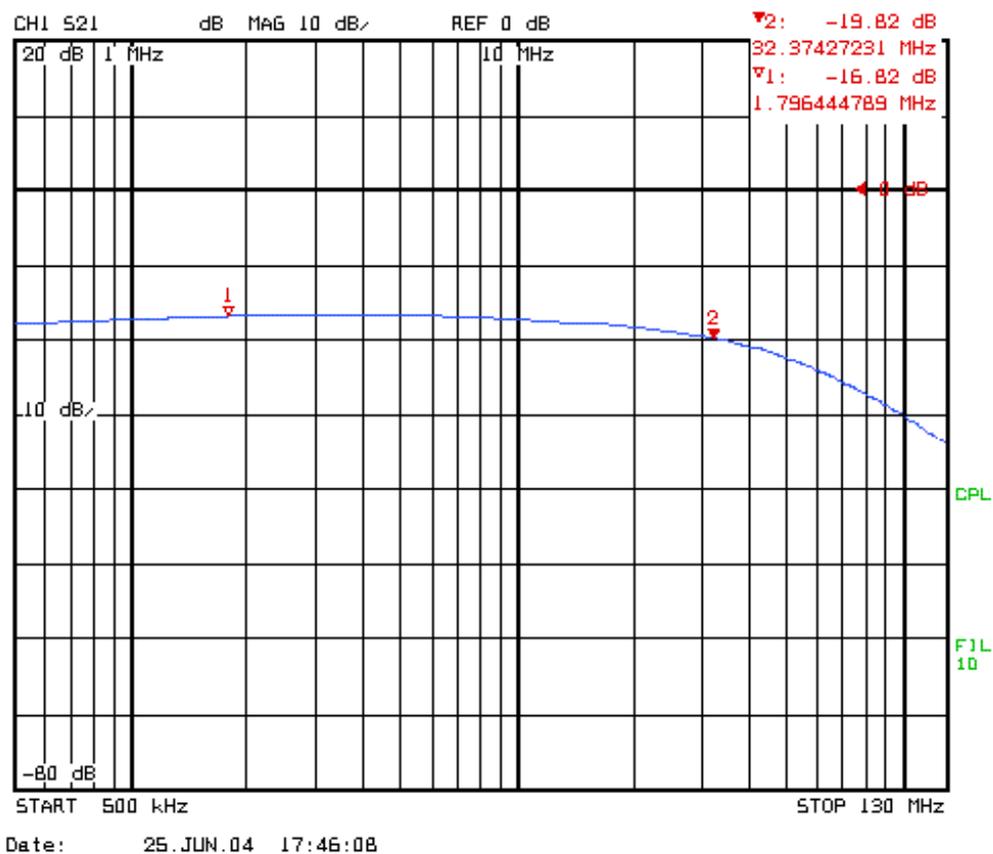


Figura 3.32: Respuesta en frecuencia del multiplicador con el analizador de red vectorial.

En cuanto a medidas de distorsión armónica, hay que decir que, a pesar del cuidado que se ha tenido en el diseño del multiplicador en el circuito integrado, las medidas en esta placa de pruebas muestran la existencia de desapareamientos entre los caminos de la señal diferencial. Dichos desapareamientos dan lugar a la aparición de un importante segundo armónico, del que es único responsable el circuito de medida. Por ello, aun cuando en todo momento se indicará el THD medido para que el lector tenga una

información completa de las medidas realizadas, tan sólo las medidas correspondientes al tercer armónico (HD3 e IM3) son significativas del comportamiento de la celda fabricada.

En la Tabla 3.7 se muestra un resumen de las medidas de distorsión cuando se introduce $v_{dab} = 0.18V$ (con $V_a = 240mV$ y $V_b = 60mV$) y una onda senoidal en v_{d12} de amplitud pico a pico A_{pp} y frecuencia 4.9MHz, es decir, aproximadamente un décimo del ancho de banda del circuito. En v_{dab} no se ha introducido 0.15V, la mitad del rango, puesto que los convertidores D/A con los que se genera V_a y V_b sólo nos han permitido programar como valores más cercanos 120mV y 180mV. También se muestran en dicha tabla las medidas cuando $v_{dab} = 0.3V$, el caso más desfavorable. Por supuesto, como la entrada rápida de la placa está adaptada a 50Ω , en el generador se ha tenido que programar el doble de A_{pp} para que en la entrada del multiplicador haya A_{pp} . A modo de ilustración se presentan la Figura 3.33 y la Figura 3.34, habiéndose utilizado para su obtención el analizador de señal Rohde&Schwarz 20Hz-3.5GHZ FSIQ3. Hay que añadir que, aunque en la Figura 3.33 aparece el tercer armónico, dicho armónico debe ser menor que la precisión del analizador de señal ya que unas veces es captado por éste y otras no.

	$A_{pp} = 0.3V_{pp}$	$A_{pp} = 0.6V_{pp}$
@ $V_{dab}=0.18V$	HD3 < -72dB (No distinguishable) (HD2 \approx -58.09dB) (Ver Figura 3.33)	THD \approx -66.25dB (HD2 \approx -50.34dB) (Ver Figura 3.34)
@ $V_{dab}=0.3V$	HD3 \approx -61.61dB (HD2 \approx -53.28dB)	HD3 \approx - 54.62dB (HD2 \approx -45.5dB)

Tabla 3.7: Resultados experimentales de THD con $V_{d12} = A\cos(2\pi 4900000t)$.

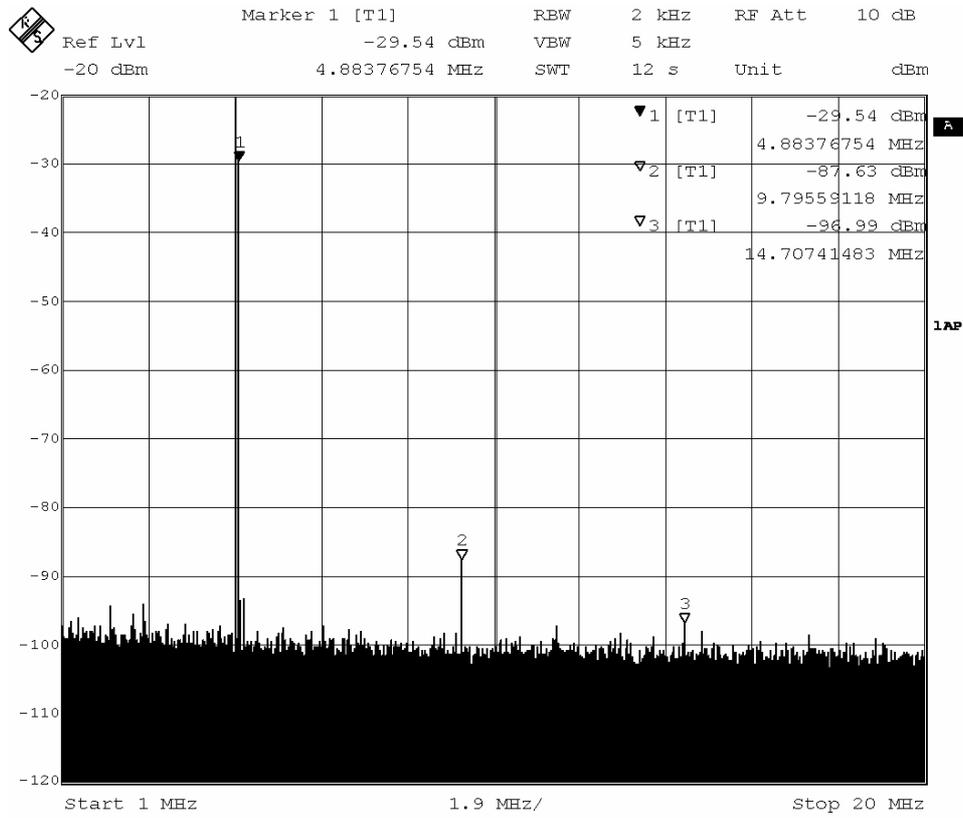


Figura 3.33: Distorsión a la salida con $v_{d12} = 0.15\cos(2\pi 4900000t)$ y $v_{dab} = 0.18V$.

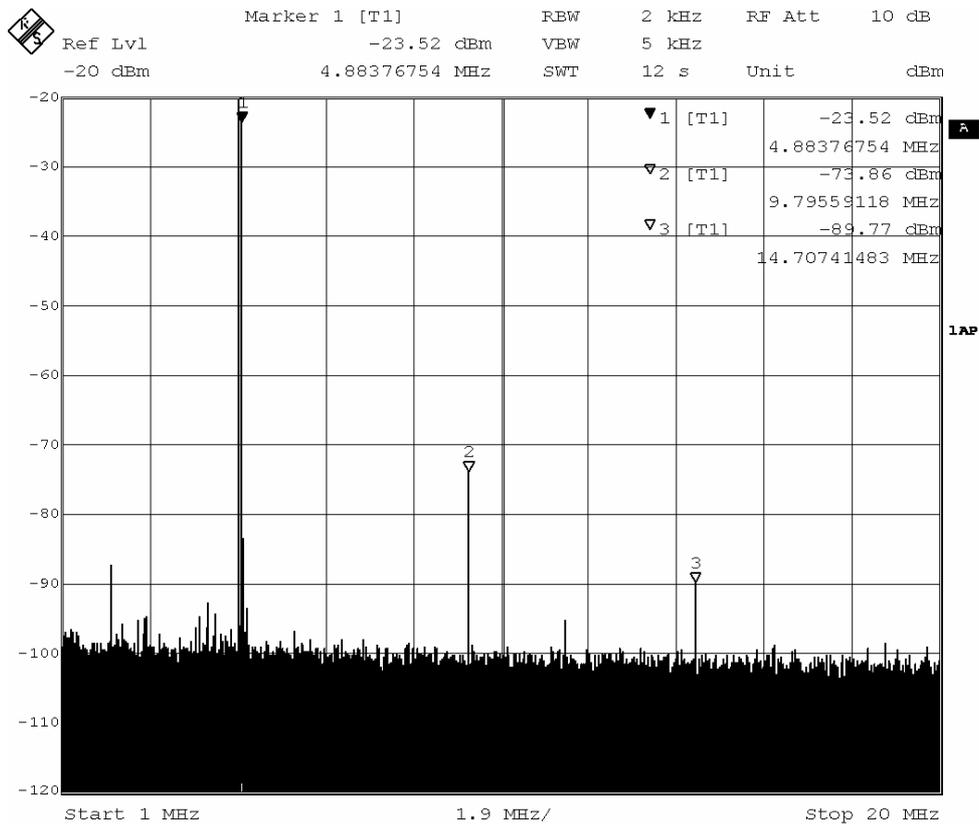


Figura 3.34: Distorsión a la salida con $v_{d12} = 0.3\cos(2\pi 4900000t)$ y $v_{dab} = 0.18V$.

Para las medidas del producto de intermodulación de tercer orden se ha introducido una señal constante de 0.18V en v_{dab} y la suma de dos tonos muy próximos y de igual amplitud en v_{d12} . Esos dos tonos se hallan en las frecuencias 5MHz y 4.9MHz. La Tabla 3.8 muestra el IM3 obtenido para distintos valores de amplitud de esos dos tonos teniendo en cuenta, por supuesto, que esa entrada está adaptada. Es, como puede verse, considerablemente pequeño. Para $A_{pp} = 0.1 V_{pp}$ ni siquiera aparecen los productos $2f_2 - f_1$ y $2f_1 - f_2$ en el analizador de espectros.

	$A_{pp} = 0.3V_{pp}$	$A_{pp} = 0.6V_{pp}$
IM3	$\approx -69.39\text{dB}$ (Figura 3.35)	$\approx -57.9\text{dB}$ (Figura 3.36)

Tabla 3.8: Resultados experimentales del IM3 del multiplicador.

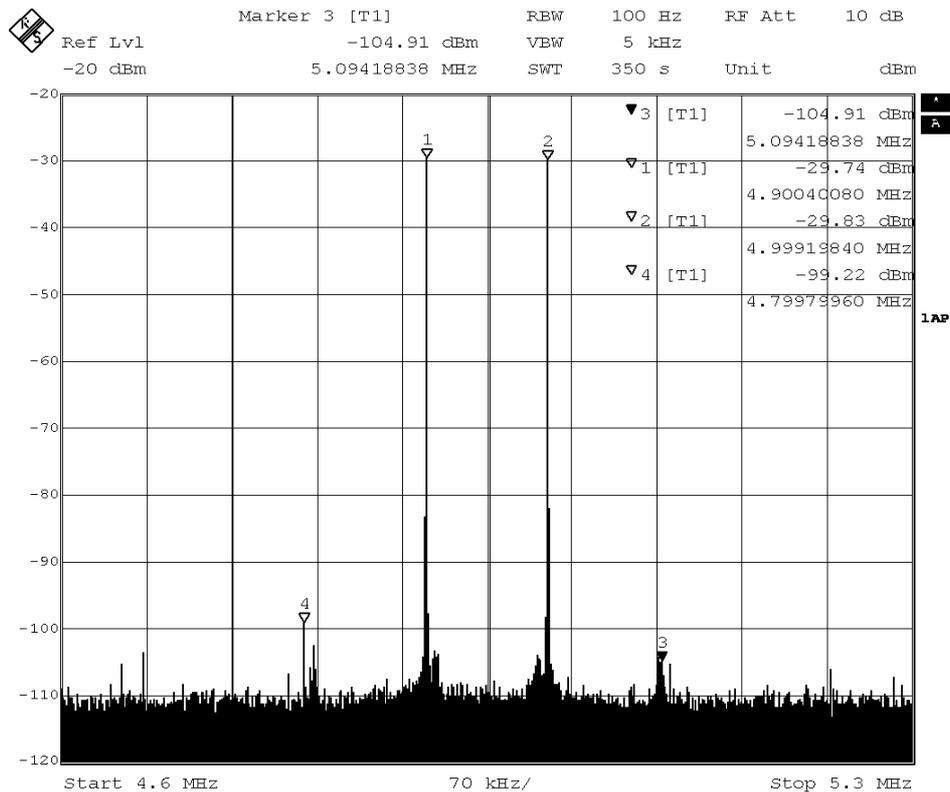


Figura 3.35: IM3 para dos tonos en 4.9MHz y 5MHz, respectivamente, y de $300mV_{pp}$.

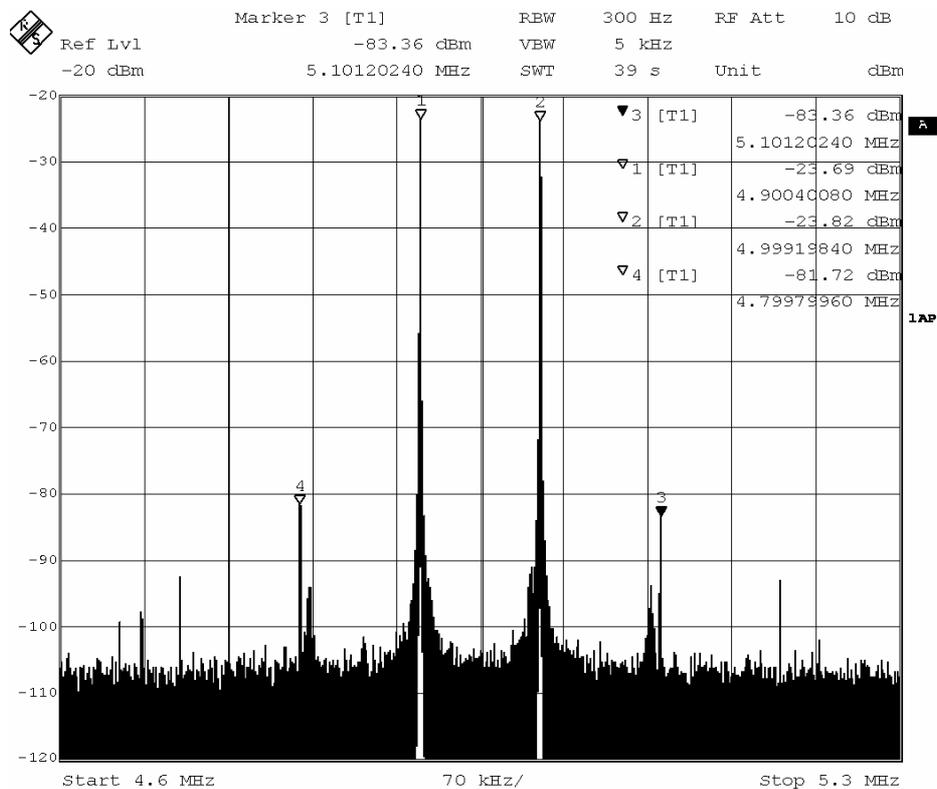


Figura 3.36: IM3 para dos tonos en 4.9MHz y 5MHz, respectivamente, y de 600mV_{pp}.

Para demostrar que el circuito es capaz de realizar la operación de multiplicación a altas frecuencias, en v_{dab} se ha introducido una señal triangular de 300mV de amplitud y frecuencia $f_2=1$ MHz mientras que en v_{d12} se va a ir introduciendo una onda senoidal de 300mV de amplitud y con frecuencia f_1 cada vez mayor. En primer lugar, la frecuencia elegida para v_{d12} es de 20MHz, mostrándose en la Figura 3.37 las dos señales diferenciales de entrada y el resultado de la multiplicación. La señal v_{d12} se observa en el osciloscopio con amplitud doble puesto que así es cómo se produce en el generador de funciones para que llegue con el valor de amplitud adecuado al integrado (entrada adaptada). La variación pico a pico de la salida es de 273.4mV_{pp} y, al estar también adaptada a 50Ω, el rango obtenido es de 546.8mV_{pp}, que coincide con lo predicho por la simulación *post-layout*.

Aumentando la frecuencia de la señal v_{d12} hasta 40MHz, se obtiene una señal resultante de 220mV_{pp}, que representa una variación pico a pico real de 440mV_{pp}. Esto se puede comprobar en la Figura 3.38, donde se muestran las señales de entrada y de salida.

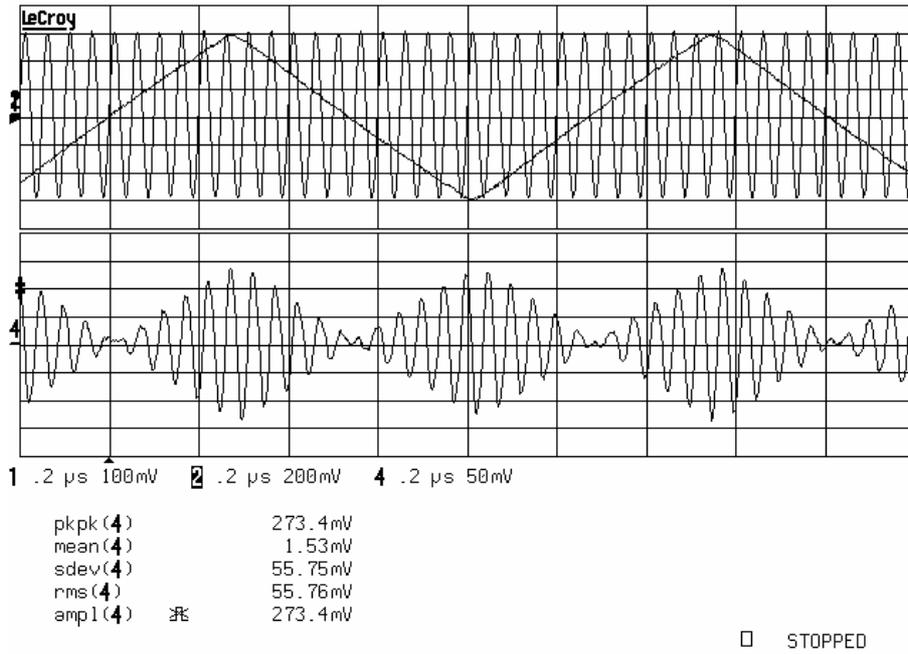


Figura 3.37: Señal de salida para entradas diferenciales con $f_1=20\text{MHz}$ y $f_2=1\text{MHz}$.

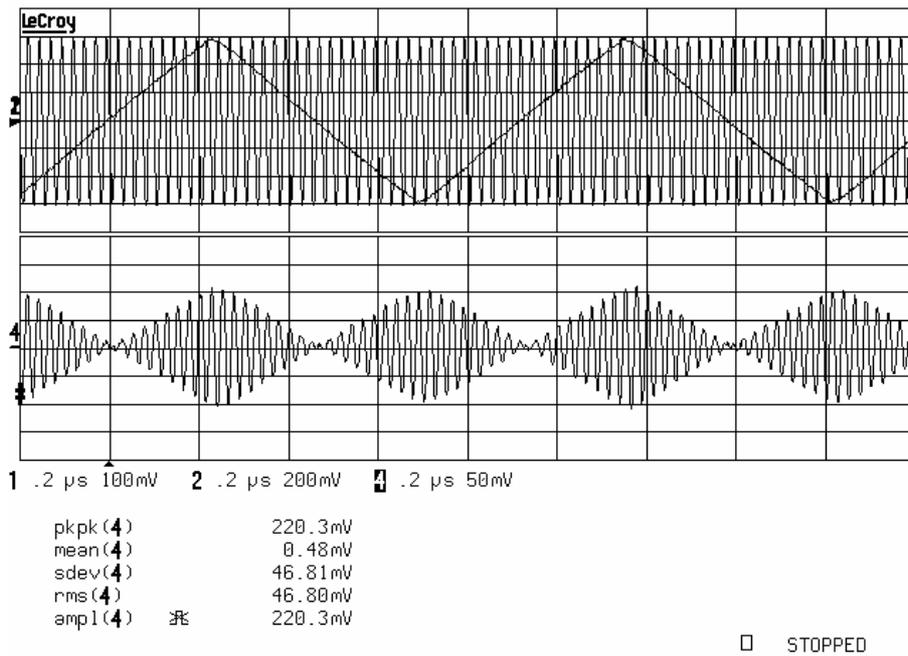


Figura 3.38: Señal de salida para entradas diferenciales con $f_1=40\text{MHz}$ y $f_2=1\text{MHz}$.

Del mismo modo, para $f_1=60\text{MHz}$, se obtiene una señal resultante de 318.8mV_{pp} reales, tal y como puede verse en la Figura 3.39.

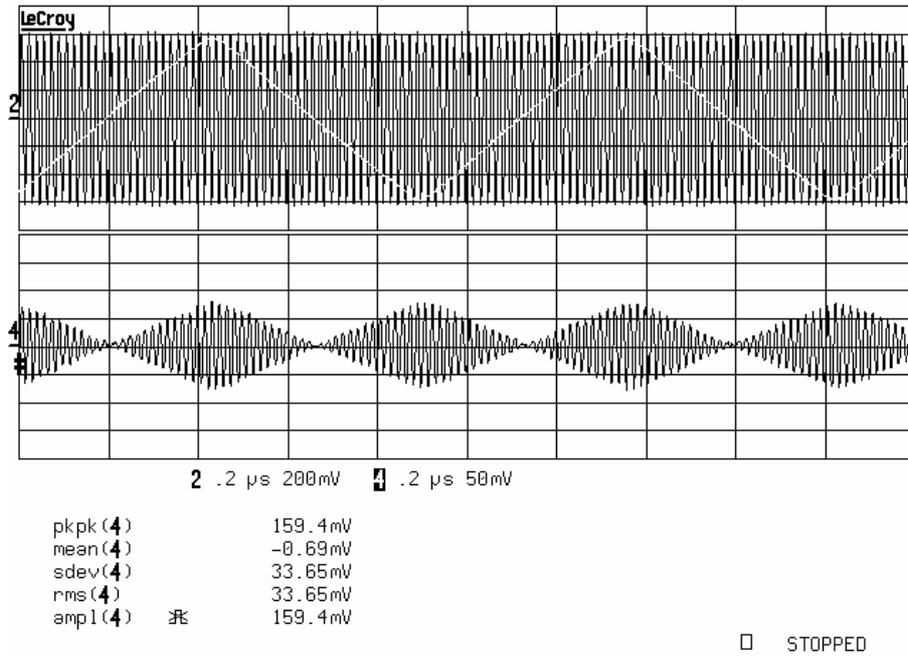


Figura 3.39: Señal de salida para entradas diferenciales con $f_1=60\text{MHz}$ y $f_2=1\text{MHz}$.

Incluso para una frecuencia de 100MHz en la señal de entrada v_{d12} se puede observar la señal de salida en el osciloscopio, aunque con el efecto de la caída de amplitud debido al ancho de banda del circuito: Figura 3.40.

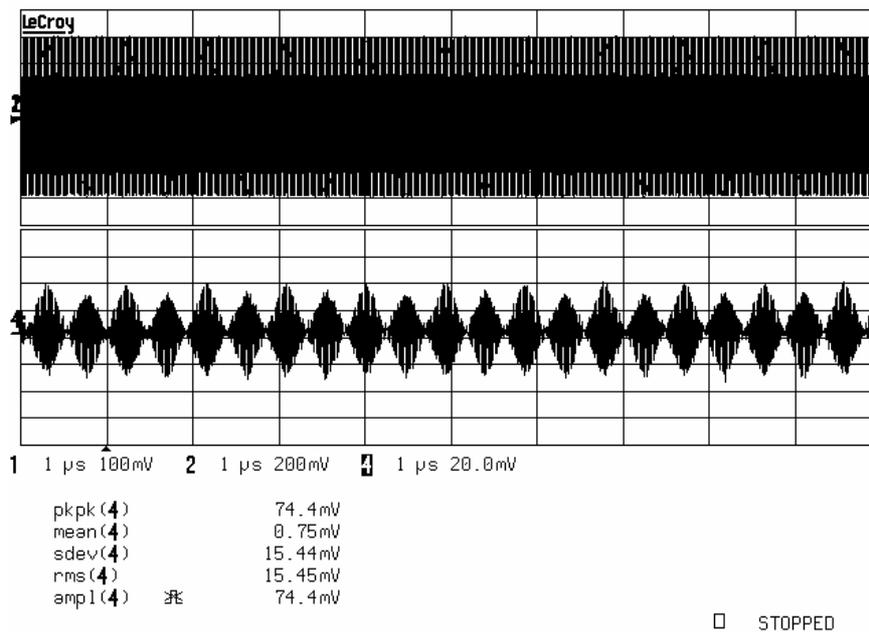


Figura 3.40: Señal de salida para entradas diferenciales con $f_1=100\text{MHz}$ y $f_2=1\text{MHz}$.

Para comprobar que el circuito es estable se ha multiplicado una señal cuadrada de 5MHz y $0.3V_{pp}$ por una constante de 0.15V. En la Figura 3.41 se muestra la salida diferencial. Se puede observar que no se produce ninguna sobreoscilación, es decir, el circuito presenta la característica de estabilidad necesaria.

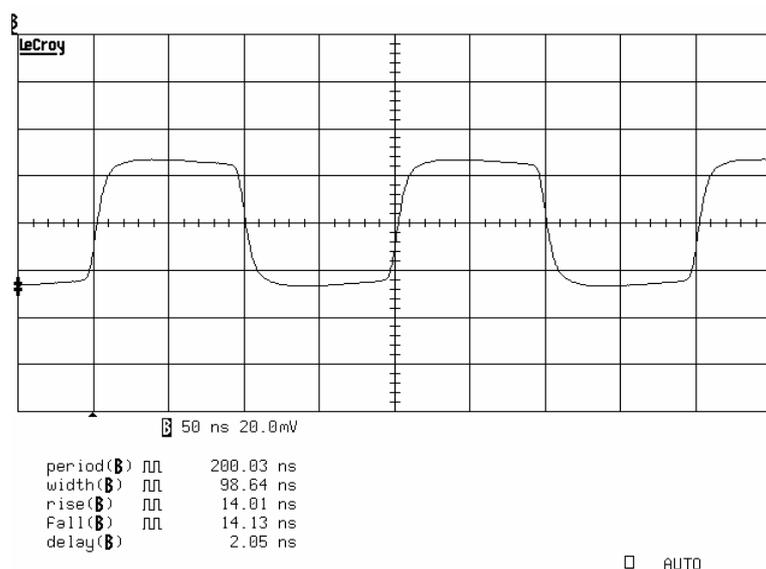


Figura 3.41: Respuesta diferencial del circuito ante onda diferencial cuadrada.

Tras los satisfactorios resultados experimentales obtenidos, se muestra en la Tabla 3.9 una comparativa entre el multiplicador de tensión propuesto y los multiplicadores más recientes encontrados en la literatura. La mayoría de éstos no prestan suficiente atención a la resistencia de entrada y/o de salida deseables siendo, quizás, muy optimistas en cuanto a ancho de banda. Si en un multiplicador de tensión la resistencia de salida es elevada, y normalmente es muy similar a la resistencia R_L donde se lleva a cabo la conversión corriente-tensión, el BW puede disminuir considerablemente al conectar una capacidad a la salida. En nuestro caso, la resistencia R_L es de tan sólo 300Ω , mucho menor que en el resto de multiplicadores de tensión. Como puede observarse en la tabla comparativa, los multiplicadores que trabajan con menor tensión de alimentación lo hacen con 1.5V, como el nuestro. Sin embargo, con esa misma tensión de alimentación, nuestra celda consigue los mejores resultados de distorsión armónica. Además, aquellas publicaciones de multiplicadores en las que se aportan medidas experimentales, lo hacen únicamente en continua y a bajas frecuencias, destacando por ello el nuestro.

Tabla 3.9: Comparación de multiplicadores recientes de la literatura.

Referencia	[179]	[180]	[181]	[182]	[183]	[184]	[185]	[186]	[187]	Nuestro
V_{DD}	$\pm 0.75V$	$\pm 2.5V$	$+5V$	$\pm 1.5V$	$+3V$	$\pm 0.75V$	$\pm 1.5V$	$+1.5V$	$+2V$	$+1.5V$
Tecnología	2μ	2μ	2μ	0.5μ	1.2μ	0.8μ	0.35μ	0.5μ	0.8μ	0.8μ
Tipo	$V \rightarrow V$	$V \rightarrow I$	$I \rightarrow I$	$I \rightarrow I$	$V \rightarrow V$	$I \rightarrow I$	$V \rightarrow I$	$V \rightarrow I$	$V \rightarrow V$	$V \rightarrow V$
$R_L(\Omega)$	80K	No hay	No hay ($R_{in}=7k$)	No hay ($R_{in}=4k$, $R_o=800M$)	5.3K	No hay	1K	2K	2K	300
Resultados	Sim.	Exp.(LF)	Sim.	Sim.	Sim.	Exp. (LF)	Exp. (LF)	Exp.(LF)	Exp.(LF)	Exp.(LF, HF)
$I_b(\mu A)$	15	10	80	-	340	5	3	600	20	10
$P^Q(W)$	45μ	-	0.80m	0.6m	-	0.39m	2.7m	7.2m	0.16m	1.64m
$P^{MAX}(W)$	-	-	0.93m	-	-	-	-	-	-	2.59m
Rango Entr. 1	$1V_{pp}$	$0.8V_{pp}$	$40\mu A_{pp}$	$50\mu A_{pp}$	$1.2V_{pp}$	$80\mu A_{pp}$	$1V_{pp}$	$0.8V_{pp}$	$0.6V_{pp}$	$0.6V_{pp}$
Rango Entr. 2	$1V_{pp}$	- (μA_{pp})	$40\mu A_{pp}$	$50\mu A_{pp}$	$1.2V_{pp}$	$50\mu A_{pp}$	$1V_{pp}$	$0.8V_{pp}$	$0.6V_{pp}$	$0.6V_{pp}$
Rango V_{od}	$0.25 V_{pp}$	No hay	No hay	No hay	$0.8V_{pp}$	No hay	$0.7V_{pp}$	$0.56V_{pp}$	$0.15V_{pp}$	$0.36V_{pp}$
Rango I_{od}	$3.125\mu A_{pp}$	-	10μ	$54A_{pp}$	$149\mu A_{pp}$	$48\mu A_{pp}$	$0.7mA_{pp}$	$280\mu A_{pp}$	$75\mu A_{pp}$	$1.2mA_{pp}$
$C_L(pF)$	N. C.	15p	N. C.	N. C.	N. C.	N. C.	N. C.	N. C.	N. C.	10p
BW (Hz)	12M	120K	22.4M	205M	-	61M (Sim.)	$163M@V_1$ (Sim) $260M@V_2$ (Sim)	316M (Sim.)	155M (Sim.)	40M (76M@1pF)
THD	-46dB (@100K,2M)	-40dB (@2K)	-36.2dB (@2K)	-47dB (@ $50\mu A_{pp}$, 20K)	- (IM3=- 37dB @10K)	-40.4dB (@1K, $20\mu A_{pp}$)	< -40dB	-50dB (@10K, $0.2V_{pp}$)	- (IM3=-45dB @1K,25K, $0.3V_{pp}$)	-67.8dB (@100K, $0.3V_{pp}$)

3.4.2.5. Conclusiones.

Se ha presentado un multiplicador de tensión de cuatro cuadrantes capaz de operar con muy baja tensión de alimentación. Con un consumo quiescente de aproximadamente 1.6mW y un consumo máximo de unos 2.6mW, consigue un ancho de banda de 76MHz para una carga capacitiva de 1pF y de 40MHz para 10pF. Tiene, además, buenas prestaciones desde el punto de vista de linealidad. El funcionamiento del circuito ha sido verificado experimentalmente, dedicando una especial atención a la consecución de medidas experimentales a altas frecuencias, de las cuales suelen carecer los multiplicadores encontrados en la literatura. Se ha demostrado que el multiplicador, para las especificaciones propuestas, y con la amplitud de las señales de entrada a mitad de su valor máximo, mantiene un IM3 menor de -65dB hasta una frecuencia de 5MHz.

3.4.3. Transconductor de muy baja tensión.

Las estructuras pseudo-diferenciales, entendidas como estructuras diferenciales referidas a tierra, han sido utilizadas en amplificadores operacionales y de transconductancia para reducir la tensión de alimentación [188]-[197]. Esto es debido a que no tienen fuente de corriente de polarización como las estructuras diferenciales y, por tanto, se evita la caída de tensión en dicha fuente. Sin embargo, eliminar la fuente de corriente da lugar a un peor rechazo al ruido de modo común. Además, una estructura pseudo-diferencial posee la misma transconductancia para la señal diferencial que para la señal de modo común, por lo que hay que hacer un control muy cuidadoso del comportamiento de modo común del circuito [190], [198].

En esta Tesis se propone un transconductor pseudo-diferencial, con los dos transistores de entrada conectados por el terminal de fuente a tierra, capaz de proporcionar una muy alta resistencia de salida gracias al uso de un transistor súper-cascodo. Como es bien sabido, esta característica de alta resistencia de salida es muy deseable. En un montaje integrador de tipo OTA-C, por ejemplo, cuanto mayor sea la resistencia de salida del transconductor empleado, mayor será la ganancia DC ($A_{DC}=G_m \cdot R_{out}$) y menor la

frecuencia del primer polo ($\omega_1 = 1/C_L \cdot r_{out}$), con lo que el retraso de fase introducido por éste será menor también.

El esquema propuesto se muestra en la Figura 3.42 y ha dado lugar a [199]-[201]. Consta de dos subcircuitos simétricos: el formado por los transistores $E_2, E_3, M_A, M_{A'}, M_{A''}, M_1$ y el formado por los homólogos $E_{2P}, E_{3P}, M_{AP}, M_{AP'}, M_{AP''}, M_{1P}$. Así, todas las ecuaciones que se deriven del primer subcircuito son válidas también para el segundo, con los subíndices en el orden dado. Se supone que ambos subcircuitos están perfectamente apareados. El transistor E_2 es usado para repetir la corriente de polarización I_B mientras que el transistor E_3 repite la corriente I_B con escala 1:n. La conversión lineal se obtiene mediante los transistores M_1 y M_{1P} , que están funcionando en la zona óhmica y sin efecto sustrato [202]. La señal de tensión diferencial de entrada $v_{id} = v_{I+} - v_{I-}$ se convierte en una señal de corriente diferencial de salida con un cierto valor de transconductancia G_m dependiente de la tensión aplicada V_C .

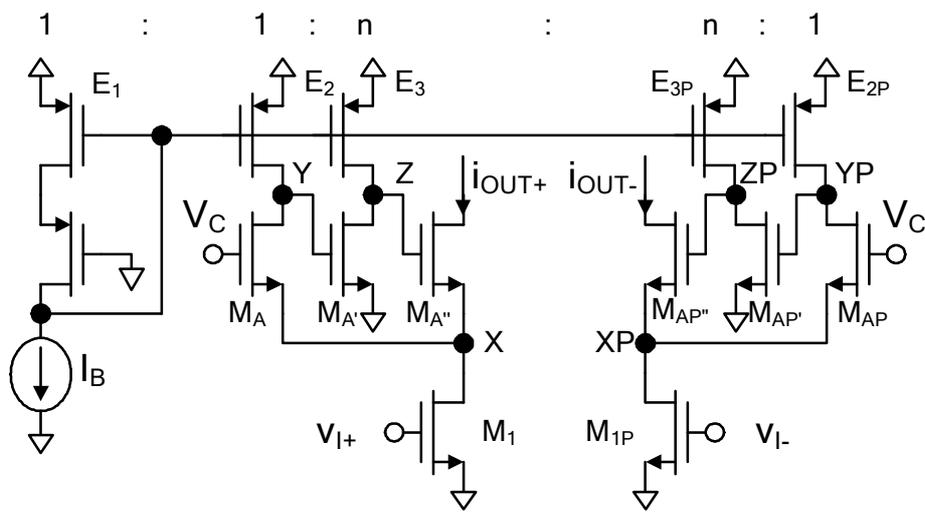


Figura 3.42: Esquema del transconductor pseudo-diferencial propuesto.

Veamos el funcionamiento del circuito con más detalle. Suponiendo que el transistor M_1 se halla en zona óhmica y considerando un modelo de primer orden, la corriente i_1 que circula por él tendría la expresión siguiente:

$$i_l = K_l \left[(v_{GS,M1} - V_{TN}) - \frac{v_{DS,M1}}{2} \right] \cdot v_{DS,M1} \quad (3-76)$$

donde $K_l = \mu_n C_{ox} \frac{W}{L} \Big|_{M1}$.

La corriente a través del transistor M_A es una buena réplica de la corriente de polarización I_B y produce una tensión constante entre la puerta y la fuente de M_A dada por

$$v_{GS,MA} = V_{GS,MA} = V_{TN} + \sqrt{\frac{2I_B}{K_l}} \quad (3-77)$$

Gracias a esa tensión constante, si se aplica una tensión V_C justamente en la puerta de M_A , se puede controlar la tensión V_X que hay en la fuente de M_A o el drenador de M_1 , la cual estará dada por

$$V_X = V_C - V_{TN} - \sqrt{\frac{2I_B}{K_l}} \quad (3-78)$$

Como $v_{GS,M1} = v_{I+}$ y $v_{DS,M1} = V_X$, la ecuación (3-76) se puede expresar así:

$$i_l = K_l \cdot \left(v_{I+} - V_{TN} - \frac{V_X}{2} \right) \cdot V_X \quad (3-79)$$

Aplicando la ley de las corrientes de Kirchhoff en el drenador de M_1 ,

$$i_{OUT+} = i_l - I_B \quad (3-80)$$

Se considera que la tensión de entrada positiva es una tensión unidireccional de gran rango $v_{I+} = V_{CMI} + v_{id}/2$ que tiene dos componentes: una componente de modo común V_{CMI} y una componente bidireccional de señal $v_{id}/2$, donde $(v_{id}/2) < V_{CMI}$. La

corriente i_1 consta también de dos componentes: una componente de continua I_{1Q} y una componente de señal i_{1s} . Eligiendo I_B muy pequeña comparada con la componente de continua de i_1 , podemos realizar la siguiente aproximación:

$$i_{OUT+} \approx i_1 \quad (3-81)$$

La corriente que circula por el transistor M_{1P} , llamada i_{1P} , tendrá una expresión dada por la ecuación (3-82).

$$i_{1P} = K_1 \cdot \left(v_{N-} - V_{TN} - \frac{V_{XP}}{2} \right) \cdot V_{XP} \quad (3-82)$$

Y también se da que

$$i_{OUT-} \approx i_{1P} \quad (3-83)$$

La corriente diferencial de salida tiene, pues, la siguiente expresión:

$$i_{OUT} = i_{OUT+} - i_{OUT-} = K_1 \left(v_{I+} - V_{TN} - \frac{V_X}{2} \right) V_X - K_1 \left(v_{I-} - V_{TN} - \frac{V_{XP}}{2} \right) V_{XP} \quad (3-84)$$

Como $V_{XP} \approx V_X$, algunos términos se cancelan en la ecuación de arriba, resultando

$$i_{OUT} = K_1 \cdot (v_{I+} - v_{I-}) \cdot V_X = K_1 \cdot v_{id} \cdot V_X \quad (3-85)$$

Sustituyendo el valor de V_X dado por la ecuación (3-78), se llega a

$$i_{OUT} = K_1 \cdot v_{id} \cdot \left(V_C - V_{TN} - \sqrt{\frac{2I_B}{K_1}} \right) \quad (3-86)$$

Es decir, como en cualquier transistor, la corriente diferencial de salida es proporcional a la tensión diferencial de entrada según

$$i_{OUT} = G_m \cdot v_{id} \quad (3-87)$$

donde G_m sería la transconductancia de salida de gran señal y estaría definida, en este caso, como

$$G_m = K_I \cdot \left(V_C - V_{TN} - \sqrt{\frac{2I_B}{K_I}} \right) \quad (3-88)$$

Además, en la ecuación (3-88) queda patente que la transconductancia de este circuito puede ser sintonizada variando la tensión V_C , con lo cual el transistor es claramente programable.

Los transistores M_A , $M_{A'}$ y $M_{A''}$ constituyen un transistor súper-cascodo, como se verá más detalladamente en la sección siguiente. Su función en nuestro transistor es suministrar una alta resistencia de salida, la cual, sin tener en cuenta el efecto sustrato de los transistores M_A y $M_{A''}$, está dada por la siguiente expresión:

$$r_{out} = \frac{g_{m_A}(r_{o_A} \parallel r_{o_2}) \cdot g_{m_{A'}}(r_{o_{A'}} \parallel r_{o_3}) \cdot g_{m_{A''}} r_{o_{A''}} r_{o_1}}{1 + g_{m_A} r_{o_1} \frac{r_{o_A} \parallel r_{o_2}}{r_{o_2}}} \quad (3-89)$$

donde g_{mi} y r_{oi} son la transconductancia y resistencia de salida del transistor M_i , respectivamente. Para valores típicos, la expresión (3-89) alcanza un valor en el rango de los gigaohmios ($G\Omega$).

Respecto al comportamiento en frecuencia del transistor, se estudia de nuevo uno de los subcircuitos de forma aislada. Para una carga capacitiva, dada la alta impedancia de salida, el nodo de salida tiene asociado un polo dominante. El lazo de realimentación alrededor del nodo X introduce dos polos adicionales asociados a los nodos Y y Z. Dependiendo del valor que tengan los tamaños de los transistores y las corrientes de

polarización, estos dos polos pueden estar muy próximos. Para estabilizar la realimentación, se ha añadido una red de compensación serie RC entre los drenadores de M_A y $M_{A'}$. La capacidad de compensación es $C_c = 200\text{fF}$ y la resistencia de compensación es $R_c = 8\text{K}\Omega$.

Veamos ahora cuál es el máximo rango de tensión que se puede tener a la entrada del OTA. Todos los transistores del circuito trabajarán en la región de saturación excepto M_I y M_{IP} , que lo harán en la región óhmica. Para mantener M_I en la zona óhmica, la tensión en el nodo X tendrá que cumplir la condición

$$V_X < v_{I+} - V_{TN} \quad (3-90)$$

Por tanto, el valor máximo de la tensión en el nodo X es

$$V_X^{MAX} = v_{I+}^{MIN} - V_{TN} \quad (3-91)$$

Manteniendo el transistor M_A en saturación, se da que

$$v_{GS,MA} = V_{GS,MA} = V_{TN} + \sqrt{\frac{2I_B}{K_I}} = V_C - V_X \quad (3-92)$$

Luego el valor máximo de V_X coincide con

$$V_X^{MAX} = V_C^{MAX} - V_{TN} - \sqrt{\frac{2I_B}{K_I}} \quad (3-93)$$

Igualando (3-91) y (3-93), se tiene que

$$V_C^{MAX} = v_{I+}^{MIN} + \sqrt{\frac{2I_B}{K_I}} \quad (3-94)$$

A la vista del resultado anterior, se deduce que existe un compromiso entre el rango de entrada y el rango de programación de la transconductancia, ya que el valor de v_{I+}^{MIN} debe ser al menos el de la tensión umbral del transistor M_1 para que éste no entre en corte. Cuanto mayor se desee el rango de programación, más limitado estará el rango de entrada. El máximo rango posible a la entrada es $[V_{TN}, V_{DD}]$, que fijaría un rango para V_C de $[V_{TN} + V_X^{MIN}, V_{TN} + \sqrt{\frac{2I_B}{K_1}}]$, pudiendo elegir V_X^{MIN} tan pequeño como 0.05V.

Por otro lado, la tensión de alimentación mínima requerida en este transconductor es

$$V_{DD}^{MIN} = V_{DS}^{SAT} + v_{GS}^{MIN} = 2V_{DS}^{SAT} + V_{TN} \quad (3-95)$$

donde V_{DS}^{SAT} es la mínima tensión drenador-fuente requerida para mantener un transistor en saturación y que puede ser tan pequeña como 0.1V. Para una tecnología con $V_{TN}=0.7V$, la alimentación puede reducirse hasta 0.9V. No obstante, no conviene olvidar que el rango máximo de entrada es $[V_{TN}, V_{DD}]$, por lo que si se elige V_{DD} a su valor mínimo, ese rango queda muy limitado.

3.4.3.1. El transistor súper-cascodo.

El transistor súper-cascodo se muestra en la Figura 3.43.a. Está compuesto por tres transistores M_A , $M_{A'}$ y $M_{A''}$, dos de los cuales están polarizados con fuentes de corriente constantes I_{B1} e I_{B2} . El transistor se puede representar mediante el símbolo de la Figura 3.43.b, que tiene en cuenta que la corriente de salida por la fuente del transistor súper-cascodo es la suma de la corriente de drenador de $M_{A''}$ y la corriente de polarización I_{B1} .

Como ya se mencionó en el apartado anterior, la estructura súper-cascodo posee una alta resistencia de drenador. Para obtenerla se polariza el transistor M_A con una fuente de corriente constante y se utiliza su drenador Y para atacar la puerta Z del transistor $M_{A''}$. Sin embargo, al ser la tensión en el drenador de M_A de signo contrario al de la entrada en su puerta, es necesario colocar en medio un amplificador inversor. Dicho

amplificador, formado por $M_{A'}$ y la fuente de corriente I_{B2} , proporciona, además, un aumento de la ganancia adicional [203], [204]. Si en la fuente S suponemos conectada una resistencia, a la que llamaremos R_S , el circuito de pequeña señal para el cálculo de la resistencia equivalente vista desde el drenador $r_{out,D}$ sería el de la Figura 3.44, donde g_{mi} y r_{oi} son la transconductancia y resistencia de salida del transistor M_i , respectivamente.

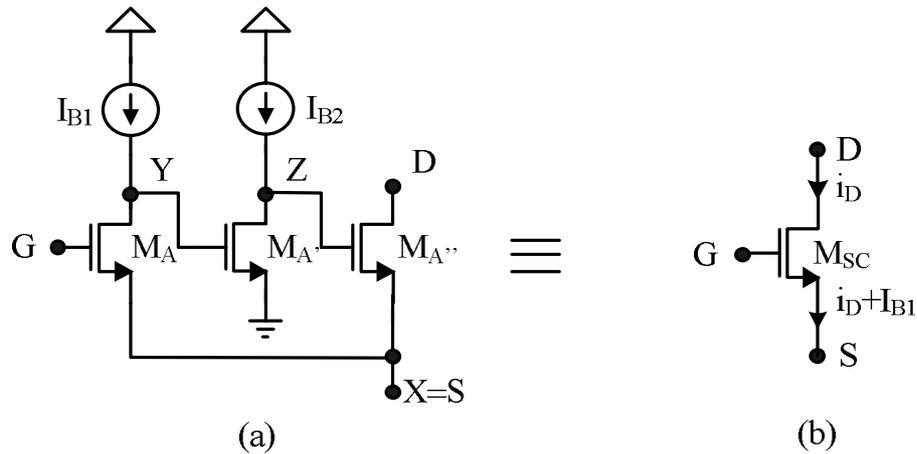


Figura 3.43: a) Esquema del transistor súper-cascode; b) Símbolo.

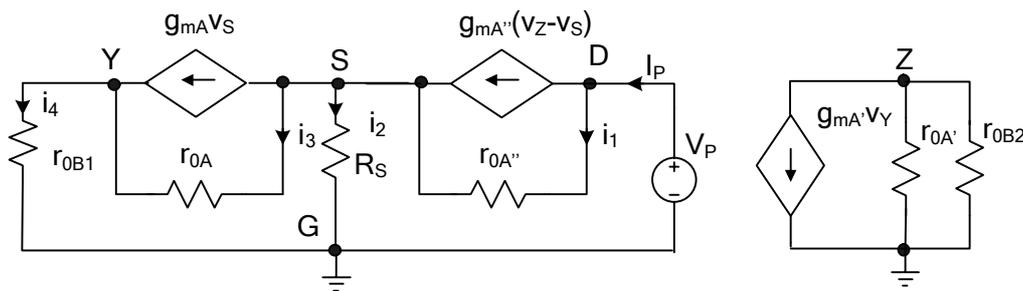


Figura 3.44: Circuito de pequeña señal para cálculo de la r_{out} vista desde el drenador.

Las ecuaciones que se obtienen tras aplicar el método de nudos son:

$$\left. \begin{aligned}
 I_P &= g_{m_{A''}} \cdot (v_Z - v_S) + i_1 = 0 \\
 I_P &= i_2 + g_{m_A} \cdot v_S + i_3 \\
 g_{m_A} \cdot v_S + i_3 &= i_4 \\
 v_Z &= -g_{m_A} \cdot v_Y \cdot (r_{o_{A'}} \parallel r_{o_{B2}})
 \end{aligned} \right\} \Rightarrow$$

Teniendo en cuenta que $r_{0A}^{-1} \ll g_{mA}$, se llega a una expresión de la resistencia de drenador dada por

$$r_{out,D} = g_{mA}(r_{0A} \parallel r_{0B1}) \cdot g_{mA'}(r_{0A'} \parallel r_{0B2}) \cdot g_{mA''} r_{0A''} R_S \cdot \frac{I}{I + g_{mA} R_S \frac{r_{0A} \parallel r_{0B1}}{r_{0B1}}} \quad (3-96)$$

que, para valores típicos, alcanza un valor en el rango de los gigaohmios (GΩ).

Un análisis en lazo abierto del súper-cascodo se encuentra en [205], donde se llega a la conclusión de que la ganancia del lazo abierto es $A_L \approx -g_{mA} r_{0A} g_{mA'} r_{0A'}$ y que tiene tres polos de alta frecuencia: uno debido a la capacidad del nodo de fuente de M_A y $M_{A'}$ (nodo X), otro debido a la capacidad del nodo de drenador de M_A (nodo Y) y otro debido a la capacidad del nodo de puerta de $M_{A''}$ (nodo Z). Para que el sistema sea estable se diseña de forma que el nodo Y dé lugar a un polo dominante y que el debido a Z esté muy alejado de éste. Con el polo debido a X no hay problemas puesto que es de muy alta frecuencia. Para hacer dominante el polo debido al nodo Y tenemos dos opciones (aunque se puede utilizar una combinación de ambas técnicas para asegurar la estabilidad del circuito):

- Hacer muy alta la resistencia equivalente en el nodo Y y muy baja la del nodo Z. Para ello hay que usar longitudes de canal no mínimas para implementar I_{B1} y M_A con un valor pequeño de I_{B1} y longitudes de canal mínimas para implementar I_{B2} y $M_{A''}$ con un valor alto de I_{B2} comparado con I_{B1} .
- Añadir una pequeña capacidad entre los nodos Y y Z (método de compensación de Miller).

La elevada resistencia de drenador de la estructura súper-cascodo se puede aprovechar en amplificadores de transconductancia para conseguir una alta resistencia de salida, como en el transistor presentado en este capítulo de la Tesis o el propuesto en [206].

El transistor súper-cascodo posee, además, otras dos importantes propiedades. Por un lado, siempre que la tensión drenador-fuente v_{DS} no sea demasiado pequeña, la caída de tensión puerta-fuente v_{GS} es constante e independiente de la zona de funcionamiento del súper-cascodo (inversión débil, moderada o fuerte). Esto se puede aprovechar para realizar seguidores de tensión y baterías flotantes estáticas y dinámicas. Por otro lado, la resistencia de fuente del súper-cascodo es muy reducida. Si en el drenador D suponemos conectada una resistencia, a la que llamaremos R_D , y calculamos la resistencia equivalente vista desde la fuente $r_{out,S}$, se obtiene la siguiente expresión:

$$r_{out,S} = \frac{I}{g_{mA''} g_{mA'} g_{mA} (r_{0A'} \parallel r_{0B2}) (r_{0A} \parallel r_{0B1}) + g_{mA''} + \frac{g_{mA} [r_{0A} + I - (r_{0A} \parallel r_{0B1})]}{r_{0A}}} \quad (3-97)$$

Simplificando dicha expresión se obtiene:

$$r_{out,S} \approx \frac{I}{g_{mA''} g_{mA'} g_{mA} (r_{0A'} \parallel r_{0B2}) (r_{0A} \parallel r_{0B1})} \quad (3-98)$$

que, para valores típicos de los parámetros de pequeña señal, alcanza un valor muy bajo. Dicha característica de reducida resistencia de fuente puede encontrar aplicación en *buffers* de salida de amplificadores operacionales, en seguidores de tensión, etc. De hecho, en la Figura 3.45 se propone un nuevo *buffer* de tensión basado en el súper-cascodo.

Estudiando la ganancia de tensión y la resistencia de salida de dicho *buffer* (Figura 3.45), se obtienen los siguientes resultados:

$$A_v = \frac{I}{I + \frac{g_{mA''} + (r_{0A''} \parallel r_{0BB})^{-1}}{g_{mA} \cdot \left(I - \frac{r_{0A} \parallel r_{0B1}}{r_{0A}} \right) + g_{mA''} \cdot (r_{0A''} \parallel r_{0B2}) \cdot g_{mA} \cdot (r_{0A} \parallel r_{0B2}) \cdot g_{mA'}}} \quad (3-99)$$

$$r_{out} = \frac{I}{(r_{0A} \parallel r_{0B1})g_{mA} \left[\frac{-I}{r_{0A}} + g_{mA''}g_{mA'}(r_{0A''} \parallel r_{0B2}) \right] + g_{mA} + g_{mA''} + (r_{0A''} \parallel r_{0BB})^{-1}} \quad (3-100)$$

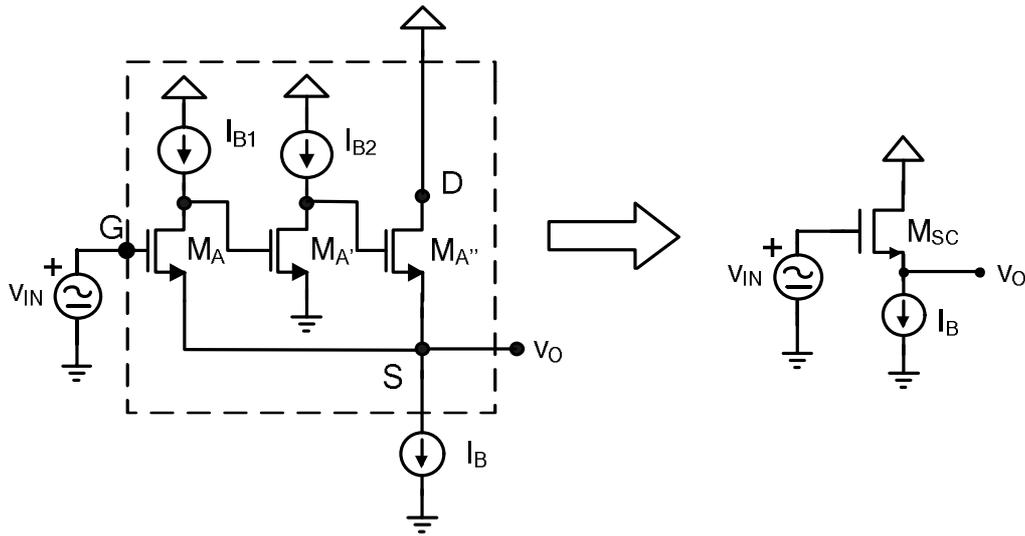


Figura 3.45: Nuevo buffer de muy baja tensión basado en el transistor súper-cascodo.

Las expresiones (3-99) y (3-100) se pueden simplificar, dando lugar a:

$$A_v \approx \frac{I}{I + \frac{I}{g_{mA} \cdot (r_{0A} \parallel r_{0B1}) \cdot g_{mA'} \cdot (r_{0A''} \parallel r_{0B2})}} \approx I \quad (3-101)$$

$$r_{out} \approx \frac{I}{g_{mA} \cdot g_{mA'} \cdot g_{mA''} \cdot (r_{0A} \parallel r_{0B1}) \cdot (r_{0A''} \parallel r_{0B2})} \quad (3-102)$$

Es decir, la ganancia de tensión es prácticamente la unidad y la resistencia de salida es muy reducida, tal y como se desea.

Otra posible aplicación del súper-cascodo es el transconductor de la Figura 3.46, el cual posee una muy alta característica de linealidad.

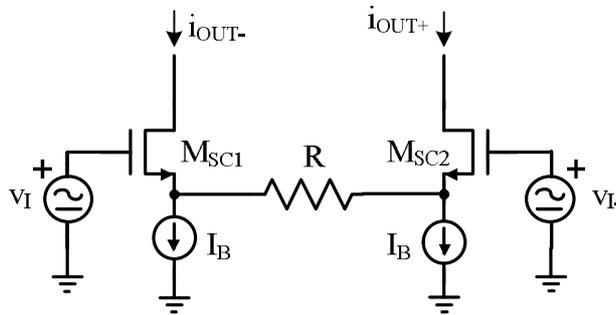


Figura 3.46: Nuevo transconductor de muy baja tensión basado en el súper-cascodo.

3.4.3.2. Estrategia de diseño.

Las especificaciones establecidas como objetivo para el transconductor aparecen en la Tabla 3.10. Dichas especificaciones se han establecido para mostrar las posibilidades de la celda, pero no corresponden a ninguna aplicación en concreto. Al existir un compromiso entre algunas de esas prestaciones, se hace necesario tomar decisiones para optimizar el circuito. Por ejemplo, como ya se vio, si se decide tener el rango de programación del OTA lo mayor posible, el rango de tensión a la entrada alcanza su valor mínimo. En este diseño se ha preferido tener un mayor rango de entrada y un razonable rango de programación. Teniendo en cuenta que $V_{TN} = 0.7V$ en la tecnología utilizada (AMS CXQ 0.8μ), se ha seleccionado $v_{I+}^{MIN} = 0.9V$, $V_X^{MIN} = 0.05V$ y $V_X^{MAX} = 0.2V$ para $I_B = 30\mu A$ y $n = 6$. El rango de sintonización de V_C queda limitado a $[0.8V, 1V]$ pero se consigue un rango para v_{I+} y v_{I-} tan ancho como $[0.9V, 1.5V]$, es decir, un rango de $1.2V_{pp}$ para una señal diferencial de entrada. La tensión de modo común de entrada será de $1.2V$ y la transconductancia de gran señal G_m se podrá programar en el intervalo $[396\mu A/V, 2443\mu A/V]$. Aunque es posible elegir una tensión de alimentación tan pequeña como $0.9V$, esto limitaría el rango de entrada a $[0.7V, 0.9V]$. Se ha seleccionado, pues, una tensión $V_{DD} = 1.5V$, que nos permite obtener el rango de entrada deseado.

Se ha elegido una corriente de polarización I_B que, siendo lo más pequeña posible, permita un ancho de banda de al menos $100MHz$. Aún así, se han utilizado transistores M_1 y M_2 de tamaño considerable para que las corrientes de salida sean también altas y

puedan cargar los pads de un chip prototipo. Por ello, el consumo de potencia debido a la fuente I_B es prácticamente despreciable frente al consumo quiescente de los transistores M_1 y M_2 . Para la utilización del OTA en una aplicación determinada, esos transistores se diseñarían más pequeños, dando lugar tanto a un consumo menor como a un desplazamiento del intervalo de transconductancia hacia valores más pequeños.

V_{DD}	$> \{V_{TN}, V_{TP} \}$ y $< V_{TN} + V_{TP} $
BW	$> 100\text{MHz}$
P_Q	$< 5\text{mW}$
Rango de entrada	$> \frac{2V_{DD}}{3}$
Rango de sintonización	$> 0.2\text{V}$
THD	El mínimo posible
R_{out+}, R_{out-}	$> 2\text{M}\Omega$

Tabla 3.10: Especificaciones para el transconductor.

3.4.3.3. Resultados de simulación.

Para simular el transconductor de nuevo se ha utilizado CADENCE DFW-II y Spectre con la tecnología CMOS AMS CXQ de $0.8\mu\text{m}$. En la Tabla 3.11 se muestran los parámetros de diseño del circuito.

En la Figura 3.47 se representa la característica de transferencia DC (i_{OUT} frente a v_{id}) tras realizar un barrido de continua de v_{id} desde -600mV a 600mV variando V_C de 0.8V a 1V en saltos de 25mV . Asimismo, en la Figura 3.48, se muestra la transconductancia. El OTA se ha cargado con una resistencia $R_L = 100\Omega$. Se comprueba que el rango diferencial de entrada del transconductor es $1.2V_{pp}$ y que es muy lineal.

El BW simulado para $V_C = 1\text{V}$ es de 205MHz . Si se usa una capacidad de carga $C_L = 10\text{pF}$, el BW disminuye hasta 140MHz . También se ha simulado la variación que

experimenta la frecuencia de 3dB cuando varía la tensión V_C a lo largo del rango de sintonización. Este resultado se muestra en la Figura 3.49. Puede observarse cómo el peor caso corresponde a 102MHz, que se da precisamente para el límite inferior del rango, es decir, para $V_C=0.8V$.

Transistor	W/L
M_1, M_{1P}	200/1
M_A, M_{AP}	100/1
$M_{A'}, M_{AP'}$	16/1
$M_{A''}, M_{AP''}$	240/1
E_1, E_2, E_{2P}	15/1
E_3, E_{3P}	90/1
Otros parámetros	
V_{DD}	1.5V
I_B	30 μ A
N	6

Tabla 3.11: Parámetros de diseño del transconductor.

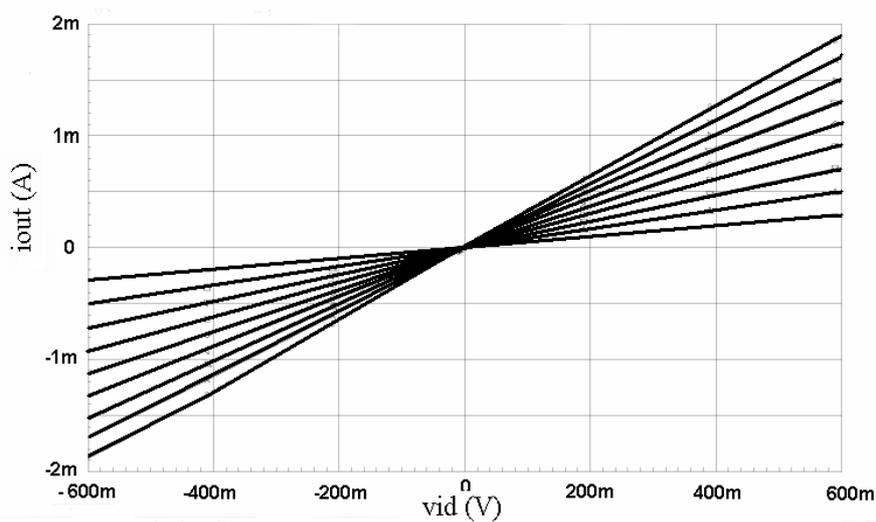


Figura 3.47: Característica de transferencia DC del transconductor: i_{OUT} frente a v_{id} .

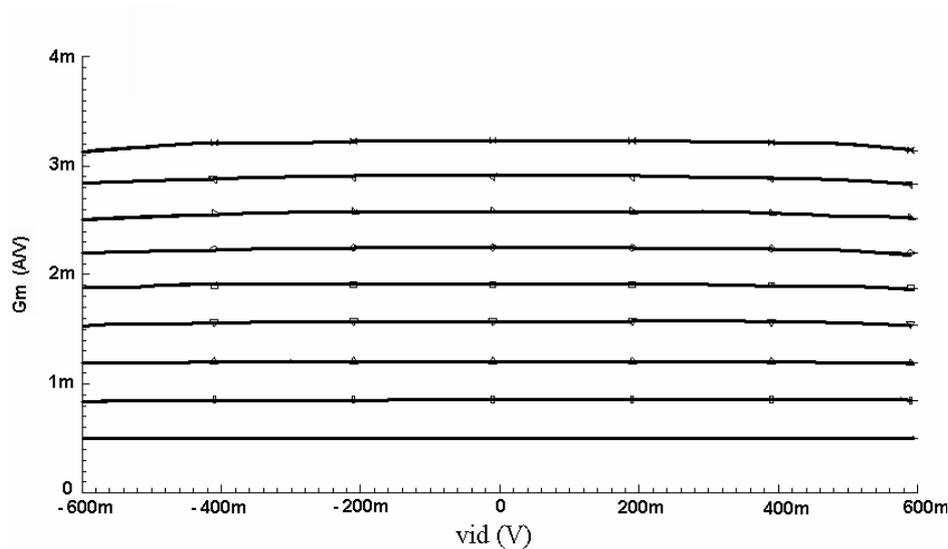


Figura 3.48: Transconductancia.

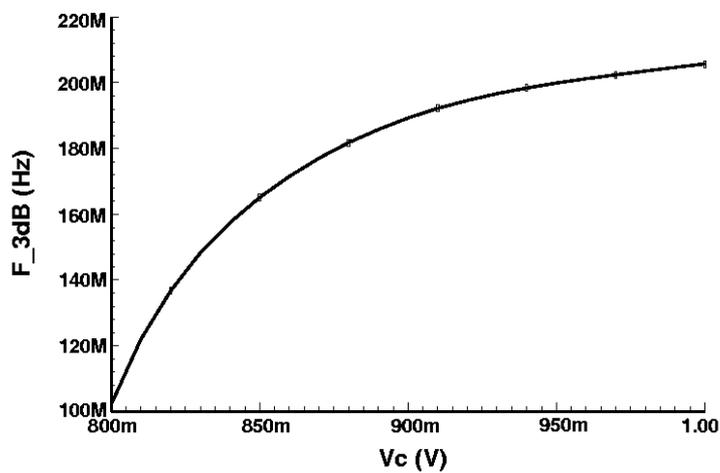


Figura 3.49: Frecuencia de 3dB en el rango de sintonización.

En la Figura 3.50 se muestra la distorsión armónica para una señal de entrada diferencial senoidal de 10MHz de frecuencia y $0.6V_{pp}$ de amplitud cuando se varía V_c . Se puede observar que el THD queda por debajo de -60dB para casi todo el rango de sintonización. Asimismo, en la Figura 3.51 se muestra el THD en las mismas condiciones que antes salvo que la amplitud de la señal de entrada se ha aumentado a $1.2V_{pp}$, su máximo valor. En este caso se observa que la distorsión permanece por debajo de -40dB en casi todo el rango. Al analizar los resultados de distorsión obtenidos, queda de manifiesto la buena linealidad del transconductor.

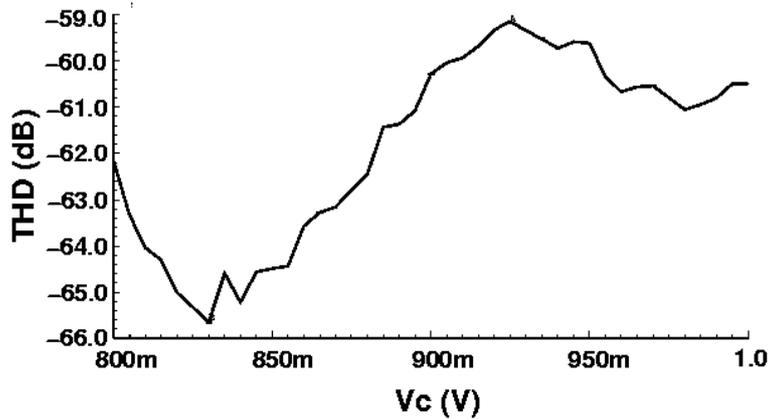


Figura 3.50: THD con una señal de entrada de $0.6V_{pp}$ en el rango de sintonización.

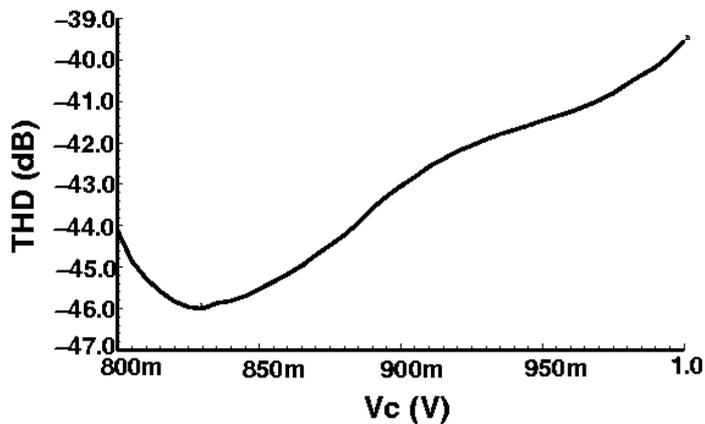


Figura 3.51: THD con una señal de entrada de $1.2V_{pp}$ en el rango de sintonización.

En la Tabla 3.12 se muestra un resumen de los resultados de distorsión, tanto THD como SFDR, obtenidos para distintos valores de amplitud y frecuencia de la señal de entrada y con un valor de V_C muy desfavorable. A modo de ilustración del SFDR del circuito, se muestra en la Figura 3.52 el espectro de la señal de salida cuando $V_C = 1V$ y la señal de entrada es una senoide de $0.6V_{pp}$ de amplitud y 10MHz de frecuencia. Se puede observar cómo el SFDR es de 60.53dB.

Para comprobar que el circuito es estable se ha introducido una señal diferencial cuadrada de $0.6V_{pp}$ de amplitud y 25MHz de frecuencia y se ha seleccionado $V_C = 1V$. En la Figura 3.53 se muestra la tensión diferencial de salida v_{od} y se puede observar que, efectivamente, el circuito no oscila.

	THD@ $V_C = 1\text{ V}$	SFDR @ $V_C = 1\text{ V}$
Para $0.6V_{pp}$ diferencial	-62.53dB@f = 1MHz -60.47dB @f = 10MHz	63.61dB@f = 1MHz 60.53dB@f = 10MHz
Para $1.2V_{pp}$ diferencial	-40.8dB@f = 1MHz -39.6dB@f = 10MHz	41.0dB@f = 1MHz 39.7dB@f = 10MHz

Tabla 3.12: Resultados de distorsión del transconductor.

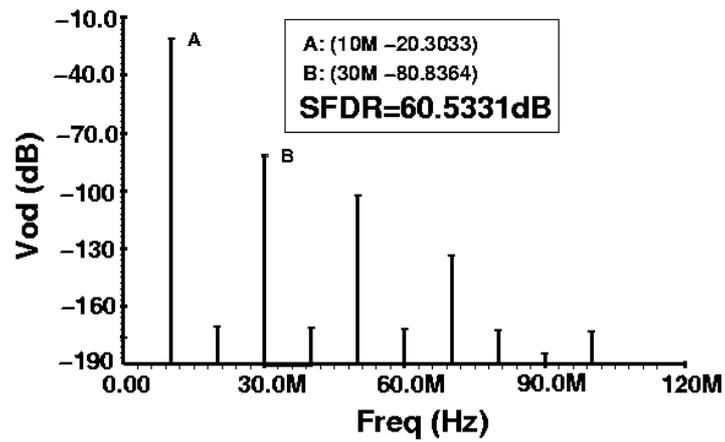


Figura 3.52: Espectro de la señal de salida para entrada senoidal de $0.6V_{pp}$ y 10MHz.

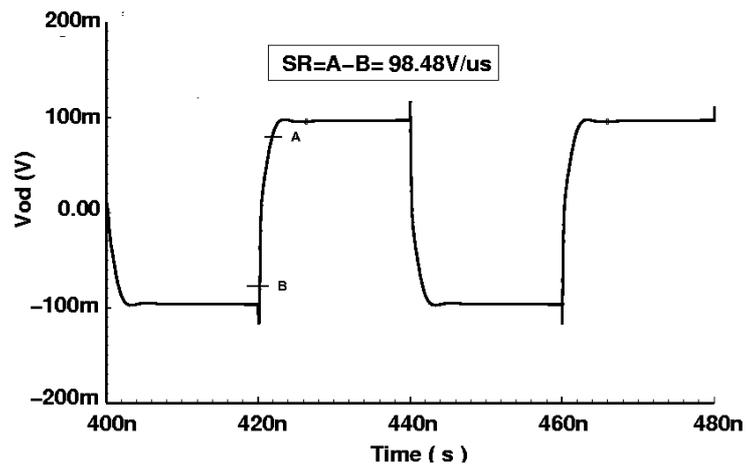


Figura 3.53: Respuesta diferencial del circuito ante una onda cuadrada a la entrada.

A altas frecuencias se pueden identificar cuatro tipos de causas de no linealidades: la reducción de la movilidad, la modulación de la longitud del canal, los desapareamientos de transistores y las no linealidades de las capacidades MOS. Se han realizado simulaciones de Monte Carlo para verificar la robustez del circuito frente a las variaciones aleatorias del emparejamiento y del proceso. En el caso ideal de una señal diferencial de entrada de 10MHz y $0.6V_{pp}$ y con $V_C = 1V$, el THD simulado es de 0.095%. En las mismas condiciones una simulación de desapareamiento produjo desviaciones del THD de hasta 0.005%, una media de 0.0952% y una desviación típica de $\sigma = 0.0023\%$, es decir, unas variaciones despreciables. Sin embargo, una simulación de variación del proceso incluyendo desapareamiento de dispositivos, produjo desviaciones del THD de hasta 0.16%, con una media de 0.13% y una desviación típica $\sigma = 0.05\%$.

En la Tabla 3.13 se resumen los satisfactorios resultados de simulación obtenidos. Comparando el transconductor con algunos otros publicados de baja o muy baja tensión de alimentación [207]-[211], se puede observar que las prestaciones simuladas son comparables y, en muchos casos, mejores. Además, este OTA es programable y capaz de funcionar a muy baja tensión de alimentación con alta linealidad, gran ancho de banda y reducido consumo. En la Tabla 3.14 se muestra una comparativa entre el transconductor propuesto en esta Tesis y algunos otros.

3.4.3.4. Conclusiones.

En esta sección se ha presentado un transconductor con alta impedancia de salida, alta linealidad y gran ancho de banda. El circuito es capaz de operar con muy baja tensión de alimentación ($V_{DD}=1.5V$ siendo $V_{TN}=0.7V$ y $|V_{TP}| = 0.8V$) y su transconductancia se puede programar en un determinado rango. Se ha comprobado mediante simulación que la distorsión permanece por debajo de los -60dB hasta una frecuencia de 10MHz para una amplitud de $0.6V_{pp}$, la mitad del rango, siendo el consumo quiescente de 4.3mW. El ancho de banda es de 100MHz en el peor caso, siendo la tecnología de 0.8μ . Para comprobar experimentalmente cómo esta celda, dadas sus prestaciones, es muy adecuada para el diseño de sistemas de baja tensión y bajo consumo, se ha

implementado un filtro G_m -C basado en la misma. El desarrollo de dicho filtro se expone en el siguiente capítulo de esta Tesis.

Tecnología	0.8 μm CMOS (AMS)
Alimentación	$V_{DD} = 1.5 \text{ V}$
Rango de sintonización (V_C)	[0.8V, 1V]
Rango de sintonización (G_m)	[395.65 $\mu\text{A/V}$, 2443.21 $\mu\text{A/V}$]
Ancho de banda de 3dB	102MHz @ $V_C = 0.8\text{V}$ 205MHz@ $V_C = 1\text{V}$
THD@ $V_C = 1\text{V}$: <ul style="list-style-type: none"> • 0.6V_{pp} diferencial • 1.2V_{pp} diferencial 	-62.53dB@f = 1MHz -60.47dB@f = 10MHz -40.8dB@f = 1MHz -39.6dB@f = 10MHz
SFDR@ $V_C = 1\text{V}$: <ul style="list-style-type: none"> • 0.6V_{pp} diferencial • 1.2V_{pp} diferencial 	63.61dB@f = 1MHz 60.53dB@f = 10MHz 41.0dB@f = 1MHz 39.7dB@f = 10MHz
P_Q	4.3mW@ $V_C = 1\text{V}$

Tabla 3.13: Prestaciones simuladas del transconductor.

Tabla 3.14: Comparación con otros transconductores publicados.

	THD	BW _{3 dB}	Tecnología	P ^Q	V _{DD}	Notas
Chilakapati [207]	- 77dB @10 MHz, 3.6V _{pp} - 61dB @ 20MHz, 3.6 V _{pp}	-	0.35μm CMOS	10.56mW	3.3 V	Gm fija Resultados experimentales
Kuo [208]	- 57 dB @ 1 KHz, 1.6 V _{pp}	5 MHz	0.35μm CMOS	1 mW	3.3 V	Resultados simulados
Muñoz [209]	-46 dB @ 10.7MHz, 0.5V _{pp} - 41 dB @ 10.7MHz, 1.4V _{pp}	450 MHz 420 MHz	0.8μm CMOS	-	1.2 V 1.4 V	Resultados simulados
El-Adawy [210]	- 31 dB @ 0.1MHz, 1.5V _{pp}	48 MHz	1.2μm CMOS	0.31mW	±1.5 V	Resultados simulados
Hung [211]	- 37.5 @ 1KHz, 1V _{pp}	-	1.2μm CMOS	0.31mW	3 V	Resultados experimentales
Nuestro	- 60.5 dB @ 10MHz, 0.6V _{pp} - 39.6 dB @ 10MHz, 1.2V _{pp}	>100 MHz	0.8μm CMOS	4.29mW	1.5 V	Resultados simulados

Capítulo 4

Diseño de un filtro analógico de baja tensión y bajo consumo

En este capítulo se presenta un filtro analógico de tiempo continuo como aplicación del amplificador de transconductancia del capítulo anterior. El capítulo comienza con una breve presentación de algunas técnicas existentes para la realización de filtros analógicos, introduciendo a continuación la técnica G_m -C, que es la elegida en esta Tesis para implementar el filtro. Se ha decidido realizar un filtro selector de canal en banda base capaz de acomodar el estándar de acceso radio WCDMA, con un ancho de banda de 2.1MHz. El filtro diseñado, además de cumplir las especificaciones requeridas, es capaz de funcionar con baja tensión de alimentación y bajo consumo.

4.1. Introducción.

Como ya se dijo en el primer capítulo de esta Tesis, a pesar de que en la actualidad se ha extendido el uso de técnicas de procesado digital de señal (DSP), algunos bloques analógicos siguen formando parte de los circuitos integrados. Tal es el caso de los convertidores A/D y D/A, requeridos en la interfaz entre el corazón digital de un chip y el mundo exterior, y los filtros analógicos, como bloques de pre-procesado anteriores al convertidor A/D y como bloques de pos-procesado a continuación del convertidor D/A. Además, si en un determinado diseño los requerimientos de precisión, linealidad y relación “señal-a-ruido” no son demasiado elevados y el objetivo es el menor consumo de potencia posible, puede que el procesado analógico resulte más ventajoso que el digital. Con la reducción de la tensión de alimentación, se hace necesario, por tanto, diseñar filtros analógicos capaces de operar con esas nuevas condiciones.

Existen dos tipos de técnicas para realizar los filtros analógicos: de tiempo discreto (DT) y de tiempo continuo (CT). No se puede afirmar que un tipo sea mejor que otro puesto que depende mucho de la aplicación en cuestión y de las prestaciones requeridas. De todas formas, sí se puede decir que cuando se necesita alta precisión y velocidad moderada (como, por ejemplo, en aplicaciones de audio), se suelen utilizar las técnicas de tiempo discreto mientras que si lo que se requiere es alta velocidad y precisión moderada (como en aplicaciones de vídeo, de disco duro, etc.), se suelen emplear las de tiempo continuo [212]. De hecho, los filtros de tiempo continuo juegan un papel muy importante hoy en día en los circuitos integrados de telecomunicaciones [213] destinados a aplicaciones inalámbricas.

Entre las técnicas de tiempo discreto se encuentran la de capacidades conmutadas (SC) y la de corriente conmutada (SI). Con la técnica SC se consigue gran precisión en las constantes de tiempo de los integradores ya que éstas dependen de parámetros que son independientes de las variaciones tanto de temperatura como del proceso de fabricación: la frecuencia del reloj y los cocientes de capacidades. Su velocidad de operación está, no obstante, limitada por la frecuencia del reloj, que debe ser al menos dos veces mayor que la frecuencia más alta de la señal que se procesa para evitar el efecto de solapamiento. La técnica SI, más reciente que la SC, permite en principio más alta velocidad de operación debido a la ausencia de amplificadores operacionales. Sin embargo, no se puede afirmar que sea mejor técnica que la primera. Ejemplos de aplicación de esta técnica son [214]-[218].

Entre las técnicas de tiempo continuo encontramos, principalmente, la técnica Mosfet-C y la técnica G_m -C. Ambas poseen ventajas e inconvenientes, como pone de manifiesto la literatura. En esta Tesis se ha elegido la técnica G_m -C porque es una de la más utilizadas hoy en día para aplicaciones de filtrado de alta frecuencia, siendo un verdadero desafío el diseño de filtros G_m -C capaces de operar con baja tensión de alimentación a la vez que poseen amplio rango de tensión, bajo nivel de ruido, alta linealidad y bajo consumo.

4.2. Técnica G_m -C para filtros de tiempo continuo.

En la Figura 4.1 se muestra un esquema del bloque básico de un filtro de este tipo: el integrador G_m -C.

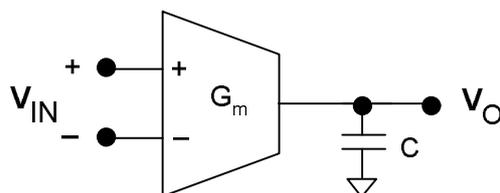


Figura 4.1: Esquema de un integrador G_m -C.

El OTA, de transconductancia G_m , genera una corriente proporcional a la tensión de entrada $i = G_m \cdot V_{IN}$, y cuando ésta circula por la capacidad C , se obtiene la función de transferencia de un integrador:

$$H(s) = \frac{V_O}{V_{IN}}(s) = \frac{G_m}{C \cdot s} \quad (4-1)$$

En esta Tesis se marca como objetivo implementar un filtro G_m -C de baja tensión de alimentación y bajo consumo como aplicación del OTA diseñado en el capítulo anterior.

Para construir un filtro G_m -C de alto orden hay dos métodos básicos: colocar secciones bicuadráticas en cascada y emular filtros en escalera pasivos LC.

- **Cascada de secciones bicuadráticas:**

Una sección bicuadrática o biquad es aquella cuya función de transferencia tiene como denominador un polinomio de segundo orden y está dada, de forma general, por

$$H_{sb}(s) = \frac{b2 \cdot s^2 + b1 \cdot s + b0}{s^2 + a1 \cdot s + a0} \quad (4-2)$$

El denominador del biquad también se suele escribir así:

$$s^2 + a1 \cdot s + a0 = s^2 + \frac{w_o}{Q} \cdot s + w_o^2 \quad (4-3)$$

Y los polos del biquad son

$$p_{1,2} = -\frac{w_o}{2Q} \left(1 \pm j\sqrt{4Q^2 - 1} \right) \quad (4-4)$$

de forma que si $Q < 0.5$, los polos son reales y distintos.

En la Figura 4.2 se muestra un ejemplo de cómo se construiría un filtro de orden 6 a partir de secciones bicuadráticas.

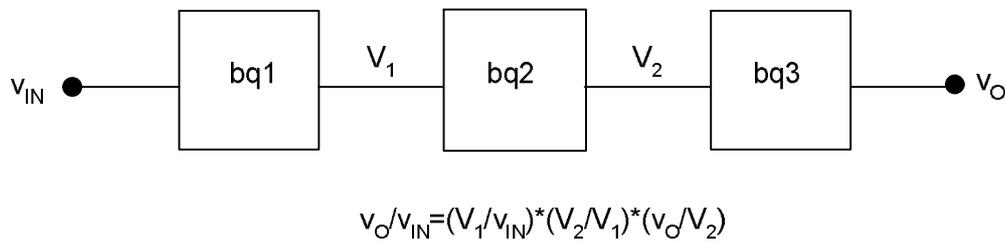


Figura 4.2: Esquema de un filtro bicuadrático de orden 6.

- **Emulación de filtro en escalera LC pasivo:**

En la Figura 4.3 se muestra un filtro paso bajo de tercer orden usando un circuito en escalera LC.

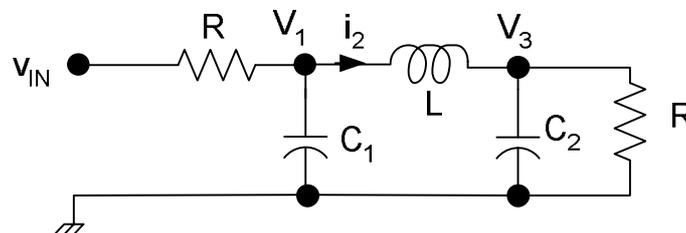


Figura 4.3: Esquema de un filtro en escalera LC.

Para implementarlo en un circuito integrado podemos seguir principalmente dos caminos, cada uno de los cuales da lugar a un tipo de filtro:

a) Filtro girador: se sustituye cada resistencia R y cada bobina L por un elemento activo con la misma función. La bobina es implementada mediante un girador (convertidor de impedancia activo) y la resistencia R puede ser implementada fácilmente usando un transconductor con $G_m=1/R$.

b) Filtro de variables de estado: Sustituir el filtro en escalera por un filtro activo que emule las mismas ecuaciones diferenciales que relacionan las tensiones y las corrientes en el primero.

Hay ventajas tanto en los filtros de biquads en cascada como en los que emulan filtros en escalera LC pasivos [219], [220]. Los primeros son más generales (pueden implementar cualquier filtro cuya función de transferencia pueda ser representada como un cociente de polinomios donde el orden del denominador sea mayor o igual que el orden del numerador), es más fácil hacer su layout (los mismos biquads se pueden usar para varios filtros con sólo pequeños cambios) y son especialmente apropiados para filtros programables donde el cliente quiere tener control digital sobre polos y ceros particulares. Sin embargo, los segundos son menos sensibles a las variaciones de los componentes por cambios de temperatura y de los parámetros de los procesos.

4.3. Procedimiento de diseño del filtro.

El procedimiento general de diseño de un filtro comienza con la elección de las especificaciones deseadas del módulo y la fase de la función de transferencia. Después, hay que seleccionar una aproximación que las cumpla y para ello, hay que tener en cuenta si es realizable, activa o pasiva, el precio, etc. Una vez tomada esa decisión, se procede a sintetizar el filtro y a su testado.

En esta Tesis se ha elegido realizar un filtro Chebyshev de tercer orden paso bajo con 0.5dB de rizado máximo en la banda pasante y una frecuencia de paso de 2.1MHz. Se ha elegido este tipo de filtro por su aplicabilidad en los recientes sistemas de

comunicaciones móviles celulares de tercera generación (sistemas 3G), los cuales descansan sobre una interfaz radio de alta capacidad: W-CDMA (acceso múltiple por división de código de banda ancha). Es el caso del sistema UMTS (sistema de telecomunicaciones móviles universal) y del sistema CDMA2000. Dicha interfaz radio W-CDMA soporta servicios avanzados que requieren gran ancho de banda, como por ejemplo los servicios multimedia (videotelefonía, audio/vídeo clips, transferencia de imágenes, etc.).

El diseño del filtro se ha realizado tomando como referencia las especificaciones técnicas del receptor del equipo de usuario definidas en ese estándar [221]. El ancho de banda de la señal de información es de 2.1MHz y el receptor ha de tener una selectividad de canal adyacente (ACS) de al menos 33dB, entendida como la capacidad del receptor para recibir una señal WCDMA en su frecuencia de canal asignado en presencia de una señal interferente de hasta -25dBm con un offset de frecuencia de 5MHz respecto de la primera (la separación entre canales es de 5MHz). Si el filtro selector de canal se va a utilizar en un receptor de conversión directa, entonces debería tener una atenuación de canal adyacente de al menos 33dB. Pero si se va a utilizar en un receptor superheterodino con una o varias frecuencias intermedias, la atenuación requerida se puede repartir entre los distintos filtros que haya. El filtro Chebyshev ya comentado tiene el mínimo orden necesario para cumplir el requerimiento de ACS en la frecuencia de 7.1MHz en el peor caso, es decir, en un receptor de conversión directa WCDMA.

En la literatura podemos encontrar algunos filtros banda base para receptores WCDMA que, cumpliendo los requerimientos anteriores (f_c y ACS), tienen otras características que se resumen en la Tabla 4.1 a modo de ilustración. Conviene mencionar que el dato del consumo en dichos filtros se da de dos formas: como corriente consumida por polo (para poder comparar unos filtros con otros sin que influya el orden de los mismos) y como potencia media consumida total por el filtro dentro del chip. No hay que olvidar que, en este último caso, se tiene en cuenta el consumo de toda la posible circuitería adicional que lleve el filtro: *buffers*, circuito de sintonización, etc.

Referencia	[244]	[245]	[250]
V_{DD}	2.7V	2.7V	2.7V
Tecnología	0.35 μ	0.35 μ	0.5 μ
Orden, Tipo	5, Butt.	5, Cheb.	6, Butt.
P^Q (mW), I/Polo (mA)	25.4, 1.8	21.8, 0.4	6.1, 0.375
IIP3 b.r. (dBm)	48	38	51.4
IIP2 b.r. (dBm)	88	-	-
Pico b.p.(dB)	0.3	0.01	0.2
At.b.t.(dB)	70	62	60
Ruido ref. E. (μ V)	47	13.6	85

Tabla 4.1: Filtros LP reportados en la literatura para receptores WCDMA.

Se va a utilizar una implementación G_m -C de variables de estado por su menor sensibilidad a las tolerancias tecnológicas y de temperatura que los basados en secciones biquadráticas. Además, se parte del filtro en escalera LC paso-bajo de tercer orden [222], [223] de la Figura 4.3. En ese circuito las ecuaciones que relacionan las variables de estado son:

$$\frac{v_{IN} - V_1}{R} = i_2 + V_1 \cdot C_1 \cdot s \quad (4-5)$$

$$i_2 = \frac{V_1 - V_3}{L \cdot s} \quad (4-6)$$

$$\frac{V_3}{R} = i_2 - V_3 \cdot C_3 \cdot s \quad (4-7)$$

Sustituyendo la variable i_2 por $V_2 = i_2 \cdot R$ para que todas variables de estado representen tensiones, se obtiene:

$$V_1 = \frac{I}{s \cdot C_1 \cdot R} [-V_1 - V_2 + V_{in}] \quad (4-8)$$

$$V_2 = i_2 \cdot R = \frac{R}{s \cdot L} [V_1 - V_3] \quad (4-9)$$

$$V_3 = \frac{I}{s \cdot C_3 \cdot R} [V_2 - V_3] \quad (4-10)$$

Si se define

$$\frac{gm1}{Ct1} = \frac{1}{C_1 \cdot R} \quad (4-11)$$

$$\frac{gm2}{Ct2} = \frac{R}{L} \quad (4-12)$$

$$\frac{gm3}{Ct3} = \frac{1}{C_3 \cdot R} \quad (4-13)$$

se puede representar las ecuaciones (4-8)-(4-10) con los circuitos G_m -C de la Figura 4.4. Y ya sólo quedaría hacer las correspondientes conexiones entre nodos para tener el filtro G_m -C de variables de estado que se buscaba. Al estudiar el filtro se observa que hay una pérdida de 6dB en la banda de paso. Con el fin de compensar esa pérdida de ganancia, se añade a la entrada un transconductor más con $gmi=2 \cdot gm1$ (si gmi fuese exactamente $gm1$, se tendrían las mismas ecuaciones y la pérdida de 6dB no se estaría evitando). De manera que el filtro queda como muestra la Figura 4.5.

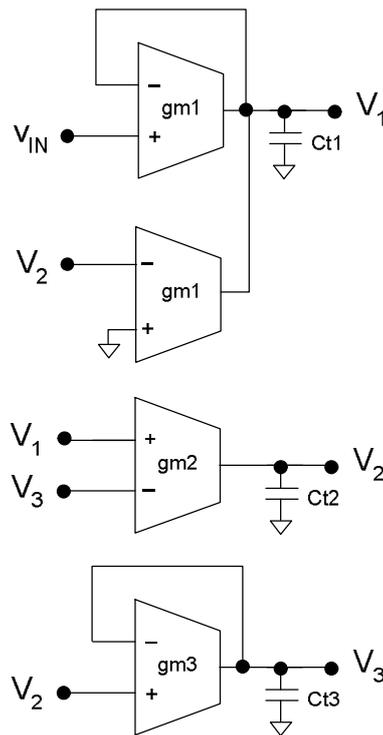


Figura 4.4: Representaciones G_m -C.

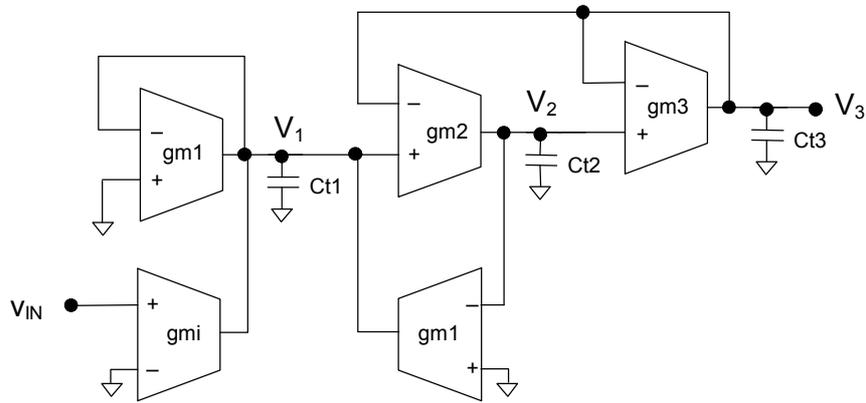


Figura 4.5: Filtro G_m -C unipolar.

Transformando dicho esquema en una estructura completamente diferencial se llega al de la Figura 4.6.

El filtro paso-bajo de tercer orden va a tener como implementación en escalera LC pasiva la de la Figura 4.3 y como implementación G_m -C la de Figura 4.6. También tendrá una frecuencia de paso de 2.1MHz y un rizado máximo en la banda pasante de 0.5dB.

Una vez fijadas las especificaciones del filtro y la topología que se usará, se diseña el filtro usando transconductores ideales. Existen tablas que dan los valores de los elementos LC normalizados de circuitos en escalera. Estos filtros LC normalizados tiene una frecuencia angular de paso $\omega_{pn}=1\text{rad/s}$ y los valores de los elementos L y C del filtro están dados de forma que está asegurada una atenuación mínima por encima de la frecuencia angular de la banda de rechazo ω_{rn} , para distintos valores de la misma. En nuestro caso, los valores normalizados de los elementos del filtro pasivo en escalera LC [223] son:

$$R_n=1\Omega \quad (4-14)$$

$$C_{1n}=1.5963F \quad (4-15)$$

$$L_n=1.0967H \quad (4-16)$$

$$C_{3n}=1.5963F \quad (4-17)$$

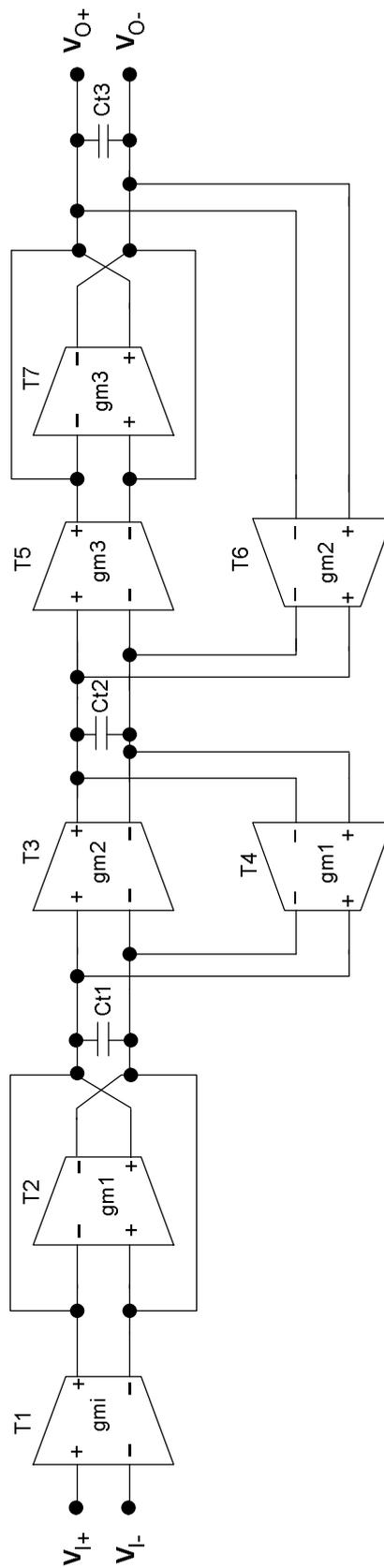


Figura 4.6: Esquema del filtro paso bajo de tercer orden completamente diferencial.

Después, se denormaliza el filtro en escalera para que tenga una frecuencia de paso $f_p = 2.1\text{MHz}$. Para ello se aplica la transformación

$$Z(s) \rightarrow Z\left(\frac{s}{s_p}\right) \quad (4-18)$$

donde $s_p = 2 \cdot \pi \cdot f_p$. Los elementos del filtro Chebyshev LC con $f_p = 2.1\text{MHz}$ quedan así:

$$R = 1\Omega \quad (4-19)$$

$$C_1 = 1.5963 / 2 \cdot \pi \cdot f_p \quad (4-20)$$

$$L = 1.0967 / 2 \cdot \pi \cdot f_p \quad (4-21)$$

$$C_3 = 1.5963 / 2 \cdot \pi \cdot f_p \quad (4-22)$$

Y sustituyendo estos valores en las ecuaciones (4-11)-(4-13), se obtiene:

$$\frac{gm1}{Ct1} = \frac{gm3}{Ct3} = \frac{2 \cdot \pi \cdot 2.1M}{1.5963} = 8.26579 \cdot 10^6 \quad (4-23)$$

$$\frac{gm2}{Ct2} = \frac{2 \cdot \pi \cdot 2.1M}{1.0967} = 12.03126 \cdot 10^6 \quad (4-24)$$

Ahora hay dos posibilidades: elegir $Ct1 = Ct2 = Ct3 = C$ y darle a C un valor razonable o bien elegir $gm1 = gm2 = gm3 = gm$ y darle el valor razonable a gm . Pues bien, hay que tener en cuenta también los siguientes factores. Por un lado, cuanto mayor sea la capacidad, el filtro ocupará mayor área y tendrá mayor consumo pero menor ruido. Por otro lado, cuanto mayor sea el valor de gm , más área ocupará el transconductor y mayor consumo tendrá también. En este caso se ha elegido hacer las gm_i iguales para minimizar los problemas de desapareamiento y layout de los transconductores del filtro. Se ha preferido un OTA con un valor pequeño de gm , que mantenga sus prestaciones de alta frecuencia y requiera valores de las capacidades medios. Se ha elegido, pues, un valor de gm de $100\mu\text{A/V}$ para un OTA ideal. Más adelante se abordará el diseño del transconductor propuesto para que cumpla el objetivo señalado y otros que puedan surgir.

Los valores que se obtienen para los elementos del filtro G_m -C son los siguientes:

$$Ct1 = Ct3 = 12.09805pF \quad (4-25)$$

$$Ct2 = 8.31168pF \quad (4-26)$$

$$gm1 = gm2 = gm3 = 100\mu A/V \quad (4-27)$$

$$gmi = 2 \cdot 100\mu A/V = 200\mu A/V \quad (4-28)$$

Con estos datos se procede a simular el filtro ideal y se llega a la conclusión de que es necesario reescalarlo para evitar picos de tensión en los nodos internos, obteniendo los siguientes y definitivos resultados:

$$Ct1 = 2 * 12.09805pF = 24.1961pF \quad (4-29)$$

$$Ct3 = 12.09805pF \quad (4-30)$$

$$Ct2 = 2 * 8.31168pF = 16.62336281pF \quad (4-31)$$

$$T1, T2, T3, T4, T5: 200\mu A/V \quad (4-32)$$

$$T6, T7: 100\mu A/V \quad (4-33)$$

Se define un OTA básico con $gmu=100\mu A/V$ a partir del cual se puede obtener fácilmente cualquier OTA del filtro y que permitirá simplificar el *layout* final. Además, diseñando este OTA unitario y definiendo los demás como múltiplos enteros de combinaciones en paralelo de éste, se minimizan los errores por desajuste de los transconductores.

Para poder continuar con el diseño del filtro, es necesario conocer las características del amplificador operacional de transconductancia que finalmente se usará, por lo que nos centraremos a continuación en rediseñar el transconductor para adaptarlo a las necesidades del filtro que se va a implementar.

- **Rediseño del transconductor:**

Como se dijo anteriormente, una estructura pseudo-diferencial posee la misma transconductancia para la señal diferencial y para la señal de modo común, por lo que hay que hacer un control muy cuidadoso del comportamiento de modo común del circuito. Antes de describir el circuito utilizado con este fin para el OTA, se hará un breve repaso de las técnicas del control de modo común de los últimos años.

En los últimos años, las estructuras diferenciales se han utilizado mucho más que las versiones unipolares debido no sólo al mayor rango de señal que se consigue, sino también a que la distorsión armónica se reduce, aumenta el rechazo a variaciones de la alimentación y a ruidos de modo común, y se logra una mayor flexibilidad en el diseño. El inconveniente que presentan es que requieren una circuitería adicional en realimentación negativa (CMFB) que controle la tensión DC de cada nodo de salida, fijándolo a un valor de referencia deseado, y que elimine las componentes de modo común de la señal de entrada. Esto implica, por tanto, un aumento de la potencia consumida y del área de silicio empleada. El diseño del CMFB supone un reto ya que puede hacer inestable el modo común, limitar el ancho de banda del circuito diferencial y tener una interacción no lineal considerable entre los lazos de modo común y de modo diferencial.

Existen muchos tipos de lazos CMFB publicados en la literatura [224]-[233]. Normalmente incluyen circuitos detectores del modo común basados en pares diferenciales, seguidores de fuente y transistores MOS funcionando en zona óhmica. El detector de modo común mide las tensiones de salida v_{O+} y v_{O-} , generando una tensión proporcional al modo común de salida V_{CMO} . Esta tensión es comparada en una etapa de ganancia con un valor de referencia V_{REF} , que es el modo común de salida deseado, de forma que se genera una señal de corrección del error que es inyectada en la circuitería de polarización del amplificador.

También se han hecho esfuerzos dirigidos a la implementación de estructuras completamente diferenciales que no requieran el uso de un CMFB [234]-[236]. Es el caso del diseño de filtros construidos con integradores con pérdidas [234], que

aprovechan el hecho de que si las salidas del amplificador operacional de transconductancia están cargadas por bajas impedancias, como lazos de realimentación negativa, las tensiones DC de salida están definidas y, por tanto, no es necesario el CMFB.

Más tarde se introdujo una nueva técnica para controlar el comportamiento en modo común: la de compensación en adelanto del modo común (CMFF). En [237] se comprueba la mejora en linealidad utilizando un CMFF en un filtro de tiempo continuo pseudo-diferencial. La técnica de control CMFF consiste en replicar las corrientes de salida del amplificador de transconductancia i_{O+} e i_{O-} y sumarlas, generando una corriente I_{CM} proporcional a la corriente de salida de modo común y, por tanto, también proporcional a la tensión de salida de modo común. Se coloca un amplificador operacional que compara una tensión de referencia V_{REF} con la tensión del nodo donde se suman las corrientes, de forma que en ese nodo la tensión queda fijada a V_{REF} . Esa corriente de salida del CMFF se resta de las corrientes de salida del amplificador diferencial, de forma que hay una cancelación del modo común de cada una de ellas, quedando la tensión DC de cada nodo de salida fijada al valor deseado V_{REF} . En [238] también se utiliza esta técnica para controlar el modo común.

Aunque en [239] se aconseja utilizar la técnica CMFF para eliminar el efecto de las variaciones de modo común en las entradas de un transconductor pseudo-diferencial, se ha demostrado que utilizando una combinación de ambos, se consiguen los mejores resultados [240]. Un ejemplo de amplificador operacional de transconductancia pseudo-diferencial al que se le ha aplicado una combinación de CMFB y de CMFF se encuentra en [241].

En esta Tesis, a partir de la técnica propuesta en [242], consistente en utilizar un circuito de control que integra control del modo común (CMFB), compensación en adelanto (CMFF) y polarización dinámica, se diseña un circuito de control del comportamiento de modo común adaptado a nuestro transconductor. El uso de esta técnica es esencial en sistemas de altas prestaciones con arquitecturas pseudo-diferenciales.

Los objetivos marcados a la hora de rediseñar el transconductor han sido los siguientes:

1. El valor de $100\mu\text{A/V}$ requerido para el filtro debe estar dentro del rango de programabilidad de G_m .
2. El ancho de banda debe seguir siendo aproximadamente de 100MHz.
3. El consumo ha de ser lo menor posible.
4. Las prestaciones de THD conseguidas anteriormente deben mantenerse.
5. Se debe añadir una etapa de salida que proporcione la corriente de modo común necesaria para que el valor DC de las corrientes de salida positiva y negativa sea nulo. Con el fin de que su resistencia de salida sea lo más alta posible, se diseñará usando el transistor súper-cascodo.

Dado que el OTA opera con un modo común de entrada de 1.2V, se fija un modo común de salida de igual valor. Para que el filtro sea capaz de trabajar en un rango amplio de tensión a la entrada y salida con un valor aceptable de distorsión, se aumentado la tensión de alimentación de 1.5V a 1.8V.

Como no todos los transconductores del filtro necesitan fijar la tensión de modo común a la salida y sí necesitan todos un alto rechazo al ruido y a las variaciones de modo común de las entradas, se diseñan dos circuitos de control: uno, que incluye CMFB, CMFF y polarización dinámica y otro, con sólo CMFF y polarización dinámica.

Se hizo una versión del OTA y del filtro para la tecnología CXQ de 0.8μ pero, al disponer finalmente sólo de la tecnología CUP de 0.6μ , hubo que rediseñar el conjunto completo. En la Figura 4.7 se muestra el OTA. En la Figura 4.8 se muestra el circuito de control completo, llamado “CMFB/CMFF/Pol”, y, en la Figura 4.9, el circuito de control sin la parte del CMFB, llamado “CMFF/Pol”.

En la Tabla 4.2 se muestran los valores de los transistores del transconductor, siendo $I_B=15\mu\text{A}$, $C_1=C_{1P}=50\text{fF}$ y $C_2=C_{2P}=300\text{fF}$. En la Tabla 4.3 y la Tabla 4.4 aparecen recogidos los correspondientes a los circuitos “CMFB/CMFF/Pol” y “CMFF/Pol”, respectivamente, donde $I_B=15\mu\text{A}$ y $C_1=C_2=50\text{fF}$ para ambos.

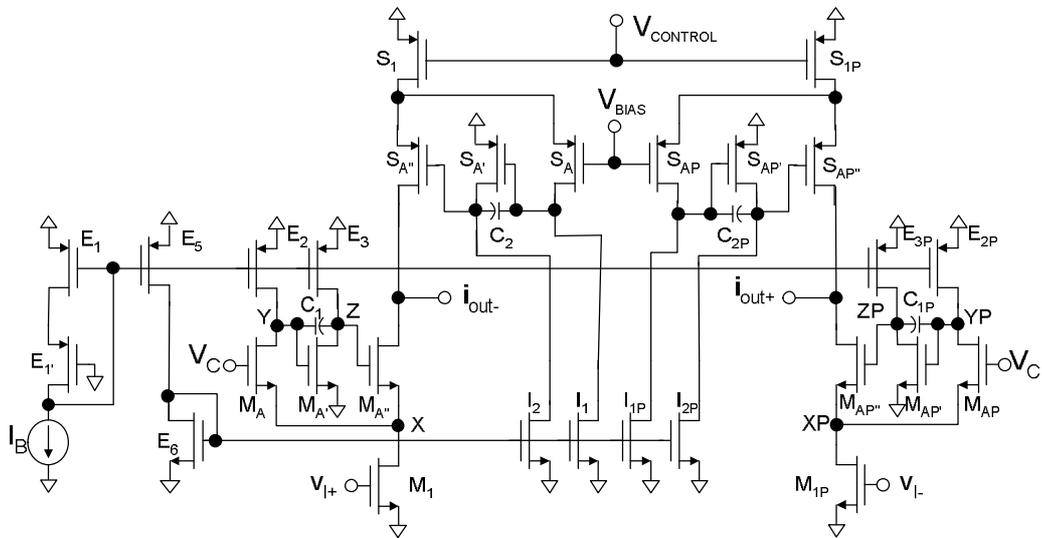


Figura 4.7: Esquema del transconductor para el filtro.

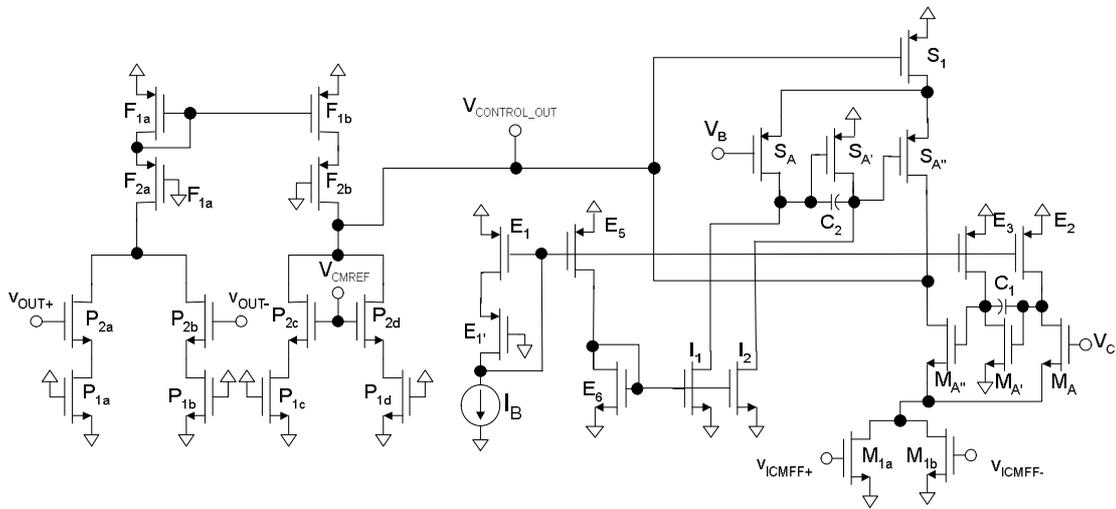


Figura 4.8: Esquema del CMFB/CMFF/Pol para el transconductor.

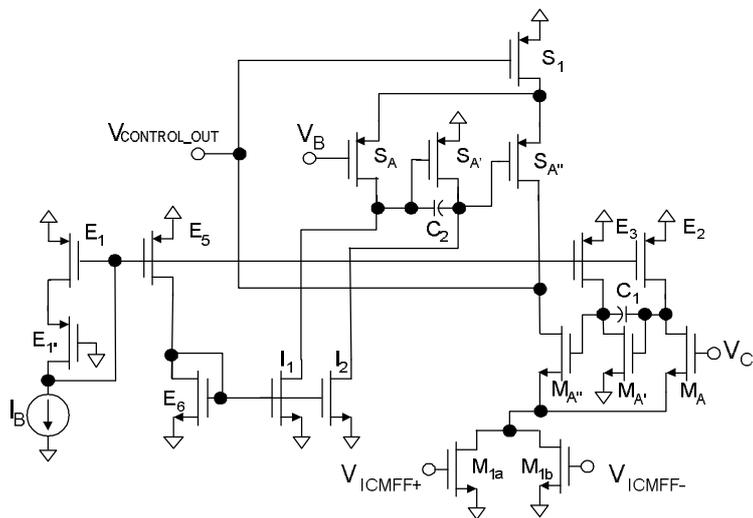


Figura 4.9: Esquema del circuito CMFF/Pol para el transconductor.

Transistor	W/L	Transistor	W/L
$M_{I_1}, M_{I_{1P}}$	24/0.6	S_1, S_{1P}	600/0.6
M_A, M_{AP}	12/0.6	S_A, S_{AP}	20/1
$M_{A'}, M_{AP'}$	100/1	$S_{A'}, S_{AP'}$	200/1
$M_{A''}, M_{AP''}$	40/0.6	$S_{A''}, S_{AP''}$	64/0.6
$E_1, E_2, E_{2P}, E_5, E_6$	10/1	I_1, I_{1P}	4/1
E_3, E_{3P}, I_2, I_{2P}	70/1	$E_{1'}$	80/1

Tabla 4.2: Tamaños de los transistores del transconductor.

Transistores	W/L	Transistores	W/L
M_{1a}, M_{1b}, M_A	12/0.6	S_A	20/1
$M_{A'}$	100/1	$S_{A'}$	200/1
$M_{A''}$	40/0.6	$S_{A''}$	64/0.6
E_1, E_2, E_5, E_6	10/1	I_1	4/1
E_3, I_2	70/1	$P_{1a}, P_{1b}, P_{1c}, P_{1d}$	2/1
$E_{1'}$	80/1	$P_{2a}, P_{2b}, P_{2c}, P_{2d}$	1.6/0.6
S_1	600/0.6	$F_{1a}, F_{1b}, F_{2a}, F_{2b}$	80/.6

Tabla 4.3: Tamaños de los transistores para el esquema del “CMFB/CMFF/Pol”.

Transistores	W/L	Transistores	W/L
M_{1a}, M_{1b}	12/0.6	$E_{1'}$	80/1
M_A	12/0.6	S_1	600/0.6
$M_{A'}$	100/1	S_A	20/1
$M_{A''}$	40/0.6	$S_{A'}$	200/1
E_1, E_2, E_5, E_6	10/1	$S_{A''}$	64/0.6
E_3, I_2	70/1	I_1	4/1

Tabla 4.4: Tamaños de los transistores para el esquema del “CMFF/Pol”.

Se ha simulado el transconductor junto con el circuito de control de modo común completo “CMFB/CMFF/Pol”, que añade carga a la salida del transconductor y distorsión armónica. En la Tabla 4.5 aparecen reflejadas las características de funcionamiento obtenidas. Se puede comprobar que el circuito cumple con los objetivos marcados y, por tanto, una vez conocidas sus características, hay que estudiar su comportamiento en montaje integrador, que es el siguiente paso en la implementación de nuestro filtro.

Tensión de alimentación	$V_{DD} = 1.8 \text{ V}$
Rango de sintonización (V_C)	0.82 a 1 V
Rango de sintonización (G_m)	50 a 495 $\mu\text{A} / \text{V}$
$G_m @ V_C = 0.846\text{V}$	100 $\mu\text{A} / \text{V}$
BW (@ $R_L = 1\text{k}\Omega$ y $C_L = 1\text{pF}$ en cada salida)	103MHz@ $V_C = 0.82\text{V}$ 170MHz@ $V_C = 0.846\text{V}$ 277MHz@ $V_C = 1\text{V}$
THD@ $V_C = 0.846\text{V}$: ($R_L = 10\text{K}$ para igual rango E y S) <ul style="list-style-type: none"> • 0.6V_{pp} diferencial • 1.2V_{pp} diferencial 	-60.21dB@f= 1MHz -57.75dB@f= 10MHz -55.14dB@f= 1MHz -43.54dB@f= 10MHz
THD@ $V_C = 1\text{V}$: ($R_L = 5.1\text{K}$ para igual rango E y S) <ul style="list-style-type: none"> • 0.6V_{pp} diferencial • 1.2V_{pp} diferencial 	-47.76dB@f= 1MHz -47.50dB@f= 10MHz -39.37dB@f= 1MHz -28.91dB@f= 10MHz
r_{out}	114M Ω @ $V_C = 0.846\text{V}$ 57M Ω @ $V_C = 1\text{V}$
Consumo de corriente DC: <ul style="list-style-type: none"> • $V_C = 0.846\text{V}$ • $V_C = 1\text{V}$ 	673.8 μA ($\Rightarrow P_Q = 1.21\text{mW}$)
Consumo de corriente pico a pico: <ul style="list-style-type: none"> • $V_C = 0.846\text{V}$ y 1.2V_{pp} en E/S • $V_C = 1\text{V}$ y 1.2V_{pp} en E/S 	15.6 μA_{pp} 70.4 μA_{pp}

Tabla 4.5: Prestaciones simuladas del transconductor.

- **Caracterización del integrador:**

La función de transferencia del integrador G_m -C de la Figura 4.1, con un OTA ideal, está dada por la ecuación (4-1), siendo su módulo y fase los siguientes:

$$|H(\omega)| = \frac{G_m}{C \cdot \omega} \quad (4-34)$$

$$\theta(\omega) = -90^\circ \quad (4-35)$$

Por tanto, la ganancia DC es infinita y la fase es -90° siempre. La frecuencia de ganancia unidad es $\omega_u = G_m/C$. La representación gráfica de la función de transferencia ideal se muestra en la Figura 4.10.

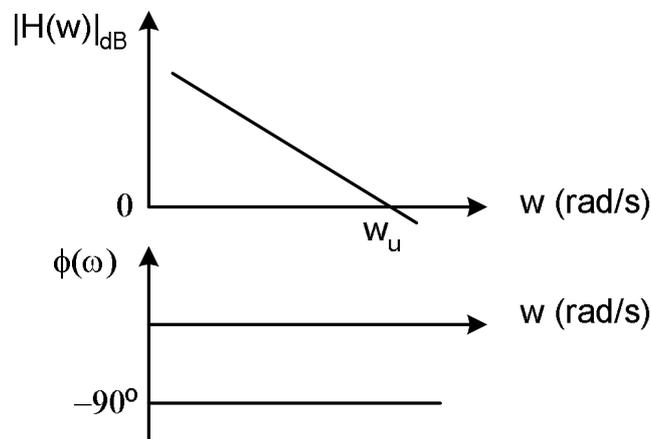


Figura 4.10: Magnitud y fase de la función de transferencia del integrador ideal.

El transconductor real, sin embargo, posee una resistencia de salida no infinita r_{out} y polos y ceros de alta frecuencia que determinan el ancho de banda del mismo. Dicha resistencia de salida hace que la ganancia DC del integrador no sea infinita ($A_{DC} = G_m \cdot r_{out}$) y que éste tenga un polo de baja frecuencia ω_1 de valor $1/C_L \cdot r_{out}$, donde C_L es la capacidad en la salida. El polo ω_1 introduce un retraso de fase respecto a los 90° del integrador ideal. Por otro lado, el integrador real tiene un segundo polo ω_2 en la frecuencia del polo dominante del OTA. Dicho polo ω_2 introduce un exceso de fase. La función de transferencia del integrador real se puede expresar así:

$$H(s) = \frac{v_O}{v_{IN}}(s) = \frac{G_m \cdot r_{out}}{\left(1 + \frac{s}{w_1}\right)\left(1 + \frac{s}{w_2}\right)} \quad (4-36)$$

donde

$$w_1 = \frac{I}{C_L \cdot r_{out}} \quad (4-37)$$

$$w_2 \cong BW|_{OTA}^{rad/s} \quad (4-38)$$

Su diagrama de Bode se puede contemplar en la Figura 4.11, donde queda de manifiesto el efecto de las no idealidades del transconductor en las prestaciones del integrador.

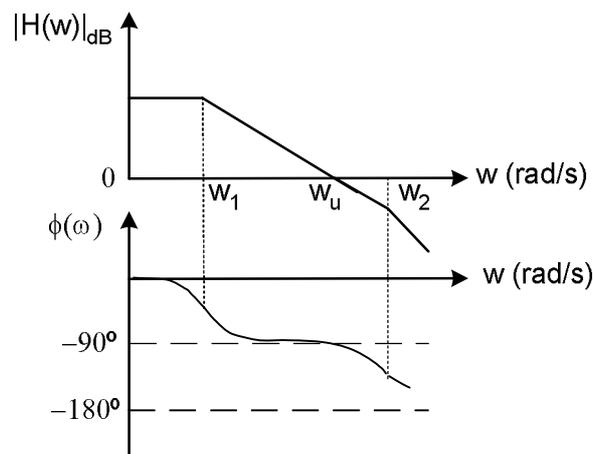


Figura 4.11: Magnitud y fase de la función de transferencia del integrador real.

Haciendo que la resistencia de salida y el BW del OTA sean lo más elevados posible, se consigue que la frecuencia de ganancia unidad esté muy por encima de w_1 y muy por debajo de w_2 , con lo cual se minimizarán los errores de fase del integrador cerca de la frecuencia de ganancia unidad. Esto es muy importante en filtros G_m -C ya que un exceso de fase de tan sólo 1° es asumible para filtros de bajo factor de calidad ($Q \approx 1$) pero es inaceptable para filtros de elevado Q . En filtros de alto factor de calidad hay

que procurar conseguir el menor error de fase cerca de la frecuencia de corte para no tener picos en las tensiones de los nodos que incrementen la distorsión.

Caractericemos el integrador con el transconductor concreto que nos ocupa. Se han hecho medidas mediante simulación de la resistencia de salida r_{out} , la capacidad de entrada C_{in} y la capacidad de salida C_{out} del OTA cargado tanto con el circuito de control “CMFB/CMFF/Pol” como con “CMFF/Pol”, obteniendo los resultados presentados en la Tabla 4.6.

	Con CMFB/CMFF	Con CMFF
r_{out}	114.62M Ω	109.46M Ω
C_{out}	52.8fF	50fF
C_{in}	19.05fF	19.05fF

Tabla 4.6: Parámetros simulados del OTA para la caracterización del integrador.

Simulando un integrador con $C_L=20\text{pF}$ se ha obtenido la respuesta en frecuencia de la Figura 4.12, donde se puede comprobar que la ganancia DC, el primer polo y el segundo polo tienen un valor de 80.87dB, 274Hz y 170MHz, respectivamente, que coinciden con los esperados. El retraso de fase que introduce el primer polo es despreciable frente al exceso de fase que introduce el segundo. Además, se puede comprobar que la frecuencia de ganancia unidad es $f_u \approx 766\text{KHz}$ y que la fase en esa frecuencia es de -90.22° , con lo que el error de fase es de 0.22° . Se ha medido también el exceso de fase en la frecuencia de corte $f_p=2.1\text{MHz}$ del filtro, ya que los errores de fase del integrador cerca de ésta modifican la fase de las tensiones en los nodos y, con ello, el patrón de interferencias de los fasores de tensión. La variación de dicho patrón afecta directamente a la amplitud de la función de transferencia cerca del filo de la banda de paso y, por tanto, a su distorsión. El valor obtenido ha sido de 0.6° , es decir, un valor aceptable para el filtro que se pretende diseñar.

Una vez caracterizado el integrador, se realiza el esquema del filtro y se añade los correspondientes circuitos de control del modo común. Tradicionalmente se añadía un circuito CMFB por cada OTA del filtro pero en [243] quedó demostrado que sólo es

necesario un CMBF por nodo del filtro, independientemente del número de transconductores cuyas salidas estén conectadas a ese nodo. De este modo el filtro ocupa menos área y consume menos potencia. Sin embargo, en la presente Tesis se ha aplicado la técnica propuesta en [242], que consiste en añadir un circuito CMFB por cada nodo del filtro, para controlar la tensión, y un circuito CMFF por OTA para controlar la corriente, de forma que el filtro queda tal y como se muestra en la Figura 4.13. Hay que decir que el transconductor T7 no lleva un circuito “CMFF/Pol” aparte sino que comparte el del OTA T6 ya que ambos transconductores tienen la misma entrada y sólo es necesario detectarla una vez.

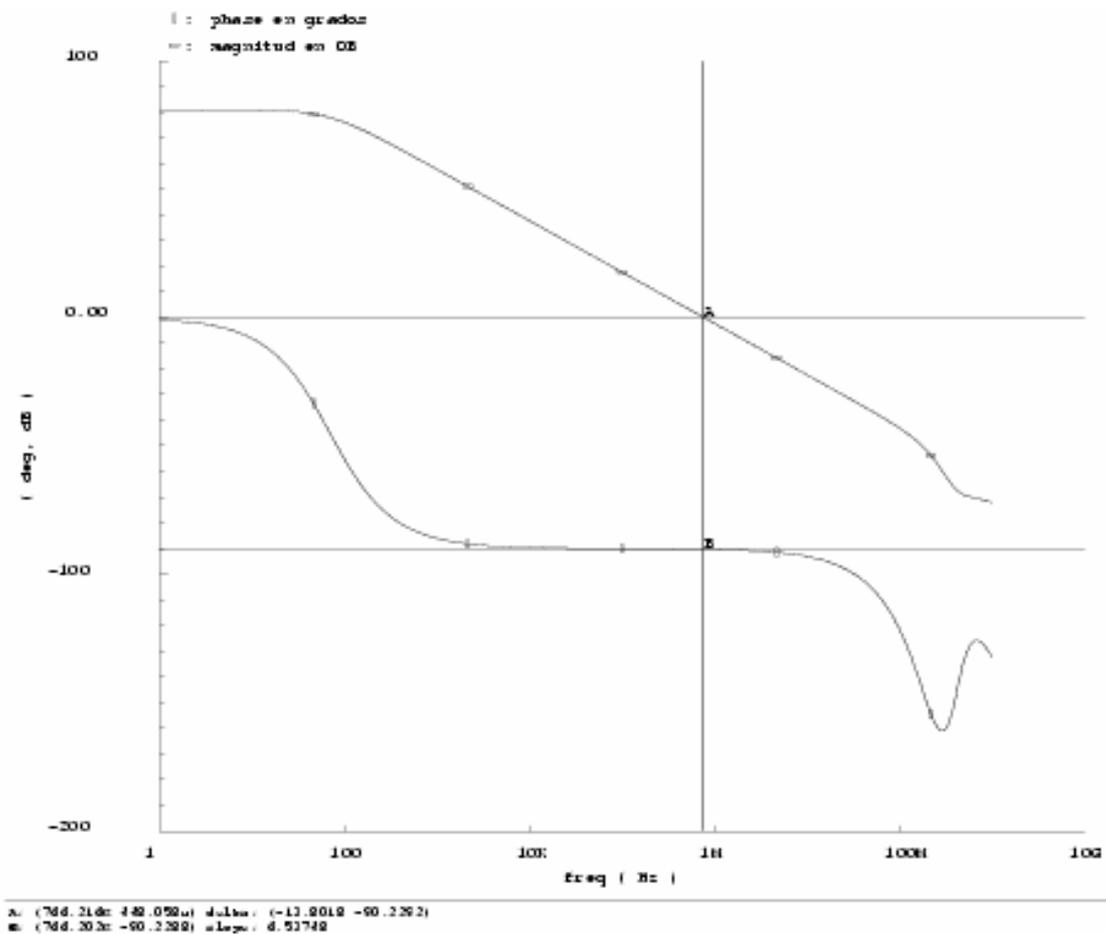


Figura 4.12: Respuesta en frecuencia del integrador.

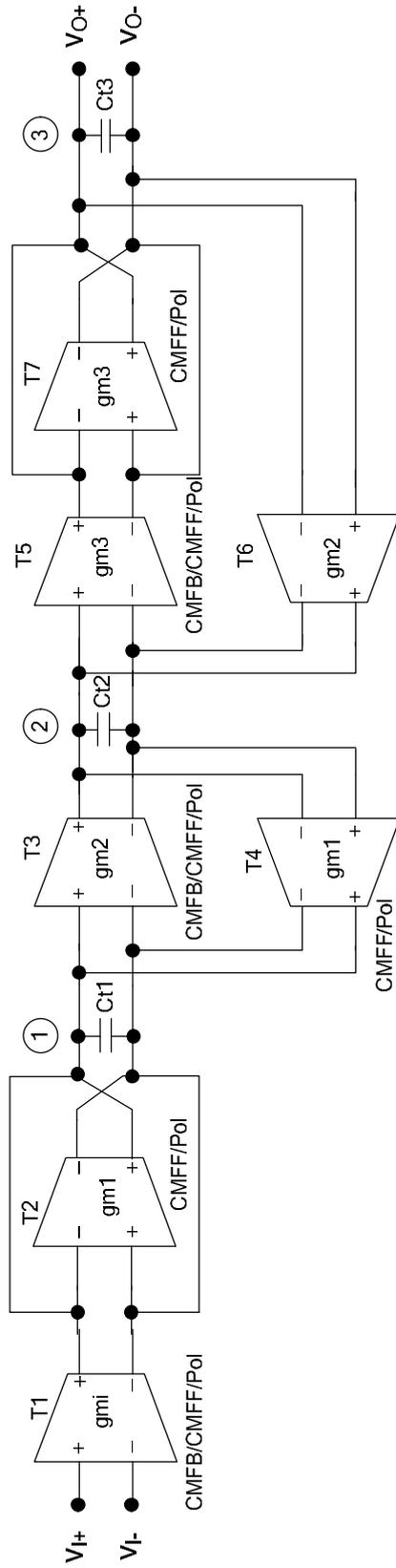


Figura 4.13: Esquema del filtro con los correspondientes circuitos de control del modo común.

Para tener en cuenta las capacidades parásitas existentes en los nodos del filtro, que contribuyen a las teóricas calculadas previamente, se resta la capacidad adicional que surge en cada nodo de la teórica, recalculando así la que debe conectarse realmente. Veámoslo con más detalle. Las capacidades que, en teoría, debemos conectar para obtener la función de transferencia deseada están dadas por las siguientes ecuaciones:

$$C_{t1}' = 24.1961pF \quad (4-39)$$

$$C_{t2}' = 16.62336281pF \quad (4-40)$$

$$C_{t3}' = 12.09805pF \quad (4-41)$$

Sin embargo, en el nodo 1 se tiene, además, la capacidad parásita de entrada C_{in} de T3 y T2 junto con la capacidad parásita de salida C_{out} de T1, T4 y T2. Como T1, T2, T3, T4 y T5 se implementan a partir de dos transconductores unitarios como el diseñado, la capacidad parásita vista en el nodo 1 será:

$$C_{p1} = 4 \cdot C_{in} + 6 \cdot C_{out} \quad (4-42)$$

Razonando de forma análoga en el nodo 2 y en el 3, se tiene que

$$C_{p2} = 4 \cdot C_{in} + 3 \cdot C_{out} \quad (4-43)$$

$$C_{p3} = 2 \cdot C_{in} + 3 \cdot C_{out} \quad (4-44)$$

Como $C_{out} = 52.8fF$ y $C_{in} = 19.05fF$, las capacidades reales que deben colocarse en los nodos del filtro son:

$$C_{t1} = C_{t1}' - C_{p1} = 24.1568pF \quad (4-45)$$

$$C_{t2} = C_{t2}' - C_{p2} = 16.3888pF \quad (4-46)$$

$$C_{t3} = C_{t3}' - C_{p3} = 11.9015pF \quad (4-47)$$

Aún así, éstas no son exactamente las capacidades finales que deben incluirse en el *layout* del filtro ya que, una vez realizado el *layout* del OTA principal, hay que medir de nuevo su capacidad parásita de entrada y de salida en una simulación *post-layout* y recalcular C_{t1} , C_{t2} y C_{t3} . Los cambios, no obstante, no son significativos. Aunque esto también se ha hecho, como no se puede tener toda la precisión deseada en los tamaños de los condensadores del *layout*, es necesario tomar unos valores aproximados de éstos. De manera que, finalmente, tendremos un pequeño error en la función de transferencia.

Hay otro efecto a tener en cuenta: el hecho de que las capacidades parásitas del chip final dependen de las variaciones del proceso y de la temperatura y, por tanto, su valor exacto real es impredecible. Si se pretende tener un control más preciso sobre la función de transferencia del filtro, es decir, que la posición relativa de los polos no cambie con el proceso y la temperatura, hay que añadir transconductores “dummy” para que la relación entre la capacidad parásita y la capacidad total en un nodo sea la misma para todos los nodos. Así, los polos dependerían solamente de las relaciones entre las capacidades a implementar ya que para realizar los transconductores necesarios se ha usado un múltiplo entero del OTA unitario diseñado en paralelo. Para lograr mayor precisión en estas relaciones se puede definir una capacidad unitaria a partir de la cual se forman las otras, consiguiendo, además, que el exceso de fase sea el mismo en todos los integradores del filtro.

A la hora de implementar el condensador del integrador G_m -C de la Figura 4.14.a, nos encontramos varias opciones. Si la tecnología disponible no permite implementar capacidades flotantes, se puede utilizar el esquema de la Figura 4.14.b. En caso contrario, se puede implementar dicha capacidad flotante tal cual o bien emplear el esquema de la Figura 4.14.c, si se desea compensar el que la capacidad de la placa superior es distinta que la de la placa inferior. En esta Tesis, se ha elegido el esquema de la Figura 4.14.c.

Antes de realizar el *layout* del filtro, se debe tener en cuenta cómo se va a extraer la señal de salida. Se puede añadir dentro del chip y tras el filtro, un *buffer* capaz de cargar cualquier impedancia encontrada en la placa de pruebas. El inconveniente que presenta no es tanto el consumo y área adicionales como que añadirá distorsión a las medidas del sistema. Se ha optado por otra solución: insertar en el nodo 3 una capacidad muy

pequeña dentro del chip y una capacidad externa variable. Ajustando esta última, se controla el valor final de la capacidad total del nodo 3, aunque el pad de salida añade carga.

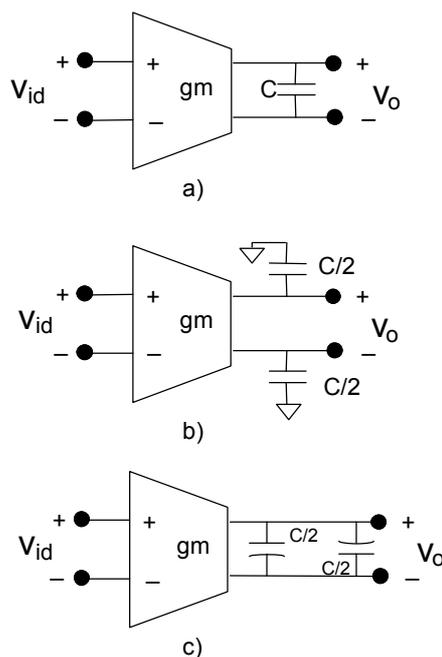


Figura 4.14: Integradores equivalentes.

4.4. Resultados de simulación post-layout del filtro.

En la Figura 4.15 se muestra una microfotografía del segundo chip enviado a fabricar en esta Tesis. El *layout* del filtro, realizado siguiendo las precauciones generales expuestas en el capítulo 2, se presenta dentro del recuadro rojo de esa figura y ocupa un área de silicio de “2956.1 μm x 3127.6 μm ”, es decir, unos 9.245mm². Nuevamente, antes de enviar a fabricar el chip, se llevaron a cabo las correspondientes simulaciones de Monte Carlo para verificar la robustez del circuito ante variaciones del proceso y de desapareamiento. La tecnología empleada ha sido la CUP de 0.6 μm de AMS, cuyos parámetros se muestran en la Tabla 4.7.

Se ha realizado un barrido DC de la señal de entrada diferencial v_{id} desde -600mV a 600mV para $V_C=0.846\text{V}$, resultando la característica de transferencia DC de la Figura 4.16. Como puede observarse en esa gráfica, se ha logrado un rango diferencial de

entrada de $1.2V_{pp}$, una buena linealidad y una ganancia del filtro de prácticamente la unidad, como se pretendía. Se ha comprobado, también por simulación *post-layout*, que la V_C puede variarse desde 0.82V hasta 1.1V, aunque de 1V a 1.1V el transconductor presenta menor linealidad.

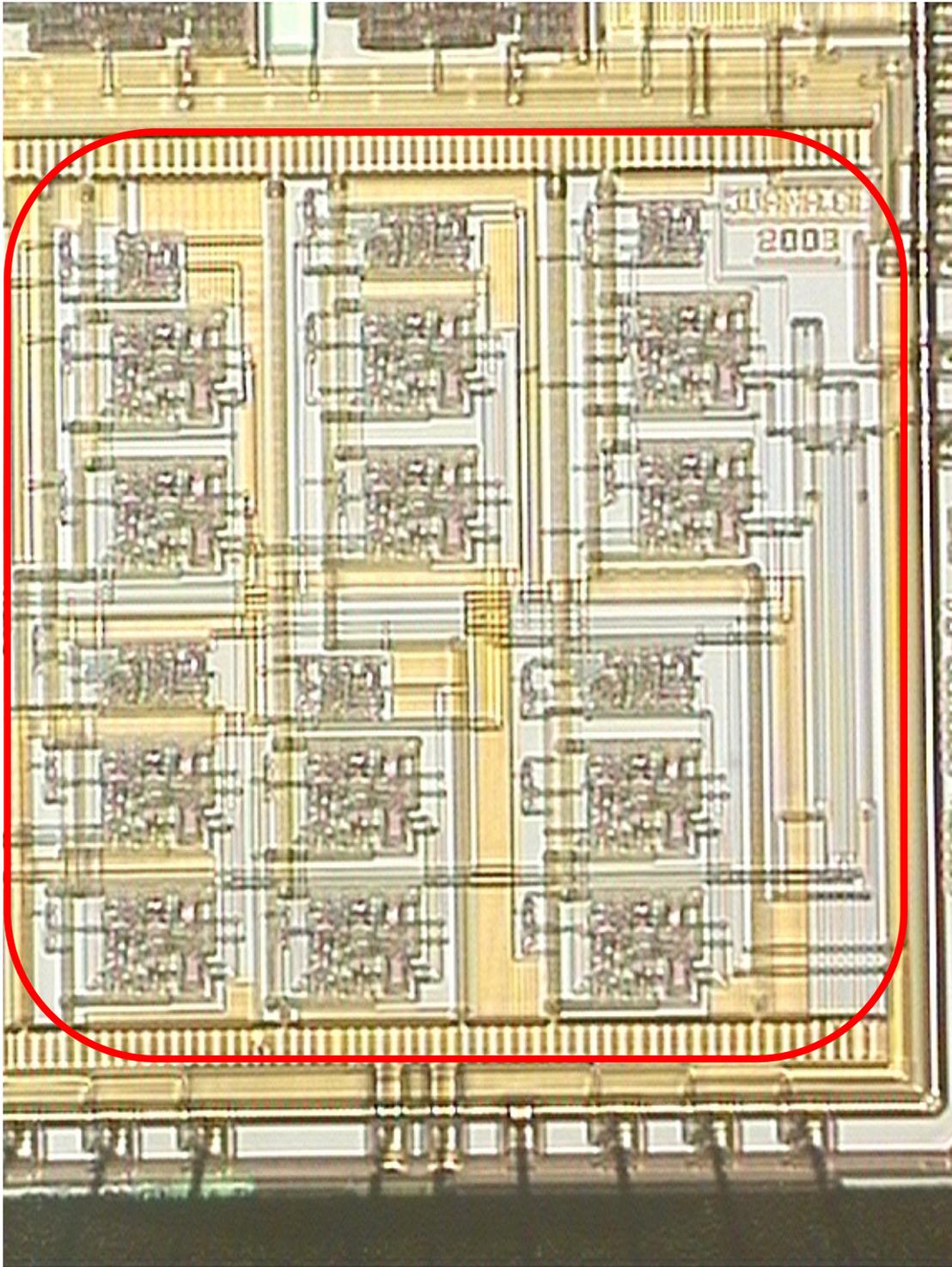


Figura 4.15: Microfotografía del filtro dentro del chip.

Parámetro	Valor Típico
Tensión umbral NMOS (V_{TN})	0.72V
Movilidad NMOS (μ_N)	430cm ² /V·s
Factor de ganancia NMOS (K_N)	120μA/V ²
Tensión umbral PMOS (V_{TP})	-0.8V
Movilidad PMOS (μ_P)	145cm ² /V·s
Factor de ganancia PMOS (K_P)	40μA/V ²

Tabla 4.7: Parámetros de la tecnología CUP de 0.6μm de AMS.

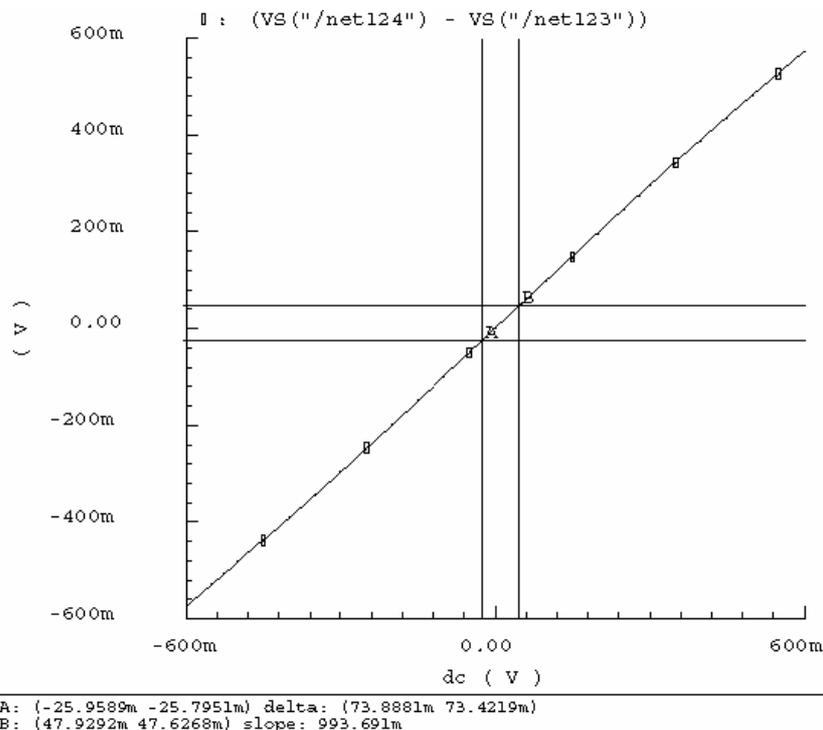


Figura 4.16: Característica de transferencia DC del filtro: v_{od} frente a v_{id} .

La Figura 4.17 muestra la respuesta en frecuencia para distintos valores de V_C en el rango [0.82V, 1V]. Para $V_C=0.82V$, la ganancia DC es igual a -0.066dB, la frecuencia de corte, definida como aquella donde la atenuación máxima permitida es 0.5dB, 833KHz y el rizado máximo, 0.31dB. Para $V_C=0.9V$, la ganancia DC es -0.25dB, la frecuencia de corte, 3.66MHz y el rizado máximo, 0.3dB. Para $V_C=1V$, la ganancia DC es -0.54dB, la frecuencia de corte, 7.4MHz y el rizado máximo, 0.3dB. Si se aumenta el

valor de V_C se comprueba que el filtro continúa siendo sintonizable, aunque experimenta una pérdida de linealidad apreciable. De hecho, para $V_C = 1.1V$, se obtiene una ganancia DC de $-0.4dB$, una frecuencia de corte de $10MHz$ y un rizado máximo de $0.5dB$. La frecuencia de corte deseada para nuestro filtro, $f_p=2.1MHz$, se consigue para un valor $V_C = 0.855V$ y, en ese caso, la ganancia DC es de $0.05dB$ y el rizado máximo, $0.3dB$.

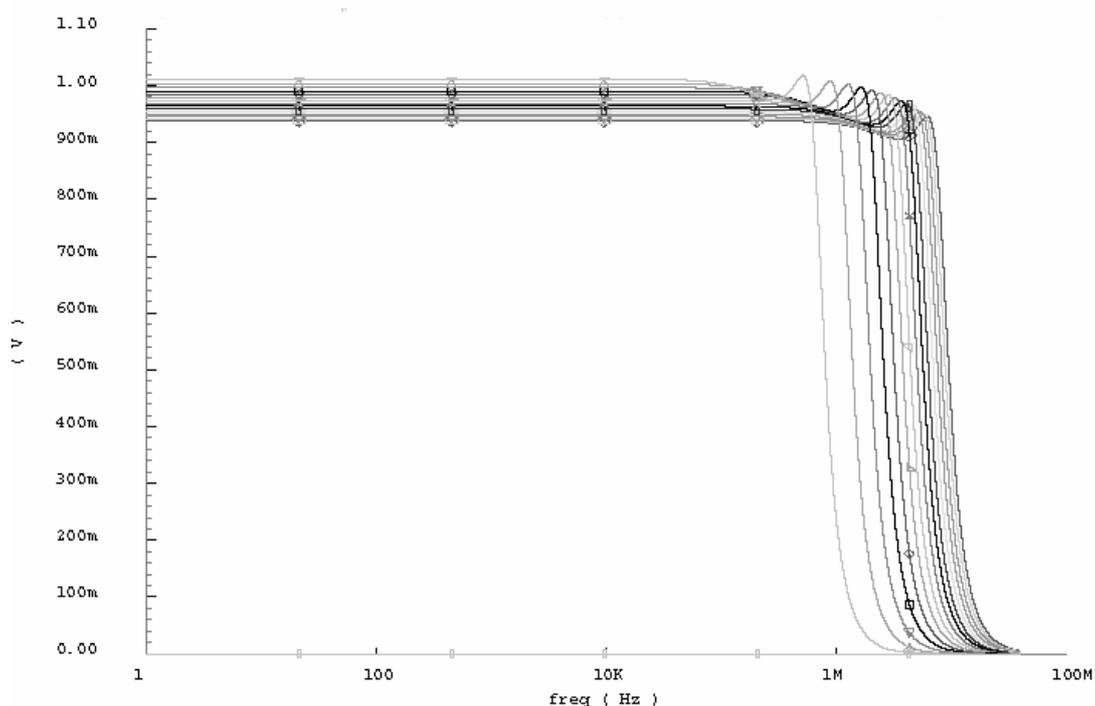


Figura 4.17: Respuesta en frecuencia variando V_C en todo el rango de sintonización.

En la Tabla 4.8 se muestra un resumen de los resultados de distorsión armónica obtenidos para $V_C = 0.855V$ y distintos valores de amplitud y frecuencia de la señal de entrada. Como puede comprobarse, estos resultados confirman la alta linealidad del transconductor utilizado. Además, hay que decir que ese valor de V_C es prácticamente el más desfavorable desde el punto de vista de la distorsión.

En la Tabla 4.9 se muestran los resultados de la distorsión de intermodulación IM3 que presenta el filtro para dos tonos muy próximos en la banda pasante, resultando muy satisfactorios.

Se ha calculado mediante una serie de simulaciones el punto intercepto de tercer orden IP3 y se ha obtenido que en la banda pasante es de 26dBm y en la banda de rechazo de 22dBm. El ruido equivalente referido a la entrada es de $156\text{nV}/\sqrt{\text{Hz}}$ y el rango dinámico de 64.5dB.

THD @0.3V _{pp} diferencial	-62.56dB@f= 100KHz -60.36dB@f= 500KHz
THD @0.6V _{pp} diferencial	-51.82dB@f= 100KHz -49.29dB@f= 500KHz
THD @1V _{pp} diferencial	-42.18dB@f= 100KHz -40.37dB@f= 500KHz
THD @1.2V _{pp} diferencial	-40.61dB@f= 100KHz -38.32dB@f= 500KHz

Tabla 4.8: THD del filtro para distintas amplitudes y frecuencias de la señal de entrada.

<ul style="list-style-type: none"> • 0.3V_{pp}@ 400KHz,500KHz • 0.6V_{pp}@ 400KHz, 500KHz 	-54.5dB -42.9dB
<ul style="list-style-type: none"> • 0.3V_{pp}@ 1MHz,1.1MHz • 0.6V_{pp}@ 1MHz, 1.1MHz 	-51.1dB -39.6dB

Tabla 4.9: IM3 del filtro para distintas amplitudes y frecuencias de dos tonos muy próximos.

4.5. Resultados experimentales del filtro.

El esquema simplificado de la placa de medidas del filtro se muestra en la Figura 4.18. Para elegir los integrados que suministren las tensiones y corrientes de polarización, se han seguido los mismos pasos que en capítulos anteriores. También se ha utilizado la placa adicional diseñada para esta Tesis consistente en un *array* de bloques de polarización. La señal de entrada dada por un típico generador de funciones se introduce a través de un conector BNC seguido de un transformador WB2010 de Coilcraft y una red de resistencias que fija el modo común a 1.2V, y así se realiza la conversión de una señal unipolar a una completamente diferencial. En la salida se realiza el proceso inverso para transformar las dos salidas complementarias del filtro en una unipolar, salvo que se coloca el buffer MAX4204 para poder cargar el analizador de espectros o el analizador de red vectorial. Los transformadores WB2010 funcionan en el rango de 5KHz a 100MHz con respuesta plana, aunque en el camino de la señal de entrada hay un comportamiento de circuito RC paso alto, que no permite un adecuado paso de señal hasta los 400KHz. La placa está diseñada para trabajar con v_{id} en el rango de frecuencias [400KHz, 25MHz], luego no se podrá medir ni la característica DC ni la respuesta a muy bajas frecuencias.

La placa de pruebas para medir el filtro ha quedado finalmente como se muestra en la Figura 4.19.

Para medir la respuesta en frecuencia del filtro se ha utilizado el analizador de red vectorial Rohde&Schwarz 10Hz/9KHz-4GHZ ZVRL, seleccionando una potencia de entrada $P_{in} = -10\text{dBm}$. Se debe tener en cuenta que tanto a la entrada del filtro como a la salida se ha realizado una adaptación de impedancias a 50Ω , por lo que la ganancia DC no tendrá un valor teórico de casi 0dB sino de -12dB. Aún así, este valor se verá afectado por la resistencia real con la que se hace la adaptación (47Ω), que tendrá una cierta tolerancia, y la ganancia real del buffer a la salida, que puede ir desde 0.4 a 0.58 cuando la carga es de 50Ω . En la gráfica de la Figura 4.20 se muestra la respuesta en frecuencia para $V_c = 0.954\text{V}$. La respuesta en amplitud, como puede comprobarse en dicha figura, tiene la forma esperada: la frecuencia de paso de 0.5dB es aproximadamente de 2.1MHz y, a partir de ella, la magnitud decae 60dB por década como corresponde a un filtro de tercer orden.

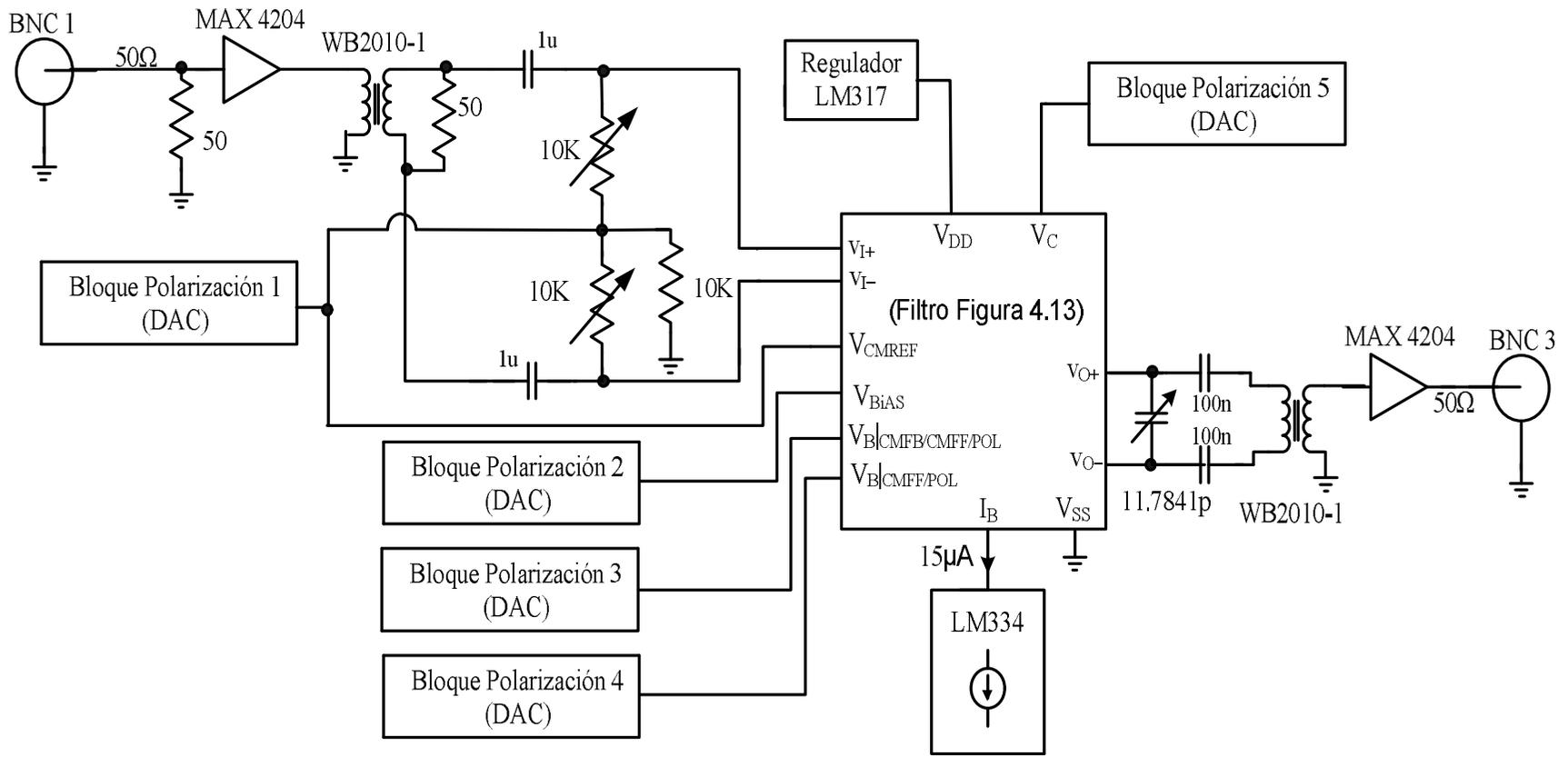


Figura 4.18: Esquema simplificado de la placa de medidas del filtro.

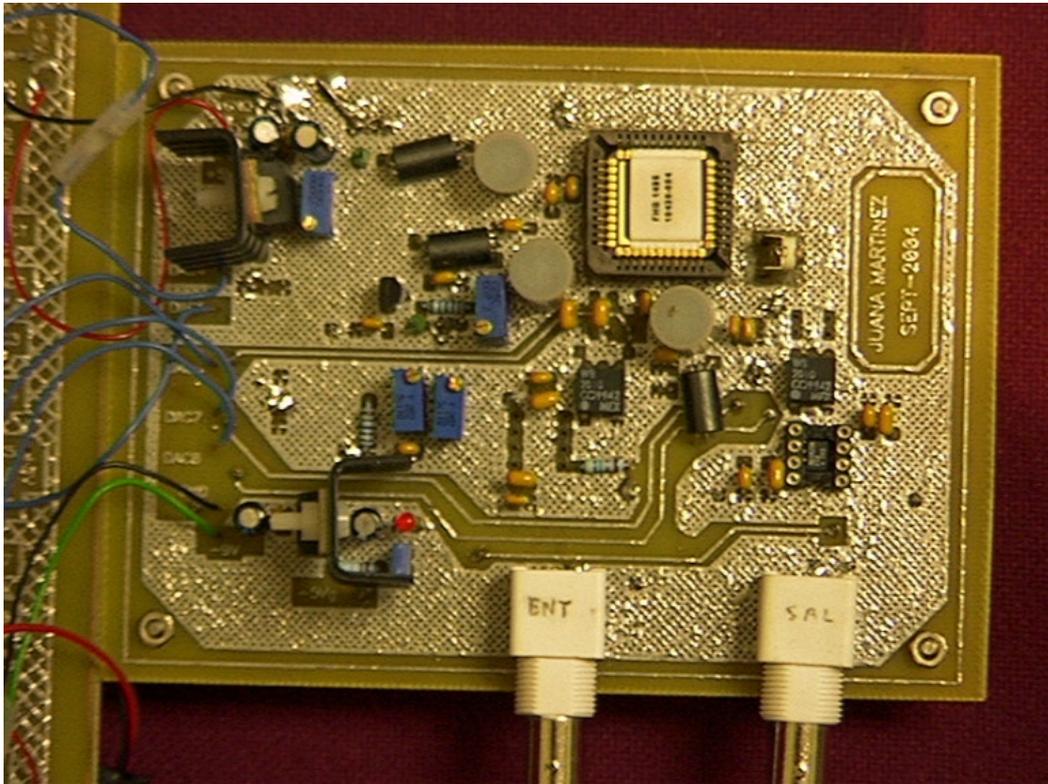


Figura 4.19: Placa para medida del filtro.

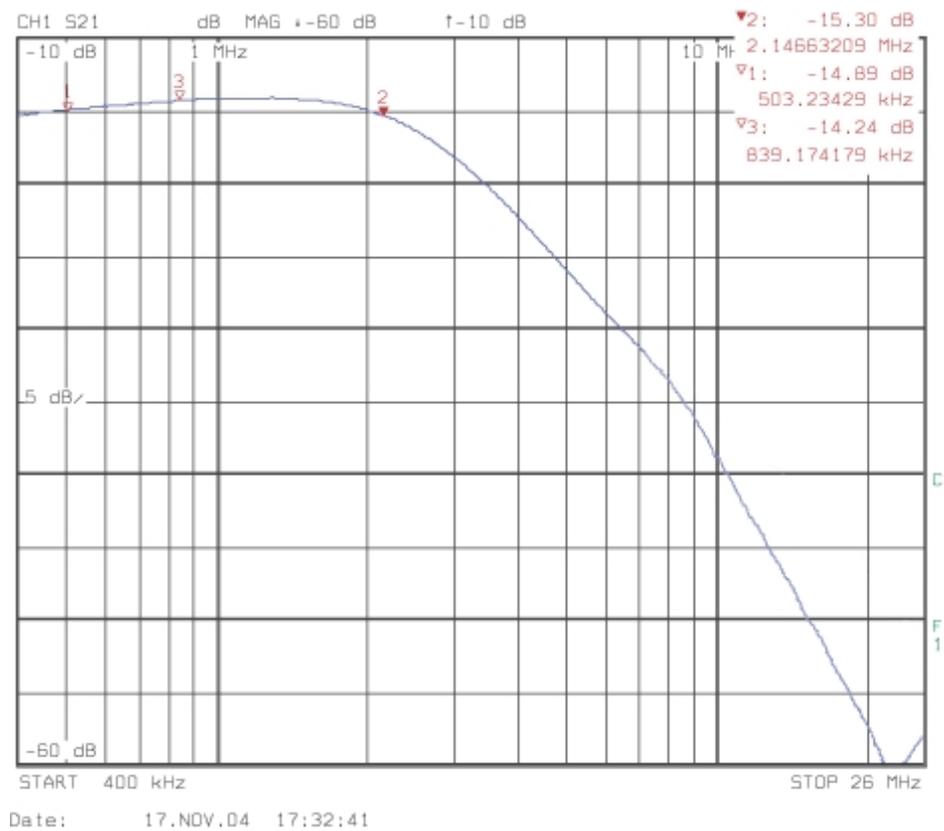


Figura 4.20: Respuesta en frecuencia del filtro con $V_c=0.954V$.

Se ha comprobado experimentalmente que el filtro es sintonizable desde 839KHz a 4.7MHz.

Para mostrar cómo el filtro deja pasar una señal dentro de la banda de paso se ha introducido una señal senoidal en los pines de entrada del chip de 600mV_{pp} y frecuencia 1MHz, tras seleccionar en el generador de funciones una amplitud de 1200mV_{pp} con una impedancia de salida de 50Ω. La señal de salida resultante es senoidal, de la misma frecuencia y 297mV_{pp}, que hay que multiplicar por dos ya que la salida está adaptada a 50Ω. En la Figura 4.21 se muestra tanto la señal de entrada como de salida, utilizando las sondas del osciloscopio en alta impedancia.

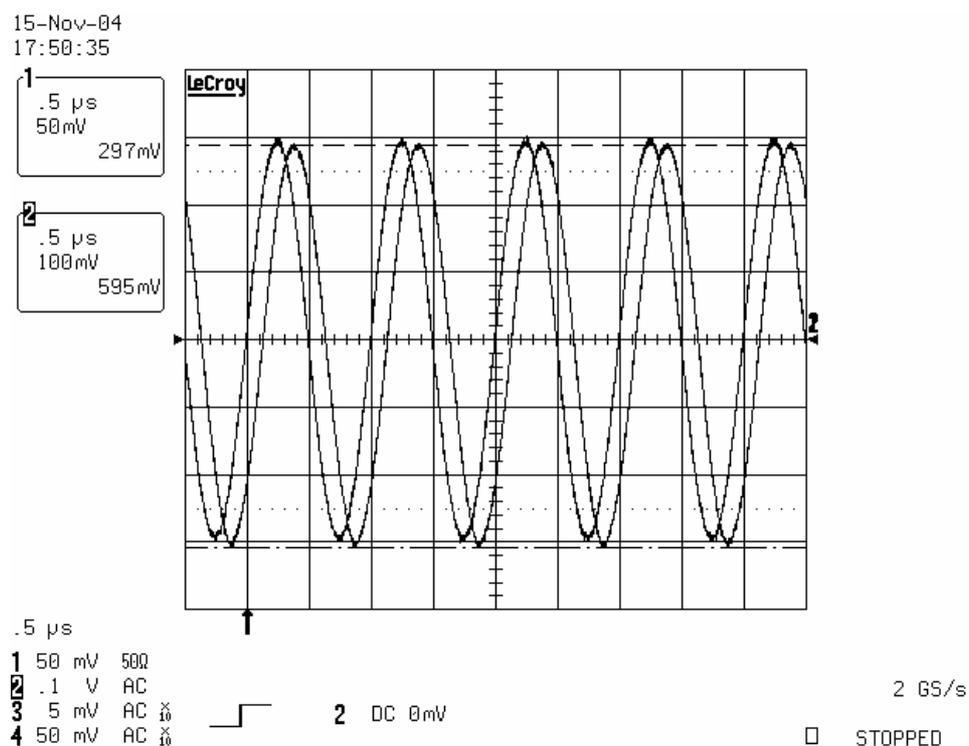


Figura 4.21: Señales de entrada y salida en la banda de paso del filtro.

Las medidas de distorsión armónica realizadas muestran la existencia de un segundo armónico importante debido a desapareamientos entre los caminos de la señal diferencial en la placa de pruebas. Como dicho armónico es debido únicamente al circuito de medidas y no al filtro en sí, tan sólo las medidas correspondientes al tercer armónico (HD3 e IM3) son significativas del comportamiento de la celda fabricada.

Aún así, se indicarán las medidas del HD2 para que el lector tenga la información completa.

En la Tabla 4.10 se muestra los resultados de distorsión armónica para una senoide en la entrada del filtro de 500KHz y amplitud de 300mV_{pp} y 600mV_{pp}, respectivamente. Como puede comprobarse, los resultados obtenidos están bastante por debajo de lo que se esperaba.

$A_{pp} = 0.3V_{pp}$	HD3 ≈ -50.7dB	(HD2 = -48.4dB)
$A_{pp} = 0.6V_{pp}$	HD3 ≈ -42.2dB	(HD2 = -39.1dB)

Tabla 4.10: Resultados experimentales de THD con $v_{id} = A_p \cos(2\pi 500000t)$.

Con una señal de entrada formada por dos tonos muy próximos (1MHz y 1.1MHz) de amplitud 0.3V_{pp}, se ha obtenido un producto de intermodulación de tercer orden de aproximadamente -42dB, como puede verse en la Figura 4.22. Si aumentamos esa amplitud a 0.6V_{pp}, obtenemos un IM3 ≈ -34dB, como muestra la Figura 4.23. De nuevo se han obtenido resultados de IM3 muy por debajo de lo esperado, que atribuimos a la placa de pruebas.

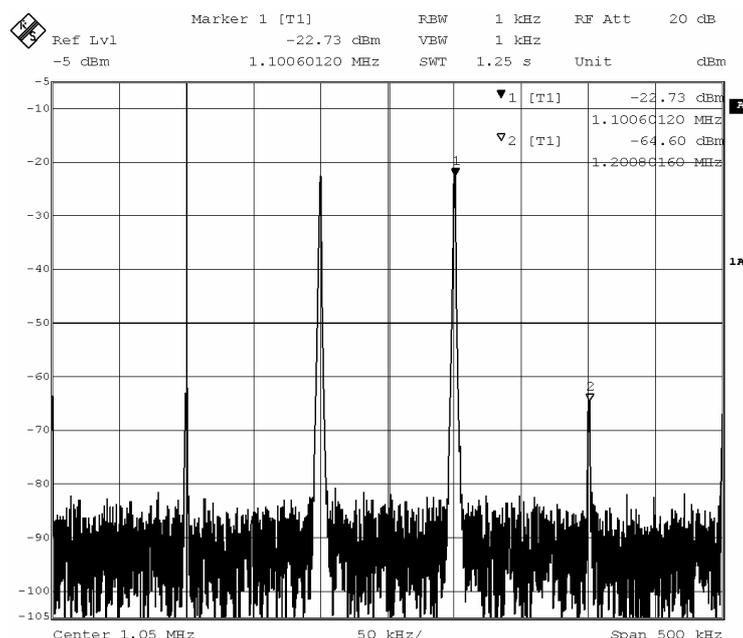


Figura 4.22: IM3 para dos tonos en 1MHz y 1.1MHz y una amplitud de 300mV_{pp}.

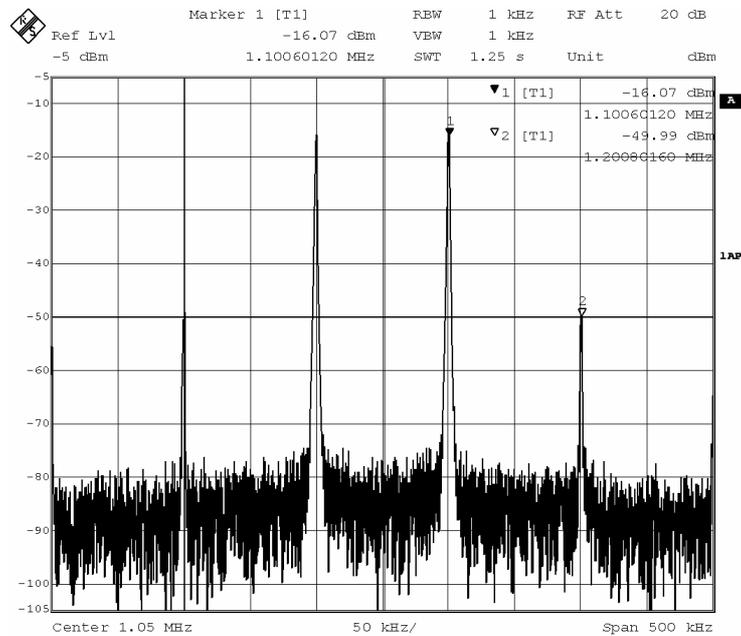


Figura 4.23: IM3 para dos tonos de 600mV_{pp} en 1MHz y 1.1MHz.

Para una senoide de entrada de 0.3V_{pp} y 1MHz, se ha obtenido una corriente media consumida de 10.15mA, es decir, una potencia media de 18.27mW, que coincide aproximadamente con el valor esperado.

En la Tabla 4.11 se muestra un resumen de las características del filtro obtenidas experimentalmente.

En la Tabla 4.12 se muestra una comparativa de este filtro con otros recientes encontrados en la literatura. La comparativa se ha limitado a filtros de tipo paso-bajo y con prestaciones de potencia quiescente y frecuencia parecidas o mejores a las del filtro implementado en esta Tesis, incluyendo los tres filtros para receptores WCDMA que ya fueron referenciados en la sección 4.3. La gran ventaja de nuestro filtro respecto a los demás es su capacidad para funcionar con tan sólo 1.8V de alimentación, encontrándose la tensión de alimentación de los otros en un rango entre 2.5V y 3.3V para tensiones umbrales similares en las tecnologías utilizadas. Además, posee un alto rango dinámico (65dB) derivado de su gran rango de entrada/salida. Sólo el filtro de la referencia [247] aporta el valor del rango dinámico (57.6dB), con lo que la comparación con el resto no se puede realizar. El filtro es también, teóricamente, muy lineal, pero esto sólo se ha

podido comprobar con simulaciones *post-layout* y no con resultados experimentales. La autora de la Tesis se encuentra trabajando en una nueva placa de pruebas que permita la obtención de resultados de distorsión armónica satisfactorios. En cuanto a consumo, medido como intensidad por polo, y ruido equivalente referido a la entrada, este filtro está en clara desventaja respecto a casi todos los demás de la tabla.

A partir de la tabla anterior se ha elaborado la Figura 4.24, donde queda de manifiesto que, aunque algunos de esos filtros consumen menos potencia por polo y/o funcionan a mayor frecuencia, el nuestro es el que trabaja a menor tensión de alimentación.

Tecnología	0.6 μm CUP CMOS (AMS)
V_{DD}	1.8V
Rango de sintonización (V_{C})	[0.82V, 1.1V]
Rango de sintonización (f_{p})	[840KHz, 4.7MHz]
$f_{\text{p}}@V_{\text{C}} = 0.954\text{V}$	2.1MHz
Rango diferencial de E/S	1.2V _{pp}
THD@ $V_{\text{C}} = 0.954\text{V}$: <ul style="list-style-type: none"> • 0.3V_{pp} diferencial • 0.6V_{pp} diferencial 	-50.7dB@f = 500KHz -42.2dB@f = 500KHz
IM3@ $V_{\text{C}} = 0.954\text{V}, 1\text{MHz}, 1.1\text{MHz}$: <ul style="list-style-type: none"> • 0.3V_{pp} diferencial • 0.6V_{pp} diferencial 	-42dB -34dB
$P_{\text{Q}}@V_{\text{C}} = 0.954\text{V}$	18.3mW

Tabla 4.11: Prestaciones del filtro de baja tensión medidas experimentalmente.

Tabla 4.12: Comparativa de filtros LP publicados recientemente.

Referencia	[244]	[245]	[184]	[185]	[186]	[249]	[183]	[251]	[252]	Nuestro
V _{DD}	2.7V	2.7V	2.5V	3V	3.3V	3.3V	2.7V	2.5V	3.3V	1.8V
Tecnología	0.35 μ	0.35 μ	0.5 μ	0.8 μ	0.5 μ	0.6 μ	0.5 μ	1 μ	0.35 μ	0.6 μ
V _{TN} (V)	0.75	0.75	0.75	0.7	0.75	0.72	0.75	-	0.75	0.72
V _{TP} (V)	0.85	0.85	0.95	0.8	0.95	0.8	0.9	-	0.85	0.8
Orden, Tipo	5,Butt.	5,Cheb.	5,Elip.	5,Elip.	3,Bess.	5,Elip.	6,Butt.	7,Bess.	3,Cheb.	3,Cheb.
f _c (Hz)	2.1M (PDC:13K)	2.1M (GSM:91K)	2M	4M	5.5M	4M (+18M)	2.1M (PDC,GSM, IS-95:630K)	1.5M	1.1M	2.1MHz
Técnica	Opamp-RC BiCMOS	Opamp-RC BiCMOS	Gm-C CMOS	Gm-C CMOS	Gm-C CMOS	Gm-C CMOS	DCCF-RC CMOS	Gm-C BiCMOS	Gm-C CMOS	Gm-C
I/Polo (mA)	1.8	0.94	0.77	0.67	1.2	1.1	0.375	1.48	≈6	3.38
P ^Q (mW)	25.4	21.8	5.8	10	11.9	18.1	6.1	26	66	18.3
IIP3 b.r. (dBm)	48	38	7	10.8	17.4	22.5 (18.5 b.p.)	51.4 (21.9 b.p.)	26.7	-	22* (26* b.p.)
Pico b.p.(dB)	0.3	0.01	1	1		2.5	0.2	0.02	-	0.5
SFDR (dB)	90.4 (br)	90.4 (b.r.)	56	60.3	64.6	74	80 (b.r)	80	-	60*
At. b.t.(dB)	70	62	77	45	32	50	60	70	60	60
Ruido ref. E. (nV/√Hz)	32	51	32.3	130	114	50	59	-	-	156*
DR (dB)	-	-	-	57.6	-	-	-	-	-	65.5*
Ganancia dB)	30	37.9	0	0	0	15,30,45	18	0	0	0
THD (dB)	-	-	-	-	-	-	-	-65@1V _{pp} ,100KHz -40@2.5V _{pp} ,100KHz	-	-62.6@0.3V _{pp} ,100KHz* -51.8@0.6V _{pp} ,100KHz*

NOTA: * ≡Resultados de simulación

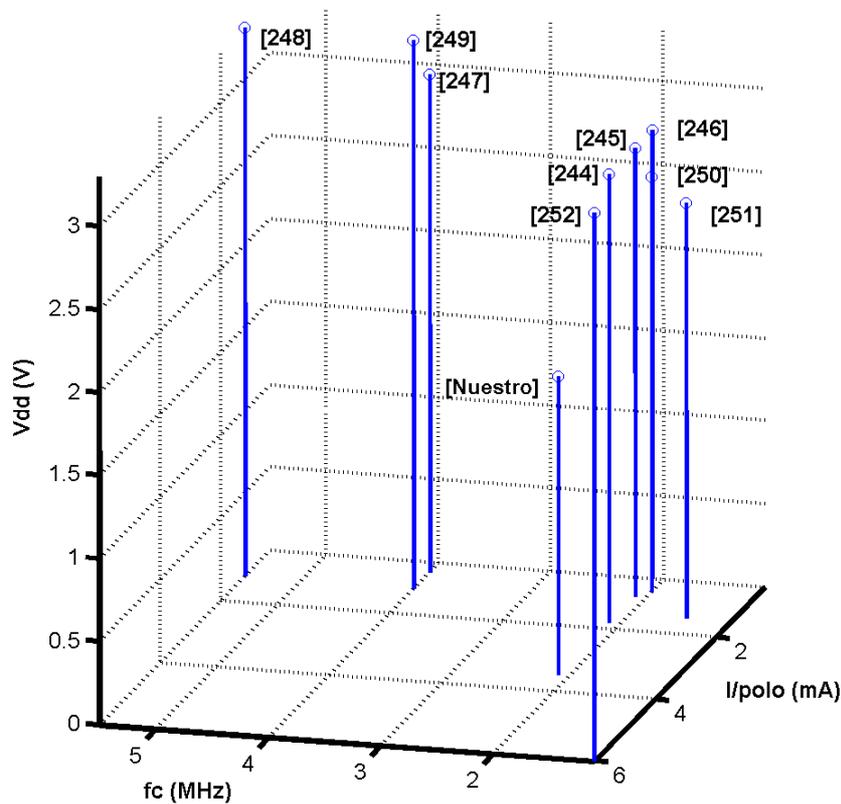


Figura 4.24: Resumen de la comparación de filtros LP.

4.6. Conclusiones.

En este capítulo se ha presentado un filtro Chebyshev paso bajo de tercer orden con 0.5dB de rizado máximo en la banda pasante y una frecuencia de corte de 2.1MHz, apto para ser incluido en un receptor WCDMA, cuyas especificaciones técnicas vienen definidas en [221]. Además de la alta característica de linealidad conseguida, es capaz de funcionar con una tensión de alimentación de tan sólo 1.8V. La frecuencia de corte del filtro se puede ajustar mediante una tensión de control. En su implementación se ha utilizado un nuevo transconductor pseudo-diferencial de muy baja tensión. Se presentan resultados tanto de simulación como experimentales que verifican la validez del filtro en aplicaciones de baja tensión y bajo consumo. El filtro constituye una aportación original de esta Tesis.

Capítulo 5

Conclusiones y líneas futuras de investigación

En este capítulo se presentan las conclusiones alcanzadas durante la realización de esta Tesis Doctoral. El objetivo que se persiguió desde el principio fue contribuir al desarrollo de celdas básicas y bloques analógicos con aplicación en campos como las telecomunicaciones y la industria aeroespacial. El reto consistió en diseñarlos e implementarlos de forma que, utilizando una tecnología tan barata como la CMOS, fuesen capaces de funcionar con muy baja tensión de alimentación y consumir la menor potencia posible, atendiendo a la demanda creciente de los últimos años en este sentido. Además, la investigación llevada a cabo en la presente Tesis Doctoral junto con las aportaciones de la misma abre las puertas a futuros trabajos que podrían dar resultados muy interesantes.

5.1. Conclusiones.

Como ya se dijo en el primer capítulo, la labor realizada en esta Tesis es una continuación del trabajo en diseño analógico que un equipo de investigación formado por miembros de tres Universidades distintas (New Mexico State University, Universidad Pública de Navarra Universidad de Sevilla) y al cual pertenece la autora, viene realizando desde finales de los años noventa. Las aportaciones más relevantes de esta Tesis se exponen a continuación:

- Se ha realizado un análisis detallado de la implementación de tiempo continuo de la batería flotante dinámica presentada por primera vez en [71] y, más tarde, en [72], constatándose su utilidad para el diseño analógico de baja tensión y bajo consumo.

- A partir de esa batería flotante dinámica se han desarrollado dos circuitos capaces de funcionar con una tensión de alimentación muy baja, en concreto, 1.5V para una tecnología de 0.8 μ m CMOS:
 - Un transconductor de entrada simple cuyas características más notorias son el rango de entrada y salida casi completo (1.05V_{pp}) y el ancho de banda de 40MHz con un consumo medio de tan sólo 230 μ W. A partir de este circuito, se ha propuesto un transconductor completamente diferencial que consigue unas prestaciones de linealidad, ancho de banda y consumo dentro del estado del arte.
 - Un rectificador de tensión clase AB de alta precisión y gran rango de entrada capaz de operar a frecuencias de hasta 10MHz con precisión. Su potencia media consumida es de 200 μ W.
- Se ha realizado un análisis exhaustivo de la celda básica “seguidor de tensión girado” (también llamada celda “FVF”) en DC y pequeña señal, a bajas y altas frecuencias, con cargas resistivas y/o capacitivas, demostrando que su comportamiento como *buffer* de tensión es mejor que el de un seguidor de fuente.
- Se ha utilizado el FVF como técnica de diseño analógico de muy baja tensión de alimentación para proponer un multiplicador de tensión y un nuevo transconductor pseudo-diferencial capaces de operar también con 1.5V para una tecnología de 0.8 μ m CMOS:
 - El multiplicador de tensión es de cuatro cuadrantes y completamente diferencial. Con un consumo quiescente de aproximadamente 1.6mW y un consumo máximo de unos 2.6mW, consigue un ancho de banda de 76MHz para una carga capacitiva de 1pF y de 40MHz para 10pF. Posee, además, excelentes prestaciones desde el punto de vista de linealidad. El rango de cada entrada es de 0.6V_{pp} y, aunque el rango de la salida es de 0.36V_{pp}, la resistencia de carga y, por tanto, la resistencia vista en cada salida es de tan

sólo 300Ω . Se ha logrado hacer medidas a altas frecuencias, de las cuales suelen carecer los multiplicadores publicados en la literatura.

- El transconductor pseudo-diferencial posee una muy alta resistencia de salida gracias a la utilización de la estructura “súper-cascodo”. Su transconductancia es programable en el rango [$396\mu\text{A/V}$, $2443\mu\text{A/V}$], posee un gran ancho de banda, 100MHz en el caso más desfavorable, y su rango de entrada es de $1.2V_{pp}$. Además, la distorsión armónica permanece por debajo de -60dB hasta una frecuencia de 10MHz.
- Se han propuesto, además, dos nuevas implementaciones prácticas de batería dinámica basadas en el FVF y un transconductor y un buffer de tensión novedosos, ambos basados en la estructura súper-cascodo.
- Por otro lado, desde el punto de vista de diseño de sistemas y no sólo de celdas básicas, se ha desarrollado un filtro analógico de tiempo continuo a partir del transconductor pseudo-diferencial. Se trata de un filtro Chebyshev de tercer orden paso bajo con 0.5dB de rizado máximo en la banda pasante y una frecuencia de paso de 2.1MHz. El filtro se adecúa a las especificaciones técnicas del estándar WCDMA para un receptor de un sistema de comunicaciones móviles de tercera generación (3G). El filtro diseñado tiene una ventaja clara respecto a los encontrados en la literatura de este tipo: su baja tensión de alimentación, 1.8V. Además, posee un gran rango de entrada y salida ($1.2V_{pp}$), bajo consumo y alta linealidad. Estas características lo sitúan dentro del estado del arte.

Los resultados contenidos en esta Tesis que se encuentran publicados en la actualidad corresponden a:

- Dos publicaciones en la revista “IEE Electronic Letters”.
- Nueve publicaciones en congresos internacionales, entre los que destacan cuatro en el “IEEE International Symposium on Circuits and Systems” (ISCAS).

Actualmente hay varios artículos en proceso de preparación para su envío a las revistas “IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing” y “Analog Integrated Circuits and Signal Processing”.

5.2. Líneas futuras de investigación.

Entre los trabajos de investigación que podrían desarrollarse como continuación de esta Tesis Doctoral, cabe mencionar:

- Desarrollar los nuevos circuitos propuestos en la Tesis (baterías dinámicas, transconductor, *buffer* de tensión) e investigar nuevas aplicaciones del seguidor de tensión girado y de la batería flotante a celdas básicas analógicas para conseguir su funcionamiento en muy baja tensión de alimentación manteniendo o, incluso, mejorando, prestaciones como velocidad, linealidad y ancho de banda. La autora de la Tesis se encuentra ya trabajando en este sentido.
- Estudio analítico de la distorsión armónica a altas frecuencias de la celda FVF utilizando un modelo de gran señal de un transistor MOS, que incluya no sólo la modulación de la longitud del canal y el efecto sustrato sino también los efectos capacitivos dependientes de la señal y la distorsión dependiente de la frecuencia. La doctorando se halla aplicando un modelo simplificado del modelo completo [253] del MOSFET para un estudio comprensivo de la distorsión de gran señal a altas frecuencias del FVF.
- Desarrollar nuevos circuitos analógicos de bajo consumo que hagan uso de la característica de linealidad enriquecida que presentan los transistores MOSFET en la región de inversión moderada. La autora se halla trabajando también actualmente en esta línea de investigación.
- Aplicar el transconductor pseudo-diferencial presentado en esta Tesis en un convertidor A/D sigma-delta de tiempo continuo, contribuyendo así a la línea de investigación de convertidores de baja tensión y bajo consumo que desarrolla actualmente el Grupo de Ingeniería Electrónica.

- Añadir al filtro presentado en esta Tesis un circuito de control automático de la frecuencia de corte. Puesto que en un filtro G_m -C la transconductancia de los OTAs depende fuertemente de la temperatura y de los parámetros del proceso, sería necesario implementar un PLL que ajustase continuamente la frecuencia de corte a su valor adecuado.
- Por último, la experiencia obtenida por la doctorando en el diseño de filtros y realización de medidas de alta frecuencia en el laboratorio, puede ser la base para diseñar nuevos filtros de tiempo continuo de alta frecuencia que cumplan los requisitos de baja tensión de alimentación, bajo consumo y alto factor de calidad y que incluyan tanto control de la frecuencia de corte como de la fase de los integradores.

Bibliografía

- [1] S. Yan y E. Sanchez-Sinencio, “Low voltage analog circuit design techniques: a tutorial”, *IEICE Transactions Analog Integrated Circuits and Systems*, vol. E0-A, n° 2, pp. 1-17, Feb. 2000.
- [2] S. S.Rajput y S.S. Jamuar, “Low voltage analog circuit design techniques”, *IEEE Circuits and Systems Magazine*, vol. 2, n° 1, pp. 24-42, First Quarter 2002.
- [3] J. Ramírez-Angulo, R. González-Carvajal, A. Torralba, F. Muñoz, J. Martínez-Heredia, J. Tombs, “Some techniques for low-voltage continuous-time analog circuit operation”, *Proceedings of the IEEE 2nd Dallas CAS Workshop on Low Power/Low Voltage Mixed-Signal Circuits and Systems, DCAS-01*, pp. W90-W130, Mar. 2001.
- [4] R. Fried y C. C. Enz, “Bulk driven MOST transistor with extended linear range”, *IEE Electronic Letters*, vol. 32, n° 7, pp. 638-640, Mar. 1996.
- [5] R. Fried, D. Python y C. C. Enz, “Compact log-domain current mode integrator with high transconductance-to-bias current ratio”, *IEE Electronic Letters*, vol. 32, n° 11, pp. 952-953, May. 1996.
- [6] R. Fried y C. C. Enz, “CMOS parametric current amplifier”, *IEE Electronic Letters*, vol. 32, n° 14, pp. 1249-1250, Jul. 1996.
- [7] Kuen-Jong Lee, Kou-Shung Huang y Min-Cheng Huang, “Low voltage built-in current sensor”, *IEE Electronic Letters*, vol. 32, n° 10, pp. 1942-1943, Oct. 1996.
- [8] J. K. V. Athreya y P. H. Gregson, “1.5 V resistive fuse for image smoothing and segmentation”, *IEE Electronic Letters*, vol. 33, n° 10, pp. 851-852, May. 1997.
- [9] B. J. Blalock, P. E. Allen y G.A. Rincon-Mora, “Designing 1-V op amps using standard digital CMOS technology”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 45, n° 7, pp. 769-780, Jul. 1998.
- [10] T. Lehmann y M. Cassia, “1-V power supply CMOS cascode amplifier”, *IEEE Journal of Solid-State Circuits*, vol. 36, n° 7, pp. 1082-1086, Jul. 2001.
- [11] T. Stockstad y H. Yoshizawa, “A 0.9-V 0.5- μ A rail-to-rail CMOS operational amplifier”, *IEEE Journal of Solid-State Circuits*, vol. 37, n° 3, pp. 286-292, Mar. 2002.
- [12] A. Veeravalli, E. Sanchez-Sinencio y J. Silva-Martinez, “Transconductance amplifier structures with very small transconductances: a comparative design approach”, *IEEE Journal of Solid-State Circuits*, vol. 37, n° 6, pp. 770-775, Jun. 2002.

- [13] P. Monsurro, G. Scotti, A. Trifiletti y S. Pennisi, "Compact log-domain current mode integrator with high transconductance-to-bias current ratio", *IEE Electronic Letters*, vol. 41, n° 14, pp. 779-780, Jul. 2005.
- [14] S. Chatterjee, Y. Tsvividis y P. Kinget, "0.5-V analog circuit techniques and their application in OTA and filter design", *IEEE Journal of Solid-State Circuits*, vol. 40, n° 12, pp. 2373-2387, Dic. 2005.
- [15] E. Rodríguez-Villegas y H. Barnes, "Solution to trapped charge in FGMOS transistors", *IEE Electronic Letters*, vol. 39, n° 19, pp. 1416-1417, Sep. 2003.
- [16] D. D. Wen, "Design and operation of a floating gate amplifier", *IEEE Journal of Solid-State Circuits*, vol. 9, n° 6, pp. 410-414, Dic. 1974.
- [17] E. Sackinger y W. Guggenbuhl, "An analog trimming circuit based on a floating-gate device", *IEEE Journal of Solid-State Circuits*, vol. 33, n° 6, pp. 1437-1440, Ago. 1988.
- [18] J. Ramirez-Angulo, S. C. Choi y G. Gonzalez-Altamirano, "Low-voltage circuits building blocks using multiple-input floating-gate transistors", *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 42, n° 11, pp. 971-974, Nov. 1995.
- [19] H. R. Mehrvarz y C. Y. Kwok, "A novel multi-input floating-gate MOS four-quadrant analog multiplier", *IEEE Journal of Solid-State Circuits*, vol. 31, n° 8, pp. 1123-1131, Ago. 1996.
- [20] M. Lanzoni, G. Tondi, P. Galbiati y B. Ricco, "Automatic and continuous offset compensation of MOS operational amplifiers using floating-gate transistors", *IEEE Journal of Solid-State Circuits*, vol. 33, n° 2, pp. 287-290, Feb. 1998.
- [21] L. S. Y. Wong, C. Y. Kwok y G. A. Rigby, "A 1-V CMOS D/A converter with multi-input floating-gate MOSFET", *IEEE Journal of Solid-State Circuits*, vol. 34, n° 10, pp. 1386-1390, Oct. 1999.
- [22] E. Rodríguez-Villegas, G. Huertas, M. J. Avedillo, J. M. Quintana y A. Rueda, "A practical floating-gate Muller-C element using vMOS threshold gates", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal*, vol. 48, n° 1, pp. 102-106, Ene. 2001.
- [23] F. Muñoz, A. Torralba, R. G. Carvajal, J. Tombs y J. Ramirez-Angulo, "Floating-gate-based tunable CMOS low-voltage linear transconductor and its application to HF gm-C filter design", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal*, vol. 48, n° 1, pp. 106-110, Ene. 2001.

- [24] J. Ramirez-Angulo, R. G. Carvajal, J. Tombs y A. Torralba, "Low-voltage CMOS amplificador operacional with rail-to-rail input and output signal swing for continuous-time signal processing using multiple-input floating-gate transistors", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal*, vol. 48, n° 1, pp. 111-116, Ene. 2001.
- [25] S. Vlassis y S. Siskos, "Differential-voltage attenuator based on floating-gate MOS transistors and its applications", *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 48, n° 11, pp. 1372-1378, Nov. 2001.
- [26] B. K. Ahuja, H. Vu, C. A. Laber y W. H. Owen, "A very high precision 500-nA CMOS floating-gate analog voltage reference", *IEEE Journal of Solid-State Circuits*, vol. 40, n° 12, pp. 2364-2372, Dic. 2005.
- [27] C. Urquidi, J. Ramirez-Angulo, R. González-Carvajal y A. Torralba, "A new family of low-voltage analog circuits based on quasi-floating gate transistors", *Proceedings of the 2002 45th Midwest Symposium on Circuits and Systems, MWCAS-2002*, vol. 1, pp. 93-96, Ago. 2002.
- [28] J. Ramirez-Angulo, C. A. Urquidi, R. G. Carvajal, A. Torralba y A. López-Martín, "A new family of very low-voltage analog circuits based on quasi-floating gate transistors", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal*, vol. 50, n° 5, pp. 214-220, May. 2003.
- [29] F. Muñoz, J. Ramirez-Angulo, A. Lopez-Martin, R. G. Carvajal, A. Torralba, B. Palomo y M. Kachare, "Analog switch for very low-voltage applications", *IEE Electronic Letters*, vol. 39, n° 9, pp. 701-702, May. 2003.
- [30] J. Ramirez-Angulo, A. J. Lopez-Martin, R. G. Carvajal y F. M. Chavero, "Very low-voltage analog signal processing based on quasi-floating gate transistors", *IEEE Journal of Solid-State Circuits*, vol. 39, n° 3, pp. 434-442, Mar. 2004.
- [31] E. Rodriguez-Villegas, A. Yufera y A. Rueda, "A 1-V micropower Gm-C filter based on FGMOS transistors operating in weak inversion", *IEEE Journal of Solid-State Circuits*, vol. 39, n° 1, pp. 100-111, Ene. 2004.
- [32] E. Rodriguez-Villegas, A. Yufera y A. Rueda, "A 1-V micropower log-domain integrator based on FGMOS transistors operating in weak inversion", *IEEE Journal of Solid-State Circuits*, vol. 39, n° 1, pp. 256-259, Ene. 2004.
- [33] D. J. Comer y D. T. Comer, "Using the weak inversion region to optimize input stage design of CMOS op amps", *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 51, n° 1, pp. 8-14, Ene. 2004.

- [34] F. Serra-Graells, L. Gomez y J. L. Huertas, "A true-1-V 300- μ W CMOS-subthreshold log-domain hearing-aid-on-chip", *IEEE Journal of Solid-State Circuits*, vol. 39, n $^{\circ}$ 8, pp. 1271-1281, Ago. 2004.
- [35] A. J. López-Martín, C. A. D. L. C. Blas y A. Carlosena, "1.2-V 5- μ W class-AB CMOS log-domain integrator with multidecade tuning", *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 52, n $^{\circ}$ 10, pp. 665-668, Oct. 2005.
- [36] F. Serra-Graells y J. L. Huertas, "Low-Voltage CMOS subthreshold log-domain filtering", *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 52, n $^{\circ}$ 10, pp. 2090-2100, Oct. 2005.
- [37] A. J. Lopez-Martin, J. Ramirez-Angulo, C. Durbha y R. G. Carvajal, "A CMOS transconductor with multidecade tuning using balanced current scaling in moderate inversion", *IEEE Journal of Solid-State Circuits*, vol. 40, n $^{\circ}$ 5, pp. 1078-1083, May. 2005.
- [38] A. J. Lopez-Martin, J. Ramirez-Angulo, C. Durbha y R. G. Carvajal, "Highly Linear Programmable Balanced Current Scaling Technique in Moderate Inversion", *IEEE Transactions on Circuits and Systems II: Express Briefs*; Aceptado para su publicación.
- [39] B. Toole, C. Plett y M. Cloutier, "RF circuit implications of moderate inversion enhanced linear region in MOSFETs", *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 51, n $^{\circ}$ 2, pp. 319-328, Feb. 2004.
- [40] C. Galup-Montoro, M. C. Schneider e I. J. B. Loss, "Series-parallel association of FET's for high gain and high frequency applications", *IEEE Journal of Solid-State Circuits*, vol. 39, n $^{\circ}$ 9, pp. 1094-1101, Sep. 1994.
- [41] I. Fujimori y T. Sugimoto, "A 1.5 V, 4.1 mW dual-channel audio delta-sigma D/A converter", *IEEE Journal of Solid-State Circuits*, vol. 39, n $^{\circ}$ 12, pp. 1863-1870, Dic. 1998.
- [42] A. Gerosa y A. Neviani, "Enhancing output voltage swing in low-voltage micro-power OTA using self-cascode", *IEE Electronic Letters*, vol. 39, n $^{\circ}$ 8, pp. 638-639, Abr. 2003.
- [43] A. Gerosa, A. Maniero y A Neviani, "A fully integrated two-channel A/D interface for the acquisition of cardiac signals in implantable pacemakers", *IEEE Journal of Solid-State Circuits*, vol. 39, n $^{\circ}$ 7, pp. 1083-1093, Jul. 2004.

- [44] E. M. Camacho-Galeano, C. Galup-Montoro, M. C. Schneider, "A 2-nW 1.1-V self-biased current reference in CMOS technology", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 52, n° 2, pp. 61-65, Feb. 2005.
- [45] P. Favrat, P. Deval y M. J. Declercq, "A high-efficiency CMOS voltage doubler", *IEEE Journal of Solid-State Circuits*, vol. 33, n° 3, pp. 410-416, Mar. 1998.
- [46] S. Basu y G. C. Temes, "Simplified clock voltage doubler", *IEE Electronic Letters*, vol. 35, n° 22, pp. 1901-1902, Oct. 1999.
- [47] G. -K. Dehng, C. -Y. Yang, J. -M. Hsu y S. -I. Liu, "A 900-MHz 1-V CMOS frequency synthesizer", *IEEE Journal of Solid-State Circuits*, vol. 35, n° 8, pp. 1212-1214, Ago. 2000.
- [48] J. A. Starzyk, J. Ying-Wei y Q. Fengjing, "A DC-DC charge pump design based on voltage doublers", *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 48, n° 3, pp. 350-359, Mar. 2001.
- [49] C. -M. Hung y K. K. O., "A fully integrated 1.5-V 5.5-GHz CMOS phase-locked loop", *IEEE Journal of Solid-State Circuits*, vol. 37, n° 4, pp. 521-525, Abr. 2002.
- [50] H. Lee y P. K. T Mok, "Switching noise and shoot-through current reduction techniques for switched-capacitor voltage doubler", *IEEE Journal of Solid-State Circuits*, vol. 40, n° 5, pp. 1136-1146, May. 2005.
- [51] D. -U. Li y C. -M. Tsai, "Efficient breakdown voltage doubler for 10 Gbit/s SiGe modulator drivers", *IEE Electronic Letters*, vol. 41, n° 3, pp. 126-127, Feb. 2005.
- [52] J. Crols y M. Steyaert, "Switched-opamp: an approach to realize full CMOS switched-capacitor circuits at very low power supply voltages", *IEEE Journal of Solid-State Circuits*, vol. 29, n° 8, pp. 936-942, Ago. 1994.
- [53] A. Baschiroto y R. Castello, "A 1-V 1.8-MHz CMOS switched-opamp SC filter with rail-to-rail output swing", *IEEE Journal of Solid-State Circuits*, vol. 32, n° 12, pp. 1979-1986, Dic. 1997.
- [54] V. Peluso, M. S. J. Steyaert y W. Sansen, "A 1.5-V-100- μ W $\Delta\Sigma$ modulator with 12-b dynamic range using the switched-opamp technique", *IEEE Journal of Solid-State Circuits*, vol. 32, n° 7, pp. 943-952, Jul. 1997.
- [55] V. Peluso, P. Vancorenland, A. M. Marques, M. S. J. Steyaert y W. Sansen, "A 900-mV low-power $\Delta\Sigma$ A/D converter with 77-dB dynamic range", *IEEE Journal of Solid-State Circuits*, vol. 33, n° 12, pp. 1887-1897, Dic. 1998.
- [56] M. Waltari y K. A. I. Halonen, "1-V 9-bit pipelined switched-opamp ADC", *IEEE Journal of Solid-State Circuits*, vol. 36, n° 1, pp. 129-134, Ene. 2001.

- [57] G. Bonfini, A. S. Brogna, C. Garbossa, L. Colombini, M. Bacci, S. Chicca, F. Bigongiari, N. C. Guerrini y G. Ferri, "An ultralow-power switched opamp-based 10-B integrated ADC for implantable biomedical applications", *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 51, n° 1, pp. 174-177, Ene. 2004.
- [58] V.S.L. Cheung, H.C. Luong y K. Wing-Hung, "A 1-V CMOS switched-opamp switched-capacitor pseudo-2-path filter", *IEEE Journal of Solid-State Circuits*, vol. 36, n° 1, pp. 14-22, Ene. 2001.
- [59] V.S.L. Cheung, H.C. Luong y K. Wing-Hung, "A 1-V 10.7-MHz switched-opamp bandpass $\Sigma\Delta$ modulator using double-sampling finite-gain-compensation technique", *IEEE Journal of Solid-State Circuits*, vol. 37, n° 10, pp. 1215-1225, Oct. 2002.
- [60] K. Hwi-Cheol, J. Deog-Kyoon y K. Wonchan, "A 30mW 8b 200MS/s pipelined CMOS ADC using a switched-opamp technique", *Digest of Technical Papers of the 2005 IEEE International Solid-State Circuits Conference, ISSCC'05*, vol. 1, pp. 284-598, Feb. 2005.
- [61] K. C. Smith y A. S. Sedra, "The current conveyor-A new circuit building block", *Proceedings of the IEEE*, vol. 56, n° 8, pp. 1368-1369, Ago. 1968.
- [62] A. Carlosena y G. S. Moschytz, "Design of variable-gain current conveyors", *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 41, n° 1, pp. 79-81, Ene. 1994.
- [63] T. Kaulberg, "A CMOS current-mode operational amplifier", *IEEE Journal of Solid-State Circuits*, vol. 28, n° 7, pp. 849-852, Jul. 1993.
- [64] R. H. Zele, D. J. Allstot y T. S. Fiez, "Fully balanced CMOS current-mode circuits", *IEEE Journal of Solid-State Circuits*, vol. 28, n° 5, pp. 569-575, May. 1993.
- [65] F. Yuan, "Low-Voltage CMOS Current-Mode Preamplifier: Analysis and Design", *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 53, n° 1, pp. 26-39, Ene. 2006.
- [66] Y.H. Ghallab, W. Badawy, K.V.I.S. Kaler y B. J. Maundy, "A novel current-mode instrumentation amplifier based on operational floating current conveyor", *IEEE Transactions on Instrumentation and Measurement*, vol. 54, n° 5, pp. 1941-1949, Oct. 2005.
- [67] C. A. De La Cruz-Blas, A. Lopez-Martin y A. Carlosena, "1.5-V current-mode CMOS true RMS-DC converter based on class-AB transconductors", *IEEE*

Transactions on Circuits and Systems II: Express Papers, vol. 52, n° 7, pp. 376-379, Jul. 2005.

[68] P. Real, D.H. Robertson, C. W. Mangelsdorf y T. L. Tewksbury, “A wide-band 10-b 20 Ms/s pipelined ADC using current-mode signals”, *IEEE Journal of Solid-State Circuits*, vol. 26, n° 8, pp. 1103-1110, Ago. 1991.

[69] J. Ramirez-Angulo, M. Robinson y E. Sanchez-Sinencio, “Current-mode continuous-time filters: two design approaches”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal*, vol. 39, n° 6, pp. 337-341, Jun. 1992.

[70] S. -S. Lee, R. H. Zele, D. J. Allstot y G. Liang, “CMOS continuous-time current-mode filters for high-frequency applications”, *IEEE Journal of Solid-State Circuits*, vol. 28, n° 3, pp. 323-329, Mar. 1993.

[71] J. Ramirez-Angulo, R. G. Carvajal, J. Tombs y A. Torralba, “Low-voltage CMOS op-amps for a supply close to a transistor’s threshold voltage”, *Proceedings of the 1999 IEEE International Symposium on Circuits and Systems, ISCAS '99*, Vol. 2, pp. 408-411, May. 1999.

[72] J. Ramirez-Angulo, A. Torralba, R. G. Carvajal y J. Tombs, “Low-voltage CMOS Operational Amplifiers with Wide Input-Output swing Based on a Novel Scheme”, *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Application*, vol. 47, n° 5, pp. 772-774, May. 2000.

[73] J. Ramírez-Angulo, “Low voltage current mirrors for built-in current sensors”, *Proceedings of the 1994 IEEE International Symposium on Circuits and Systems, ISCAS'94*, vol. 5, pp. 529-532, May. 1994.

[74] J. Ramírez-Angulo, “Current mirrors with low input and low output voltage requirements”, *Proceedings of the 37th Midwest Symposium on Circuits and Systems, MWSCAS'94*, vol. 1, pp. 107-110, Aug. 1994.

[75] R. Geiger, P. Allen y N. R. Strader, *VLSI Design Techniques for analogue and digital circuits*, Sec. 5.4, McGraw-Hill, NY, 1989.

[76] P. R. Gray y R. G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 2nd Edition, cap. 12, sec. 2, John Wiley & Sons, USA, 1984.

[77] J. Ramirez-Angulo, R. G. Carvajal, J. Tombs y A. Torralba, “A simple technique for op-amp continuous-time 1V supply operation”, *Electronics Letters*, vol. 35, n° 4, pp. 263 – 264, Feb. 1999.

[78] A. R. Feldman, B. E. Boser y P. R. Gray, “A 13-bit, 1.4-MS/s sigma-delta modulator for RF baseband channel applications”, *IEEE Journal of Solid-State Circuits*,

vol. 33, nº 10, pp. 1462-1469, Oct. 1998.

[79] G. Giustolisi, G. Palmisano, G. Palumbo y T. Segreto, “1.2-V CMOS op-amp with a dynamically biased output stage”, *IEEE Journal of Solid-State Circuits*, vol. 35, nº 4, pp. 632-636, Abr. 2000.

[80] F. Muñoz, *Aportaciones al diseño de circuitos para comunicaciones de baja tensión de alimentación y bajo consumo*, Tesis Doctoral, Universidad de Sevilla, 2002.

[81] F. Muñoz, J. Ramirez-Angulo, A. Lopez-Martin, R. G. Carvajal, A. Torralba, B. Palomo y M. Kachare, “Analogue switch for very low-voltage applications”, *Electronics Letters*, vol. 39, nº 9, pp. 701-702, May. 2003.

[82] S. C. Tan y X. W. Sun, “Low power CMOS level shifters by bootstrapping technique”, *Electronics Letters*, vol. 38, nº 16, pp. 876 – 878, Ago. 2002.

[83] A. Tajalli, S. Mojtaba Atarodi, “Design considerations for a 1.5-V, 10.7-MHz bandpass gm-C filter in a 0.6- μm standard CMOS technology”, *Proceedings of the 2003 IEEE International Symposium on Circuits and Systems, ISCAS'03*, vol. 1, pp. 521-524, May. 2003.

[84] O. Oliaei y P. Loumeau, “Current-mode class AB design using floating voltage-source”, *Electronic Letters*, vol. 32, nº 17, pp. 1526-1528, Ago. 1996.

[85] F. Muñoz, A. Torralba, R. G. Carvajal y J. Ramirez-Angulo, “Two novel low-voltage transconductors for VHF applications”, *Proceedings of the XIV Conference on Design of Circuits and Integrated Circuits, DCIS' 99*, pp. 533-537, Nov. 1999.

[86] F. Muñoz, A. Torralba, R. G. Carvajal y J. Ramirez-Angulo, “Two new VHF tunable CMOS low-voltage linear transconductors and their application to HF GM-C filter design”, *Proceedings of the 2000 IEEE International Symposium on Circuits and Systems, ISCAS '00*, vol. 5, pp. 173-176, May. 2000.

[87] B. Nauta, “A CMOS transconductance-C filter for very high frequencies”, *IEEE Journal of Solid-Sate Circuits*, vol. 27, nº 2, pp. 142-153, Feb. 1992.

[88] M. Wang, T. L. Jr. Mayhugh, S. H. K. Embabi y E. Sánchez-Sinencio, “Constant-gm rail-to-rail CMOS op-amp input stage with overlapped transition regions”, *IEEE Journal of Solid-Sate Circuits*, vol. 34, pp. 148-156, Feb. 1999.

[89] J. F. Duque-Carrillo, J. M. Carrillo, G. Torelli y J. L. Ausin, “Common-mode response overlapping vs. shaping in rail-to-rail op-amp input stages”, *Analog Integrated Circuits and Signal Processing*, vol. 40, nº 1, pp. 21-29, Jul. 2004.

[90] C.A. De La Cruz-Blas, A. Lopez-Martin y A. Carlosena, “A. 1.5-V MOS translinear loops with improved dynamic range and their applications to current-mode

signal processing”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 50, n° 12, pp. 918-927, Dic. 2003.

[91] M. Kachare, A. J. López-Martín, J. Ramirez-Angulo y R. G. Carvajal, “A compact tunable CMOS transconductor with high linearity”, *IEEE Transactions on Circuits and Systems-II: Express Briefs*, vol. 52, n° 2, pp. 82-84, Feb. 2005.

[92] V. Peluso, P. Vancorenland, M. Steyaert y W. Sansen, “A 900 mV differential class AB OTA for switched op-amp applications”, *IEE Electronics Letters*, vol. 33, n° 17, 1997, pp.1455-1456, 1997.

[93] A. Demosthenous y M. Panovic, “Low-Voltage MOS Linear Transconductor/Squarer and Four-Quadrant Multiplier for Analog VLSI”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 52, n° 9, pp. 1721-1731, Sept. 2005.

[94] A. Torralba, R. G. Carvajal, J. Martínez-Heredia y J. Ramirez-Angulo, “Class AB output stage for low voltage CMOS op-amps with accurate quiescent current control”, *Electronics Letters*, vol. 36, n°. 21, pp. 1753-1754, Oct. 2000.

[95] A. Torralba, R. G. Carvajal, J. Ramirez-Angulo, J. Tombs, F. Muñoz y J. A. Galan, “Class AB output stage for low voltage CMOS op-amps with accurate quiescent current control by means of dynamic biasing”, *Analog Integrated Circuits and Signal Processing*, vol. 36, n° 1-2, pp. 69-77, Jul. 2003.

[96] J. Fonderie, M. M. Maris, E. J. Schnitger y J. H. Huijsing, “1-V operational amplifier with rail-to-rail input and output ranges”, *IEEE Journal of Solid-State Circuits*, vol. 24, n° 6, pp. 1551–1559, Dic. 1989.

[97] J. F. Duque-Carrillo, J. L. Ausin, G. Torelli, J. M. Valverde y M. A. Deminguez, “1-V rail-to-rail operational amplifiers in standard CMOS technology”, *IEEE Journal of Solid-State Circuits*, vol. 35, n° 1, pp. 33-44, Ene. 2000.

[98] J. Ramírez-Angulo, A. Torralba y R. G. González-Carvajal, “Comparison of two schemes for continuous-time sub-volt op-amp operation”, *Proceedings of the 2002 IEEE International Symposium on Circuits and Systems, ISCAS'02*, vol. 1, pp. 305-308, May. 2002.

[99] K. Chia-Hsiung, W. Yin-Fang y K. Huan-Chou, “A rail-to-rail CMOS operational amplifier design for low voltage systems”, *Proceedings of the 2001 IEEE International Microwave Conference, APMC'2001*, vol. 1, pp. 276-279, Dic. 2001.

[100] J. M. Carrillo, J. F. Duque-Carrillo, G. Torelli y J. L. Ausin, “1-V quasi constant-g/sub m/ input/output rail-to-rail CMOS op-amp”, *Proceedings of the 2003 IEEE*

International Symposium on Circuits and Systems, ISCAS '03, vol. 1, pp. 277-280, May. 2003.

[101] J. M. Carrillo, J. F. Duque-Carrillo, J. L. Ausin, J. M. Valverde y G. Torelli, “Common-mode response shaping in rail-to-rail op-amp input stages”, *Proceedings of the 2002 IEEE International Symposium on Circuits and Systems, ISCAS '02*, vol. 3, pp. 607-610, May. 2002.

[102] J. M. Carrillo, J. F. Duque-Carrillo, J. L. Ausin, J. M. Valverde y G. Torelli, “Input/Output rail-to-rail CMOS operational amplifier with shaped common-mode response”, *Analog Integrated Circuits and Signal Processing*, vol. 34, n° 3, pp. 221-232, Mar. 2003.

[103] T. W. Fisher y A. I. Karsilayan, “Rail-to-rail amplifier input stage with constant g_m and common mode elimination”, *Electronic Letters*, vol. 38, n° 24, pp. 1491-1492, Nov. 2002.

[104] J. Ramirez-Angulo, R. G. Carvajal, A. Torralba y J. Martinez-Heredia, “A 1.5 V linear transconductor with wide bandwidth and wide input and output signal swings”, *Proceedings of the 2000 IEEE International Symposium on Circuits and Systems, ISCAS'00*, vol. 5, pp. 161 – 164, May. 2000.

[105] J. Ramírez-Angulo, R.G. Carvajal, A. Torralba y J. Martínez-Heredia, “A 1.5 V linear transconductor with wide bandwidth and wide input and output signal swings”, *Proceedings of the XV Conference on Design of Circuits and Integrated Systems, DCIS'00*, Nov. 2000.

[106] J. Ramirez-Angulo, R. G. Carvajal, J. Martinez-Heredia y A. Torralba, “A Very low-voltage class AB CMOS precision voltage and current rectifiers”, *Proceedings of the 2000 IEEE International Symposium on Circuits and Systems, ISCAS'00*, vol. 3, pp. 5-8, May. 2000.

[107] J. Ramirez-Angulo, R. G. Carvajal, J. Martinez-Heredia y A. Torralba, “A Very low-voltage class AB CMOS precision voltage and current rectifiers”, *Proceedings of the XV Conference on Design of Circuits and Integrated Systems, DCIS'00*, Nov. 2000.

[108] E. F. K. Lee, “Low-voltage opamp design and differential difference amplifier design using linear transconductor with resistor input”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 47, n° 8, pp. 776-778, Ago. 2000.

[109] E. Sánchez-Sinencio, J. Ramírez-Angulo, B. Linares-Barranco y A. Rodríguez-Vázquez, “Operational Transconductance Amplifier-Based Nonlinear Function

Syntheses”, *IEEE Journal of Solid-State Circuits*, vol. 24, nº 6, pp. 1576-1586, Dic. 1989.

[110] J. Ramirez-Angulo, “A precision broadband rectifier in CMOS technology”, *Proceedings of the 1990 IEEE International Symposium on Circuits and Systems, ISCAS'90*, vol. 3, pp. 1724-1727, May. 1990.

[111] J. Ramirez-Angulo, “High frequency low voltage CMOS diode”, *Electronics Letters*, vol. 28, nº 3, pp. 298-300, Ene. 1992.

[112] J. Ramirez-Angulo, “BICMOS current buffer-rectifier”, *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 39, nº 10, pp. 849-851, Oct. 1992.

[113] H. Chaoui, “CMOS high-frequency rectifier with unity voltage gain”, *Electronics Letters*, vol. 31, nº 9, pp. 717 – 718, Abr. 1995.

[114] F.J. Lidgey, K. Hayatleh y C. Toumazou, “New current-mode precision rectifiers”, *Proceedings of the 1993 IEEE International Symposium on Circuits and Systems, ISCAS'93*, vol. 2, pp.1322-1325, May. 1993.

[115] C. Durbha, J. Ramírez-Angulo, R. G. Carvajal y A. J. López-Martín, “Novel architectures of Class AB CMOS mirrors with programmable gain”, *Analog Integrated Circuits and Signal Processing*, vol. 42, nº 2, pp. 197-202, Ene. 2005.

[116] J. Ramírez-Angulo, R. G. Carvajal, J. Tombs y A. Torralba, “Very low-voltage class A CMOS and bipolar precision current rectifiers”, *Electronics Letters*, vol. 35, nº 22, pp. 1904-1905, Ene. 1999.

[117] A. Rodríguez-Vázquez, R. Domínguez-Castro, F. Medeiro, J. L. Huertas y M. Delgado-Restituto, “High resolution CMOS current comparators: design and application to current mode generation”, *Analog Integrated Circuits and Signal Processing*, vol. 7, nº 2, pp. 149-165, Mar. 1995.

[118] R. Castello, F. Montecchi, F. Rezzi y A. Baschiroto, “Low-voltage Analogue Filters”, *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, vol. 42, nº 11, pp. 827-840, Nov. 1995.

[119] Z. Wang, “Full-wave precision rectification that is performed in current domain and very suitable for CMOS implementation”, *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, vol. 39, nº 6, pp. 456-462, Jun. 1992.

[120] Z. Wang, “Novel pseudo RMS current converter for sinusoidal signals using a CMOS precision current rectifier”, *IEEE Transactions on Instrumentation and Measurement*, vol. 39, nº 4, pp. 670-671, Ago. 1990.

- [121] C. -H. Lin y M. Ismail, "Design and Analysis of an Ultra Low-Voltage CMOS Class-AB V-I Converter for Dynamic Rang Enhancement", *Proceedings of the 1999 IEEE International Symposium on Circuits and Systems, ISCAS'99*, vol. 2, pp. 21–24, May. 2000.
- [122] P. P. Vervoort y R. F. Wassenar, "A CMOS rail-to-rail linear VI-converter", *Proceedings of the 1995 IEEE International Symposium on Circuits and Systems, ISCAS'95*, vol. II, pp. 825-828, Abr. 1995.
- [123] J. Ramírez-Angulo, R. González-Carvajal, A. Torralba, F. Muñoz, J. Martínez-Heredia, J. Tombs, "Some techniques for low-voltage continuous-time analog circuit operation", *Proceedings of the IEEE 2nd Dallas CAS Workshop on Low Power/Low Voltage Mixed-Signal Circuits and Systems, DCAS-01*, pp. W90-W130, Marzo 2001.
- [124] J. Ramírez-Angulo, R. González-Carvajal y A. López-Martín, "Techniques for very low-voltage operation of continuous-time analog CMOS circuits", *Proceedings of the 17th International Conference on VLSI Design, VLSID'04*, pp.39-44, Ene. 2004.
- [125] J. Ramírez-Angulo, R. González-Carvajal, A. López-Martín y A. Torralba, "Some techniques for low-voltage continuous-time analog circuit operation", *Proceedings of the 2004 IEEE Dallas/CAS Workshop Implementation of High Performance Circuits, DCAS-04*, pp. 87- 112, Sept. 2004.
- [126] J. Ramírez-Angulo, R.G. González, A. Torralba, J. Galán, A. P. Vega-Leal y J. Tombs, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design", *Proceedings of the 2002 IEEE International Symposium on Circuits and Systems, ISCAS'02*, vol. 2, pp. 615-618, Mayo 2002.
- [127] R.G. González, J. Ramírez-Angulo, A. López-Martín, A. Torralba, J. Galán, A. Carlosena y F. Muñoz, "The flipped voltage follower: a useful cell for low-voltage low-power circuit design", *IEEE Transactions on Circuits and Systems-I: Regular Papers*, vol. 52, nº 7, pp. 1276-1291, Jul. 2005.
- [128] P. R. Gray y R. G. Meyer, *Analysis and design of analog integrated circuits*, 3^a Ed., New York: John Wiley & Sons, 1993.
- [129] N. R. Malik, *Circuitos electrónicos. Análisis, diseño y simulación*, Prentice Hall, Madrid, 1998.
- [130] P. R. Kinget y M. S. J. Steyaert, "A 1-GHz CMOS up-conversion mixer", *IEEE Journal of Solid-State Circuits*, vol. 32, nº 3, pp. 370-376, Mar. 1997.

- [131] A. J. Lopez-Martin, J. Ramírez-Angulo y R.G. Carvajal, “Low-voltage low-power wideband CMOS current conveyors based on the flipped voltage follower”, *Proceedings of the IEEE International Symposium on Circuits and Systems, ISCAS’03*, vol. 1, pp. 801-804, 2003.
- [132] T. Yamakawa, “A fuzzy inference engine in nonlinear analog mode and its applications to a fuzzy logic control”, *IEEE Transactions on Neural Networks*, vol. 4, nº 3, pp. 496-522, May. 1993.
- [133] J. Ramírez-Angulo, G. Ducoudray-Acevedo, R.G. Carvajal y A. López-Martín, “Low-voltage high-performance voltage-mode and current-mode WTA circuits based on flipped voltage followers”, *IEEE Transactions on Circuits and Systems II, Express Briefs*, vol. 52, nº 7, pp. 420-423, Jul. 2005.
- [134] A. J. López-Martín, A. Carlosena y J. Ramírez-Angulo, “A novel design technique for very low voltage MOS translinear circuits”, *Proceedings of the 2003 IEEE International Symposium on Circuits and Systems, ISCAS’03*, vol. 1, pp. 13-16, 2003.
- [135] A. J. López-Martín, A. Carlosena y J. Ramírez-Angulo, “Very low voltage MOS translinear circuits based on flipped voltage followers”, *Analog Integrated Circuits and Signal Processing*, vol. 40, pp. 71-74, 2004.
- [136] F. You, S.H.K. Embabi, y E. Sánchez-Sinencio, “Low-voltage class AB buffers with quiescent current control”, *IEEE Journal of Solid-State Circuits*, vol. 33, nº 6, pp. 915-920, Mayo 1998.
- [137] J.F. Rijns, “54MHz switched-capacitor video channel equaliser”, *IEE Electronics Letters*, vol. 29, nº 25, pp. 2181-2182, Dic. 1993.
- [138] V. I. Prodanov y M. M. Green, “CMOS current mirrors with reduced input and output voltage requirements”, *IEE Electronic Letters*, vol. 32, nº 2, pp. 104-105, Ene. 1996.
- [139] T. Itakura y Z. Czarnul, “High output resistance CMOS current mirrors for low-voltage applications”, *IEICE Transactions Fundamentals*, vol. E80-A, nº 1, pp. 230-232, Ene. 1997.
- [140] V. Peluso, M. Steyaert y W. Sansen, *Design of low-voltage low-power Sigma-delta A/D converters*, Kluwer Academics Publishers, Boston, 1999, cap. 4.
- [141] A. Torralba, R.G. Carvajal, J. Ramirez-Angulo y F. Munoz, “Output stage for low supply voltage, high-performance CMOS current mirrors,” *IEE Electronics Letters*, vol. 38, nº 24, pp. 1528 -1529, Nov. 2002.

- [142] J. Ramírez-Angulo, R.G. Carvajal y A. Torralba, “Low supply voltage high-performance CMOS current mirror with low input and output voltage requirements”, *IEEE Transactions on Circuits and Systems II, Express Briefs*, vol. 51, n° 3, pp. 124-129, Mar. 2004.
- [143] R. Shukla, J. Ramírez-Angulo, A. López-Martín y R. G. Carvajal, “A low voltage rail to rail V-I conversion scheme for applications in current mode A/D converters”, *Proceedings of the 2004 IEEE International Symposium on Circuits and Systems, ISCAS'04*, vol. 1, pp. 916-919, 2004.
- [144] D. Johns y K. Martin, *Analog Integrated Circuit Design*, John Wiley, 1997.
- [145] G.O. Ducoudray, R. González-Carvajal y J. Ramírez-Angulo, “A High-Speed Dynamic Current Sensor Scheme for iDD Test using a Flipped Voltage Follower,” *Proc. of the 2003 Southwest Symposium on Mixed-Signal Design, SSMSD'03*, pp. 208-211, 2003.
- [146] S. Karthikeyan, A. Tamminneedi, C. Boecker y E. K. F. Lee, “Design of low-voltage front-end interface for switched-op amp circuits”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 48, n° 7, p. 722-726, Julio 2001.
- [147] S. Rout and E.K.F. Lee, “Design of 1 V switched-current cells in standard CMOS process”, *Proceedings of the 2000 IEEE International Symposium on Circuits and Systems, ISCAS'00*, vol. 2, pp. 421-424, Mayo 2000.
- [148] M. Puzenberger y C. Enz, “A new 1.2 V BiCMOS log-domain integrator for companding current-mode filters”, *Proceedings of the 1996 IEEE International Symposium on Circuits and Systems, ISCAS'96*, pp. 125-128, 1996.
- [149] D. Phyton, M. Puzenberger y C. Enz, “A 1-V CMOS log-domain integrator”, *Proceedings of the 1999 IEEE International Symposium Circuits and Systems, ISCAS'99*, pp. 685-688, 1999.
- [150] M D. Pardo y M.G. Degrauwe, “A rail-to-rail CMOS input/output power amplifier,” *IEEE Journal of Solid-State Circuits*, vol. 25, n° 2, pp. 501-504, Abril 1990.
- [151] V. Peluso, P. Vancorenland, A.M. Marques, M.S.J. Steyaert y W. Sansen, “A 900-mV low-power $\Delta\Sigma$ A/D converter with 77-dB dynamic range”, *IEEE Journal of Solid-State Circuits*, vol. 33, n° 12, pp. 1887 -1897, Dic. 1998.
- [152] M. Laguna, C. De la Cruz-Blas, A. Torralba, R. G. Carvajal, A. Lopez-Martín y A. Carlosena, “A novel low-voltage low-power class-AB linear transconductor”,

Proceedings of the 2004 IEEE International Symposium Circuits and Systems, ISCAS'04, pp. 725-728, 2004.

[153] A. Nedungadi y T. Viswanathan, "Design of linear CMOS transconductance elements", *IEEE Transactions on Circuits and Systems*, vol. 31, nº 10, pp. 891-894, Oct. 1984.

[154] T. L. Viswanathan, "Design of linear CMOS transconductance elements", *Proceedings of the IEEE*, vol. 74, nº 1, pp. 222-224, Ene. 1986.

[155] M. F. Li, X. Chen e Y. C. Lim, "Linearity improvement of CMOS transconductors for low supply applications", *IEE Electronics Letters*, vol. 29, nº 12, pp. 1106-1107, Jun. 2002.

[156] E. Seevinck y R. F. Wassenaar, "A versatile CMOS linear transconductor/square-law function circuit", *IEEE Journal of Solid-State Circuits*, vol. SC-22, nº 3, pp. 366-377, Jun. 1987.

[157] A. Torralba, R.G. Carvajal, J. Galán y J. Ramírez-Angulo, "Compact low power high slew rate CMOS buffer for large capacitive loads", *IEE Electronics Letters*, vol. 38, nº 22, pp. 1348-1349, Oct. 2002.

[158] J.M. Carrillo, R.G. Carvajal, A. Torralba y J. F. Duque-Carrillo, "Rail-to-rail low-power high-slew rate CMOS analogue buffer", *IEE Electronics Letters*, vol. 40, nº 14, pp. 843-844, Jul. 2004.

[159] J.M. Carrillo, J. F. J. Duque-Carrillo, A. Torralba y R.G. Carvajal, "Class-AB Rail-to-Rail CMOS analog buffer", *Proceedings of the 2005 IEEE International Symposium Circuits and Systems, ISCAS'05*, pp. 1008-1011, 2005.

[160] J. Ramírez-Angulo, R.G. Carvajal, A. Torralba y C. Nieva, "A new class-AB differential input stage for implementation of low voltage high slew rate op-amps and linear transconductors", *Proceedings of the 2001 IEEE International Symposium on Circuits and Systems, ISCAS'01*, vol. 1, pp. 671-674, Mayo 2001.

[161] R.G. Carvajal, J. Galán, J. Ramírez-Angulo, and A. Torralba, "Low-power low-voltage differential class-AB OTAs for SC circuits", *IEE Electronics Letters*, vol. 38, nº 22, pp. 1304 -1305, Oct 2002.

[162] J. Galan, A.P. VegaLeal, F. Munoz, R.G. Carvajal, A. Torralba, J. Tombs y J. Ramírez-Angulo, "A 1.1V very low-power $\Sigma\Delta$ modulator for 14-b 16KHz A/D conversion using a novel class AB transconductance amplifier," *Proceedings of the IEEE International Symposium on Circuits and Systems, ISCAS'02*, vol. 2, pp. 616-619, 2002.

- [163] H. J. Song y C. K. Kim, "A MOS four-quadrant analog multiplier using simple two-input squaring circuits with source followers", *IEEE Journal of Solid-State Circuits*, vol. 25, n° 6, pp. 841-848, Jun. 1990.
- [164] J. Ramírez-Angulo, R.G. Carvajal y J. Martínez-Heredia, "1.4 V supply, wide swing, high frequency CMOS analogue multiplier with high current efficiency", *Proceedings of the IEEE International Symposium on Circuits and Systems, ISCAS'00*, vol. 5, pp. 533 -536, 2000.
- [165] J. Galan, R.G. Carvajal, A. Torralba, F. Muñoz y J. Ramírez-Angulo, "A low-power low-voltage OTA-C sinusoidal oscillator with a large tuning range", *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 52, n° 2, pp. 283-291, Feb. 2005.
- [166] J. Ramírez-Angulo, S. Thoutam, A. López-Martín y R.G. Carvajal, "Low-voltage CMOS analogue four quadrant multiplier based on flipped voltage followers", *IEE Electronic Letters*, vol. 39, n° 25, pp. 1771-1772, Dic. 2003.
- [167] J. Ramírez-Angulo, S. Thoutam, A. López-Martín y R.G. Carvajal, "Low-voltage CMOS analog four quadrant multiplier based on flipped voltage followers", *Proceedings of the IEEE International Symposium on Circuits and Systems, ISCAS'04*, vol. 1, pp. 681-684, 2004.
- [168] G. Hang y E. Sanchez-Silencio, "CMOS transconductance multipliers: a tutorial", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 45, n° 12, p. 1550-1563, Dic. 1998.
- [169] J. Ramírez-Angulo, R.G. Carvajal y J. Martínez-Heredia, "1.4 V supply, wide swing, high frequency CMOS analogue multiplier with high current efficiency", *Proceedings of the XV Conference on Design of Circuits and Integrated Systems, DCIS'00*, 2000.
- [170] Z. Wang, "A four-transistor four-quadrant analog multiplier using MOS transistors operating in the saturation region", *IEEE Transactions on Instrumentation and Measurement*, vol. 42, n° 1, pp. 75-77, Feb. 1993.
- [171] A. Díaz-Sánchez y J. Ramírez-Angulo, "Design and implementation of VLSI analog adaptative filters", *Proceedings of the IEEE Midwest Symposium on Circuits and Systems*, pp. 1366-1368, Ago. 1996.
- [172] Y. H. Kim y S. B. Park, "Four-quadrant CMOS analogue multiplier", *IEE Electronic Letters*, vol. 28, n° 7, pp. 649-650, Mar. 1992.

- [173] S. Sakurai y M. Ismail, "High frequency wide range CMOS analogue multiplier", *IEE Electronic Letters*, vol. 28, n° 24, pp. 2228-2229, Nov. 1992.
- [174] S. I. Liu y Y. S. Hwang, "CMOS four-quadrant multiplier using bias offset cross coupled pairs", *IEE Electronic Letters*, vol. 29, n° 20, pp. 1737-1738, Sep. 1993.
- [175] K. Kimura, "Analysis of 'An MOS four-quadrant analog multiplier using simple two-input squaring circuits with source followers", *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 41, n° 1, pp. 72-75, Ene. 1994.
- [176] S. I. Liu y Y. S. Hwang, "CMOS squarer and four-quadrant multiplier", *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 42, n° 2, pp. 119-122, Feb. 1995.
- [177] S. I. Liu, C. C. Chang y Y. S. Hwang, "New CMOS four-quadrant multiplier and squarer circuits", *Analog Integrated Circuits and Signal Processing*, vol. 9, n° 3, pp. 257-263, Abr. 1996.
- [178] J. Ramirez-Angulo, "Highly linear four quadrant analogue BiCMOS multiplier for ± 1.5 V supply operation", *IEE Electronic Letters*, vol. 28, n° 19, pp. 1783-1785, Sep. 1992.
- [179] J. Ramirez-Angulo, " ± 0.75 V BiCMOS four quadrant analog multiplier with rail-rail input signal-swing", *Proceedings of the IEEE International Symposium on Circuits and Systems, ISCAS'96*, vol. 1, pp. 242-245, May. 1996.
- [180] A. Diaz-Sanchez, J. Ramírez-Angulo, E. Sánchez-Sinencio y G. Han, "A CMOS Four Quadrant Current/Transconductance Multiplier", *Analog Integrated Circuits and Signal Processing*, vol. 19, n° 2, pp. 163-168, May. 1999.
- [181] K. Tanno, O. Ishizuka y Z. Tang, "Four-quadrant CMOS current-mode multiplier independent of device parameters", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 47, n° 5, pp. 473-477, May. 2000.
- [182] A. Ravindran, K. Kamarao, E. Vidal y M. Ismail, "Compact low voltage Four Quadrant CMOS Current Multiplier", *IEE Electronic Letters*, vol. 37, n° 24, pp. 1428-1429, Nov. 2001.
- [183] G. Giustolisi, G. Palmisano y G. Palumbo, "Analysis and optimization of a novel CMOS multiplier", *International Journal of Circuit Theory and Applications*, vol. 29, n° 3, pp. 321-330, Feb. 2001.

- [184] I. Navarro, A.J. López-Martín, C. A. de la Cruz-Blas y A.Carlosena, “Very low voltage CMOS current multiplier with floating DC level shifters”, *Analog Integrated Circuits and Signal Processing*, vol. 37, n° ???, pp. 265-268, ???, 2003.
- [185] S. C. Li, “LV/LP CMOS four-Quadrant Analog multiplier cell in modified bridged-triode scheme”, *Analog Integrated Circuits and Signal Processing*, vol. 36, n° 3, pp. 187-198, Sept. 2003.
- [186] J. Ramírez-Angulo, S. Thoutam, A. López-Martín y R.G. Carvajal, “Low-voltage CMOS analogue four quadrant multiplier based on flipped voltage followers”, *IEE Electronic Letters*, vol. 39, n° 25, pp. 1771-1772, Dic. 2003.
- [187] A. Demosthenous y M. Panovic, “Low-Voltage MOS Linear Transconductor/Squarer and Four-Quadrant Multiplier for Analog VLSI”, *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 52, n° 9, pp. 1721 – 1731, Sept. 2005.
- [188] J. L. Pennock, P. Frith y R. G. Barker, “CMOS triode transconductor continuous-time filters”, *Proceedings of the IEEE Conference on Custom Integrated Circuits, CICC’86*, pp. 378 -381, 1986.
- [189] R. Alini, A. Baschiroto y R. Castello, “Tunable BiCMOS continuous-time filter for high-frequency applications”, *IEEE Journal of Solid-State Circuits*, vol. 27, pp. 1905-1915, Dic. 1992.
- [190] F. Rezzi, A. Baschiroto y R. Castello, “A 3 V 12-55 MHz BiCMOS pseudo-differential continuous-time filter”, *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, vol. 42, n° 11, pp. 896-903, Nov. 1995.
- [191] F. Yang y C. C. Enz, “A low-distortion BiCMOS seven-order Bessel filter operating at 2.5V supply”, *IEEE Journal of solid State Circuits*, vol. 31, n° 3, pp. 321-330, Mar. 1996.
- [192] C. Yoo, S. W. Lee y W. Kim, “A ± 1.5 -V 4-MHz CMOS continuous-time filter with a single-integrator based tuning”, *IEEE Journal of solid State Circuits*, vol. 33, n° 1, pp. 18-27, Ene. 1998.
- [193] T. Itakura, T. Veno, H. Tanimoto y T. Arai, “A 2-V_{pp} linear input range fully balanced CMOS transconductor and its application to a 2.5-V 2.5-MHz Gm-C LPF”, *Proceedings of the IEEE Conference on Custom Integrated Circuits, CICC’99*, pp. 509-512, 1999.
- [194] J. A. De Lima y C. Dualibe, “A linearly tunable low-voltage CMOS transconductor with improved common-mode stability and its application to gm-C

filters”, *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 48, n° 7, pp. 649-660, Jul. 2001.

[195] A. N. Mohieldin, E. Sánchez-Sinencio y J. Silva-Martínez, “A fully balanced pseudo-differential OTA with common-mode feedforward and inherent common-mode feedback detector”, *IEEE Journal of Solid State Circuits*, vol. 38, n° 4, pp. 663-668, Abr. 2003.

[196] A. A. Emira y E. Sánchez-Sinencio, “A pseudo-differential complex filter for Bluetooth with frequency tuning”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 50, n° 10, pp. 742-754, Oct. 2003.

[197] M. Chen, J. Silva-Martínez, S. Rokhsaz y M. Robinson, “A 2- V_{pp} 80-200MHz fourth-order continuous-time filter linear phase filter with automatic frequency tuning”, *IEEE Journal of Solid State Circuits*, vol. 38, n° 10, pp. 1745-1749, Oct. 2003.

[198] A. N. Mohieldin, E. Sánchez-Sinencio y J. Silva-Martínez, “Nonlinear effects in pseudo-differential OTAs with CMFB”, *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 50, n° 10, pp. 762-770, Oct. 2003.

[199] A. Torralba, J.M. Martínez-Heredia, R.G. Carvajal y J. Ramírez-Angulo, “Low-voltage transconductor with high linearity and large bandwidth”, *IEE Electronic Letters*, vol. 38, n° 25, pp. 1616-1617, Dic. 2002.

[200] J.M. Martínez-Heredia, A. Torralba, R.G. Carvajal y J. Ramírez-Angulo, “A new 1.5V linear transconductor with high output impedance in a large bandwidth”, *Proceedings of the IEEE International Symposium on Circuits and Systems, ISCAS'03*, vol. 1, pp. 157-161, Mayo 2003.

[201] J.M. Martínez-Heredia, A. Torralba, R.G. Carvajal y J. Ramírez-Angulo, “A fully differential, 1.5V supply, high linearity, large bandwidth transconductor with high output impedance”, *Proceedings of the XVIII Conference on Design of Circuits and Integrated Systems, DCIS'03*, pp. 702-705, 2003.

[202] S.L. Wong, “Novel drain-biased transconductance building blocks for continuous-time filter applications”, *IEE Electronic Letters*, vol. 25, n° 2, pp. 100-101, Ene. 1989.

[203] K. Bult y J. G. M. Geelen, “A fast-settling CMOS op amp for SC circuits with 90-dB DC gain”, *IEEE Journal of Solid-State Circuits*, vol. 25, n° 6, pp. 1379-1384, Dic. 1990.

- [204] K. Bult y J. G. M. Geelen, "The CMOS gain-boosting technique", *Analog Integrated Circuits and Signal Processing*, vol. 1, n° 2, pp. 119-135, Abr. 1991.
- [205] A. Torralba, R.G. Carvajal, J. Ramírez-Angulo y F. Muñoz, "Output stage for low supply voltage, high-performance CMOS current mirrors", *IEE Electronic Letters*, vol. 38, n° 24, pp. 1528-1529, Nov. 2002.
- [206] R.G. Carvajal, B. Palomo, A. Torralba, F. Muñoz y J. Ramírez-Angulo, "Low-voltage high-gain differential OTA for SC circuits", *IEE Electronic Letters*, vol. 39, n° 16, pp. 1159-1160, Ago. 2003.
- [207] U. Chilakapati, T. S. Fiez y A. Eshraghi, "A CMOS transconductor with 80 dB SFDR up to 10 MHz", *IEEE Journal of Solid-State Circuits*, vol. 37, n° 3, pp. 365-370, Mar. 2002.
- [208] K. C. Kuo y A. Leucuc, "A linear MOS transconductor using source degeneration and adaptive biasing," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 48, n° 10, pp. 937-943, Oct. 2001.
- [209] F. Muñoz, A. Torralba, R. G. Carvajal, J. Tombs y J. Ramírez-Angulo, "Floating-gate-based tunable CMOS low-voltage linear transconductor and its application to HF Gm-C filter design," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 48, n° 1, pp. 106-110, Ene. 2001.
- [210] A. A. El-Adawy y A. M. Soliman, "A low-voltage single input class AB transconductor with rail-to-rail input range," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 47, n° 2, pp. 236-242, Feb. 2000.
- [211] C. -C. Hung, M. Ismail, K. Halonen y V. Porra. "A low-voltage rail-to-rail CMOS V-I converter," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 46, n° 6, pp. 816-820, Jun. 1999.
- [212] R. Castello, F. Montecchi, F. Rezzi y A. Baschiroto, "Low-voltage Analog filters", *IEEE Transactions on Circuits and Systems-I: Fundamental theory and applications*, vol. 42, n° 11, pp. 827-840, Nov. 1995.
- [213] Y. Tsvividis, "Continuous- time filters in telecommunications chips", *IEEE Communications Magazine*, vol. 39, n° 4, pp. 132- 137, Abr. 2001.
- [214] J. B. Hughes, N. C. Bird e I.C. Macbeth, "Switched currents - a new technique for analog sampled-data processing", *Proceedings of the 1989 IEEE International Symposium on Circuits and Systems, ISCAS'89*, vol. 3, pp. 1584-1587, Mayo 1989.
- [215] J. Ramírez-Angulo, M. Robinson y E. Sánchez-Sinencio, "Current-mode continuous-time filters: two design approaches", *IEEE Transactions on Circuits and*

Systems-II: Analog and Digital Signal Processing, vol. 39, n° 6, pp. 337-341, Jun. 1992.

[216] Y. P. Tsividis, V. Gopinathan y L. Toth, "Companding in signal processing", *IEE Electronic Letters*, vol. 26, n° 17, pp. 1331-1332, Ago. 1990.

[217] E. Seevinck, "Companding current-mode integrator: a new circuit principle for continuous-time monolithic filters", *IEE Electronic Letters*, vol. 26, n° 24, pp. 2046-2047, Nov. 1990.

[218] R. H. Zele y D. J. Allstot, "Low-voltage fully differential switched-current filters", *IEEE Journal of Solid-State Circuits*, vol. 29, n° 3, pp. 203-209, Mar. 1994.

[219] T. Deliyannis, Yichuang Sun, J.K. Fidler, *Continuous-time active filter design*, Boca Raton, Fla.: CRC Press, 1999.

[220] Rolf Schaumann, M. S. Ghauri, Kenneth R. Laker, *Design of analog filters: passive, active RC, and switched capacitor*, Englewood Cliffs, N.J. Prentice Hall, 1990.

[221] "3rd Generation Partnership Project; Technical Specification Group Radio Access Network; User Equipment (UE) radio transmission and reception (FDD) (Release 7)", 3GPP TS 25.101, vol. V7.2.0, Dic. 2005.

[222] J. E. Kardontchick, *Introduction to the design of transconductor-capacitor filters*, Kluwer Academics Publishers, Boston, 1992.

[223] P. A. Allen y E. Sánchez-Sinencio, *Switched-capacitors circuits*, Van Nostrand-Reinhold, 1984.

[224] K. Lee y R. G. Meyer, "Low-distortion S.C. filter design techniques", *IEEE Journal of Solid-State Circuits*, vol. 20, n° 6, pp. 1103-1113, Dic. 1985.

[225] B. S. Song y P. R. Gray, "SC high-Q bandpass filters for IF Applications", *IEEE Journal of Solid-State Circuits*, vol. 21, n° 6, pp. 924-933, Dic. 1986.

[226] P. M. VanPeteghem, J. F. Duque-Carrillo, "A general description of common-mode feedback in fully-differential amplifiers", *Proceedings of the 1990 IEEE International Symposium on Circuits and Systems, ISCAS'90*, vol. 4, pp. 3210-3212, May. 1990.

[227] P. Wu y R. Schaumann, "Improved common-mode feedback circuit suitable for operational transconductance amplifiers with tuning", *IEE Electronic Letters*, vol. 27, n° 2, pp. 117-118, Ene. 1991.

[228] J. N. Babanezhad, "A low-output-impedance fully differential op amp with large output swing and continuous-time common-mode feedback", *IEEE Journal of Solid-State Circuits*, vol. 26, n° 12, pp. 1825-1833, Dic. 1991.

- [229] J. F. Duque-Carrillo, "Control of the common-mode component in CMOS continuous-time fully differential signal processing", *Analog Integrated Circuits and Signal Processing*, vol. 4, n° 2, pp. 131-140, Sept. 1993.
- [230] J. F. Duque-Carrillo, "Continuous-time common-mode feedback networks for fully-differential amplifiers: a comparative study", *Proceedings of the 1993 IEEE International Symposium on Circuits and Systems, ISCAS'93*, pp. 1267-1270, May. 1993.
- [231] Z. Czarnul, S. Tagaki y N. Fujii, "Common-mode feedback circuit with differential-difference amplifier", *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, vol. 41, n° 3, pp. 243-246, Mar. 1994.
- [232] M. Waltari y K. Halonen, "Fully-differential switched opamp with enhanced common mode feedback", *IEE Electronic Letters*, vol. 34, n° 23, pp. 2181-2182, Nov. 1998.
- [233] J. F. Duque-Carrillo, J. L. Ausín, G. Torelli, J. M. Carrillo y P. Merchán, "Input common-mode feedback technique for very low voltage CMOS amplifiers", *Proceedings of the 1999 IEEE International Symposium on Circuits and Systems, ISCAS'99*, vol. 2, pp. 25-28, May. 1999.
- [234] A. Wyszynski y R. Schaumann, "Avoiding common-mode feedback in continuous-time g_m -C filters by use of lossy integrators", *Proceedings of the 1994 IEEE International Symposium on Circuits and Systems, ISCAS'94*, vol. 5, pp. 281-284, May. 1994.
- [235] P. D. Walker y M. M. Green, "An approach to fully differential circuit design without common-mode feedback", *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 43, n° 11, pp. 752-762, Nov. 1996.
- [236] P. H. Lu, C. Y. Wu y M. K. Tsai, "The design of fully differential CMOS operational amplifiers without extra common-mode feedback circuits", *Analog Integrated Circuits and Signal Processing*, vol. 4, pp. 173-186, Sep. 1993.
- [237] F. Rezzi, A. Baschiroto y R. Castello, "A 3V 12-55 MHz BiCMOS pseudo-differential continuous-time filter", *IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications*, vol. 42, n° 11, pp. 896-903, Nov. 1995.
- [238] A. Shankar, J. Silva-Martinez y E. Sanchez-Sinencio, "A low voltage operational transconductance amplifier using common mode feedforward for high frequency switched capacitor circuits", *Proceedings of the 2001 IEEE International Symposium on Circuits and Systems, ISCAS'01*, vol. 1, pp. 643-646, May. 1994.

- [239] J. M. Carrillo, J. L. Ausín, P. Merchán y J. F. Duque-Carrillo, “Feedback vs feedforward common-mode control: a comparative study”, *Proceedings of the 1998 IEEE International Conference on Electronics, Circuits and Systems*, vol. 2, pp. 363-366, Sep. 1998.
- [240] A.N. Mohieldin, E. Sanchez-Sinencio y J. Silva-Martinez, “Nonlinear effects in pseudo differential OTAs with CMFB”, *IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing*, vol. 50, n° 10, pp. 762-770, Oct. 2003.
- [241] A.N. Mohieldin, E. Sanchez-Sinencio y J. Silva-Martinez, “A fully balanced pseudo-differential OTA with common-mode feedforward and inherent common-mode feedback detector”, *IEEE Journal of Solid-State Circuits*, vol. 38, n° 4, pp. 663-668, Apr. 2003.
- [242] C. Mingdeng, J. Silva-Martinez, S. Rokhsaz y M. Robinson, “A 2-Vpp 80-200-MHz fourth-order continuous-time linear phase filter with automatic frequency tuning”, *IEEE Journal of Solid-State Circuits*, vol. 38, n° 10, pp. 1745-1749, Oct. 2003.
- [243] J. Silva-Martinez, M. S. J. Steyaert y W. Sansen, “Design techniques for high-performance Full-CMOS OTA-RC continuous-time filters”, *IEEE Journal of Solid-State Circuits*, vol. 27, n° 7, pp. 993-1001, Jul. 1992.
- [244] T. Hollmman, S. Lindfors, M. Länsirinne, J. Jussila y K. A. I. Halonen, “A 2.7-V CMOS dual-mode baseband filter for PDC and WCDMA”, *IEEE Journal of Solid-State Circuits*, vol. 36, n° 7, pp. 1148-1153, Jul. 2001.
- [245] T. Hollmman, S. Lindfors, T. Salo, M. Länsirinne y K. Halonen, “A 2.7-V CMOS dual-mode baseband filter for GSM and WCDMA”, *Proceedings of the 2000 European Solid-State Circuits Conference, ESSCIRC'00*, pp. 156-159, Sept. 2000.
- [246] D. K. Shaeffer, A. R. Shahani, S.S. Mohan, H. Samavati, H. R. Rategh y M.M. Hershenson, M. Xu, C. P. Yue, D. J. Eddleman y T. H. Lee, “A 115-mW, 0.5- μ m CMOS GPS receiver with wide dynamic-range active filters”, *IEEE Journal of Solid-State Circuits*, vol. 33, n° 12, pp. 2219-2231, Dic. 1998.
- [247] C. Yoo, S. Lee y W. Kim, “A ± 1.5 -V, 4-MHz CMOS continuous-time filter with a single-integrator based tuning”, *IEEE Journal of Solid-State Circuits*, vol. 33, n° 1, pp. 18-26, Ene. 1998.
- [248] C. H. J. Mensink, B. Nauta y H. Wallinga, “A CMOS “soft-switch” transconductor and its application in gain control and filters”, *IEEE Journal of Solid-State Circuits*, vol. 32, n° 7, pp. 989-998, Jul. 1997.

- [249] F. Behbahani, W. Tan, A. Karimi-Sanjaani, A. Roithmeier y A. A. Abidi, "A broad-band tunable CMOS channel-select filter for a low-IF wireless receiver", *IEEE Journal of Solid-State Circuits*, vol. 35, n° 4, pp. 476-489, Abr. 2000.
- [250] H. A. Alzaher, H. O. Elwan y M. Ismail, "A CMOS highly channel-select filter for 3G multistandard integrated wireless receivers", *IEEE Journal of Solid-State Circuits*, vol. 37, n° 1, pp. 27-37, Ene. 2002.
- [251] F. Yang y C. C. Enz, "A low-distortion BiCMOS seventh-order Bessel Filter operating at 2.5 V supply", *IEEE Journal of Solid-State Circuits*, vol. 31, n° 3, pp. 27-37, pp. 321-329, Mar. 1996.
- [252] J-Y Lee, C-C Tu y W-H Chen, "A 3V linear range tunable CMOS transconductor and its application to a 3.3V 1.1MHz chebyshev low-pass Gm-C filter for ADSL", *Proceedings of the IEEE 2000 Custom Integrated Circuits Conference, CICC'00*, pp. 387-390, May. 2000.
- [253] P. E. Allen y D. R. Holberg, *CMOS Analog Circuit Design*, Oxford University Press, Oxford, U. K., 2002.

