



Diseño de un sensor de imagen con compresión logarítmica y diodos operando en régimen fotovoltaico

Trabajo de Fin de Grado

6 de julio de 2023

Departamento de Electrónica y Electromagnetismo

Universidad de Sevilla

Autor: Juan Manuel Rodríguez Sánchez

Tutores: Juan Antonio Leñero Bardallo
Pablo Fernández Peramo

Agradecimientos

Agradezco de manera especial a mis profesores, Ángel Rodríguez y Antonio Ginés, por brindarme los conocimientos necesarios para llevar a cabo este trabajo de fin de grado. Sus enseñanzas han sido fundamentales en mi formación académica.

Deseo expresar mi más profundo agradecimiento a mis tutores, Juan Antonio Leñero y Pablo Fernández, por su paciencia inagotable a lo largo de todo el proceso. Han sido un apoyo constante, brindándome su tiempo y esfuerzo para que este trabajo saliera adelante. Agradezco especialmente a Pablo por estar siempre ahí cuando se le necesitaba para resolver cualquier duda y a Juan Antonio, no solo por orientarme y guiarme hacia el logro de los objetivos planteados, sino también por las oportunidades que me ha brindado para continuar mi formación académica.

Por último, quiero expresar mi más sincero agradecimiento a mi familia, quienes han sido el pilar fundamental en momentos de adversidad. Su constante motivación y apoyo incondicional han sido mi fuente de fortaleza en todos mis proyectos.

A todos ustedes, mi más profundo agradecimiento por ser parte fundamental de este trabajo y de mi desarrollo académico y personal.

Resumen

En el presente Trabajo Fin de Grado, hemos llevado a cabo el diseño y desarrollo de un sensor de imagen de alto rango dinámico con compresión logarítmica y lectura asíncrona, utilizando diodos en región fotovoltaica. Este sensor presenta un proceso de lectura asíncrona innovador, el cual *activa* la lectura de los píxeles cuando una señal rampa global alcanza la tensión de circuito abierto producida por los diodos. Además, el sistema incorpora un mecanismo de bloqueo que permite que los píxeles, una vez leídos, dejen de consumir energía.

Los diodos en región fotovoltaica aportan una compresión natural del rango dinámico. Esto nos ha permitido obtener estimaciones prometedoras de 140 dB de rango dinámico, el cual, junto con valores competitivos de *Fill Factor* y *pitch*, colocan a nuestro sensor a la vanguardia del sector.

Asimismo, nuestras proyecciones indican un consumo del sensor de tan solo 1.69 μW . Por lo que hemos contemplado la posibilidad de incorporar un sistema de *harvesting* que podría aprovechar la energía generada por los diodos en fotovoltaica durante sus períodos de bloqueo. Esta innovación sería particularmente relevante para las redes de sensores en entornos IoT (*Internet of Things*), donde la eficiencia energética y la autosuficiencia son prioritarias.

El logro de estos resultados no ha estado exento de desafíos. Uno de los principales obstáculos fue la adaptación de la arquitectura típica de comparador, utilizando un amplificador operacional de transconductancia (OTA) de dos etapas, a las especificidades de nuestro dispositivo.

Para concluir, hemos efectuado simulaciones numéricas con el objetivo de corroborar el desempeño de nuestro diseño, además de implementarlo a nivel de *layout* con miras a su futura fabricación. Este paso subsiguiente nos brindará la oportunidad de constatar si nuestro sensor de imagen se ajusta fielmente a las perspectivas prometedoras que nuestro análisis sugiere. El presente trabajo constituye un cimiento sólido para el desarrollo de sensores de imagen de alto rango dinámico con compresión logarítmica y alta eficiencia energética, los cuales se perfilan como componentes esenciales en áreas emergentes tales como los sistemas de visión computarizada (*Computer Vision Systems*) y el IoT.

Índice general

Resumen	III
Índice de figuras	VII
1. Introducción	1
1.1. Más allá del ojo humano: la innovación de los sensores HDR	1
1.2. Avances y evolución en la tecnología de sensores de imagen	2
1.2.1. Sensores convencionales	2
1.2.2. Sensores basados en eventos	4
1.3. Sensores con compresión logarítmica	6
1.4. <i>Tone Mapping</i>	9
1.5. Objetivos del trabajo	11
2. Marco teórico	13
2.1. Diodos de unión pn	13
2.1.1. Diodo en equilibrio	13
2.1.2. Diodo en inversa	14
2.1.3. Diodo en directa	14
2.1.4. Fotogeneración	15
2.1.5. Fotovoltaica	16
2.2. Rango dinámico	18
2.3. Eficiencia cuántica	19
3. Análisis, simulaciones y resultados	21
3.1. Arquitectura del pixel	21
3.2. Análisis del comparador	27
3.2.1. Resultado de las simulaciones del comparador	30
3.3. Simulación del pixel completo	33
4. <i>Layout</i> del sensor y de la matriz de píxeles	37
4.1. Diseño del sensor de imagen	38
4.2. Simulaciones post- <i>layout</i>	41
4.3. Diseño del diodo	43
4.4. Comparativa con el estado del arte	46
5. Conclusiones y líneas futuras	47

Bibliografía

49

Índice de figuras

1.1.	Posibles configuraciones del pixel APS	3
1.2.	Comparativa entre las funciones de conversión optoelectricas lineal y logarítmicas. Podemos observar que para un mismo rango de salida, la OECF logarítmica comprime el rango dinámico, evitando así píxeles sobresaturados. Un modelo más realista de la OECF logarítmica es la representada en línea azul continua, ya que solo se anula para valores nulos de luminosidad.	7
1.3.	Fotorreceptor logarítmico en el que se impone que la corriente entre los terminales del transistor NMOS sea la fotocorriente del diodo, $I_D = I_{ph}$, de tal forma que la tensión V_o nos proporciona el logaritmo natural de la intensidad luminosa. Podemos observar que vamos a obtener un valor de tensión constante V_{oQ} y otro variable con la iluminación ΔV_o .	8
1.4.	Figuras realizadas con el software <i>MATLAB</i> empleando la función <i>tonemap</i> y <i>localtonemap</i> . En la primera fila podemos observar la imagen original junto con su histograma de luminancia, en el que se representa el valor de luminancia en el eje de abscisas y el número de píxeles en el eje de ordenadas. En la segunda fila observamos la imagen resultante del proceso de <i>tone mapping</i> global junto con su nuevo histograma y en la tercera fila aplicamos un proceso de <i>tone mapping</i> local	10
2.1.	Formación de la región de depleción en un diodo de unión <i>pn</i>	14
2.2.	Configuración de la unión <i>pn</i> en directa y en inversa	15
2.3.	Proceso de fotogeneración en la región de depleción	16
2.4.	Característica I/V de la unión <i>pn</i>	17
2.5.	Representación del rango dinámico desde el punto SNR=1 y saturación, y definición del SNR como la diferencia entre la señal y el ruido	19
2.6.	Efecto de la longitud de onda en la eficiencia cuántica. Usando una iluminación puntual, vemos como la eficiencia cuántica es mayor en la zona de depleción y va decreciendo en las secciones dopadas. Además, la radiación con mayor longitud de onda tiene mayor poder de penetración	20
3.1.	Esquemático del pixel sin la comunicación con la periferia (Figura 3.3)	22
3.2.	Cronograma del funcionamiento del pixel	23
3.3.	Esquemático de la comunicación con la periferia del pixel. Las dimensiones de los transistores $\frac{W(\mu\text{m})}{L(\mu\text{m})}$ son: $M_1 = 0.45/0.18$, $M_2 = 2/0.18$, $M_{3,4} = 1.6/0.18$, y están elegidas para que los transistores responsables de las peticiones sean capaces de vencer la carga capacitiva asociada a una fila o a una columna de 128 píxeles	24

3.4.	Ejemplo de funcionamiento del protocolo AER	25
3.5.	Esquemático del comparador del píxel, donde se han representado los componentes internos, espejos de corriente y par diferencial, de forma esquemática para mayor claridad	26
3.6.	Representación de las intensidades inducidas en el comparador como respuesta a una excitación diferencial de entrada. En verde se representan las intensidades debidas al par diferencial, en azul la debida al espejo de corriente NMOS y en violeta las debidas a la corriente de polarización externa. A su vez se representa en rojo el transistor de <i>boosting</i> incluido para mejorar el funcionamiento del circuito	28
3.7.	Diagrama de Bode del comparador. Se representa el ancho de banda y la posición del primer polo	30
3.8.	Histograma del análisis por Monte Carlo del offset del comparador para 200 iteraciones	31
3.9.	Representación del análisis por Monte Carlo del offset del comparador para 200 iteraciones. En rojo se representa la tensión de circuito abierto del diodo y en negro la tensión generada por la señal rampa	32
3.10.	Simulación del comportamiento del comparador ante una señal rampa dada por un DAC de 7 bits mediante un análisis por Monte Carlo de 200 iteraciones. En rojo se representa la tensión de circuito abierto del diodo.	33
3.11.	Representación de una figura usando 8 bits, 1 bit, 3 bits y 7 bits	34
3.12.	Simulación de la lectura del píxel completo	35
3.13.	Simulación por <i>corners</i> del comportamiento del comparador	35
3.14.	Simulación de la lectura de un <i>cluster</i> de 4 píxeles	36
4.1.	<i>Layout</i> del píxel	38
4.2.	Secciones del píxel. El bloque de puertas lógicas incluye la puerta NAND, AND y el segundo inversor, el bloque de NMOS peticiones engloba a los transistores encargados de las peticiones de lectura, el de NMOS cap incluye los transistores que se encargan de descargar el condensador y el bloque de diodo corte engloba la puerta NOR y el transistor encargados de cortocircuitar al diodo	39
4.3.	Rutado de señales	40
4.4.	<i>Shielding</i> con M_5 y M_6 de un <i>cluster</i> 2×2	41
4.5.	Comparativa en la lectura del sensor con parásitos (representado en negro) y sin parásitos (en rojo)	42
4.6.	Diseño del diodo	43
4.7.	Gráfica de la tensión de circuito abierto (V_{oc}) frente a la iluminación para una configuración de un solo diodo y de doble diodo	44
4.8.	<i>cluster</i> de 4 píxeles	45
4.9.	Matriz de 128×128 píxeles	46

CAPÍTULO 1

Introducción

1.1. Más allá del ojo humano: la innovación de los sensores HDR

Desde la invención del primer sensor de imagen, el objetivo cardinal de la electrónica ha sido simular el comportamiento del ojo humano. Las retinas biológicas poseen ventajas destacables, como la eliminación de información redundante al cuantificar únicamente los cambios de contraste en lugar del brillo absoluto. Además, su habilidad para proporcionar un alto rango dinámico les permite percibir información en condiciones tanto de alta como de baja luminosidad. No obstante, el rango dinámico ha resultado ser un atributo desafiante para implementar electrónicamente, puesto que el ojo humano es capaz de procesar instantáneamente hasta cinco órdenes de magnitud, y hasta ocho órdenes si se permite un tiempo de adaptación a la retina [1].

Los sensores de imagen convencionales estaban considerablemente por debajo de estas capacidades hasta la invención de los sensores de Alto Rango Dinámico (HDR) en 1993 [2]. Estos nuevos sensores replican la compresión logarítmica innata a la señal de entrada del ojo humano, permitiendo la captura de imágenes con un amplio rango de contraste. Actualmente, disponemos de sensores HDR capaces de procesar un rango de iluminancia de 1 a 20 millones (alrededor de 146 dB [3]), superando de manera significativa la sensibilidad y el rango del ojo humano [1]. A diferencia de los sensores de bajo rango dinámico,

los HDR no necesitan controlar la apertura ni los tiempos de exposición, ya que cada píxel del sensor puede realizar su propia compresión logarítmica de manera independiente al resto de la matriz, evitando así la aparición de píxeles subsaturados o sobresaturados.

1.2. Avances y evolución en la tecnología de sensores de imagen

Los sensores de carga acoplada (CCD, por sus siglas en inglés) [4] han sido la piedra angular de la captura de imágenes electrónicas durante décadas. Estos sensores destacan por su excelente calidad de imagen, gracias a su alta eficiencia cuántica y baja lectura de ruido, es decir, que este tipo de sensores son muy eficientes convirtiendo la luz en señal eléctrica. No obstante, los CCD tienen como desventaja que no pueden integrar el procesamiento de la imagen en el mismo sensor, a diferencia de los sensores de óxido metálico complementario (CMOS). Los sensores CMOS, por otro lado, ofrecen ventajas significativas en términos de flexibilidad, capacidad de procesamiento de la información y eficiencia energética. Por lo tanto, a pesar de la excelencia de los CCD en la captura de imágenes, los sensores CMOS han ganado terreno y son la base de la mayoría de los sistemas modernos de captura de imágenes.

1.2.1. Sensores convencionales

Los sensores convencionales, como los *Active Pixel Sensors* (APS), se centran en simplificar el píxel para maximizar su *Fill Factor* (FF, proporción de la superficie total de un píxel que es sensible a la luz) y reducir su *pitch* (distancia entre los centros de dos píxeles adyacentes). Esto se hace para mejorar la resolución del sensor, aprovechando la mayor parte de los fotones que llegan al detector. Los tipos más comunes de sensores síncronos incluyen el píxel pasivo (PPS), que no incluye amplificación, y el sensor de píxel activo (APS), que sí la incluye.

El APS de tres transistores (3T-APS), representado en la Figura 1.1a, es un ejemplo de un sensor sencillo. Su funcionamiento implica inicialmente el reseteo de un fotodiodo a

una tensión dada mediante el uso de un transistor, para posteriormente aislarlo y medir la corriente de fotogeneración apagando el transistor. La lectura de este tipo de píxeles se hace de forma síncrona mediante un procedimiento que se denomina *rolling-shutter*. Aunque es efectivo, puede producir distorsiones en objetos en movimiento debido a que cada pixel dentro de una misma columna presenta un tiempo de exposición distinto.

Un avance significativo en este tipo de sensores es el APS de cuatro transistores (4T-APS), representado en la figura 1.1b, el cual permite la lectura de los píxeles estableciendo el mismo tiempo de integración para todos los píxeles de una misma columna (*global shutter*). A pesar de este avance, seguimos teniendo un tiempo de integración diferente de columna en columna. Los sensores convencionales pueden alcanzar velocidades de entre 30-60 cuadros por segundo (FPS) [5] con una calidad bastante considerable, lo que los convierte en favoritos para aplicaciones de alta resolución.

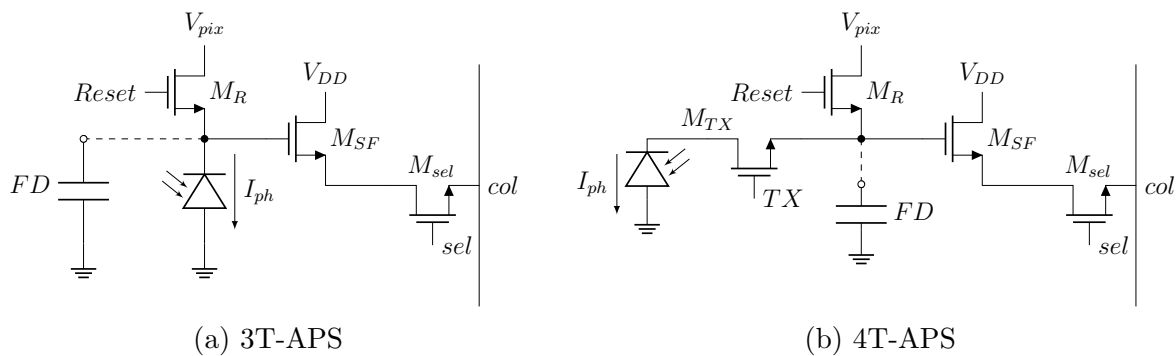


Figura 1.1: Posibles configuraciones del pixel APS

El fotodiodo juega un papel crucial en el funcionamiento de los sensores APS. Ejemplo de ello es su uso en los píxeles 3T-APS (Figura 1.1a). Inicialmente, el fotodiodo se resetea a una tensión V_{pix} usando el transistor M_R (*Reset*). Una vez aislado, la incidencia de la luz en el mismo va a generar una fotocorriente que descarga la capacidad flotante que aparece naturalmente debido al propio diodo y a la puerta del transistor M_{SF} (*Source Follower*). Esta corriente fluye en sentido contrario a la polarización de la unión *pn* del diodo, y en un circuito cerrado, esta corriente puede utilizarse para alimentar un dispositivo electrónico o descargar una capacidad.

El hecho de que el fotodiodo esté aislado significa que cualquier cambio en la corriente que fluye a través de él (por ejemplo, debido a los cambios en la luz que cae sobre el

mismo) hará que la tensión en el nodo de salida cambie. En el 3T-APS, cuando se *activa* la lectura de un píxel en una columna, se hace mediante el transistor M_{sel} (*Select*) *activando* la señal *sel*. El transistor M_{SF} entonces transmitirá a *col* una señal de mayor o menor voltaje dependiendo de la tensión suministrada a su puerta por el fotodiodo.

Finalmente, la tensión en la puerta de M_{SF} y, por tanto, en la señal *col*, es inversamente proporcional a iluminancia del fotodiodo durante el tiempo de exposición.

Esto es lo que permite a los píxeles APS medir la intensidad de la luz: a mayor iluminancia, más corriente genera el fotodiodo, más se descarga la capacidad flotante, y menor es la tensión en la señal *col* cuando se lee el píxel.

En el 4T-APS (Figura 1.1b) el proceso es similar, pero con una etapa adicional que permite implementar el método de lectura *global shutter*. Para ello se introduce el transistor M_{TX} , el cual se utiliza para transferir la carga de los fotodiodos a una difusión flotante (FD) en el mismo instante para todos los píxeles de la misma columna, permitiendo así eliminar las distorsiones que puedan producirse en los objetos en movimiento cuando se utiliza el procedimiento de *rolling-shutter*. Este tipo de sensores suelen emplearse en cámaras digitales, teléfonos móviles, drones o cámaras de alta resolución.

1.2.2. Sensores basados en eventos

Los sensores basados en eventos, comúnmente denominados sensores asíncronos, están diseñados para imitar de forma más precisa el funcionamiento de la retina humana [6]. A diferencia de los sensores convencionales, estos proporcionan un rango dinámico más amplio, capturan datos de forma más eficiente y tienen una mejor capacidad de procesamiento. Su arquitectura particular hace que únicamente los píxeles de la matriz que detectan un evento produzcan información. Esta singularidad es la que da lugar a la denominación de *sensores asíncronos*. Estos eventos pueden incluir cambios en la luminosidad con respecto a las mediciones previas o la superación de un umbral de referencia en la intensidad de luz [7]. No obstante, la lectura de estos eventos puede realizarse de forma tanto síncrona como asíncrona.

El primer píxel bioinspirado fue introducido por Fukushima [8], sin embargo, este se

construyó con componentes discretos. No fue hasta 1994 que Mahowald [9] propuso la primera implementación de un píxel bioinspirado en un chip, gracias al avance significativo que supuso en el campo de los sensores asíncronos la introducción del protocolo de comunicación AER [10]. En este sistema, un evento externo que afecta a un píxel de la matriz provoca la lectura del mismo a través de un bus horizontal y otro vertical compartidos. Esto permite que la periferia del sensor se encargue de leer y procesar la información de forma asíncrona, mejorando la eficiencia de la captura de imagen, ya que solo se leen los píxeles que generan información. Debido a la posibilidad de solicitudes simultáneas en la lectura de los píxeles, se introdujo un elemento denominado arbitrador, que se encarga de organizar el orden de lectura de los píxeles.

En 2008, Lichtsteiner propuso el primer sensor *Dynamic Vision Sensor* (DVS) [11] que detectaba el contraste temporal de cada píxel. Este sensor implementaba el sistema AER, y su principal característica era que solo se leían los píxeles de la matriz que variaban en luminosidad con respecto a los valores previos. Esta estrategia permitió casi duplicar el rango dinámico del píxel APS además de una optimización del consumo de energía y recursos de procesamiento, ya que no es necesario leer toda la matriz de píxeles en cada *frame*. Aunque a costa de reducir el FF del píxel y aumentar su complejidad. Este tipo de píxel suele emplearse en sistemas de visión robótica, detección de movimiento, videovigilancia avanzada o aplicaciones de visión computacional. Una modificación de este píxel, que también permite su utilización como píxel APS, es el denominado DAVIS [12] (*Dynamic and Active Pixel Vision Sensor*).

En 2003, Culurciello propuso el primer sensor tipo OCTOPUS [13], que se basa en la codificación de los niveles de intensidad mediante un fotodiodo que integra carga hasta alcanzar una cierta señal umbral que dispara un comparador y provoca la lectura del píxel. Es por ello que este píxel ha sido empleado para detección de luz de alta precisión, cámaras para astronomía o sistemas de visión robótica. Leñero [14] propuso una mejora de este píxel, añadiendo la capacidad de autorresetearse y generar un tren de pulsos cuya frecuencia es proporcional a la iluminación. Otros autores han propuesto optimizaciones adicionales, como la medición directa del tiempo hasta que se genera el primer pulso (*Time to First Strike*, TFS) [15], o el bloqueo del píxel una vez leído [16] para reducir su consumo.

Estas innovaciones y mejoras en los sensores asíncronos han ampliado considerablemente las posibilidades de captura y procesamiento de imágenes, y son la base del trabajo que se presenta en este documento.

1.3. Sensores con compresión logarítmica

En el entorno de la imagen digital moderna, los escenarios donde la iluminación no puede ser controlada fácilmente por el usuario son frecuentes. En estas situaciones, es esencial el uso de cámaras con alto rango dinámico (HDR). Las aplicaciones que abordan estas necesidades incluyen, por ejemplo, la conducción autónoma, donde el vehículo necesita visualizar la carretera, las señales de tráfico y a los peatones en una amplia gama de condiciones de iluminación. Asimismo, en las aplicaciones de defensa a veces se utilizan láseres para cegar a las cámaras, siendo imprescindible capturar imágenes de alto rango dinámico rápidamente para mantener la seguridad.

A lo largo del tiempo, se han desarrollado diversas técnicas con el objetivo de abordar el problema del rango dinámico en sensores APS, debido a su mayor simplicidad de implementación. Una de estas técnicas es la de múltiples exposiciones, que implica la captura de varias imágenes de la misma escena con diferentes tiempos de exposición. Esta técnica ha sido ampliamente utilizada en la fotografía debido a su simplicidad y eficacia. Sin embargo, no es capaz de generar imágenes de muy alto rango dinámico, ya que esto requeriría un aumento significativo en el costo de almacenamiento al tener que guardar cada vez un mayor número de *frames*.

Con el avance de la tecnología, se han desarrollado técnicas alternativas como el método Debevec [17], el cual utiliza un proceso conocido como mapeo de radiancia para generar imágenes de mayor rango dinámico que las obtenidas mediante el método de múltiples exposiciones.

Aunque estos métodos han demostrado ser eficaces en ciertos casos, presentan limitaciones y no son adecuados para todas las aplicaciones, puesto que encuentran dificultades al manejar escenas dinámicas y requieren periodos de adquisición más extensos, además de un procesamiento adicional de los datos.

Para abordar estas limitaciones, se han desarrollado sensores CMOS con píxeles HDR que utilizan la compresión logarítmica. La compresión logarítmica permite a estos píxeles manejar una amplia gama de intensidades de luz mientras se mantiene la calidad de la imagen, como podemos observar en la Figura 1.2.

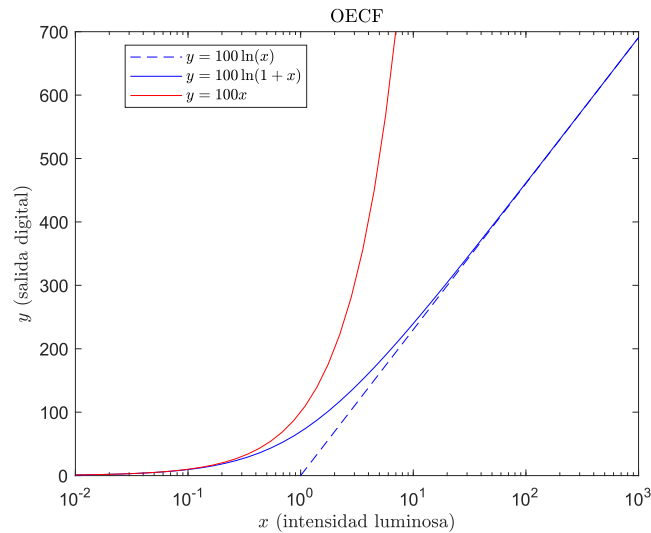


Figura 1.2: Comparativa entre las funciones de conversión optoelectrónicas lineal y logarítmicas. Podemos observar que para un mismo rango de salida, la OECF logarítmica comprime el rango dinámico, evitando así píxeles sobresaturados. Un modelo más realista de la OECF logarítmica es la representada en línea azul continua, ya que solo se anula para valores nulos de luminosidad.

Los píxeles HDR logran esta respuesta logarítmica utilizando un diseño que incorpora un transistor MOS junto a un diodo de unión pn en inversa (Figura 1.3). En condiciones normales, la relación entre la corriente y la tensión en un transistor MOS es lineal o cuadrática. Sin embargo, para valores bajos de V_{GS} , esta relación se vuelve exponencial. Esta zona de operación, conocida como inversión débil, es en general indeseable en el diseño de circuitos con transistores MOS (excepto con objetivos de minimizar consumos), pero en este caso se utiliza para obtener la respuesta logarítmica deseada.

Este dispositivo puede ser modelado por la siguiente ecuación:

$$I_D = I_S e^{\frac{V_{GS} - V_T}{\eta U_T}} \quad (1.1)$$

donde U_T es la tensión térmica, que suele tener un valor de 26 mV a 300 K, V_T es la tensión umbral con valor típico comprendido entre 200 mV y 1 V, y η es el factor de

pendiente subumbral, el cual suele tener un valor comprendido entre 1 y 2.

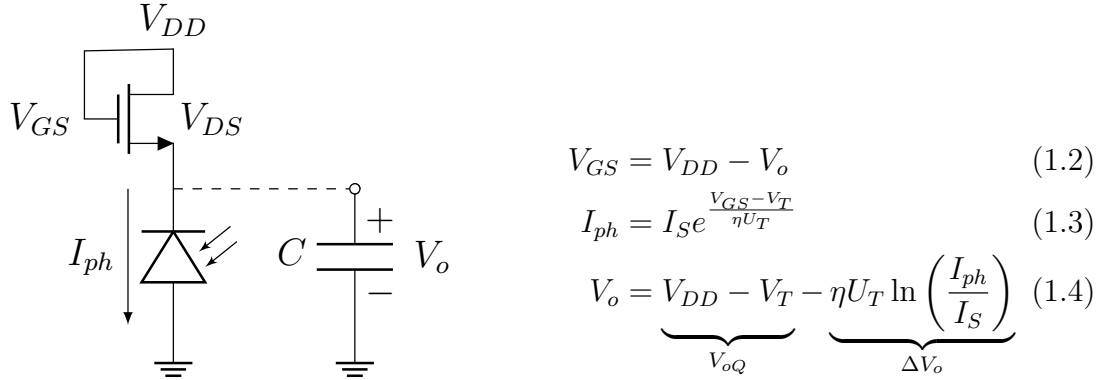


Figura 1.3: Fotorreceptor logarítmico en el que se impone que la corriente entre los terminales del transistor NMOS sea la fotocorriente del diodo, $I_D = I_{ph}$, de tal forma que la tensión V_o nos proporciona el logaritmo natural de la intensidad luminosa. Podemos observar que vamos a obtener un valor de tensión constante V_{oQ} y otro variable con la iluminación ΔV_o .

Este tipo de sensores tiene limitaciones para alta y baja intensidad luminosa. Si hay una alta generación de fotocorriente, existe el riesgo de que aumente V_{GS} hasta llegar a V_T , haciendo que el transistor pase de la región de inversión débil a la región óhmica, donde la respuesta deja de ser logarítmica. A pesar de esta limitación, los píxeles HDR pueden proporcionar una respuesta logarítmica a la intensidad de la luz con una precisión razonable en un rango de hasta 7 órdenes de magnitud. En el caso de baja iluminación, la *dark current* (corriente producida por la agitación térmica en el fotodiodo) puede introducir ruido en la imagen, limitando el rendimiento del píxel en condiciones de poca luminosidad. Otra de las limitaciones de estos dispositivos es que el voltaje de salida, dado por la Ecuación 1.4, presenta un muy bajo rango de variación. En concreto, para condiciones de máxima luminosidad, con $I_S \sim 1$ pA y $I_{ph} \sim 1$ nA, obtenemos $\Delta V_o \sim 0.2$ V. Por lo tanto, esta configuración requerirá de etapas adicionales de amplificación.

Teniendo en cuenta estas limitaciones, la OEFCF se podría aproximar con la siguiente ecuación [18]:

$$V_{GS} = a_{ph} + b_{ph} \ln(I_{ph} + c_{ph}) \quad (1.5)$$

donde $a_{ph} = V_T - \eta U_T \ln(I_S)$ se puede interpretar como una tensión de offset, $b_{ph} = \eta U_T$ es la ganancia y $c_{ph} = I_{Dark}$ es el valor de la iluminación a 3dB. Variaciones en estos parámetros debido al *mismatch* natural que surge en el proceso de fabricación de

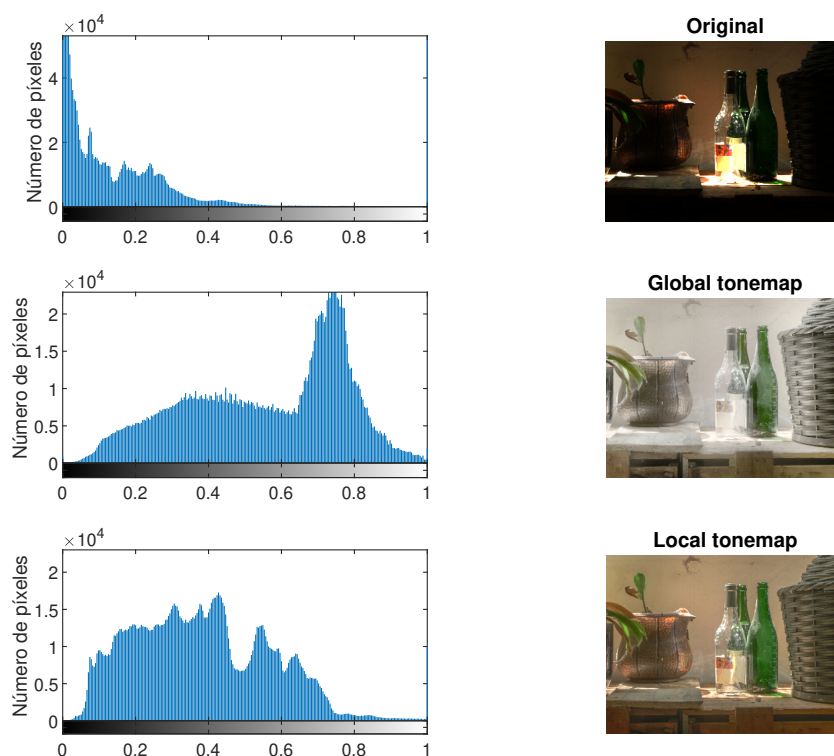
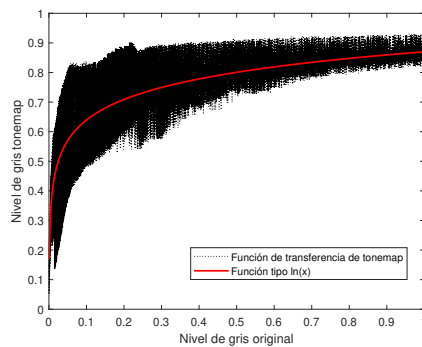
los transistores, requiere de tratamientos individuales de cada píxel mediante algoritmos dedicados [19].

Uno de los desafíos clave en el rendimiento de los píxeles HDR y APS es el *image lag*. Este fenómeno se manifiesta cuando una intensa fuente de luz en movimiento deja a su paso una traza residual de niveles de gris, de manera similar a la cola de un cometa. La presencia de este efecto resulta particularmente notable en momentos donde ocurren transiciones abruptas de la iluminación. Para contrarrestar este problema, se incorpora un mecanismo de reseteo en el diseño del píxel HDR. Este reseteo permite al sensor *olvidar* la iluminación previa y prepararse para la captura de la siguiente imagen en condiciones óptimas. Durante el reseteo, se reconfigura el transistor logarítmico del píxel HDR para restablecer el voltaje del condensador a un nivel de referencia predeterminado. Este proceso es esencial para mantener la calidad de la imagen y mejorar la respuesta del sensor ante los cambios de luminosidad.

En resumen, los píxeles HDR representan una solución prometedora para la captura de imágenes de alto rango dinámico en una variedad de aplicaciones difíciles. Su capacidad para adaptarse a una amplia gama de condiciones de iluminación los hace especialmente adecuados para situaciones en las que la iluminación no puede ser controlada fácilmente.

1.4. *Tone Mapping*

La captura de imágenes HDR representa una técnica atractiva y realista, ya que permite conservar la información completa sobre los valores de luminancia en la escena para cada píxel. Sin embargo, este enfoque requiere el desarrollo de un flujo de trabajo completo para el procesamiento de imágenes y vídeos HDR, desde la adquisición hasta la visualización. El problema principal radica en cómo reproducir la apariencia de la escena utilizando medios con rango dinámico muy limitado, como impresiones físicas, pantallas CRT/LCD o proyectores. Para resolver este problema, se han desarrollado los denominados operadores de mapeo de tonos (*tone mapping*). Estos se encargan de la reducción de contraste desde los valores de la escena a rangos visualizables, preservando los detalles de la imagen.

(a) Simulación del proceso de *tone mapping*

(b) Función de transferencia

Figura 1.4: Figuras realizadas con el software *MATLAB* empleando la función *tonemap* y *localtonemap*. En la primera fila podemos observar la imagen original junto con su histograma de luminancia, en el que se representa el valor de luminancia en el eje de abscisas y el número de píxeles en el eje de ordenadas. En la segunda fila observamos la imagen resultante del proceso de *tone mapping* global junto con su nuevo histograma y en la tercera fila aplicamos un proceso de *tone mapping* local

En términos generales, el mapeo de tonos se fundamenta en la premisa de asignar la mayor proporción del rango dinámico perceptible a aquellos intervalos de luminancia que se encuentran representados por una mayor cantidad de píxeles en la escena, lo cual implica

una cierta compresión para los intervalos de luminancia que están menos representados. Este hecho puede ser constatado al comparar los histogramas de luminancia de una imagen HDR y de su resultado tras aplicar un *tone mapping* de tipo global, Figura 1.4a. Los operadores de mapeo de tonos pueden ser globales o locales. Los operadores globales, que son funciones no lineales basadas en los parámetros de la imagen, son rápidos y sencillos, pero pueden causar pérdida de contraste. Por otro lado, los operadores locales calculan un nuevo valor para cada píxel dependiendo de su entorno y luego se aplica un mapeo global. Estos operadores son generalmente más complejos y pueden producir imágenes poco realistas. Podemos observar la diferencia entre ellos en la Figura 1.4a.

En resumen, la tarea principal del mapeo de tonos es reducir la profundidad de bits de una imagen para su almacenamiento y visualización. Para ello se suelen emplear funciones de transferencia de tipo logarítmicas, Figura 1.4b, puesto que su resultado resulta más agradable al ojo humano. Esto no es necesario para aplicaciones de visión por máquina, donde generalmente es más eficiente procesar directamente un mapa de radiación de amplia profundidad de bits. La elección del operador de mapeo de tonos depende de la aplicación y del tipo de dispositivo de visualización. La selección cuidadosa del operador y sus parámetros puede ayudar a evitar artefactos visuales y a mantener la apariencia física de la escena, a la vez que se adapta a las capacidades actuales y futuras de los métodos de visualización.

1.5. Objetivos del trabajo

El estudio y desarrollo realizado representa un avance natural en el diseño de sensores de imagen, al introducir un sensor logarítmico con lectura asíncrona que emplea diodos en región fotovoltaica, en lugar de un fotorreceptor logarítmico. Esta innovación ofrece múltiples beneficios directos, como la reducción del espacio al eliminar la necesidad de un transistor logarítmico y una mayor eficiencia energética, dado que la etapa receptora no solo deja de consumir energía, sino que la genera. Además, existen ventajas adicionales en vías de investigación, como una disminución adicional del ruido y una mayor sensibilidad en condiciones de baja iluminación en comparación con el fotorreceptor logarítmico.

En trabajos anteriores, se ha explotado la matriz natural de diodos en sensores de imagen para alternar su funcionamiento entre inversa (para la detección de iluminación) y fotovoltaica (como células fotovoltaicas para almacenar energía) [20]. Asimismo, existen estudios donde se ha reemplazado exitosamente la etapa fotorreceptora logarítmica por el uso de diodos en fotovoltaica en un sensor asíncrono [21]. No obstante, este trabajo se distingue de los anteriores al proponer una alternativa en la lectura de la matriz de píxeles, utilizando una señal rampa descendente global a todos los píxeles. De forma que cuando esta señal alcanza la tensión de cualquier píxel, se *activa* su lectura. Esto permite la lectura asíncrona de forma autónoma de todos los píxeles de la matriz mediante el protocolo AER, lo cual supone una mejora en la velocidad de lectura.

La metodología seguida para el desarrollo del sensor de imagen, el cual se detallará en los capítulos subsiguientes, comprende las siguientes etapas:

1. **Concepción inicial de la arquitectura del píxel:** Se llevó a cabo el diseño completo de la arquitectura del píxel, abarcando tanto la parte digital como la adaptación del diseño del comparador para adecuarlo a las especificidades de este diseño en particular.
2. **Simulación de la interacción del píxel con su periferia:** Se llevaron a cabo simulaciones detalladas del funcionamiento del píxel en conjunto a su periferia, permitiendo una evaluación precisa de su rendimiento.
3. **Diseño del *layout* del píxel y de su matriz de píxeles:** Se creó el *layout* tanto del píxel como de la matriz de píxeles, con el objetivo de lograr un tamaño de píxel inferior a $21\ \mu\text{m} \times 21\ \mu\text{m}$.
4. **Simulación post-*layout*:** Finalmente, se realizaron simulaciones post-*layout* para validar el diseño y verificar el correcto funcionamiento del mismo.

CAPÍTULO 2

Marco teórico

2.1. Diodos de unión pn

2.1.1. Diodo en equilibrio

Iniciaremos nuestro estudio con el diodo pn [22] en estado de equilibrio, es decir, sin la aplicación de un voltaje externo (ver Figura 2.1). Este diodo se compone de dos secciones de silicio: una sección tipo n , dopada con impurezas donadoras (cátodo), y otra de tipo p , dopada con impurezasceptoras (ánodo). Al poner en contacto ambas secciones, vamos a tener un exceso de electrones en la región tipo n y un exceso de huecos en la región tipo p . Esta discrepancia en las concentraciones de portadores genera una corriente de difusión que busca nivelar el gradiente de concentración.

No obstante, la aniquilación de un electrón o un hueco deja un ion positivo o negativo, respectivamente, tras de sí, debido al átomo donador o aceptor con el que está dopada cada sección. Como resultado, se forma una región de deplexión en la interfaz entre las dos secciones, caracterizada por la ausencia de portadores libres. Esta región alberga un campo eléctrico generado por los iones de las impurezas dopantes, el cual se opone al campo eléctrico intrínseco creado por el gradiente de concentraciones. Por lo tanto, después de un tiempo suficientemente largo, se alcanzará un estado de equilibrio en el que el campo eléctrico producido por la región de deplexión es lo suficientemente intenso como para contrarrestar completamente la corriente de difusión inicial.

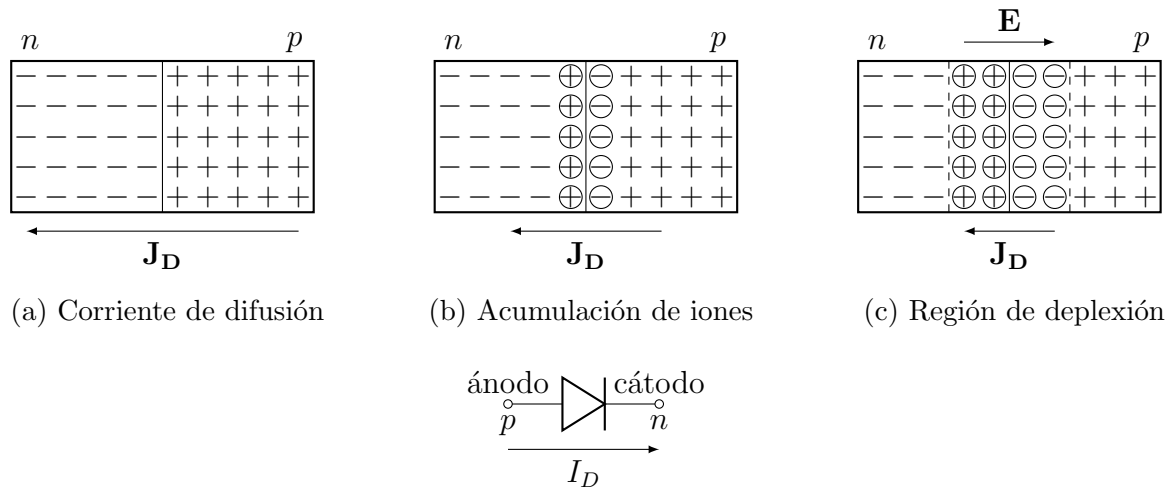


Figura 2.1: Formación de la región de deplexión en un diodo de unión pn

2.1.2. Diodo en inversa

Tras analizar el diodo en equilibrio, podemos explorar zonas de operación más relevantes en términos prácticos. Comenzaremos aplicando un voltaje al diodo de tal manera que la tensión positiva se dirija al cátodo y la negativa al ánodo (ver Figura 2.2). En la práctica, la aplicación de esta diferencia de potencial equivale a establecer un campo eléctrico en la misma dirección que el campo intrínseco de la región de deplexión. Por lo tanto, estamos potenciando este campo eléctrico, lo cual solo es posible si la carga que genera el campo, es decir, los iones aceptores y donadores, es mayor. De este modo, podemos deducir que la región de deplexión aumentará con el voltaje aplicado en inversa. Debido al aumento de la región de deplexión y del campo eléctrico que se opone a la corriente de difusión, está claro que la corriente será prácticamente nula en esta región de operación.

2.1.3. Diodo en directa

La aplicación de un voltaje externo con el terminal positivo conectado al ánodo y el negativo al cátodo (Figura 2.2) modifica la dinámica de la región de deplexión. En este escenario, el potencial de la región de deplexión disminuye, lo que conduce a una reducción en su tamaño. A diferencia del caso anterior, la corriente de difusión se ve reforzada por el voltaje externo. De hecho, la disminución del tamaño de la región de deplexión resulta

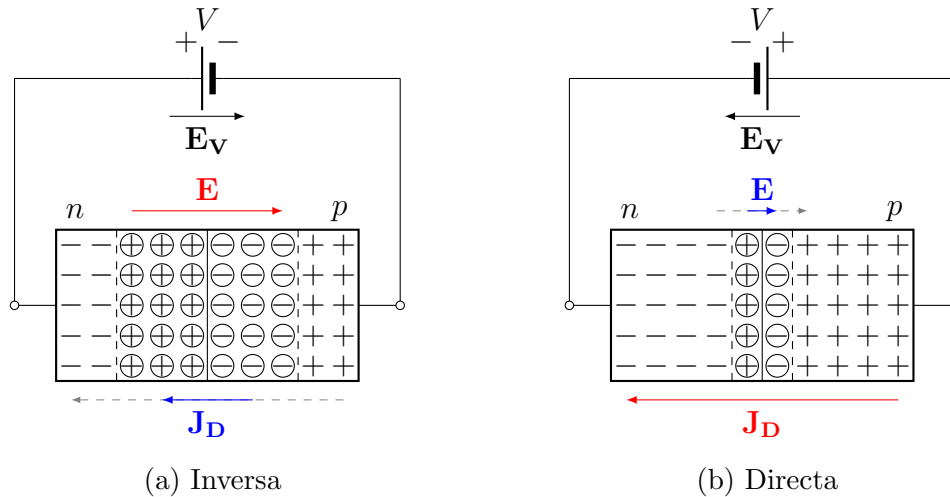


Figura 2.2: Configuración de la unión pn en directa y en inversa

en una intensidad en el diodo que se puede describir mediante la siguiente ecuación:

$$I_D = I_S (e^{V/U_T} - 1) \quad (2.1)$$

donde la corriente I_S es la corriente de fuga, la cual suele tener un valor inferior a $1 \mu\text{A}$. La característica exponencial surge de que la concentración de portadores minoritarios a lo largo de cada sección sigue también una ley aproximadamente exponencial.

2.1.4. Fotogeneración

Cuando un fotón con energía suficiente impacta en la superficie del diodo, este tiene la capacidad de liberar electrones previamente ligados, generando pares electrón-hueco. Si este proceso tiene lugar dentro de la región de deplexión (ver Figura 2.3), el campo eléctrico interno logra separar a los portadores, dirigiéndolos hacia las regiones donde estos son mayoritarios. De esta forma, se evita la recombinación y se obtiene una corriente neta que fluye en dirección opuesta a la corriente natural del diodo.

En cambio, si este proceso ocurre fuera de la región de deplexión, es muy probable que los portadores minoritarios se recombinen antes de llegar a dicha región. De hecho, la probabilidad de recombinación aumenta exponencialmente con el tiempo, de forma que, si pasado un cierto periodo de tiempo denominado tiempo de vida media este no ha conseguido llegar a la región de deplexión, el portador se recombinará. Este problema

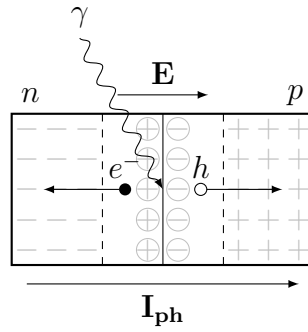


Figura 2.3: Proceso de fotogeneración en la región de deplexión

puede mitigarse usando el diodo en polarización inversa. En este estado, la región de deplexión se expande, disminuyendo la probabilidad de que la interacción ocurra fuera de ella. Además, cuanto más negativa sea la diferencia de potencial, más intenso será el campo eléctrico externo, mejorando la eficiencia de recolección fuera de la región de deplexión. Ya que los portadores se movilizan más rápidamente hacia las zonas donde son mayoritarios, evitando así su recombinación. Por esta razón, la configuración del diodo en inversa es la opción preferida en el diseño de detectores de radiación.

2.1.5. Fotovoltaica

Como hemos visto en la sección anterior, cuando ocurre el proceso de fotogeneración en un diodo de unión pn , surge una corriente en sentido opuesto a la obtenida en la Ecuación 2.1, de tal forma que podemos expresar la corriente neta del diodo como:

$$I_D = I_S (e^{V/U_T} - 1) - I_{ph} \quad (2.2)$$

donde I_{ph} es la corriente de fotogeneración y su valor es proporcional a la intensidad de la luz que incide sobre la superficie del diodo. La representación de esta corriente frente al voltaje aplicado para distintos valores de I_{ph} podemos observarla en la Figura 2.4.

Como se mencionó anteriormente, el fotodiodo se utiliza comúnmente en inversa, configuración que se corresponde con el tercer cuadrante de la Figura 2.4. En este cuadrante, la potencia $P = VI$ es positiva, lo que indica que un fotodiodo en esta configuración consume energía. Sin embargo, al aumentar la fotocorriente, se desbloquea una región

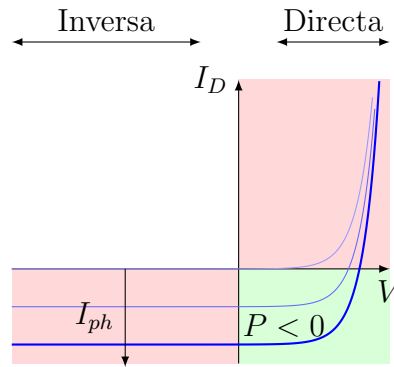


Figura 2.4: Característica I/V de la unión pn

adicional en el cuarto cuadrante, conocida como la región fotovoltaica. Esta es la única región donde la potencia es negativa, lo que indica que el diodo está generando energía. Esta región es de particular interés en aplicaciones de células solares o fotovoltaicas.

En nuestra configuración, el diodo se conectará a la puerta de uno de los transistores del par diferencial del comparador, que es un nodo de alta impedancia. Por lo tanto, después de un cierto tiempo transitorio, la intensidad I_D será prácticamente nula. En este caso, se dice que el diodo proporciona la tensión de circuito abierto:

$$V_{oc} = U_T \ln \left(\frac{I_{ph}}{I_S} \right) \quad (2.3)$$

La tensión de circuito abierto es la máxima tensión que el dispositivo puede proporcionar en esta región de operación [23]. En este estado, los portadores generados por la luz comienzan a acumularse en los extremos del dispositivo, ya que no tienen a dónde ir. Esto lleva a un aumento en la corriente de difusión hasta que esta se iguala con la fotocorriente, alcanzando un estado estacionario. Sin embargo, esta acumulación de portadores en los extremos del diodo genera una diferencia de tensión que se traduce en un campo eléctrico opuesto al creado por la región de deplexión. Esto debilita el campo eléctrico intrínseco, reduciendo la anchura de la región de deplexión.

Como se puede apreciar en la Ecuación 2.3, el diodo en esta región de operación proporciona una compresión logarítmica del rango dinámico sin la necesidad de transistores MOS operando en inversión débil. Por lo tanto, la respuesta logarítmica es proporcionada directamente por el diodo, eliminando la dependencia de etapas adicionales. Esto resulta

en una respuesta más predecible y que no requiere de mecanismos de control para asegurar la compresión logarítmica. Además, la potencia requerida es menor en comparación con un fotorreceptor logarítmico, ya que la etapa, además de producir potencia en vez de consumirla, no necesita un voltaje fijo para aplicar el reseteo del píxel a la hora de evitar el *image lag*. En su lugar, basta con cortocircuitar el diodo, permitiendo que se descargue.

El rango dinámico en este tipo de dispositivos suele ser demasiado amplio para muchas escenas, lo que se hace imprescindible el uso de *tone mapping* para mejorar la visualización. Se han reportado rangos dinámicos de hasta 140 dB utilizando esta configuración, pero la tecnología puede alcanzar cifras aún mayores debido a la ausencia de problemas de saturación (*full well capacity*) [24]. Es decir, a diferencia de los dispositivos CMOS que emplean los condensadores presentes en los terminales de puerta, en esta configuración no existe un límite en la capacidad de acumular carga. Por último, tenemos otras ventajas frente a la etapa fotorreceptora logarítmica, como una respuesta más uniforme ante las fuentes de ruido introducidas por los transistores (ruido térmico, Flicker y de disparo) y una drástica reducción del *Fixed pattern noise* (FNP), al no depender de la corriente de polarización del transistor MOS, o un mejor comportamiento en condiciones de baja iluminación al presentar una menor *dark current*.

2.2. Rango dinámico

En una escena capturada por un sensor, los objetos son iluminados por una fuente de luz incidente. Las superficies de estos objetos alteran las propiedades de la luz, incluyendo su dirección, longitud de onda, polarización y el número de fotones emitidos, en función de su emisividad. Desde la perspectiva del sensor, cada punto en la escena se percibe como una fuente de luz puntual, lo que significa que el rango dinámico se define como el espectro de luminosidad que abarca la iluminación de todos estos puntos.

El rango dinámico (DR, por sus siglas en inglés) puede ser definido como el cociente entre los valores máximos y mínimos de iluminación que pueden ser medidos.

$$DR(\text{dB}) = 20 \log_{10} \left(\frac{DR_{High}}{DR_{Low}} \right) \quad (2.4)$$

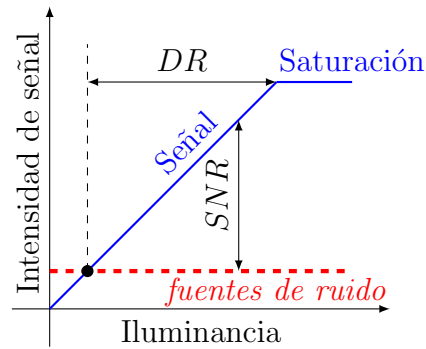


Figura 2.5: Representación del rango dinámico desde el punto $SNR=1$ y saturación, y definición del SNR como la diferencia entre la señal y el ruido

El valor mínimo en la Ecuación 2.4 viene dado por el valor a partir del cual la señal tiene la misma intensidad que el ruido, de forma que por debajo de este nivel no podemos diferenciar una del otro. Si definimos el cociente señal ruido (SNR) como el cociente entre la señal y el ruido, podemos definir matemáticamente este punto como aquel en el que se cumple que $SNR = 1$ (ver Figura 2.5). Las fuentes de ruido que afectan al rango dinámico son, entre otras: el ruido térmico, el ruido Flicker, el ruido de reseteo, la *dark current*, el ruido de disparo (*shot noise*) o el FNP. Dentro de las posibles fuentes de ruido, los más limitantes son los tres últimos, donde el FNP da cuenta de la diferencia entre píxeles debido al proceso estocástico de fabricación y el *shot noise* da cuenta del ruido intrínseco de la luz debido a su naturaleza cuántica. Cabe destacar que los ruidos generados por la agitación térmica como el ruido térmico o la *dark current* crecen exponencialmente con la temperatura, por lo que el rango dinámico decrece para temperaturas crecientes.

El valor máximo se define como aquel a partir del cual los píxeles entran en saturación, es decir, el valor de luminosidad a partir del cual los píxeles alcanzan su máximo valor de salida posible.

2.3. Eficiencia cuántica

La generación de pares electrón-hueco, visto en secciones anteriores, es un proceso cuántico que depende de la interacción de los fotones con los electrones y los huecos, siendo estos últimos, partículas virtuales. Se pueden definir entonces dos tipos de eficiencia cuántica:

- Eficiencia cuántica externa (EQE): el cociente entre el número de electrones generados y el número de fotones incidentes durante un tiempo de exposición dado.

$$EQE = \frac{\text{electrones/s}}{\text{fotones/s}}$$

- Eficiencia cuántica interna (IQE): el cociente entre el número de electrones generados frente al número de fotones absorbidos por el material.

$$IQE = \frac{\text{electrones/s}}{\text{fotones absorbidos/s}}$$

En la práctica, la IQE suele ser mayor que la EQE, ya que no todos los fotones que inciden en un dispositivo son necesariamente absorbidos y convertidos en portadores de carga.

Si tenemos en cuenta los procesos de recombinación, tendremos que estos provocan una disminución de la eficiencia cuántica donde la recombinación es más probable, es decir, fuera de la región de deplexión. El proceso de fotogeneración es en general un proceso complejo que también depende de la longitud de onda de los fotones incidentes, como podemos ver en la Figura 2.6. De tal forma que fotones con mayor longitud de onda presentan menor probabilidad de interactuar por efecto fotoeléctrico, haciendo necesario mayor sección de Si para recolectarlos.

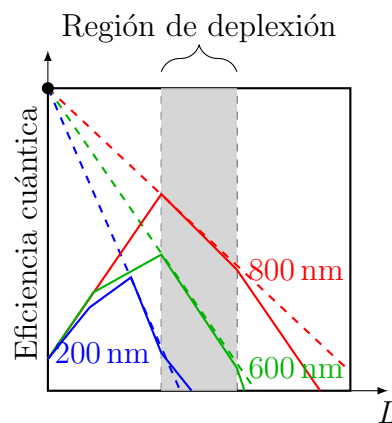


Figura 2.6: Efecto de la longitud de onda en la eficiencia cuántica. Usando una iluminación puntual, vemos como la eficiencia cuántica es mayor en la zona de deplexión y va decreciendo en las secciones dopadas. Además, la radiación con mayor longitud de onda tiene mayor poder de penetración

CAPÍTULO 3

Análisis, simulaciones y resultados

3.1. Arquitectura del pixel

En el siguiente capítulo, nos enfocaremos en explicar y analizar la estructura del píxel propuesto. La Figura 3.1 muestra el esquemático del píxel, excluyendo la sección de comunicación con la periferia, que se discutirá más adelante. Esta sección se conecta al píxel a través de la conexión *comp*. Si observamos el cronograma de las señales más relevantes durante una lectura del píxel (Figura 3.2), notamos que inicialmente el diodo proporciona una tensión de circuito abierto V_{oc} , que es fija y está determinada por la intensidad luminosa. Mientras la señal rampa suministrada al otro terminal del comparador tenga un voltaje superior a V_{oc} , el comparador mantendrá un estado lógico alto. Esta señal puede implementarse fácilmente en la práctica mediante un convertidor digital-analógico (DAC). Cuando la señal rampa alcanza la tensión de circuito abierto del diodo, el comparador se *activa*, produciendo un estado lógico bajo que se suministra al circuito lógico del RS Latch.

La Tabla 3.1 muestra la tabla de verdad del RS Latch. Este es un dispositivo que almacena un estado anterior hasta que se *activa* la señal de *Reset*, la cual reinicia la operación del dispositivo. Para establecer un estado inicial estable, hacemos que $\overline{Reset-pix}$ comience con un estado lógico alto, que se traduce en un nivel de *Reset* bajo después de pasar por el inversor lógico que alimenta al RS Latch. Esta condición, junto con el hecho de que inicialmente la tensión de la señal rampa siempre será superior a la tensión

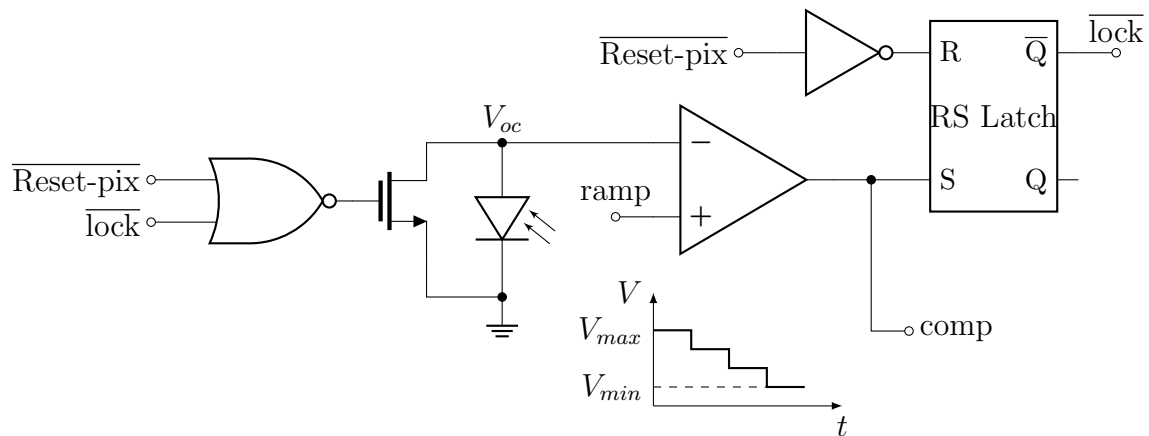


Figura 3.1: Esquemático del pixel sin la comunicación con la periferia (Figura 3.3)

suministrada por el diodo (es decir, el comparador alimenta al dispositivo con un nivel de *Set* alto), resulta en un estado alto de la señal de salida \overline{lock} . Es esencial asegurar un estado inicial fijo en este dispositivo para evitar un estado inestable en el que la salida no está definida y, por tanto, en el que se consume una gran cantidad de potencia. Cuando la señal $\overline{Reset-pix}$ cambia a un estado bajo, el *Reset* conmuta a un estado alto, lo que hace que el RS Latch mantenga el estado anterior sin modificar su salida.

<i>Set</i> (S)	<i>Reset</i> (R)	\overline{Q}
0	0	Inválido
0	1	0
1	0	1
1	1	Mantiene

Tabla 3.1: Tabla de verdad del RS latch diseñado con puertas NAND

Cuando el comparador se *activa*, pasamos a un nivel de *Set* bajo y un nivel de *Reset* alto, lo cual provoca que la señal \overline{lock} conmute a un estado bajo (Tabla 3.1). Esta señal se suministra a su vez a la puerta NOR de entrada, cuyo funcionamiento se puede observar en la Tabla 3.2. La puerta NOR solo suministra un nivel lógico alto cuando ambas entradas están en un estado bajo, es decir, cuando el comparador ha sido *activado*. Esta señal se alimenta a la puerta de un transistor NMOS, el cual solo se *activa* ante niveles lógicos altos. Los transistores actúan como interruptores lógicos, comportándose como abiertos cuando están *desactivados* y como cortocircuitos cuando están *activados*. Por lo tanto, cuando el comparador conmuta, hace que el diodo se cortocircuite a tierra en ambos ter-

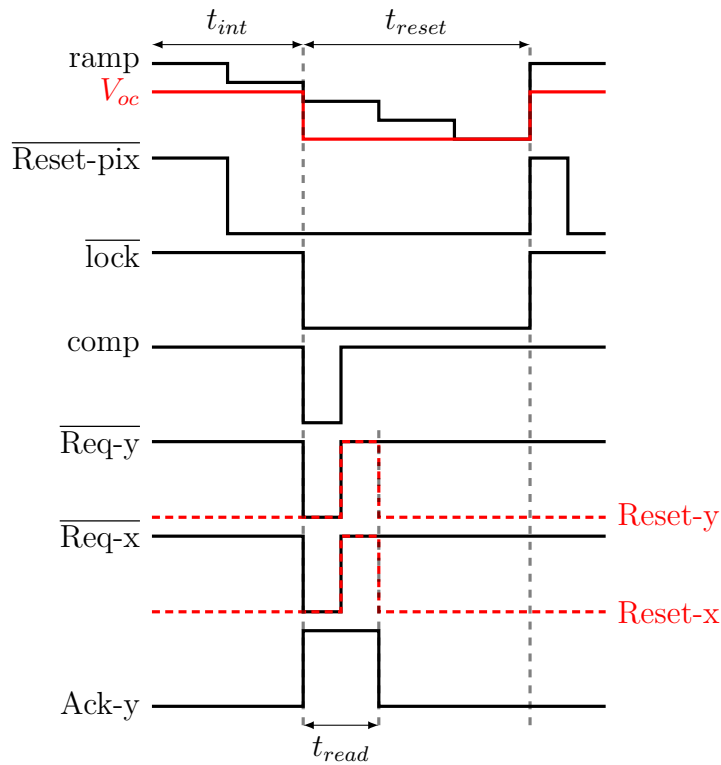


Figura 3.2: Cronograma del funcionamiento del pixel

minales, permitiendo la descarga de los portadores fotogenerados y reduciendo la tensión V_{oc} a 0 V. Se elige un NMOS en lugar de un PMOS porque los primeros transmiten más eficientemente niveles lógicos bajos cuando están *activados*, mientras que los segundos son más eficientes transmitiendo niveles lógicos altos.

A	B	AND	NAND	NOR
0	0	0	1	1
0	1	0	1	0
1	0	0	1	0
1	1	1	0	0

Tabla 3.2: Tabla de verdad de las puertas AND, NAND y NOR

Finalmente, el comparador vuelve a un estado lógico alto al hacer que la tensión de circuito abierto esté de nuevo por debajo de la tensión de la señal rampa. Este cambio se traslada al RS Latch, haciendo que mantenga al diodo cortocircuitado y manteniendo el nivel de \overline{lock} en un estado bajo, ya que tiene un nivel *Set* y *Reset* altos.

Una vez que todos los píxeles de la matriz han sido leídos, se *activa* nuevamente el

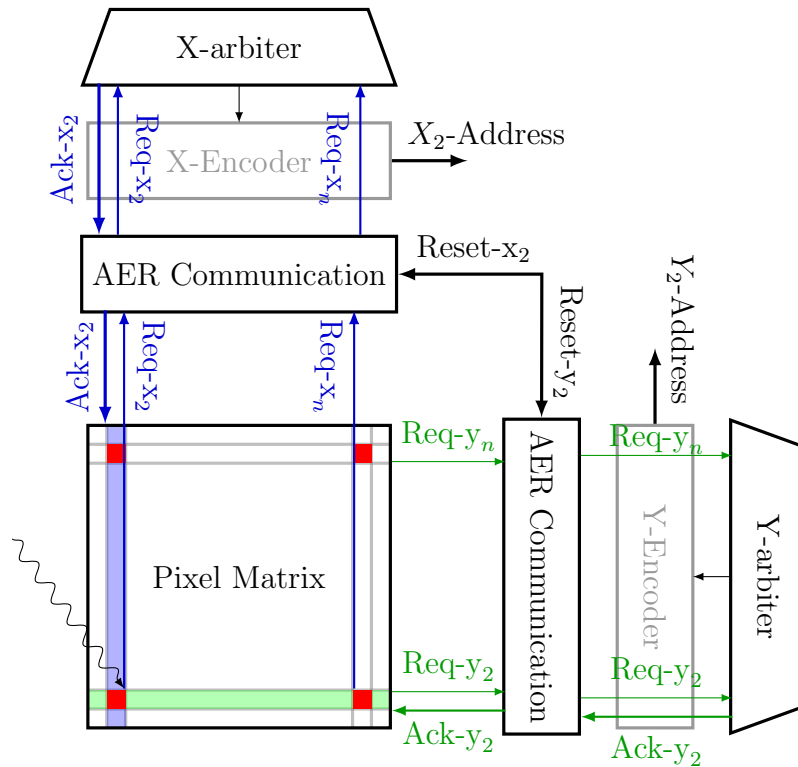


Figura 3.4: Ejemplo de funcionamiento del protocolo AER

puerta solo *activa* el transistor PMOS cuando su salida es un nivel bajo, lo cual ocurre solo cuando tanto la señal \overline{lock} como la inversa de la salida del comparador están en un estado alto, es decir, justo cuando se dispara el comparador. Aunque las señales mostradas en el cronograma de la Figura 3.2 parecen no presentar retraso, en realidad existe un pequeño retraso desde que el comparador conmuta hasta que esta información llega al RS Latch, lo que provoca la conmutación de la señal \overline{lock} . Este retraso se debe a las capacidades parásitas inherentes al circuito. Para evitar solicitudes de píxeles ya leídos, el transistor PMOS solo se *activa* durante este pequeño intervalo de tiempo entre retrasos, lo que hace necesario el uso de un condensador para mantener el nivel de la señal.

La señal mantenida por el condensador se pasa a través de un buffer para regenerar la señal y asegurar que el transistor que solicita la lectura de la fila y , $\overline{Req-y}$, se *active* correctamente. Cuando la fila y ha sido leída por la periferia, se recibe la señal $Ack-y$ en un estado alto, lo que provoca que la señal $\overline{Req-x}$ conmute a un estado bajo, solicitando la lectura de la columna x . Una vez que se han leído ambas coordenadas del píxel, se *activan* las señales $Reset-x$ y $Reset-y$ correspondientes a las coordenadas leídas, lo que *activa* la

puerta AND (Tabla 3.2) y, por lo tanto, cortocircuita el condensador a tierra, evitando futuras solicitudes. En caso de que se imponga el reseteo del píxel antes de su lectura completa, también se dispone de otro transistor NMOS que descarga el condensador cuando se activa $\overline{Reset-pix}$.

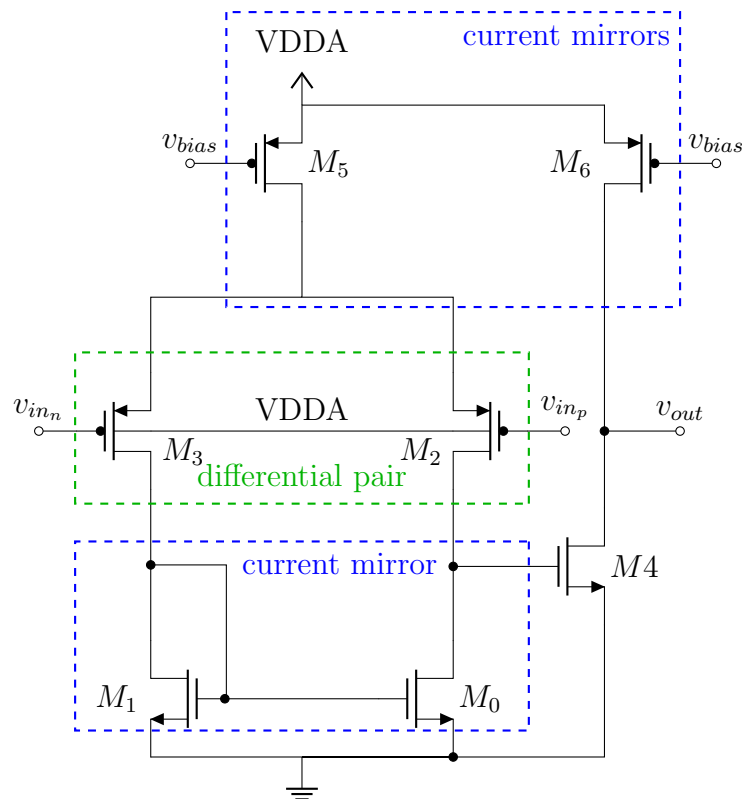


Figura 3.5: Esquemático del comparador del píxel, donde se han representado los componentes internos, espejos de corriente y par diferencial, de forma esquemática para mayor claridad

Para ilustrar el funcionamiento del protocolo AER, consideraremos un ejemplo en el que se *activan* simultáneamente cuatro píxeles, localizados en las filas y_2 e y_n , y en las columnas x_2 y x_n . Este escenario se muestra en la Figura 3.4 para facilitar su comprensión. Al igual que en el caso previo, las primeras solicitudes de lectura emitidas corresponden a las filas que contienen los píxeles, en este caso, $Req-y_n$ y $Req-y_2$. Estas solicitudes son recibidas por un bloque de comunicación encargado de interpretar las peticiones y transmitir las al arbitrador. Este último decide cuál solicitud atender primero a través de algoritmos de tipo *Winner-Take-All* (WTA). Una vez seleccionada la solicitud ganadora, la información correspondiente es transmitida al *Encoder*, donde se codifica el número de la fila en cuestión, para posteriormente retransmitirse a la matriz de píxeles a través

de la señal $Ack-y_2$. Al recibir esta señal, se habilita la lectura de las columnas en la fila específica. De nuevo, enfrentamos la presencia de dos solicitudes, las cuales se dirigen a un segundo arbitrador siguiendo el esquema anteriormente descrito. Tras seleccionar la solicitud ganadora, se codifica la columna y, combinada con la información de la fila previamente codificada, obtenemos las coordenadas precisas del píxel. Una vez registrada la posición, los bloques de comunicación emiten señales de reseteo para la fila y columna leída, lo que bloquea únicamente al píxel ya leído, dejando al resto en espera de su turno para la lectura.

3.2. Análisis del comparador

En la siguiente sección nos centraremos en el análisis del comparador, ilustrado en la Figura 3.5, dado que este elemento es el que limitará el comportamiento dinámico del circuito. Esto se debe a que es el único componente analógico del circuito, mientras que el resto está constituido por circuitería digital, la cual usualmente no es limitante en términos de velocidad. En nuestro caso, el comparador se ha implementado mediante un amplificador operacional de transconductancia constituido por dos etapas (OTA de dos etapas). Aunque es un dispositivo de transconductancia, es decir, que transforma tensión en corriente, el OTA puede utilizarse como un amplificador de tensiones si su salida se conecta a cargas capacitivas. Esta condición se cumple en nuestro caso, puesto que la salida del comparador se conecta a la puerta del PMOS que controla las peticiones a la periferia y al RS Latch a través también de la puerta de uno de sus transistores internos. El OTA de dos etapas está compuesto por tres espejos de corriente y un par diferencial, así como de una segunda etapa amplificadora conectada en serie, como se puede observar en la Figura 3.5. Los espejos de corriente superiores se encargan de garantizar una corriente de polarización adecuada para asegurar el correcto comportamiento del circuito, es decir, con todos los transistores operando en saturación fuerte. Por otro lado, la función del espejo de corriente inferior es la de transmitir la corriente generada por el terminal negativo del par diferencial a la salida de la primera etapa (la puerta del transistor M_4).

Un espejo de corriente utiliza dos transistores, uno de los cuales se encuentra en configuración de diodo (M_1 en el espejo inferior), con la misma tensión entre sus puertas

para transmitir la corriente que entra por el drenador del transistor en configuración de diodo al drenador del segundo transistor, logrando así *espejar* la corriente. La corriente copiada puede generalmente amplificarse o reducirse en función de la relación entre los tamaños de los transistores que conforman el espejo de corriente. Por ejemplo, en el caso del espejo de corriente inferior:

$$I_{out} = \frac{\left(\frac{W}{L}\right)_{M_0}}{\left(\frac{W}{L}\right)_{M_1}} I_{in} \quad (3.1)$$

Es importante destacar que el transistor en configuración diodo de los espejos de corriente superiores se conecta de manera externa a través de v_{bias} para controlar la corriente de polarización en caso de ser necesario.

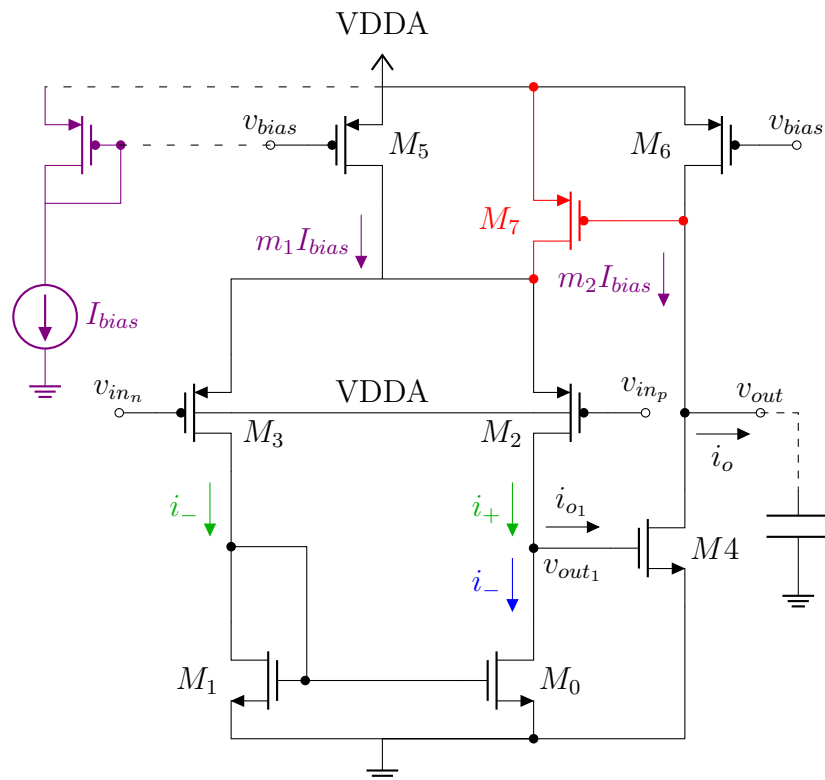


Figura 3.6: Representación de las intensidades inducidas en el comparador como respuesta a una excitación diferencial de entrada. En verde se representan las intensidades debidas al par diferencial, en azul la debida al espejo de corriente NMOS y en violeta las debidas a la corriente de polarización externa. A su vez se representa en rojo el transistor de *boosting* incluido para mejorar el funcionamiento del circuito

El funcionamiento del OTA de dos etapas está representado de forma esquemática en la Figura 3.6. Para comenzar, contamos con una corriente de polarización $I_{bias} = 50 \text{ nA}$

que se conecta externamente y es copiada por los espejos de corriente superiores. La primera etapa del OTA está conformada por el par diferencial y el espejo de corriente inferior, mientras que la segunda etapa está compuesta por un driver NMOS (M_4) y un transistor PMOS que actúa como carga (M_6). Por la primera etapa circulará una corriente de polarización $m_1 I_{bias}$ y por la segunda, $m_2 I_{bias}$, donde m_1 y m_2 son los factores de amplificación de cada uno de los espejos debido a la relación de aspectos. En nuestro caso, según podemos observar en la Tabla 3.3, $m_1 = m_2$ ya que las dimensiones de M_5 y M_6 las hemos seleccionado iguales. Además, la ganancia del espejo de corriente inferior es unitaria.

	W	L
M_0, M_1	$4.3 \mu\text{m}$	$1 \mu\text{m}$
M_2, M_3	$2.8 \mu\text{m}$	$1 \mu\text{m}$
M_4	$2 \mu\text{m}$	230nm
M_5, M_6	$1 \mu\text{m}$	$2 \mu\text{m}$
M_7	340nm	180nm

Tabla 3.3: Dimensiones de los transistores que conforman el comparador

Para entender el comportamiento del comparador ante una excitación diferencial en el par de entrada, debemos tener en cuenta que los transistores PMOS conducen más cuanto menor es su tensión de puerta, ya que se necesitan tensiones negativas para formar el canal de huecos a través del cual se produce la conducción. Mientras que en el caso de los transistores NMOS, se requieren tensiones positivas para formar el canal conductivo de electrones. A continuación, se enumeran los posibles casos que pueden darse:

- $v_{inp} > v_{inn}$: En este caso, el transistor M_3 conducirá más que el transistor M_2 , haciendo que $i_- > i_+$ y, por tanto, $i_{o1} = i_+ - i_- < 0$. Esto se traducirá en una tensión de puerta negativa en M_4 , lo cual va a hacer que no conduzca, y, por tanto, que $i_o = m_2 I_{bias}$, cargando rápidamente el condensador de salida y alcanzando así un estado alto en la salida del comparador.
- $v_{inp} = v_{inn}$: Ahora ambos transistores del par diferencial conducen igual, por lo que $i_{o1} = 0$, esto se traduce en una tensión de puerta nula en M_4 , por lo que seguimos obteniendo una tensión alta a la salida.

- $v_{inn} > v_{inp}$: En este caso, el transistor M_2 va a conducir más, provocando que $i_+ > i_-$ y $i_{o1} > 0$, lo cual genera una tensión de puerta positiva en M_4 , haciendo que drene parte de la corriente $m_2 I_{bias}$. Esto disminuirá la tensión de salida conforme sea mayor la diferencia de tensiones entre v_{inn} y v_{inp} , hasta que M_4 drene toda la corriente disponible, obteniendo una tensión nula, y, por tanto, un estado bajo de salida.

Para optimizar la respuesta del comparador ante el último escenario presentado, se ha integrado en el circuito original un transistor de refuerzo, o *boosting*, PMOS (M_7), tal como se muestra en la Figura 3.6. La finalidad de este componente adicional es que, cuando la salida del comparador comienza a disminuir, el transistor de *boosting* empieza a conducir, proveyendo una mayor corriente de polarización al par diferencial. Esto aumenta la diferencia entre las tensiones i_+ e i_- , acelerando el paso al estado bajo. Este ajuste no incrementa significativamente el consumo del dispositivo, puesto que solo se *activa* durante el momento de comparación.

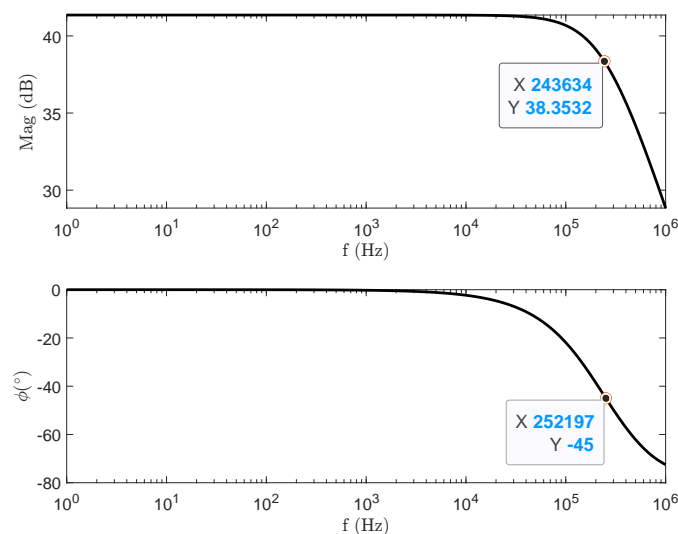


Figura 3.7: Diagrama de Bode del comparador. Se representa el ancho de banda y la posición del primer polo

3.2.1. Resultado de las simulaciones del comparador

En la Figura 3.7 observamos el diagrama de Bode del comparador, en el que se representa la magnitud y la fase del mismo a lo largo de varias décadas de frecuencia. En este

caso, la magnitud más relevante es el ancho de banda, la cual nos da el rango de frecuencias en el que el comparador trabaja adecuadamente. Este se puede calcular mediante la caída de 3dB en la magnitud, para la cual obtenemos un ancho de banda de 240 kHz. A su vez, la posición del primero polo podemos estudiarla como el punto a partir del cual obtenemos un desfase de -45° , obteniendo una frecuencia de 250 kHz. Estos valores no son óptimos para aplicaciones de vídeo de alta calidad, pero nos serviría por ejemplo para grabar vídeo con una velocidad algo inferior a 30 fps con un sensor de 128×128 píxeles y 7 bits de profundidad.

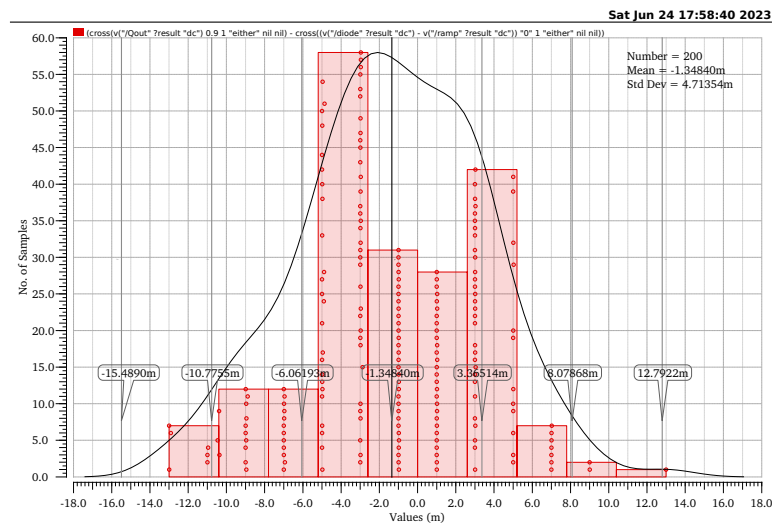


Figura 3.8: Histograma del análisis por Monte Carlo del offset del comparador para 200 iteraciones

A continuación, hemos realizado un análisis de Monte Carlo del comparador, centrandó nuestra atención en el offset del mismo. En este análisis, mantenemos una tensión constante en una de sus entradas (proporcionada por el diodo en fotovoltaica) y variamos la tensión de la otra entrada proporcionada por el DAC, con el objetivo de determinar la discrepancia entre la tensión de conmutación y el punto de intersección de la señal rampa con la tensión del diodo, puesto que idealmente el comparador debería conmutar siempre en el mismo punto para una tensión de circuito abierto fija. Sin embargo, debido a los *mismatches* entre los transistores por el proceso de fabricación, obtendremos un compor-

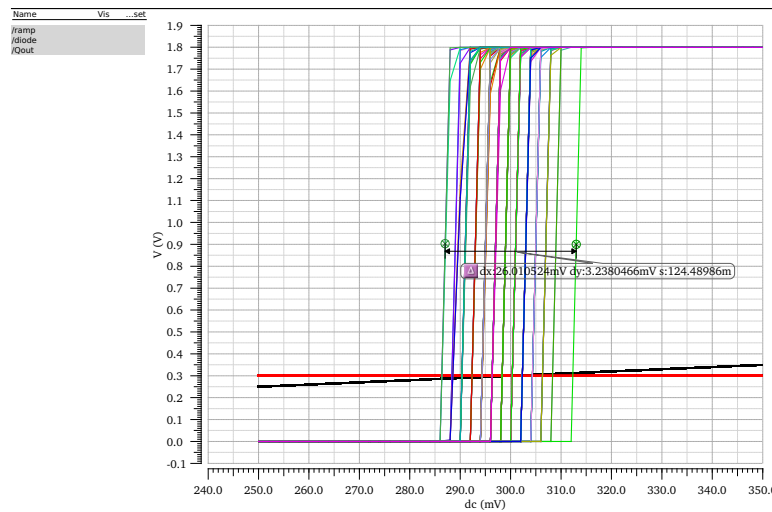


Figura 3.9: Representación del análisis por Monte Carlo del offset del comparador para 200 iteraciones. En rojo se representa la tensión de circuito abierto del diodo y en negro la tensión generada por la señal rampa

tamiento alejado de esta idealidad. Hemos obtenido un valor medio de offset de -1 mV con una desviación estándar de tres sigmas de 14 mV , Figura 3.8. Esto se traduce en una distribución de tensiones de conmutación con una anchura de aproximadamente 26 mV , Figura 3.9. Si consideramos un DAC de 8 bits, una elección común en la mayoría de las aplicaciones de imagen, este nos brinda $2^8 = 256$ niveles. Teniendo en cuenta que el rango de tensiones disponible proporcionado por la alimentación es de 0 a 1.8 V , cada escalón de la señal rampa generada por el DAC tendría una anchura de 7 mV . Esto implica que una tensión dada podría fluctuar entre 4 niveles de color distintos. Sin embargo, si usamos un DAC con menos bits, por ejemplo, de 7 bits, obtenemos escalones de 14 mV , lo cual se traduce en que una misma tensión del diodo podría variar entre solo dos niveles distintos, lo cual resulta mucho más aceptable. Se ha realizado una simulación para este caso, representado en la Figura 3.10, en la que se obtiene el comportamiento esperado.

En la Figura 3.11 consideramos una serie de imágenes en las que se muestran los resultados empleando 1 bit (blanco o negro), 3 bits, 7 bits y 8 bits. En estas imágenes, se puede observar que a partir de 3 bits los incrementos en la calidad son mínimos y que no existe un cambio significativo entre las imágenes con 7 y 8 bits. Por lo tanto,

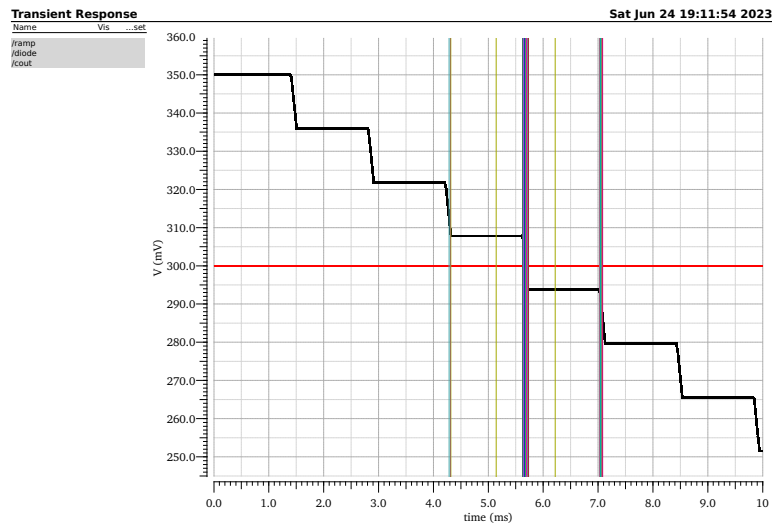


Figura 3.10: Simulación del comportamiento del comparador ante una señal rampa dada por un DAC de 7 bits mediante un análisis por Monte Carlo de 200 iteraciones. En rojo se representa la tensión de circuito abierto del diodo.

podemos concluir que el comportamiento de nuestro comparador es adecuado para nuestra aplicación. A pesar de ello, si buscáramos obtener imágenes con mayor profundidad de bits, necesarias para algunas aplicaciones científicas o médicas, sería necesario estudiar otras posibles geometrías del comparador o modificar los tamaños de los transistores para reducir la desviación del offset.

3.3. Simulación del pixel completo

En el proceso de diseño del píxel, se realizaron varias simulaciones utilizando *Cadence Virtuoso*. La Figura 3.12 presenta la simulación de la lectura del píxel completo. Para ello, establecimos un voltaje de circuito abierto fijo en uno de los terminales del comparador, proporcionado por el diodo en fotovoltaica, y esperamos a que la señal rampa generada por el DAC coincidiera con la tensión suministrada por el diodo, *activando* así la lectura del píxel. Como era de esperar por las simulaciones realizadas durante la caracterización del comparador, la conmutación del comparador ocurre cierto tiempo después del cruce de las dos señales de tensión. Una vez que el comparador ha conmutado, se *activa* la señal

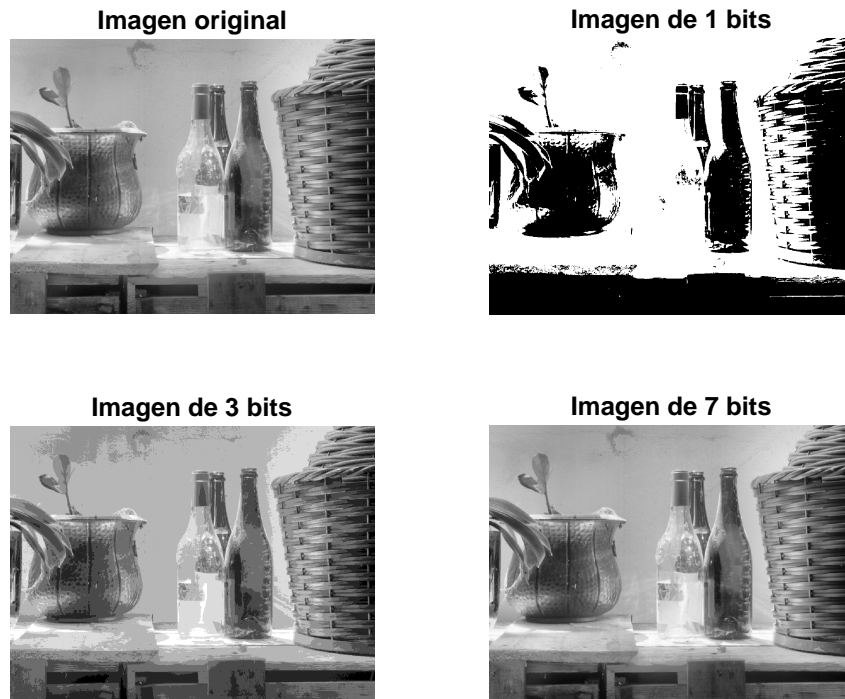


Figura 3.11: Representación de una figura usando 8 bits, 1 bit, 3 bits y 7 bits

\overline{lock} , cortocircuitando el diodo, y se procede a la lectura del píxel mediante el protocolo AER explicado en la Figura 3.4. En general, se observa un comportamiento similar al teorizado en la Figura 3.2, con la diferencia de que las señales presentan cierto retraso, como era de esperar.

La Figura 3.13 muestra un análisis de la influencia de los posibles *corners* que se pueden dar en el proceso de fabricación sobre el comportamiento del comparador, ya que como se mencionó en las secciones anteriores, el comparador es el elemento limitante del circuito. Los *corners* son representaciones extremas de los procesos de fabricación de semiconductores que pueden variar debido a las tolerancias inherentes a estos procesos. Cada *corner* representa una combinación particular de los parámetros del proceso de fabricación y de la temperatura. Estos son comúnmente denominados como *ff* (*fast-fast*), *ss* (*slow-slow*), *snfp* (*slow-nominal-fast process*), y *fnsp* (*fast-nominal-slow process*). El *corner ff* representa un proceso rápido a alta temperatura, en el que los dispositivos funcionan más rápido de lo normal debido a los parámetros optimistas del proceso y a la alta temperatura. Por otro lado, el *corner ss* representa un proceso lento a baja temperatura, en el que los dispositivos funcionan más lentamente de lo normal debido a los parámetros pesimistas del proceso y a la baja temperatura. Los *corners snfp* y *fnsp*

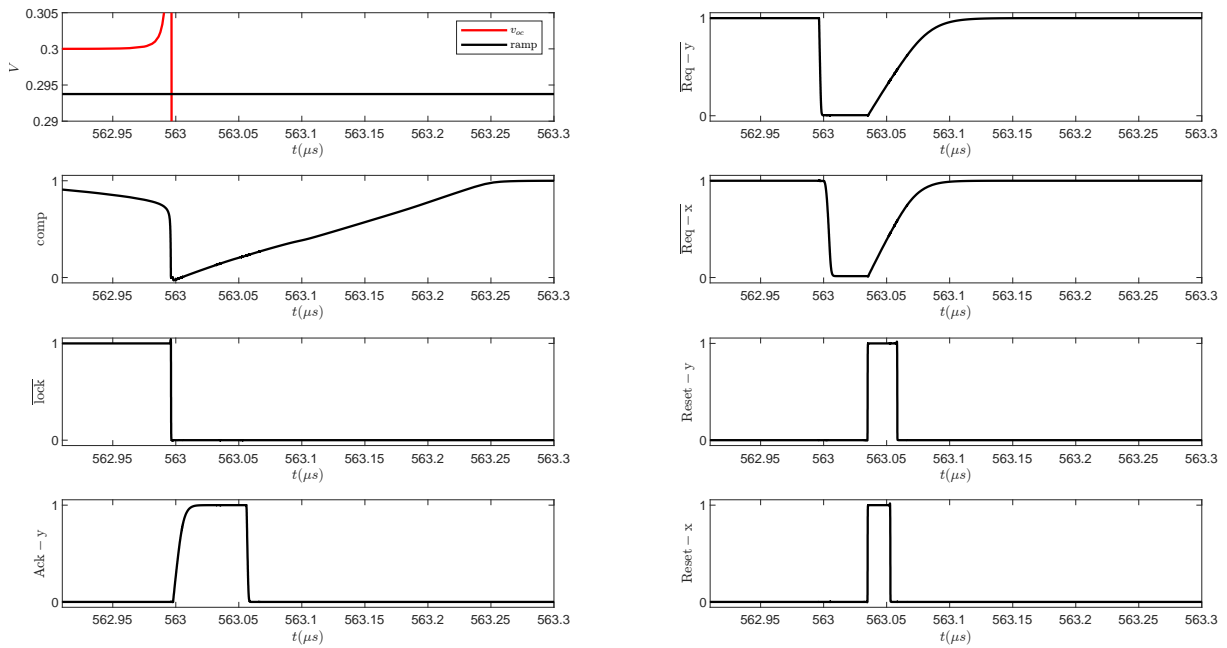


Figura 3.12: Simulación de la lectura del pixel completo

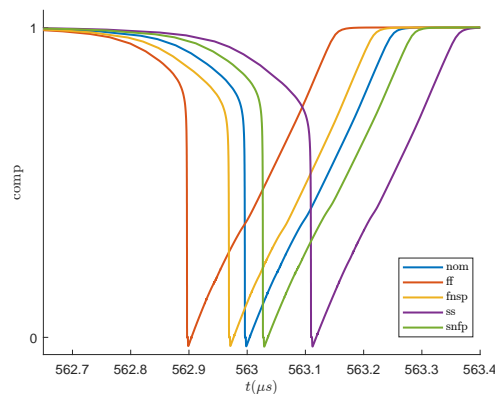


Figura 3.13: Simulación por *corners* del comportamiento del comparador

representan situaciones en las que se combinan condiciones de proceso y temperatura rápida y lenta de manera contrapuesta. El análisis de *corners* es fundamental en el diseño de circuitos, ya que permite evaluar el rendimiento del circuito en condiciones extremas y garantizar que funcionará correctamente en todas las posibles condiciones de fabricación y operación. El análisis indica que el caso más desfavorable en nuestra situación es el *ss*, ya que el comparador permanece *activo* durante más tiempo, lo que resulta en un mayor consumo de energía y una reducción en la velocidad del sensor.

En la Figura 4.8, hemos realizamos una simulación de la lectura de un *cluster* de 4 píxeles formando una matriz 2×2 . Hemos establecido que todos los diodos de estos píxeles

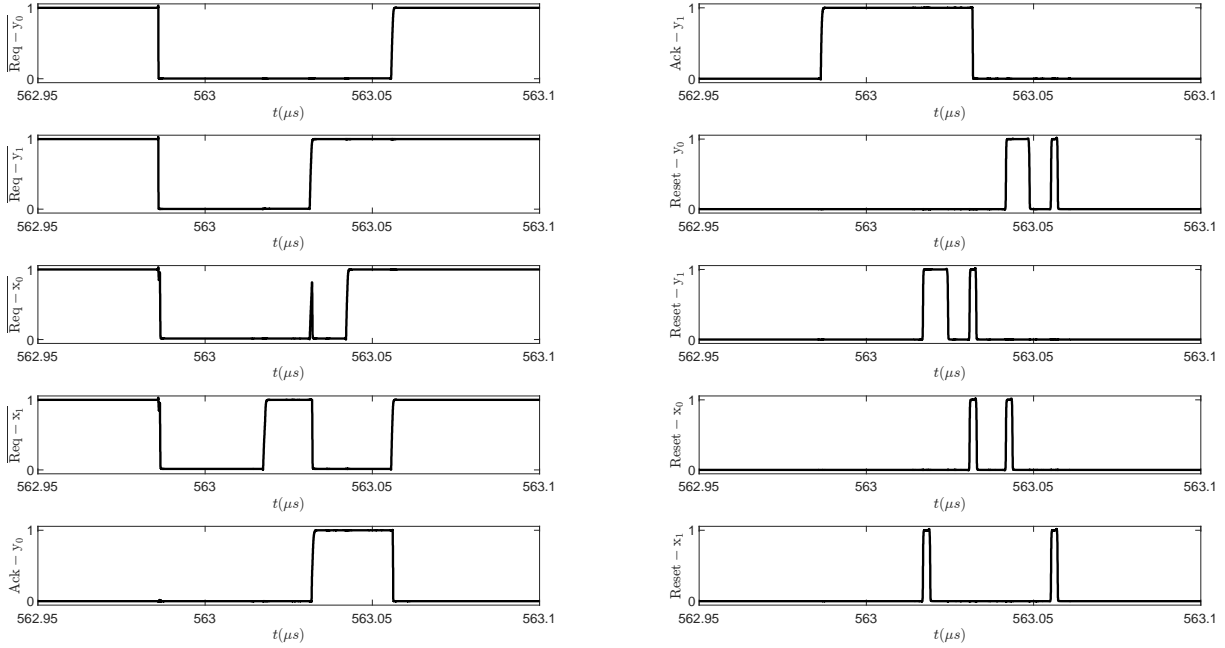


Figura 3.14: Simulación de la lectura de un *cluster* de 4 píxeles

presenten la misma tensión de circuito abierto, para simular una situación en la que se deben leer los 4 píxeles simultáneamente y así verificar la eficiencia del protocolo AER. En la figura, se observa que inicialmente se *activan* las señales $\overline{Req-y_0}$ y $\overline{Req-y_1}$ al mismo tiempo. Sin embargo, el arbitrador da prioridad a la fila y_1 , *activando* $\overline{Ack-y_1}$ antes que $\overline{Ack-y_0}$. Esto provoca que las señales $\overline{Req-x_0}$ y $\overline{Req-x_1}$ también se *activen* simultáneamente. De nuevo, el arbitrador da prioridad a la columna x_1 , tal y como se puede observar en la señal $\overline{Reset-x_1}$, completando así la lectura del píxel en la posición (1,1) y bloqueándolo para continuar con la lectura del resto de píxeles en el *cluster*. Siguiendo las señales de reset, el orden de lectura de los píxeles restantes es: (0,1), (0,0) y (1,0).

Finalmente, se realizó una simulación para calcular el consumo de potencia del dispositivo. En el caso de un solo píxel, se obtuvo un consumo de potencia de 103 pW durante el proceso de lectura. Suponiendo que se mantiene la linealidad, una matriz de píxeles de 128×128 tendría un consumo de potencia de 1.69 μ W. Un consumo de potencia en el rango de microwatios es bastante común en estos dispositivos, por lo que nuestro valor de consumo de potencia está dentro de unos rangos aceptables.

CAPÍTULO 4

Layout del sensor y de la matriz de píxeles

En el siguiente capítulo nos centraremos en el proceso de diseño y fabricación del sensor de imagen. Para ello, hemos recurrido al software *Cadence Virtuoso*, el cual es una opción líder en la industria, que permite la creación de diseños intrincados y precisos a nivel de circuito y de *layout*. La tecnología seleccionada para este propósito es UMC 180 nm. Podría suponerse que en un mundo donde los avances tecnológicos permiten la fabricación de transistores cada vez más pequeños, esta no sería la elección predilecta. Sin embargo, a pesar de no ser la opción más vanguardista, la tecnología UMC 180 nm sigue siendo muy relevante y ampliamente utilizada en una gran variedad de aplicaciones, desde la fabricación de sensores de imagen hasta la automoción. El motivo principal de esta preferencia radica en que tecnologías más novedosas que emplean transistores de dimensiones más pequeñas suelen hacerlo a costa de una mayor variabilidad en su comportamiento. Por tanto, a pesar de la tendencia hacia la miniaturización en la industria de semiconductores, sigue habiendo una fuerte demanda para tecnologías como UMC 180 nm, que ofrecen un equilibrio atractivo entre tamaño, fiabilidad y resistencia a variaciones.

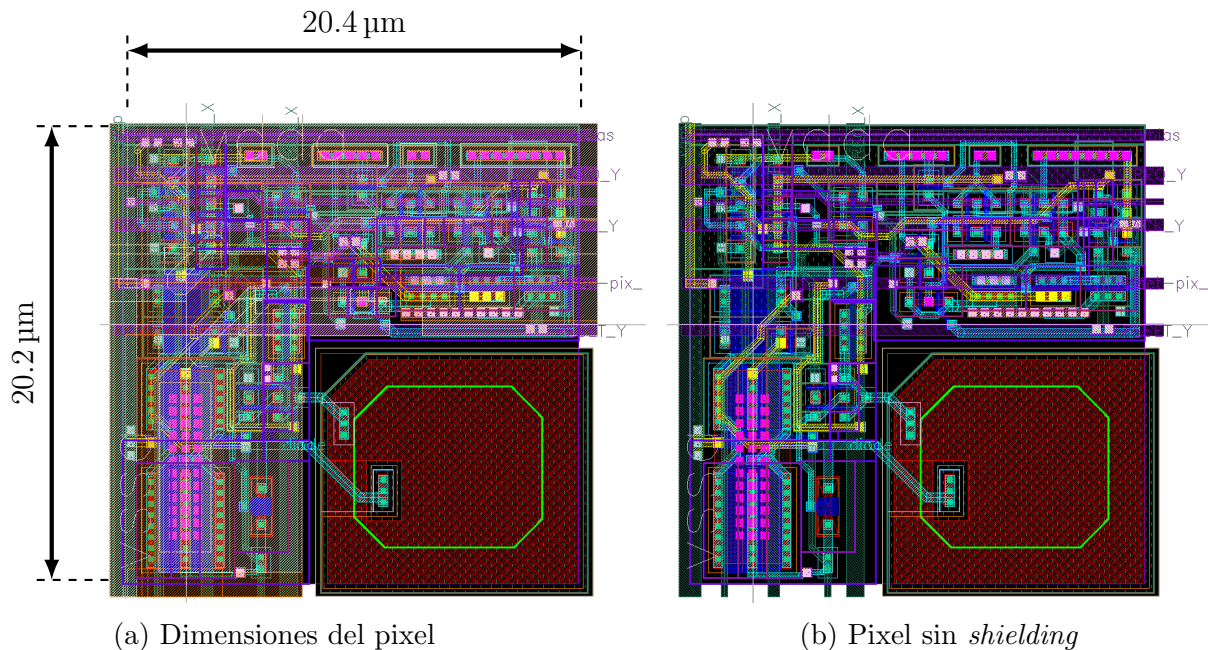


Figura 4.1: *Layout* del pixel

4.1. Diseño del sensor de imagen

Avanzando en el análisis del diseño, procedemos a estudiar el realizado para implementar el pixel con compresión logarítmica y diodos operando en régimen fotovoltaico. En primer lugar, se ha priorizado la minimización del tamaño del sensor en la medida de lo posible, puesto que, a menor tamaño del pixel, mayor número de ellos podremos integrar en la misma matriz, mejorando así la calidad de imagen final, estando el número óptimo en unos 128×128 píxeles [26]. Para ello, hemos optado por emplear transistores de dimensiones mínimas siempre que las condiciones lo permitían. Como resultado, se ha conseguido un tamaño compacto para el sensor, de aproximadamente $20 \mu\text{m} \times 20 \mu\text{m}$, como se ilustra en Figura 4.1.

La distribución interna del pixel se muestra en la Figura 4.2. Para incorporar el condensador usado en el circuito de comunicación con la periferia (Figura 3.3) hemos empleado una MIMCAP (*Metal-Insulator-Metal CAPacitor*), la cual es una estructura tipo metal-aislante-metal muy común en tecnologías CMOS, debido a su alta densidad de capacitancia y baja variabilidad. Para optimizar el espacio en el sensor, hemos dispuesto esta estructura encima del diseño físico del comparador, sirviendo además este de aislante para el propio circuito en cuestión. En los huecos del pixel se han implementado contactos



Figura 4.2: Secciones del píxel. El bloque de puertas lógicas incluye la puerta NAND, AND y el segundo inversor, el bloque de NMOS peticiones engloba a los transistores encargados de las peticiones de lectura, el de NMOS cap incluye los transistores que se encargan de descargar el condensador y el bloque de diodo corte engloba la puerta NOR y el transistor encargados de cortocircuitar al diodo

desde las vías de alimentación hasta el sustrato y los pozos *nwell*. Esta disposición garantiza una correcta distribución de los potenciales, esencial para el correcto funcionamiento del dispositivo.

En una línea similar, se ha integrado una matriz de alimentación con todas las señales que son comunes a los píxeles. Esto es: Tierra, el raíl de alta tensión del circuito (VDD) y la señal rampa. Al distribuir estas señales de forma homogénea a lo largo del circuito (Figura 4.3a) evitamos la formación de pozos de potencial, los cuales provocan caídas localizadas de voltaje debido a la resistencia interna de las vías de interconexión. Estas caídas de voltaje pueden afectar al rendimiento del circuito, ya que los componentes de estas regiones pueden no recibir la tensión adecuada para su correcto funcionamiento. Además, para reducir aún más la posibilidad de formación de pozos de potencial, hemos incrementado el ancho de estas vías de alimentación. Al aumentar el ancho de las vías, disminuimos la resistencia eléctrica que estas presentan. Esto se debe a que la resistencia de una vía de interconexión es inversamente proporcional a su sección transversal (la cual aumenta con el ancho).

En cuanto al rutado de señales, hemos sido especialmente cautelosos para evitar cortos

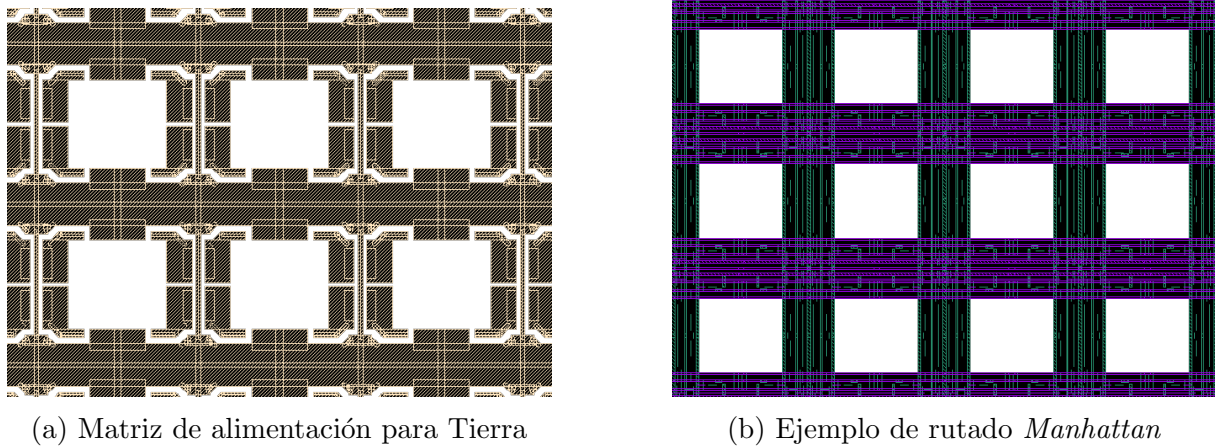


Figura 4.3: Rutado de señales

o cargas capacitivas indeseadas. Estas últimas, formadas cuando colocamos dos conductores demasiado cerca, pueden alterar las señales eléctricas que se transmiten por los conductores provocando comportamientos imprevistos. Para mitigar estos problemas, en nuestro diseño hemos utilizado una estrategia de rutado que asigna los buses horizontales a las vías metálicas de metales pares y los verticales a los impares. Esta estrategia, a menudo conocida como rutado *Manhattan* (Figura 4.3b) por su parecido con el trazado de las calles de la ciudad de Nueva York, ayuda a evitar que las vías metálicas que llevan diferentes señales se coloquen demasiado cerca unas de otras. Además, la tecnología que hemos utilizado permite un total de 6 metales, lo que significa que podemos controlar el *layout* a diferentes alturas en el circuito integrado. En la jerarquía de niveles metálicos, el grosor y la altura de los mismos aumentan conforme ascendemos. Es importante resaltar que un mayor grosor conlleva una reducción en la resistencia de la vía, lo que puede favorecer la velocidad y eficiencia del dispositivo. Por esta razón, resulta ventajoso emplear los niveles metálicos superiores para conexiones de mayor distancia, reservando los niveles inferiores para conexiones locales.

El diseño de circuitos integrados está sujeto a diversas fuentes de interferencia, y una de las más notables es la radiación electromagnética. Esta radiación puede tener un impacto significativo en el rendimiento del circuito, generando ruido e incluso provocando errores de funcionamiento. Para combatir este problema, uno de los enfoques empleados en el diseño de circuitos integrados es el uso de técnicas de *shielding* o blindaje. Esto se logra a través del uso de materiales conductores que rodean la región del circuito que se desea

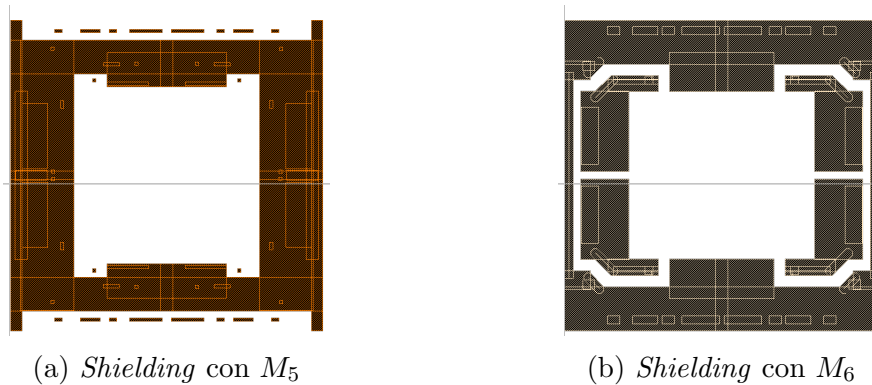


Figura 4.4: *Shielding* con M_5 y M_6 de un *cluster* 2×2

proteger, formando así una jaula de Faraday que impide la entrada de radiación. Para ello, hemos empleado los metales 5 y 6 (Figura 4.4), puesto que son los metales más gruesos de la tecnología, siendo más efectivos bloqueando la radiación electromagnética. Además de su función de blindaje, estas capas de metal también desempeñan roles esenciales en la alimentación del circuito. Hemos aprovechado la amplia superficie de estos metales para utilizarlos como nodos de alimentación, con el metal 6 sirviendo como Tierra y el metal 5 como fuente de alimentación (VDD). Esta doble función permite una distribución de potencia eficiente a través del circuito, y minimiza la necesidad de vías de conexión adicionales.

Un desafío clave en nuestro diseño es mantener una alta resolución en condiciones de baja luminosidad. En estos escenarios, la fotogeneración es débil y cualquier corriente de fuga podría hacer que no detectásemos una tensión adecuada. Es por ello que hemos implementado el transistor NMOS encargado del cortocircuito del diodo con un transistor de óxido de puerta grueso. A pesar de su mayor tamaño, estos dispositivos ofrecen voltajes umbrales más altos, siendo menos susceptibles a una *activación* parcial debida, por ejemplo, a la propia agitación térmica. Por tanto, al implementar este tipo de transistor, podemos asegurar que la corriente de fuga en el fotodiodo va a ser mínima.

4.2. Simulaciones *post-layout*

Una vez completado el diseño del sensor, se procedió a realizar una serie de pruebas y simulaciones para validar la funcionalidad y el rendimiento del mismo. Inicialmente, se

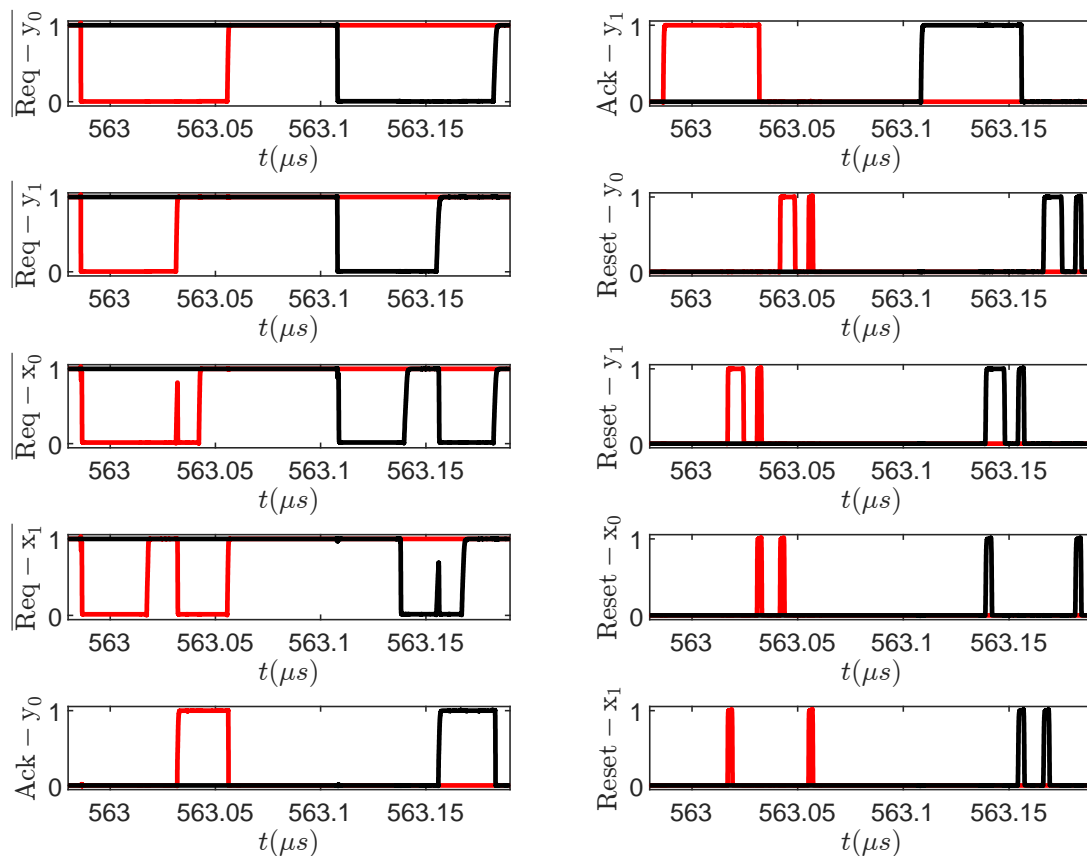


Figura 4.5: Comparativa en la lectura del sensor con parásitos (representado en negro) y sin parásitos (en rojo)

llevó a cabo una comprobación de las reglas de diseño (*Design Rule Check*, DRC) para asegurar que todos los requerimientos establecidos por el proceso tecnológico de UMC 180 nm se cumplieran correctamente. Tras superar satisfactoriamente el DRC, se procedió a realizar una verificación de la disposición de las capas (*Layout Versus Schematic*, LVS). El propósito de este test es asegurar que el *layout* se corresponde de manera exacta al esquemático original.

A continuación, se llevó a cabo una extracción de parásitos (*Parasitic Extraction*, PEX) y, para evaluar el impacto de estos parásitos en el funcionamiento del dispositivo, se realizó una simulación con los parásitos en un *cluster* 2×2 (Figura 4.5). El resultado de esta simulación se comparó con la simulación original, es decir, la que no incluía los efectos de los parásitos. Como era de esperar, se observa que el dispositivo tarda más tiempo en ser leído como consecuencia de las cargas capacitivas parasitarias. Sin embargo, la lectura de los 4 píxeles se realiza de forma satisfactoria, como podemos comprobar viendo el

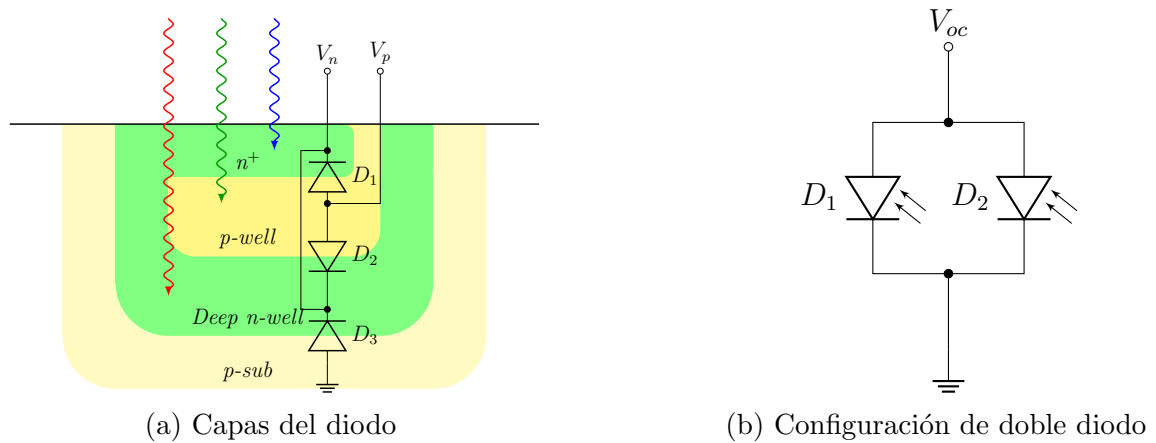


Figura 4.6: Diseño del diodo

comportamiento de las señales *Reset*, las cuales solo se *activan* una vez leído el píxel.

4.3. Diseño del diodo

El diseño del diodo fotovoltaico, que es un componente clave del píxel, se realizó cuidadosamente para asegurar la eficacia y eficiencia del dispositivo. Un aspecto importante del diseño es la inclusión de bloques *dummy* para señalar al fabricante que no deben depositarse capas metálicas encima del diodo, ya que ello podría interferir con su funcionamiento óptimo.

En el diseño (Figura 4.6a), optamos por una estructura triodo que ha demostrado su eficacia en trabajos anteriores [27]. Esta estructura incluye tres diodos: el más eficiente, energéticamente hablando, se encuentra entre la capa *deep n-well* y la *p-well*. Un segundo diodo se establece entre la *deep n-well* y el sustrato de tipo *p*. Finalmente, se implementa un tercer diodo entre la difusión n^+ y la capa *p-well*. Para implementar la configuración de diodo en fotovoltaica realizamos las conexiones mostradas en la Figura 4.6b, en la que cortocircuitamos la difusión n^+ con la *deep n-well* y la conectamos a Tierra, además, nos conectamos al comparador a través de la conexión V_p realizada en la *p-well*. Con esta configuración el diodo D_3 no contribuye a la tensión total, puesto que se encuentra cortocircuitado, resultando en dos diodos conectados en paralelo. Si analizamos la tensión de circuito abierto que proporciona la estructura (cuando la intensidad por el terminal V_{oc} es nula):

$$V_{ocdouble} = U_T \ln \left(1 + \frac{I_{ph1}}{I_{S1}} \frac{1 + \frac{I_{ph2}}{I_{ph1}}}{1 + \frac{I_{S2}}{I_{S1}}} \right) \quad (4.1)$$

Podemos observar que obtenemos una mayor tensión que en el caso de un solo diodo (Ecuación 2.3) siempre que $\frac{I_{ph2}}{I_{ph1}} > \frac{I_{S2}}{I_{S1}}$. Por lo general vamos a tener que $I_{S1} > I_{S2}$, puesto que el área del diodo formado por los pozos *p-well* y *deep n-well* es superior al formado por la difusión y la capa *p-well*. Además, puesto que hemos incrementado la extensión de la difusión n^+ , mejorando la fotogeneración de I_{ph2} vamos a obtener, en general, una mayor tensión que con un solo fotodiodo. Sin embargo, la relación entre las fotocorrientes puede variar dependiendo del tipo de luz incidente, puesto que cada diodo es más perceptible a una longitud de onda o a otra dependiendo de su eficiencia cuántica explicada en capítulos anteriores.

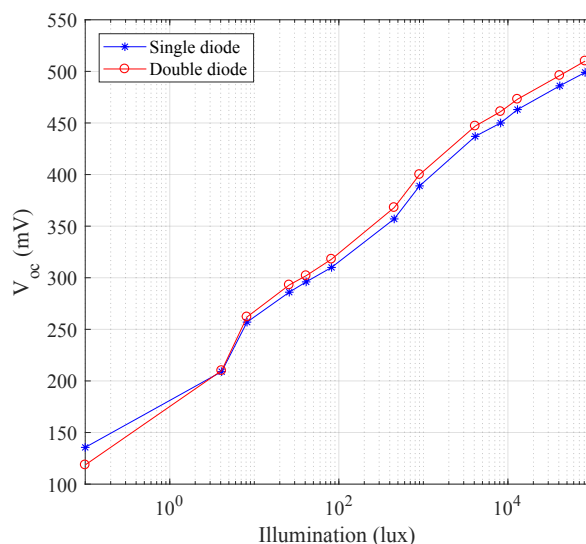
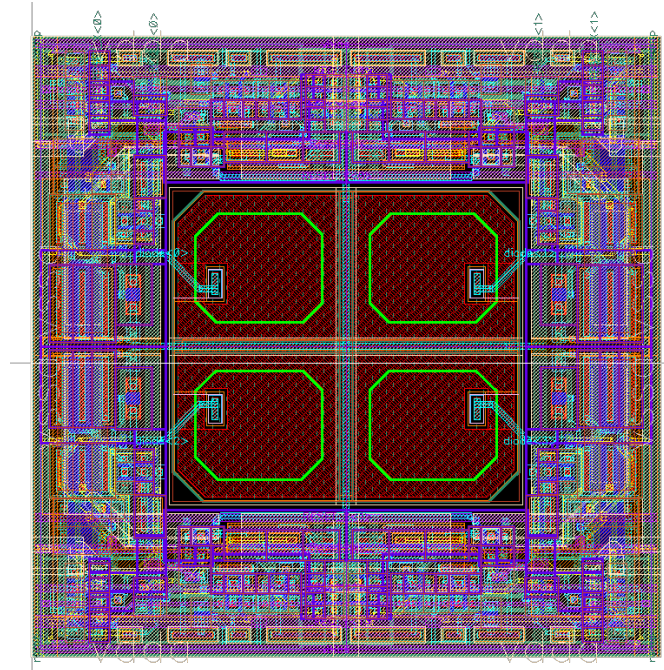


Figura 4.7: Gráfica de la tensión de circuito abierto (V_{oc}) frente a la iluminación para una configuración de un solo diodo y de doble diodo

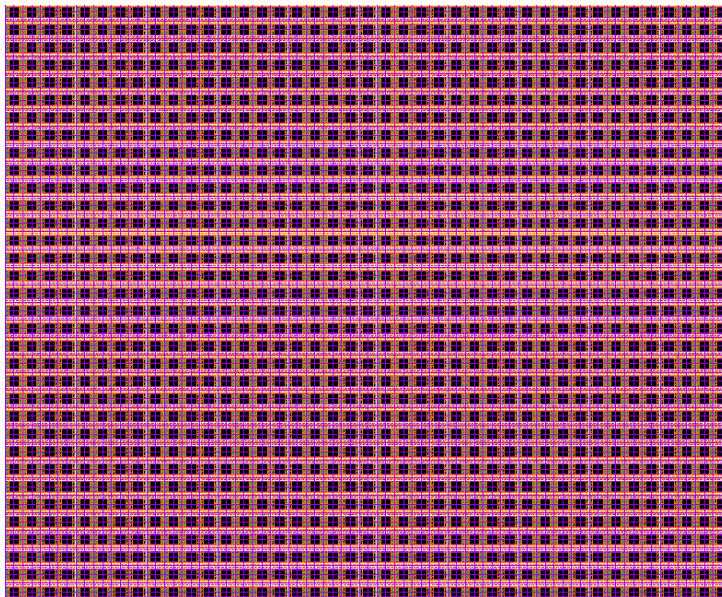
En la Figura 4.7, obtenido de [27], se muestra la relación entre la tensión de circuito abierto y la luminosidad a temperatura constante. Se puede observar que la configuración de doble diodo proporciona una tensión de circuito abierto mayor, excepto a baja iluminación. Además, la gráfica ilustra cómo el diodo produce una compresión logarítmica del nivel de iluminación tal y como esperábamos, siendo esta más eficiente a baja iluminación (en torno a 6 lx), donde la pendiente de la característica es más abrupta.

Cabe mencionar, con respecto al proceso de fabricación, que en el diseño del diodo

Figura 4.8: *cluster* de 4 píxeles

se han implementado las capas *p-well* y *deep n-well* colocando una capa *T-well* sobre un pozo *n-well*, puesto que la tecnología empleada no disponía de esta opción. Asimismo, hemos situado el diodo en una esquina del pixel, de forma que, al crear la matriz, esta se pueda configurar mediante imágenes especulares de los píxeles. De esta manera, los cuatro diodos que pertenecen a una submatriz 2×2 (Figura 4.8) están todos en contacto, optimizando el espacio del mismo, ya que estos diodos pueden compartir la capa *deep n-well*, la difusión n^+ y el substrato, puesto que todos ellos se encuentran a tierra para todos los diodos, resultando en una área activa de $11.3 \mu\text{m} \times 10.1 \mu\text{m}$. Además, la conexión *n-well* a Tierra está compartida por los cuatro píxeles para mejorar la polarización de la misma. Finalmente, se han recortado las esquinas exteriores de los píxeles para evitar la creación de campos eléctricos de gran magnitud en estas áreas. Este recorte es necesario para minimizar los efectos del fenómeno conocido como el efecto punta, el cual puede causar una concentración de campo eléctrico en estas zonas y conducir a una ruptura dieléctrica del medio.

En la Figura 4.9 tenemos la matriz de 128×128 píxeles resultante de acoplar 64×64 *clusters* como los observados en la Figura 4.8. Esta matriz cuenta con unas dimensiones de $2.6 \text{ mm} \times 2.6 \text{ mm}$.

Figura 4.9: Matriz de 128×128 píxeles

4.4. Comparativa con el estado del arte

Tabla 4.1: Comparativa de diferentes trabajos sobre sensores HDR

Trabajo	Bermak ¹ [28]	Vatteroni [29]	Yang ² [30]	Este trabajo
Tecnología	$0.35 \mu\text{m}$	$0.35 \mu\text{m}$	$0.18 \mu\text{m}$	$0.18 \mu\text{m}$
Área del píxel (μm^2)	50×50	9.4×9.4	31.2×31.2	20.2×20.4
FF(%)	20	30	10.3	27
<i>Pitch</i> (μm)	-	9.4	31.2	20.3
Resolución	32×32	100×100	60×30	128×128
Rango dinámico (dB)	> 90	112	130	140 ³
Consumo (mW)	10	118	0.72	1.69×10^{-3}

¹ posee resolución regulable, como en nuestro caso, entre 4 y 8 bits

² se trata de un sensor DVS

³ estimada de [21], el cual usa la misma arquitectura de fotodiodo

La Tabla 4.1 muestra una comparativa de los parámetros de nuestro sensor frente a otros sensores HDR. Resulta evidente que los valores obtenidos para *Fill Factor*, *pitch* y rango dinámico son altamente competitivos. Adicionalmente, su bajo consumo energético facilita la implementación de estrategias de *harvesting*, posibilitando así la creación de un sensor autónomo. Este balance de alto rendimiento y eficiencia energética lo sitúa como una opción prometedora en el mercado de sensores HDR.

CAPÍTULO 5

Conclusiones y líneas futuras

A lo largo de este Trabajo Final de Grado, se ha logrado la implementación novedosa de un sensor logarítmico con diodos operando en la región fotovoltaica. Este avance representa un salto desde los convencionales fotorreceptores logarítmicos utilizados en el diseño de sensores anteriores. La singularidad de este sensor no solo reside en el uso de los diodos en su forma fotovoltaica, sino también en la forma en que se lee cada píxel. Se ha utilizado un enfoque de lectura innovador basado en una señal rampa global. Este método permite que cada píxel sea leído de forma autónoma, eliminando la necesidad de un control centralizado para el proceso de lectura. Esto es particularmente útil cuando se combina con el protocolo de eventos direccionables asíncronos (AER) que hemos implementado, lo que permite una eficiencia de lectura del píxel significativamente mejorada en comparación con los trabajos previos.

El uso de diodos en la región fotovoltaica ha proporcionado buenas cifras en términos de consumo de energía y parámetros geométricos. Esto se traduce en una notable reducción del consumo de energía, así como una disminución del espacio que ocupa cada píxel, en comparación con otros sensores de alto rango dinámico (HDR) existentes. El consumo total del sensor se ha determinado en $1.69 \mu\text{W}$. Sin embargo, cabe mencionar que este valor puede ser engañosamente alto, ya que no refleja el consumo medio del sensor en operación real. Una vez que los píxeles se han leído, entran en un estado de baja potencia y consumen menos energía, por lo que se espera que el consumo medio de la matriz de píxeles sea aún menor. Los parámetros geométricos obtenidos han demostrado ser muy

prometedores. El *Fill Factor* (FF) ha alcanzado un valor del 27% y el *pitch* medio se ha estimado en 20.3 μm , valores que son comparables con muchos de los sensores HDR actuales.

En el caso del rango dinámico, hemos podido estimar un valor en torno a los 140 dB. Esta medida coloca a nuestro sensor no solo dentro del espectro de sensores HDR, sino también en su extremo superior, resaltando su competitividad frente a otros dispositivos existentes en términos de rango dinámico.

Finalmente, es importante destacar que este sensor no presenta una alta dificultad estructural y, además, está diseñado con tecnología UMC 180 nm, a pesar de no ser de las más modernas, es ampliamente utilizada, ofreciendo un equilibrio entre tamaño y fiabilidad. Este aspecto no solo facilita su producción, sino que también abre las puertas a futuras mejoras y optimizaciones. Por ello, este estudio deja abierta la puerta a varias líneas de investigación futuras, entre las que destacan:

- El diseño del *layout* de la periferia del sensor y del DAC necesarios para el correcto funcionamiento del sensor.
- Investigar distintas arquitecturas de comparador para mejorar su frecuencia de operación, manteniendo o, si es posible, disminuyendo el consumo del mismo.
- Incluir un sistema de *harvesting* que se alimente de la energía producida por los diodos en fotovoltaica para hacer el sensor autosuficiente.
- Fabricación del sensor para verificar que los parámetros obtenidos mediante simulación son correctos.
- Estudiar a fondo las posibilidades que ofrece el uso de la lectura mediante una señal rampa global, como la modificación de la velocidad de lectura del pixel o el ajuste de la calidad de la imagen modificando el número de bits del DAC.

En resumen, este trabajo ha sentado una base sólida para el desarrollo de sensores HDR más eficientes y con un rango dinámico mejorado, abriendo múltiples caminos para la investigación y la mejora futuras.

Bibliografía

- [1] J. C. Rabin. The Retina: An Approachable Part of the Brain. *Optometry and Vision Science*, 23(7), Jan. 2013.
- [2] U. Seger, H. G. Graf, and M. E. Landgraf. Vision Assist in Scenes with Extreme Contrast. *IEEE Micro*, 13:50–56, 1993.
- [3] C. Posch, D. Matolin, and R. Wohlgenannt. A QVGA 143 dB Dynamic Range Frame-free PWM Image Sensor with Lossless Pixel-level Video Compression and Time-domain CDS. *J. Solid-State Circuits*, 46(1):259–275, Jan. 2011.
- [4] B. S. Carlson. Comparison of modern CCD and CMOS image sensor technologies and systems for low resolution imaging. In *2002 IEEE Sensors*, pages 171–176, 2002.
- [5] Park, D. et al. A 0.8 μm Smart Dual Conversion Gain Pixel for 64 Megapixels CMOS Image Sensor with 12k e- Full-Well Capacitance and Low Dark Noise. In *2019 IEEE Int. Electron Devices Meeting (IEDM)*, pages 16.2.1–16.2.4. IEEE, 2019.
- [6] J. Sparsø and S. B. Furber. *Principles of Asynchronous Circuit Design: A Systems Perspective*. Kluwer Academic, The Netherlands, 2001.
- [7] A. J. Martin and M. Nyström. Asynchronous Techniques for System-on-Chip Design. *IEEE Proceedings*, 94(6):1089–1120, Jun. 2006.
- [8] Fukushima, K. et al. An Electronic Model of the Retina. *Proc. of the IEEE*, 58(12):1950–1951, 1970.
- [9] M. Mahowald. *An Analog VLSI Syst. for Stereoscopic Vision*, volume 265. Springer Sci. & Bus. Media, 1994.

- [10] M. Silvilotti. *Wiring Considerations in Analog VLSI Syst. with App. to Field-programmable Networks*. PhD thesis, Cal. Inst. of Tech., Pasadena, California, 1991.
- [11] P. Lichtsteiner, C. Posch, and T. Delbruck. A 128 x 128 120dB 30 mW Asynchronous Vision Sensor That Responds to Relative Intensity Change. In *2006 IEEE Int. Solid State Circuits Conf. - Digest of Tech. Papers*, pages 2060–2069, 2006.
- [12] R. Berner, C. Brandli, M. Yang, S.-C. Liu, and T. Delbruck. A 240 x 180 10 mW 12 us latency sparse-output vision sensor for mobile applications. In *Very Large Scale Integr. (VLSI) Symposium Proceedings*, pages C186–C187, Japan, 2013.
- [13] E. Culurciello, E. Cummings, and K. A. Boahen. A Biomorphic Digital Image Sensor. *IEEE J. Solid-State Circuits*, 38(2):281–294, 2003.
- [14] J. A. Leñero-Bardallo, R. Carmona-Galán, and Á. Rodríguez-Vázquez. A High Dynamic Range Image Sensor with Linear Response Based on Asynchronous Event Detection. In *2015 Eur. Conf. on Circuit Theory and Design (ECCTD)*, pages 1–4, 2015.
- [15] S. Chen and A. Bermak. A Low Power CMOS Imager Based on Time-to-first-spike Encoding and Fair AER. In *2005 IEEE Int. Symposium on Circuits and Syst.*, volume 5, pages 5306–5309, 2005.
- [16] A. De-la Calle-Martos, R. Gómez-Merchán, J. A. Leñero-Bardallo, and A. Rodríguez-Vázquez. Sun Tracker Sensor for Attitude Control of Space Navigation Systems. In *2020 IS&T Int. Symposium on Electronic Imaging*, 2020.
- [17] P. E. Debevec and J. Malik. Recovering High Dynamic Range Radiance Maps from Photographs. In *ACM SIGGRAPH 2007 Papers*, pages 369–378. ACM, 1997.
- [18] B. Hoefflinger, editor. *High-Dynamic-Range (HDR) Vision: Microelectronics, Image Processing, Computer Graphics*. Springer, 2007.
- [19] M. Loose. *Self-Calibrating CMOS Image Sensor with Logarithmic Response*. PhD thesis, Universität Heidelberg, 1999.

-
- [20] R. Gómez-Merchán, J. A. Leñero-Bardallo, and Á. Rodríguez-Vázquez. Diseño de un Sensor de Imagen Asíncrono Autoalimentado Mediante Captación de Energía Solar. Trabajo de fin de máster, junio 2020.
- [21] P. Fernández-Peramo. Diseño de un Sensor de Imagen DVS con Fotodiodos Operando en Región Fotovoltaica. Trabajo de fin de máster, septiembre 2022.
- [22] B. Razavi. *Fundamentals of Microelectronics*. Wiley, USA, 2014.
- [23] U. Mishra and J. Singh. *Semiconductor Device Physics and Design*. Springer, The Netherlands, 2008.
- [24] A. Darмонт. *High Dynamic Range Imaging: Sensors and Architectures*. International Society for Optical Engineering, 2 edition, 2019.
- [25] R. Gomez-Merchan, J. A. Leñero-Bardallo, and Á. Rodríguez-Vázquez. A self-powered asynchronous image sensor with TFS operation. *IEEE Sensors Journal*, 23(7):6779–6790, Apr. 2023.
- [26] A. Torralba. How many pixels make an image? *Visual Neuroscience. Special Issue: Natural Systems Analysis*, 2009.
- [27] R. Gómez Merchán, D. Palomeque Mangut, J. A. Leñero Bardallo, and Á. Rodríguez Vázquez. A Comparative Study of Stacked-Diode Configurations Operating in the Photovoltaic Region. *IEEE Sensors Journal*, 20(16), 2020.
- [28] A. Bermak. An 8/4-bit Reconfigurable Digital Pixel Array with On-Chip Non-Uniform Quantizer. In *IEEE Custom Integrated Circuits Conference*, Hong Kong, 2005.
- [29] M. Vatteroni, P. Valdastri, A. Sartori, A. Menciassi, and P. Dario. Linear-Logarithmic CMOS Pixel With Tunable Dynamic Range. *IEEE Transactions on Electron Devices*, 58(4), Apr. 2011.
- [30] M. Yang, S.-C. Liu, and T. Delbruck. A Dynamic Vision Sensor With 1 % Temporal Contrast Sensitivity and In-Pixel Asynchronous Delta Modulator for Event Encoding. *IEEE Journal of Solid-State Circuits*, 50(9), Sep. 2015.