



Diseño de un píxel asíncrono con alto rango dinámico y bajo consumo

Trabajo de Fin de Grado

Octubre 2023

Departamento de Electrónica y Electromagnetismo

Universidad de Sevilla

Autor: Jorge Rodríguez Banda

Tutores: Juan Antonio Leñero Bardallo y Pablo Fernández Peramo

Agradecimientos

Agradezco en especial el trabajo de mi tutor Juan Antonio Leñero por brindarme la oportunidad de iniciarme en el mundo del diseño electrónico y por impartir sus conocimientos conmigo a lo largo del Grado de Física en la asignatura de Electrónica Física. De la misma manera, me siento especialmente agradecido de haber podido contar con la revisión y comentarios de Pablo Fernandez Péramo, que me han sido de gran ayuda para orientar y enfocar mi estudio de los sensores de imagen y de la arquitectura tipo PWM que presenta este trabajo.

Deseo recordar a mi familia por haber sido el pilar, tanto económico como emocional, que ha sustentado mi carrera académica y me ha permitido la oportunidad de labrarme un futuro del que sentirme orgulloso.

Por último, no podría haber vivido estos últimos años sin la compañía, las risas y el cariño de mis amigos. Por haber sufrido conmigo y haberme levantado cuando ha sido necesario y en especial, a Juan, sin el que quizás nunca hubiera existido este trabajo; muchas gracias. Espero poder compensar, a lo largo de mi vida, apenas una pizca del cariño que he recibido de ustedes.

Resumen

En el presente Trabajo de Fin de Grado hemos llevado a cabo el diseño y validación de un píxel tipo *Pulse Width Modulation* de muy bajo consumo, alto rango dinámico y lectura asíncrona a través del protocolo de comunicación AER.

Para ello se ha llevado a cabo el análisis de una arquitectura novedosa con la que se pretende reducir el *Fix Pattern Noise*, elevado en los píxeles tipo PWM. Una vez conocidas sus características y tras el estudio del funcionamiento del protocolo AER, se ha diseñado un bloque lógico que permite la lectura asíncrona de los píxeles y que incorpora intrínsecamente el *bloqueo* de los mismos una vez realizada la lectura. Ello dota a los píxeles de una velocidad de operación muy alta.

Hemos obtenido resultados prometedores en cuanto al consumo de energía, $0,3 \mu W$ por píxel, y al rango dinámico, 74 dB. La respuesta frente al ruido es satisfactoria pero mejorable, necesitando la implementación real de nuestro diseño, una revisión del sistema de control de corriente para mejorar el FPN del 3,16 %.

Este trabajo constituye un inicio prometedor en el diseño de sensores asíncronos de muy bajo consumo, con aplicaciones en dispositivos biomédicos o redes de sensores inalámbricos, entre otras.

Índice

Agradecimientos	I
Resumen	II
1. Introducción	1
1.1. Sensores de imagen	1
1.2. Fotodiodo	2
1.2.1. Diodo con polarización directa e inversa	4
1.2.2. Fotocorriente e iluminación externa	5
1.3. Píxel tipo PWM clásicos	6
1.3.1. Rango dinámico y píxeles HDR	9
1.4. Sensores basados en eventos	11
1.4.1. Protocolo AER	12
1.5. Objetivos	14
2. Análisis del píxel y la circuitería	16
2.1. Flujo de funcionamiento	16
2.2. Pixel Core	20
2.2.1. Pequeña señal	24
2.3. Control de corriente	27
2.4. Lógica	29
2.5. Circuitería para la comunicación asíncrona	34

3. Resultados	38
3.1. Control de corriente	38
3.2. Pixel	40
3.2.1. Pixel Core	40
3.2.2. Lógica	44
3.3. Circuitería para la comunicación asíncrona	46
4. Conclusiones y líneas futuras	50

Índice de Figuras

1.1. Diodo de unión pn en equilibrio	4
1.2. Diodo de unión pn con polarización directa e inversa	5
1.3. Esquemático de la arquitectura clásica de los píxeles tipo PWM	7
1.4. V_{PD} y VC frente al tiempo en la etapa de reset e integración	8
1.5. Protocolo AER esquemático de funcionamiento básico	13
1.6. Protocolo AER para una matriz de píxeles $h \times k$	14
2.1. Diagrama de bloques del funcionamiento del dispositivo	17
2.2. Esquemático del pixel	19
2.3. Esquemático del pixel tipo PWM modificado	20
2.4. V_{PD} y VC frente al tiempo en la etapa de reset e integración	23
2.5. Esquemático del circuito equivalente en pequeña señal	25
2.6. Esquemático del bloque control de corriente	27
2.7. Esquemático del bloque Lógica	30
2.8. Análisis lógico de las señales	31
2.9. Circuitería para la comunicación asíncrona a través del protocolo AER	35
3.1. Corriente de referencia	39
3.2. VC y V_{PD} para $I_{Diodo} = 100 \text{ pA}$	41
3.3. ΔVC frente a I_{Diodo} (Eje x en escala logarítmica)	42
3.4. $\text{Log}_{10}(\Delta VC)$ frente a $\text{Log}_{10}(I_{Diodo})$ (Ejes x e y en escala logarítmica) .	43
3.5. FPN frente a I_{Diodo} (Eje x en escala logarítmica)	44

3.6. FPN Matrices frente a I_{Diodo}	45
3.7. Representación experimental de las señales mostradas en el Análisis Lógico	46
3.8. Comprobación de la subida de S previa a la bajada de R	47
3.9. Resultado del test de corners: Señal $request_{column}$	49

Índice de Tablas

2.1. Valores de las variables para el cálculo estimativo de g_m y A_0	25
2.2. Comportamiento de los Switches del bloque, control de corriente en integración y reset	29
2.3. Tabla de verdad de las puertas OR, NOR y XOR	30
2.4. Tabla de verdad del bloque RS Latch	31
3.1. Variables dimensionales de los transistores del bloque, control de co- rriente y valores de la intensidad de referencia en integración y reset .	38
3.2. Resultados experimentales del retraso de \overline{VC} respecto de VC (Re- traso 1), el retraso de $Allow_{protocol}$ respecto de \overline{VC} (Retraso 2) y el retraso total en la medida de Δt_{UP}	45
3.3. Comparativa de los resultados obtenidos con la bibliografía	48

CAPÍTULO 1

Introducción

1.1. Sensores de imagen

At the heart of every camera, where the conversion from light to electronic signal takes place, is the image sensor - an integrated circuit [1].

La evolución de los sensores de imagen forma parte de la narrativa de la tecnología digital desde la década de los 60. Estos son los elementos encargados de transformar la información relacionada con la luz incidente sobre el dispositivo en señales eléctricas.

En 1970, Michael F. Tompsett desarrolló el trabajo de George Smith y Willard Boyle sobre los dispositivos de carga acoplada (charged coupled devices), para aplicaciones de imagen. Recibiendo, por esto, el Premio Nobel de Física en 2009 [2]. Aunque el primer CCD era un dispositivo cuyas aplicaciones se limitaban casi exclusivamente a la astronomía, el desarrollo de los mismos los convirtió en la tecnología líder y sus aplicaciones en capturas de imagen no encuentran competidor hasta el año 1993, cuándo Eric Fossum desarrolla en el laboratorio Jet Propulsion el primer sensor de imagen basado en tecnología CMOS [3] [4].

Los sensores tipo CMOS destacan por su eficiencia energética y la posibilidad de

integrar funciones avanzadas dentro del mismo, cómo pueden ser: Funciones de lectura, corrección de ruido o compensación de la exposición. Además, los dispositivos basados en tecnología CMOS tenían y tienen precios de manufactura menores a los CCD, que pese a todo presentaban mejores resultados en la creación de imágenes de alta calidad y poco ruido. Como resultado de la competencia de estos dos tipos de sensores, los sensores CMOS dominan el mercado de consumo en la actualidad y la aplicación de los sensores CCD ha quedado relegada a campos donde la calidad de imagen y la precisión son prioritarias, como por ejemplo, en Astronomía. Aun así, la popularidad de los sensores CMOS ha impulsado su desarrollo y prácticamente se encuentran a la par de los sensores CCD en la mayoría de aplicaciones [5].

Desde la concepción de los primeros sensores CMOS se han ideado múltiples arquitecturas con las que conseguir, de distintas maneras, codificar la información referente a la iluminación externa [6]. La arquitectura clásica de los píxeles basados en tecnología CMOS es la conocida 3T-APS, donde el término 3T hace alusión al uso de tres transistores y APS a la amplificación de la señal de salida (En contraste con los píxeles CMOS PPS carentes de amplificación). En este trabajo, sin embargo, se presenta un píxel basado en una arquitectura tipo PWM (Pulse Width Modulation), basada en la integración de la potencia transmitida por un pulso de señal controlado. En el presente texto se analiza con detalle este tipo de arquitecturas, el esquema clásico y un esquema novedoso ligeramente distinto [7].

1.2. Fotodiodo

El conjunto de los sistemas electrónicos tienen su origen en el diodo de unión PN. En nuestro caso, el elemento del circuito encargado de detectar la radiación electromagnética incidente y generar en base a esta una corriente eléctrica será también un diodo de unión polarizado en inversa. Por tanto, se incluye en la introducción un breve resumen de su funcionamiento [8].

El diodo de unión pn consiste en dos bloques de materiales semiconductores en contacto, el material semiconductor predilecto y en el que están basados la cuasi-totalidad de los dispositivos electrónicos es el Silicio. La composición de los bloques, sin embargo, no es pura, sino que se encuentran dopados con impurezas. Uno de los bloques es dopado con impurezas donadoras (material tipo n) y el otro bloque con impurezas aceptoras (material tipo p). De esta manera, aunque de forma aislada, los bloques semiconductores son eléctricamente neutros, el material tipo n tiene una concentración de electrones superior a la del tipo p. En electrónica, se utiliza el concepto de portadores de carga para referirnos a los electrones y los *huecos* o ausencia de los mismos; esto es debido a que, pese a ser conceptualmente los electrones los elementos de carga en movimiento, la resistencia que estos perciben al mismo es distinta según tengan que transmitirse de forma *libre* o de *hueco* en *hueco*. Como un electrón ocupando un hueco puede entenderse como un hueco moviéndose de un átomo de la red a otro, a partir de ahora hablaremos de portadores de carga, incluyendo en estos *huecos*: h^+ y electrones: e^- ; teniendo en cuenta que la masa efectiva de los huecos es mayor a la de los electrones [8].

Debido a la diferencia en las concentraciones de portadores de carga de ambos bloques, colocarlos en contacto genera una corriente de difusión que busca igualarlas. Sin embargo, dado que los bloques son eléctricamente neutros, al reducir o aumentar la concentración local de electrones debido a la difusión de los mismos, aparecen acumulaciones de carga a cada lado de la zona de contacto entre los bloques. Estas acumulaciones originan un campo eléctrico que se opone a la difusión de los portadores y que termina por igualar el campo eléctrico intrínseco originado por el gradiente de concentración, alcanzando así una situación de equilibrio. Esta es la situación que se presenta en la Figura 1.1. A las zonas de los semiconductores dónde encontramos portadores de carga libre se les conoce como región de depleción y a las zonas eléctricamente neutras, regiones neutras.

Si sobre el diodo incide radiación electromagnética, esta puede excitar los áto-

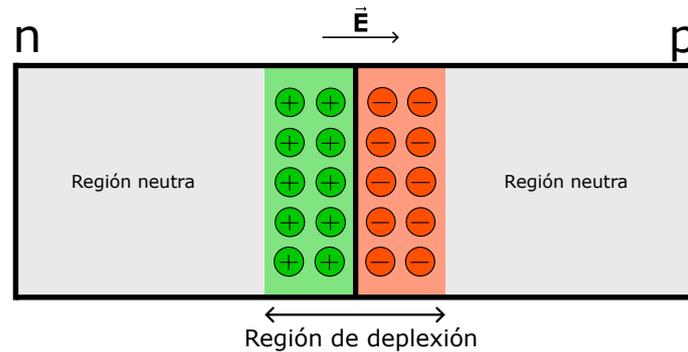


Figura 1.1: Diodo de unión pn en equilibrio

mos que lo componen y producir pares electrón-hueco. Los pares generados en las regiones neutras se recombinan cuasi-instantáneamente (La probabilidad de recombinación en las regiones neutras depende exponencialmente de la distancia a la región de deplexión) y no afectan al gradiente de concentración de los portadores. Sin embargo, si los pares son generados en la región de deplexión los portadores de carga inducen una corriente en el semiconductor dado que el campo eléctrico impide su recombinación. En esencia, la radiación electromagnética incidiendo sobre la región de deplexión altera el gradiente de concentración, rompiendo la situación de equilibrio e induciendo una corriente debido al movimiento de cargas. De esta forma, a la hora de usar uniones pn como fotodetectores, interesa conseguir una región de deplexión lo más amplia posible para asegurar la recolección de carga una vez generado los pares electrón-hueco por la radiación incidente.

1.2.1. Diodo con polarización directa e inversa

Si sobre el diodo en equilibrio aplicamos una diferencia de potencial, induciremos un campo eléctrico externo sobre la unión pn. Este puede oponerse o favorecer el campo eléctrico intrínseco, generado por el gradiente de concentración de portadores en la región de deplexión [8].

Como podemos observar en la figura 1.2, al polarizar en directa, el campo eléctrico resultante disminuye y reduce la corriente de portadores debido a la difusión de

los mismos; reduciendo, en consecuencia, la región de deplexión. Por el contrario, al polarizar en inversa el campo eléctrico intrínseco se ve reforzado, aumenta el gradiente de concentración y con este la región de deplexión.

Para la fotogeneración de corriente es necesaria la creación de pares electrón-hueco en la región de deplexión, por tanto, la configuración inversora es predilecta para este cometido. Al aumentar la región de deplexión aumentamos la probabilidad de generar corriente en base a la radiación incidente.

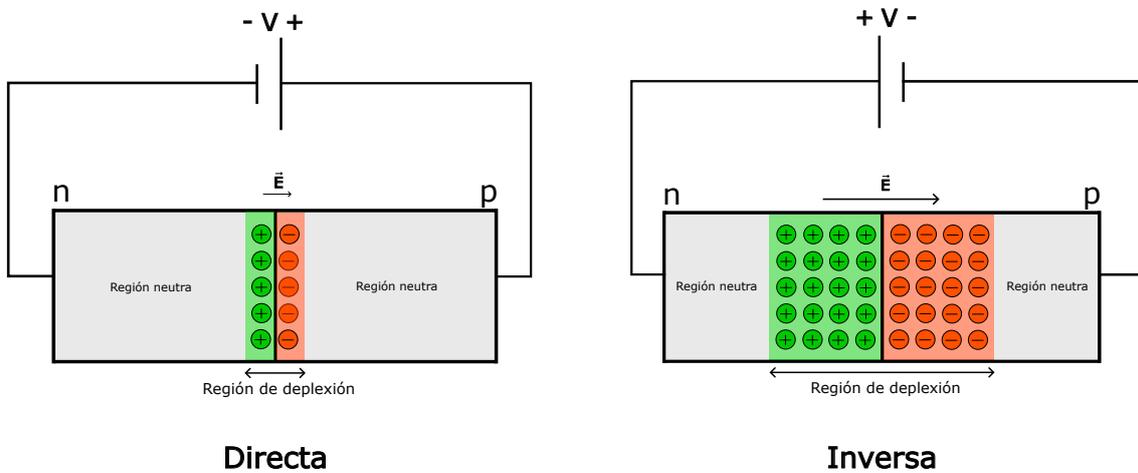


Figura 1.2: Diodo de unión pn con polarización directa e inversa

1.2.2. Fotocorriente e iluminación externa

La relación entre la corriente inducida por la iluminación externa es, en principio, desconocida. Si tomamos ρ_0 como la potencia de un rayo de luz monocromática por unidad de área, el número de fotones Δph que inciden sobre la superficie del detector en un tiempo Δt_{INT} viene dado por la ecuación 1.1 [9]. Dónde $E_{ph} = \frac{h \cdot c}{\lambda}$, es la energía del fotón incidente y A el área del detector.

$$E_{ph} \cdot \Delta ph = A \cdot \rho_0 \cdot \Delta t_{INT} \quad (1.1)$$

Como no todos los fotones que inciden sobre el detector generan pares electrón-

hueco recolectados, se introduce el cociente *eficiencia cuántica* ($\eta(\lambda)$): ratio entre el número de fotones incidentes y el número de portadores de carga recolectados. Es un término muy dependiente de la tecnología utilizada y, por tanto, suele determinarse experimentalmente. Asumiendo que es un parámetro conocido, obtenemos el número de portadores de carga recolectados Δn según la ecuación 1.2 [9].

$$\Delta n = \frac{A \cdot \rho_0 \cdot \Delta t_{int}}{h \cdot c} \cdot \lambda \cdot \eta(\lambda) \quad (1.2)$$

Notemos como la carga q de los portadores de carga es la misma, independientemente de si se trata de huecos o electrones. Por tanto, la corriente inducida sobre el fotodiodo viene dada por la ecuación

$$I_{ph} = \frac{Q_{ph}}{\Delta t_{int}} = \frac{A \cdot \lambda \cdot \eta(\lambda) \cdot q}{hc} \cdot \rho_0 \quad (1.3)$$

Vemos como existe una relación lineal entre la potencia de la luz incidente (Iluminación (L)) y la corriente inducida en el diodo $I_{ph} = C(\lambda) \cdot L$, según la longitud de onda de la radiación externa [9]. En general, la constante de proporcionalidad es única para cada diodo y dependiente del proceso de fabricación, necesitando, por tanto, caracterización in situ para determinarla. Aun así, esta dependencia nos permite construir un perfil de iluminación normalizado, basándonos en la corriente generada por la iluminación externa (fotocorriente) incidiendo sobre una matriz de píxeles idénticos.

1.3. Píxel tipo PWM clásicos

Desde la invención de los primeros píxeles basados en tecnología CMOS, la industria de los sensores de imagen se ha encargado de idear numerosas arquitecturas diferentes para la generación de una señal, con la que codificar la información referente a la radiación que incide sobre el fotodiodo. En este trabajo se busca presentar

un píxel tipo PWM (*pulse width modulation*) [10]. Se analizará entonces el funcionamiento de los píxeles basados en esta arquitectura, cuyo esquemático clásico puede verse en la figura 1.3 [7]. El código de colores deriva del utilizado en la figura 2.1, la señal: V_{DD} , se considera en este caso una señal de entrada y las señales: V_{PD} , I_{REF} y VC señales internas. Además, vemos en la figura el circuito equivalente de primer orden del fotodiodo, consistente en una capacidad parásita, para modelar la acumulación de carga en la región de deplexión; y una fuente de corriente encargada de descargar dicha capacidad, para modelar la corriente generada por la radiación incidente, para más información la sección 1.2.

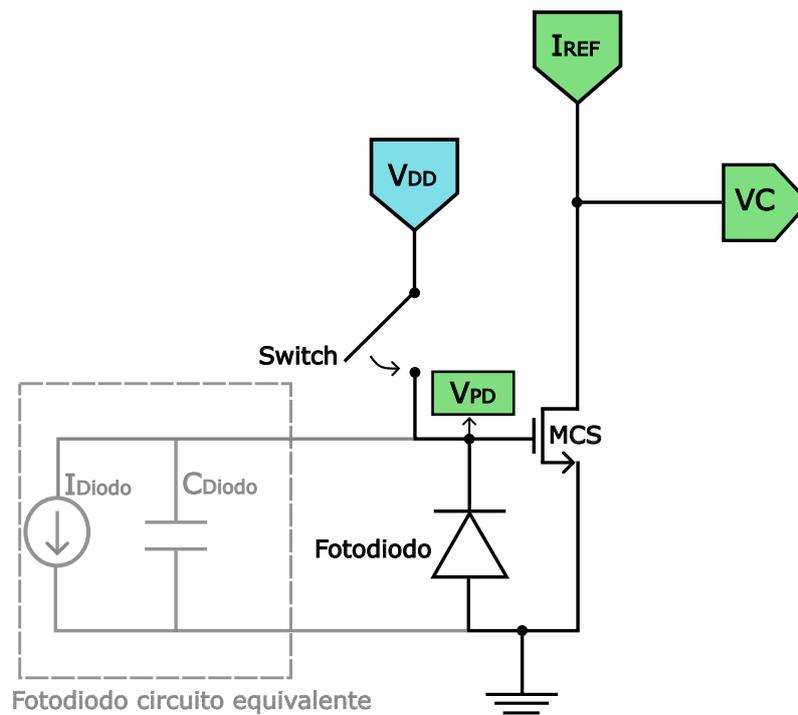


Figura 1.3: Esquemático de la arquitectura clásica de los píxeles tipo PWM

El funcionamiento de este tipo de píxeles está dividido en dos etapas. En la primera, etapa de reset, el *Switch* se encuentra cerrado y en la segunda, etapa de integración, abierto. La figura 1.4, muestra el comportamiento de las señales internas VC y V_{PD} respecto al tiempo durante el ciclo reset-integración-reset.

Se asume la etapa reset como estado inicial, en este, el voltaje $V_{PD} = V_{DD} =$

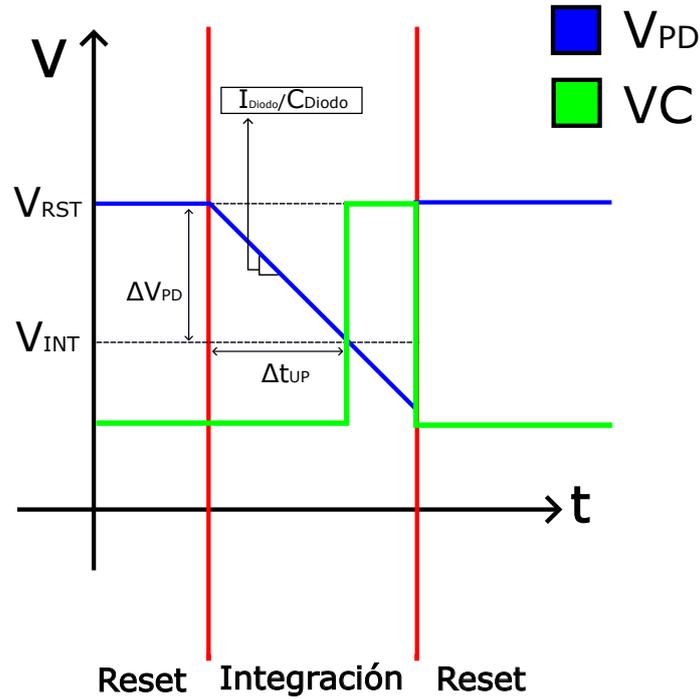


Figura 1.4: V_{PD} y V_C frente al tiempo en la etapa de reset e integración

V_{RST} y el voltaje V_C vendrá determinado por la tensión de *overdrive* del transistor MCS en inversión débil y la corriente de referencia I_{REF} . Al entrar en la etapa de integración, el *Switch* pasa a estar en OFF (abierto) y la capacidad parásita C_{Diodo} se encarga de sostener el potencial V_{PD} . Este disminuye conforme la fuente de corriente I_{Diodo} descarga la capacidad parásita hasta el instante de tiempo cuando $V_{PD} = V_{INT} = V_C + V_{TMCS}$ (Siendo V_{TMCS} la tensión umbral del transistor MCS). En este momento, el transistor MCS entra en *corto* (La tensión de puerta no es suficiente para generar el canal y el transistor no permite el paso de carga de la fuente al drenador) y el voltaje V_C sube rápidamente en consecuencia. Al acabar la etapa de integración todo vuelve a la situación inicial, el *Switch* se cierra y el voltaje $V_{PD} = V_{DD}$ abre el transistor MCS, permitiendo el paso de corriente y bajando V_C a su valor previo [7].

Notemos como la pendiente de V_{PD} , en la etapa de integración, depende de la intensidad inducida en el fotodiodo por la radiación externa y de la capacidad parásita

del mismo. De esta forma, conociendo ΔV_{PD} y Δt_{UP} podemos calcular $I_{Diodo} \propto L$. En principio ΔV_{PD} viene determinado por la ecuación 1.4, donde podemos apreciar el principal problema de este tipo de arquitecturas: la dependencia con V_{TMCS} de ΔV_{PD} . El voltaje umbral de un transistor MOSFET está fuertemente ligado a la variabilidad intrínseca de su proceso de fabricación. El dopado con impurezas, detallado en la sección 1.2, de los materiales semiconductores, es un proceso sujeto a la probabilidad de adherencia de las impurezas en la red cristalina y dado que los transistores MOSFET se construyen en base a estos materiales, sus características intrínsecas presentan también una cierta dispersión frente a sus valores nominales.

$$\Delta V_{PD} = V_{DD} - V_{C_{reset}} - V_{TMCS} \quad (1.4)$$

El esquemático presentado en la figura 1.3 representa un único pixel, por lo que, si tenemos una matriz de $n \times m$ píxeles, la variación de V_{PD} en cada uno será ligeramente diferente al darse $V_{TMS_i} \neq V_{TMS_j}$; originando, en definitiva, la lectura de dos instantes de tiempo $\Delta t_{UP_i} \neq \Delta t_{UP_j}$ distintos, para dos píxeles sobre los que incide la misma radiación externa y en cuyos fotodiodos se induce la misma corriente. Como resultado, este tipo de arquitecturas suelen presentar un FPN (Fix pattern noise) elevado (En la sección 2.2 se presenta un píxel tipo PWM con una arquitectura ligeramente diferente con el objetivo de reducir el FPN eliminando la dependencia $\Delta V_{PD}(V_{TMS})$).

1.3.1. Rango dinámico y píxeles HDR

El rango dinámico (DR: Dynamic range) es el cociente entre la iluminación máxima y mínima, detectable por un determinado sensor de imagen. En el contexto de los píxeles tipo PWM, el valor mínimo de luminosidad viene determinado por el Δt_{UP} máximo que el detector es capaz de medir y el valor máximo por el Δt_{UP} mínimo (Ver Sección 1.3). Como la iluminación externa es linealmente proporcional

a la intensidad que circula por el fotodiodo (Ver Sección 1.2), a la hora de calcular el rango dinámico se pueden utilizar las intensidades I_{Diodo} máximas y mínimas inducidas en el mismo.

El desarrollo y evolución de los sensores de imagen, se ha inspirado, en ocasiones, en el funcionamiento de la retina humana [11]. Esta no cuantifica la iluminación externa absoluta, sino el contraste, de esta forma es capaz de procesar instantáneamente hasta cinco órdenes de magnitud. Para imitar este comportamiento, los sensores bioinspirados se construyen de manera tal, que la señal de salida (Señal que se utiliza para la codificación de la información relativa a la luminosidad externa) es proporcional al logaritmo de la intensidad inducida sobre el fotodiodo. Así, variaciones grandes de I_{Diodo} producen variaciones del tipo $\log\left(\frac{I_{Diodomax}}{I_{Diodomin}}\right)$ en la señal de salida, a esto se le conoce como compresión logarítmica y es una de las técnicas principales a la hora de conseguir un alto rango dinámico (HDR: High dynamic range) [12].

En el contexto de los píxeles tipos PWM, la señal de salida es la tensión VC y su subida depende de la pendiente de la recta dada por $\frac{I_{Diodo}}{C_{Diodo}} = \frac{\Delta V_{PD}}{\Delta t_{UP}}$. Además, en inversión débil, la ecuación 1.5 [8] [13] modela la intensidad que circula por un transistor MOS; dónde I_0 es la corriente de saturación del transistor en inversión débil, n es el coeficiente de *body-effect* y U_T es la tensión térmica. En nuestro caso utilizaremos la aproximación $U_T \simeq 26 \text{ mV}$. Con esto podemos asegurar que el valor V_{INT} está determinado implícitamente por el logaritmo de la intensidad de referencia.

$$I_{REF} = I_0 \cdot e^{\frac{kV_{PD}-V_T}{U_T}} \rightarrow kV_{PD} = U_T \cdot \ln\left(\frac{I_{REF}}{I_0}\right) + V_T \quad (1.5)$$

El rango dinámico de los píxeles tipo PWM es entonces una cuestión de diseño, detectar intensidades más bajas solo requiere de tiempos de integración mayores y, en principio, la intensidad máxima detectable viene determinada por la capacidad de discriminación en el tiempo del resto de la circuitería. De hecho, el control de

ΔV_{PD} nos permite, para una pendiente dada por I_{max} , alejar el punto Δt_{UPmin} al valor necesario para su posible detección, requiriendo únicamente de un consumo de potencia mayor.

1.4. Sensores basados en eventos

El principio de funcionamiento de los píxeles convencionales, está basado en una lectura síncrona de la matriz. Se adquiere información de la situación de todos los píxeles para construir una imagen completa a un ratio dado por los FPS (Frames per second: Imágenes por segundo). Un mecanismo común es el conocido *Rolling shutter*, consistente en recorrer la matriz, recogiendo la situación de iluminación de cada pixel dentro de la fila n , para luego hacer lo mismo en la fila $n+1$ y así sucesivamente. Este tipo de lecturas requieren de un consumo de potencia *alto*, al necesitar una velocidad elevada y un funcionamiento continuo. En contraste con este tipo de lecturas e inspirados también por la retina humana, nacen los sensores de imagen basados en eventos, los cuales realizan una lectura asíncrona de la matriz de píxeles solo cuando un cierto *evento* ocurre y el pixel que lo detecta solicita la lectura del mismo [1]. Es importante destacar, como, aunque en su origen, los sensores basados en eventos estaban asociados a lecturas asíncronas, en la actualidad existen dispositivos basados en estos con mecanismos de lecturas síncronos. La ventaja de los mismos recae en que, pese a requerir, por lo general, de un consumo de potencia mayor, presentan menos limitaciones en términos del número de eventos máximo que son capaces de detectar.

Como se menciona en la subsección 1.3.1, la retina solo cuantifica contrastes de la luminosidad externa, de esta manera, se diseñan píxeles con la capacidad de *memorizar* el logaritmo de I_{Diodo} . Después, si tras pasar un tiempo indeterminado, se produce un cambio en este que supere cierto umbral, el pixel solicita su lectura de nuevo. Así, la lectura de cada pixel se realiza de manera independiente y asincrónica-

mente, teniendo la circuitería externa que codificar la información relativa al tiempo en el que se solicita la lectura y a la posición del pixel dentro de la matriz [14]. En principio, si se incluye un mecanismo de autorreseteo dentro del pixel, no es necesario incluir un reset global y el concepto de *frame* deja de tener sentido. La imagen se reconstruye analizando el número de eventos, el tiempo en el que ocurren y el pixel que los detecta, asumiendo que cada evento corresponde a un cambio C , constante e igual para todos, en la iluminación externa [1].

Los píxeles tipo PWM no presentan la capacidad de *recordar* por sí mismos el logaritmo I_{Diodo} y necesitan por construcción de dos etapas en su funcionamiento, reset e integración, pudiendo considerarse esto como un *frame*, puesto que en cada ciclo cada pixel puede leerse una sola vez. Sin embargo, si ampliamos el concepto de *evento* a la subida de la señal VC, es concebible un pixel tipo PWM en el que la lectura de los píxeles se realice de manera asíncrona; reduciendo el consumo de los mismos notablemente.

1.4.1. Protocolo AER

La solicitud de lectura no puede realizarse de manera arbitraria, ya que la circuitería externa está diseñada para recibir información a través de un cierto protocolo de comunicación. Es decir, la solicitud debe cumplir una serie de reglas dependiendo del protocolo que se pretenda utilizar. En el diseño de sensores basados en eventos, el más extendido es el protocolo de comunicación AER (Address-Event representation) [15] [16].

En la figura 1.5 se presenta su esquema básico de funcionamiento. El bloque S (*Sender*) es el encargado de enviar la información (Data) al bloque C (*Receiver*), para ello, *activa* (En este caso *sube*) la señal R (request: solicitar) cuando detecta que la información a enviar es válida. Una vez el bloque C percibe la *activación* de la señal R (El tiempo entre la *activación* de R y su detección por C es indeterminado) el bloque C *activa* (En este caso *sube*) la señal A (acknowledge: aceptar). Una vez

el bloque S percibe la *activación* de la señal A debe *desactivar* la señal R y el bloque C al detectar esto *desactivar* A (Una vez más los tiempos de detección son indeterminados).

En el contexto de los sensores de imagen basados en eventos, la información, enviada por el *Sender* (Una matriz de $n \times m$ píxeles) y recogida por la circuitería externa, el *Receiver* (Una FPGA micro o datalaggar), corresponde al instante de subida y de bajada de la señal R, así como su posición en la matriz. Pudiendo así detectar qué pixel solicita la lectura y cuando lo hace, permitiendo reconstruir la información acerca de Δt_{UP} .

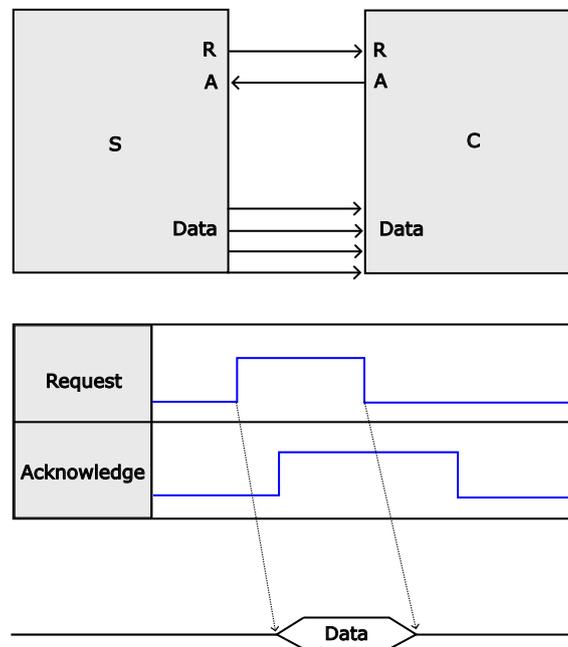


Figura 1.5: Protocolo AER esquemático de funcionamiento básico

En una matriz de píxeles se implementa este protocolo de comunicación para las filas y las columnas, tal y como se presenta en la figura 1.6. En principio, primero se envía la señal request con la que se solicitará la lectura de la posición Y del pixel (La fila) y una vez recibida la señal acknowledge asociada a esta. Se enviará entonces la señal request para solicitar la lectura de la posición X (La columna) en la que se encuentra el pixel, para terminar mandando la señal acknowledge asociada a esta y

que debe *desactivar* el píxel [16] hasta el siguiente ciclo integración-reset.

Debemos de tener en cuenta como la solicitud de lectura simultánea, de dos píxeles, es un evento probable; dado que para perfiles de iluminación localmente uniformes, la medida de I_{Diodo} debería ser idéntica. De ahí nace la necesidad de un arbitrador (X-Arbiter/ Y-Arbiter) que seleccione la solicitud a la que atender primero a través de un algoritmo del tipo *Winner takes all*. Tras esta selección es el codificador (X-Encoder/Y-Encoder) el que almacena la información referente al número de fila/columna. En nuestro caso, la señal Ack-Ym (Ack_{row}) debe de permitir el envío de la señal Req-Xm ($request_{column}$) y la señal Ack-Ym (Ack_{column}) desactivar el píxel.

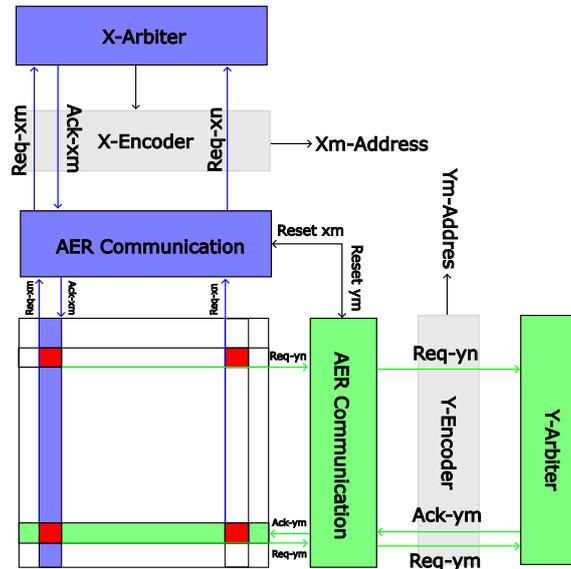


Figura 1.6: Protocolo AER para una matriz de píxeles $h \times k$

1.5. Objetivos

El presente trabajo tiene como objetivo el diseño de un Pixel tipo PWM de muy bajo consumo que funcione mediante un mecanismo de lectura asíncrona a través del protocolo AER. Resulta en un desarrollo natural de todo lo detallado en la

introducción y pretende ser parte de una matriz 128×128 con requerimientos de potencia inferiores a 20 mW. Además, se utilizará una arquitectura PWM novedosa que permitirá una mejor respuesta frente al ruido y a las variaciones intrínsecas al proceso de fabricación.

La metodología seguida abarca los siguientes puntos:

Análisis de la arquitectura tipo PWM novedosa: Primero se estudia la nueva arquitectura y se analiza el comportamiento de la señal VC tanto en gran como pequeña señal. En esta nueva arquitectura, la señal VC comenzará en un valor *alto* para justo al empezar la etapa de integración, *bajar* y volver a *subir* tras pasar un tiempo Δt_{UP} equivalente al mostrado en la Sección 1.3.

Análisis del controlador de corriente: El funcionamiento de la nueva arquitectura depende de un sistema de control de corriente que debe proporcionar intensidades estables y diferentes según la etapa, reset o integración, en la que nos encontremos.

Creación y análisis del bloque *Lógica*: Una vez analizado el comportamiento de VC y conociendo las necesidades del protocolo AER se idea un circuito digital asíncrono que controle la solicitud de lectura de los píxeles.

Análisis mediante simulación: Se simula el comportamiento de un pixel completo, realizando test de Montecarlo y test de Corners (Detallados en la Sección 3), obteniendo resultados acerca del consumo de potencia, el rango dinámico y la respuesta frente al ruido.

CAPÍTULO 2

Análisis del pixel y la circuitería

En este capítulo se presenta el funcionamiento general del dispositivo, así como de las distintas partes que componen al mismo. Se realizarán análisis cuantitativos y/o cualitativos, según sea necesario, con el objetivo de transmitir de la forma más eficiente posible el comportamiento de todos los elementos que lo componen.

2.1. Flujo de funcionamiento

En la Figura 2.1 se presenta un diagrama en el que aparecen los distintos bloques que analizaremos, en este, aparecen señalados que elementos pertenecen al pixel y cuáles a la circuitería externa, necesaria para que funcione correctamente. Además, se ha incluido un código de colores para distinguir con facilidad los distintos tipos de señales según su procedencia y dirección. Estas son:

Señales de entrada: Son señales enviadas desde la circuitería externa al dispositivo, a modo de *inputs*. Este grupo está compuesto por las tensiones de polarización, las señales acknowledge y la señal de reset global. Por simplicidad de visualización se ha omitido la tensión de polarización VDD.

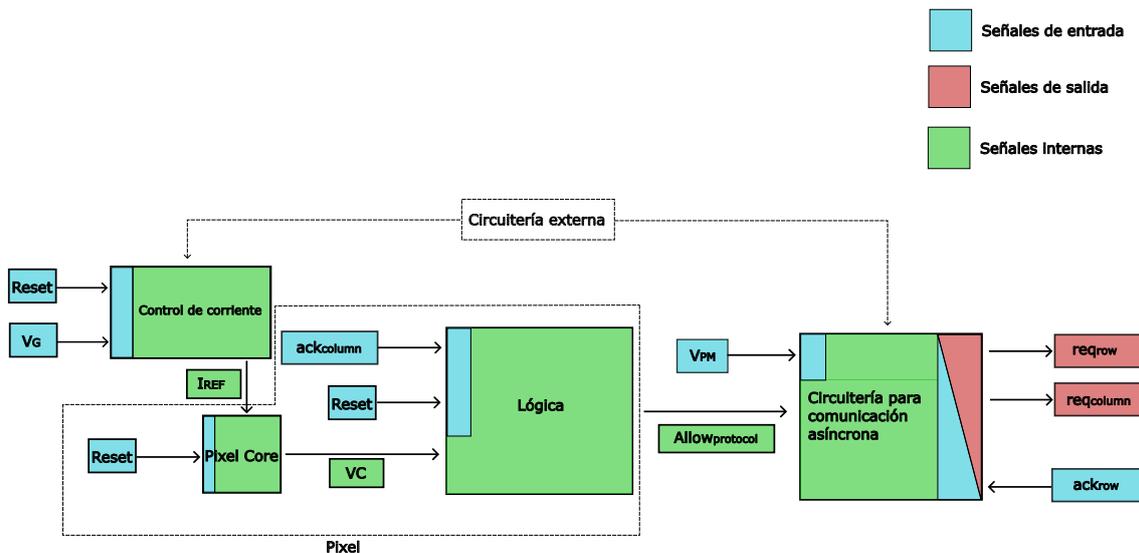


Figura 2.1: Diagrama de bloques del funcionamiento del dispositivo

Señales internas: Son señales generadas dentro del dispositivo y se dirigen a otros componentes del mismo. Este grupo regula el correcto funcionamiento del Pixel y su control es de extrema importancia.

Señales de salida: Son señales enviadas desde el dispositivo a la circuitería externa, a modo de *outputs*. Este grupo lo componen las señales request.

Por otro lado, observamos en el diagrama cuatro bloques funcionales:

Pixel Core: Es el encargado de percibir la luminosidad externa y generar, en base a esta, la señal VC. Vemos que debe estar alimentado por una señal de corriente IREF y por la señal Reset, encargada de resetear la matriz de píxeles completa una vez realizada la lectura de los mismos.

Control de corriente: Es el bloque encargado de generar la corriente de referencia que llegará al pixel. En la subsección 2.3 se explica la necesidad del mismo.

Lógica: Es el bloque encargado de permitir o no la generación de la señal request según la información transmitida por VC.

Circuitería para la comunicación asíncrona: Es el bloque encargado de generar las señales request cuando la lógica le comunique que debe hacerlo a través de la señal AllowProtocol.

Antes de pasar a analizar cada bloque en profundidad, se ha considerado pertinente incluir el esquemático completo (A excepción del bloque *Control de corriente* por razones de visibilidad) del circuito en la figura 2.2, con el objetivo de resumir simplícidamente el funcionamiento del pixel y poder tener una comprensión global del mismo.

Aunque la arquitectura del bloque *Pixel Core*, difiere de la presentada en la Sección 1.3, el funcionamiento es muy similar. Este se detalla en la Sección 2.2, por ahora, destacamos como siguen existiendo dos etapas, reset e integración, aunque a diferencia de antes, la intensidad de referencia varía en ambas etapas, siendo $I_{INT} < I_{REF}$ (El bloque *Control de corriente* se encarga de esto). El comportamiento de VC es diferente, sin embargo, comparando las figuras 1.4 y 2.4; vemos como a pesar de esta diferencia la situación es equivalente: Necesitamos conocer ΔV_{PD} y Δt_{UP} para calcular I_{Diodo} y de esta poder obtener valores relativos de iluminación.

En nuestro caso, conforme a lo explicado en las Secciones 1.4 y 1.4.1 necesitamos enviar las señales request una vez se haya producido la subida de VC para así poder determinar Δt_{UP} . De esto se encarga la *Lógica* que a través de la señal $Allow_{protocol}$ abre el transistor M9 (Al tratarse de un transistor tipo NMOS la señal de tensión $Allow_{protocol}$ debe aumentar para que así este conduzca. Idealmente, en la etapa de reset el voltaje de puerta debe ser nulo y en la etapa de integración igual a V_{DD}).

Por último, el bloque *Circuitería para la comunicación asíncrona* envía las señales request, estas, inicialmente se encuentran en un valor de tensión asociado con un estado lógico alto y al disminuir (Debido a la *apertura* de los transistores M9 y M11) pasan a un estado lógico bajo, *enviando* la señal. Como el transistor M9 solo debe conducir durante la lectura, la señal $ack_{columnn}$ controla la bajada de $Allow_{protocol}$.

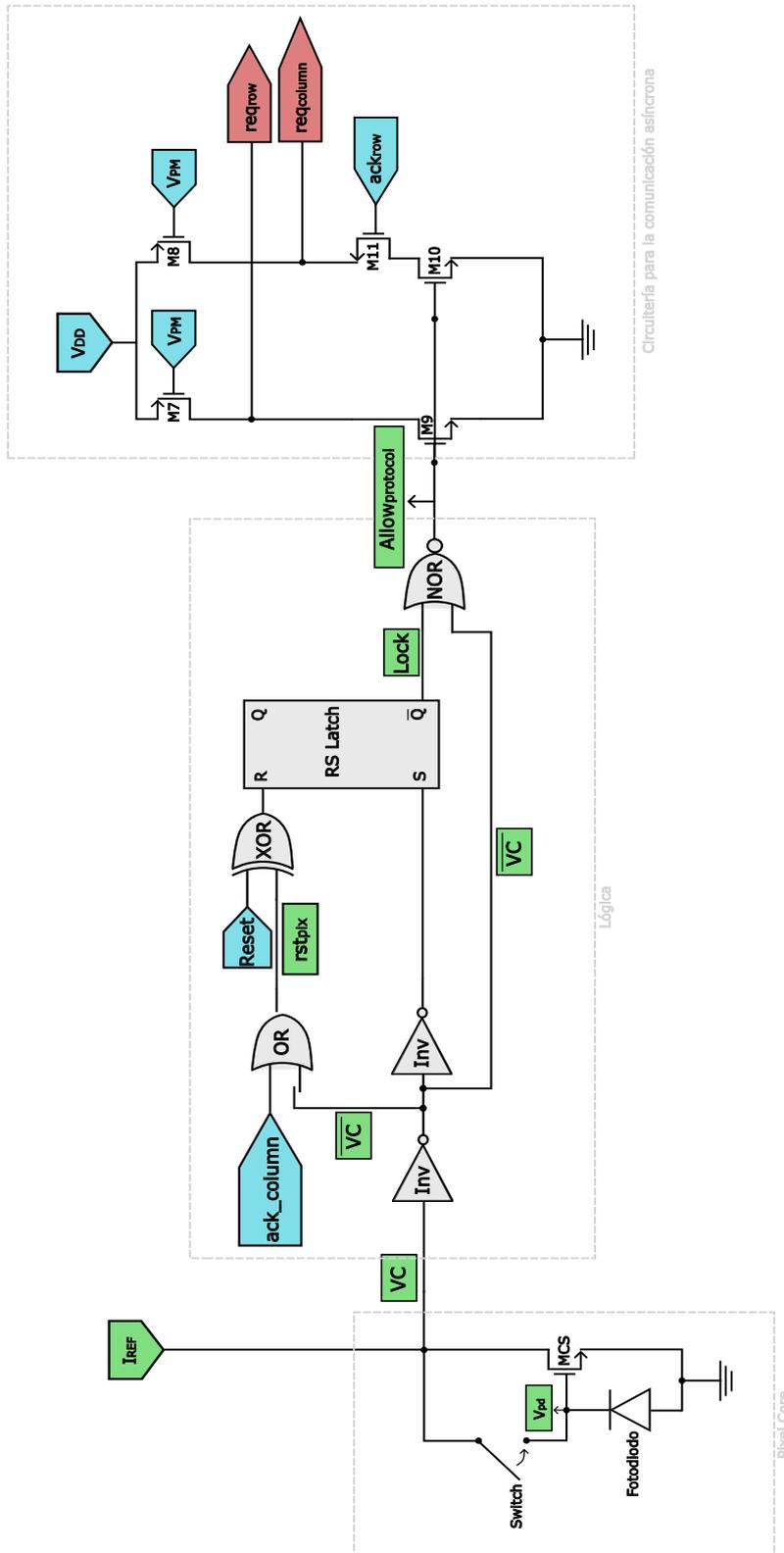


Figura 2.2: Esquemático del pixel

2.2. Pixel Core

En esta Sección analizaremos en detalle el funcionamiento del bloque: Pixel Core, presentado en la figura 2.1. Como se explica en la Sección 1.3 los sensores de imagen, consistentes en píxeles del tipo PWM, presentan como desventaja principal un FPN elevado. Esto es debido a la dependencia con el voltaje umbral del transistor MCS que aparece en la figura 1.3. Esta dependencia afecta a ΔV_{PD} y, por tanto, a VC, señal de extrema importancia para el correcto funcionamiento del dispositivo. Para solucionar este problema se ha modificado ligeramente el esquemático presentado en la figura 1.3, al presentado en la figura 2.3, con el fin de eliminar la dependencia de ΔV_{PD} con el voltaje umbral, V_T , del transistor MCS, mejorando así el FPN [7] [17].

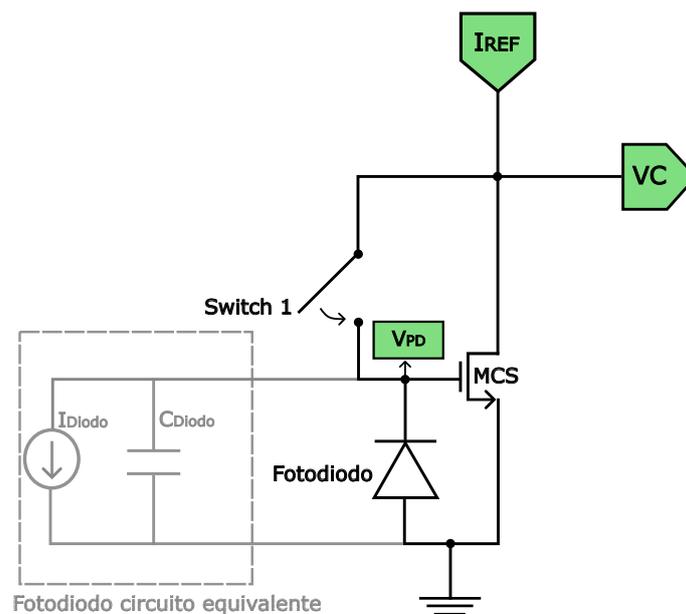


Figura 2.3: Esquemático del píxel tipo PWM modificado

En este caso, al igual que en las arquitecturas tipo PWM clásicas, el funcionamiento del píxel se ve dividido en dos etapas: Reset e Integración. En la fase de integración se polariza el píxel con una corriente de referencia $I_{REF} = I_{INT}$ y en la fase de reset se polariza con una corriente $I_{REF} = I_{RST}$ de manera que $I_{INT} < I_{RST}$. Además, el *Switch 1* se encuentra abierto en la etapa de integración y cerrado en la

etapa de reset.

Teniendo en cuenta que los transistores funcionan en inversión débil, la corriente que circula por un transistor NMOS viene dada por la ecuación 2.1 [13].

$$I_{MCS} = I_0 \cdot e^{\frac{kV_G - V_S - V_T}{U_T}} = I_{REF} = I_0 \cdot e^{\frac{kV_{PD} - V_T}{U_T}} \quad (2.1)$$

Despejando kV_{PD} obtenemos:

$$kV_{PD} = U_T \cdot \ln\left(\frac{I_{REF}}{I_0}\right) + V_T \quad (2.2)$$

En la etapa de reset $I_{REF} = I_{RST}$ y *Switch 1: ON* dando como resultado:

$$V_{RST} = kV_{PD1} = U_T \cdot \ln\left(\frac{I_{RST}}{I_0}\right) + V_T \quad (2.3)$$

En la etapa de integración $I_{REF} = I_{INT}$ y *Switch 1: OFF* y, por tanto:

$$V_{INT} = kV_{PD2} = U_T \cdot \ln\left(\frac{I_{INT}}{I_0}\right) + V_T \quad (2.4)$$

De esta manera vemos como se elimina la dependencia con el voltaje umbral del transistor MCS.

$$\Delta kV_{PD} = V_{RST} - V_{INT} = nU_T \cdot \left[\ln\left(\frac{I_{RST}}{I_0}\right) - \ln\left(\frac{I_{INT}}{I_0}\right) \right] = U_T \cdot \ln\left(\frac{I_{RST}}{I_{INT}}\right) \quad (2.5)$$

La corriente de referencia polariza a todos los píxeles de una misma columna y se consigue utilizando el circuito de la figura 2.6 que veremos más adelante. Por ahora, destacamos que existe un transistor MREF para cada columna y que debido al mismatch entre estos existirán diferencias entre las corrientes de referencia de la columna 1 y la columna n.

$$I_{REF1} = \beta_1 \cdot I_{REF}; \quad I_{REFn} = \beta_n \cdot I_{REF} \quad (2.6)$$

Sin embargo, como la variación de V_{PD} depende del cociente entre las intensidades de referencia en reset e integración de una misma columna, este se mantiene constante para todos los píxeles de la matriz, como vemos en las ecuaciones 2.7 y 2.8

$$\Delta kV_{PD1} = V_{RST1} - V_{INT1} = U_T \cdot [\ln(\frac{I_{RST1}}{I_0}) - \ln(\frac{I_{INT1}}{I_0})] = U_T \cdot \ln(\frac{\beta_1 \cdot I_{RST}}{\beta_1 \cdot I_{INT}}) = U_T \cdot \ln(\frac{I_{RST}}{I_{INT}}) \quad (2.7)$$

$$\Delta kV_{PDn} = V_{RSTn} - V_{INTn} = U_T \cdot [\ln(\frac{I_{RSTn}}{I_0}) - \ln(\frac{I_{INTn}}{I_0})] = U_T \cdot \ln(\frac{\beta_n \cdot I_{RST}}{\beta_n \cdot I_{INT}}) = U_T \cdot \ln(\frac{I_{RST}}{I_{INT}}) \quad (2.8)$$

Por otro lado, el comportamiento de VC depende directamente de la diferencia de V_{PD} . Inicialmente, en la etapa reset, *Switch 1: ON* y, por tanto, $VC = V_{PD}$. Al entrar en la etapa de integración *Switch 1: OFF* y $I_{REF} = I_{INT} < I_{RST}$. De esta forma, en el instante cuando se transiciona de reset a integración, el voltaje V_{PD} es sostenido por la capacidad parásita del fotodiodo y, dado que $I_{INT} < I_{RST}$, el voltaje VC disminuye cuasi-instantáneamente a un valor dado por I_{INT} conforme a lo presentado en la figura 2.4. Tras este instante inicial, el voltaje V_{PD} disminuye según la intensidad I_{Diodo} descarga la capacidad C_{Diodo} . Así, en el momento en el que $V_{PD} = VC$ el transistor MCS se corta y al impedir este el paso de corriente provoca una subida del voltaje VC. El voltaje V_{PD} continúa disminuyendo y se iguala con VC cuando volvemos a la etapa reset, repitiéndose todo el ciclo.

Debemos mencionar como los transistores CMOS no tienen una transición abrupta entre conducir o no la corriente, para un grado de inversión constante, existe una región intermedia entre corte y saturación conocida como región lineal u óhmica en la cual la corriente que circula a través del mismo es proporcional al voltaje entre el drenador y la fuente. La *anchura* de estas regiones según el voltaje entre drenador y fuente, depende del grado de inversión, en inversión débil, la transición de trabajar en saturación a corte es muy rápida. Sin embargo, sigue existiendo un Δt_{ohmica} indeterminado a partir del cual el potencial sube ligeramente (Debido a que en la región lineal el transistor conduce menos corriente que en saturación, pero sigue

permitiendo el paso de la misma), no obstante, podemos asumir $\Delta t_{ohmica} \simeq \Delta t_{UP}$. Además, veremos en la Sección 2.4, como las señales de relevancia para el control de *AllowProtocol* son \overline{VC} (VC invertida) y VC_{buffer} (VC tras su paso por dos inversores); por lo que la subida y bajada de las señales relevantes se producirá, en realidad, en el punto de conmutación de los inversores que estará debidamente elegido para, en el caso límite $I_{Diodo} = I_{min}$, estar por encima del valor máximo de voltaje VC alcanzado justo antes de entrar realmente en corte.

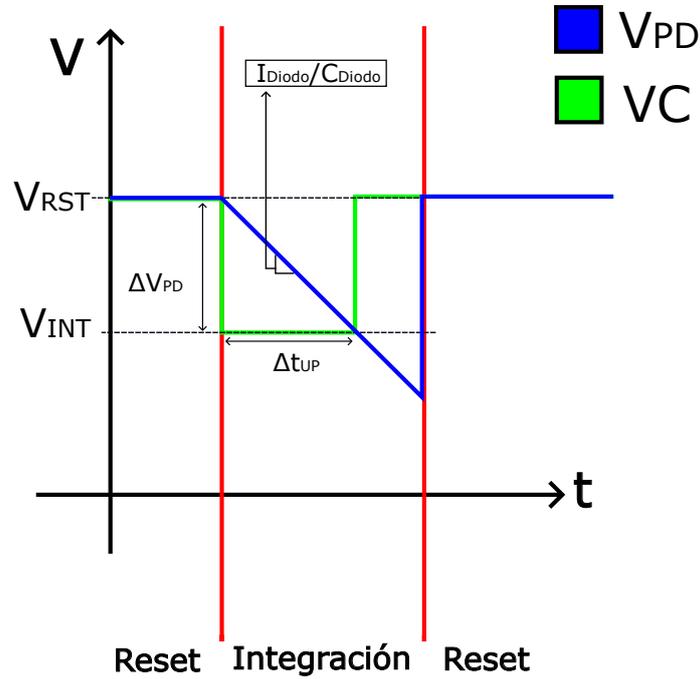


Figura 2.4: V_{PD} y VC frente al tiempo en la etapa de reset e integración

Tal y como se detalla en la Sección 1.2, la información acerca de la luminosidad se extrae del cálculo de la intensidad que circula por el fotodiodo, esta es:

$$\frac{I_{Diodo}}{C_{Diodo}} = \frac{\Delta V_{PD}}{\Delta t_{UP}} \rightarrow \Delta t_{UP} = \frac{C_{Diodo}}{I_{Diodo}} \cdot nU_T \cdot \ln\left(\frac{I_{RST}}{I_{INT}}\right) \quad (2.9)$$

El pixel, a priori, podrá detectar intensidades comprendidas entre $[I_{min}, I_{max}]$. La primera vendrá dada por el tiempo de integración, es decir, la frecuencia de refresco de la matriz de píxeles. Si la intensidad es muy pequeña, puede darse $\Delta t_{UP} > t_{int}$ y,

por tanto, no se solicitaría nunca la lectura del mismo. De la misma manera, I_{max} está limitada por la capacidad del pixel y la circuitería externa de detectar la bajada y subida de VC. Si $\Delta t_{UP} \ll$ es posible que debido a la velocidad de funcionamiento del resto del pixel, la Lógica no *baje* VC_{buffer} para cuando VC haya vuelto a subir, provocando que la primera siempre se encuentre en un estado alto y el pixel no solicite nunca la lectura. Este será el rango dinámico de nuestro dispositivo.

2.2.1. Pequeña señal

Dado que la señal VC depende V_{PD} , es interesante realizar el análisis en pequeña señal. En general, este consiste en asumir que el potencial de entrada es perturbado por una señal pequeña, de manera que podemos realizar un desarrollo de Taylor de las variables en torno al punto de operación (Valores de las variables sin tener en cuenta la perturbación de V_{PD}) y descartamos los términos de segundo orden y superiores (Proceso conocido como linealización).

En nuestro caso, tenemos un potencial V_{PD} fijo en la fase de reset y variable durante la fase de integración. Además, trabajamos en inversión débil, lo que implica una transconductancia de puerta del transistor MCS pequeña, según la ecuación 2.11: $g_m \sim 10$ (nA/V) y la ganancia máxima estimada de la ecuación 2.12: $A \sim 87 \rightarrow A|_{DB} \sim 39$.

El esquemático de la figura 2.5 presenta en circuito equivalente del bloque *Pixel Core* en pequeña señal [8]. La capacidad C_L es la capacidad equivalente que percibe VC debido al bloque *Lógica*.

$$C_{io} = C_{gdMCS}; \quad C_o = C_{gdMREF2} + C_{dbMREF2} + C_{dbMCS}; \quad R_o = \frac{1}{g_{ds1} + g_{ds2}}; \quad C_{in} = C_{Diodo} \quad (2.10)$$

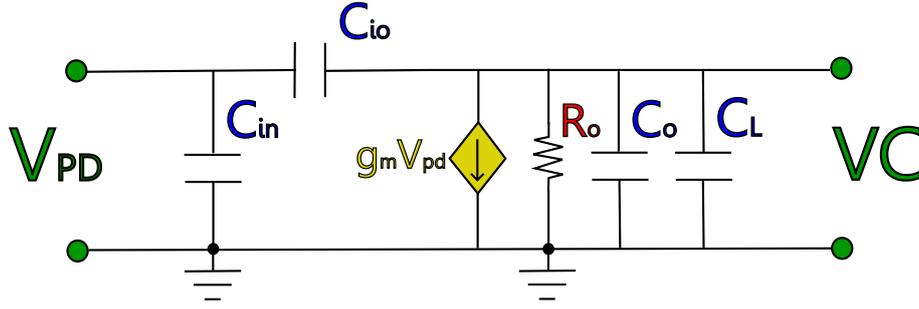


Figura 2.5: Esquemático del circuito equivalente en pequeña señal

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{OP} = \left. \frac{\partial I_D}{\partial V_{PD}} \right|_{OP} = \frac{k}{U_T} \cdot I_D(OP) \quad (2.11)$$

$$A_0 = -g_m \cdot R_0 \quad (2.12)$$

OP: *operation point* (punto de operación), I_D es la corriente que circula por el transistor MCS, k un factor de escala, U_T la tensión térmica y R_0 la resistencia equivalente del transistor MCS. C_{gd} es la capacidad parásita que aparece entre la puerta y el drenador y C_{db} la que aparece entre el drenador y la base.

Tabla 2.1: Valores de las variables para el cálculo estimativo de g_m y A_0

k (A/V)	U_T (V)	I_D (A)	R_0 (Ω)
10n	26m	1n	430M

Si consideramos una perturbación del voltaje V_{PD} , $\delta V_{PD} \sim 0,01 \cdot V_{PD}$ (Recordemos que para que el desarrollo tenga sentido $\delta V_{PD} \ll V_{PD}$). En el caso extremo $V_{PD} = 0,6$ V, resultando $\delta VC = A_0 \cdot \delta V_{PD} \sim 522$ mV. El punto de conmutación del voltaje VC_{buffer} se encuentra en torno a los 300 mV y el valor de $VC \sim 450$ mV (con un límite superior dado por la tensión V_{DSAT} del transistor MCS y la tensión de polarización V_{DD}). Observamos, como cabe esperar de un amplificador en configuración fuente común, una ganancia grande y, por tanto, variaciones del voltaje V_{PD} superiores al 0,29 % producirán $\Delta VC \simeq 150$ mV, afectando directamente al

funcionamiento del pixel.

Notemos que estamos analizando el caso extremo en el que justo al iniciar la etapa de integración ocurra una perturbación del voltaje V_{PD} , por ejemplo, un fogonazo de luz cuasi-instantáneo sobre la zona de depleción del fotodiodo. Esto, según acabamos de analizar, produciría una variación de VC suficiente como para solicitar la lectura cuasi-instantáneamente. Sin embargo, debemos de tener en cuenta que este es precisamente el comportamiento del pixel, la subida de VC conforme a la descarga del fotodiodo (Este se descarga por completo al recibir dicho fogonazo). Pueden presentarse, sin embargo, dos problemas:

1. La intensidad máxima detectable por el dispositivo oscila en torno a los 500 pA, por tanto, si el fogonazo genera una intensidad superior a esta en el pixel (Es de asumir que sí) el pixel nunca realizará la lectura. El diodo funciona correctamente, sin embargo, el resto de la circuitería no funciona lo suficientemente *rápido*, como para solicitar la lectura. Además, los valores de iluminación necesarios para inducir corrientes superiores a 1 nA en el fotodiodo, son anormalmente altos.
2. Si el fogonazo se produce de manera aislada (Sobre un único pixel) durante el tiempo en el que VC baja y sube. Entonces el pixel solicitará la lectura antes de tiempo y el tiempo Δt_{UP} no corresponderá con el generado por la intensidad I_{Diodo} previa al fogonazo. La ventana de tiempo máxima para esto corresponde a la situación en la cual, la iluminación sobre el diodo justo antes del fogonazo, es mínima. Para $I_{Diodo} \simeq 100 \text{ fA}$ (Valor mínimo de la corriente inducida sobre el fotodiodo) tenemos ventanas $\Delta t_{UP} = 0,426 \text{ ms}$.

Para terminar, podríamos hablar de la respuesta en frecuencia. Debido a las capacidades parásitas de los transistores, la ganancia depende de la frecuencia de la perturbación, sin embargo, estas capacidades en inversión débil son, una vez más, pequeñas dado que las acumulaciones de carga lo son al trabajar con potenciales

bajos. Por tanto, la frecuencia a la que aparece el primer polo es muy elevada. En cualquier caso, la ganancia a altas frecuencias es siempre menor que la ganancia a frecuencias bajas.

2.3. Control de corriente

En esta Sección analizaremos el bloque: Control de corriente, presentado en la figura 2.1. En la Sección 2.2 hemos detallado como el correcto funcionamiento del píxel depende de I_{REF} . Con esto en cuenta presentamos en la figura 2.6 el esquemático de la circuitería encargada de producir esta señal de corriente. En concreto, buscamos $I_{INT} \simeq 1 \text{ nA}$ y $I_{RESET} \simeq 300 \text{ nA}$; además, asumiremos que los transistores MREF1 y MREF2 operan en inversión débil.

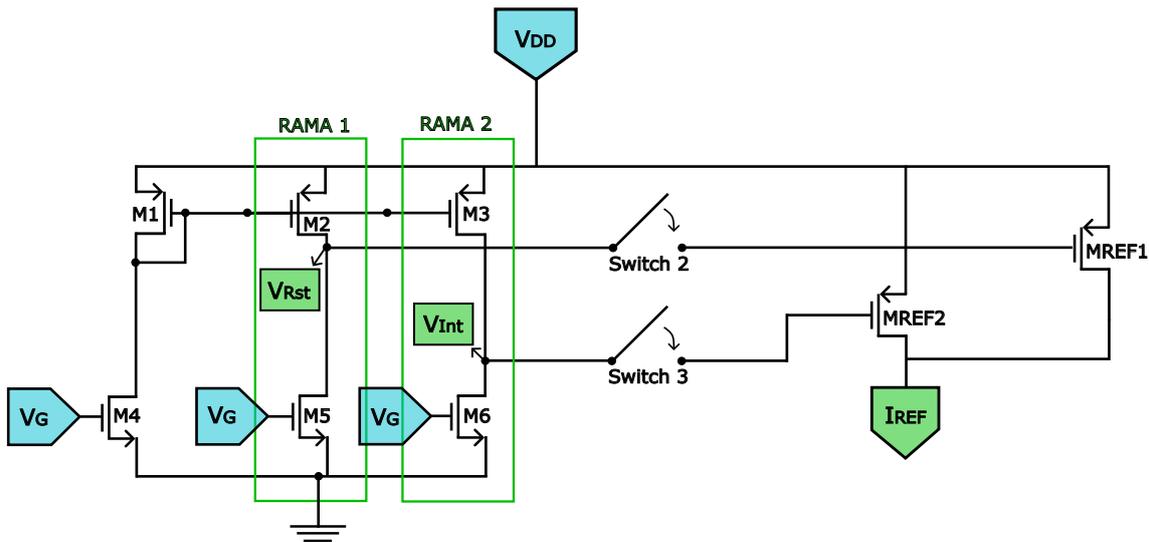


Figura 2.6: Esquemático del bloque control de corriente

Nuestro objetivo es producir una intensidad de referencia estable. Hemos analizado como el ancho del pulso del voltaje VC depende intrínsecamente del logaritmo natural del cociente de las intensidades de referencia en la etapa reset e integración. La dependencia logarítmica nos asegura una estabilidad de VC robusta frente a variaciones menores de I_{REF} , sin embargo, observamos en la figura 2.6 como I_{RST} e

I_{INT} se genera *abriendo* o *cerrando* las puertas de los transistores MREF1 y MREF2. La dependencia de la corriente I_D con respecto al voltaje de puerta en inversión débil de un transistor MOSFET es exponencial, Ecuación 2.1, por lo que variaciones pequeñas de este voltaje generan variaciones exponencialmente grandes de I_{REF} que compiten con la dependencia logarítmica de VC. Es necesario, por tanto, asegurar unos valores de V_{RST} y V_{INT} estables.

En nuestro caso, obtenemos estos valores a través de dos espejos de corriente nombrados en la figura 2.6 como: RAMA 1 y RAMA 2. El voltaje de puerta del transistor M1 viene dado por: los voltajes V_{DD} , V_G y el factor de escala k del transistor M1; según la Ecuación 2.13

$$V_{GM1} = \frac{1}{k}[V_{DD} - k \cdot V_G] \quad (2.13)$$

El transistor M1 nos fija así el valor de la tensión de puerta de los transistores M2 y M3. Notemos que V_{DD} y V_G son señales de entrada, por lo que las podemos asumir como constantes y de variabilidad despreciable, asegurando así la estabilidad de V_{GM2} y V_{GM3} . Por otro lado, la RAMA 1 y la RAMA 2 son idénticas a excepción de los transistores M2 y M3 (M5 y M6 son iguales por construcción). Por tanto, la corriente que circula a través de cada rama vendrá determinada por su dependencia con (W/L) , como se muestra en la ecuación 2.14.

$$RAMA_1 : I_{DM2} \propto k \propto (W/L)_{M2} \quad RAMA_2 : I_{DM3} \propto k \propto (W/L)_{M3} \quad (2.14)$$

En nuestro caso, $L_{M2} = L_{M3}$. Pudiendo afirmar entonces que $I_{Di} \propto W_i$, $i = M2, M3$. La igualdad en la construcción de los transistores M5 y M6, y el estar polarizadas con la misma tensión de puerta, resulta en que ambos presentan la misma resistencia al paso de corriente. En consecuencia, si la intensidad que circula por la RAMA 1 es menor que la intensidad que circula por la RAMA 2, el voltaje

$V_{DSM2} = V_{Rst}$ será menor al voltaje $V_{DSM3} = V_{Int}$. Es importante destacar como, una vez más, las tensiones de polarización de ambas ramas deben presentar una estabilidad robusta, ya que las tensiones de entrada son constantes y la tensión de puerta de los transistores M2 y M3 deriva directamente de ellas.

Estas tensiones son trasladadas a las puertas de los transistores MREF1 y MREF2. Para ello, los *Switches* 2 y 3, funcionan como se presenta en la tabla 2.2.

Tabla 2.2: Comportamiento de los Switches del bloque, control de corriente en integración y reset

	Switch 2	Switch 3
Reset	ON	OFF
Integración	OFF	ON

Concluimos en que para obtener las corrientes de referencia adecuadas deberemos ajustar las anchuras de los transistores M2 y M3, dejando el resto de la circuitería invariante. Además, notemos que la intensidad que recorre las ramas 1 y 2, viene determinada en realidad por la relación de aspectos (W/L). Siempre que mantengamos la relación de aspectos y tengamos las mismas longitudes en todos los transistores, podemos escalar los mismos sin miedo a alterar I_{REF} .

Para terminar, también es importante destacar como a la hora de realizar la implementación real del pixel, sería conveniente ampliar el bloque de control de corriente con el objetivo de poder suministrar distintas intensidades de referencia, según la situación externa. Este aumento en los grados de libertad de nuestro circuito se traduciría, como veremos en el Capítulo 3, en un comportamiento más robusto frente al ruido.

2.4. Lógica

En esta Sección analizaremos el bloque: Lógica, presentado en la figura 2.1. A diferencia del resto de bloques, este se caracteriza por su comportamiento lógico

y no por el diseño analógico del mismo. Los inversores, puertas lógicas y el RS Latch están contruidos usando transistores de óxido fino en la tecnología UMC180; asegurándonos un comportamiento *rápido* de los transistores: Las subidas y bajadas de tensión que dan lugar al estado lógico *alto* y el estado lógico *bajo* son rápidas y el retraso de la señal de salida respecto a la variación de la señal de entrada en los distintos bloques es $t_{retraso} \in [0,2, 0,8]\mu s$. Los inversores tienen ganancia unitaria y estos, junto al resto de bloques, están polarizados según $V_{DD} = 600\text{ mV}$ (Estado lógico alto) y $V_{SS} = 0\text{ V}$ (Estado lógico bajo).

La figura 2.7 muestra el esquemático del bloque y la figura 2.8 presenta el análisis lógico de las señales que aparecen en este. En este caso el valor 1 corresponde al estado lógico alto y el valor 0 corresponde al estado lógico bajo.

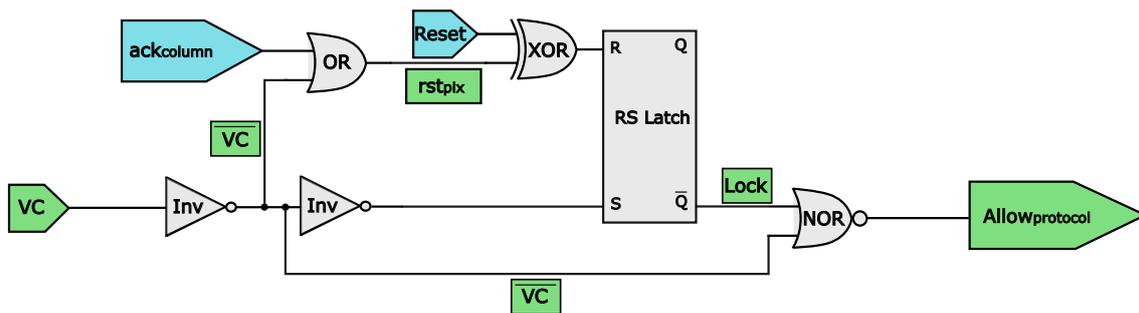


Figura 2.7: Esquemático del bloque Lógica

Por otro lado, en las tablas 2.3 y 2.4 se presentan los valores de salida de las distintas puertas lógicas utilizadas y del RS Latch según los valores de las señales de entrada. Una vez más 1 corresponde al estado lógico alto y 0 al estado lógico bajo.

Tabla 2.3: Tabla de verdad de las puertas OR, NOR y XOR

A	B	OR	NOR	XOR
0	0	0	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	0	0

Con todo esto a mano detallamos el funcionamiento del bloque. Como se explica

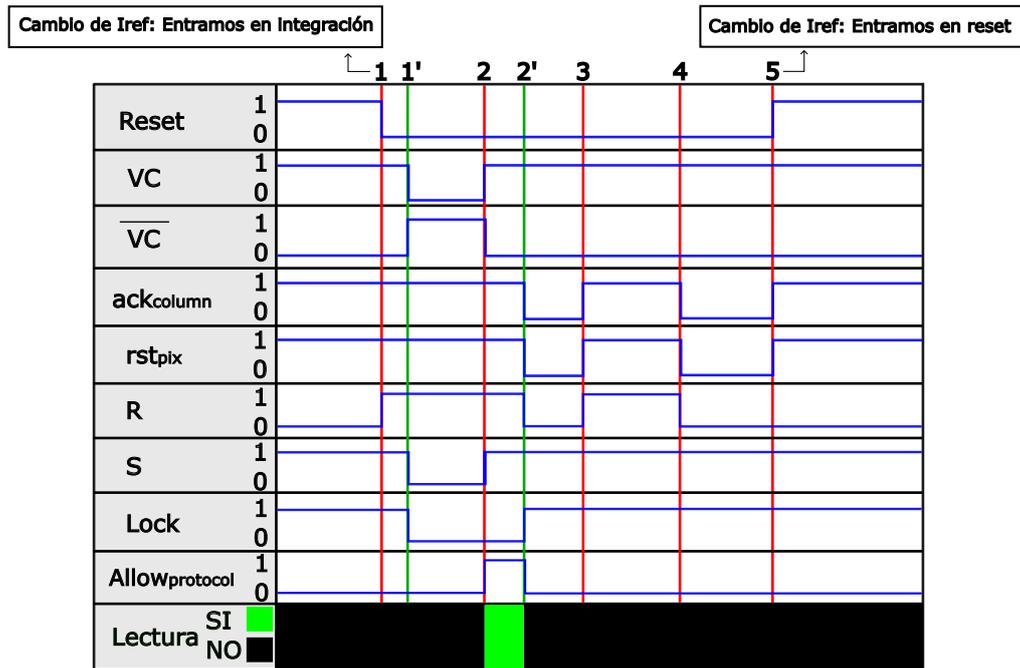


Figura 2.8: Análisis lógico de las señales

Tabla 2.4: Tabla de verdad del bloque RS Latch

R	S	\bar{Q}
0	0	Inválido
1	0	0
0	1	1
1	1	Mantiene

en la Sección 1.4.1 las señales request, para la comunicación a través del protocolo AER, deben ser enviadas una vez se ha producido un *evento*. En nuestro caso dicho *evento* corresponde a la subida de la señal VC tras su bajada inicial al pasar de la etapa reset a integración (Estudio detallado en la Sección 2.2). Por tanto, nuestra señal $Allow_{protocol}$ debe *activarse* en este momento. Además, la comunicación debe terminar una vez se recibe la señal ack_{column} , es decir, la señal debe *desactivarse* en ese instante.

Estado Inicial: Reset ON La señal VC debe encontrarse en estado alto, esto es, el valor de VC en la etapa reset debe ser superior a la tensión de conmutación

del inversor; asegurando así \overline{VC} alto y $S = VC_{buffer}$ bajo. Por otro lado, la señal reset es la misma que regula el *Switch 2* presentado en la figura 2.6 de la Sección 2.3, siendo su estado inicial necesariamente alto [Reset: ON (Estado alto) \rightarrow *Switch 2: ON*]. Por último, el estado activo de la señal ack_{column} es el estado bajo, por lo que en la etapa reset, dónde no hay comunicación, esta debe estar en un estado alto necesariamente. Así nos aseguramos de que en la etapa reset la señal Lock se encuentra en un estado alto bien definido (Es importante asegurarnos de no entrar nunca en el estado prohibido del RS Latch para evitar consumos de potencia elevados: Si la salida fuera, por ejemplo, oscilatoria o amplificada, consumiría mucho y desconoceríamos el estado de la señal $Allow_{protocol}$). Por razones detalladas en la Sección 2.5 el estado activo de la señal $Allow_{protocol}$ es el alto, por lo que su estado inicial bajo es correcto.

Step 1: $1 \rightarrow 1'$ Al desactivarse la señal reset entramos en la etapa de integración. En este momento, buscamos la bajada de la señal Lock para, una vez \overline{VC} baje debido al corte del transistor MCS de la figura 2.3, la señal $Allow_{protocol}$ suba con ella. Para ello, necesitamos, primero: Subida de la señal R y seguidamente: Bajada de la señal S. Con esto, el RS Latch no entra nunca en su estado inválido y la salida Lock está siempre bien definida. Notemos como la señal rst_{pix} permanece invariante en este paso, resultando en un retraso de la señal R con respecto a la señal Reset gobernado por la puerta XOR. Por otro lado, la señal $S = VC_{buffer}$ presenta el retraso debido a los dos inversores y el retraso intrínseco (aunque muy *pequeño*) de la señal VC respecto de la señal Reset. Por tanto, podemos asegurarnos de que, efectivamente, R suba antes de bajar S controlando estos retrasos. Es importante que la diferencia entre la subida de R y la bajada de S sea la mínima posible para poder medir situaciones en las que las señales suban y bajen *rápidamente*, es decir, I_{Diodo} grande.

Step 2: $1' \rightarrow 2$ En este paso es cuando el pixel entra realmente en la etapa de integración. La señal Lock baja debido a lo explicado en el paso anterior.

El retraso intrínseco de la señal Lock respecto a la señal \overline{VC} asegura la no activación de la señal $Allow_{protocol}$ en este paso.

Step 3: $2 \rightarrow 2'$ Una vez el transistor MCS entra en corto, el voltaje VC sube rápidamente, es en este momento cuando empieza la lectura. Notemos que la subida de S no afecta a la señal Lock, ya que el estado R:1 S:1 mantiene la salida anterior, no la altera. Por otro lado, la bajada de \overline{VC} si afecta a la señal $Allow_{protocol}$ que presentará un retraso respecto a la primera gobernado por la puerta NOR. El instante de tiempo en el que sube VC es el Δt_{UP} que aparece en la ecuación 2.9. Por tanto, es importante para una buena medición de I_{Diodo} tener valores estadísticos del retraso de \overline{VC} respecto de VC debido al primer inversor; y del retraso de $Allow_{protocol}$ respecto a \overline{VC} debido a la puerta NOR.

Step 4: $2' \rightarrow 3$ El tiempo entre la activación de la señal $Allow_{protocol}$, el envío de las señales request y la activación de la señal ack_{column} es, en principio, indeterminado e irrelevante para la medición de la luminosidad. Una estimación generosa del mismo nos aporta valores de entorno a los 100ns. Durante este paso, la señal $Allow_{protocol}$ es alta (Tal y como buscábamos). Ahora solo necesitamos que baje al activarse la señal ack_{column}

Step 5: $3 \rightarrow 4$ Al activarse la señal ack_{column} la señal rst_{pix} se activa por primera vez produciendo la bajada de la señal R. La entrada del RS Latch será entonces R:0 S:1 y su salida, la señal Lock, subirá sin entrar en ningún momento en el estado prohibido. Por último, la señal $Allow_{protocol}$ bajará quedando desactivada. En principio, el retraso de la señal $Allow_{protocol}$ respecto de ack_{column} es *grande*, ya que depende de todas las puertas lógicas y del RS Latch; sin embargo, no es un retraso que deba afectar a la lectura del resto de píxeles. Dado que es la circuitería externa la encargada de gestionar las peticiones de lectura, esta debería de empezar a atender otras peticiones en el instante en el que la señal ack_{column} es enviada al dispositivo (En caso de ocurrir solapamiento).

Step 6: $4 \rightarrow 5$ Este último paso responde a la posible y razonable duda acerca de la necesidad rst_{pix} , ya que hasta el momento no parece tener ninguna utilidad. Es de destacar que la señales *acknowledge* se envían a toda la columna/fila de píxeles, es decir: Si suponemos, por ejemplo, que en la primera columna el primer pixel en solicitar la lectura es el Pixel(1,1) y pasado un tiempo indeterminado t_{diff} para el cual la señal ack_{column} ha vuelto a subir se solicita la lectura del Pixel(n,1), la señal ack_{column} volverá a activarse según el protocolo AER. Comprobamos entonces la necesidad de blindar a los píxeles ante esta situación y para ello se introduce la señal rst_{pix} . La bajada de ack_{column} pese a variar rst_{pix} no conmuta R, quedando la señal Lock inalterada y, por tanto, también la señal $Allow_{protocol}$.

Estado Final: Reset ON Para concluir, podemos observar como al activarse de nuevo la señal Reset, R conmuta al estado bajo (suponemos $allow_{protocol}$ alto en este instante) siendo así la situación final idéntica a la situación inicial y quedando el pixel listo para una siguiente lectura.

2.5. Circuitería para la comunicación asíncrona

En esta Sección analizaremos el bloque: Circuitería para la comunicación asíncrona, presentado en la figura 2.1. Este bloque se encarga de enviar las señales *request* a la circuitería externa y su correcto funcionamiento es vital.

Inicialmente, conforme a lo mostrado en la Sección 2.4, la señal $Allow_{protocol}$ se encuentra en estado bajo y solo se *activa* una vez la señal VC sube a su estado alto en la etapa de integración. De esta manera, en la etapa de reset los transistores M9 y M10 se encuentran *cerrados* (la tensión de puerta es nula), impidiendo el paso de corriente a través de estos.

Los transistores M7 y M8 son polarizados con una tensión de puerta $V_{PM} < V_{DD}$, *suficientemente baja*, como para producir una tensión de drenador alta en la etapa

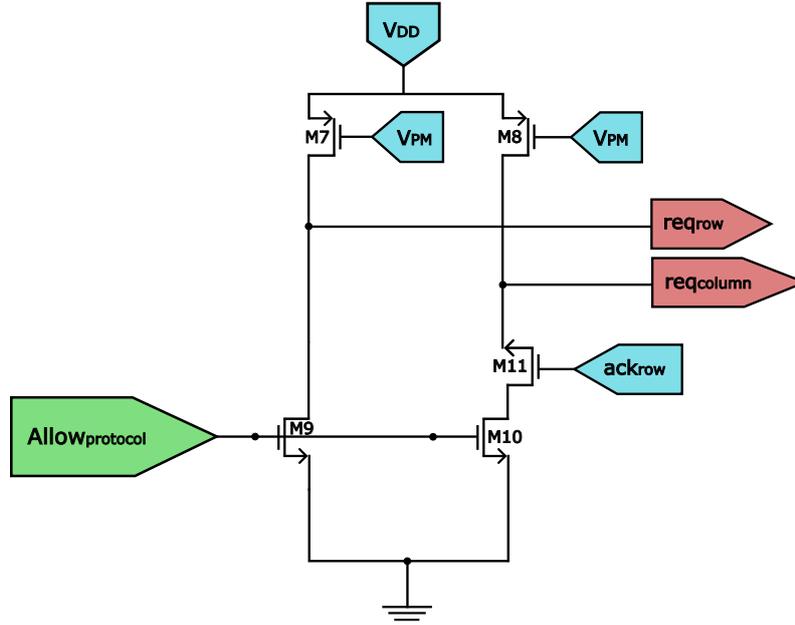


Figura 2.9: Circuitería para la comunicación asíncrona a través del protocolo AER

de reset. Como resultado, en esta las señales request se encuentran en estado alto. Según lo detallado en la Sección 1.4.1, en el equipo de trabajo de Juan Antonio Leñero utilizan el estado bajo de la señal request como el estado *activo* del mismo. Por tanto, la señales request están *desactivadas* hasta que se produzca un cambio en la señal $Allow_{protocol}$.

Al *activarse* la señal $Allow_{protocol}$, la tensión de puerta aumenta ($V_{GM9} = V_{GM10} = V_{DD}$), permitiendo el paso de corriente. Notemos como la corriente a través del transistor M11 viene controlada por la señal ack_{row} , por tanto, pese a permitir el transistor M10 el paso de corriente, la señal $request_{column}$ estará en estado alto (*desactivada*) hasta la *activación* de la señal ack_{row} . El orden en el que se envían las señales request es arbitrario y la configuración de este bloque podría ser tal que la primera señal enviada fuera la señal $request_{column}$.

El voltaje en la fuente del transistor M11 viene dado por la ecuación 2.15

$$I_{M8} = I_{M11} \rightarrow I_{0M8} \cdot e^{\frac{kV_{SM8} - V_{GM8} - |V_{TM8}|}{U_T}} = I_{0M11} \cdot e^{\frac{kV_{SM11} - V_{GM11} - |V_{TM11}|}{U_T}} \quad (2.15)$$

Asumiendo $I_{0M8} = I_{0M11}$ y aplicando logaritmos, despejamos $V_{S11} = V_{requestcolumn}$

$$V_{requestrow} = V_{DD} - kV_{PM} + kV_{acknowledgerow} - |V_{TM8}| + |V_{TM11}| < V_{DD} \quad (2.16)$$

Esto presenta una complicación adicional: En el instante en el que la señal ack_{row} es enviada a la circuitería externa $V_{acknowledgerow} = 0$, como buscamos que el voltaje $V_{requestrow}$ sea el menor posible (estado *activo* bajo) la tensión V_{PM} debería ser igual a V_{DD} . Sin embargo, V_{PM} necesita ser *suficientemente bajo* como para asegurar la subida de las señales *request* en un tiempo, $t_{request}$, dado por los ciclos por segundo (*cs*: la inversa del período del ciclo reset-integración) buscados. Los *cs* están limitados por la diferencia entre el instante tiempo en el que baja la señal $request_{row}$ y en el que sube la señal ack_{column} . En el caso extremo en el que no exista ningún tipo de solapamiento, los 128×128 píxeles de la matriz deberían de poder solicitar la lectura y la circuitería externa, bajar y subir las señales *acknowledge* 128^2 veces. El tiempo máximo estimado para este proceso es de 100 ns, entonces, según la ecuación 2.17 el número máximo de *cs* será de 610 para una matriz de 128×128 .

$$cs = \frac{1}{t_{lectura} \cdot n^{\circ}pixeles} \quad (2.17)$$

Además, la diferencia entre el instante de tiempo en el que suben las señales *acknowledge* y en el que suben las señales *request* también limita los *cs* máximos. Como esta diferencia está típicamente en el orden de los microsegundos, asumiremos como prácticamente iguales el tiempo de bajada de las señales *request* y el tiempo de subida de las señales *acknowledge*. Teniendo esto en cuenta, las señales *request* se envían bien por columnas o por filas, por lo que en el caso extremo, los 128 píxeles correspondientes a la misma columna/fila deberían de poder bajar y subir la señal *request* 128 veces seguidas sin solapamiento (Aun no siendo necesaria la lectura de la matriz entera para generar un *frame*). En nuestro caso buscamos un sensor que

funcione a al menos 30 *cs* siendo, según la ecuación 2.18, el tiempo máximo para este proceso de 0.26ms.

$$t_{lecturacolumna/fila} = \frac{1}{cs \cdot n^{\circ}pixeles_{columna/fila}} \quad (2.18)$$

CAPÍTULO 3

Resultados

En esta sección presentaremos los resultados obtenidos tras la simulación del comportamiento transitorio del circuito utilizando la herramienta profesional Cadence Virtuoso. Analizaremos las causas de los resultados y en el Capítulo 4, detallaremos posibles soluciones a los problemas que puedan presentarse.

3.1. Control de corriente

En la figura 3.1 se presenta la corriente de referencia a lo largo de un ciclo reset-integración, en el que el período es $T = \frac{1}{FPS} = \frac{1}{30}$.

Podemos comprobar como el esquemático presentado en la figura 2.6, cumple el propósito de generar dos corrientes de referencia distintas $I_{RESET} > I_{INT}$ conmutando en el instante en el que pasamos de reset a integración (En este caso ocurre en $T/2$).

Tabla 3.1: Variables dimensionales de los transistores del bloque, control de corriente y valores de la intensidad de referencia en integración y reset

L	W_n	W_p	W_{INT}	W_{RESET}	W_{REF}	I_{INT}	I_{REF}
$1 \mu m$	$3.3 \mu m$	$3.3 \mu m$	$6 \mu m$	$5 \mu m$	$0.48 \mu m$	$247.4 nA$	$373.2 pA$

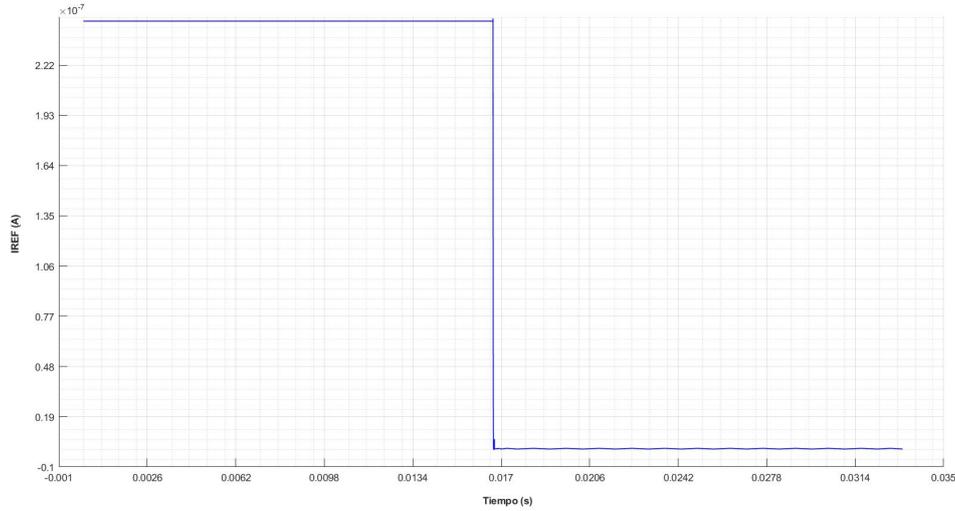


Figura 3.1: Corriente de referencia

En la tabla 3.1 se muestran las variables dimensionales de los transistores utilizados en el bloque control de corriente. Los transistores M4, M5 y M6: W_n/L , el transistor M1: W_p/L , el transistor M2: W_{RESET}/L , el transistor M3: W_{INT}/L y los transistores MREF1 y MREF2: W_{REF}/L .

Notemos como, pese a trabajar con una tecnología de 180nm, hemos decidido utilizar $L = 1\mu m$. Esto es debido a que la variabilidad de L sujeta al proceso de fabricación es grande, utilizar la longitud mínima concluiría en una desviación típica respecto a su valor nominal *alta* y, por tanto, entre dos matrices distintas tendríamos una alta variabilidad en las intensidades de referencia. Comprobamos, además, como efectivamente $W_{RESET} < W_{INT}$ produce $I_{REF} > I_{INT}$ y como una variación de $1\mu m$ consigue una diferencia de tres órdenes de magnitud en la corriente de referencia.

Por último, podemos realizar el cálculo aproximado del consumo de la matriz de píxeles en conjunto. Si tenemos una matriz de $n \times m$ (128×128 en nuestro caso) la potencia máxima consumida vendrá dada por la potencia consumida en la fase de reset según la ecuación 3.1. Si quisiéramos aumentar ΔV_{PD} sin afectar al consumo, podríamos disminuir W_{INT} o bien utilizar un ancho distinto para los transistores MREF1 y MREF2 de manera que $W_{MREF2} < 0,48\mu m$.

$$PotenciaMaxConsumida = V_{DD} \cdot I_{RESET} \cdot n \cdot m = 0,6 \cdot I_{REF} \cdot 128^2 = 2,43mW \quad (3.1)$$

Tras el análisis de los corners, observamos como para los modelos *nfast* y *pfast*, la intensidad de referencia máxima aumenta significativamente, siendo $I_{INT} = 373,2 \text{ pA}$ y $I_{RESET} = 476,6 \text{ nA}$. Por tanto, en el caso más desfavorable en términos de consumo $PotenciaMaxC0 = 4,69 \text{ mW}$. Es importante destacar como esto conlleva un cambio en ΔV_{PD} y, por tanto, en la medida de Δt_{UP} . Un mejor sistema de control de corriente, más elaborado y con un mayor rango de libertad, sería algo casi indispensable en una implementación real.

Concluimos entonces en que el consumo máximo del circuito, funcionando a 30 ciclos por segundo (cs), es inferior a los 5 mW, en contraste a los 81 mW de consumo a 11.8 FPS que presentan matrices con la misma arquitectura pero con sistemas de lectura síncronos [7] [17] [18]. En referencia a este, la magnitud de relevancia para su cálculo sería la intensidad de referencia en la etapa de reset, para la situación de corners C0:NMOS *rápidos* PMOS *rápidos*. En nuestro caso, $I_{resetmax} = 477 \text{ nA}$, siendo este parámetro el más flexible de nuestro diseño, puesto que necesitaríamos de una corriente $I_{resetmax} = 8,2 \text{ }\mu\text{A}$ para igualar los requerimientos de consumo de la competencia.

3.2. Pixel

3.2.1. Pixel Core

La figura 3.2 muestra las tensiones VC y V_{PD} , observamos como en efecto se produce la bajada y subida de VC según lo mostrado en la figura 2.4. En este caso $V_{RST} = 364,7 \text{ mV}$ y $V_{INT} = 351,6 \text{ mV}$ por lo que $\Delta V_{PD} = 13,1 \text{ mV}$. Además,

$C_{Diodo} = 50 \text{ fF}$ y $I_{Diodo} = 100 \text{ pA}$, dando como resulta $\Delta t_{UPTeo} = 6,55 \text{ }\mu\text{s}$, en perfecta concordancia con $\Delta t_{UPExp} = 6,15 \text{ }\mu\text{s}$.

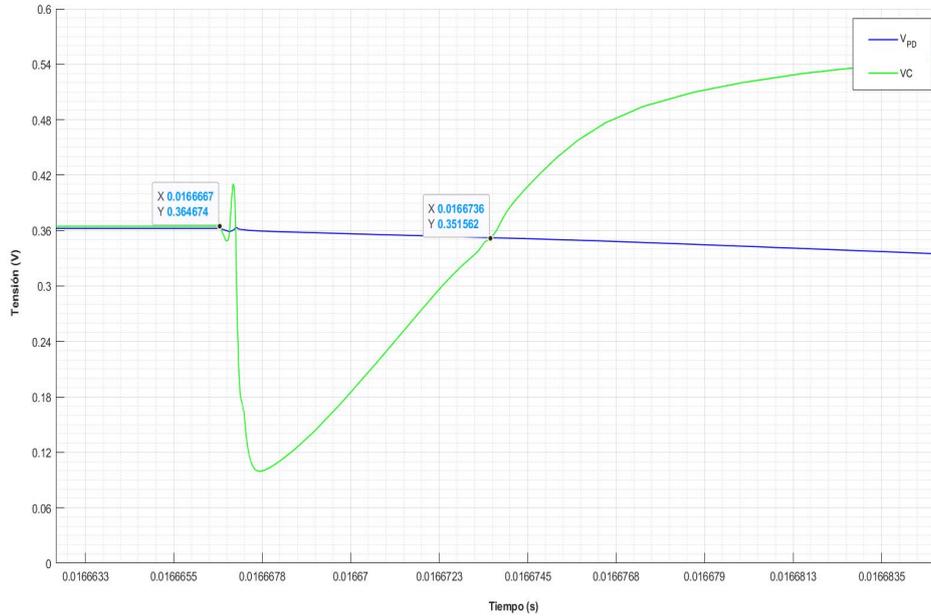


Figura 3.2: VC y V_{PD} para $I_{Diodo} = 100 \text{ pA}$

Es necesario destacar como teóricamente $\Delta V_{PD} = 170 \text{ mV}$ según la ecuación 2.5. La diferencia entre este y el valor experimental se debe al sistema de control de corriente, la transición entre I_{RESET} y I_{INT} no es suficientemente rápida y, por tanto, la bajada de VC no corresponde a la tensión dada por I_{INT} sino para una intensidad comprendida entre $[I_{INT}, I_{REF}]$. La arquitectura novedosa presenta, por tanto, un problema de diseño fundamental con relación a las corrientes de referencia. Para un correcto funcionamiento, es necesario un cambio en la corriente de referencia en el mismo instante en el que se *abre* el *Switch 1* de la figura 2.3. Esto es algo irrealizable a nivel experimental, o al menos, irrealizable con el sistema de control de corriente propuesto en este escrito, concluyendo en la necesidad de un estudio detallado del bloque *Control de corriente* que se escapa de los objetivos del trabajo.

A pesar de este error en el comportamiento del bloque de control de corriente, la

figura 3.3 presenta la variación de ΔVC frente a la intensidad que circula por el fotodiodo. Para obtener la desviación típica se ha realizado un análisis de Montecarlo, en el que se ha tenido en cuenta la variabilidad asociada al proceso de fabricación de las variables dimensionales de todos los transistores pertenecientes al bloque *Pixel Core* y el bloque *Lógica*. Comprobamos, por tanto, como nuestro pixel es robusto frente a variaciones en el cociente de las intensidades de referencia, necesitando, solo, que este sea constante para una matriz dada.

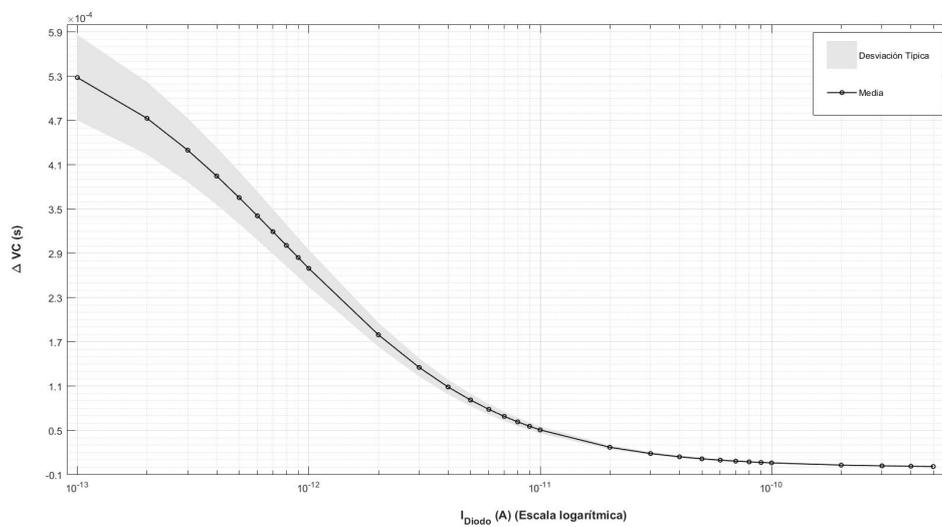


Figura 3.3: ΔVC frente a I_{Diodo} (Eje x en escala logarítmica)

Para una mejor visualización, hemos decidido comprimir logarítmicamente los ejes x e y. La figura 3.4 muestra como la desviación típica es aproximadamente constante y como, efectivamente, ΔVC es *mayor* para intensidades bajas y *menor* para intensidades altas.

A partir de los resultados del análisis de Montecarlo podemos obtener el FPN (Fix Pattern Noise) (%) y el HDR (High Dynamic Range) (dB), según las ecuaciones 3.2 y 3.3. El valor de fotocorriente máximo medible es de 500 pA y el valor mínimo 100 fA, resultando en $HDR \simeq 74$ dB. Además, la figura 3.5 muestra el FPN para los distintos valores de fotocorriente. Aun siendo aproximadamente constante y de valor medio $FPN_{Medio} = 3,16$ %, como cabría esperar, el circuito presenta un

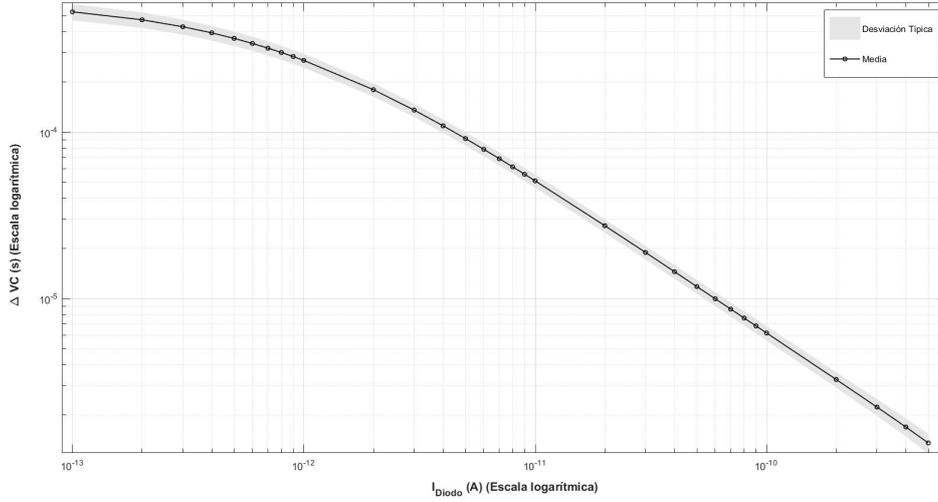


Figura 3.4: $\text{Log}_{10}(\Delta VC)$ frente a $\text{Log}_{10}(I_{Diodo})$ (Ejes x e y en escala logarítmica)

comportamiento más sólido para intensidades con valores intermedios dentro del rango $[I_{DiodoMin}, I_{DiodoMax}]$.

$$FPN(\%) = \frac{\sigma(\Delta VC)}{\Delta VC} \cdot 100 \quad (3.2)$$

$$HDR(dB) = 20 \cdot \log_{10}\left(\frac{I_{DiodoMax}}{I_{DiodoMin}}\right) = 20 \cdot \log_{10}\left(\frac{500 \cdot 10^{-12}}{100 \cdot 10^{-15}}\right) = 73,98 \quad (3.3)$$

Notemos, como este sería el FPN debido a la variabilidad entre píxeles construidos con valores nominales idénticos. Sin embargo, hemos realizado un análisis de Montecarlo dónde todos los transistores (Incluimos los pertenecientes al bloque *Control de corriente* y *Circuitería para la comunicación asíncrona*) están sujetos a la variabilidad de su proceso de fabricación. Este FPN corresponde, por tanto, al existente entre varias matrices distintas y como representa la figura 3.6 es mayor al FPN de una única matriz. En este caso vemos una tendencia al alza según el aumento de I_{Diodo} influenciado en gran medida por el error en I_{REF} . Para intensi-

dades bajas Δt_{UP} es mayor, por lo que el error relativo debido a variaciones en la intensidad de referencia (Asumimos que se trata de un error constante para todas las intensidades I_{Diodo}) será menor al de los casos donde Δt_{UP} sea *pequeño*, es decir, para fotocorrientes *altas*.

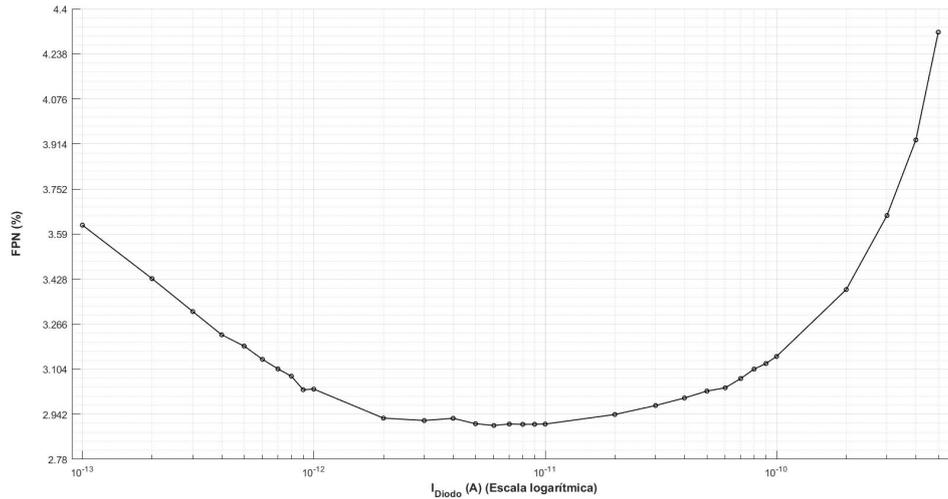
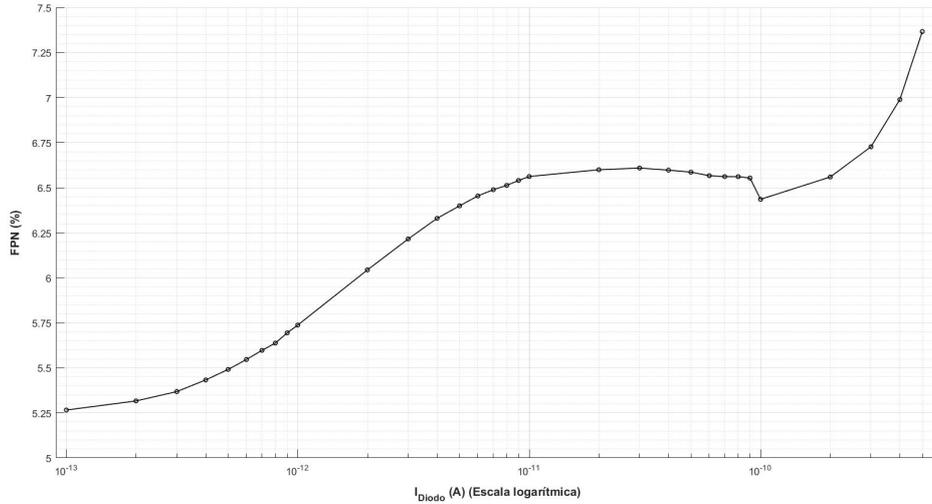


Figura 3.5: FPN frente a I_{Diodo} (Eje x en escala logarítmica)

3.2.2. Lógica

Para comprobar el funcionamiento del bloque *Lógica* hemos decidido reproducir lo mostrado en la figura 2.8, tal y como mostramos en la figura 3.7. En este caso, $I_{Diodo} = 100 \text{ pA}$ y la figura muestra, por motivos de visualización, el instante en el que se pasa de la etapa reset a la etapa integración y el tiempo necesario para que se solicite y lleve a cabo la lectura. Es importante destacar como la bajada de la bajada y subida de la señal Ack_{column} se produce de manera artificial, al no poder simular la circuitería externa. Para ello se retrasan las señales request y se utilizan para realimentar el circuito como si se tratasen de las señales acknowledge.

Es fácil comprobar como el esquema es idéntico al mostrado en el análisis teórico (Teniendo en cuenta que solo se muestra hasta el paso 3). El retraso mínimo entre

Figura 3.6: FPN Matrices frente a I_{Diodo}

la solicitud de lectura y el envío de las señales acknowledge es de 100 ns, pero en nuestro caso, al conseguir el retraso de la señal a través de dos inversores de ganancia unitaria, el retraso es de aproximadamente 85 μs .

Es de especial importancia asegurar la subida de la señal R previa a la bajada de la señal S. Y también obtener el retraso de \overline{VC} respecto de VC (Retraso 1) y el de $Allow_{protocol}$ respecto de \overline{VC} (Retraso 2). La figura 3.8 muestra como existe una diferencia de 0,2 μs entre la subida de R y la bajada de S, esto es así por construcción e independiente de la fotocorriente. Es decir, R siempre sube antes de bajar S, evitando el estado prohibido R:0 S:0 tal como buscábamos. En la tabla 3.2 se presentan el valor experimental de los retrasos y el desfase de Δt_{UP} , una vez más, notemos como este desfase es independiente de I_{Diodo} con lo que restándolo a las medidas de Δt_{UP} obtendremos sus valores reales.

Tabla 3.2: Resultados experimentales del retraso de \overline{VC} respecto de VC (Retraso 1), el retraso de $Allow_{protocol}$ respecto de \overline{VC} (Retraso 2) y el retraso total en la medida de Δt_{UP}

Retraso 1	Retraso 2	Retraso Δt_{UP}
0.3 μs	1.1 μs	1.4 μs

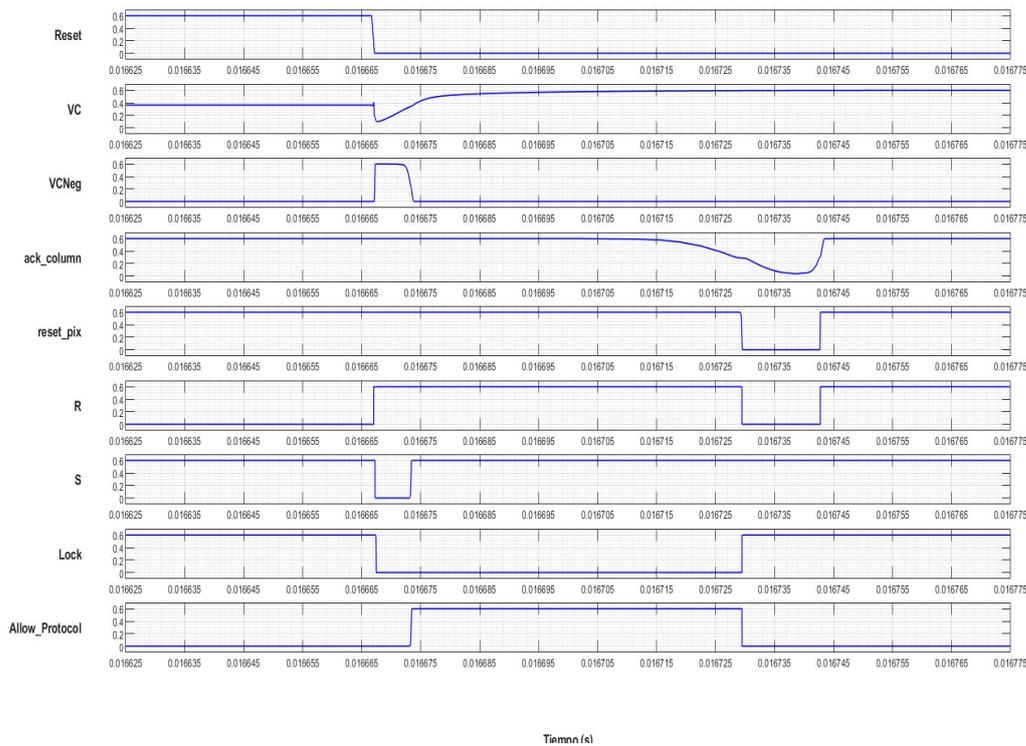


Figura 3.7: Representación experimental de las señales mostradas en el Análisis Lógico

3.3. Circuitería para la comunicación asíncrona

Como mencionamos en la sección 3.2.2 la bajada de la señal Ack_{column} en la figura 3.7 confirma, implícitamente, la bajada de la señal $Request_{column}$, la cual a su vez implica la bajada de la señal Ack_{row} dependiente de $Request_{row}$ (Recordemos que para nuestras simulaciones las señales acknowledge son simplemente las señales request retrasadas). Sin embargo, aprovechamos esta sección para presentar los resultados de los test de corners.

Como resultado de la variabilidad en el proceso de fabricación, se utilizan tres modelos distintos para los transistores NMOS y PMOS. Estos definen las situaciones límites en las que los transistores son lo más *rápidos* posible, lo más *lentos* o de velocidad *media*. Cuando hablamos de velocidad, nos referimos, en esencia, a su

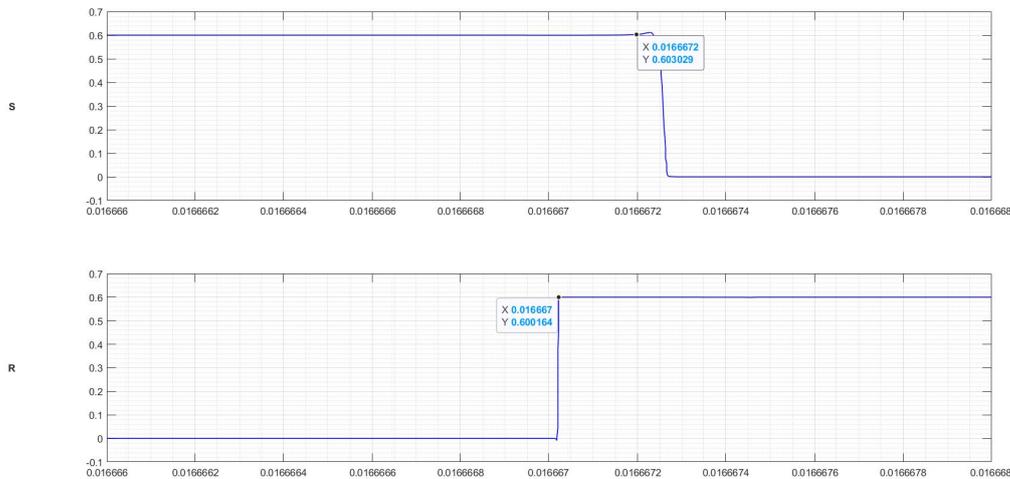


Figura 3.8: Comprobación de la subida de S previa a la bajada de R

resistencia al paso de corriente debido a sus características paramétricas (Una menor resistencia al paso de corriente implica que las situaciones de equilibrio se alcanzan *antes*). Así, consideraremos cuatro casos distintos:

Nominal: Corresponde al caso típico tanto de los transistores NMOS como de los transistores PMOS.

C0: Corresponde al caso en el que los transistores NMOS y PMOS son *rápidos*.

C1: Corresponde al caso en el que los transistores NMOS son *rápidos* y los transistores PMOS son *lentos*.

C2: Corresponde a la situación en la que los transistores NMOS son *lentos* y los transistores PMOS *rápidos*.

C3: Corresponde a la situación en la que los transistores NMOS y PMOS son *lentos*.

Al trabajar en los casos extremos, estos cuatro puntos definen un rectángulo en el espacio de configuraciones del sistema, el cual engloba, a priori, todas las situaciones posibles en referencia a la variabilidad de los transistores CMOS en conjunto y no como un proceso estocástico (Diferenciándolo así de un test de Montecarlo).

Hemos decidido llevar a cabo el análisis de los corners utilizando las señales request, la señal $Allow_{protocol}$ y la señal VC en los casos límites $I_{Diodo} = 100 fA$ y $I_{Diodo} = 500 pA$. Por temas de espacio, en este documento dispondremos, en la figura 3.9, únicamente de las señales $request_{columnn}$, ya que su correcto funcionamiento indica implícitamente un comportamiento adecuado del resto de señales.

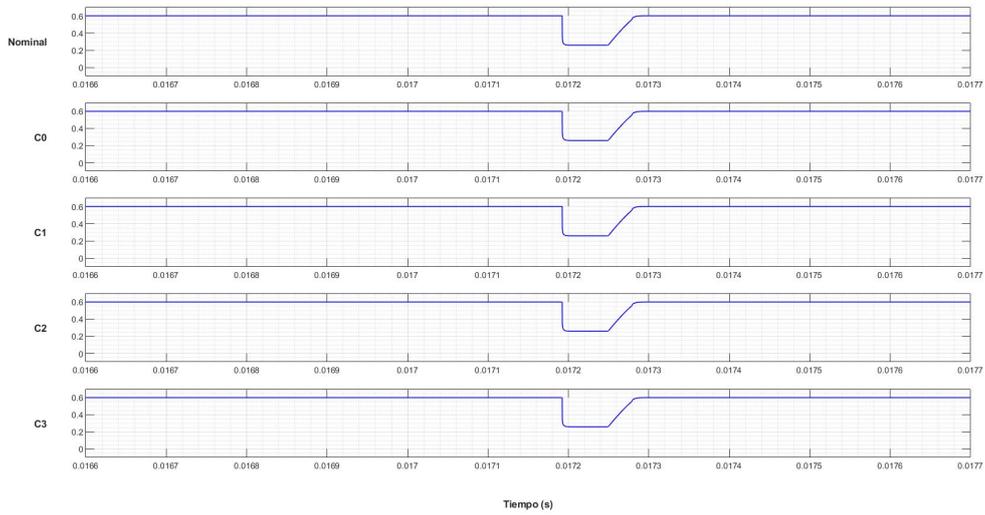
Como buscábamos la bajada y subida de las señales request se produce en un tiempo menor a $0.260 ms$, $t_{requestDownUp} = 0,093 ms$. Con esto aseguramos la lectura de todos los píxeles en el caso extremo en el que no hubiera solapamiento. Además, la figura 3.9 muestra como en todas las situaciones la solicitud se llevaría a cabo en el mismo instante de tiempo, resultando en la misma medida de Δt_{UP} y, por tanto, de I_{Diodo} .

Un posible problema, sin embargo, puede originarse debido a la no bajada de la señal $request_{columnn}$ a un valor de tensión nulo debido a la presencia del transistor M11 de la figura 2.9. El ajuste de esta tensión, mediante el cambio de las variables dimensionales de los transistores M10 y M11, presenta cierto margen; aunque no deja de ser necesario el asegurar un estado lógico bajo de la señal $request_{columnn}$ al alcanzar el valor de tensión mínimo.

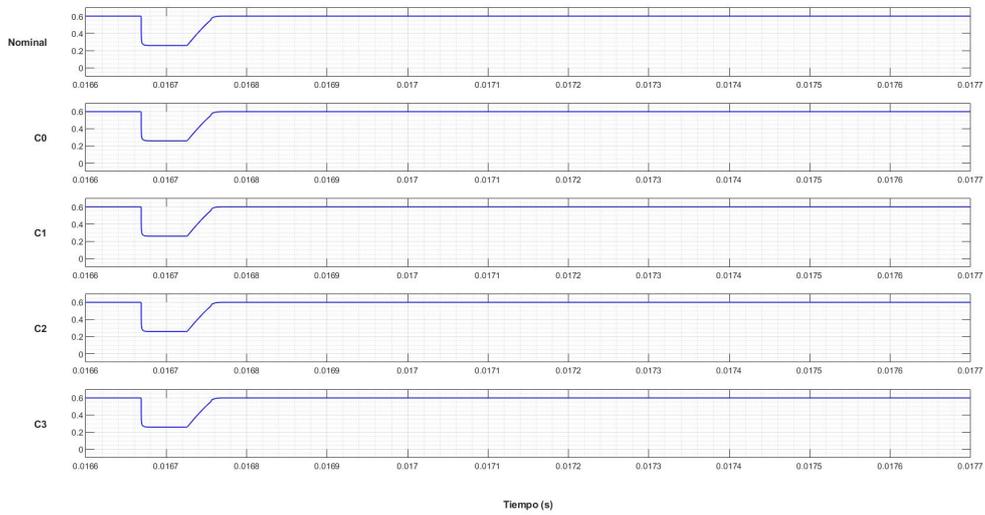
Para terminar, presentamos en la tabla 3.3 una comparativa de los resultados obtenidos con los aportados en la bibliografía. Nuestro dispositivo se destaca del resto en términos de consumo y se mantiene competitivo en su respuesta frente al ruido, sin embargo, el rango dinámico (Limitado por el ineficiente bloque de *Control de corriente*) es la asignatura pendiente de nuestro diseño.

Tabla 3.3: Comparativa de los resultados obtenidos con la bibliografía

	2005 [19]	2007 [20]	2009 [21]	2010 [22]	Este trabajo
Dimensiones de la matriz	64×64	128×128	64×64	304×240	128×128
FPN (%)	0.8	4.6	1.05	0.25	3.16
DR (dB)	100	70	110	125	74
Consumo de potencia (mW)	21.6	0.541	230	70	4.7
Ciclos por segundo	30	30	1000	30	30



(a) $I_{Diodo} = 100 \text{ fA}$



(b) $I_{Diodo} = 500 \text{ pA}$

Figura 3.9: Resultado del test de corners: Señal $request_{column}$

CAPÍTULO 4

Conclusiones y líneas futuras

La arquitectura del píxel presentada, en combinación con el sistema de lectura asíncrono a través del protocolo AER, presenta resultados muy prometedores en lo referido al consumo, rango dinámico y respuesta frente al ruido.

El rango dinámico es probablemente el resultado menos satisfactorio, los 74 dB de nuestro dispositivo lo sitúan a la par de la capacidad de adaptación instantánea del ojo humano a contrastes de iluminación. Sin embargo, en la actualidad existen sensores de imagen con un rango dinámico superior a los 140 dB. Tal y como se detalla en la sección 1.3.1, en nuestro caso, las limitaciones en el mismo surgen como una cuestión de diseño. Es decir, un mayor rango dinámico implicará un mayor ΔV_{PD} necesitando para ello de corrientes *mayores* y, por tanto, de un consumo mayor para aumentar la cota superior de las intensidades, I_{Diodo} , medibles. Un aumento de la cota inferior necesitará, por otro lado, de una disminución en los *cs* para permitir así tiempos de integración *mayores* en los que la subida de la señal VC y la consiguiente solicitud de lectura puedan producirse. En concreto, para mejorar el límite superior en las intensidades medibles de 500 pA, creemos que un mejor sistema de control de corriente, sin necesidad de aumentar el consumo, sería suficiente. ΔV_{PDexp} se aleja mucho de su valor teórico debido a la no simultaneidad del cambio en la I_{REF} y la *apertura* del *Switch* presentado en la figura 2.3; como la pendiente I_{Diodo}/C_{Diodo}

es constante para un valor concreto de la intensidad (Asumiendo que la capacidad parásita no cambia), aumentar la caída de V_{PD} dará como resultado un Δt_{UP} mayor, permitiendo al resto de la circuitería solicitar la lectura.

Por otro lado, nuestro dispositivo presenta un FPN medio del 3.16 %. Valores competitivos del mismo se sitúan por debajo del 5 % reportándose, incluso, un FPN del 0.055 % para nuestra misma arquitectura. Sin embargo, este problema es una vez más dependiente de las características de consumo de nuestro dispositivo. Utilizar inversores de dimensiones *pequeñas*, trabajando en inversión débil, implica, en general, una respuesta frente a la variabilidad del proceso de fabricación, mediocre. Relajar las características de consumo nos permitiría utilizar los mismos transistores en inversión fuerte o utilizar transistores en los que las variables dimensionales tuvieran valores *altos*, reduciendo así el error relativo de las mismas.

Pese a todo, es de mencionar como la combinación de un sistema de lectura asíncrono junto a arquitecturas tipo *PWM* produce resultados muy satisfactorios, que merecen el tiempo de estudio y desarrollo de los mismos. Es de especial importancia destacar la mejora en términos de consumo de potencia, siendo esta la ventaja principal de incorporar la lectura asíncrona a través del protocolo AER. Además, este mismo documento es la prueba de la flexibilidad del circuito para operar pese a un control de la corriente de referencia ineficiente, siempre que I_{INT} e I_{RST} se mantengan constantes para cada etapa reset-integración y para cada píxel, la lectura se llevará a cabo de manera correcta. Es decir, aunque la intensidad de referencia no pueda cambiar instantáneamente del valor I_{RST} al valor I_{INT} , si el cambio es constante para todas las I_{Diodo} , entonces ΔV_{PD} también lo será y se conseguirá el funcionamiento esperado solo que con un DR menor. Por tanto, concluimos estableciendo como líneas futuras la necesidad de un nuevo sistema de polarización más eficiente (Buscamos poder medir una intensidad $I_{Diodomax} = 10 \text{ nA}$), la implementación del *layout* del circuito completo y realizar los test para la extracción de *parásitos*, con el objetivo de validar por completo el funcionamiento del dispositivo.

Bibliografía

- [1] Garrick Orchard Chiara Bartolozzi Brian Taba Andrea Censi Stefan Leutenegger Andrew J. Davison Jorg Conradt Kostas Daniilidis Guillermo Gallego, Tobi Delbruck and Davide Scaramuzza. Event-based vision: A survey. *IEEE Transactions on Pattern Analysis and Machine Intelligence*, 2020.
- [2] Charge-coupled device: The breakthrough that enabled digital imaging. URL <https://www.bell-labs.com/about/history/innovation-stories/charge-coupled-device/>.
- [3] Eric R. Fossum. The invention of CMOS image sensors: A camera in every pocket. *Pan Pacific Microelectronics Symposium (Pan Pacific)*, February 2020.
- [4] Albert J.P. Theuwissen. CMOS image sensors: State-of-the-art. *Solid-State Electronics*, 52(9), May 2008.
- [5] Yusuke Oike. Evolution of image sensor architectures with stacked device technologies. *IEEE TRANSACTIONS ON ELECTRON DEVICES*, 69(6), June 2022.
- [6] Yusuke Oike. Pi-12: Comparison of modern CCD and CMOS image sensor technologies and systems for low resolution imaging¹. *Symbol Technologies, Inc.*, 1, February 2022.
- [7] Chin Yin Meng-Ting Chung, Chih-Lin Lee and Chih-Cheng Hsieh. A 0.5 V

- PWM CMOS imager with 82 dB dynamic range and 0.055 % fixed-pattern-noise. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 48(10), October 2013.
- [8] Behzad Razavi. *Fundamentals of Microelectronics*. Wiley, 2014.
- [9] Juan Antonio Leñero. Photoreceptors in CMOS, 2011-2012.
- [10] Amine Bermak Denis Guangyin Chen, Daniel Matolin and Christoph Posch. Pulse-modulation imaging—review and performance analysis. *IEEE TRANSACTIONS ON BIOMEDICAL CIRCUITS AND SYSTEMS*, 5(1), February 2011.
- [11] M. Yasuda S. Nagata K. Fukushima, Y. Yamaguchi. An electronic model of the retina. *Proceedings of the IEEE*, 58(12), December 1970.
- [12] Bern Hoefflinger. *High-Dynamic-Range (HDR) Vision*. Springer, 2007.
- [13] Pablo Fernández Peramo. *Diseño Electrónico de un Píxel de tipo DVS*. Bachelor's thesis, University of Seville, Seville, Spain, 2021.
- [14] Jens Sparso. Asynchronous circuit design. a tutorial, 2006.
- [15] Institue of neuroinformatics. The address-event representation communcation protocol. February 1993.
- [16] Juan Manuel Rodríguez Sanchez. *Diseño de un sensor de imagen con comprensión logarítmica y diodos operando en régimen fotovoltaico*. Bachelor's thesis, University of Seville, Seville, Spain, 2022.
- [17] Albert Yen-Chih Chiou and Chih-Cheng Hsieh. A 137 db dynamic range and 0.32 v self-powered cmos imager with energy harvesting pixels. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 51(11), November 2016.
- [18] Albert Yen-Chih Chiou and Chih-Cheng Hsieh. An ULV PWM cmos imager with adaptive-multiple-sampling linear response, hdr imaging, and energy

-
- harvesting. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 54(1), January 2019.
- [19] A. Bermak A. Kitchen and A. Bouzerdoum. A digital pixel sensor array with programmable dynamic range. *IEEE Trans. Electron Devices*, 52(12), December 2005.
- [20] C. Shoushun and A. Bermak. Arbitrated time-to-first spike CMOS image sensor with on-chip histogram equalization. *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, 15(3), March 2007.
- [21] C. Arvanitis R. Speller H. XingLiang E.Villani M. Towrie J. Crooks, S. Bohn-diek and R. Turchetta. A CMOS image sensor with in-pixel adc, timestamp, and sparse readout. *IEEE Sensors J.*, 9(1), January 2009.
- [22] D. Matolin C. Posch and R. Wohlgenannt. A qvga 143 dB dynamic range asynchronous address event PWM dynamic image sensor with lossless pixel-level video compression. *Proc. IEEE Int. Solid-State Circuits Conf., Dig.Tech. Papers*, February 2010.