

OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

① Número de publicación: **2 257 943**

② Número de solicitud: 200402479

⑤ Int. Cl.:
H03H 19/00 (2006.01)
H03F 1/02 (2006.01)

⑫

PATENTE DE INVENCION

B1

⑫ Fecha de presentación: **14.10.2004**

⑬ Fecha de publicación de la solicitud: **01.08.2006**

Fecha de la concesión: **20.06.2007**

⑮ Fecha de anuncio de la concesión: **16.07.2007**

⑯ Fecha de publicación del folleto de la patente:
16.07.2007

⑰ Titular/es: **Universidad de Sevilla**
Pabellón de Brasil
Paseo de las Delicias, s/n
41020 Sevilla, ES
Universidad de Huelva

⑱ Inventor/es: **Muñoz Chavero, Fernando;**
González Carvajal, Ramón;
Torralba Silgado, Antonio;
El Gmli, Hakim;
Palomo Vázquez, Bernardo y
Gómez Galán, Juan Antonio

⑳ Agente: **No consta**

⑳ Título: **Método para la implementación de un amplificador de capacidades conmutadas insensible a la relación entre las capacidades y al offset de los amplificadores.**

㉑ Resumen:

Método para la implementación de un amplificador de capacidades conmutadas insensible a la relación entre las capacidades y al offset de los amplificadores.

El método consiste en utilizar cuatro fases de reloj y dos amplificadores operacionales en un circuito de capacidades conmutadas, de forma que, tras las dos primeras fases de reloj se almacene una estimación del error producido por el desapareamiento entre capacidades. Posteriormente, en las dos fases de reloj restantes, se realimenta dicho error para realizar una amplificación con ganancia independiente de la relación entre capacidades y el offset de los amplificadores operacionales. El circuito propuesto para la implementación de la invención consta de dos amplificadores operacionales (o de transconductancia) y tres condensadores, de forma que uno de ellos se utiliza para el almacenamiento del error. El método propuesto permite liberar un amplificador operacional en fases de reloj no consecutivas y realizar el muestreo y retención de la señal de entrada sin aumento del consumo de potencia.

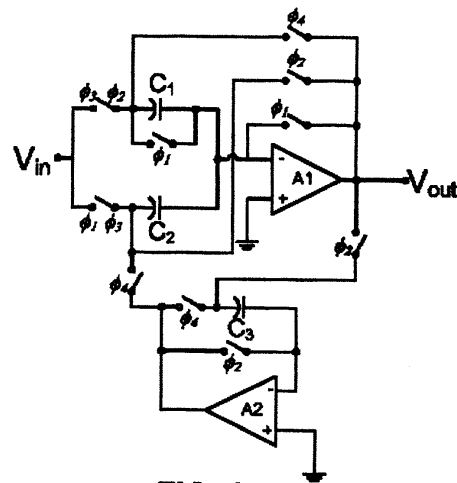


FIG. 1

ES 2 257 943 B1

Aviso: Se puede realizar consulta prevista por el art. 37.3.8 LP.

DESCRIPCIÓN

Método para la realización de un amplificador de capacidades conmutadas insensible a la relación entre las capacidades y al offset de los amplificadores.

Objeto de la invención

La presente invención se refiere a un método para la realización de un amplificador que, utilizando técnicas de capacidades conmutadas, es insensible a la relación entre las capacidades y al offset de los amplificadores operacionales.

El método consiste en utilizar cuatro fases de reloj y dos amplificadores operacionales en un circuito de capacidades conmutadas, de forma que, tras las dos primeras fases de reloj se almacene una estimación del error producido por el desapareamiento entre capacidades. Posteriormente, en las dos fases de reloj restantes, se realimenta dicho error para realizar una amplificación con ganancia independiente de la relación entre capacidades y el offset de los amplificadores operacionales. El circuito propuesto para la implementación de la invención consta de dos amplificadores operacionales (o de transconductancia) y tres condensadores, de forma que uno de ellos se utiliza para el almacenamiento del error. El método propuesto permite liberar un amplificador operacional en fases de reloj no consecutivas y realizar el muestreo y retención de la señal de entrada sin aumento del consumo de potencia.

La invención está relacionada con los circuitos de capacidades conmutadas, muy utilizados en la realización de filtros en tiempo discreto y convertidores analógicos digitales. El método encuentra aplicación en diseño de convertidores analógicos digitales basados en la arquitectura pipelined.

Antecedentes de la invención

Una de las técnicas más habituales para realizar circuitos analógicos de procesamiento de señal en tecnología CMOS es mediante el uso de capacidades conmutadas. Estos circuitos se componen de condensadores, interruptores y amplificadores operacionales o de transconductancia. Entre los posibles bloques constructivos realizables con la técnica de capacidades conmutadas, uno de los más populares es un amplificador de ganancia controlada de forma precisa por la relación entre dos capacidades.

La potencia consumida por estos circuitos es directamente proporcional al tamaño de las capacidades. Sin embargo, en determinadas aplicaciones (como el diseño de convertidores analógico-digitales) donde la relación entre las capacidades debe ser muy precisa, el tamaño de dichas capacidades debe ser suficientemente grande como para asegurar que la relación entre ellas toma un valor lo más cercano posible al valor esperado. Esta razón se ha convertido en el principal obstáculo para realizar circuitos de capacidades conmutadas de muy bajo consumo y alta precisión.

Por otro lado, el offset de los amplificadores operacionales limita la resolución de circuito de capacidades conmutadas, obligando a la utilización de costosas técnicas de cancelación del offset. En este sentido cabe citar las patentes estadounidenses 4393351 y 5880630.

En los últimos años han aparecido numerosos amplificadores de capacidades conmutadas que abordan estos problemas desde distintos enfoques. En primer lugar, se pueden destacar las técnicas de auto cali-

bración digital, en la cuales se compensa digitalmente el desapareamiento entre capacidades (error en el valor esperado para la relación entre dos capacidades) (Shang-Yuan (Sean) Chuang, Terry L. Sculley; "A Digitally Self-Calibrating 14-bit 10 MHz CMOS Pipelined A/D Converter" IEEE Journal of Solid-State Circuits. Vol37, N 6, Junio 2002). La lógica de control y las memorias necesarias para la aplicación de estas técnicas implican un aumento importante en el consumo y área del circuito. En segundo lugar cabe destacar las técnicas de promediado del error (Bang-Sup Song; Tompsett, M.F.; Lakshmikumar, K.R.; "A 12-bit 1-Msample/s capacitor error-averaging pipelined A/D converter" IEEE Journal of Solid-State Circuits, Vol: 23, Iss: 6, Diciembre 1988, Páginas:1324-1333). Este tipo de técnicas sólo alivia el problema, reduciendo la magnitud del error sin eliminarlo. Por último, es posible realizar el amplificador de capacidades conmutadas de forma que su ganancia sea independiente a la relación entre las capacidades. En esta última aproximación al problema podemos englobar la presente invención. Estas técnicas permiten reducir el tamaño de las capacidades utilizadas y consecuentemente la potencia consumida.

Descripción de la invención

El método que la invención propone consiste en la utilización de cuatro fases de reloj y dos amplificadores operacionales (o de transconductancia) para implementar un amplificador de ganancia dos insensible a la relación entre capacidades. Uno de los amplificadores operacionales realiza la función amplificadora, mientras que el otro, además de realizar el muestreo y retención, implementa la técnica propuesta. La operación del circuito en las cuatro fases de reloj está dividida de la siguiente forma: En la primera fase se realiza el muestreo de la señal de entrada y la inicialización del circuito. En la segunda almacena (para su posterior cancelación) el error debido al desapareamiento entre capacidades y el offset de los amplificadores. En la tercera se vuelve a muestrear la señal de entrada. Y por último, en la cuarta fase se realiza la amplificación y se utilizan los errores almacenados para realizar la cancelación.

La invención propuesta tiene la ventaja de no necesitar el primer amplificador operacional durante las fases impares de reloj, haciendo posible la utilización del amplificador para otros propósitos con el consiguiente ahorro de energía.

Descripción de los dibujos

Para complementar la descripción que se está realizando y con objeto de ayudar a una mejor comprensión de las características del invento, de acuerdo con un ejemplo preferente de realización práctica del mismo, se acompaña como parte integrante de dicha descripción, un juego de dibujos en donde, con carácter ilustrativo y no limitativo, se ha representado lo siguiente:

La figura 1.- Muestra el esquema del circuito de capacidades conmutadas compuesto por cuatro fases de reloj y dos amplificadores operacionales que ilustra el método propuesto.

La figura 2.- Muestra un diagrama temporal de las cuatro fases de reloj.

La figura 3.- Muestra el funcionamiento del circuito de la figura 1 para las diferentes fases de reloj con objeto de aclarar el funcionamiento del mismo. Las diferentes figuras muestran la configuración del circuito para cada una de las fases de reloj conside-

rando es estado de conmutación de cada uno de los interruptores.

La figura 4.- Muestra una posible implementación del método en una arquitectura completamente diferencial.

Realización preferente de la invención

En la figura 1 se muestra la realización preferente de la invención en un circuito de terminación simple. En el esquema se puede observar la existencia de cuatro fases de reloj no solapadas (ϕ_1 , ϕ_2 , ϕ_3 y ϕ_4) utilizadas para gobernar la conmutación de los interruptores. En la figura 2 se muestra un diagrama temporal que ilustra la forma de onda de dichas fases de reloj.

Para una mejor comprensión de la invención, en la figura 3 se muestra la topología del circuito para cada una de las fases de reloj. A continuación se explicará detalladamente las operaciones realizadas en cada una de ellas.

En la primera fase se realiza el muestreo de la señal de entrada, almacenándose en la capacidad C_2 . Por otro lado se elimina la carga existente en C_1 .

En la segunda fase se realimenta negativamente el amplificador utilizando la capacidad C_2 . Dicha realimentación produce que se almacene en C_3 el error debido al desapareamiento entre las capacidades, que viene dado por la expresión:

$$V_{\text{out}} = \left(1 - \frac{C_1}{C_2}\right) V_{\text{in}}$$

Nótese que en la deducción de ecuación anterior no se ha tenido en cuenta el offset de los amplificadores. Si se considera el offset del amplificador A_1 aparecería un nuevo término proporcional a la tensión

de offset de entrada que se cancelaría finalmente en la cuarta fase.

En la tercera fase se almacena la tensión de entrada en C_1 y C_2 .

Por último, en la cuarta fase se realiza la amplificación, cerrando el bucle de realimentación mediante la capacidad C_1 . El amplificador A_2 aplica la tensión de error almacenada al final de la segunda fase a uno de los terminales del condensador C_2 . Esto produce la cancelación del error, de esta forma la ganancia sea igual a dos independientemente del valor de las capacidades.

En la figura 4 se muestra una posible implementación completamente diferencial de la presente invención. En esta implementación se muestra la posibilidad, debido a la simplicidad del método propuesto, de incorporar nuevas funcionalidades al circuito sin incrementar la potencia consumida. En primer lugar, se ha utilizado la capacidad C_4 y el amplificador A_2 para realizar el circuito de muestreo y retención necesario en la implementación de la técnica multifase. Por otro lado, mediante la capacidad C_5 se ha implementado una técnica de doble muestreo correlacionado que cancela el offset del amplificador operacional A_2 . Finalmente es posible liberar el amplificador en las fases impares. Nótese que el método propuesto es intrínsecamente insensible al offset del amplificador operacional A_1 .

Esta última propiedad puede ser muy importante, al permitir la aplicación de técnicas de reducción de consumo de potencia en convertidores analógico-digitales pipelined consistentes en compartir un solo amplificador operacional entre dos etapas consecutivas.

REIVINDICACIONES

1. Método para la implementación de un amplificador de capacidades conmutadas insensible a la relación entre las capacidades y al offset de los amplificadores **caracterizado** por la utilización de cuatro fases de reloj y dos amplificadores operacionales o de transconductancia, de forma que el error debido al desapareamiento entre capacidades es almacenado en la segunda fase de reloj para su posterior cancelación.

2. Método para la implementación de un amplificador de capacidades conmutadas insensible a la relación entre las capacidades y al offset de los amplificadores según reivindicación 1, **caracterizado** porque el circuito está compuesto por dos amplificadores y tres capacidades donde una de las capacidades se utiliza para almacenar el error debido al desaparea-

miento entre capacidades de tal manera que mediante el segundo amplificador se realimenta este error cancelándose a la salida del amplificador.

3. Método para la implementación de un amplificador de capacidades conmutadas insensible a la relación entre las capacidades y al offset de los amplificadores según reivindicación 2, **caracterizado** por una implementación completamente diferencial del circuito que incluye, sin aumento del consumo de potencia, el circuito de muestreo y retención y una técnica de corrección del offset de los amplificadores que permite la liberación de uno de los amplificadores operacionales durante dos fases no consecutivas de reloj, haciendo el circuito muy atractivo para la implementación de convertidores analógico-digitales pipelined de bajo consumo.

5

10

15

20

25

30

35

40

45

50

55

60

65

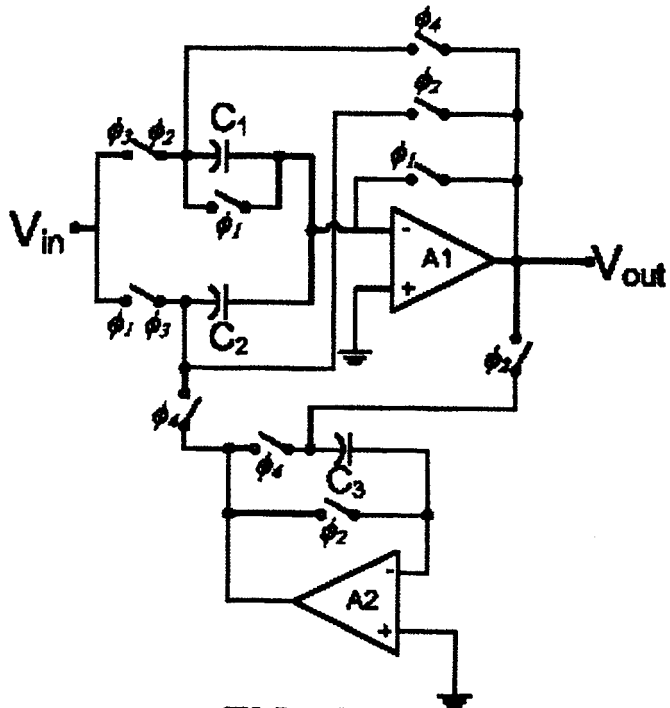


FIG. 1

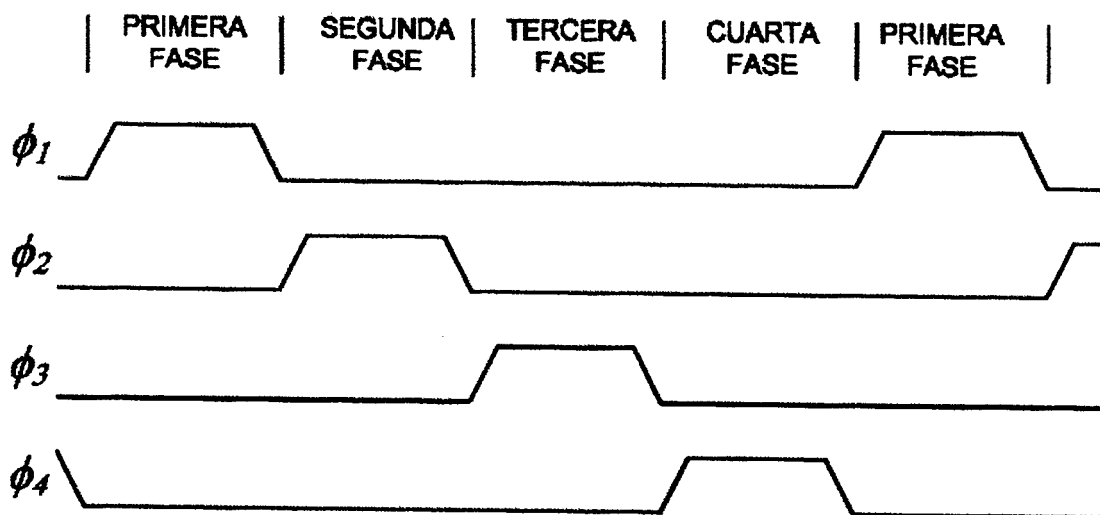


FIG. 2

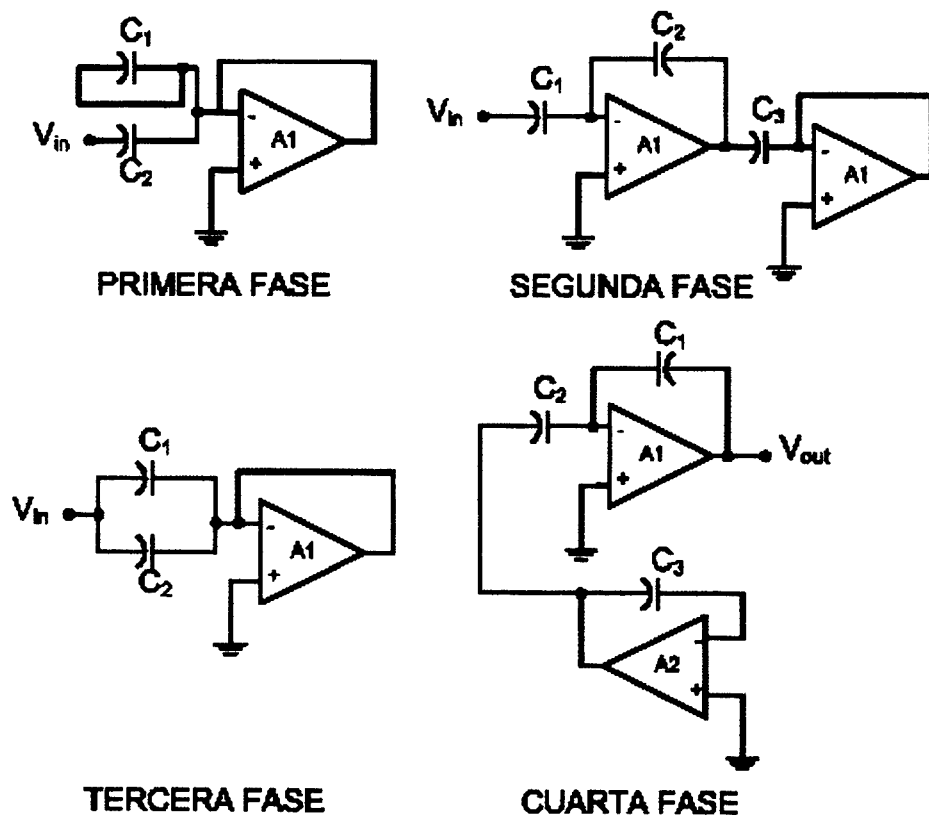


FIG. 3

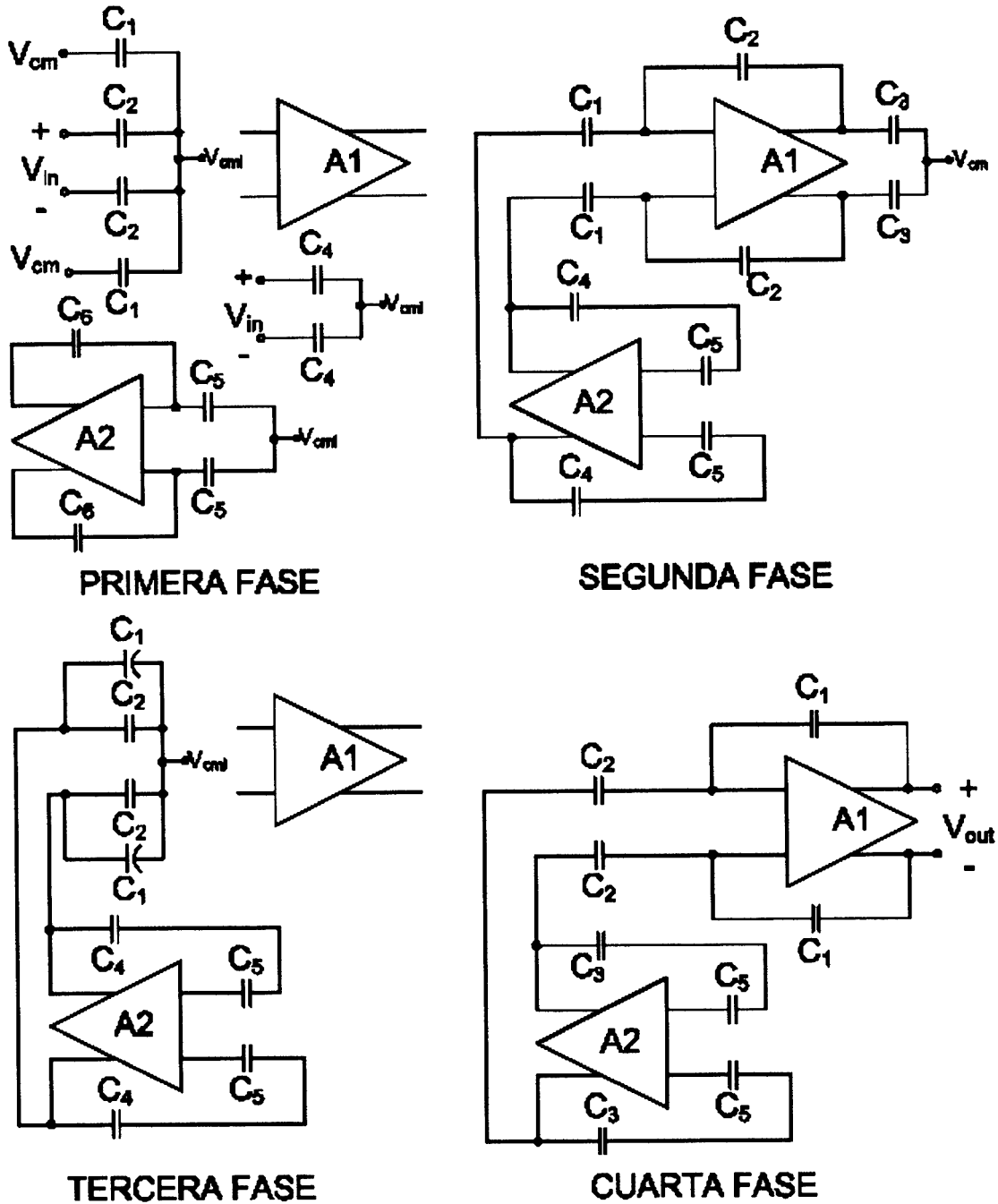


FIG. 4



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

① ES 2 257 943

② Nº de solicitud: 200402479

③ Fecha de presentación de la solicitud: 14.10.2004

④ Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TÉCNICA

⑤ Int. Cl.: **H03H 19/00** (2006.01)
H03F 1/02 (2006.01)

DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
A	US 6166595 A1 (MOLDSVAR et al.) 26.12.2000, todo el documento.	1-3
A	US 4365204 A1 (HAQUE) 21.12.1982, todo el documento.	1-3
A	US 4543534 A1 (TEMES et al.) 24.09.1985, todo el documento.	1-3

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe

10.07.2006

Examinador

J. Botella Maldonado

Página

1/1