

OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS  
  
ESPAÑA

① Número de publicación: **2 302 414**

② Número de solicitud: 200502657

⑤ Int. Cl.:  
**H03F 3/00** (2006.01)  
**H03H 19/00** (2006.01)

⑫

PATENTE DE INVENCION CON EXAMEN PREVIO

B2

⑫ Fecha de presentación: **21.10.2005**

⑬ Fecha de publicación de la solicitud: **01.07.2008**

Fecha de la concesión: **07.11.2008**

⑭ Fecha de anuncio de la concesión: **01.12.2008**

⑮ Fecha de publicación del folleto de la patente:  
**01.12.2008**

⑰ Titular/es: **Universidad de Sevilla  
OTRI-Pabellón de Brasil  
Paseo de las Delicias, s/n  
41012 Sevilla, ES**

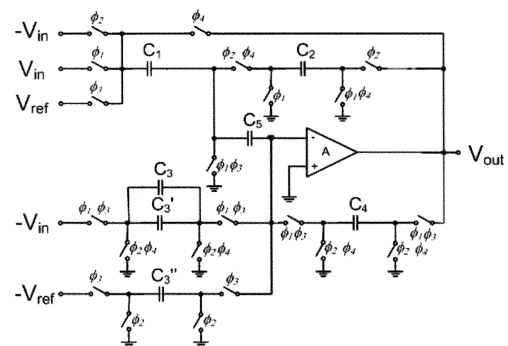
⑱ Inventor/es: **Torralba Silgado, Antonio Jesús;  
Muñoz Chavero, Fernando;  
González Carvajal, Ramón;  
El Gmli, Hakim;  
Palomo Vázquez, Bernardo y  
Gómez Galán, Juan Antonio**

⑳ Agente: **No consta**

⑳ Título: **Método para la realización de un amplificador de condensadores conmutados insensible a la relación entre las capacidades y al offset y ganancia de los amplificadores.**

㉑ Resumen:

Método para la realización de un amplificador de condensadores conmutados insensible a la relación entre las capacidades y al offset y ganancia de los amplificadores. La presente invención se refiere a un método para la realización de un amplificador de ganancia igual a dos que, utilizando técnicas de condensadores conmutados, es insensible a la relación entre las capacidades y al offset y ganancia DC de los amplificadores operacionales. La invención está relacionada con los circuitos de condensadores conmutados, muy utilizados en la implementación analógica de circuitos de procesamiento de señal. El método encuentra aplicación en diseño de amplificadores de condensadores conmutados. Este tipo de amplificadores utilizan amplificadores operacionales con realimentación negativa para conseguir ganancias proporcionales a la relación entre capacidades y son muy utilizados en el diseño de convertidores analógicos-digitales, especialmente los diseñados con una arquitectura en cascada que a partir de ahora denotaremos "pipelined".



ES 2 302 414 B2

Aviso: Se puede realizar consulta prevista por el art. 40.2.8 LP.

## DESCRIPCIÓN

Método para la realización de un amplificador de condensadores conmutados insensible a la relación entre las capacidades y al offset y ganancia de los amplificadores.

## Objeto de la invención

La presente invención se refiere a un método para la realización de un amplificador de ganancia igual a dos que, utilizando técnicas de condensadores conmutados, es insensible a la relación entre las capacidades y al offset y ganancia DC de los amplificadores operacionales.

La invención está relacionada con los circuitos de condensadores conmutados, muy utilizados en la implementación analógica de circuitos de procesamiento de señal. El método encuentra aplicación en el diseño de amplificadores de condensadores conmutados. Este tipo de amplificadores utilizan amplificadores operacionales con realimentación negativa para conseguir ganancias proporcionales a la relación entre capacidades y son muy utilizados en el diseño de convertidores analógico-digitales, especialmente los diseñados con una arquitectura en cascada que a partir de ahora denotaremos "*pipelined*".

## Antecedentes de la invención

La técnica de condensadores conmutados es muy utilizada para realizar circuitos analógicos de procesamiento de señal en tiempo. Estos circuitos de condensadores conmutados se componen de condensadores, interruptores y amplificadores operacionales o de transconductancia. El amplificador de residuo de ganancia igual a dos es uno de los bloques constructivos más populares realizables con técnicas de condensadores conmutados. El objetivo de este tipo de amplificadores es multiplicar por dos la diferencia entre dos tensiones (residuo). El funcionamiento de un amplificador de residuo puede resumirse en la siguiente fórmula:

$$V_{out} = 2 \cdot V_{in} - V_{ref} \quad (1.1)$$

Siendo  $V_{out}$  la tensión de salida,  $V_{in}$  la tensión de entrada y  $V_{ref}$  otra tensión de entrada que denotaremos como tensión de referencia. Se le denomina residuo la diferencia entre las tensiones:  $V_{in} - \frac{V_{ref}}{2}$ .

La implementación tradicional de un amplificador de residuo utiliza amplificadores operacionales en realimentación negativa de forma que la ganancia del circuito sea proporcional a la relación entre dos capacidades.

Principalmente, los amplificadores de residuo encuentran su aplicación en el diseño de convertidores analógico-digitales, especialmente con arquitectura *pipelined* (también en convertidores de aproximaciones sucesivas y *algoritmicos*), siendo la resolución alcanzable por el convertidor directamente relacionada a la precisión en el valor de la ganancia del amplificador de residuo. Las principales no idealidades que limitan la precisión en la ganancia de un amplificador de condensadores conmutados son las siguientes: en primer lugar una desviación en la relación entre las capacidades que definen la ganancia y en segundo lugar las no idealidades del amplificador operacional utilizado, principalmente el *offset* y la ganancia DC finita del mismo.

Para asegurar un valor de ganancia del amplificador de residuo lo más cercano posible al esperado, el tamaño de los condensadores cuya relación determina dicha ganancia debe ser suficientemente grande para asegurar un valor de ganancia lo más cercano posible al esperado. Este problema se ha convertido en el principal obstáculo para realizar circuitos de condensadores conmutados de muy bajo consumo y alta precisión, debido a que la potencia consumida por los circuitos de condensadores conmutados es directamente proporcional al tamaño de los condensadores. En los últimos años han aparecido numerosos amplificadores de condensadores conmutados que abordan estos problemas desde distintos enfoques. En primer lugar, cabe destacar las técnicas de auto calibración digital, en las cuales se compensa digitalmente el error (Shang-Yuan (Sean) Chuang, Terry L. Sculley; "A Digitally Self-Calibrating 14-bit 10MHz CMOS Pipelined ND Converter" IEEE Journal of Solid-State Circuits, Vol.137, N.6, Junio 2002). Estas técnicas han demostrado ser muy apropiadas para tecnología CMOS, sin embargo la lógica de control y las memorias necesarias para su aplicación implican un aumento importante en el consumo y área del circuito. En segundo lugar se pueden destacar las técnicas de promediado del error (Bang-Sup Song; Tompsett, M.F.; Lakshmikummar, K.R.; "A 12-bit 1-Msample capacitor error-averaging pipelined AID converter" IEEE Journal of Solid-State Circuits, Vol: 23, Iss: 6, Dec. 1988, Pages:1324-1333).

Este tipo de técnicas sólo alivia el problema, reduciendo la magnitud del error pero no eliminándolo. Por último, es posible realizar el amplificador de condensadores conmutados de forma que su ganancia sea independiente a la relación entre las capacidades ("A CMOS ratio-independent and gain-insensitive algorithmic analog-to-digital converter", Shu-Yuan Chin; Chung-Yu Wu; IEEE Journal of Solid-State Circuits, 1996). En esta última aproximación al problema podemos englobar la presente invención.

## ES 2 302 414 B2

Otra limitación importante de la precisión de un circuito de condensadores conmutados, es la tensión continua de desequilibrio a la entrada de los amplificadores operacionales (que a partir de ahora llamaremos “*offset*”), que introduce un error a la salida del amplificador de condensadores conmutados. Este problema obliga a utilizar costosas técnicas de cancelación del *offset*. En este sentido cabe citar las patentes estadounidenses 4393351 y 5880630.

5

Por último, el hecho de que la ganancia en bucle abierto del amplificador operacional no sea infinita produce una desviación en el valor esperado de la ganancia del amplificador de condensadores conmutados. Este problema obliga a utilizar técnicas de “gain boosting” en el diseño del amplificador operacional (“A 14-b 12-MS/s CMOS pipeline ADC with over 100-dB SFDR”, Yun Chiu; Gray, P.R.; Nikolic, B.; IEEE Journal of Solid-State Circuits, 2004) o técnicas especiales de muestreo doblemente correlacionado (“A 1.8-V 67-mW 10-bit 100MS/s Pipelined ADC Using Time-Shifted CDS Technique” J. Li y otros, IEEE JSSC, 2004). Ambas soluciones alivian el problema sin resolverlo completamente. Además aumentan considerablemente la complejidad del circuito y limitan su respuesta en frecuencia.

10

La presente invención propone un amplificador residuo cuya ganancia es igual a 2 independientemente de la relación entre capacidades y de la ganancia y *offset* de los amplificadores operacionales, permitiendo la utilización de condensadores de pequeño valor y arquitecturas muy sencillas del amplificador operacional. Esta simplificación de los bloques constructivos del circuito de condensadores conmutados produce una reducción considerable del consumo y mejora la respuesta dinámica.

15

### 20 Descripción de la invención

El método que la invención propone consiste en la utilización de cuatro fases de reloj y un amplificador operacional (o de transconductancia) para implementar un amplificador de residuo cuya ganancia sea insensible a la relación entre capacidades y las principales no idealidades del amplificador operacional.

25

En el presente apartado sólo se realizará un breve resumen del funcionamiento del circuito, que será ampliado posteriormente. La operación del circuito en las cuatro fases de reloj está dividida de la siguiente forma:

Fase 1: Se almacena una estimación del error debido a la ganancia y *offset* del amplificador operacional.

30

Fase 2: Se transfiere una carga igual a  $2C_1 V_{in}$  a el condensador  $C_2$ , utilizando el error almacenado en la fase anterior para compensar el error debido a la ganancia finita y el *offset* del amplificador.

Fase 3: Por un lado se realiza una nueva estimación del error debido a la ganancia y *offset* del amplificador operacional y por otro se almacena una carga igual a  $C_1 V_{ref}$  en el condensador  $C_1$ .

35

Fase 4: Se transfiere la carga  $2C_1 V_{in}$  del condensador  $C_2$  a  $C_1$ . Se utiliza el error almacenado en la fase anterior para conseguir una tensión de salida igual a  $2 \cdot V_{in} - V_{ref}$  independientemente de la relación entre capacidades y el *offset* y ganancia de los amplificadores operacionales.

40

La invención propuesta tiene la ventaja de permitir el uso de amplificadores operacionales con arquitecturas muy simples (de baja ganancia) y condensadores de muy pequeño valor. En consecuencia, se puede reducir de forma importante el consumo del circuito de condensadores conmutados y aumentar su velocidad.

### 45 Descripción de los dibujos

Para complementar la descripción que se está realizando y con objeto de ayudar a una mejor comprensión de las características del invento, de acuerdo con un ejemplo preferente de realización práctica del mismo, se acompaña como parte integrante de dicha descripción un juego de dibujos en donde, con carácter ilustrativo y no limitativo, se ha representado lo siguiente:

50

La figura 1.- muestra el esquema del circuito de condensadores conmutados compuesto por cuatro fases de reloj y un amplificador operacional que ilustra el método propuesto. Por simplicidad se ha representado sólo la versión que utiliza un amplificador operacional con terminación simple, siendo su funcionamiento equivalente al de su versión completamente diferencial.

55

La figura 2.- muestra un diagrama temporal de las cuatro fases de reloj.

La figura 3.- muestra, para una mejor comprensión del método propuesto en la figura 1, la configuración del circuito para las cuatro fases de reloj.

60

La figura 4.- muestra la posible aplicación de la invención en el diseño de un convertidor analógico digital con arquitectura pipelined.

La figura 5.- muestra un diagrama temporal de las fases de reloj necesarias para el circuito de la figura 4.

65

**Realización preferente de la invención**

En la figura 1 se muestra la realización preferente de la invención en un circuito de terminación simple. Todos los condensadores que aparecen en la arquitectura se asumen del mismo valor por simplicidad en el razonamiento, si bien, el funcionamiento correcto de la invención no exige que dichos valores sean idénticos. En el esquema se puede observar la existencia de cuatro fases de reloj no solapadas ( $\phi_1, \phi_2, \phi_3,$  y  $\phi_4$ ) utilizadas para gobernar la conmutación de los interruptores. En la figura 2 se muestra un diagrama temporal que ilustra la forma de onda de dichas fases de reloj.

Para una mejor comprensión de la invención, en la figura 3 se muestra la topología del circuito para cada una de las fases de reloj. A continuación se explicará detalladamente las operaciones realizadas en cada una de ellas.

En la primera fase se almacenará una estimación del error debido a la ganancia y el *offset* del amplificador operacional en el condensador  $C_5$ . Para ello se transfiere una carga de aproximadamente  $-(C_3 + C'_3) V_{in}$  en el condensador  $C_4$ , resultando una tensión de salida de aproximadamente  $V_{out} = 2V_{in}$ . Se puede comprobar, suponiendo todos los condensadores del mismo valor y perfectamente apareadas, que la tensión almacenada ( $V_{err1}$ ) en capacidad  $C_5$  al final de la primera fase vale:

$$V_{err1} = \frac{-2V_{in} + AV_{off}}{3 + A} \approx -\frac{2V_{in}}{A} + V_{off} \quad (1.2)$$

Donde, A es la ganancia DC del amplificador operacional y  $V_{off}$  la tensión de *offset* equivalente a su entrada (para realizar la aproximación de la ecuación 1.2 se ha supuesto un valor de A lo suficientemente grande, es decir,  $A \gg 3$ ).

Simultáneamente se introduce una carga de  $C_1 V_{in}$  en el condensador  $C_1$ .

Nótese que, aunque en una implementación completamente diferencial disponer de la señal de entrada y su negada simultáneamente no supone ningún problema, este problema puede solucionarse fácilmente. Se puede almacenar  $-C_1 V_{in}$  (en lugar de  $C_1 V_{in}$ ) en el condensador  $C_1$  siempre que se invierta la polaridad del mismo entre las fases primera y segunda.

En la segunda fase se sitúa el condensador  $C_5$  en serie con la entrada del amplificador operacional, forzando que la tensión en el nodo A sea igual a tierra. Debido a la carga de  $C_1$  que se produce durante esta fase se almacenará una carga en  $C_2$  de:

$$Q_{C_2}(\phi_2) = \frac{(2V_{in}A^2 + 10V_{in}A + 3V_{off}A + 6V_{in})C_2C_1}{C_2A^2 + 4C_2A + C_1A + 3C_2 + 3C_1} \approx C_1 \left( 2V_{in} + \frac{3V_{off}}{A} \right) \approx 2C_1V_{in} \quad (1.3)$$

Esta carga se mantendrá en el condensador  $C_2$  hasta la última fase del proceso.

En la tercera fase se almacena de nuevo una estimación del error producido por el amplificador operacional en el condensador  $C_5$ . Si consideramos todos los condensadores perfectamente apareadas se puede comprobar que la tensión del error almacenado en  $C_5$  es equivalente a:

$$V_{err3} = \frac{-2V_{in} + V_{ref} + V_{off}A}{A + 4} \approx -\frac{2V_{in} - V_{ref}}{A} + V_{off} \quad (1.4)$$

Nótese que se puede conseguir el mismo efecto almacenando previamente  $V_{in}$  en  $C_3$  y  $C_3'$  en la fase anterior y descargándolas completamente sobre el condensador  $C_4$ . De esta forma no sería necesario tener disponible la señal de entrada durante esta fase de reloj.

Paralelamente, en la fase 3, se transfiere la carga  $-V_{ref}C_1$  al condensador  $C_1$ .

En la fase 4 se transfiere toda la carga almacenada en  $C_2$  (es decir  $2V_{in}C_1$ ) al condensador  $C_1$ . El posible error debido a la ganancia y *offset* del amplificador operacional es compensado conectando  $C_5$  en serie con la entrada del amplificador, obteniéndose una tensión igual a cero en el nodo A. La carga final almacenada en  $C_1$  es aproximadamente igual a:

$$Q_{C_1}(\phi_4) \approx C_1(2V_{in} - V_{ref}) \quad (1.5)$$

## ES 2 302 414 B2

Por tanto, la tensión de salida será igual a:

$$V_{out}(\phi_4) \approx 2V_{in} - V_{ref} \quad (1.6)$$

Otra propiedad muy importante del amplificador de residuo presentado radica en que su ganancia es independiente de la relación entre dos capacidades. Esto se debe a que la señal de entrada ( $V_{in}$ ) y la de referencia ( $V_{ref}$ ) son muestreadas en la misma capacidad ( $C_1$ ), y además, esta misma capacidad es utilizada para transferir el resultado a la salida en la última fase de reloj.

La principal aplicación de los amplificadores de residuo la encontramos en el diseño de convertidores analógico digitales con arquitectura *pipelined*. Este tipo de convertidores consiste en una cascada de diferentes etapas, cada una de ellas compuesta por un convertidor analógico-digital de baja resolución, un convertidor digital-analógico de baja resolución y un amplificador de residuo.

En la figura 4 se muestra una posible utilización de la invención propuesta en el diseño de un convertidor analógico-digital con arquitectura *pipelined*. Dicha realización permite muestrear la señal de entrada una de cada tres fases de reloj en lugar de una de cada cuatro, incrementando así la velocidad de muestreo del convertidor.

Notar que para el correcto funcionamiento del amplificador de residuo de la figura 1 la señal de entrada debe estar disponible en las tres primeras fases de reloj, siendo por tanto necesaria la utilización de un circuito de muestreo y retención previo para cada una de las etapas. Por otro lado, en la última fase de reloj no se utiliza la señal de entrada. Esta característica hace posible, utilizando adecuadamente las fases de reloj, la implementación simultánea del circuito de muestreo y retención y del amplificador de residuo utilizando dos amplificadores operacionales como se explicará a continuación.

En la figura 4 se han duplicado todas la etapas de convertidor, dividiendo las diferentes etapas en etapas tipo A y tipo B (en función de las fases de reloj utilizadas. Ver figura 5). Dicha división se ha realizado con objeto de eliminar la necesidad del circuito de muestreo y retención a la entrada de cada etapa, ya que las etapas tipo B mantendrán el resultado el tiempo necesario para el correcto funcionamiento de las etapas tipos A y viceversa. De esta forma, debido a que la elección adecuada de las fases de reloj, sólo es necesario un circuito de muestreo y retención a la entrada del convertidor analógico digital. En la figura 5 se muestra el diagrama temporal de las diferentes fases de reloj utilizadas. La Etapa 1A necesita la señal de entrada estable en las fases 1a, 2a y 3a y se mantiene la señal de salida durante la fase 4a, que se corresponde con las fases 1b, 2b y 3b en que la etapa siguiente muestrea su entrada.

REIVINDICACIONES

5 1. Método para la implementación de un amplificador de condensadores conmutados cuya ganancia es independiente de la relación entre las capacidades y a la ganancia y offset del amplificador operacional utilizado. El método está **caracterizado** por la utilización de cuatro fases de reloj, de forma que el error debido a la ganancia finita y el offset del amplificador operacional es almacenado en las fases de reloj primera y tercera para su posterior cancelación. Además se utiliza un solo condensador para el muestrear dos veces la señal de entrada ( $V_{in}$ ) y una vez la señal de referencia ( $V_{ref}$ ). Posteriormente se transfiere la señal a la salida mediante esta misma capacidad, eliminando de esta forma cualquier dependencia de la ganancia del amplificador de residuo con la relación entre dos capacidades.

10 2. Amplificador de condensadores conmutados para la puesta en práctica del método de la reivindicación 1. Dicho circuito está compuesto por un amplificador operacional y varios condensadores. Uno de los condensadores se utiliza para almacenar el error debido a las no-idealidades del amplificador operacional. Dicho amplificador se ha representado, con carácter ilustrativo y no limitativo, sólo en su versión con terminación simple.

15 3. Método para utilizar la invención de la reivindicación 1 en el diseño de convertidores analógico digitales con arquitectura pipelined. Este método se muestra en las figuras 4 y 5, y permite eliminar la necesidad de un circuito de muestreo y retención y aumentar la frecuencia de muestreo del convertidor.

20

25

30

35

40

45

50

55

60

65

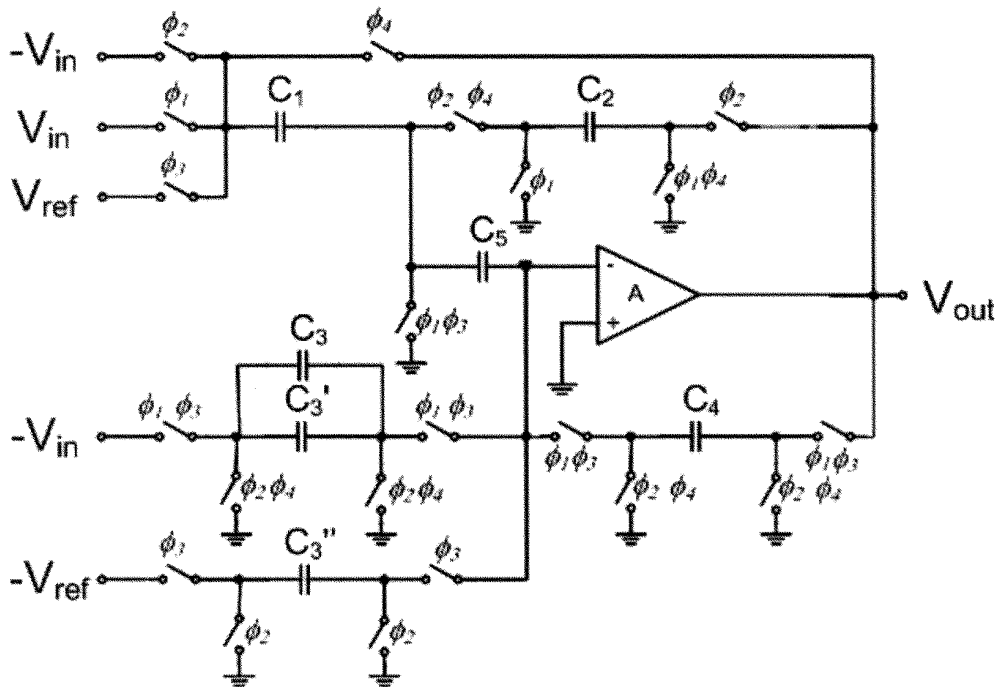


FIG. 1

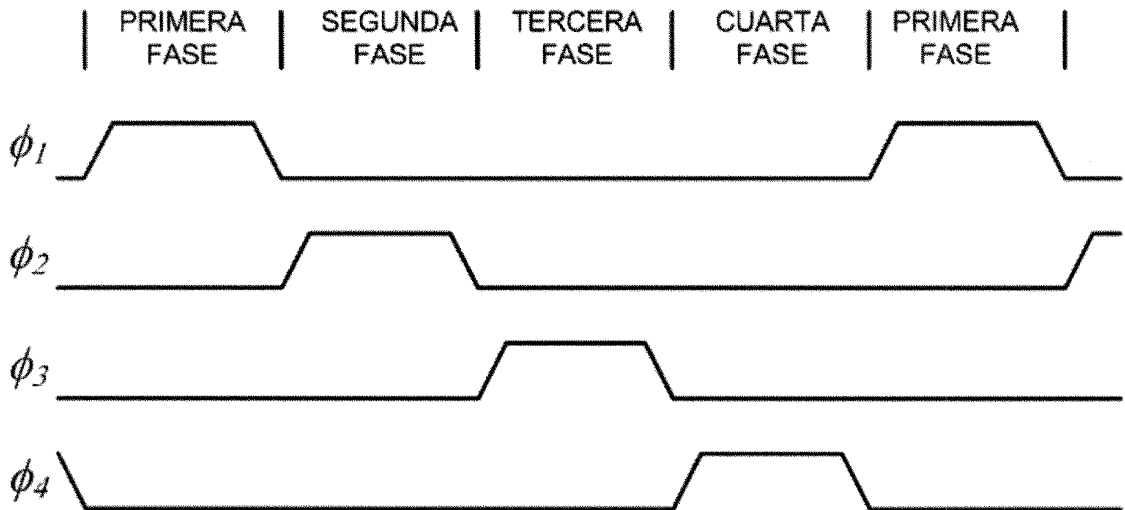


FIG. 2

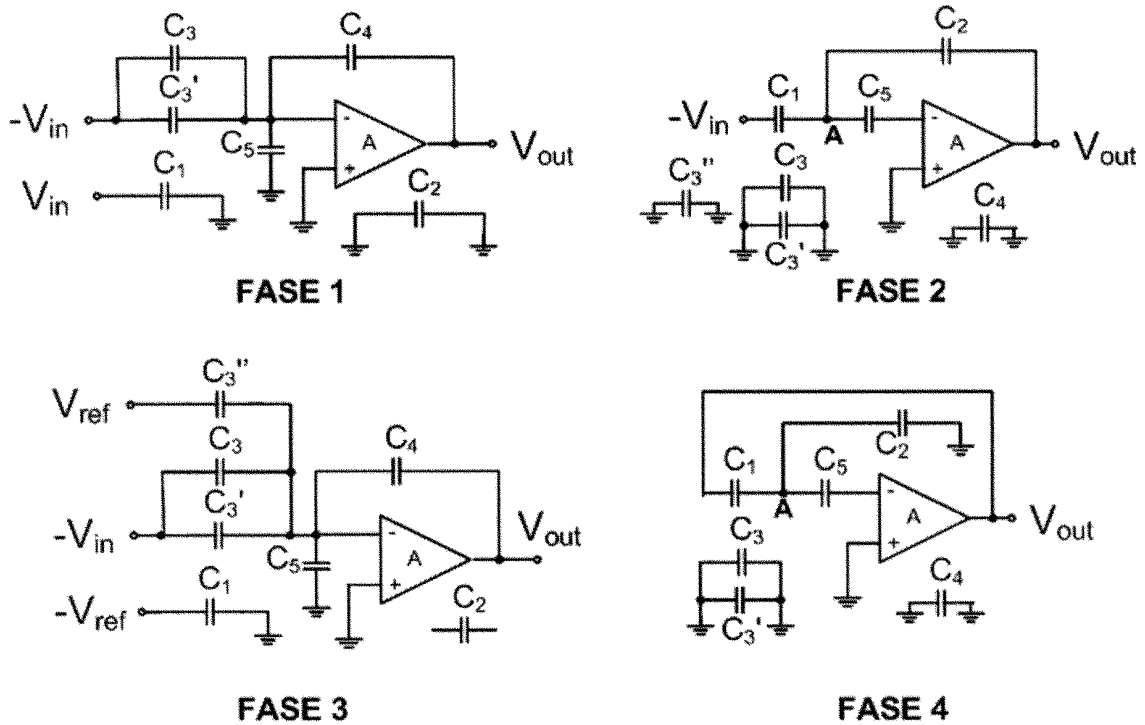


FIG. 3

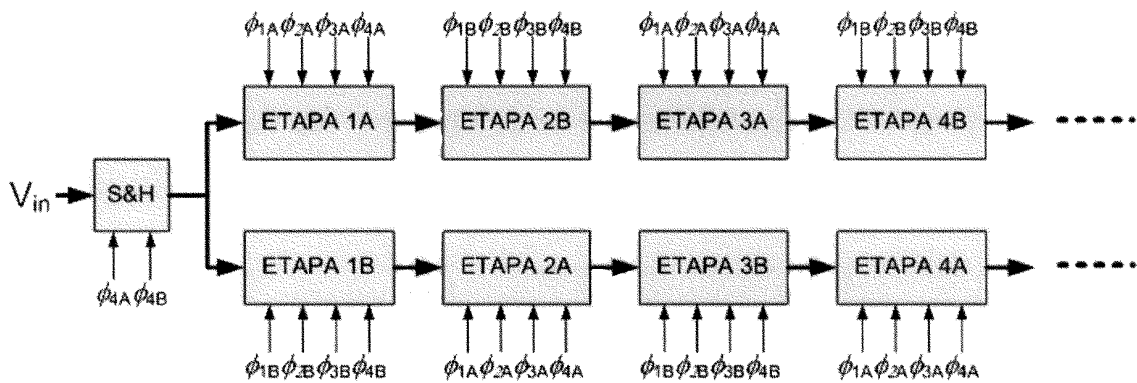


FIG. 4



ETAPAS A	PRIMERA FASE	SEGUNDA FASE	TERCERA FASE	CUARTA FASE			PRIMERA FASE	SEGUNDA FASE
ETAPAS B	CUARTA FASE			PRIMERA FASE	SEGUNDA FASE	TERCERA FASE	CUARTA FASE	

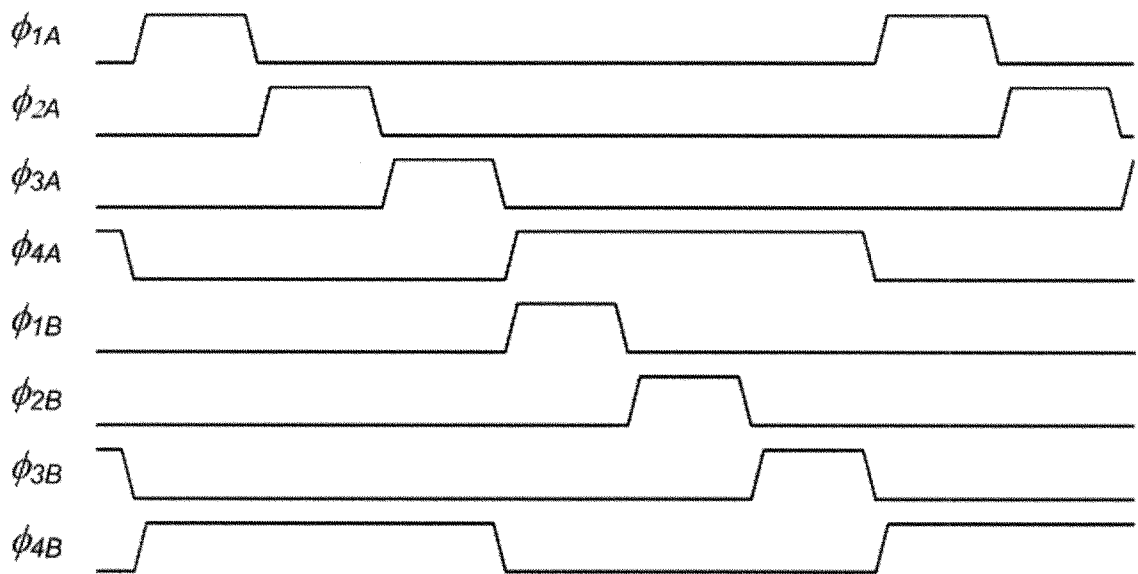


FIG. 5



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA

① ES 2 302 414

② Nº de solicitud: 200502657

③ Fecha de presentación de la solicitud: 21.10.2005

④ Fecha de prioridad:

## INFORME SOBRE EL ESTADO DE LA TÉCNICA

⑤ Int. Cl.: **H03F 3/00** (2006.01)  
**H03H 19/00** (2006.01)

### DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
A	US 2005140433 A1 (MALOBERTI et al.) 30.06.2005, todo el documento.	1-3
A	US 2003080893 A1 (SAKURAI) 01.05.2003, todo el documento.	1-3
A	US 5710563 A (VU et al.) 20.01.1998, todo el documento.	1-3

#### Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

#### El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe  
28.05.2008

Examinador  
J. Botella Maldonado

Página  
1/1