

Trabajo de Fin de Grado

Errores Transitorios de tipo SET (Single-Event Transient Errors) en tecnología CMOS debido a la Radiación Ionizante en Aplicaciones Aeroespaciales



Departamento de Electrónica y Electromagnetismo

Grado en Física

Universidad de Sevilla

Alumno: Sebastian Matuszak

Fecha: 4/9/22

Codirectores: Antonio José Ginés Arteaga y Valentín Gutiérrez Gil

Página intencionalmente en blanco

Página intencionalmente en blanco

Página intencionalmente en blanco

ÍNDICE DE CONTENIDOS: (50pp)

1	INTRODUCCIÓN	1
2	METODOLOGÍA Y ORGANIZACIÓN DE LA MEMORIA	2
3	ASPECTOS TEORICOS CLAVE	3
3.1	Entornos de radiación	3
3.2	Interaccion radiacion-materia	5
3.3	Linear Energy Transfer (LET).....	6
3.4	Arquetipo SEE: Single Event Transient	9
3.4.1	Modelo del SET para aplicación en simulación	11
4	CIRCUITO 1: CADENA DE 4 INVERSORES	15
4.1	Efectos del SET en la cadena: impacto en PMOS	16
4.2	Efectos del SET en la cadena: impacto en NMOS	19
4.3	Atenuación del SEE: filtros capacitivos.	19
4.4	Atenuación del SEE: aumento del tamaño de los mosfet	23
5	CIRCUITO 2: FLIP-FLOP TIPO D	26
5.1	Especificaciones del diseño flip-flop.....	31
5.2	Integridad del dato almacenado frente al set	33
5.2.1	Nivel alto del reloj. Almacenamiento en latch 1.	34
5.2.2	Nivel bajo del reloj. Almacenamiento en latch 2	38
6	CIRCUITO 3: FLIP-FLOP TIPO D BASADO EN EL LATCH DICE	38
6.1	Especificaciones del diseño flip-flop.....	42
6.2	Integridad del dato almacenado frente al set	43
6.2.1	Nivel alto del reloj. Almacenamiento en latch 1	44
6.2.2	Nivel bajo del reloj. Almacenamiento en latch 2	47
7	CONCLUSIONES	48
8	REFERENCIAS	50

1 INTRODUCCIÓN

Cuando un circuito electrónico opera en un entorno radiactivo sufre una serie de fenómenos que afectan a su rendimiento y su tiempo de vida útil. Dentro de estos efectos, cabe destacar por su naturaleza dinámica, los errores transitorios inducidos por el impacto de la radiación ionizante (protones, electrones, iones pesados, etc.), denominados en la bibliografía como single event effects o SEE [1], que son especialmente relevantes en aplicaciones aeroespaciales, así como la industria nuclear y la instrumentación médica (tomografía computerizada, etc.).

En este trabajo simularemos, a través de un modelo basado en una fuente de corriente controlada, la inyección de carga en las zonas activas de los dispositivos MOSFET y observaremos su efecto en una serie de circuitos basados en tecnología CMOS de 180nm. El objetivo será visualizar el efecto de los transitorios creados por la radiación, también denominados como single event transient, o SET, y como estos fenómenos de escasa duración son capaces de crear fallos en la operación de los dispositivos electrónicos. También plantearemos una serie de técnicas [1] capaces de mitigar su efecto sobre la operación del dispositivo, y estudiaremos los límites de su eficacia e inconvenientes que conlleva su implementación.

Como casos de estudios, nos centraremos fundamentalmente, por su relevancia, en circuitos digitales con lógica combinatorial, así como elementos de memoria (latches y flip-flops). En concreto en este trabajo se han diseñado y evaluado dentro de entorno Design FrameWork II de Cadence los siguientes sistemas:

- 1) Cadena de 4 inversores: el inversor es una pieza fundamental para la construcción de dispositivos combinatoriales, así como elementos de memoria, por lo que resulta conveniente estudiar el efecto de la radiación sobre él por separado. El estudio plantea la cadena inversora con el objetivo de observar también qué sucede con el error inducido por el SET a medida que propaga por las distintas etapas, y estudiar posibles contramedidas en su diseño.

- 2) Flip-flop tipo D no endurecido: el flip-flop tipo D será el primer dispositivo de memoria que analizaremos en este trabajo. Este flip-flop, basado en una arquitectura maestro-esclavo convencional [2], no estará protegido frente a la radiación por lo que se verá afectado por el impacto de partículas ionizantes, produciéndose una corrupción del dato almacenado. En nuestras simulaciones analizaremos este fenómeno, conocido como single event upset (SEU) [1]
- 3) Flip-flop tipo D resistente ante la radiación: planteáramos un diseño resistente denominado DICE, Dual Interlocked Storage Cell [3]. Este diseño se basa en la interconexión de 2 células de memoria, de forma que si falla una la otra es capaz de salvar el dato. En las simulaciones trataremos de inducir los mismos fallos ya vistos en el circuito 2.

2 METODOLOGÍA Y ORGANIZACIÓN DE LA MEMORIA

La metodología de este trabajo ha seguido tres fases diferenciadas. En una primera se realizó un estudio bibliográfico de los fenómenos de radiación en circuitos electrónico. Los conceptos fundamentales en este estudio se han recogido en la Sección 3. En una segunda fase, se estudiaron a nivel teórico y práctico, los circuitos básicos digitales, como puertas combinatoriales (inversores, buffers, NAND, NOR, AND y OR), así como, elementos de memoria basados en circuitos de tipo latch. Se realizaron distintos diseños en la tecnología CMOS de 180nm con 6 metales y un poli (RF/AMS 1.8V UMC 180nm), usando en todos los casos transistores de óxido fino, ya que aunque estos transistores presentan una mayor sensibilidad a errores de tipo transitorio (SET), son mucho más inmunes frente al efecto acumulativo de la radiación ("Total Ionization Dose", TID) [1]. Finalmente, en una última fase, nos centramos en el análisis y simulación de los efectos de radiación en los casos de estudio anteriormente introducidos. Los aspectos fundamentales y resultados de la fase 2 y 3, se resumen en las secciones 4, 5 y 6, respectivamente.

En concreto, en la sección 4 se analiza la cadena de inversores (Circuito 1). En los estudios de radiación, inicialmente vamos a considerar impactos con unos niveles

energéticos relativamente bajos, con el objetivo de observar el paso del transitorio a lo largo de las diversas etapas. Con ello se pretende demostrar la atenuación de su amplitud y duración en función de los parámetros de diseño. Posteriormente plantearemos impactos más energéticos observando el comportamiento diferenciado entre transistores PMOS y NMOS. Finalmente aplicaremos dos técnicas para mitigar el efecto del SET, 1) añadiendo condensadores en los nudos de la cadena, y 2) aumentando la capacidad de driving mediante la modificación de la anchura de los transistores [4].

Continuaremos en la sección 5 con el Circuito 2, introduciendo inicialmente los conceptos claves en todo elemento de memoria, para después describir el diseño del flip-flop tipo D convencional en una configuración maestro-esclavo. Se analizará el funcionamiento interno del dispositivo, así como de sus especificaciones para unas determinadas condiciones de operación. Finalmente estudiaremos el efecto del SET sobre el dispositivo teniendo en cuenta los compromisos de diseño estudiado.

Para concluir, en la sección 6 se plantea un diseño alternativo al circuito 2 endurecido frente a radiación (Circuito 3). Usaremos el biestable DICE latch, [3] que formará el flip-flop tipo D a través de la configuración maestro-esclavo. Después de dar la explicación del diseño DICE compararemos las especificaciones de este nuevo diseño con el anterior para las mismas condiciones de operación. Y finalmente estudiaremos su resistencia ante la radiación, planteando impactos en sus distintos componentes internos.

3 ASPECTOS TEÓRICOS CLAVE

En esta sección se introducen algunos aspectos teóricos claves para comprender los diseños y simulaciones realizados en este trabajo.

3.1 ENTORNOS DE RADIACIÓN

La fiabilidad de un dispositivo electrónico es una prioridad cuando el entorno en el que está operando es hostil y de difícil acceso, más aún, cuando su construcción implica grandes costes económicos. Este trabajo abarca la operación de dispositivos

de memoria en satélites y otros vehículos aeroespaciales, todos ellos rodeados de un entorno rico en radiación.

Nos centraremos en el efecto del SEE sobre dispositivos de memoria operando en el espacio exterior. Dicho entorno está caracterizado por intensos flujos isótropos de radiación los cuales comprenden energías desde el rango de los eV hasta los GeV . Este amplio espectro energético es debido a las diversas fuentes que lo originan [1]:

- Rayos cósmicos: Radiación del orden de los GeV externa al sistema solar.
- Radiación solar: El flujo de la radiación solar está dominado por el viento solar, el cual está compuesto por un flujo continuo de partículas ionizadas de baja energía que no son un gran problema para la electrónica ya que suele mitigarse con el encapsulado. Sin embargo, también se dan emisiones esporádicas de un alto flujo de partículas solares mucho más energéticas provenientes de las llamaradas solares y de las eyecciones de masa coronal (CME). Las partículas emitidas en tales eventos se denominan solar energetic particles (SEP) y suponen un desafío para el buen funcionamiento de los dispositivos. En general las SEP comprenden energías que van desde los MeV hasta los GeV .
- Cinturones de radiación: La tierra está rodeada por un campo magnético denominado magnetosfera que actúa como escudo protector ante la radiación. Dicho escudo consigue atenuar la energía de la radiación incidente sobre la tierra impidiendo que el flujo de partículas menos energéticas llegue a la superficie terrestre. Sin embargo, parte de la radiación de menor energía queda atrapada en unas regiones con forma de anillo, denominados cinturones de Van Allen, en dichas regiones el flujo de partículas se ve incrementado abarcando unas energías de 1-100 MeV , por lo que son regiones que deben ser evitadas.

La composición de estas 3 fuentes de radiación es muy parecida: 89% protones y electrones, 9% partículas alfa y 2 % iones pesados [1]. El flujo total presentará un amplio rango energético ya que las partículas que lo componen tendrán más o menos energía en función de la fuente, podemos observar en la Fig. 1 a) el espectro

de energías para los protones. Es conveniente apreciar que a medida que aumenta la energía de las partículas es más improbable que se produzca un impacto por una de ellas, aunque su efecto será presumiblemente más importante.

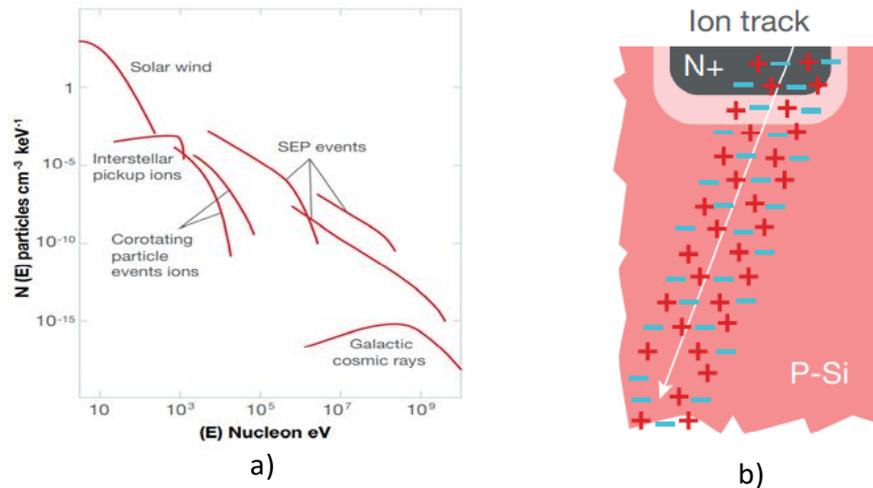


Fig. 1 a) Espectro de energía para los protones en función de su fuente. b) Ionización producida por un ion [1].

3.2 INTERACCIÓN RADIACIÓN-MATERIA

La radiación es el transporte de energía de una fuente material emisora a otros materiales receptores. El transporte se puede llevar a cabo a través de fotones, iones (electrones, protones y núcleos de elementos ionizados), neutrones y otras clases de partículas capaces de interactuar con el medio material.

En el contexto de este trabajo dedicado principalmente al SEE, solo será de interés considerar los portadores cuya transferencia de energía al material sea principalmente vía ionización, ya que la carga creada será la que afecte al rendimiento y fiabilidad de los dispositivos. En términos de la carga creada será de nuestro interés considerar únicamente el impacto de iones. Los iones interactúan con la materia de manera continua produciendo una gran cantidad de carga a lo largo de su paso, ver Fig. 1 b), en comparación a otras fuentes de radiación ionizante. Por este motivo la ionización por iones supondrá el factor dominante frente a otros tipos de radiación a la hora de producir un SEE.

Los iones transfieren su energía al medio a través de la interacción electromagnética, dicha transferencia viene modulada por el poder de frenado [5],

$$S(E, Q, \rho, Z, A) = 2\pi N_A r_e^2 m_e c^2 \rho \frac{Z Q^2}{A \beta^2} \left[\ln \left(\frac{2m_e c^2 \gamma^2 \beta^2 E}{I^2} \right) - 2\beta^2 \right] \quad (1)$$

r_e : radio clásico del electrón. m_e : masa del electrón. N_A : número de Avogadro. ρ : densidad del material. Z : n . atómico del material. A : peso atómico del material. Q : carga de la partícula. E : energía de la partícula. β : $\frac{v}{c}$ I : potencial de ionización del medio

Como podemos apreciar esta transferencia depende principalmente del material, que será silicio en nuestro caso, así como de la carga y energía de la partícula incidente, la cual tendrá dos componentes: energía en reposo y energía cinética. La fuerte dependencia energética implica que las partículas ligeras como los electrones no presenten una gran transferencia, esto es debido a que la energía presenta una componente en reposo la cual depende de la masa de la partícula, para los electrones tenemos $m_e = 511 \text{ keV}/c^2$, una cantidad insignificante si lo comparamos con la masa de los protones $m_p = 938.27 \text{ MeV}/c^2$. Por tanto, serán sobre todo los protones y partículas alfa junto a los iones pesados los principales causantes del SEE. Los primeros debido a su abundancia en la composición del flujo y los otros debido a su gran carga y masa.

3.3 LINEAR ENERGY TRANSFER (LET)

El linear energy transfer o LET es una componente del potencial de frenado [1]. Mientras el potencial de frenado tiene en cuenta todos los mecanismos posibles de transferencia de energía, el LET solamente tiene en cuenta la energía perdida vía ionización. Para los iones más pesados y energéticos el LET se aproxima mucho al potencial de frenado ya que predominara la transferencia de energía vía ionización.

El LET es una función no lineal y representa una medida directa de la cantidad de carga producida por unidad de longitud y energía, típicamente suele darse de dos formas: MeV/cm o normalizado con la densidad del medio, $\text{MeV} \cdot \text{cm}^2/\text{mg}$. Presenta una fuerte dependencia de la carga y energía de la partícula incidente, así como del material que se está ionizando. A mayor energía y carga, mayor será el LET.

El LET es una función que se mantiene a priori constante pero que presenta un máximo absoluto para energías más bajas llamado pico de Bragg. Este pico aparece porque a medida que el ion atraviesa el medio pierde energía cinética ionizándolo, y al moverse más lento tiene más tiempo para generar más carga a través de la interacción con la materia circundante. Podemos observar dicha morfología en función de la energía cinética restante en la Fig. 2 a).

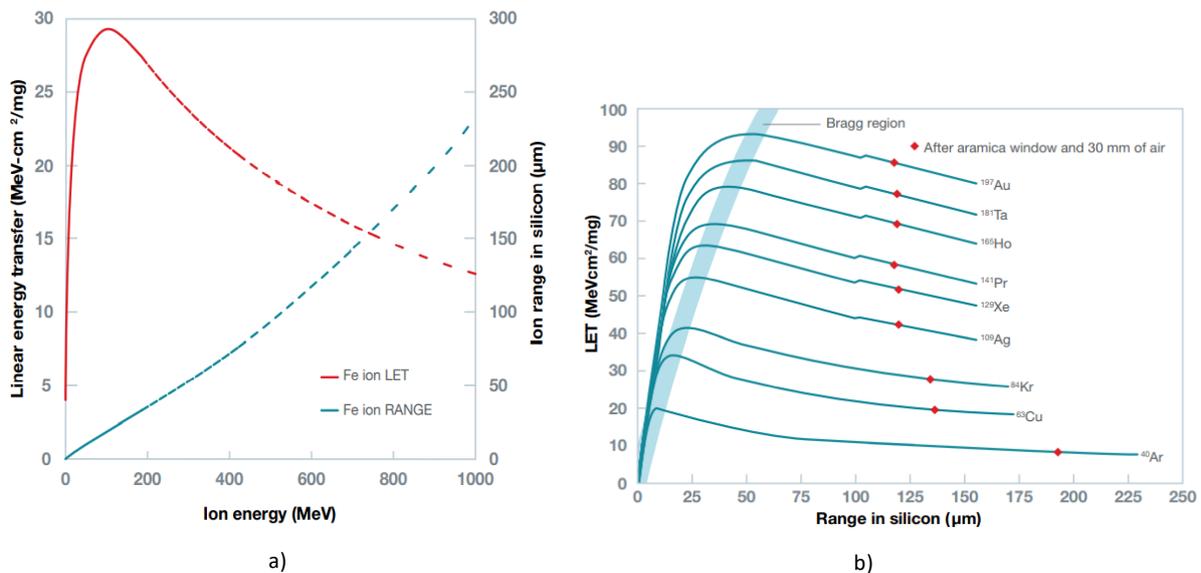


Fig. 2 a) LET para iones en función de la distancia recorrida, todos con E. cinética 15 MeV.
b) LET en función de la energía cinética restante [1].

Normalmente la mayoría de los sucesos se atenuarán en el encapsulado de nuestro dispositivo. Sin embargo, se pueden dar casos en los que la partícula tenga suficiente energía para atravesarlo, perdiendo parte de su energía en el proceso. La pérdida de la energía en el encapsulado podría incluso provocar que el impacto sobre el silicio suceda en la zona del pico de Bragg de la partícula, dicho evento podría provocar la destrucción del dispositivo si el impacto ocurre en una zona de unión entre dopados. Bajo estas circunstancias el encapsulado podría ser contraproducente, y es tema de estudio la selección de este mismo según las energías típicas del entorno [1].

En este trabajo vamos a considerar la llegada directa de la radiación a las zonas activas de los MOSFET, con la excepción del canal. Las zonas activas que vamos a

considerar están determinadas por la unión entre el drenador/fuente con el sustrato, estas zonas corresponden a una unión P-N con una zona de deplexión proyectada fundamentalmente hacia el sustrato debido al alto dopaje del drenador/fuente. En el modelo usado dichas zonas de deplexión, en consonancia con el nudo tecnológico de 180nm, presentan una profundidad de $0.24\mu m$ aproximadamente.

Para el cálculo de la carga generada vamos a considerar en primera aproximación que el LET del ion es constante. Si nos fijamos en la Fig. 2 b) podemos observar el comportamiento del LET para una serie de iones emitidos con la misma energía cinética hacia un circuito integrado sin encapsulado. Tal como se aprecia, el paso de $0.24\mu m$ no produce cambios perceptibles en el valor del LET si utilizamos la escala dada por la figura. Los valores que vamos a utilizar para el LET comprenden el rango de $1 - 110 MeV cm^2/mg$.

Los iones a lo largo de su paso a través del medio dejarán, como se aprecia en ver Fig. 3, un delgado filamento ($0.1\mu m$ de radio [6]) de pares electrón hueco, la carga que nos concierne es la localizada en la zona de deplexión, de $0.24\mu m$ de profundidad, que es la que puede ser recogida. La carga producida en las profundidades del sustrato se recombinará sin causar ningún problema en la mayoría de los casos.

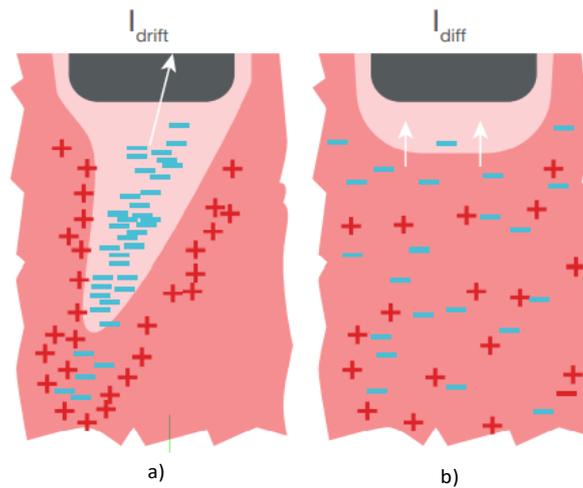


Fig. 3 a) zona de vaciamiento inducida debido a los huecos b) Recuperación de la zona de depleción original [1].

3.4 ARQUETIPO SEE: SINGLE EVENT TRANSIENT

En un dispositivo eléctrico el paso de un ion siempre dará lugar a un transitorio denominado en inglés single event transient o SET. El SET es el arquetipo de todo fenómeno llamado en inglés single event effect o SEE [1]. SEE es el nombre que damos a una serie de errores en electrónica causados por la radiación. Todos estos errores son inducidos por el SET, y pueden ser no destructivos o destructivos. El tipo de SEE inducido en el dispositivo dependerá del LET, trayectoria, energía, zona afectada del layout, polarización, etc.

- SEE no destructivo: Causa una corrupción del estado lógico en la salida del dispositivo cambiándolo, pero sin destruirlo. En dispositivos digitales que requieran de memoria tales errores pueden propagarse por todo el dispositivo causando el mal funcionamiento o directamente un reinicio del mismo. Como tal el sistema no es destruido, por eso mismo este tipo de SEE se le conoce como error leve.
- SEE destructivo: En esta clasificación se recogen los sucesos que causan la destrucción del dispositivo, pudiendo incluso destruir otros dispositivos conectados a él. Se les suele conocer por errores graves.

En la siguiente Fig. 4 se recogen todos los SEE conocidos [1], de todos ellos nosotros trabajaremos con el single event upset (SEU), concretamente con el single bit upset. A continuación, se definen los errores más destacados:

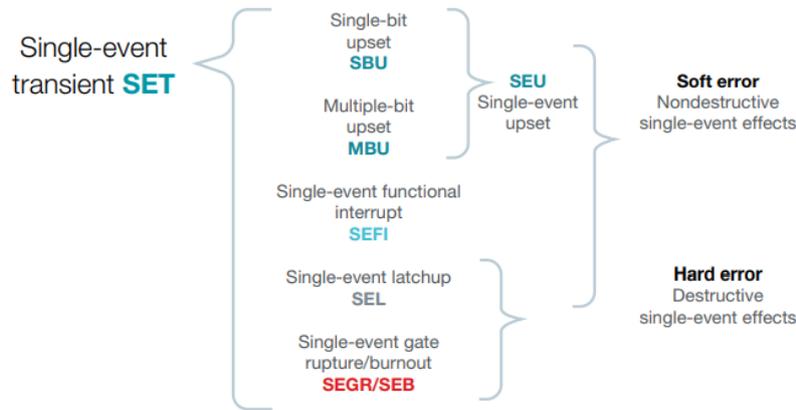


Fig. 4 Clasificación SEE [1].

- 1) SEU: Representa una corrupción de los datos almacenados debido al impacto de la radiación ionizante, la trayectoria del ion puede corromper un dato (SBU) o una serie de ellos (MBU).
- 2) SEFI: Puede ocurrir cuando se produce un SEU en un dispositivo que controla la operación de los dispositivos de memoria presentes en el sistema, como por ejemplo en un microprocesador. Si se da este SEE se producirá un SEU de manera generalizada en todo el sistema pudiendo fallar la gran mayoría de las celdas del bloque de memoria. Un bloque de memoria está compuesto por una serie de celdas capaces de almacenar un bit. La diferencia entre el MBU y el SEFI es que los bits corrompidos en el MBU involucran la trayectoria del ion mientras que en el SEFI la corrupción de las celdas es generalizada. Frecuentemente en el SEFI se corrompen más datos que en el MBU y las celdas corrompidas suelen formar patrones de bandas (filas o columnas de datos corrompidos dentro de la célula de memoria)
- 3) SEL: Se da cuando persiste un camino de baja impedancia entre la alimentación y tierra una vez transcurrido el SET original. Causa la pérdida de funcionalidad del transistor afectado, fallando así el circuito. En algunos casos

la baja impedancia puede inducir suficiente corriente para destruir el dispositivo. Si se produce este error la única forma de corregirlo es apagando la alimentación.

- 4) SEGR/SEB: Ambos suelen producirse en transistores de potencia, los cuales son responsables de la alimentación del circuito, y se dan cuando dichos transistores están en corte. El SEB es similar al SEL, sin embargo, al producirse en un transistor de potencia, la intensidad inducida es tal que quema el dispositivo. Esto se debe a que están sometidos a una alta tensión de drenador. El SEGR supone la destrucción del óxido de puerta debido a la acumulación de portadores en su interfase, dicha acumulación supone un incremento en el campo eléctrico del óxido el cual acaba agrietándolo. Los electrones producidos por el SET son absorbidos por el drenador, cargado positivamente, mientras que los huecos acaban acumulándose en la interfase del óxido de puerta, cargado negativamente.

3.4.1 Modelo del SET para aplicación en simulación

Consideraremos un modelo simplificado para el SET donde el ion impacta de manera perpendicular en el drenador/fuente. Tal como mencionamos en la sección anterior, el ion a lo largo de su trayectoria deja tras de sí un delgado filamento de pares e-h los cuales son arrastrados debido al campo eléctrico existente en la zona de deplexión. Dicha carga forma la componente de arrastre de la corriente y está caracterizada por su rápida recolección. El arrastre de los huecos hacia el sustrato induce la distorsión del potencial prolongando la zona de deplexión, como se mostró en la Fig. 3 a), la cual toma forma de embudo; dicha región se denomina zona de vaciamiento o funelling zone en inglés. Esta región de vaciamiento incrementa la eficiencia de la componente de difusión de la corriente, la cual aporta carga de manera mucho más prolongada a medida que se recupera la forma original de la zona de deplexión, Fig. 3 b) [1].

El resultado final es una función intensidad con una brusca subida y luego una gradual disminución bastante más lenta. Para modelar el SET de manera

consistente con la descripción anterior utilizaremos una fuente de intensidad modulada con una doble exponencial [7] dada por la siguiente ecuación,

$$I(t) = \frac{Q_{coll}}{\tau_{fall} - \tau_{rise}} \left(e^{-t/\tau_{fall}} - e^{-t/\tau_{rise}} \right) \quad (2)$$

La intensidad que se inyectará en un momento dado de la operación presentará una rápida subida con un tiempo característico $\tau_{rise} = 10ps$, para simular la componente de arrastre de la intensidad. Para luego finalmente disminuir de manera gradual con un tiempo característico $\tau_{fall} = 100ps$, representando así la carga recogida por difusión. Podemos observar la forma de dicha función en la Fig. 5.

La intensidad máxima inducida estará dada por el cociente de la diferencia de potencial existente entre el drenador del MOSFET y el sustrato, y la resistencia que presenta la región de la columna de e-h. La diferencia de potencial en la zona es $1.8V + 0.7V$, provenientes de la tensión del drenador V_{bias} , y de la tensión de contacto de la unión P-N, V_{bi} . Cualquier SET independientemente de la intensidad aportada únicamente podrá producir una subida de tensión aproximadamente de $1.8V + 0.7V = 2.5V$ [6].

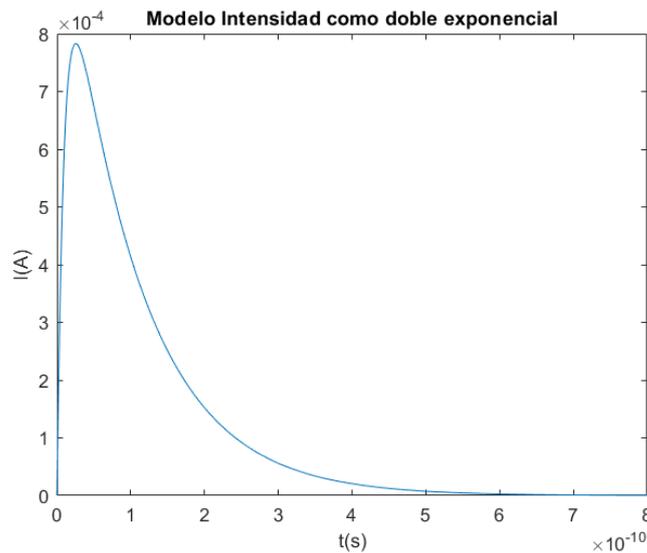


Fig. 5 Modelo de SET.

La carga recogida, $Q_{coll} = \frac{LET \rho \Delta x}{3.6} q$ [7], dependerá de la profundidad eficaz, Δx , densidad del silicio, ρ , de la LET y de la energía necesaria para producir un par e-h (3.6 eV en el silicio). La profundidad eficaz, suma de la zona de vaciamiento y la zona de depleción, Δx , vendrá dada por $\Delta x = \left(1 + \frac{\mu_n}{\mu_p}\right) x_p$, para los dispositivos NMOS y $\Delta x = \left(1 + \frac{\mu_p}{\mu_n}\right) x_n$, para los PMOS. Podemos apreciar que la profundidad de la zona de vaciamiento es un múltiplo de la de depleción, la cual dependerá de la relación entre las movilidades de los portadores, siendo μ_n la de los electrones y μ_p la de los huecos. La profundidad de la zona de depleción vendrá dada por $x_p \approx \sqrt{\frac{2\epsilon_s}{q} \frac{1}{N_a} (V_{bi} + V_{bias})}$ y $x_n \approx \sqrt{\frac{2\epsilon_s}{q} \frac{1}{N_d} (V_{bi} + V_{bias})}$, donde se ha nombrado como la profundidad en el PMOS como x_n , ya que dicha zona se extiende dentro del sustrato N y x_p para el NMOS.

La aproximación usada es bastante buena ya que las relaciones originales, por ejemplo, $x_n = \sqrt{\frac{2\epsilon_s}{q} \frac{1}{N_d + N_a} \frac{N_a}{N_d} (V_{bi} + V_{bias})}$, dependerán del dopado del drenador/fuente y del sustrato, y dado que el dopaje del drenador/fuente N_d es mucho mayor, podemos despreciar el del sustrato N_a contenido en el sumando. Por este mismo motivo la zona de depleción se proyectará hacia el sustrato, siendo la contribución de la profundidad en el drenador/fuente despreciable frente a la profundidad total.

En este modelo, únicamente los valores de la carga del electrón q y de la permitividad del silicio ϵ_s son conocidos. Para obtener el resto debemos hacer uso de la tabla de parámetros del modelo BSIM3v3 o consultarlos dentro de Cadence imprimiéndolos desde los propios dispositivos NMOS y PMOS. Para imprimirlo desde Cadence debemos usar la tabla de parámetros para identificar primero el nombre de la propiedad, posteriormente en la vista maestro seleccionaremos en la pestaña de *Results* la opción de *Print Model parameters* y finalmente pincharemos en el NMOS o PMOS con el cual vamos a trabajar. Para los datos usados hemos obtenido los siguientes valores: $x_{n,p} \approx 0.24\mu m$, $\Delta x \approx 0.31\mu m$ en los PMOS y $\Delta x \approx 1\mu m$ en los NMOS. De acuerdo con este modelo en la Fig. 6 podemos apreciar que la carga depositada es diferente para los PMOS y NMOS. Este comportamiento

diferenciado se debe a la relación entre las movilidades de los portadores de forma que los impactos en los NMOS producirán mucha más carga acentuando así el efecto SET dentro del dispositivo.

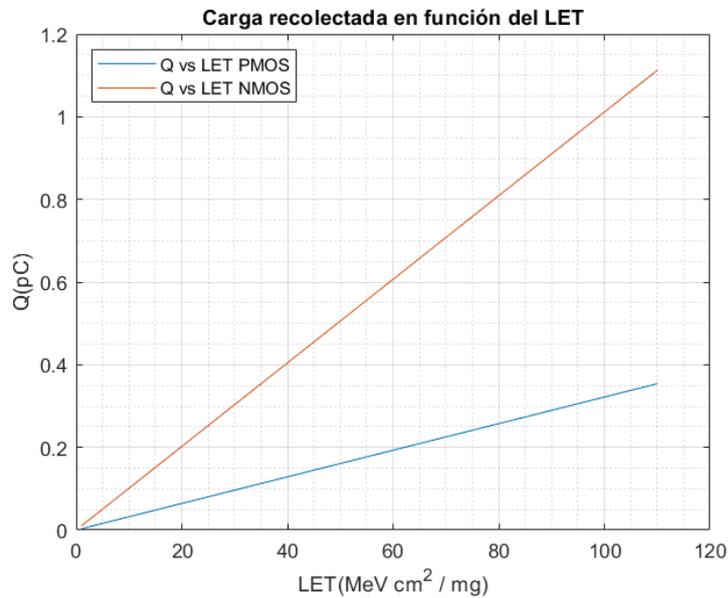


Fig. 6 Carga recogida en función del LET tras producirse un impacto en el drenador de un PMOS y un NMOS.

Una pieza fundamental de nuestro trabajo será el estudio del inversor. Como veremos, si inducimos un SET en dicho dispositivo aumentando gradualmente el LET observaremos un incremento de duración y tensión del transitorio que se justifica por el aumento de la carga colectada. Dado que el límite de tensión es fijo, independientemente del LET, y únicamente nos concierne los valores que permitan distinguir entre 0 y 1, solamente caracterizaremos la duración que toma el bit cambiado al sufrir el impacto de un ion.

La dependencia entre duración de evento de radiación, carga colectada y LET queda claramente ilustrada en la Fig. 7. En esta figura se muestra la duración del SET en función del LET, así como su ajuste a un modelo exponencial, considerando una cadena de inversores, los detalles de la cuales se mostrarán en la siguiente sección. Hay que destacar que la duración y amplitud del pulso es una característica de vital importancia para entender todo SET en circuitos electrónicos, ya sean combinacionales o dispositivos más complejos. De hecho, si este evento tiene la

tensión suficiente para cambiar el estado lógico, su duración será la que determine cuanto podrá propagarse a lo largo de las etapas de un dispositivo o sistema, así como determinará su capacidad para ser captado por un circuito con memoria secuencial. Es importante notar que a lo largo de cada elemento de una cadena, no solo disminuye su duración por efecto de filtrado, sino que también su tensión llegando el momento en el que sea incapaz de cambiar el estado lógico del dispositivo.

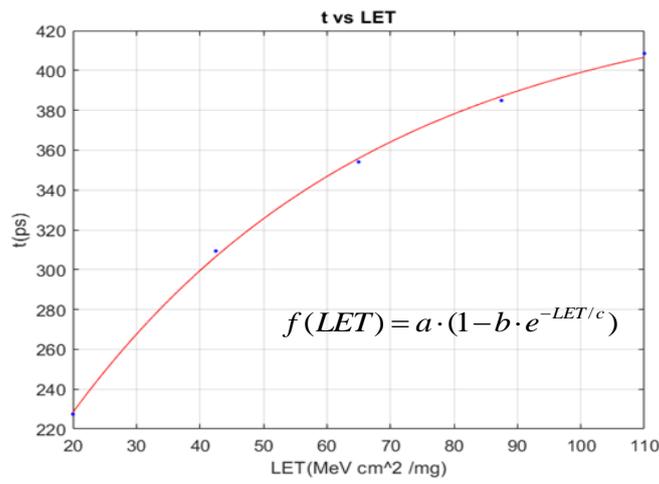


Fig. 7 Duración del estado lógico cambiado en función del LET. Los puntos azules corresponden a LETs 20, 42.5, 65, 87.5 110.

4 CIRCUITO 1: CADENA DE 4 INVERSORES

El primer circuito que vamos a considerar para nuestro análisis de los efectos del SET está formado, como hemos introducido previamente, por una cadena de 4 inversores CMOS conectados en serie, ver Fig. 8.

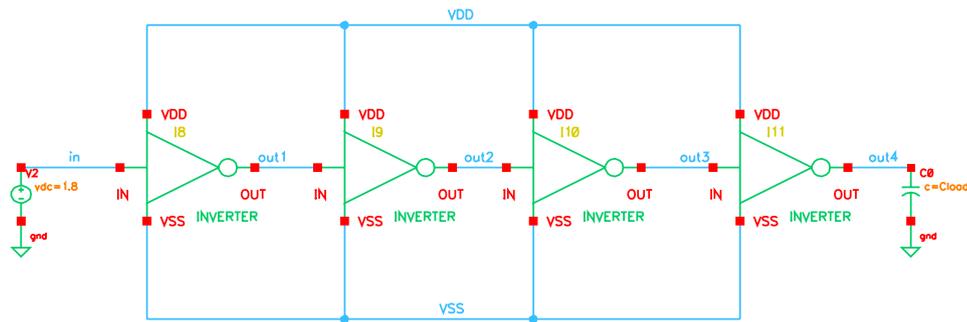


Fig. 8 Cadena de 4 inversores.

Cada inversor, como su propio nombre indica, cambia el estado lógico de la señal a medida que pasa por las diferentes etapas, de forma que al final el dato en la salida sea el de la entrada para una cadena con un número par de elementos. El estado alto vendrá dado por el valor de la alimentación $VDD = 1.8V$ y el estado bajo por $VSS = 0V$ —en todos los circuitos que simulemos se mantendrán los valores anteriores. Nuestros inversores distinguen un estado alto de uno bajo a partir de una tensión umbral de 880mV.

4.1 EFECTOS DEL SET EN LA CADENA: IMPACTO EN PMOS

A continuación, vamos a estudiar la operación del dispositivo tras aplicar un SET simulado con una fuente de intensidad tipo exponencial, en la Fig. 9 podemos apreciar dicha fuente en la salida del primer inversor. En principio el sucesivo paso del upset a lo largo de las distintas etapas minimiza su amplitud y duración, y por tanto su capacidad de propagación y habilidad para cambiar el estado lógico de las etapas posteriores. Esto se debe a las capacitancias parásitas aportadas por los dispositivos CMOS y principalmente a la capacitancia que hay entre la puerta y el sustrato. Cabe destacar además que las capacitancias inducirán un retardo en la aparición del SET en las etapas posteriores. En nuestro dispositivo la reducción de la amplitud del SET es notablemente visible para impactos de bajo LET ($1 - 10 MeV cm^2/mg$). Es también importante señalar, que si el suceso ocurre en una etapa intermedia, este se podrá propagar también hacia etapas anteriores, pero dicho transitorio tendrá amplitud y duración suficientemente pequeñas como para confundirlas con ruido. Por lo que únicamente consideraremos el impacto en el

PMOS del primer inversor ya que de esta forma podremos apreciar con mayor claridad cómo se propaga el SET. Cuando vayamos a analizar los impactos en los dispositivos de memoria recordaremos ciertos puntos clave discutidos en esta sección con el fin de seleccionar los componentes vulnerables.

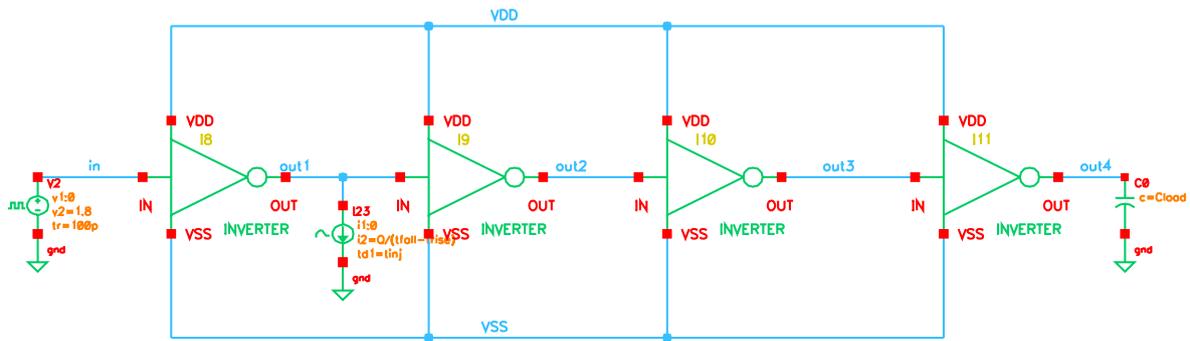


Fig. 9 Cadena de inversores con un SET inducido en la primera etapa.

En la Fig. 10 podemos apreciar un SET asociado a un $LET = 3 \text{ MeV cm}^2/\text{mg}$. Dicho LET no posee la amplitud umbral suficiente como para cambiar el valor lógico del inversor, pero si posee la duración suficiente para propagarse hasta el final de la cadena. A este tipo de transitorios de corta duración los llamaremos glitch. El glitch es un transitorio indeseado que suele aparecer en electrónica digital, también de manera natural por diversos motivos como: memorias conmutando, ruido, etc. En general pueden llegar a tener una amplitud que supera el umbral del inversor, pero debido a su corta duración no podemos considerarlo un upset ya que se filtrará mientras viaja por las distintas etapas del dispositivo. En nuestro caso de estudio pasamos de tener un aumento de 220mV en la primera etapa, a tener 20mV en la segunda, 1.2mV en la tercera y 0.2mV en la última.

Si consideramos ahora un suceso altamente energético, $LET = 110 \text{ MeV cm}^2/\text{mg}$, podemos observar en la Fig. 11 un cambio temporal en los valores lógicos del dispositivo.

Errores Transitorios de tipo SET en tecnología CMOS debido a la Radiación Ionizante en Aplicaciones Aeroespaciales

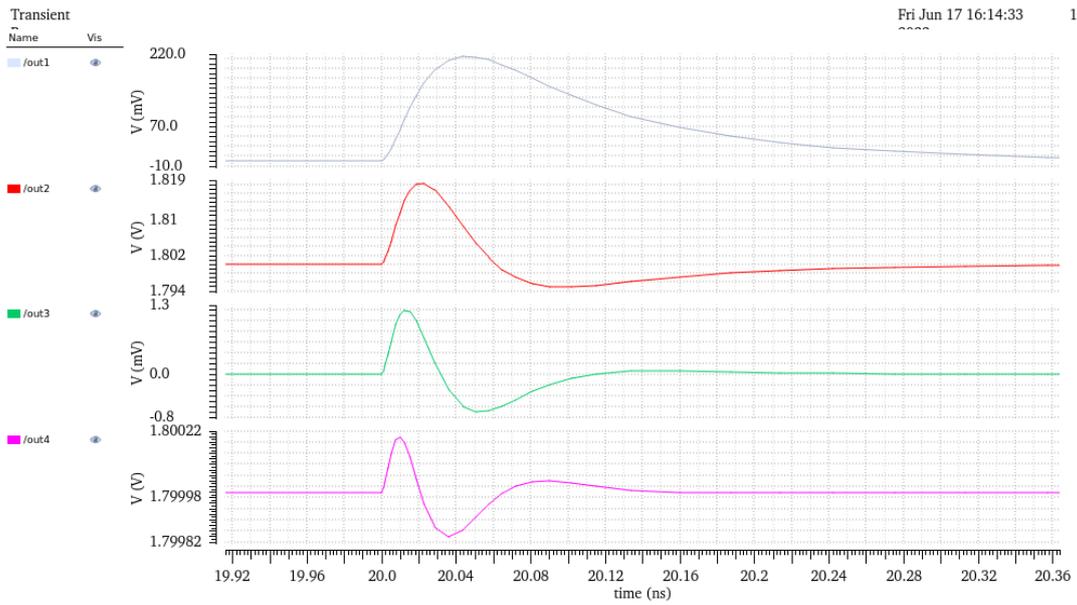


Fig. 10 Salidas de las respectivas etapas tras producirse el impacto de un ion de LET = $3 \text{ MeV cm}^2/\text{mg}$ en el PMOS.

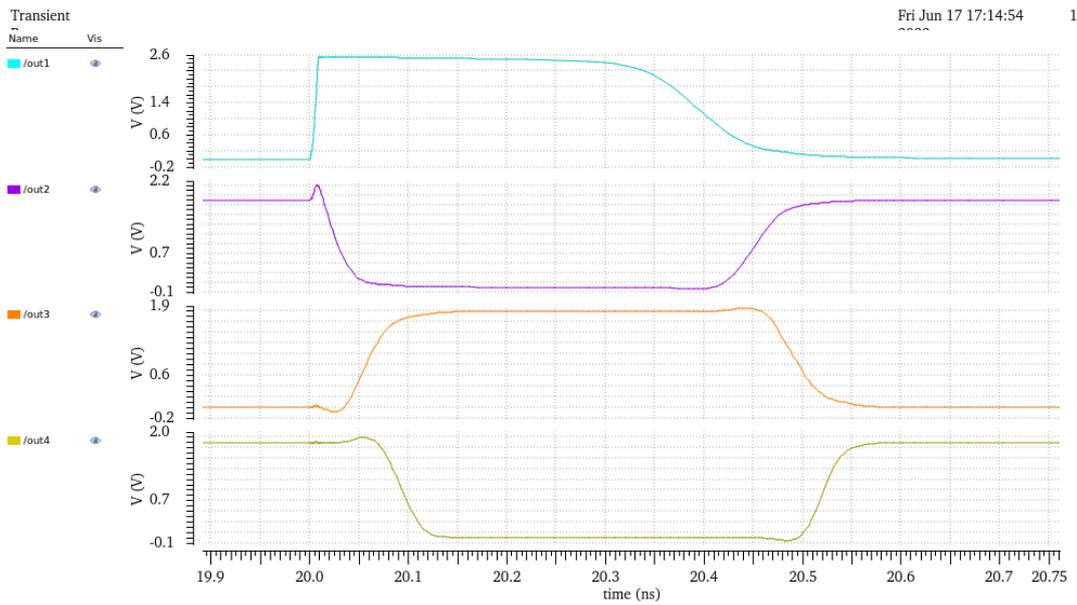


Fig. 11 Salidas de las respectivas etapas tras producirse el impacto de LET = $110 \text{ MeV cm}^2/\text{mg}$ en el PMOS.

4.2 EFECTOS DEL SET EN LA CADENA: IMPACTO EN NMOS

Tal y como vimos en la sección 3.4.1 (Fig. 6), la carga recogida en un NMOS es mucho mayor que en el PMOS debido a la relación entre las movilidades de los portadores. De hecho, con un $LET = 35 \text{ MeV cm}^2/\text{mg}$ sobre el NMOS conseguimos generar aproximadamente la misma carga que con el $LET = 110 \text{ MeV cm}^2/\text{mg}$ en el PMOS. En general el impacto en el NMOS será más susceptible a generar un upset incluso aunque el LET aplicado pueda parecer bajo, ya que sucesos menos energéticos son mucho más probables (como se ilustró en Fig. 1 a). Teniendo en cuenta esta salvedad, los resultados obtenidos para PMOS y NMOS serán completamente análogos tal y como se aprecia en la Fig. 12.

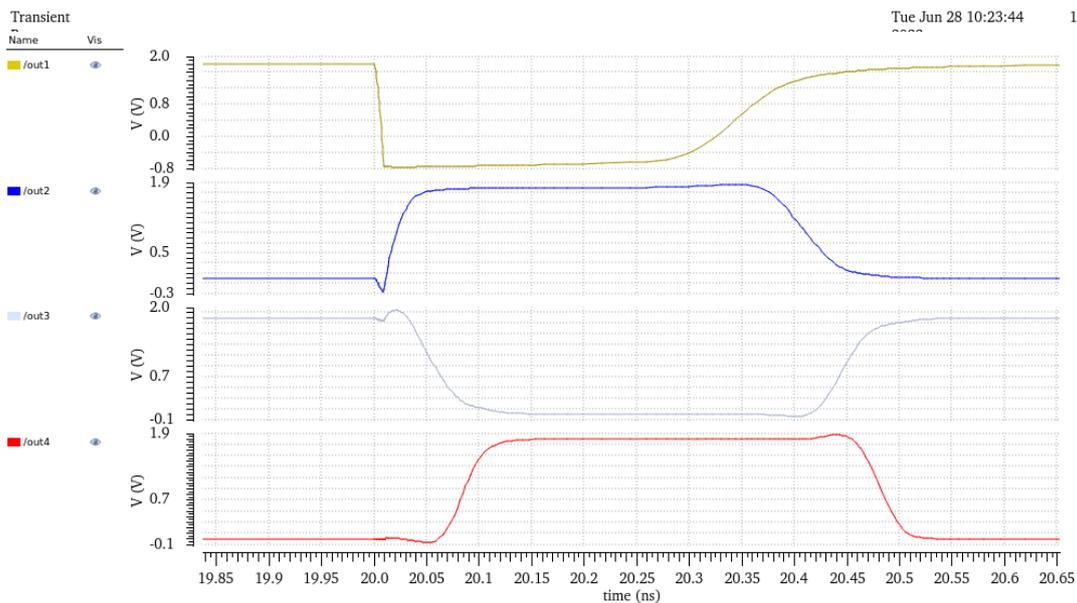


Fig. 12 Salidas de las respectivas etapas tras producirse el impacto de un ion de $LET = 35 \text{ MeV cm}^2/\text{mg}$ en el NMOS.

4.3 ATENUACIÓN DEL SEE: FILTROS CAPACITIVOS.

Esta técnica de mitigación del SEE [8] consiste en introducir condensadores de filtrado en los nudos de salida de las distintas etapas (Fig. 13), con el objetivo de amortiguar la brusca subida de tensión generada por el impacto del ion y a su vez reducir la amplitud máxima que este puede alcanzar. De esta forma conseguimos aumentar la carga crítica necesaria para producir un upset.

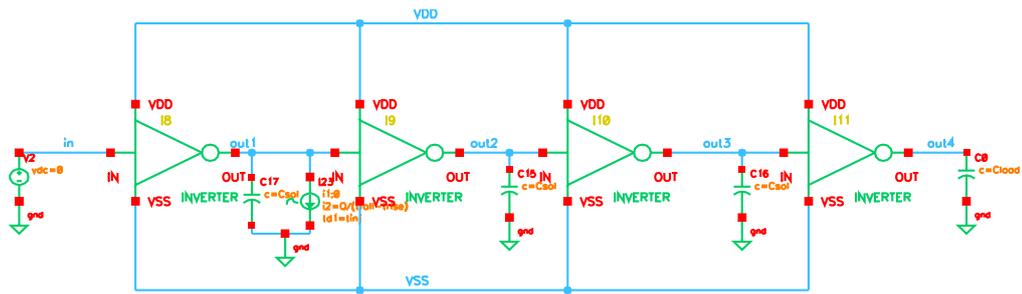


Fig. 13 Cadena inversora con condensadores de filtrado.

Consideremos ahora el impacto de un $LET = 35 \text{ MeV cm}^2/\text{mg}$ en el NMOS del inversor de entrada tras añadir unos condensadores de 0.5 pF , ver Fig. 14. Esta vez la respuesta que obtenemos en la etapa afectada es un transitorio con una amplitud reducida —concretamente no llega a la tensión umbral necesaria para cambiar el estado lógico. La disminución de la tensión no es tan brusca y se prolonga mucho más en el tiempo si lo comparamos con el impacto visto en la Fig. 12.

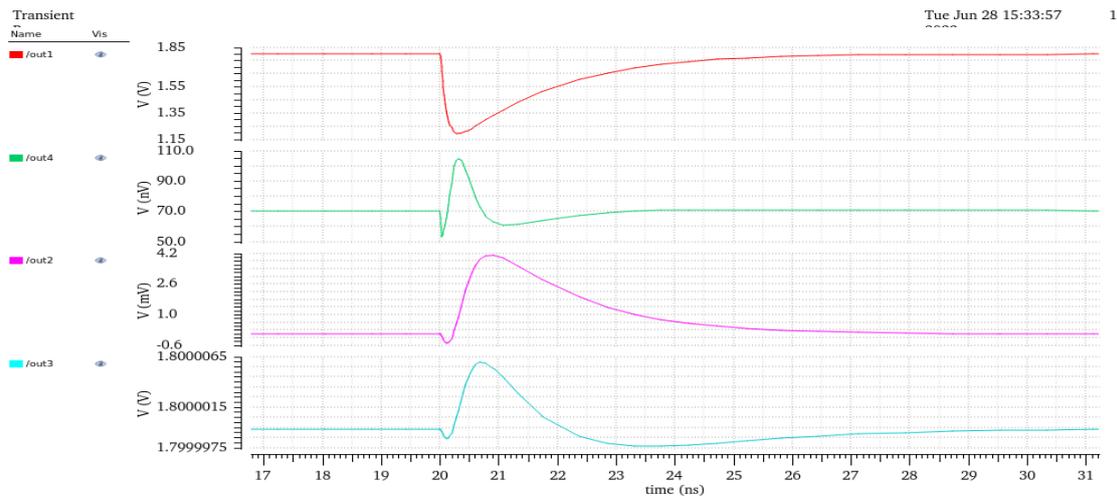


Fig. 14 Impacto de un ion de $LET = 35 \text{ MeV cm}^2/\text{mg}$ en el NMOS tras aplicar condensadores en las salidas.

Esta técnica presenta el inconveniente de aumentar la duración del transitorio original. Ya vimos que los capacitores disminuyen la amplitud máxima del transitorio propagado, sin embargo, si el impacto producido tiene un LET considerable, por ejemplo $LET = 100 \text{ MeV cm}^2/\text{mg}$, nuestra técnica resultará contraproducente a la hora de mitigar el efecto del SET ya que favorecerá la aparición de datos corrompidos con una duración adicional.

En la Fig. 15 y Fig. 16 podemos apreciar la respuesta frente a dicho suceso sin considerar el filtro de condensadores y considerándolo. La duración del upset sin condensadores es de $467.67ps$ mientras que con ellos es de $2.52ns$, lo que supone un aumento de un factor 5 aproximadamente.

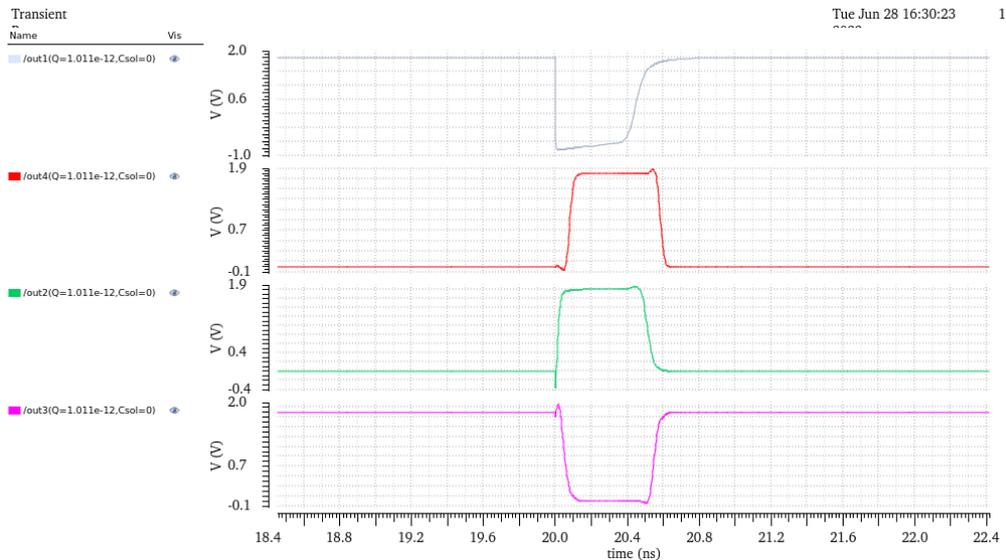


Fig. 15 Impacto de $LET = 100 \text{ MeV cm}^2 / \text{mg}$ en NMOS. Cadena sin condensadores.

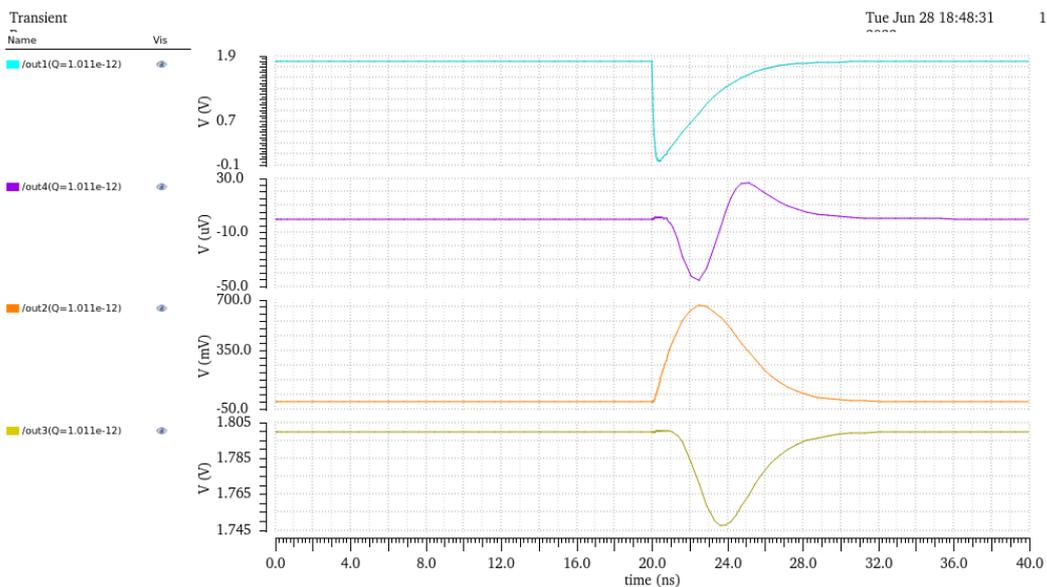


Fig. 16 Impacto de $LET = 100 \text{ MeV cm}^2 / \text{mg}$ en NMOS. Cadena con condensadores.

En general la adición de los condensadores en los nudos afecta negativamente a la velocidad del dispositivo. En la Fig. 17 se muestra la operación de la cadena a

100MHz sin los capacitores de filtrado. Podemos apreciar que el sistema responde sin problemas a la entrada pudiendo operar incluso a mayores frecuencias.

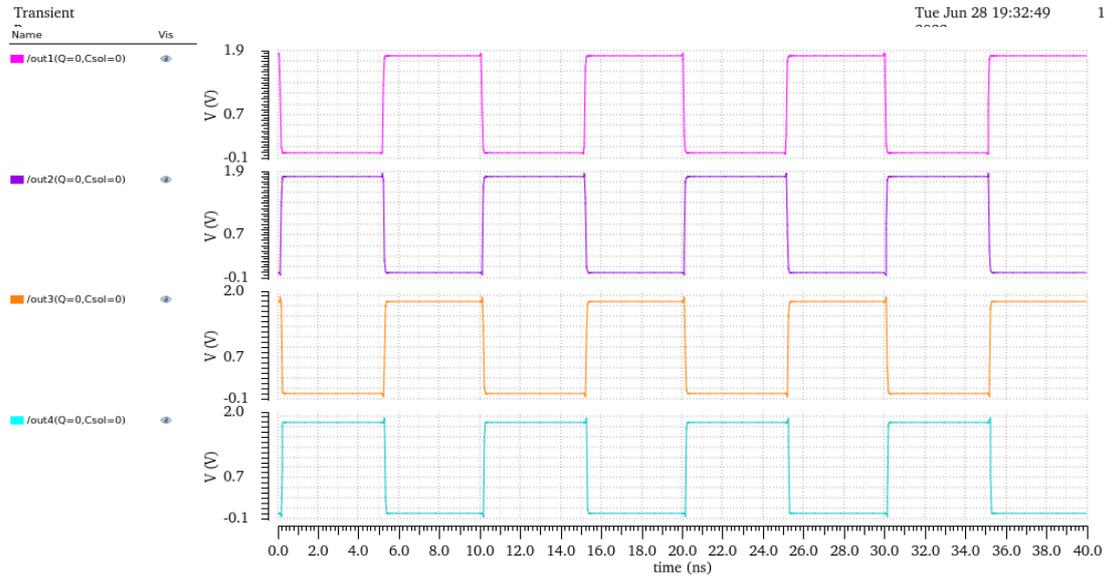


Fig. 17 Operación de la cadena a 100MHz.

En la Fig. 18 simulamos la misma entrada sin embargo esta vez añadiendo los condensadores de $0.5pF$. Podemos apreciar como el dispositivo es incapaz de operar a dicha frecuencia debido a la incorporación de los filtros.

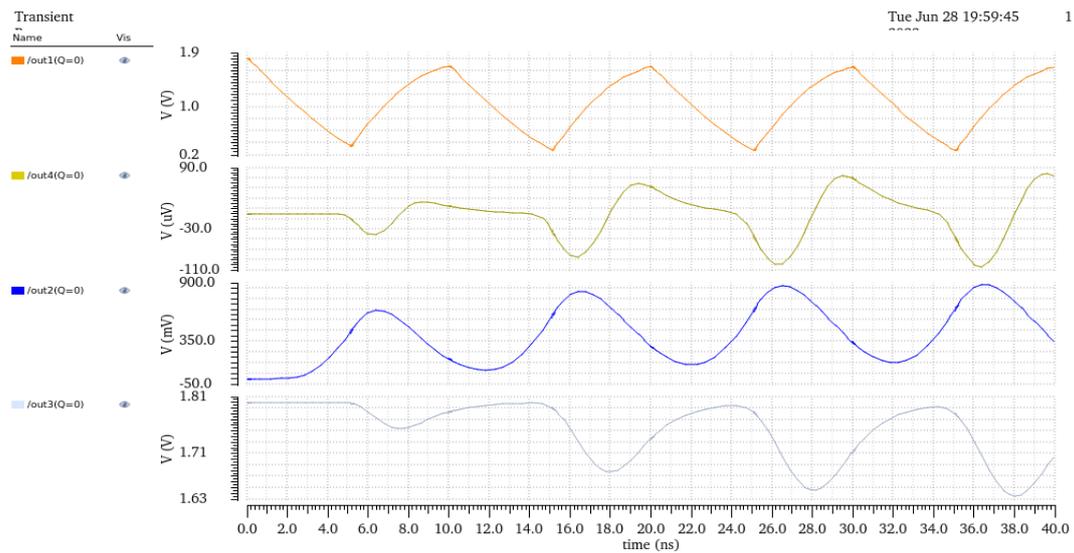


Fig. 18 Operación de la cadena a 100MHz con condensadores.

Para lograr una respuesta correcta hemos tenido que bajar la frecuencia hasta los 10MHz. En la Fig. 19 podemos apreciar la respuesta del circuito con protección el cual manifiesta unos flancos de subida y bajada de extensa duración, lo cual puede inducir glitches no deseados.

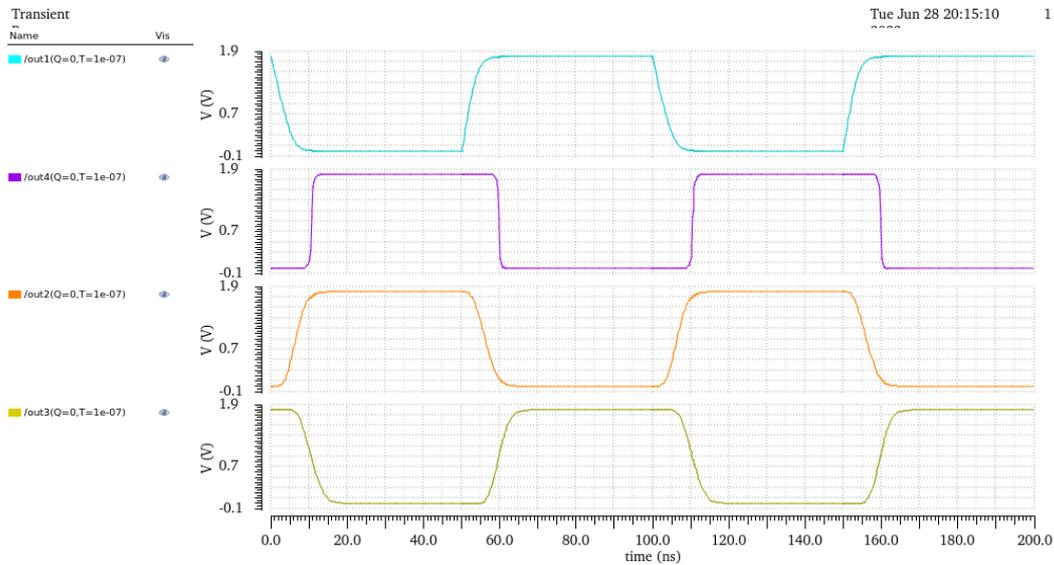


Fig. 19 Operación de la cadena protegida a 10MHz.

4.4 ATENUACIÓN DEL SEE: AUMENTO DEL TAMAÑO DE LOS MOSFET

Uno de los métodos más simples y efectivos a la hora de aumentar la resistencia de los dispositivos a la radiación es incrementar la anchura de los transistores[1]. El incremento en el tamaño de los transistores implica el manejo de una corriente mayor a través de ellos. Esto aumenta la capacidad de recolección de la carga espuria producida tras el impacto de un ion, debilitando así la amplitud y duración de los SETs inducidos. Sin embargo, al aumentarla también estamos incrementando el área de la difusión, haciendo que los SET sean más probables, así como el área y potencia usadas.

Básicamente el incremento de la anchura de los transistores se traduce en una mejora de su capacidad de drive. Con ello se logra una reducción de la amplitud y duración de los transitorios existentes en el dispositivo. La señal que manejan los transistores es más fuerte, limpia y estable a costa de un mayor consumo.

El incremento de la anchura provoca también el aumento de sus capacitancias internas, por lo que se obtienen las ventajas y desventajas ya vistas en la sección anterior. A diferencia de la técnica anterior, el incremento de las capacitancias internas no perjudicará la velocidad del dispositivo. Esto se debe a la mejora de la capacidad de *drive* lo que nos permitirá alcanzar velocidades incluso mayores.

Todo ello impone unos límites prácticos para el aumento de la anchura. En general esta técnica será bastante efectiva para mitigar los efectos de los SETs de bajo valor de LET, lo que es algo positivo ya que estos impactos son los más probables. Sin embargo, acentuará el efecto de los LET de mayor valor. La eficacia de dicha técnica dependerá de la zona del espacio exterior en la que se encuentra nuestro dispositivo— no será lo mismo considerar la operación del dispositivo en una órbita baja que hacerlo más allá de la magnetosfera.

No conviene tampoco aumentar mucho la anchura ya que lo perseguimos es una correcta operación con la menor área posible. En aplicaciones aeroespaciales el tamaño y la masa de los dispositivos son características cruciales que pueden incrementar los costos del proyecto enormemente si no se optimiza bien su uso. Un ligero incremento de la anchura de todos los transistores del chip puede conllevar una penalización de un factor 3 en el área usada para implementar el dispositivo, tal como advierte Robert Baumann en su libro [1].

Vamos a considerar, por ejemplo, un incremento de 3 en la anchura de todos los transistores. Y vamos a realizar un impacto de $LET = 10 \text{ MeV cm}^2/\text{mg}$ en el NMOS del primer inversor. Dicho evento es capaz de inducir un upset en la cadena si no aumentamos la anchura. Sin embargo, al aplicar el aumento conseguimos atenuar el efecto del SET lo suficiente como para que no se induzca ningún cambio en los estados lógicos de los inversores posteriores. Podemos apreciar dicho fenómeno en las Fig. 20 y Fig. 21

Errores Transitorios de tipo SET en tecnología CMOS debido a la Radiación Ionizante en Aplicaciones Aeroespaciales

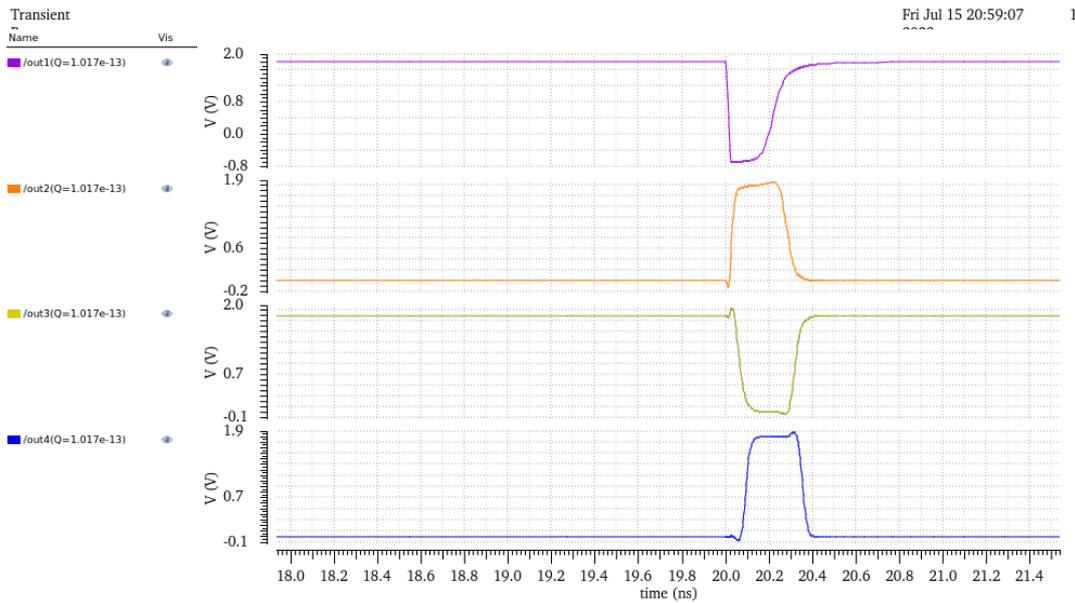


Fig. 20 Impacto $LET = 10 \text{ MeV cm}^2/\text{mg}$ NMOS sin el aumento de anchura.

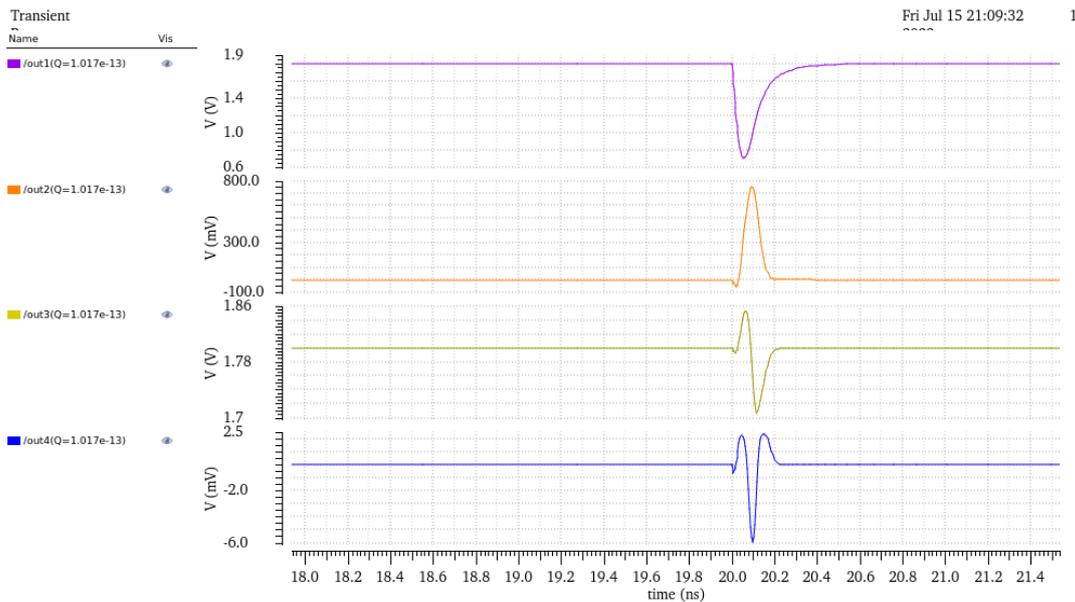


Fig. 21 Impacto $LET = 10 \text{ MeV cm}^2/\text{mg}$ NMOS con el aumento de anchura.

Esta técnica es útil para reducir el efecto de LETs de valor bajo ($1 - 10 \text{ MeV cm}^2/\text{mg}$), lo que supone una gran mejora, ya que la gran mayoría de los impactos estarán comprendidos en dicha cota o tendrán valores próximos. Además, lo hemos considerado en un NMOS por tanto el incremento de la anchura será capaz de dar buenos resultados para impactos de $LET = 30 \text{ MeV cm}^2/\text{mg}$ en los PMOS.

5 CIRCUITO 2: FLIP-FLOP TIPO D

En electrónica, un biestable es un circuito que funciona con dos estados lógicos estables, esto nos permite almacenar información jugando con los dos estados disponibles los cuales pueden alternar entre uno u otro utilizando una o más entradas de control.

Principalmente tendremos dos tipos de biestables, en inglés llamados latch y flip-flop, ambos pertenecen a tipos diferentes de circuitos biestables: los llamados biestables asíncronos y síncronos, respectivamente [9].

- **Biestable asíncrono:** estos sistemas presentan una respuesta inmediata al estímulo de entrada por lo que podemos cambiar el estado almacenado en cualquier momento. Los cambios de estado se producen por nivel, es decir, el cambio se produce cuando el latch es habilitado por un valor lógico determinado ya sea 0 ó 1 y permanece en un estado concreto mientras el valor del nivel lógico que controla la información almacenada no cambie. Dicho valor de control puede cambiar en el momento deseado obteniendo una respuesta idealmente inmediata en el valor lógico almacenado.
- **Biestable síncrono:** una característica principal que hace diferente a este tipo de biestable es que su estado lógico es controlado por una señal de reloj generalmente periódica y que permanece inalterada a lo largo del funcionamiento del dispositivo, de ahí el término de síncrono. Los cambios de estado se producen solamente en los momentos de paso de una unidad de tiempo a otra, tales instantes vienen definidos por los flancos activos del reloj. Es importante notar que ahora el elemento de control que cambia el estado almacenado no es el estado lógico 0 ó 1 sino el paso de 0 a 1, flanco de subida, de 1 a 0, flanco de bajada.

Para conseguir un biestable síncrono habilitado por un único flanco de reloj (nuestro diseño estará controlado por el flanco de subida) utilizaremos dos biestables asíncronos, uno de ellos habilitado por el valor lógico 0 del reloj y el otro habilitado por el valor lógico 1, de forma que el comportamiento global del sistema sea la

posibilidad de cambiar el estado almacenado únicamente con el flanco de subida del reloj. A esta configuración se la conoce como configuración maestro-esclavo con la cual construiremos un flip-flop tipo D.

Antes de entrar en detalles en el diseño del flip-flop, vamos a analizar el funcionamiento del latch como núcleo de memoria básico (Fig. 22). Para facilitar dicho análisis vamos a enumerar las zonas más destacadas.

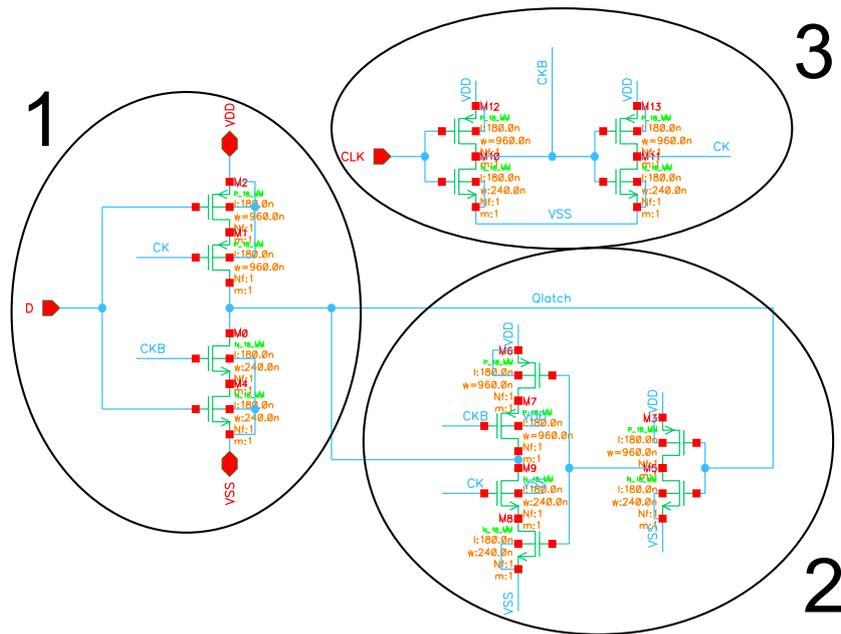


Fig. 22 LATCH sin protección ante radiación.

El latch mostrado habilita la lectura del dato mientras tengamos en CLK el valor lógico 0, de forma que el inversor rodeado por la elipse 1 actúa como llave permitiendo el paso del dato negado a Qlatch (elipse 2). Cuando CLK se sitúa en el valor 1 la llave marcada por la elipse 1 se “cierra” impidiendo la entrada de nuevos datos dentro del biestable, a la misma vez, el nivel alto del reloj habilita el funcionamiento de dos inversores que forman un bucle (elipse 2) almacenando el dato en este bucle hasta que CLK se situó otra vez en el valor 0.

El circuito dentro de la elipse 3 corresponde a la señal de control (CLK) regenerada dentro del propio dispositivo. Esto se hace para dar una implementación más robusta e inmune a ruidos y fugas, permitiendo una operación estática.

Para observar el comportamiento vamos a utilizar señales cuadradas de periodos diferentes. Lo que esperamos obtener en la Fig. 23 es la captación del dato negado dentro del Qlatch cuando CLK es 0 y la posterior retención del mismo, cuando CLK sea 1. La operación obtenida para el latch es la esperada, se cumplen los cambios del estado lógico mediante el nivel de la señal de control.

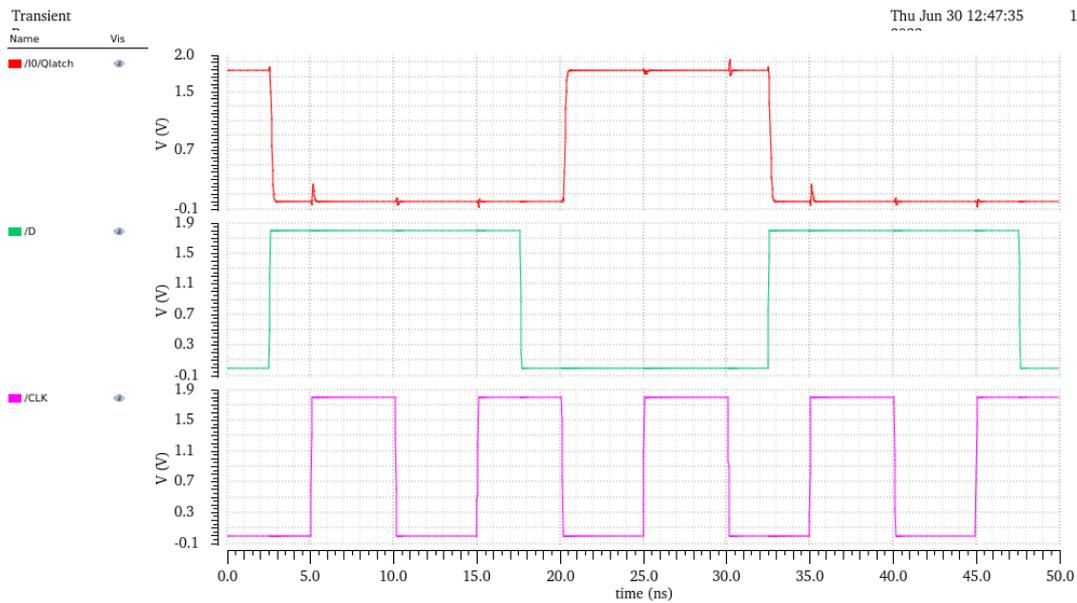


Fig. 23 Operación del latch sin protección.

A continuación, vamos a presentar el esquemático del flip-flop tipo D. Es conveniente recordar que dicho dispositivo estará formado por dos de los latches vistos en la Fig. 22 ,uno de ellos habilitado por el valor lógico 0 del reloj y el otro habilitado por el valor lógico 1.

El flip-flop de la Fig. 24 está diseñado para almacenar datos en el flanco de subida de la señal CLK. Para describir el funcionamiento del dispositivo utilizaremos el dibujo de la Fig. 25, que representa de manera simplificada el esquemático anterior junto a un cronograma que muestra el funcionamiento del dispositivo.

En la Fig. 25 podemos distinguir claramente los dos elementos fundamentales para el correcto funcionamiento del dispositivo, estos son los dos latches conectados en serie y sus respectivos interruptores. Los interruptores están representados por la letra griega phi, cerrándose los interruptores phi cuando la señal del reloj es alta y

abriéndose cuando es baja. Los interruptores phi barra, negados, hacen la operación inversa.

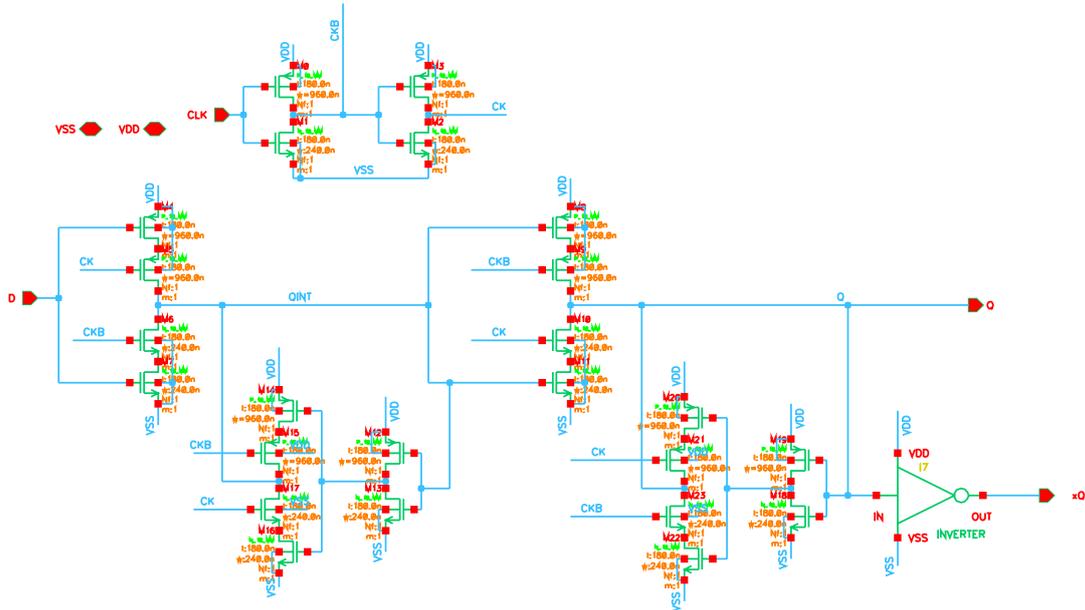


Fig. 24 FLIP-FLOP tipo D formado por dos LATCH en configuración maestro esclavo. Circuito sin protección.

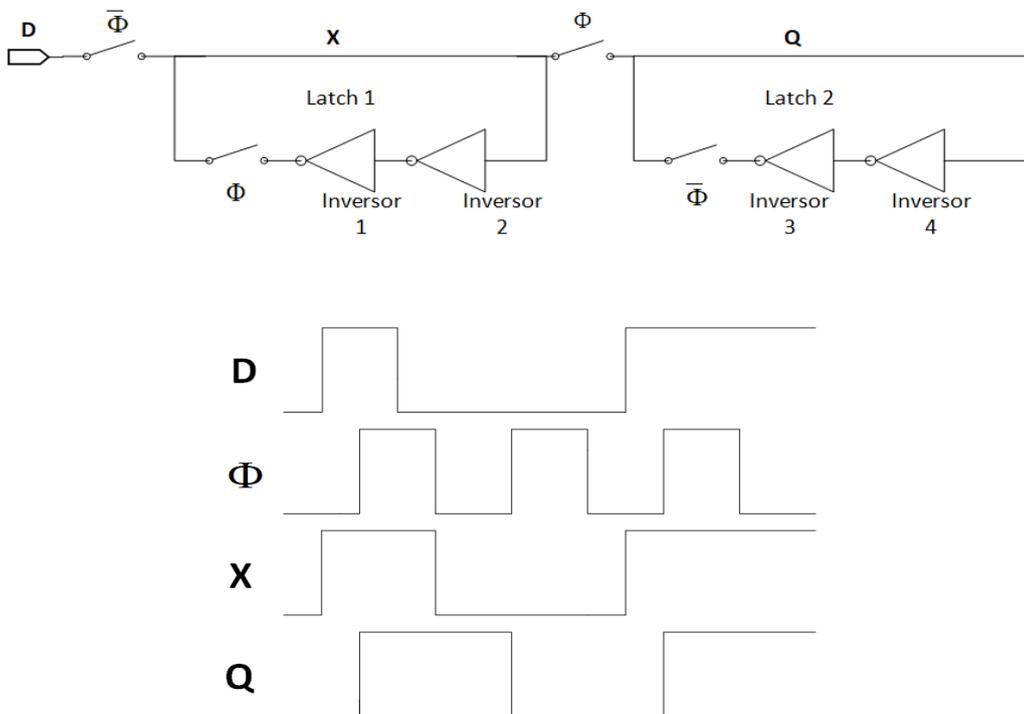


Fig. 25 Esquemático del FLIP FLOP sin protección simplificado.

El latch está construido con dos inversores retroalimentados junto a una llave que cierra su bucle, a todo ello se añade una llave de lectura en su entrada. X representa el nudo interno del flip-flop, el cual como podemos apreciar es la salida del latch 1. Posteriormente la respuesta del flip-flop quedará almacenada en el nudo Q (salida latch 2). Si observamos el cronograma, el comportamiento global del conjunto es el almacenamiento del dato D en cada flanco de subida del reloj ϕ .

La idea detrás del sistema de llaves es que el latch 1 debe leer el dato cuando el nivel del reloj es bajo, y almacenarlo cuando el reloj este alto. Si observamos la Fig. 25 la lectura se da cuando la llave de entrada del latch 1 se cierra, captando así el dato en X . Mientras esto sucede la llave que cierra el bucle está abierta. Cuando el reloj se sitúa en el valor alto, la llave de lectura se abre mientras que la llave del bucle se cierra. Guardándose así el dato hasta que se vuelva a dar la condición de lectura.

Si observamos ahora las llaves del latch 2, podemos notar que éste no es capaz de leer si el latch 1 ya lo está haciendo (reloj nivel bajo). En vez de eso, el latch 2 está almacenando ya que la llave de su bucle está cerrada. Cuando el latch 1 empieza a guardar el dato D (nivel reloj alto) la llave de entrada del latch 2 se cierra habilitando su lectura. Y volverá a almacenar cuando el reloj vuelva al nivel bajo tal y como indicamos antes.

En definitiva, cuando uno de los latches este leyendo el otro estará almacenando. Se dice que el primero está habilitado por el valor 0 del reloj porque es en este momento en el que es capaz de leer D , y el segundo habilitado por 1, porque este es el momento en el que es capaz de captar X .

En la Fig. 26 podemos observar la operación del flip-flop tipo D diseñado, el cual se corresponde con el cronograma anteriormente presentado, a excepción de $QINT$ cuya señal estará invertida. Esto se debe a que en el diseño original del latch la llave de lectura capta el dato invirtiéndolo, es también por este motivo que la señal en Q no estará invertida ya que el dato pasará a Q a través de la llave del latch 2 anulando la primera inversión.

Cabe recalcar que dicho dispositivo usa como carga un latch similar al que hemos usado en la configuración maestro esclavo para obtener así una respuesta más realista del dispositivo, ya que simula su comportamiento en una asociación en serie de biestables, que permite la codificación de una palabra en binario [9].

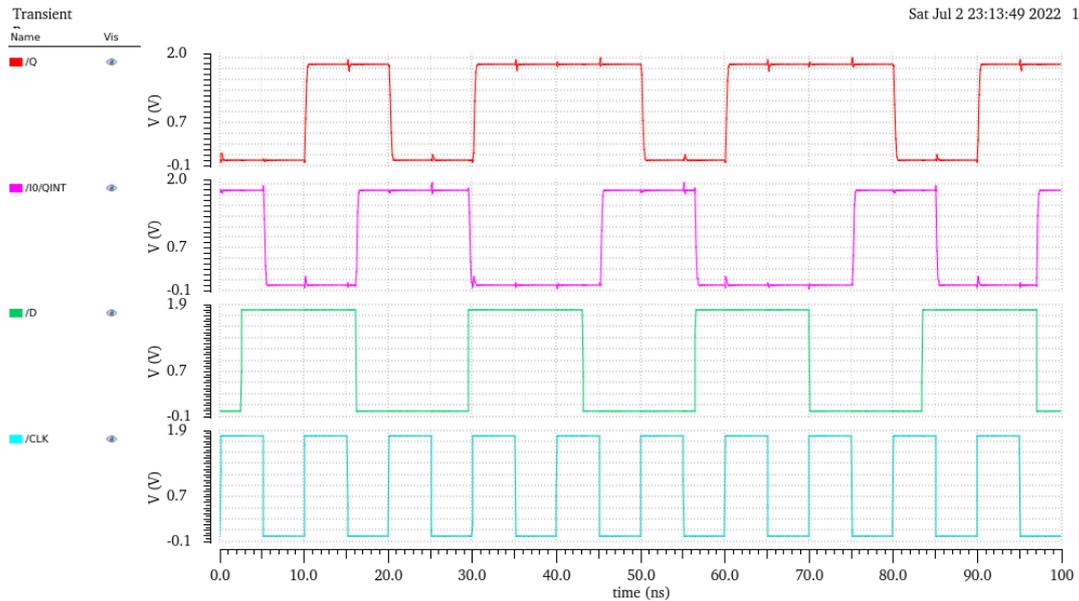


Fig. 26 Funcionamiento del flip-flop sin protección a 100MHz. Almacenamiento habilitado por flanco de subida.

5.1 ESPECIFICACIONES DEL DISEÑO FLIP-FLOP

El diseño de los flip-flops viene caracterizado, como se muestra en la Fig. 27, por las siguientes especificaciones: consumo, tiempo de propagación, tiempo de anticipación, tiempo de mantenimiento del dato, y los tiempos de subida y bajada.

El correcto funcionamiento de un diseño síncrono exige que se respeten los tiempos funcionales de los biestables que lo conforman para garantizar así la correcta transmisión de los valores lógicos.[9]

- Tiempo de propagación (t_p): Representa el tiempo de retraso entre el flanco activo de la señal de reloj y la consolidación del dato almacenado en la salida.

- Tiempo de anticipación (t_s): Para asegurar el correcto funcionamiento del biestable es necesario que el valor del dato que se va a almacenar llegue con una cierta anticipación al flanco activo del reloj.
- Tiempo de mantenimiento (t_h): El valor del dato debe mantenerse un cierto tiempo posterior al flanco del reloj, si esto no se cumple el dato podría perderse dentro del dispositivo.
- Tiempos de subida y bajada: Representa el tiempo que tarda la señal respuesta en consolidar un nuevo estado lógico tras producirse una modificación del dato almacenado, para medirlos se toma el tiempo que tarda el dispositivo en pasar el valor de la señal respuesta del 10% al 90% del valor de la polarización (tiempo de subida) y del 90% al 10% (tiempo de bajada). Desde un punto de vista de integridad de señal y radiación, es importante que estos tiempos sean lo más pequeños posible, ya que si trabajamos con señales que no son capaces de consolidar un estado lógico lo más pronto posible corremos el riesgo de obtener glitches espurios en la señal respuesta de los dispositivos digitales conectados a nuestro flip-flop.

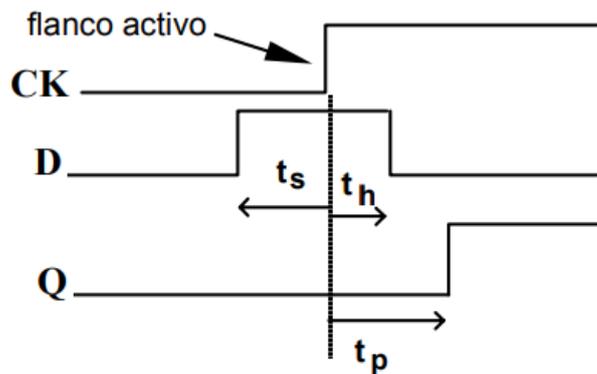


Fig. 27 Tiempos funcionales del FLIP-FLOP tipo D [9].

Para evitar problemas de captura de datos el periodo del reloj debe ser como mínimo mayor que la suma de los tiempos de propagación, anticipación y mantenimiento. Por tanto, la velocidad máxima del dispositivo estará caracterizada por dichos parámetros [9].

En este trabajo se ha considerado un entorno controlado de aplicaciones de señal mixta en donde los estímulos cambian en un intervalo temporal alejado del flanco sensible del reloj, por tanto, garantizamos el cumplimiento del tiempo de mantenimiento y anticipación. La caracterización de estos tiempos es irrelevante, considerando el objetivo de este mismo, ya que hemos impuesto las condiciones que permiten la captura y el almacenamiento del dato. En este contexto, nos centraremos en las siguientes especificaciones: tiempo de propagación, consumo y tiempos de subida y bajada, los cuales reflejamos en la Tabla 1.

Para calcular el consumo plantearemos el consumo medio por ciclo en una operación de 10 periodos del reloj. Vamos a considerar una señal de entrada arbitraria con 2.7 veces el periodo del reloj (Fig. 26), que logra la conmutación del dato guardado en 8 de los 10 periodos del reloj. Cada vez que se produce un cambio en el nivel del reloj y sobre todo cuando se cambia el estado almacenado, el dispositivo genera un pico de corriente en la fuente de alimentación. Podemos calcular la potencia total consumida integrando la intensidad para los 10 periodos del reloj y multiplicando por $V_{bias} = 1.8V$. Si dividimos este valor por los periodos obtendremos el consumo medio por ciclo $P = \frac{1.8 \cdot I_{T=10}}{10}$

t_p	t_{subida}	t_{bajada}	Consumo
185.5 ps	244.7 ps	270.7 ps	104.8 fW

Tabla 1 Características del diseño flip-flop tipo D presentado.

5.2 INTEGRIDAD DEL DATO ALMACENADO FRENTE AL SET

A lo largo de la operación del flip-flop siempre alguno de los dos latches tendrá un dato guardado. Si el latch está almacenando un dato y sufre un SET, corremos el riesgo de sufrir un upset en el dato almacenado. A continuación, vamos hacer un estudio sobre el efecto del SET en los dos latches en su modo de almacenamiento.

Todos los SETs que vamos a simular aportarán su carga en los instantes en los que el reloj ya se encuentra en un estado determinado. La transición entre niveles queda fuera de los objetivos de este trabajo.

5.2.1 Nivel alto del reloj. Almacenamiento en latch 1.

Cuando el nivel del reloj es alto están habilitados los modos de almacenamiento para el latch 1 y lectura para el latch 2. Los MOSFET vulnerables ante el SET serán los 8 rodeados en la Fig. 28. Estos forman las llaves de almacenamiento y lectura, así como los inversores 1 y 2, Fig. 25.

Aunque N1 y P1 se encuentran en corte cuando se da el modo almacenamiento, un SET en uno de sus drenadores podría provocar un upset en el nudo X. El impacto en cualquier elemento del inversor 1 y 2 podrá causar el upset, ya que estos dos son los encargados de mantener el dato almacenado en el nudo X.

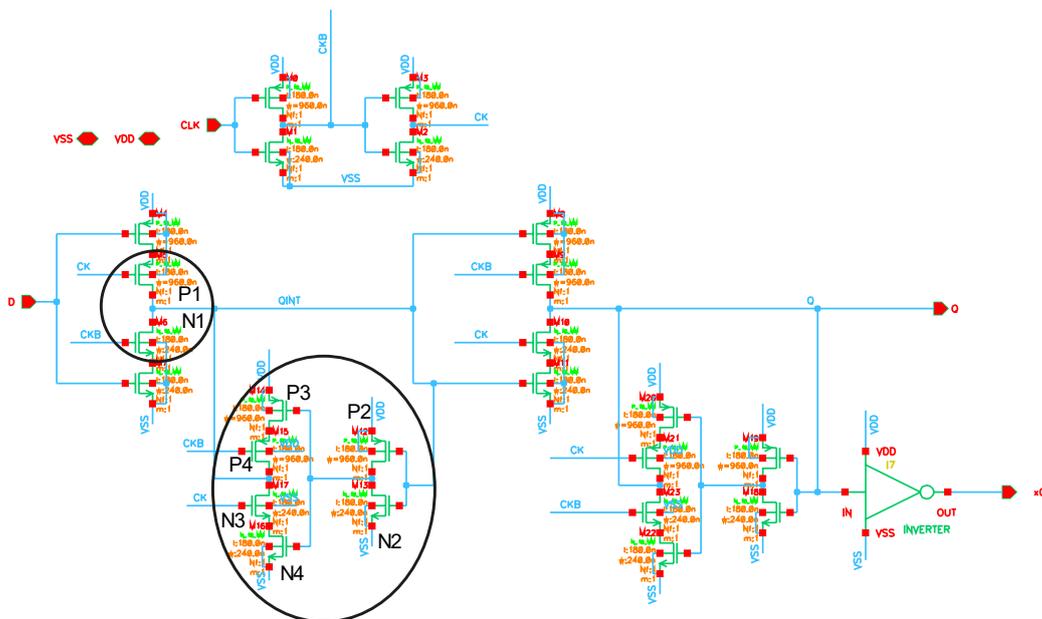


Fig. 28 Transistores vulnerables ante el SET. El impacto en ellos compromete la integridad del dato almacenado.

Si observamos la Fig. 28 podemos apreciar que los drenadores de N1 y P1 están conectados al mismo nudo que los drenadores de N3 y P4, por lo que considerar un SET en cualquiera de ellos sería equivalente.

De la misma forma que sucedía en el circuito 1, un impacto en el NMOS causará un cambio en el valor lógico si el nudo del drenador se encuentra alto, para el PMOS sucederá lo contrario.

- **Impacto en los transistores de las llaves**

Vamos a considerar en primer lugar el impacto de un $LET = 10 \text{ MeV cm}^2/\text{mg}$ en N3, este forma parte de la llave de almacenamiento que cierra el bucle de retroalimentación de los inversores permitiendo que el dato quede almacenado. Por tanto, vamos a fijar la señal del dato D en bajo.

Este LET se halla próximo a la cota mínima que estamos considerando en este trabajo y lo interesante de esta simulación es que dicho impacto será suficiente para causar un upset en el flip-flop, lo que es algo preocupante ya que la probabilidad de un impacto de tal magnitud es mucho mayor que la de otros sucesos más energéticos, como se mostró en la sección 3.1 (Fig. 1).

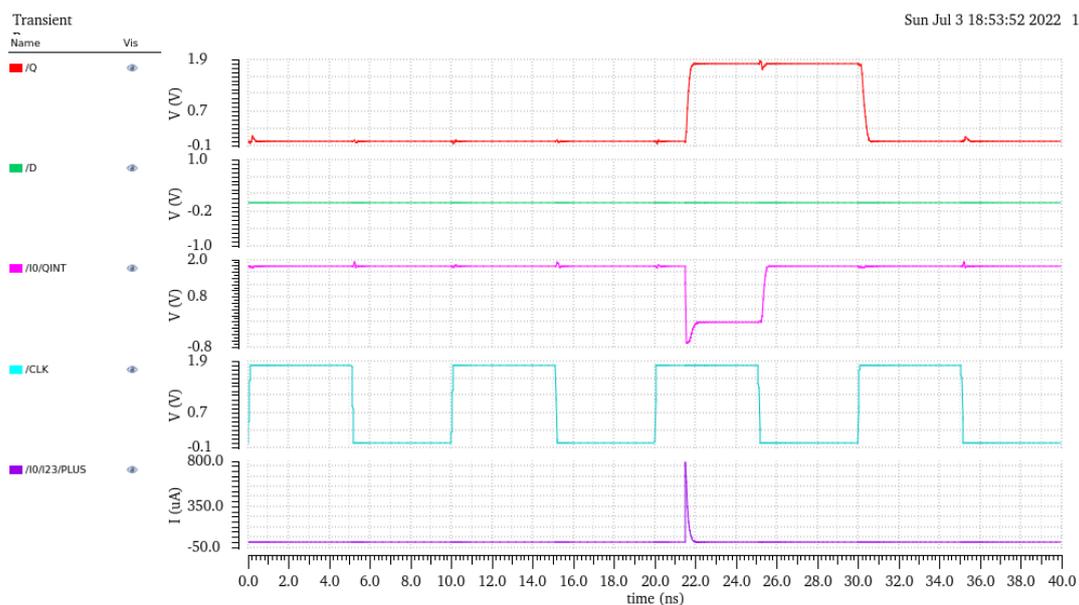


Fig. 29 Impacto $LET = 10 \text{ MeV cm}^2/\text{mg}$ en el N3.

En la Fig. 29 podemos apreciar el funcionamiento del flip-flop tras recibir el impacto. El SET se produjo mientras el nivel del reloj estaba alto y por tanto el latch 1 estaba almacenando el dato.

Siguiendo este modo operandi veamos que sucede si afectamos a los transistores que forman los inversores 1 y 2.

- Impacto en los MOSFET que forman los inversores 1 y 2.

Vamos a considerar el mismo impacto de $LET = 10 \text{ MeV cm}^2/\text{mg}$, pero esta vez en el N4. En la Fig. 30 podemos apreciar que el impacto en N4 es equivalente al impacto en N3, esto se debe a que el N3 está en conducción y por tanto tenemos un camino libre de impedancia entre el nudo interno y el N4. Para el inversor 2 (P2 y N2) del latch el impacto en el NMOS no causaría ningún cambio en el valor lógico de Q puesto que estamos considerando que D es 0, por lo que únicamente un impacto en el PMOS podría causar un upset.

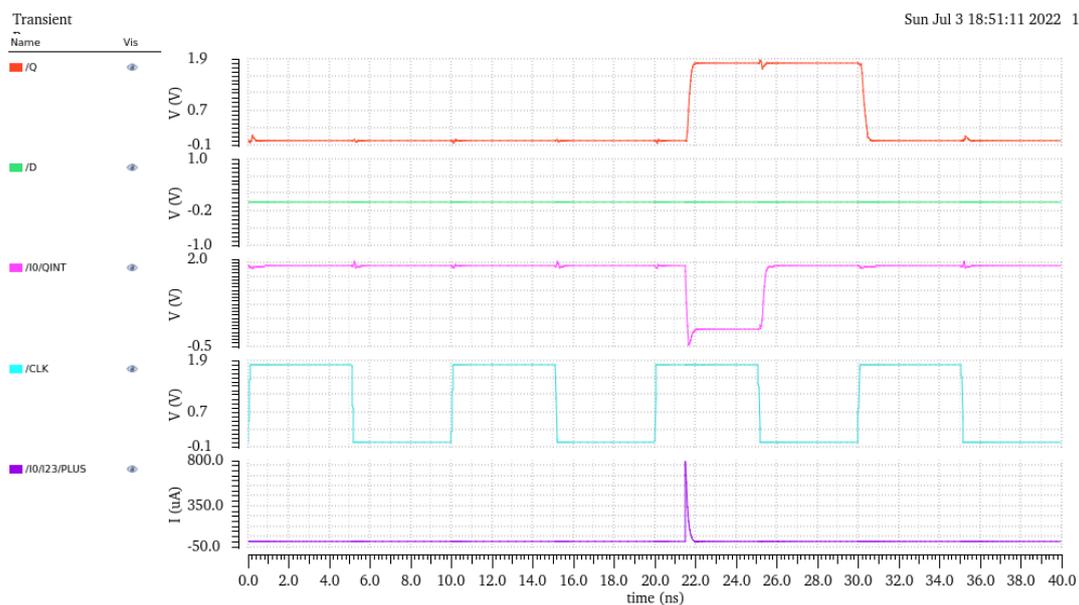


Fig. 30 Impacto $LET = 10 \text{ MeV cm}^2/\text{mg}$ en el N4.

En la Fig. 31 se muestra el impacto de $LET = 10 \text{ MeV cm}^2/\text{mg}$ en P2, lo interesante de esta simulación es que la carga inducida es aún menor en el caso de los PMOS, ver Fig. 6, por lo que podríamos llegar a pensar que un impacto en dicho transistor no afectara al dato, sin embargo, el resultado confirma que es suficiente para producir también el upset.

Todos los resultados que afectan la integridad dato almacenado presentan una característica común. La duración del upset solamente comprende desde la aparición del SET hasta el próximo flanco de subida del reloj, ya que, es el momento en el que se registra un nuevo dato. Esto es una observación interesante ya que

implica que la duración del upset no será la misma si el impacto ocurre en el latch 1 o en el 2.

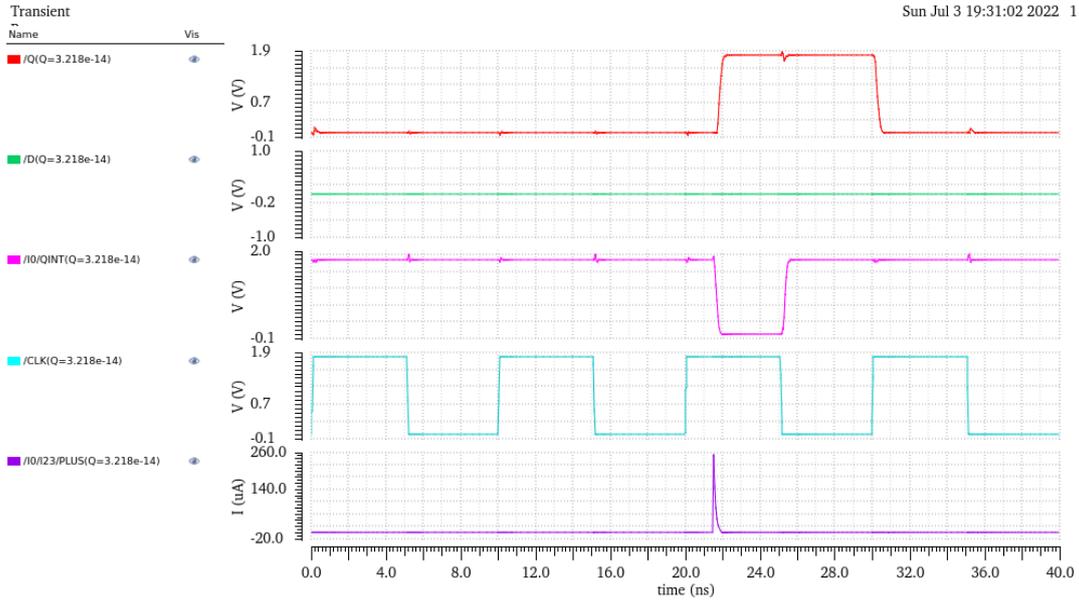


Fig. 31 Impacto LET = 10 MeV cm²/mg en el P2.

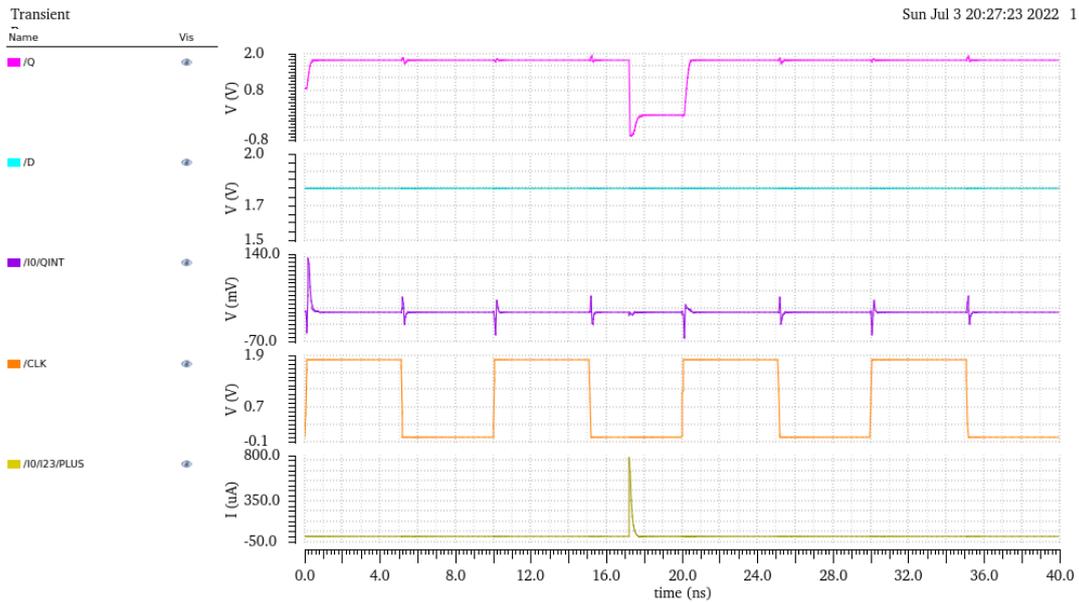


Fig. 32 Impacto en un NMOS de las llaves del latch 2 mientras esta almacenando. LET = 10 MeV cm²/mg .

5.2.2 Nivel bajo del reloj. Almacenamiento en latch 2

Para el latch 2 los elementos vulnerables y resultados serán los análogos al latch 1. Una diferencia es que la duración de los upsets será más corta si el impacto ocurre en el latch 2. Esto se debe a que el almacenamiento del dato se da para el valor 0 del reloj, y como vimos anteriormente, la duración del upset comprende el intervalo entre la aparición del SET hasta el próximo registro del dato. Dado que ahora el flanco activo del reloj está más próximo al instante en el que ocurre el SET, la duración del upset será lógicamente menor. Podemos apreciar dicho fenómeno en la Fig. 32.

6 CIRCUITO 3: FLIP-FLOP TIPO D BASADO EN EL LATCH DICE

En la sección anterior hemos visto lo susceptible que puede llegar a ser un circuito de memoria ante la radiación. Las numerosas zonas vulnerables junto a la facilidad de causar un upset con un valor bajo de LET hacen que el diseño anterior no sea el adecuado para operar en un entorno rico en radiación.

Podemos solucionar este inconveniente planteando un nuevo diseño resistente a la radiación, este circuito se denomina DICE latch, o en inglés Dual Interlocked Storage Cell latch [3].

Al igual que en la sección 5 vamos a construir nuestro flip-flop tipo D usando la configuración maestro-esclavo, pero esta vez con el DICE latch. El primero estará habilitado por el valor lógico 0 del reloj y el otro por el valor lógico 1.

El DICE latch está formado por 4 inversores que a priori funcionan por parejas, formándose así una célula de memoria por cada par. Las dos células de memoria están interconectadas de forma que si falla una de ellas la otra es capaz de restaurar el valor lógico alterado.

Podemos apreciar el esquemático del diseño en la Fig. 33. El circuito se divide en dos partes: lectura y almacenamiento. La lectura se habilita gracias a un reloj que pone en conducción N5, N6, N7 y N8, de forma que los nudos 1 y 3 captan el dato D y los nudos 2 y 4 captan el dato D negado. El almacenamiento se lleva a cabo

gracias a los 4 inversores interconectados, podemos enumerarlos siguiendo la lógica de la numeración de los dispositivos MOS: inversor 1 (P1 y N1) ...

Podemos apreciar en el esquemático que los inversores 1 y 2, y 3 y 4 se encuentran parcialmente retroalimentados, formándose así las dos células de memoria. La retroalimentación es solamente parcial ya que, por ejemplo, en el inversor 1 solamente la puerta del N1 se encuentra conectada a la salida del inversor 2, mientras que la puerta del P1 está conectada a la salida del inversor 4. Además, se tiene que la salida del inversor 1 está conectada a la puerta de N4. Esta conexión es similar para el resto de inversores de forma que en resumidas cuentas las células de memoria están formadas por las parejas de inversores 1 y 2, y 3 y 4 pero tenemos una interconexión de forma que el inversor 1 está ligado al 4, y el 2 lo está al 3.

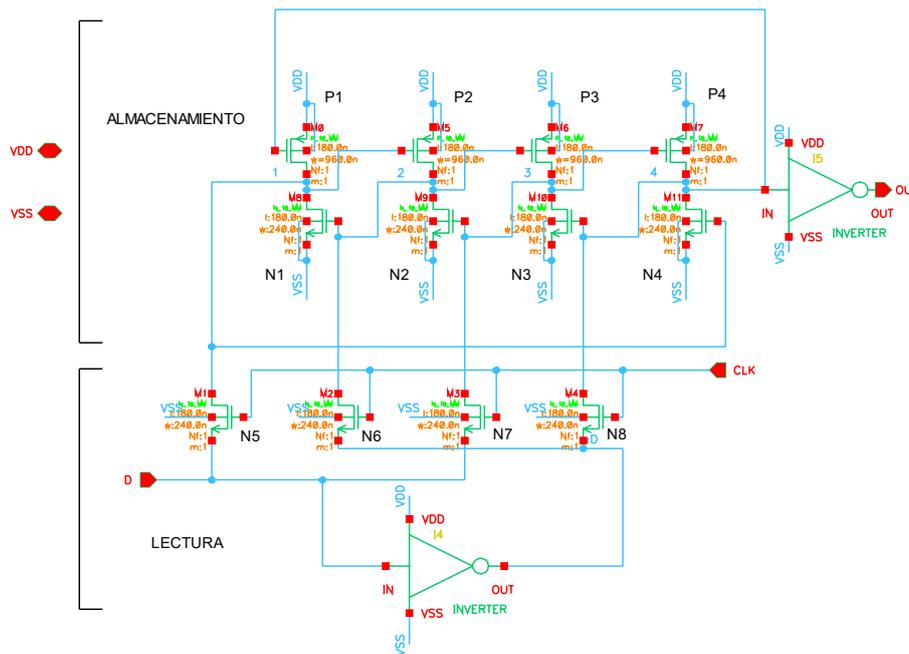


Fig. 33 Latch DICE diseño con protección.

Si analizamos los valores lógicos con detalle podemos ver que las interconexiones son tales que los datos leídos por los nodos no se cortocircuitan, respetándose los niveles lógicos en los 4 nodos. Si el nudo 1 se encuentra en el valor lógico 1 el nudo 4 se encontrará en el valor 0. Esto es debido a que: 1) el nudo 4 está leyendo el dato

D negado a través de N8 y precisamente el nudo 1 almacena el dato $D=1$; 2) el valor lógico 1 llega a la puerta del N4 permitiendo la conducción y fijándose así el valor 0.

En el cronograma de la Fig. 34 podemos observar que el almacenamiento del valor lógico 1 configura los valores de los nudos como 1010, mientras que el almacenamiento del valor 0 los configura como 0101. Al igual que en el latch de la sección 5 su operación, recogida en la Fig. 23, ocurría por nivel. En nuestro dispositivo DICE también ocurre esto, ya que podemos apreciar que el dato es captado cuando la señal de reloj es baja y queda almacenado cuando es alta — esta operación corresponde a un latch habilitado por valor 0.

Este LATCH presenta una serie de inconvenientes:

- **Tamaño:** Hemos tenido que agregar dos inversores más por lo que se ha duplicado el tamaño de la memoria, hemos sacrificado tamaño a cambio de la protección de un bit de memoria.
- **Consumo:** Para asegurar la integridad del dato es necesario introducir 2 inversores más al diseño original. También hay que incluir inversores de una multiplicidad $\times 10$ en la salida y entrada del dispositivo, para tener así el driving necesario capaz de cambiar los estados lógicos almacenados en los 4 nudos. Estas adiciones dispararán el consumo, el cual hay que tratar con cautela. Sobre todo, en sistemas que dependen del suministro aportado por baterías, tal como sucede en satélites en una órbita baja.
- **Miniaturización limitada:** El diseño solamente es efectivo hasta los 65nm [10], a partir de esas dimensiones corremos el riesgo de que los impactos afecten a más de un nodo si no se toman medidas especiales de layout. El diseño tiene como objetivo corregir el upset inducido en uno de los 4 nodos, si miniaturizamos el chip corremos el riesgo de que un ion deposite carga en más de un nodo ya que las difusiones de los transistores están más cerca unas de otras. Si en nuestro diseño se induce un upset en más de un nodo el dispositivo terminará fallando porque será incapaz de restaurar el valor lógico correcto. La miniaturización permite el incremento de velocidad de operación, disminuir el consumo, disminuir las tensiones con las que operamos y ahorrar

en espacio, por lo que es una posibilidad que no puede ser descartada[4]. Se pone en manifiesto un trade off: mayor protección o mayor rendimiento. Todo ello dependerá de la zona del espacio en que opere nuestro circuito y de otros métodos para atenuar el efecto de la radiación, como por ejemplo el encapsulado de la nave [1].

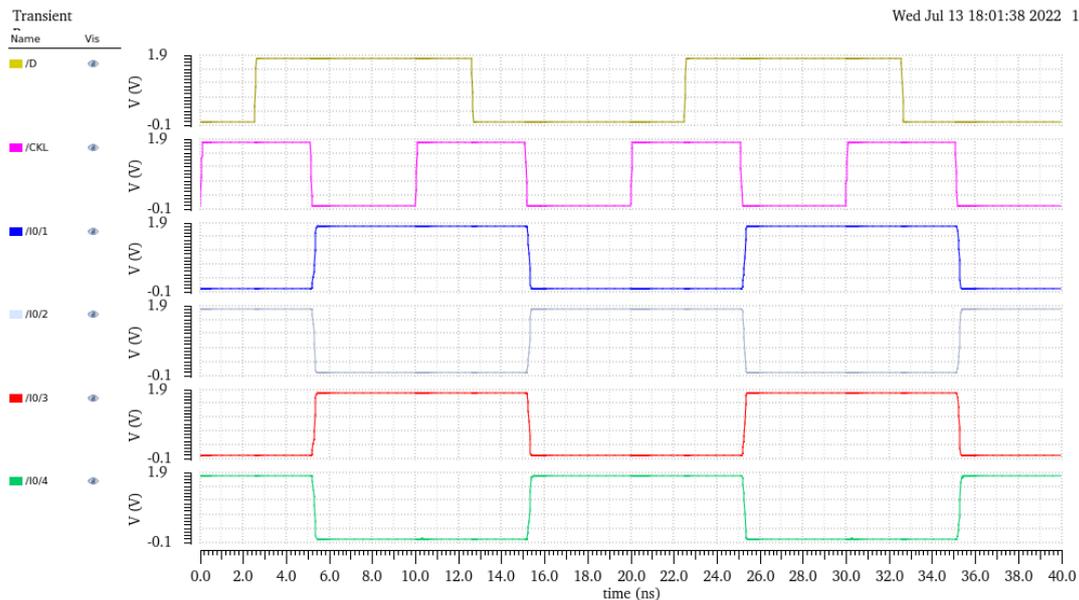


Fig. 34 Operación DICE latch habilitada por 0.

Aplicando una configuración maestro esclavo, como se muestra Fig. 35, construimos un flip-flop tipo D resistente a la radiación. El primer latch está habilitado por el valor lógico 0 mientras que el segundo lo está por el valor 1. Utilizaremos como carga del flip-flop el DICE latch, tal y como hicimos en la respectiva sección 5.

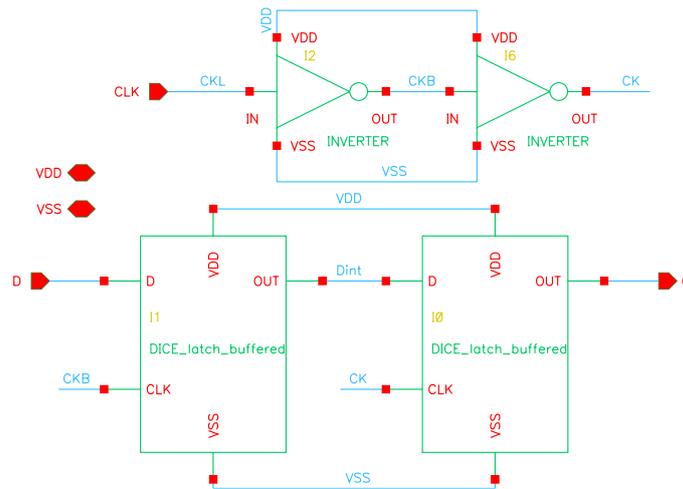


Fig. 35 Configuración maestro esclavo DICE flip-flop tipo D.

6.1 ESPECIFICACIONES DEL DISEÑO FLIP-FLOP

En la sección 5.1 dimos una serie de especificaciones para un flip-flop sin protección, que a continuación se actualizan para el nuevo diseño en la Tabla 2. Las especificaciones se han tomado considerando las mismas condiciones de operación con las que obtuvimos la Tabla 1.

t_p	t_{subida}	t_{bajada}	Consumption
329.9 ps	112.43 ps	134.4 ps	500.5 fW

Tabla 2 Especificaciones del DICE flip-flop.

Si comparamos ambas tablas podemos observar que el consumo y el tiempo de propagación han aumentado, y los tiempos de subida y bajada han disminuido gracias al mayor driving de los inversores x10.

El aumento del consumo tiene dos contribuciones:

- 1) La adición de dos inversores más para formar otra célula de memoria con el objetivo de restaurar el dato corrompido en la primera, inversores 3 (P3 y N3) 4 (P4 y N4), ver Fig. 33.
- 2) La introducción de inversores con una multiplicidad 10 veces mayor a las dimensiones estándar planteadas hasta ahora. Podemos identificar estos

inversores en el esquemático como I4 y I5. El aumento de I4 era necesario para aumentar la capacidad de drive del dispositivo ya que un inversor normal era incapaz de cambiar el estado lógico de los nudos internos del latch, este cambio era algo de esperar puesto que dicho inversor está atacando realmente a 4 inversores así que era un sacrificio necesario. El aumento de I5 era necesario para dar una salida capaz de cambiar el estado lógico de una etapa posterior.

El aumento en el tiempo de propagación era esperable ya que tal como vimos en la sección 4.1, la adición de múltiples etapas inversoras agregaba un retraso aditivo a la salida final.

La disminución de los tiempos de subida y bajada era también esperado y se debe al aumento de dimensiones de I5. La mejora de la capacidad de drive en la salida logra que la señal cambie los estados lógicos a una mayor velocidad.

6.2 INTEGRIDAD DEL DATO ALMACENADO FRENTE AL SET

Al igual que en la sección 5.2 estudiaremos la integridad de dato cuando está siendo almacenado en el latch 1, y en el latch 2 respectivamente. En principio el latch 1 lee el dato cuando la señal del reloj es 0 y lo almacena cuando la señal es 1. Para el latch 2 la lectura se habilita cuando el reloj está en 1, coincidiendo con el almacenamiento del latch 1, y posteriormente lo almacena cuando la señal del reloj vuelve a ser 0.

Podemos observar dicha operación en el cronograma de la Fig. 36. Dint representa la salida del latch 1 y Q representa la salida del flip-flop y por tanto la del latch 2. El comportamiento global es el almacenamiento del dato en cada flanco de subida del reloj.

Si nos fijamos en la Fig. 33 podemos apreciar que tanto los transistores que forman los 4 inversores, como los NMOS que habilitan la lectura, son elementos vulnerables frente al impacto de un ion ya que el impacto es capaz de cambiar el estado lógico de cualquiera de los nudos. Sin embargo, debido al propio diseño del latch el estado lógico alterado será restaurado gracias a la interconexión entre los inversores.

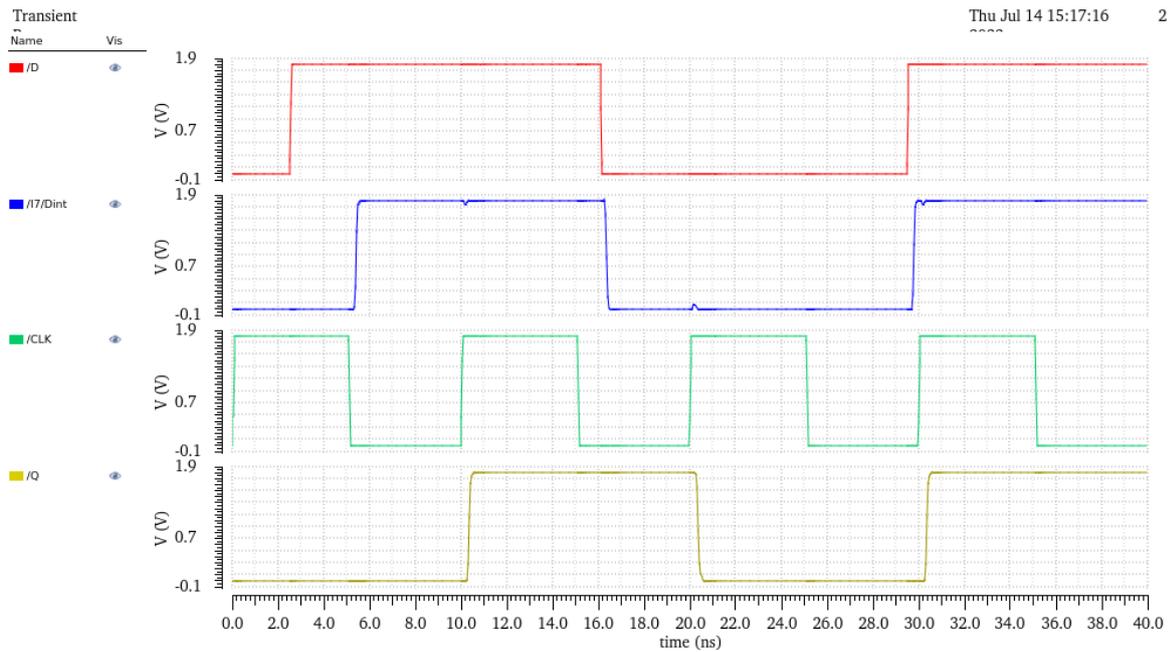


Fig. 36 Operación del DICE flip-flop.

Vamos a plantear primero un upset en uno de los nudos internos del latch 1 a través del impacto en unos de los transistores de la zona de almacenamiento, y luego en uno de la zona de lectura, posteriormente los compararemos. Luego plantearemos una prueba análoga para el latch 2.

6.2.1 Nivel alto del reloj. Almacenamiento en latch 1

- Impacto en la zona de almacenamiento.

El latch almacena el dato en una configuración redundante que puede ser 1010 para el valor lógico 1, o 0101 para el valor lógico 0. Para producir un cambio en el valor lógico del nudo debemos de considerar en qué nivel se encuentra, por ejemplo, si tenemos una configuración 1010, para cambiar el estado del nudo 1 que almacena el valor lógico 1 debemos de considerar el impacto en el N1, el cual lo situara en el valor 0. Teniendo en cuenta esto podemos observar dicho evento en la Fig. 37.

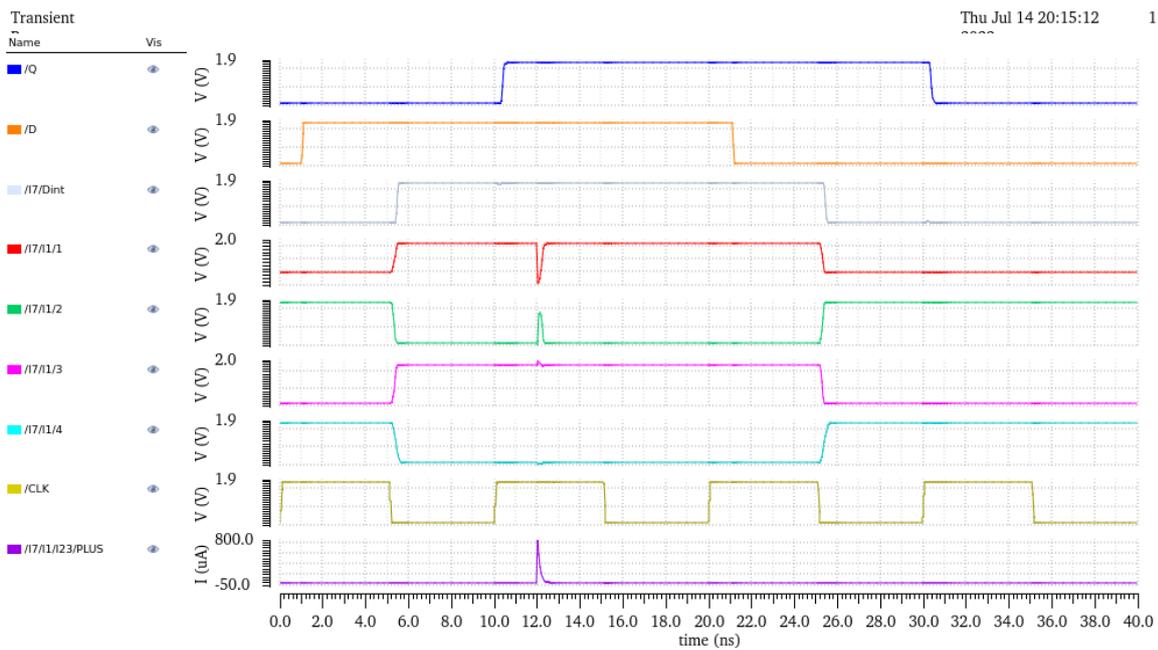


Fig. 37 Impacto $LET = 10 \text{ MeV cm}^2/\text{mg}$ en el N1.

Tal como se esperaba el circuito es inmune frente al evento: Q permanece inalterada. El SET únicamente consiguió inducir un glitch, transitorio espurio de breve duración, en el nudo 1 y 2, en este último debido a la retroalimentación con el inversor 2. No se produce ningún upset debido a que los estados alterados se recuperan rápidamente gracias a las interconexiones con los inversores 3 y 4 los cuales sufren unos transitorios de recuperación tras el impacto.

Es interesante apreciar Din (salida del latch 1) nos devuelve el valor del nudo 4 invertido. Podemos apreciar que el transitorio del nudo 4 fue filtrado, este comportamiento es lógico puesto que el inversor I5 situado en la salida tiene unas dimensiones 10 veces mayor que uno de tamaño estándar, por lo que su capacitancia interna es capaz de filtrar el transitorio del nudo 4 como se comentó en la sección 4.4.

Vamos a considerar ahora un SET en el nudo 4, en principio se espera que el glitch visto anteriormente en los nudos 1 y 2 sea capturado, y se refleje en la salida del flip-flop.

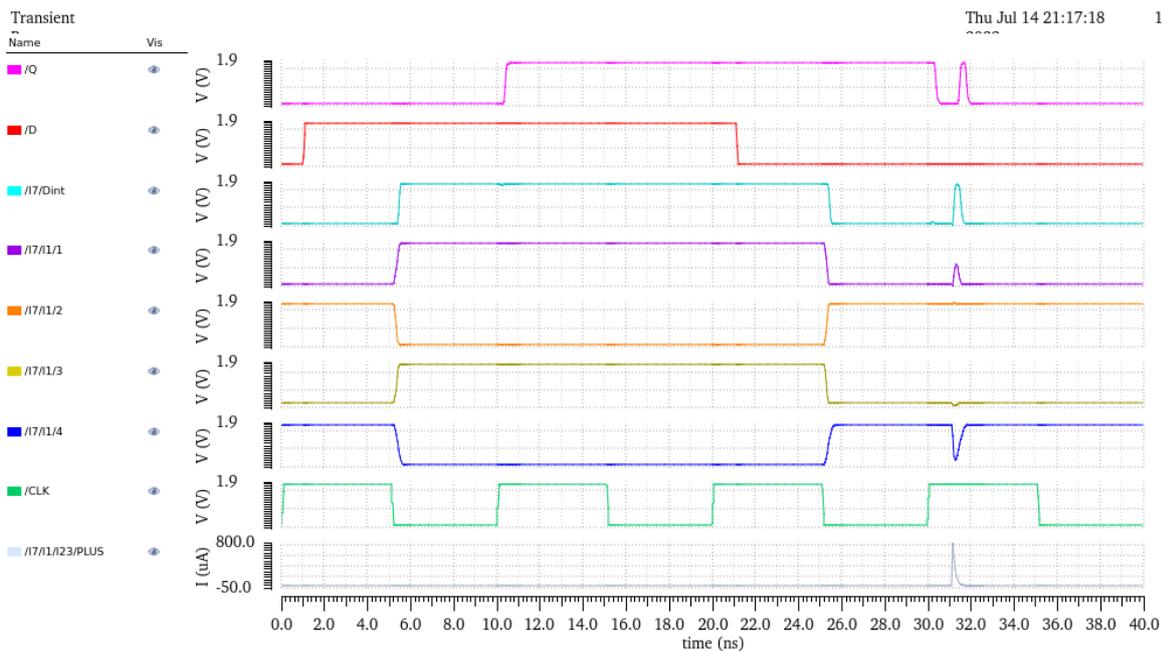


Fig. 38 Impacto $LET = 10 \text{ MeV cm}^2/\text{mg}$ en el N4

Con el resultado de la Fig. 38 podemos confirmar que la hipótesis se ha cumplido, el flip-flop refleja en su salida un glitch de corta duración (325ps). Sin embargo, este transitorio espurio, a pesar de que tiene una amplitud suficiente, no podemos considerarlo un upset ya que es mucho más corto en comparación al periodo del reloj (10ns). Esto es importante puesto que la duración de un bit entregado por el dispositivo abarca un periodo del reloj y se captura por el siguiente flanco.

El glitch inducido por el impacto no supone ningún problema para una aplicación de biestables en serie que codifican una palabra en binario, ya que su corta duración no asegura que se cumplan correctamente los tiempos funcionales para su captación, y si se cumplen, su efecto se irá atenuando a lo largo de la cadena. Teniendo esto en cuenta el glitch puede ser confundido con ruido ya que no posee la duración suficiente para representar firmemente un estado lógico alterado.

Si consideramos un impacto menos probable, pero con una energía mucho mayor $LET = 110 \text{ MeV cm}^2/\text{mg}$, la duración del glitch aumenta su duración (666ps) sin embargo sigue sin ser comparable al periodo del reloj.

- **Impacto en la zona de lectura.**

Vamos a plantear ahora un impacto en el nudo 1, pero a través de N5. En principio un impacto en este transistor podrá causar un glitch en el nudo 1 (Fig. 39). Pero solamente si en el momento en que se está almacenando el valor 1, el valor de D pasa a ser 0.

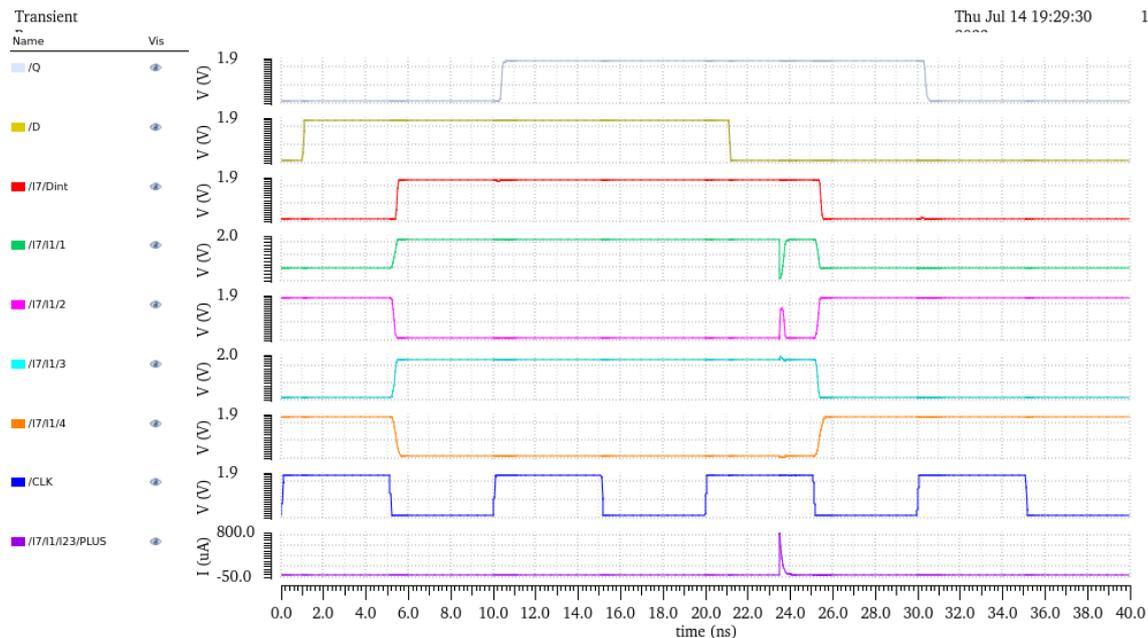


Fig. 39 Impacto $LET = 10 \text{ MeV cm}^2/\text{mg}$ en el N5 mientras $D=0$.

El resultado es análogo al obtenido tras impactar en el N1. Caracterizado por una rápida recuperación de los estados lógicos alterados en el nudo 1 y 2, a costa de unos pequeños transitorios en los nudos 3 y 4. Es posible obtener un resultado similar para el nudo 4 aplicando el SET en el N8, y cumpliendo con las respectivas condiciones necesarias para que aparezca el glitch en la salida.

6.2.2 Nivel bajo del reloj. Almacenamiento en latch 2

Los resultados que vamos a obtener en el latch 2 van a ser equivalentes a los del latch 1. Al contrario, con lo que sucedía en la sección 5.2.2, la duración del glitch no llega hasta el próximo flanco del reloj de forma que la duración de este no se ve afectada considerablemente si se produce en el nudo 4 del latch 2 o latch 1. La

duración de un *glitch* en el nudo 4 del latch 2 si presentara una duración mayor (327ps) pero esto es debido a que el suceso del latch 1 ha tenido que pasar a través del latch 2 para reflejarse en la salida, por lo que se atenuó.

7 CONCLUSIONES

A continuación, se realiza un sumario de las conclusiones principales de este trabajo que ha abarcado tanto aspectos teóricos como prácticos en el diseño de circuitos electrónicos endurecidos frente a radiación:

- Se ha realizado un estudio bibliográfico de los efectos de radiación en semiconductores y circuitos electrónicos.
- Se han estudiado y desarrollado modelos para la evaluación numérica de la carga inyectada y la simulación en circuitos eléctricos mediante una fuente controlada de corriente.
- Se ha profundizado en el diseño de circuito digitales estudiando su implementación y testado a nivel de transistor tanto de puertas combinacionales (inversores, NAND, NOR, AND, OR, etc.), así como elementos de memorias (latches y flip-flops).
- Se ha estudiado los efectos de radiación en tres casos de estudio dentro del entorno Design FrameWork II de Cadence en una tecnología CMOS de 180nm (RF/AMS 1.8V 8-M 1P UMC 180nm).
 - El primer caso de estudio nos ha servido para demostrar el efecto de los SET en la lógica digital combinacionales, así como, la eficacia de dos técnicas para incrementar su robustez frente a radiación:
 - La introducción de filtros capacitivos en el dispositivo, que reduce la amplitud del SEE evitando su aparición para LETs bajos ($1 - 10 \text{ MeV cm}^2/\text{mg}$). Sin embargo, empeora el efecto de los single event effect de mayores valores de LET ya que aumenta su duración.

- Aumento de la anchura de los transistores, la cual mejora la capacidad de driving y las capacitancias internas de los transistores. Se dan buenos resultados a la hora de mitigar LETs bajos ($1 - 10 \text{ MeV cm}^2/\text{mg}$), pero supone el aumento de la probabilidad de la aparición de SETs en el dispositivo además de que empeora el efecto de los single event effect de mayor LET.
- El segundo circuito corresponde a un flip-flop convencional no robustecido capaz de almacenar un bit de memoria. Dicho dispositivo, construido a partir de dos latches en una configuración maestro-esclavo, se ha utilizado con un objetivo doble:
 - Por un lado, permitir que se profundice en el diseño y caracterización a nivel de transistor de un elemento de memoria no cubierto en la formación académica previa.
 - Por otro, ilustrar los problemas de radiación en un circuito convencional inyectando paquetes de carga en distintos nudos para evaluar los valores de LET que provocan un fallo de almacenamiento de tipo SEU.
- El tercer circuito es una versión resistente a la radiación que evita los problemas del flip-flop anterior. Dicho diseño está construido con dos DICE latches resistentes a la radiación.
 - De nuevo, se ha realizado el diseño y testado al completo dentro este trabajo.
 - Se ha observado que el flip-flop construido con los DICE latch presenta una gran robustez ante cualquier impacto, dentro del intervalo de LET: $1 - 110 \text{ MeV cm}^2/\text{mg}$. Esto se debe a que el diseño DICE se basa en guardar el dato en dos células de memoria de forma que si una célula sufre un SET la otra será capaz de restaurar el valor original.

- También se ha recreado con nuestro modelo el impacto en mas de un nudo del DICE latch con la intención de demostrar la limitación del diseño. Como resultado obtuvimos los mismos fallos que en el circuito 2. Sin embargo, únicamente daba problemas cuando el impacto del ion afectaba simultáneamente a los nudos responsables de la interconexión entre las 2 células de memoria del latch. Estos resultados no están incluidos en este trabajo, ya que la forma en la que la carga depositada se reparte por los diferentes nudos abarca una teoría mucho más compleja y extensa, la cual no está incluida en el modelo utilizado.

8 REFERENCIAS

- [1] TRUMP, BRUCE. «RADIATION HANDBOOK FOR ELECTRONICS», S. F., 118.
- [2] ALIOTO, MASSIMO, ELIO CONSOLI, Y GAETANO PALUMBO. FLIP-FLOP DESIGN IN NANOMETER CMOS. CHAM: SPRINGER INTERNATIONAL PUBLISHING, 2015. [HTTPS://DOI.ORG/10.1007/978-3-319-01997-0](https://doi.org/10.1007/978-3-319-01997-0).
- [3] H. . -B. WANG ET AL., "AN SEU-TOLERANT DICE LATCH DESIGN WITH FEEDBACK TRANSISTORS," IN IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 62, NO. 2, PP. 548-554, APRIL 2015, DOI: 10.1109/TNS.2015.2399019.
- [4] RAZAVI B. DESIGN OF ANALOG CMOS INTEGRATED CIRCUITS. BOSTON MA: MCGRAW-HILL; 2001.
- [5] TÉCNICAS EXPERIMENTALES 2. TEMA 2: INTERACCIÓN RADIACIÓN MATERIA. UNIVERSIDAD DE SEVILLA.
- [6] C. HU, "ALPHA-PARTICLE-INDUCED FIELD AND ENHANCED COLLECTION OF CARRIERS," IN IEEE ELECTRON DEVICE LETTERS, VOL. 3, NO. 2, PP. 31-34, FEB. 1982, DOI: 10.1109/EDL.1982.25467.
- [7] V. GUTIERREZ AND G. LEGER, "ON THE IMPORTANCE OF BIAS-DEPENDENT CHARGE INJECTION FOR SET EVALUATION IN AMS CIRCUITS," 2020 18TH IEEE INTERNATIONAL NEW CIRCUITS AND SYSTEMS CONFERENCE (NEWCAS), 2020, PP. 307-310, DOI: 10.1109/NEWCAS49341.2020.9159811.
- [8] DÍEZ-ACEREDA V, L. KHEMCHANDANI S, DEL PINO J, MATEOS-ANGULO S. RHBD TECHNIQUES TO MITIGATE SEU AND SET IN CMOS FREQUENCY SYNTHESIZERS. ELECTRONICS. 2019; 8(6):690. <https://doi.org/10.3390/electronics8060690>
- [9] SINCRONISMO Y BIESTABLES SÍNCRONOS. SECUENCIADORES LÓGICOS PROGRAMABLES. UNIVERSIDAD DE ZARAGOZA «DIG13.PDF». ACCEDIDO 15 DE JULIO DE 2022. [HTTP://DIEC.UNIZAR.ES/~TPOLLAN/LIBRO/APUNTES/DIG13.PDF](http://diec.unizar.es/~tpollan/libro/apuntes/dig13.pdf).
- [10] WANG, HAIBIN, XIXI DAI, YOUNIS IBRAHIM, HONGWEN SUN, ISSAM NOFAL, LI CAI, GANG GUO, ZICAI SHEN, Y LI CHEN. «A LAYOUT-BASED RAD-HARD DICE FLIP-FLOP DESIGN». JOURNAL OF ELECTRONIC TESTING 35 (1 DE FEBRERO DE 2019). [HTTPS://DOI.ORG/10.1007/S10836-019-05773-4](https://doi.org/10.1007/s10836-019-05773-4).