

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 211 353**

21 Número de solicitud: 200203051

51 Int. Cl.7: **G01R 31/28**
G01R 31/317
G01R 31/319

12

PATENTE DE INVENCION

B1

22 Fecha de presentación: **20.12.2002**

43 Fecha de publicación de la solicitud: **01.07.2004**

Fecha de la concesión: **19.08.2005**

45 Fecha de anuncio de la concesión: **16.09.2005**

45 Fecha de publicación del folleto de la patente:
16.09.2005

73 Titular/es: **Universidad de Sevilla**
c/ Valparaíso 5, 1ª Planta
41013 Sevilla, ES

72 Inventor/es: **Aguirre Echanove, Miguel Ángel;**
Tombs, Jonathan Noel;
Torralba Silgado, Antonio y
García Franquelo, Leopoldo

74 Agente: **No consta**

54 Título: **Procedimiento para la inducción de valores en los registros de un circuito digital emulado mediante un circuito integrado de emulación hardware.**

57 Resumen:

Procedimiento para la inducción de valores en los registros de un circuito digital emulado mediante un circuito integrado de emulación hardware.

El procedimiento, basándose en circuitos integrados digitales programables por el usuario, con distintos mecanismos de configuración y que se configuran, por ejemplo, mediante células de memoria volátil (11) y (12), se basa en poder manipular puntos concretos de un emulador hardware que permite configurar localmente diferentes elementos sin afectar al resto del sistema. El procedimiento consiste en que a partir de un circuito insensible a la actividad del reloj con el uso intensivo de una entrada de habilitación, efectuar una inducción del valor de inicialización en el registro, igual al valor que se desea inducir, manipulando una memoria volátil (12) que configura un decodificador (10) y realizando un cambio en el valor de polaridad deseado en la señal de inicialización, manipulando otra memoria volátil (11) que configura un multiplexor (9), llevando a cabo una restauración de las condiciones de configuración previas a la manipulación y liberando el circuito del estado congelado, activando la señal de habilitación (3) del reloj.

ES 2 211 353 B1

Aviso: Se puede realizar consulta prevista por el art. 37.3.8 LP.

DESCRIPCIÓN

Procedimiento para la inducción de valores en los registros de un circuito digital emulado mediante un circuito integrado de emulación hardware.

Objeto de la invención

La presente invención se refiere a un procedimiento para realizar modificaciones en el comportamiento de un circuito digital que se emula sobre un sistema de emulación hardware comercial, también llamado FPGA's, mediante la inducción de valores en cualquier registro del circuito, en un instante cualquiera de su funcionamiento y mediante métodos diferentes a la propia evolución natural del circuito, la invención es válida para cualquiera de los emuladores hardware del mercado basados en memorias y se basa en la utilización original, y de forma no prevista por los fabricantes, de los elementos que conforman dichos emuladores.

El procedimiento permite la introducción de un valor en cualquiera en registros no seleccionados previamente, en instantes de funcionamiento no previstos sobre un circuito digital bajo prueba (CDBP) que está soportado en el emulador y sin habilitar circuitería específica. Es decir, permite la introducción de valores no esperados o errores de funcionamiento mediante un adecuado control del propio emulador. La modificación del estado de un registro es un proceso describe el efecto de un "evento adverso en un único bit" o "single bit upset event" o SBUE. El modelo SBUE representa los posibles efectos que pueden ocurrir sobre un circuito integrado digital en condiciones ambientales extremas.

Antecedentes de la invención

Uno de los puntos más importantes y problemáticos en muchos de los circuitos integrados que son diseñados para aplicaciones de gran responsabilidad (aplicaciones de soporte vital, ayuda en la conducción de vehículos aeronaves, publicaciones espaciales...) es la realización de la verificación de los posibles errores debidos a causas originadas en las condiciones extremas de funcionamiento a las que son sometidos. En la actualidad los estudios realizados se basan en procedimientos estadísticos de inserción SBUE's en modelos simulados. La verificación de todos los posibles eventos resulta en la práctica inviable.

Los emuladores hardware existentes en el mercado no facilitan de una manera directa una solución a este problema.

En la actualidad, los estudios se realizan sobre los sistemas simulados utilizando computadoras de gran potencia. El número de simulaciones que hay que realizar es muy elevado, ya que cada introducción de un solo SBUE requiere una simulación completa del circuito. Los sistemas actuales producen soluciones de manera ineficiente y en tiempos elevados, más cuanto mayor sea la dimensión del circuito. Por tanto, la mayor complejidad del circuito incide negativamente en la eficiencia de tales métodos.

Por ello, la presente invención no se refiere a cómo construir el sistema de emulación para producir SBUE sino a un procedimiento para realizar SBUE's en un emulador comercial cualquiera.

Descripción de la invención

Constituye el objeto de la presente invención una secuencia de operaciones que hay que realizar para la inducción de valores en los registros de un circuito digital bajo prueba (CDBP). El procedimiento se basa

en la adecuada manipulación de la memorias de configuración de los elementos que forman parte de un bloque elemental programable de los que componen un emulador hardware.

El procedimiento de la presente invención puede usar la circuitería y el procedimiento descrito en la invención P200102683. En ella se describe cómo realizar un control de la evolución del circuito situándolo en estado "congelado". En esta situación se hace factible el procedimiento que se describe en la presente invención, con la posibilidad de inducir un valor inicial cualquiera en el registro y la posibilidad de que la señal de inicialización tenga una polaridad u otra. Ambas propiedades son absolutamente comunes en los emuladores existentes en el mercado.

El procedimiento de la invención consiste en la inducción de los valores conocidos utilizando el mecanismo de inicialización de un registro mediante la manipulación del valor inicial del registro, transformándolo en el valor que se desea inducir, y de la polaridad de la señal que habilita dicho valor inicial, realizando una activación local de esa señal.

Descripción de los dibujos

Para complementar la descripción que se está realizando y con objeto de ayudar a una mejor comprensión de las características del invento, de acuerdo con un ejemplo preferente de realización práctica del mismo, se acompaña como parte integrante de dicha descripción, una hoja única de planos en donde con carácter ilustrativo y no limitativo, se ha representado el esquema correspondiente al diagrama de bloques determinan los recursos programables que se involucran en el procedimiento de la invención.

Realización preferente de la invención

A la vista de las figuras reseñadas puede observarse como el diagrama de bloques comentado incluye un registro (1) objeto de inducción de valor al que están asociadas la señal de reloj del registro (2), la señal de habilitación (3) del reloj, la señal correspondiente al valor futuro del contenido del registro posterior a la acción del reloj (4) y la señal de valor del contenido de registro (5). Al bloque de la señal de registro (2) objeto de inducción de valor, accede la señal "reset" (6), activa a nivel bajo e inicialización al valor cero, y la señal "set" (7), activa a nivel bajo e inicialización al valor uno, señales procedentes de la descomposición de la señal global de inicialización (8) que se hace pasar a través de un multiplexor (9) cuyo estado es coherente con la polaridad de la señal de inicialización, existiendo a continuación de ese multiplexor (9) un decodificador (10) cuyo estado indica el valor de inicialización, estando asociados a los bloques del multiplexor (9) y del decodificador (10) sendos bloques (11) y (12) correspondientes a una célula de memoria de configuración que determina el estado del multiplexor (9) y una célula de memoria de configuración que determina un estado del decodificador (10), respectivamente.

Los circuitos emuladores hardware se caracterizan porque pueden adoptar la funcionalidad que se desee mediante la generación de un patrón de configuración adecuado. Estos circuitos se conocen en el mercado como Field Programmable Gate Arrays o FPGA's, y son circuitos integrados digitales programables por el usuario. Estos circuitos dependiendo del modelo tienen diferentes mecanismos de configuración. En particular nos referiremos a aquellos circuitos que se configuran mediante células de memo-

ria volátil (o SRAM), (11) y (12), que representan más del 80% del mercado mundial. La capacidad de configurarse infinitas veces o bien reconfigurarse y sufrir modificaciones en su estructura durante su funcionamiento normal, es una posibilidad que no es ignorada por los fabricantes.

Esto confiere a los emuladores hardware una gran flexibilidad en la estructura del circuito digital que emulan. Sin embargo, esta flexibilidad no es suficiente. Existen situaciones en las que es muy útil realizar cambio en el estado de un circuito, es decir, en los contenidos de registros internos en un instante dado. Estos cambios suponen la inducción de valores en los registros que no corresponden con los que debe hacer en el instante en que se realizan. Dada la generalidad con la que están contruidos emuladores hardware, se dispone una capacidad para configurar localmente los diferentes elementos sin afectar al resto del sistema. Esto significa que es posible manipular puntos concretos del circuito emulador.

En la presente invención nos aprovechamos de que normalmente los emuladores hardware disponen de:

- a) Una señal de inicialización global (8) de los registros, cuya polaridad activa es programable. Es decir, el registro se inicializa siempre de la misma manera, con la misma polaridad en las señales (6) y (7) pero el usuario puede indicar cuál prefiere. Mediante un multiplexor y un inversor (9), el sistema se adapta a los requerimientos del diseñador.
- b) Un valor de inicialización particular (set/reset) (7)-(6), a cada registro, es decir, el registro puede ir incondicionalmente a cualquier valor programado en (12) por el diseñador cuando se activa la señal inicialización (8).

La figura representa esquemáticamente un regis-

tro, su valor de inicialización y cómo se puede adaptar la señal de inicialización. Normalmente estas señales tienen utilidad solamente cuando se realizan operaciones de arranque o reinicialización del circuito.

Por lo tanto, la invención consiste en un procedimiento o protocolo para que, explotando las posibilidades de éste sistema de inicialización, se pueda modificar el valor contenido en cualquier registro del diseño emulado. El protocolo consiste en los siguientes pasos:

1. Mediante la utilización de un sistema en si conocido, el circuito ha de ser insensible a la actividad del reloj (2) y permanecer estático, sin evolucionar, es decir, "congelado". Para ello se propone el uso intensivo de la entrada de habilitación del reloj (Clock Enable) (3). Esta entrada está disponible en todos los emuladores existentes.
2. Inducción del valor de inicialización en el registro igual al valor que se desea inducir. Manipulación de la memoria (12) que configura el decodificador (10).
3. Realizar un cambio en el valor de polaridad deseada en la señal de inicialización, manipulando la memoria (11), que configura el multiplexor (9). Este cambio fuerza al registro a evolucionar al estado de inicialización, ya que esta señal de inicialización (8) permanece invariable.
4. Restaurar las condiciones de configuración previas a la manipulación, escribiendo los valores originales en (11) y (12).
5. Liberar el circuito del estado congelado, activando la señal de habilitación (3) del reloj.

REIVINDICACIONES

1. Procedimiento para la inducción de valores en los registros de un circuito digital emulado mediante un circuito integrado de emulación hardware, que teniendo por finalidad efectuar el ensayo y estudio estadístico de efectos adversos de bit simples sobre circuitos digitales que se ejecutan en emuladores hardware. Se **caracteriza** porque consiste en inducir el valor de inicialización en el registro igual al valor que se desea inducir, mediante la manipulación primeramente de una memoria volátil (12) que configura un decodificador (10), modificando seguidamente el valor de polaridad deseada en la señal de inicialización

(8). En segundo lugar, manipulando una segunda memoria volátil (11) que configura un multiplexor (9), manipulando asimismo la polaridad de la señal que fuerza esa inicialización localmente. Ambas modificaciones fuerzan al registro a evolucionar el estado de inicialización, y no afectan al resto de la funcionalidad del circuito, en donde la señal de inicialización (8) permanece invariable. En tercer lugar, se efectúa una restauración de las condiciones de configuración previas a la manipulación en base a los valores originales de las memorias volátiles (11) y (12). Finalmente se procede a liberar el circuito de su estado "congelado" activando la señal de habilitación (3) del reloj.

5

10

15

20

25

30

35

40

45

50

55

60

65

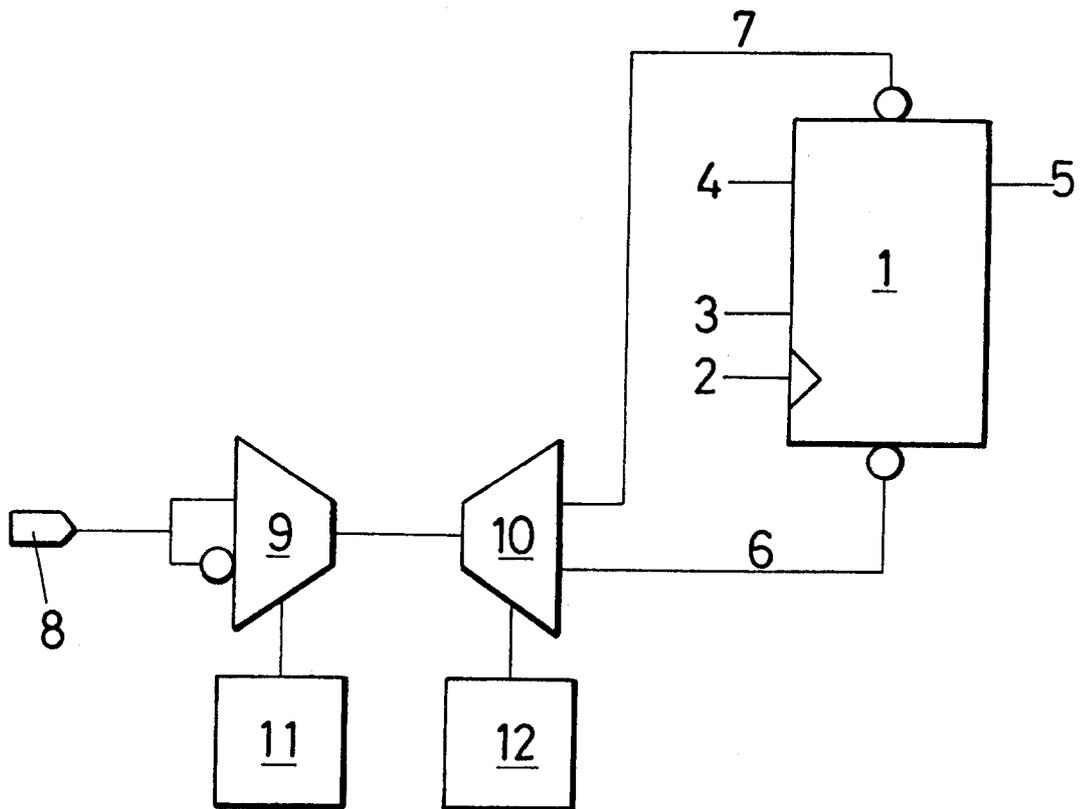


FIG.1



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

① ES 2 211 353

② Nº de solicitud: 200203051

③ Fecha de presentación de la solicitud: 20.12.2002

④ Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TÉCNICA

⑤ Int. Cl.7: G01R 31/28, 31/317, 31/319

DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
A	US 4719593 A (THREEWITT et al.) 12.01.1988, todo el documento.	1
A	US 5644579 A (SHEPPARD DAVID WILLIAM) 01.07.1997, todo el documento.	1
A	US 4205383 A (BAKANOVICH EDUARD A. et al.) 27.05.1980, todo el documento.	1
A	US 4583041 A (KIMURA SHIGEHIRO) 15.04.1986, todo el documento.	1
A	US 4945536 A (HANCU MARIUS) 31.07.1990, todo el documento.	1

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe

12.02.2004

Examinador

M^a C. González Vasserot

Página

1/1