



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

① Número de publicación: **2 220 209**

② Número de solicitud: 200301030

⑤ Int. Cl.

H03K 17/56 (2006.01)

⑫

PATENTE DE INVENCION

B1

② Fecha de presentación: **25.04.2003**

④ Fecha de publicación de la solicitud: **01.12.2004**

Fecha de la concesión: **27.12.2005**

⑤ Fecha de anuncio de la concesión: **16.01.2006**

⑥ Fecha de publicación del folleto de la patente:
16.01.2006

⑦ Titular/es: **Universidad de Sevilla
c/ Valparaiso, 5 - 1ª Planta
41013 Sevilla, ES**

⑧ Inventor/es: **Muñoz Chavero, Fernando;
González Carvajal, Ramón;
Torralba Silgado, Antonio y
Palomo Vázquez, Bernardo**

⑨ Agente: **No consta**

④ Título: **Método para conmutar interruptores bajo condiciones de baja tensión de alimentación e interruptor para la puesta en práctica del mismo.**

⑤ Resumen:

Método para conmutar interruptores bajo condiciones de baja tensión de alimentación e interruptor para la puesta en práctica del mismo.

El método consiste en conectar una señal de reloj a la puerta de un transistor MOS que hace de interruptor a través de un condensador. Utilizando una resistencia grande dependiente de la señal, implementada mediante un transistor en estado de corte, se provoca el desplazamiento a nivel de tensión necesario para la correcta conmutación del interruptor. El interruptor está compuesto por un transistor de canal n [M_{passN}], a cuya puerta están conectados un transistor de canal p [$M_{Rlarge1}$] y una capacidad [C_1]. Se utiliza el desplazamiento de nivel de tensión existente entre la entrada de reloj [V_{clk}] y la puerta del transistor [V_{clksh}] para permitir una correcta conmutación del interruptor, pudiendo ser la tensión de alimentación ligeramente superior a la tensión umbral de un transistor, o incluso menor que ésta. Para conseguir un interruptor de rango completo es posible conectar en serie un transistor de puerta casi-flotante de canal p [M_{passP}] en una arquitectura similar.

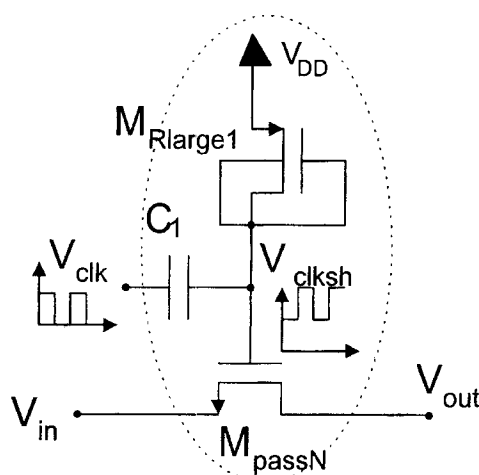


FIG.1

ES 2 220 209 B1

Aviso: Se puede realizar consulta prevista por el art. 37.3.8 LP.

DESCRIPCIÓN

Método para conmutar interruptores bajo condiciones de baja tensión de alimentación e interruptor para la puesta en práctica del mismo.

Objeto de la invención

La presente invención se refiere a un método para poder conmutar interruptores bajo condiciones de baja tensión de alimentación, así como también al interruptor analógico para muy baja tensión de alimentación que permite la aplicación práctica de dicho método.

La invención está relacionada con los interruptores analógicos en tecnología CMOS, y más particularmente con los interruptores analógicos empleados en circuitos de baja y muy baja tensión de alimentación. Estos interruptores encuentran aplicación en circuitos de capacidades conmutadas que implementan filtros de tiempo discreto y convertidores analógico digitales, entre otras aplicaciones.

Antecedentes de la invención

Son varias las razones que ha llevado a la reducción progresiva de la tensión de alimentación en los sistemas mixtos en tecnología CMOS, entre ellas el espectacular crecimiento de las comunicaciones inalámbricas y los avances experimentados por la propia tecnología. Generalmente, la parte analógica de estos sistemas mixtos se diseña utilizando técnicas de capacidades conmutadas. En este tipo de circuitos existen interruptores críticos que deben funcionar con un rango de señal elevado (por ejemplo los interruptores de entrada del circuito y los localizados a la salida de los amplificadores operacionales). Cuando la tensión de alimentación baja, no es posible conseguir tensiones de puerta suficientemente altas como para permitir una conducción correcta de los transistores MOS utilizados como interruptores. Por tanto, existe la necesidad de interruptores para muy baja tensión de alimentación con un rango de señal elevado. En este sentido cabe citar las patentes estadounidenses US 6492860 y US 2002145462.

En los últimos años han aparecido numerosas técnicas para solucionar este problema. En tecnologías CMOS convencionales. En primer lugar cabe citar la técnica de amplificadores conmutados, en la cual se eliminan los interruptores críticos apagando los amplificadores en la fase de reloj correspondiente (CROLS, J., STEYAERT, M.: "Switch-Opamp: An approach to realize full CMOS switched-capacitor circuits at very low voltage supply voltages," IEEE J. Solid-State Circuits, vol. 29, no. 8, August 1994, pp. 936-942.). Esta técnica tiene varios inconvenientes: no se resuelve el problema en los interruptores colocados a la entrada del circuito (que deben funcionar con rangos completos de señal) y el comportamiento alta frecuencia se ve degradado. Por otro lado, una técnica muy común para realizar interruptores de baja tensión es la utilización de dobladores de tensión para generar la señal de reloj (ABO, M. A., GRAY, P. R.: "A 1.5 V, 10-bit, 14.3 MS/s CMOS pipeline analog-to-digital converter," IEEE J. Solid-State Circuits, vol. 34, no. 5, May 1999, pp. 599-606).

Descripción de la invención

El método que la invención propone consiste en conectar la señal de reloj a la puerta de un transistor MOS que hace de interruptor a través de un condensador, de manera que utilizando una resistencia grande dependiente de la señal, implementada mediante un

transistor en estado de corte, se provoca el desplazamiento de nivel de tensión necesario para la correcta conmutación del interruptor.

En cuanto al interruptor para la puesta en práctica de dicho método, consiste en un transistor de canal n, cuya puerta está conectada a la señal de reloj mediante un acoplamiento capacitivo, a la vez que dicha puerta está conectada a la alimentación positiva a través de un transistor en configuración diodo y región de corte, de forma que funcione como una resistencia grande dependiendo de la señal, de manera que el desplazamiento de tensión producido en el condensador permite el correcto funcionamiento a baja tensión.

Opcionalmente en lugar de un transistor de canal n se puede utilizar un transistor de canal p, cuya puerta está conectada al reloj mediante un acoplamiento capacitivo y conectada a la alimentación negativa a través de un transistor en configuración diodo y región de corte, de forma que funcione como una resistencia grande dependiente de la señal, consiguiéndose los mismos efectos que en el caso anterior.

De acuerdo con otra de las características de la invención puede conseguirse un interruptor de baja tensión y rango completo mediante la conexión en serie de los dos interruptores citados, el de canal n y el de canal p.

Descripción de los dibujos

Para complementar la descripción que se está realizando y con objeto de ayudar a una mejor comprensión de las características del invento, de acuerdo con un ejemplo preferente de realización práctica del mismo, se acompaña como parte integrante de dicha descripción, un juego de dibujos en donde con carácter ilustrativo y no limitativo, se ha representado lo siguiente:

La figura 1.- Muestra el esquema correspondiente a un interruptor analógico para muy baja tensión de alimentación, realizada de acuerdo con el objeto de la presente invención, concretamente utilizando un transistor MOS de canal n.

La figura 2.- Muestra un esquema similar al de la figura anterior, pero correspondiente a una variante de realización del interruptor en la que se utiliza un transistor MOS de canal p.

La figura 3.- Muestra nuevamente un esquema similar a las figuras anteriores, pero correspondiente a un interruptor de rango completo combinando un transistor MOS de canal n y otro de canal p.

La figura 4.- Muestra, finalmente, un esquema correspondiente a un interruptor de imperancia constante, como uno de los posibles ejemplos de aplicación práctica de la invención.

Realización preferente de la invención

Tal como acaba de decirse, un interruptor realizado utilizando un transistor MOS de canal n se puede ver en la figura 1. El transistor $[M_{\text{passN}}]$ se corresponde con un transistor de puerta casi-flotante, es decir, su puerta está conectada a uno de los railes de alimentación mediante una resistencia de un valor muy elevado. Dicha resistencia está implementada por un transistor de canal p $[M_{\text{Rlarget}}]$ en estado de corte. El transistor $[M_{\text{Rlarget}}]$ está conectado en configuración diodo con su fuente conectada a la alimentación positiva y su drenador y puerta conectados a la puerta casi-flotante de $[M_{\text{passN}}]$, de esta forma dicho diodo siempre se encuentra cortado. El pozo n de $[M_{\text{passN}}]$ está conectado a la puerta (se asume tecnología CMOS de pozo n), para permitir tensiones positivas en la puerta ca-

si-flotante mayores que la suma de $[V_{DD}]$ y la tensión umbral de una unión PN.

La puerta de $[M_{passN}]$ se encuentra conectada a la señal de reloj $[V_{CLK}]$ mediante un acoplamiento capacitivo, de forma que la señal de reloj se transfiere a la puerta casi-flotante $[V_{clksh}]$. La capacidad realiza un desplazamiento de nivel de tensión de valor $[V_{DD}]$ aproximadamente, de esta manera se consigue que la conmutación sea correcta incluso con tensiones de alimentación muy bajas.

Si la resistencia implementada por $[M_{Rlarget}]$ fuera constante e independiente de la señal, la capacidad $[C_1]$ de la figura 1 se podría entender como un desacople de continua convencional. Por tanto, el nivel DC en la puerta de $[M_{passN}]$ sería igual a $[V_{DD}]$. Sin embargo, la resistencia implementada por $[M_{Rlarget}]$ depende fuertemente de la tensión puerta-fuente del transistor. De esta forma, la resistencia implementada será mayor cuando $[V_{clk}]$ esté a nivel alto. Esto produce un efecto muy significativo sobre el valor de tensión continua en la puerta de $[M_{passN}]$, que pasa a ser de casi $[1.5V_{DD}]$, en lugar de $[V_{DD}]$. De esta forma, la tensión $[V_{clksh}]$ oscila aproximadamente entre $[V_{DD}]$ y $[2V_{DD}]$. Por tanto, la tensión en la puerta de $[M_{passN}]$ es suficientemente grande como para conseguir una correcta conducción del interruptor bajo condiciones de muy baja tensión. Este interruptor tiene el problema de no ser de rango completo, ya que para señales de entrada muy cercanas a $[GND]$ no es posible cortar el interruptor.

Otra alternativa es realizar el interruptor utilizando un transistor de canal p $[M_{passP}]$, como el mostrado en la figura 2. El funcionamiento es muy similar al interruptor de la figura 1, sólo que en este caso la puerta casi-flotante se conecta a $[GND]$ mediante una resistencia muy grande. Para implementar dicha resistencia se usa un transistor de canal p $[M_{Rlarget2}]$ (se asume tecnología de pozo N). Nótese que utilizando una tecnología de pozo N no es posible realizar dicha resistencia mediante un transistor de canal n, ya que

el rango de tensión en la puerta casi-flotante estaría limitado por la unión PN formada entre el sustrato y la fuente. La resistencia implementada por $[M_{Rlarget2}]$ es diferente si la señal de reloj está a nivel alto o bajo, de forma que la señal en la puerta flotante $[V_{clksh}]$ oscilará aproximadamente entre $[GND]$ y $[-V_{DD}]$, permitiéndose un correcto funcionamiento del interruptor con tensiones de alimentación muy bajas. Este interruptor presenta el mismo problema que el realizado con un transistor de canal n, sólo que en este caso, no es posible cortar el interruptor para tensiones de entrada cercanas a $[V_{DD}]$.

A continuación se verá que combinando los dos interruptores presentados anteriormente se puede obtener un interruptor de baja tensión y rango completo. La figura 3 muestra un interruptor formado por la conexión en serie dos transistores de puerta casi-flotante complementarios. Es decir, uno de ellos será de canal p $[M_{passN}]$ y otro de canal n $[M_{passP}]$. Necesitaremos dos señales de reloj distintas, siendo $[V_{clkn}]$ (aplicada en $[C_2]$) una versión invertida de $[V_{clk}]$ (aplicada en $[C_1]$). En este caso, para señales de entrada cercanas a $[GND]$ el transistor $[M_{passP}]$ se corta perfectamente, mientras que para señales cercanas a $[V_{DD}]$ se corta $[M_{passN}]$, de forma que se obtiene un funcionamiento correcto en el rango completo de señal.

En la figura 4, como posible aplicación de la invención, se muestra un interruptor de impedancia constante basado en un esquema clásico, con la diferencia de que en este caso, se han utilizado transistores de puerta casi-flotante $[M_{passN}]$ y $[M_{passP}]$ para obtener un correcto funcionamiento en condiciones de baja tensión de alimentación. En el ciclo alto de reloj se almacena una tensión en el condensador $[C_3]$ igual a $[V_{in}]$ y se conecta la puerta $[V_G]$ de $[M_{switch}]$ a tierra. Por otro lado, cuando la señal de reloj está a nivel alto, la tensión en $[V_G]$ vale $[V_{DD}+V_{in}]$. De esta forma, la tensión puerta-fuente de $[M_{switch}]$ siempre es constante, y consecuentemente también lo es la resistencia presentada por el interruptor.

REIVINDICACIONES

1. Método para conmutar interruptores bajo condiciones de baja tensión de alimentación, **caracterizado** porque consiste en conectar una señal de reloj a la puerta de un transmisor MOS que hace de interruptor a través de un condensador, de manera que utilizando una resistencia grande dependiente de la señal, implementada mediante un transistor en estado de corte, se provoca el desplazamiento de nivel de tensión necesario para la correcta conmutación del interruptor.

2. Interruptor para la puesta en práctica del método de la reivindicación 1ª, **caracterizado** porque consiste en un transistor de canal n, cuya puerta está conectada a la señal de reloj mediante un acoplamiento capacitivo, a la vez que dicha puerta está conectada a la alimentación positiva a través de un transistor en configuración diodo y región de corte, de forma que funciona con una resistencia grande dependiente de la señal, con lo que el desplazamiento de tensión producido en el condensador permite el correcto funcionamiento a baja tensión.

3. Interruptor para la puesta en práctica del método de la reivindicación 1ª, **caracterizado** porque consiste en un transistor de canal p, cuya puerta está conectada al reloj mediante un acoplamiento capacitivo,

a la vez que dicha puerta está conectada a la alimentación negativa a través de un transistor en configuración diodo y región de corte, de forma que funciona como una resistencia grande dependiente de la señal y de forma que el desplazamiento de tensión producido en el condensador permite el correcto funcionamiento a baja tensión.

4. Interruptor, según reivindicaciones 2ª y 3ª, **caracterizado** porque para conseguir rango completo en el mismo participa un interruptor de baja tensión consistente en un transistor de canal n, cuya puerta está conectada a la señal de reloj mediante un acoplamiento capacitivo y a la alimentación positiva a través de un transistor en configuración diodo y región de corte, interruptor conectado en serie con otro consistente en un transistor de canal p, cuya puerta está conectada al reloj mediante un acoplamiento y a la vez conectada a la alimentación negativa a través de un transistor de configuración diodo y región de corte.

5. Interruptor, según reivindicación 4ª, **caracterizado** porque utilizando transistores de puerta casi-floante y almacenando en el ciclo alto del reloj una tensión en el condensador, a la vez que se conecta a tierra la puerta del transistor, se consigue un interruptor de imperancia constante.

5

10

15

20

25

30

35

40

45

50

55

60

65

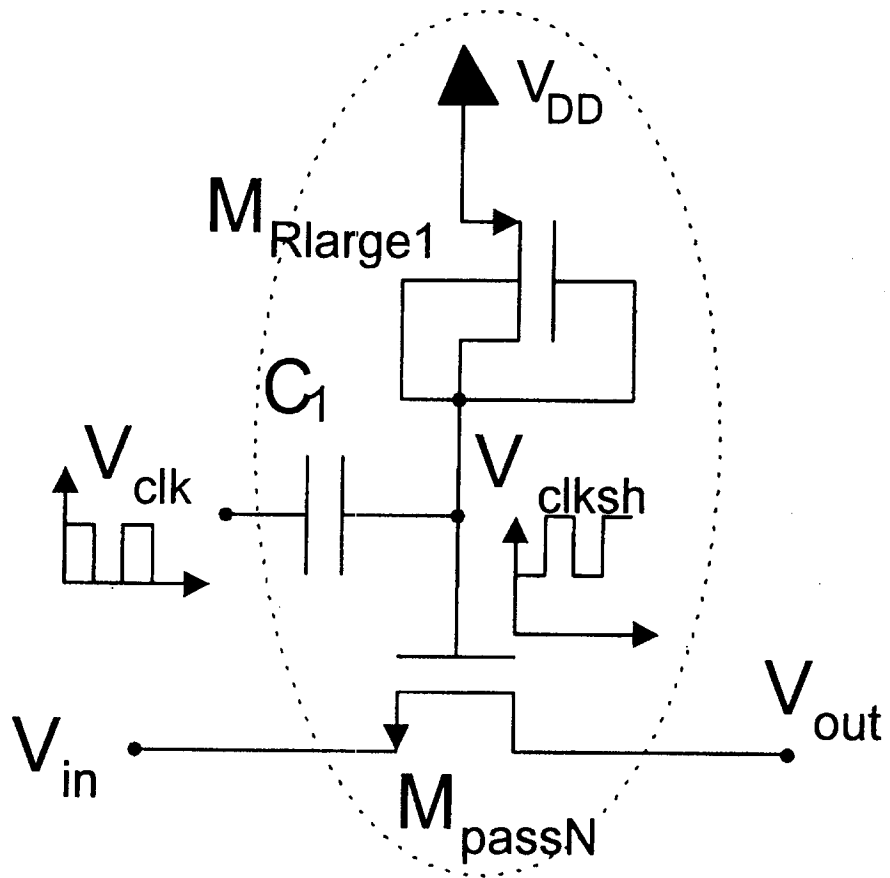


FIG.1

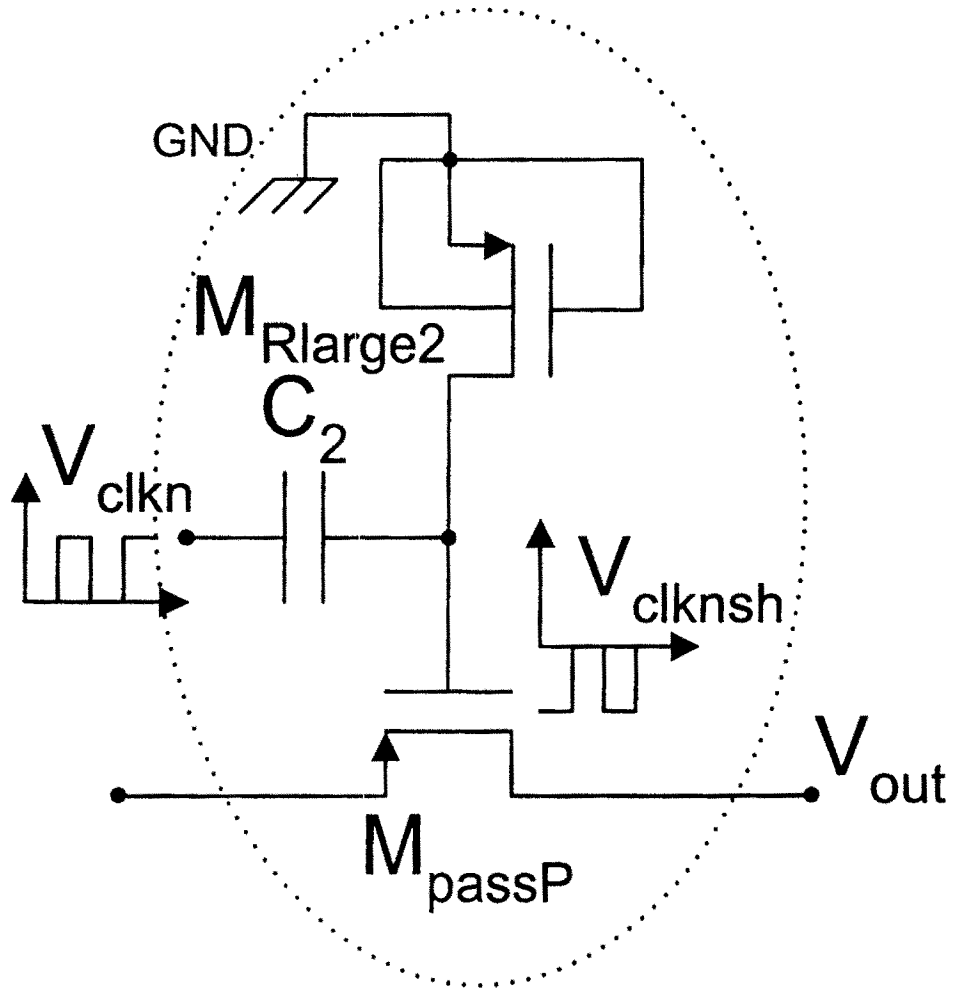


FIG. 2

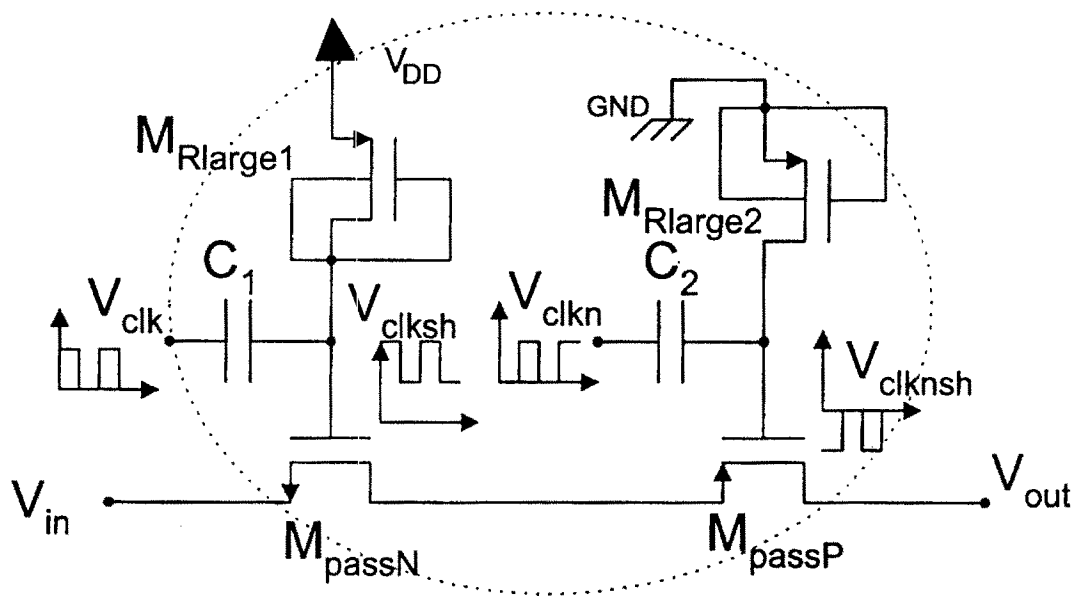


FIG.3

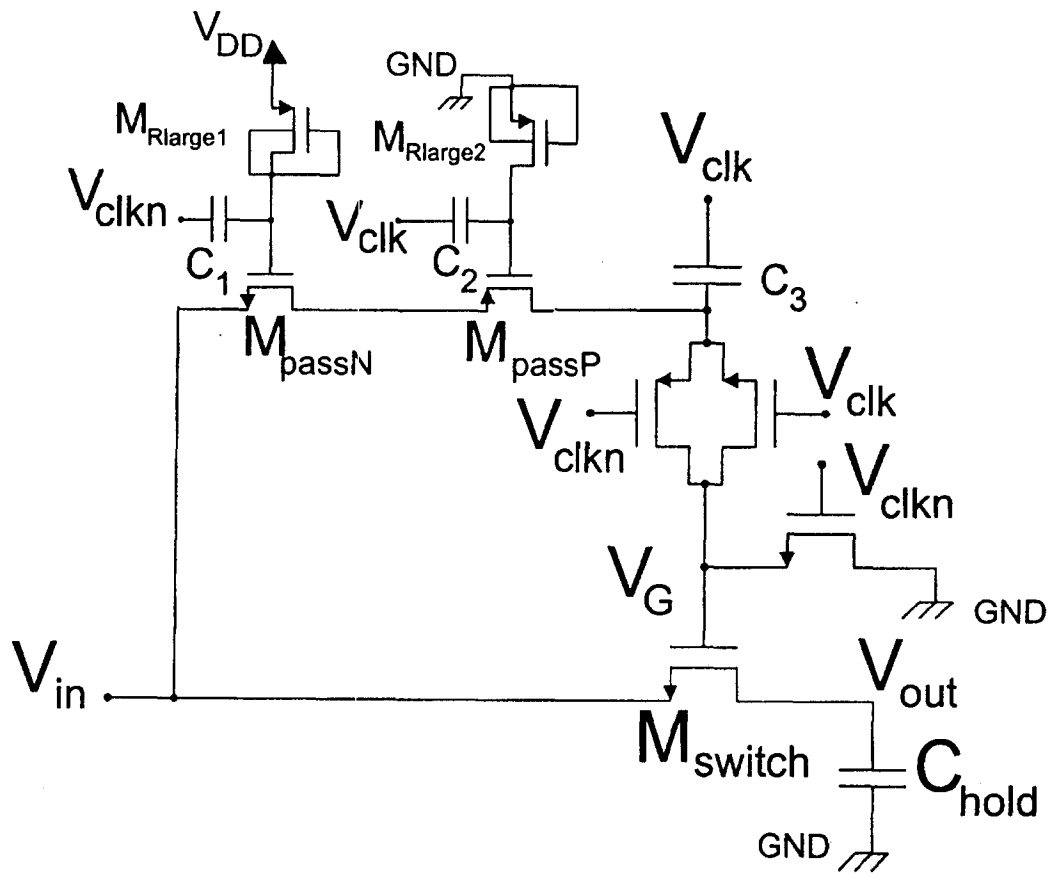


FIG.4



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

① ES 2 220 209

② N° de solicitud: 200301030

③ Fecha de presentación de la solicitud: 25.04.2003

④ Fecha de prioridad:

INFORME SOBRE EL ESTADO DE LA TÉCNICA

⑤ Int. Cl.7: H03K 17/56

DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
A	BASE DE DATOS PAJ en EPOQUE, JP 02-174315 A (SEIKO EPSON CORP.) 05.07.1990, resumen; figuras.	
A	BASE DE DATOS PAJ en EPOQUE, JP 07-023299 A (SONY CORP.) 24.01.1995, resumen; figuras.	
A	EP 0698966 A1 (SGS-THOMSON MICROELECTRONICS S.r.l.) 28.02.1996	
A	US 6492860 B1 (RAMAKRISHNAN) 10.12.2002	

Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones nº:

Fecha de realización del informe

29.10.2004

Examinador

J. Botella Maldonado

Página

1/1