



19



OFICINA ESPAÑOLA DE  
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 186 536**

21 Número de solicitud: 200101073

51 Int. Cl.<sup>7</sup>: H03M 3/02

12

PATENTE DE INVENCION

B1

22 Fecha de presentación: **07.05.2001**

43 Fecha de publicación de la solicitud: **01.05.2003**

Fecha de concesión: **17.12.2003**

45 Fecha de anuncio de la concesión: **01.02.2004**

45 Fecha de publicación del folleto de patente:  
**01.02.2004**

73 Titular/es: **Universidad de Sevilla**  
**Valparaíso 5 - 2ª planta**  
**41013 Sevilla, ES**

72 Inventor/es: **Colodro Ruiz, Francisco y**  
**Torralba Silgado, Antonio Jesús**

74 Agente: **No consta**

54 Título: **Modulador Sigma-Delta en cascada multifrecuencia.**

57 Resumen:  
Modulador Sigma-Delta en cascada multifrecuencia.  
La presente invención se refiere a un modulador Sigma-Delta (SD) en cascada multifrecuencia. Este modulador se caracteriza porque emplea dos o más frecuencias de muestreo diferentes en las distintas etapas del mismo.  
El uso del modulador SD en cascada multifrecuencia optimiza el consumo de potencia de la arquitectura y la relación Señal a Ruido total de la misma.  
Esta invención es aplicable a cualquier convertidor SD, incluyendo moduladores de capacidades conmutadas, de corrientes conmutadas y continuos en el tiempo. En general, es aplicable a cualquier convertidor SD de los que se emplean en aplicaciones industriales del sector de las telecomunicaciones y la electrónica de consumo.

ES 2 186 536 B1

Aviso: Se puede realizar consulta prevista por el art. 37.3.8 LP.

## DESCRIPCION

Modulador Sigma-Delta en cascada multifrecuencia.

**Objeto de la invención**

La presente invención se refiere a un modulador Sigma-Delta (SD) en cascada en el que se utilizan diferentes frecuencias de muestreo en cada una de las etapas de dicho modulador.

Esta invención es aplicable a cualquier realización de moduladores SD, incluyendo moduladores de capacidades conmutadas, de corrientes conmutadas y continuos en el tiempo. En general, es aplicable a cualquier convertidor SD de los que se emplean en aplicaciones industriales del sector de las telecomunicaciones y la electrónica de consumo. Por ejemplo en lectores de Compact-Disc, en sistemas xDLS y en terminales móviles de última generación.

**Estado de la técnica**

Los moduladores sobremuestreados han sido profusamente empleados en aplicaciones que requieren elevada precisión [1]. Estos moduladores son adecuados para realizar procesamiento de señal en circuitos integrados de muy alta escala de integración, dado que son muy tolerantes a variaciones en los componentes y procesos de fabricación [2]. Para conseguir una elevada resolución, el diseñador debe escoger entre la tasa de sobremuestreo (M) y el orden del modulador (L). Los primeros moduladores emplearon arquitecturas simples de un solo bit y de un solo bucle con elevadas tasas de sobremuestreo. Para aumentar la velocidad de conversión de estos convertidores es necesario aumentar la frecuencia de muestreo o disminuir la tasa de sobremuestreo. La primera está limitada por el ancho de banda de los amplificadores y por el consumo. Por ello, los convertidores Sigma-Delta (SD) de alta velocidad operan con bajas tasas de sobremuestreo. En esas condiciones, conseguir una elevada precisión requiere aumentar el orden de los moduladores o usar un cuantizador multibit. Los moduladores de un solo bucle de elevado orden presentan problemas de estabilidad que pueden ser evitados empleando una cascada de moduladores de bajo orden [3]. Por otra parte, el uso de un cuantizador multibit introduce una mejora de 6dB frente a un cuantizador monobit, siendo b el número de bits del cuantizador. Además, al introducir un cuantizador multibit disminuyen los problemas de estabilidad de los moduladores monobucle de elevado orden. Sin embargo, el principal obstáculo que presenta un modulador multibit es la elevada precisión que requiere el Convertidor Digital/Analógico (CDA) del camino de realimentación. Varias técnicas han sido propuestas para mitigar los errores del CDA, usando corrección digital, analógica o apareamiento dinámico de los elementos.

En la actualidad, se necesitan nuevos Convertidores Analógico-Digitales (CAD) que sean capaces de operar con 13 y 14 bits en el rango de las Megamuestras por segundos en aplicaciones tales como xDSL y terminales móviles de tercera generación. Para estas aplicaciones varios moduladores han sido recientemente propuestos con diferentes topologías. Usualmente son estructuras

de elevado orden obtenidas disponiendo en cascada varios moduladores de primer o segundo orden con un cuantizador multibit en la última de ellas.

Análisis convencionales de primer orden muestran que, para un Rango Dinámico dado, el consumo de los convertidores SD no depende de la tasa de sobremuestreo M [4]. Sin embargo, estos análisis emplean un modelo muy simple de un solo polo del amplificador operacional y no son válidos para las aplicaciones actuales de convertidores SD de elevada velocidad, donde los amplificadores funcionan muy cerca de su máximo ancho de banda. En ese caso, el consumo aumenta debido a:

- 1) las capacidades parásitas, las cuales llegan a ser una fracción significativa de la capacidad de muestreo, y
- 2) los tiempos de subida, bajada y no solape de las fases del reloj, llegan a ser una fracción significativa del ciclo de reloj.

También en [4] se realizó un análisis más completo del consumo en moduladores SD, incluyendo parásitos de primer orden, demostrando que el consumo crece desproporcionadamente a partir de una determinada frecuencia de muestreo que depende del tipo de amplificador empleado.

Una característica de todas las realizaciones propuestas hasta la fecha es que todas las etapas del modulador trabajan con la misma tasa de sobremuestreo.

**Referencias**

[1] J. C. Candy, and G. C. Temes, "Oversampling methods for A/D and D/A conversion" in *Oversampling Delta-Sigma Data Converter*. New York: IEEE Press, 1992, pp. 1-25.

[2] S. R. Norsworthy, R. Schreier, and G. C. Temes, Eds. *Delta-Sigma Data Converters: Theory, Design and Simulation*. New York: IEEE Press, 1996.

[3] T. Hayashi, Y. Inabe, K. Uchimura, and A. Iwata, "A multistage delta-sigma modulator without double integration loop", in *ISSCC Dig. Tech. Pap.*, pp. 182-183, Feb. 1986.

[4] S. Rabbii, B. A. Wooley. *The design of low-voltage, low-power sigma-delta modulators*. Boston: Kluwer AP, 1999.

**Breve explicación de las figuras**

Figura 1: Nuevo modulador SD en cascada Multifrecuencia (SD-CM) de orden 2-2.

Figura 2. SNDR frente a amplitud de la señal de entrada para diferentes moduladores SD en cascada de orden 2-2.

**Explicación general de la invención**

La presente invención se refiere a un modulador Sigma-Delta (SD) en cascada en el que se utilizan múltiples frecuencias de muestreo en las distintas etapas del modulador.

El modulador SD en cascada multifrecuencia emplea una frecuencia de muestreo  $f_{si}$  en cada etapa del modulador mayor o igual a la utilizada en la etapa anterior, de forma que se utilizan al menos dos frecuencias de muestreo distintas. Es decir, dada la frecuencia  $f_{s1}$  utilizada en la primera etapa del modulador SD en cascada, existe

al menos una etapa posterior a la primera en la que se utiliza una frecuencia de muestreo estrictamente mayor a la utilizada en la primera etapa, garantizando así la multifrecuencia del modulador SD en cascada propuesto.

#### Explicación detallada de la invención

El modulador SD propuesto emplea distintas frecuencias de muestreo en las diferentes etapas de un modulador SD en cascada.

Es fácil ver que el empleo de diferentes frecuencias de muestreo mejora el diseño de los moduladores SD en cascada. En efecto, dado que cada etapa tiene una considerable ganancia en las frecuencias de la banda pasante, el ruido y la distorsión introducidos en la banda pasante por las diferentes etapas que siguen a la primera, se ven muy atenuados cuando se refieren a la entrada del modulador. Por ello, las prestaciones de ruido y distorsión de un modulador SC en cascada vienen determinadas por la primera etapa, la cual, a su vez, determina el consumo del convertidor completo. Demostraremos en lo que sigue que una reducción de la tasa de sobremuestreo de la primera etapa puede ser compensada por un incremento similar en la tasa de sobremuestreo de las etapas siguientes, cuya contribución al consumo del modulador es mucho menos significativa. Por ello una selección adecuada de las tasas de sobremuestreo de cada una de las etapas de un convertidor SD en cascada es una decisión arquitectural que debe tenerse en cuenta para el diseño de convertidores sobremuestreados de elevada resolución, alta velocidad de conversión y bajo consumo.

Esta técnica es aplicable a cualquier realización de moduladores SD, incluyendo moduladores de capacidades conmutadas, de corrientes conmutadas y continuos en el tiempo.

#### Ejemplo de realización de la invención

Aplicando la técnica propuesta, se propone una nueva clase de moduladores SD en cascada, llamados Moduladores SD en Cascada Multifrecuencia (SD-CM), donde la primera etapa trabaja con una frecuencia de muestreo  $f_{s1}$  baja, mientras que el resto de las etapas son operadas a una frecuencia de muestreo superior  $f_{s2} = N \cdot f_{s1}$ . La arquitectura propuesta tiene, pues, dos tasas de sobremuestreo diferentes,  $M_1 = f_{s1} / (f_N / 2)$  en la primera etapa y  $M_2 = f_{s2} / (f_N / 2)$  para el resto, donde  $f_N$  es la frecuencia de Nyquist de la señal de entrada y  $N$  es el incremento de la tasa de sobremuestreo de las etapas superiores del modulador. La figura 1 muestra como ejemplo la estructura de un nuevo modulador SD en Cascada Multifrecuencia (SD-CM) de orden 2-2.

Nótese que la arquitectura SD-CM es sólo una de las múltiples posibles con la técnica propuesta en esta patente. Especialmente interesantes son aquellas arquitecturas en las que cada etapa del modulador tiene una frecuencia de muestreo diferente, optimizada de manera que el consumo total del modulador sea mínimo. Estas arquitecturas

están igualmente cubiertas por la técnica propuesta y se incluyen dentro de esta patente.

#### Análisis del modulador SD-CM

Realizaremos el análisis del modulador SD-CM de la figura 1. Otros moduladores en cascada multifrecuencia pueden ser analizados de igual manera. Asumiendo un apareamiento perfecto entre los flujos de señal analógica y digital, la salida del modulador en  $z$  viene dada por:

$$\begin{aligned} Y(z) &= Z^{-2} z^{-2} X(z) + (1-Z^{-1})^2 (1-z^{-1})^2 E_2(z) \\ &= z^{-2(N+1)} X(z) + (1-z^{-N})^2 (1-z^{-1})^2 E_2(z) \end{aligned} \quad (1)$$

donde  $E_2(z)$  es el ruido de cuantización de la segunda etapa,  $z^{-1}$  es el retraso unitario a la frecuencia superior  $f_{s2}$ ,  $Y Z^{-1} = z^{-N}$  el retraso unitario a la frecuencia inferior  $f_{s1}$ .

Procediendo como en [1], los filtros de cancelación de error vendrán dados por:

$$\begin{aligned} H_1(z) &= H_{1,1}(Z) \cdot H_{1,2}(z) = (2Z^{-1} - Z^{-2}) z^{-2} \\ H_2(z) &= N(1-z^{-N})^2 \end{aligned} \quad (2)$$

El filtro  $H_1(z)$  puede ser implementado como una cascada de dos filtros. El primero,  $H_{1,1}(Z)$ , trabajando a la frecuencia inferior  $f_{s1}$ , y el segundo,  $H_{1,2}(z)$ , trabajando a la frecuencia superior  $f_{s2}$ .

Considerando que la ganancia de baja frecuencia de los integradores de la segunda etapa es  $20 \log_{10} N$  dB mayor que la de los integradores de la primera etapa, la mejora esperada en la relación Señal a Ruido más Distorsión (SNDR) es de  $40 \log_{10} N$  dB cuando se compara con una estructura SD convencional del mismo orden trabajando todas las etapas a  $f_{s1}$ . Por ejemplo, para  $N = 4$ , la mejora esperada es de 24 dB. Este resultado se ha validado por simulación como se muestra en la figura 2. En esta figura se muestra la SNDR para cuatro diferentes moduladores en cascada de orden 2-2 en función de la amplitud de la señal de entrada. Nótese que la SNDR de un modulador SD-CM con  $M_1 = 32$  and  $N=4$ , es aproximadamente igual a la de un modulador SD convencional con una tasa de sobremuestreo  $M=64$ . Este resultado muestra que una reducción de la tasa de sobremuestreo en la primera etapa de un modulador SD en cascada puede ser compensada por un incremento similar en las últimas etapas del mismo, cuya contribución al consumo total es muy inferior. La figura 2 muestra también un beneficio adicional obtenido con las estructuras multifrecuencia aquí propuestas, y es que alcanzan un nivel más alto de la SNDR de pico que las arquitecturas SD en cascada convencionales.

**REIVINDICACIONES**

1. Modulador Sigma-Delta en cascada multifrecuencia **caracterizado** porque se emplean múltiples frecuencias de muestreo en las distintas etapas del modulador.

2. Modulador Sigma-Delta en cascada multifrecuencia según reivindicación 1 **caracterizado** una frecuencia de muestreo  $f_{s_i}$  en cada etapa  $i$ -ésima del modulador, de forma que  $f_{s(i+1)} > f_{s_i}$  ó  $f_{s(i+1)} = f_{s_i}$ .

3. Modulador Sigma-Delta en cascada multifrecuencia según reivindicaciones 1 y 2 **caracterizado** porque se emplea una frecuencia de mues-

treo  $f_{s_1}$  en la primera etapa del modulador y frecuencias  $f_{s_i}$  en las  $i$  etapas del modulador siguientes a la primera, de forma que en al menos una etapa  $i$ -ésima distinta a la primera se emplea una frecuencia de muestreo  $f_{s_i}$  mayor que la frecuencia de muestreo  $f_{s_1}$  utilizada en la primera etapa del modulador.

4. Utilización del modulador Sigma-Delta en cascada multifrecuencia realizado según reivindicaciones 1-3 para optimizar la relación Señal a Ruido total eligiendo el diseñador de la arquitectura la frecuencia de muestreo más apropiada en cada etapa que le permita dicha optimización.

5

10

15

20

25

30

35

40

45

50

55

60

65

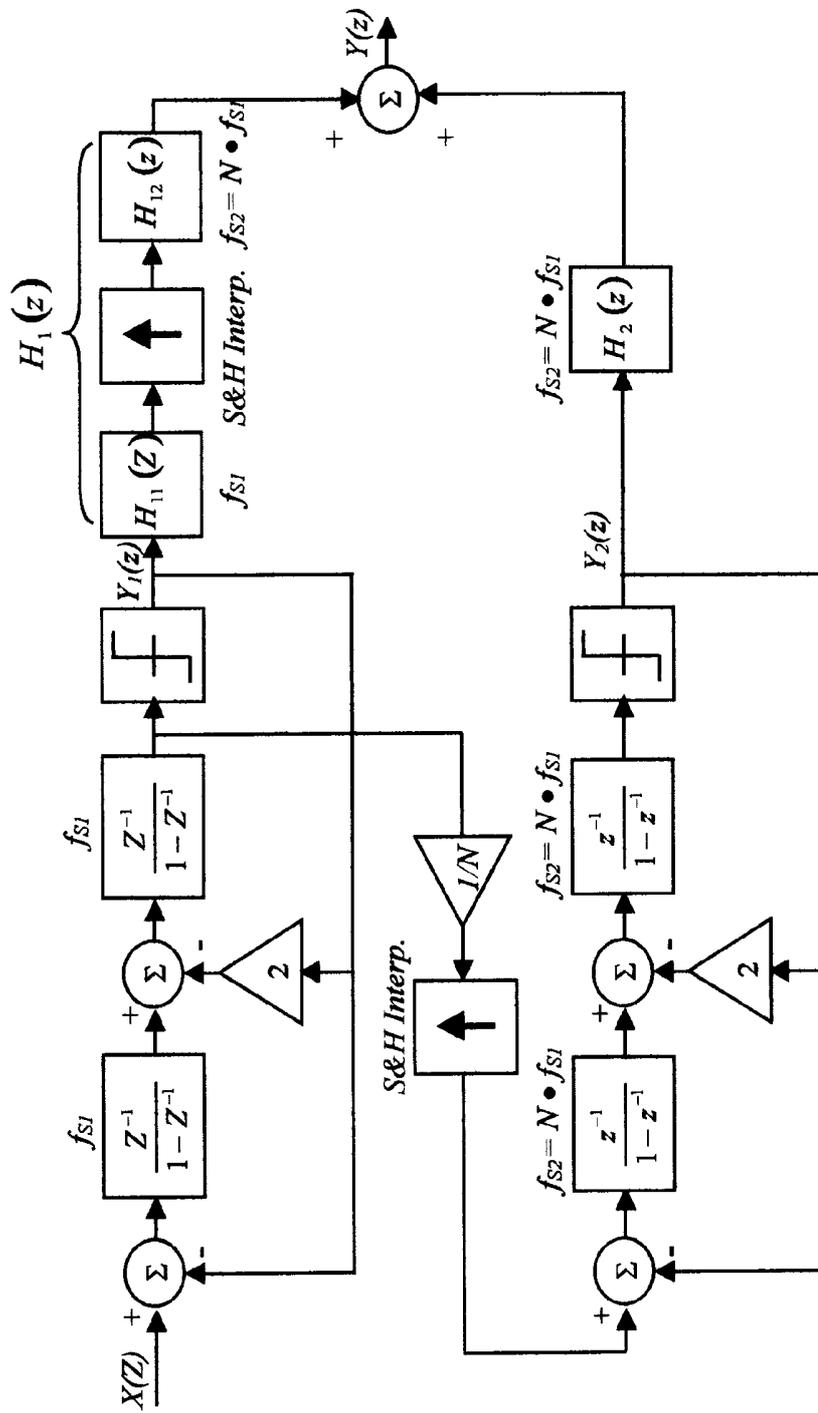
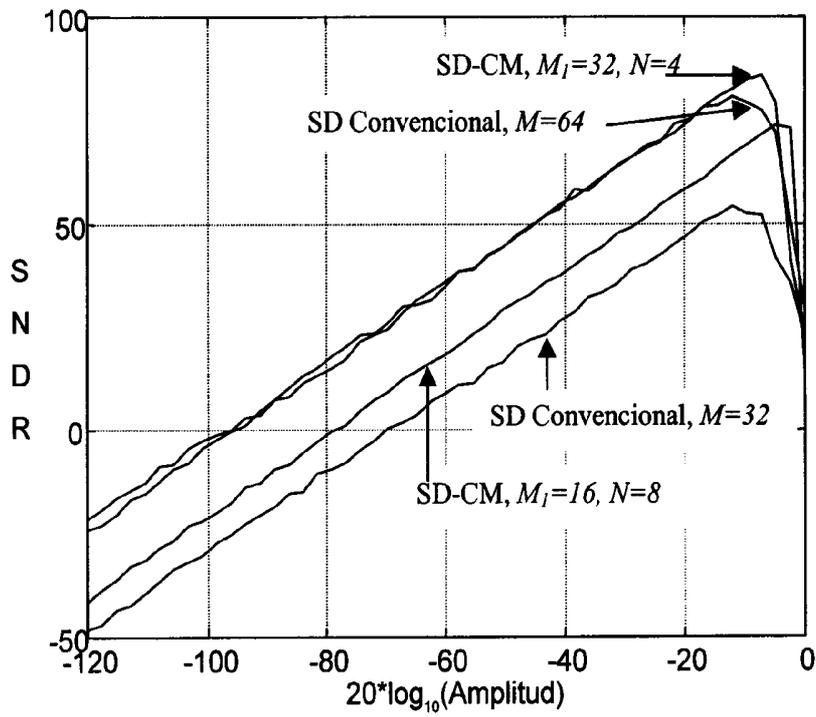


Figura 1



**Figura 2**



① ES 2 186 536

② N.º solicitud: 200101073

③ Fecha de presentación de la solicitud: 07.05.2001

④ Fecha de prioridad:

## INFORME SOBRE EL ESTADO DE LA TECNICA

⑤ Int. Cl.<sup>7</sup>: H03M 3/02

### DOCUMENTOS RELEVANTES

Categoría	Documentos citados	Reivindicaciones afectadas
X	US 4876543 A (VAN BAVEL) 24.10.1989, todo el documento.	1-5
A	EP 463686 A1 (N.V. PHILIPS GLOEILAMPENFABRIEKEN) 02.01.1992, todo el documento.	1-5
A	US 5689449 A (SARAMÄKI et al.) 18.11.1997	

#### Categoría de los documentos citados

X: de particular relevancia

Y: de particular relevancia combinado con otro/s de la misma categoría

A: refleja el estado de la técnica

O: referido a divulgación no escrita

P: publicado entre la fecha de prioridad y la de presentación de la solicitud

E: documento anterior, pero publicado después de la fecha de presentación de la solicitud

#### El presente informe ha sido realizado

para todas las reivindicaciones

para las reivindicaciones n.º:

Fecha de realización del informe  
07.04.2003

Examinador  
J. Botella Maldonado

Página  
1/1