

Trabajo Fin de Grado Grado en Ingeniería de las Tecnologías de la Telecomunicación

Diseño de un convertidor $\Sigma\Delta$ pseudo- diferencial y completamente-diferencial

Autor: Luis Callejón Reche

Tutores: Antonio Jesús Torralba Silgado

Departamento de Ingeniería Electrónica
Escuela Técnica Superior de Ingeniería
Universidad de Sevilla

Sevilla, 2022



Trabajo Fin de Grado
Grado en Ingeniería de las Tecnologías de la Telecomunicación

Diseño de un convertidor $\Sigma\Delta$ pseudo-diferencial y completamente-diferencial

Autor:

Luis Callejón Reche

Tutores:

Antonio Jesús Torralba Silgado

Catedrático de Universidad

Departamento de Ingeniería Electrónica
Escuela Técnica Superior de Ingeniería
Universidad de Sevilla

Sevilla, 2022

Trabajo Fin de Grado: Diseño de un convertidor $\Sigma\Delta$ pseudo-diferencial y completamente-diferencial

Autor: Luis Callejón Reche
Tutores: Antonio Jesús Torralba Silgado

El tribunal nombrado para juzgar el trabajo arriba indicado, compuesto por los siguientes profesores:

Presidente:

Vocal/es:

Secretario:

acuerdan otorgarle la calificación de:

El Secretario del Tribunal

Fecha:

Agradecimientos

*Luis Callejón Reche
Sevilla, 2022*

Resumen

El objetivo del trabajo es el estudio de una nueva arquitectura pseudo diferencial en la implementación de un sigma-delta. Para ello, se toma como punto de partida el diseño de un circuito P2D implementado por Temes [1], el cual propone unas capacidades conmutadas para eliminar el ruido en ambas fases del sistema. Implementando la arquitectura propuesta, se comprueba su eficacia en una versión pseudo diferencial y full diferencial aplicando también un offset a cada una, para probar el efecto en el sistema. El propósito del estudio es la verificación de un sistema insensible a ruido de offset, robusto y con baja distorsión permitiendo una escalabilidad frente a la versión inicial de Temes.

El objetivo final es por tanto la comprobación del rendimiento de las versiones comenzando el estudio y abriendo nuevos caminos a mejoras de esta nueva arquitectura propuesta.

Abstract

This work aims to study the effectiveness of this new pseudo differential $\Sigma - \Delta$ architecture. In order to compare this new model, the P2D design from Temes [1], which proposes a switched capacitors design to reduce the noise in both phases, is taken as the default system. Using this new architecture, it proves its effectiveness in a P2D and F2D version with and without applying an offset to the OPAMP. The purpose of this study is to check the proper functioning of an insensitive-noise system, with low THD and with high scalability compared to the Temes' version.

The final goal is to test the different models of this project discovering new ways to improve the performance of the proposed architecture.

Índice

<i>Resumen</i>	III
<i>Abstract</i>	V
1 Introducción	1
1.1 Estado del arte	2
1.2 Objetivos	2
1.3 Estructura del Documento	3
2 El modulador sigma-delta	5
2.1 Estudio del modelo de un sigma delta	6
2.2 Diseño teórico del modulador	12
2.2.1 Cálculo de los coeficientes	12
2.2.2 Implementación de los coeficientes	15
2.3 Implementación del circuito de Temes	16
2.3.1 Diseño de los switch	17
2.3.2 Macromodelo del amplificador	17
2.3.3 Cuantizador de 1 bit	19
2.3.4 Resultados	21
2.4 Implementación del circuito pseudo diferencial	23
2.4.1 Arquitectura del P2D	23
2.4.2 Resultados	24
2.5 Implementación del circuito totalmente diferencial	27
2.5.1 Resultados	28
3 Mejoras del sistema inicial	31
3.1 Diseño del sistema de segundo orden	31
3.2 Arquitectura del modulador	33
3.3 Cuantizador de 3 bits	33
3.4 Resultados y conclusión	34
Apéndice A Diseño de un amplificador cascodo plegado	37
A.1 Cálculos para el modelo de pequeña señal	37
A.2 Diseño del OPAMP	39
A.3 Resultados del OPAMP	39
Apéndice B Obtención y procesamiento de la señal digital para su tratamiento	43
B.1 Muestreo de la señal	43
B.2 FFT en los moduladores sigma-delta	45
B.3 Código MATLAB® para la comparación de los distintos resultados	46
<i>Índice de Figuras</i>	51

<i>Índice de Tablas</i>	53
<i>Índice de Códigos</i>	55
<i>Bibliografía</i>	57

A medida que avanzan las diferentes tecnologías CMOS se obtienen nodos más pequeños, y ventajas en digital, por lo tanto el cambio al procesamiento digital puede parecer libre de desventajas. Cualquier mejora añadida en un circuito analógico provoca un mayor consumo, incluso puede aumentar el consumo sin necesidad de cambiar nada, simplemente con el paso de una tecnología a otra [2]. A pesar de que el avance de los nodos pueda llevar a la mejora de algunos parámetros del transistor, el efecto de bajar la tensión de alimentación conlleva problemas que anteriormente eran inexistentes. Este problema acarrea una necesaria revisión de las técnicas de diseño analógico, que a diferencia de la revolución digital actual, avanza más lentamente.

1.1 Estado del arte

A pesar de que el desarrollo del sigma-delta ($\Sigma - \Delta$) data del 1962, no fue hasta los años 80s en los que se permitió una mayor integración en los VLSI permitiendo implementar circuitos digitales de mayor tamaño. El punto decisivo que permitió la dominancia de este modulador fue que la mayoría de convertidores de este tipo están basados en técnicas digitales lo que permite una compatibilidad independientemente de la tecnología y con un uso más comedido.

En los últimos años se han desarrollado diferentes arquitecturas de sigma-delta, pasando por las variantes discretas y continuas temporalmente, el uso de integradores de bajo consumo [3] o con un ancho de banda elevado. Las aplicaciones son bastantes, los moduladores de paso de banda aplicados a 3G/4G [4] necesitan un ancho de banda preciso y un reloj de muestreo alto para poder usar un ratio de samples de entrada alto. También se puede usar en aplicaciones de audio donde el rango audible llega hasta los 24KHz [5]. Este tipo de moduladores necesita una precisión alta pero no necesita un ancho de banda grande lo cual facilitará el diseño del amplificador y del consumo. Cada tipo de aplicaciones necesita unas características diferentes, priorizando en función del objetivo, unas figuras de mérito frente a otras.

El creciente número de artículos relacionados con los sigma-delta a lo largo de este siglo ha llevado a cambiar los usos del mismo. Inicialmente se utilizaba el enfoque de audio siendo más común encontrarse con trabajos que permitieran un SINAD alto libre de armónicos dentro de rango de frecuencia de audio como el publicado en el 2000 por G.J. Gomez [6]. A pesar de que se ha comentado el uso actual de redes 3G/4G también se desarrollaron diferentes artículos en GSM haciendo que se utilizara una modulación en banda al centrarlo en la frecuencia intermedia [7].

Una vez creadas las nuevas aplicaciones los artículos mejoraron siendo más común obtener un número alto de bits sin sacrificar el ancho de banda [8], permitiendo aumentar las prestaciones. Las bases sentadas por Temes en su libro [9], donde se desarrolla una metodología de diseño y una discusión teórica son sin duda alguna una de las aportaciones más importantes a la rama. En 2019 publicó un artículo sobre el filtrado de ruido y linearización de circuitos de muestreo [10] donde se estudiaba la aplicación de capacidades conmutadas y el uso de circuitos pseudo pseudo diferenciales. Este artículo será crucial para el TFG y se mencionará a lo largo del mismo.

Dentro de los moduladores discretos se encuentran los de **switched-capacitors**(SC) que utilizan capacidades que irán conmutando en las diferentes fases del sistema. Una vez se introdujo esta variante, se desarrollaron diferentes artículos indicando las mejoras que traía frente a las versiones continuas [11]. Entre los artículos principales se encuentra la tesis doctoral de Elena Cabrera Bernal [12]. En la tesis se desarrolla el diseño de un amplificador clase AB acompañado de un modulador sigma-delta con SC.

1.2 Objetivos

Partiendo de las bases ya impuestas por la tesis de Elena, estos sentarán unos cimientos que influenciarán el trabajo. En un intento de mejorar, la arquitectura se desvía de la propuesta inicial de un circuito SC sin amplificador para comprobar la eficacia de una arquitectura distinta. Usando de apoyo el artículo de Temes y las propuestas del artículo de Elena, se compararán las versiones. Se tiene como objetivo la eliminación de los armónicos pares y aumentar la linealidad lo máximo posible, obteniendo el THD más bajo posible. Quedará fuera del estudio el sistema de segundo orden, del cual se hará una propuesta de una posible arquitectura pues se estima que el diseño es escalable a diferencia del de Temes.

1.3 Estructura del Documento

La estructura del documento se basará en un inicio de la parte teórica de los diferentes modelos propuestos de más simplicidad a mayor complejidad que nos permitirá sostener y validar los resultados obtenidos en la simulación de los modelos.

1. En este primer capítulo se intenta explicar el punto de partida de los moduladores, desde los inicios a su avance en la actualidad. Repasando brevemente algunos modelos o avances de interés relacionados con el trabajo, indicando también la estructura que tomará el mismo.
2. En el segundo capítulo, se explicará de manera breve los diferentes diseños elegidos iniciando de manera teórica las características de cada modelo. Una vez explicado el modelo se presentará la implementación en circuito de cada uno de ellos, justificando las diferentes elecciones elegidas a lo largo del diseño.
3. En el tercer capítulo se hará un análisis de los resultados obtenidos, comparando entre las versiones ideales y realistas de los circuitos implementados. También se aprovechará para incluir brevemente el diseño del amplificador necesario para la implementación realista del circuito. Se cerrará finalmente resumiendo los resultados y los comentarios respecto al desarrollo del TFG y los problemas encontrados.

Se recomienda una lectura ordenada para comprender el TFG, aunque se pueden obviar algunas partes evitando leer las explicaciones teóricas que tienen como objetivo el apoyo para la comprensión y refrescar conceptos necesarios para el documento.

2 El modulador sigma-delta

El científico no tiene por objeto un resultado inmediato. El no espera que sus ideas avanzadas sean fácilmente aceptadas. Su deber es sentar las bases para aquellos que están por venir y señalar el camino.

NIKOLA TESLA

Para poder comenzar a entender el proyecto, se partirá inicialmente de una pequeña parte teórica que ayudará a desarrollar las elecciones de diseño. En todo momento se intentará describir no con circuitos electrónicos si no a nivel de bloques para poder generalizarlo sin perder al lector, a excepción de aquellos momentos en los que sea estrictamente necesario.

El rendimiento de un circuito de procesamiento digital o de comunicaciones viene limitado normalmente por la precisión de la señal digital de entrada tras convertirla en un convertidor analógico digital (ADC). Los ADC se pueden dividir en dos subgrupos en función de la frecuencia de muestreo, *frecuencia de Nyquist (Nyquist rate)* y *sobremuestreados (oversampled)*. En los de ADC de frecuencia de Nyquist, la salida está en función de la entrada, al ser de manera directa y no tener memoria. Por lo tanto se puede comprobar de manera sencilla el error comparando la salida con la entrada. Comentando el caso de los convertidores flash (Figura 2.1) se obtiene que la salida dependerá del número de resistencias.

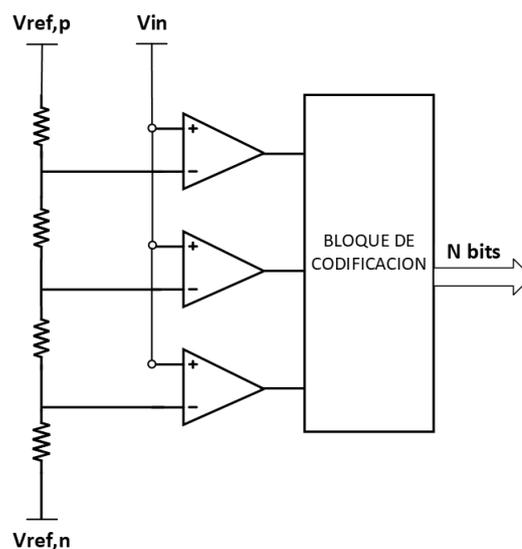


Figura 2.1 Modelo sencillo de un ADC flash.

$$V_{out} = V_{ref}(b_1 2^{-1} + b_2 2^{-2} + b_3 2^{-3} + \dots + b_N 2^{-N})$$

Como se ve el error depende de manera directa con el matching de las resistencias y al añadido error de cuantización. Para poder reducir este error es necesario aumentar el número de resistencias bajando el LSB o integrarlo, pasando ya a los convertidores con memoria. Aumentando el número de puntos por muestra se puede reducir el error si se consiguen decimar los valores. De esta manera se obtiene una media y se reduce el suelo de ruido y aumentando el **número de bits eficaces (ENOB)**.

$$\Delta q = \frac{q}{2} = \frac{LSB}{2} = \frac{V_{ref}}{2(2^N - 1)}$$

$$\varepsilon = V_{in} - V_{out} \geq \Delta q$$

Dentro de los convertidores con memoria se encuentran los de frecuencia de Nyquist, que normalmente no llegan a velocidades muy altas. Al procesar una señal a la frecuencia de Nyquist (el doble de la frecuencia de la señal a muestrear), se necesita un filtro para demodular la señal con un corte abrupto difícil de conseguir. Usando un oversampling se pueden relajar estas especificaciones y obtener un suelo de ruido del cuantizador aún menor. Dentro del segundo tipo se encuentran nuestro objeto de estudio, los moduladores sigma-delta.

Partiendo del modelo inicial de un sigma-delta siempre se obtienen 2 partes bien diferenciadas, una realimentación donde se **integra**(Δ) la entrada, y se **suma**(Σ) para intentar reducir el error a 0. Como se ve, se podría llamar perfectamente al modelo delta-sigma y sería una elección más correcta, pero por nomenclatura se llamará así.

En la Figura 2.2 se muestra el modelo inicial. Se compone de un sumador que suma la realimentación, se integra el error y se convierte a digital con un cuantizador de 1 bit obteniendo la señal de salida. Quedaría finalmente convertir de nuevo a analógico y realimentar. Es importante mencionar que dentro de este modelo no se incluyen los procesamientos posteriores necesarios para la obtención de la señal demodulada incluyendo los filtros digitales como el comb filter o los FIR, quedando fuera del alcance de este trabajo de fin de carrera.

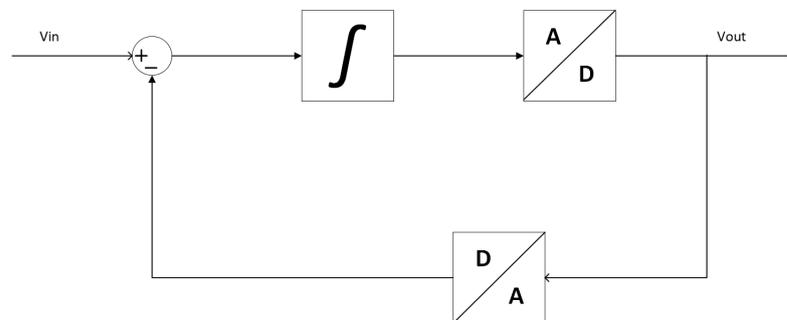


Figura 2.2 Modelo simplificado del modulador sigma-delta.

2.1 Estudio del modelo de un sigma delta

Como se ha introducido anteriormente, el error de un cuantizador vendrá dado por el LSB, pero no es lo único que influye. Los convertidores se pueden distinguir en función de la frecuencia de muestreo f_s siendo ésta la frecuencia de Nyquist o mayor. Se puede definir la relación entre la frecuencia de muestreo elegida y la de Nyquist como el **OSR(Oversampling ratio)**. A mayor OSR, menos ruido de fondo del cuantizador. Lo que permitirá obtener mayor resolución y ENOB. A primera vista se podría pensar que en nuestra aplicación un cuantizador de 1 bit introducirá un ruido considerable, no obstante, hay que tener en cuenta la reducción del ruido al sobremuestrear. El error de cuantización viene dado por la frecuencia de muestreo (f_s). Como se puede ver en la fórmula adjunta, si la frecuencia de muestreo es mayor, el nivel de ruido introducido es menor que si utilizáramos la frecuencia de Nyquist (Figura 2.20). Introduciendo un cuantizador de más de 1

bit se obtienen mejores resultados a costa de aumentar el area y el consumo. Inicialmente en nuestro diseño se tendrá en cuenta un solo bit.

$$N(f) = \frac{q^2}{12} \frac{1}{f_s}$$

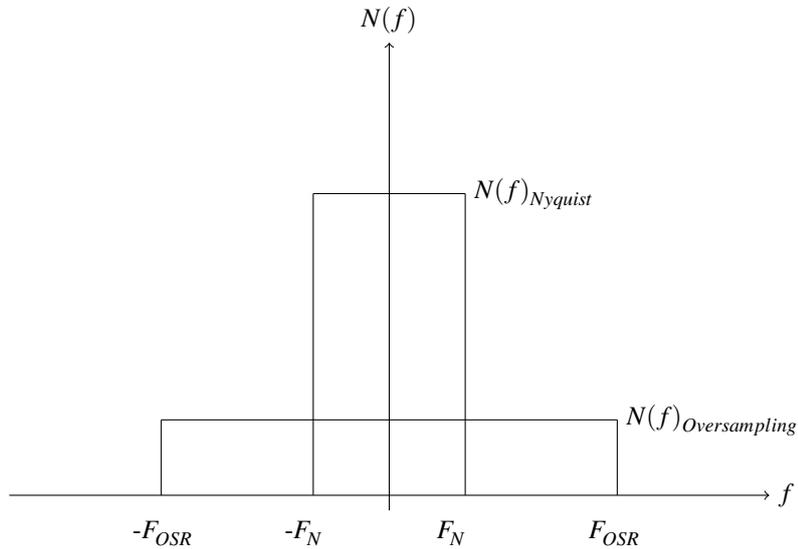


Figura 2.3 Ruido de cuantización a diferentes frecuencias de muestreo.

A la hora de muestrear la señal, si se supone que se muestrea a frecuencia mínima, se obliga a que la etapa de demodulación tenga un filtro de paso baja con unas condiciones muy críticas al tener la siguiente señal muy cerca. Si se sobremuestrea, se separan frecuencialmente las señales permitiendo relajar las especificaciones como se ve en la Figura 2.4. Finalmente muestreado se ve que se aprovecha muy bien el espectro de frecuencia consiguiendo enviar información en un ancho de banda reducido (Figura 2.5). Es importante recalcar que no se utiliza exactamente la frecuencia mínima, se da un poco de holgura para evitar el aliasing y además no atenuar la señal en las frecuencias próximas a la de muestreo.

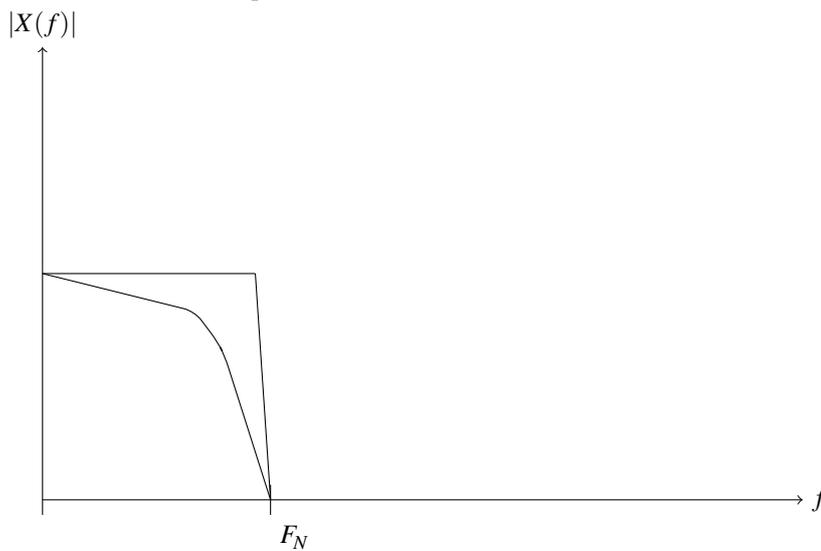


Figura 2.4 Señal aplicando el filtro a frecuencia Nyquist.

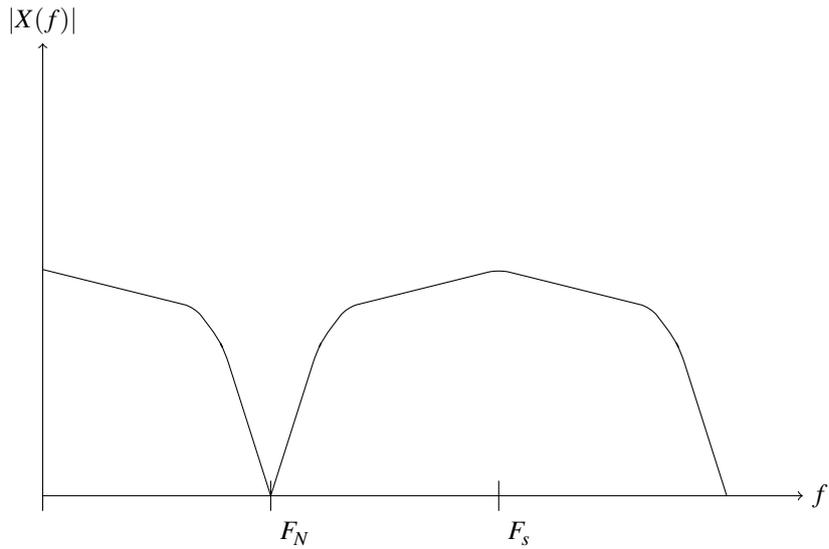


Figura 2.5 Señal muestreada frecuencia Nyquist.

Como se ve, muestrear la señal a frecuencia Nyquist requiere un filtro de orden alto, lo que dificulta el muestreo. Para evitarlo, se puede utilizar el sobremuestreo permitiendo conseguir holgadamente las condiciones con un filtro de orden bajo Figura 2.6. Aunque se desaprovecha el espectro con un ancho de banda tan grande, existen aplicaciones de este tipo de moduladores donde no importa. Sí complicará más el diseño a la hora de diseñar el amplificador con un ancho de banda tan grande y con el **GBW (Gain Bandwidth)** elegido.

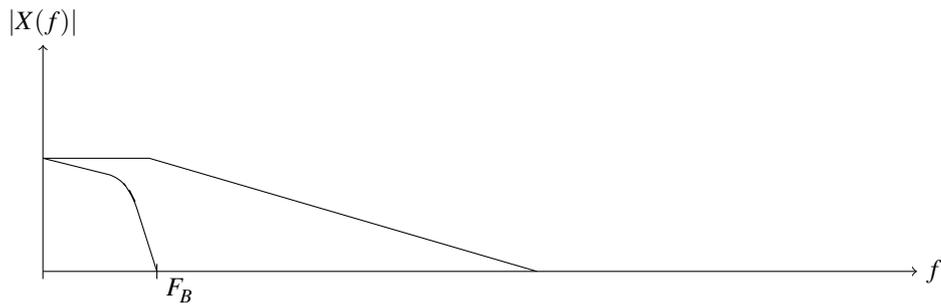


Figura 2.6 Señal aplicando el filtro con un oversampling.

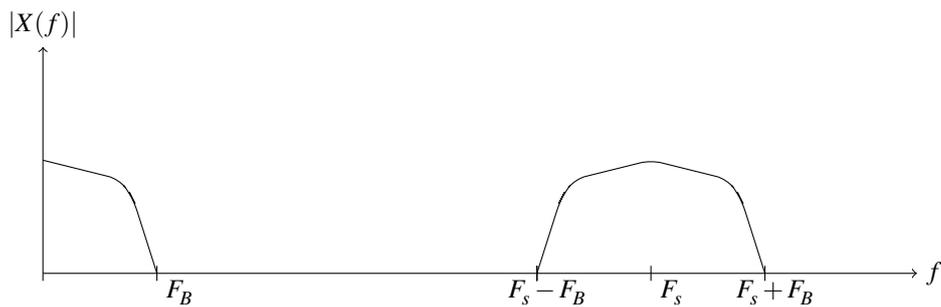


Figura 2.7 Señal muestreada con un oversampling.

El oversampling permitirá entonces obtener un menor ruido de cuantización puesto que el error en banda de nuestra señal, que irá desde $-f_B$ hasta f_B es reducido como se muestra en la Figura 2.7

Dentro del sistema queda otra parte importante que es el integrador, es el que permitirá modular la señal integrando el error. Para estudiar el modelo, se va a tomar de partida un integrador SC que no distará mucho de la implementación real.

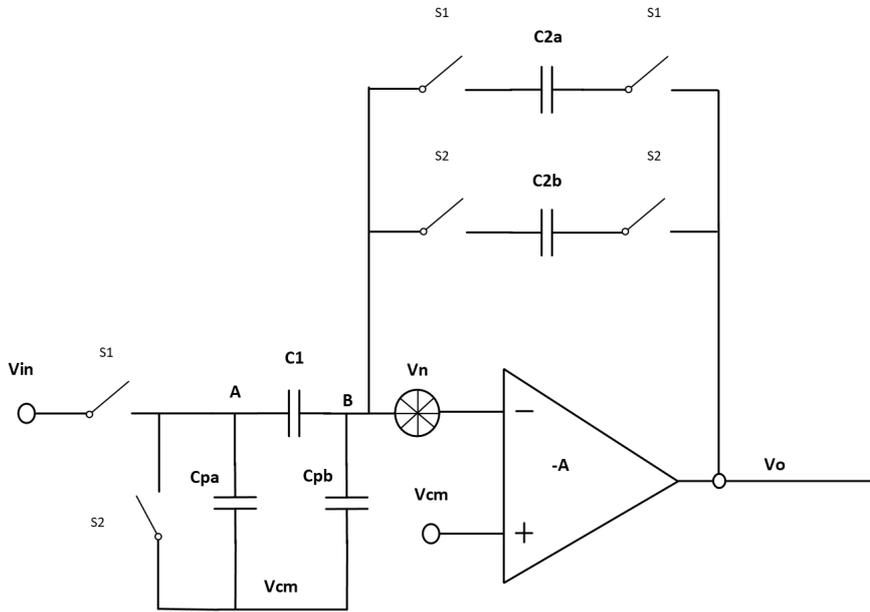


Figura 2.8 Integrador SC.

Un integrador SC como el mostrado en la Figura 2.8 tendrá 2 fases bien diferenciadas (Φ_1) y (Φ_2) siendo completamente opuestas. Por idealidad se va a suponer que no se superponen. En la fase 1 (muestras $n-\frac{1}{2}$), los interruptores SW1 están cerrados mientras que los SW2 están abiertos como se ve en la Figura 2.9 Resolviendo la variación de carga de las capacidades C1, C2 y Cpb en las diferentes fases se obtienen las ecuaciones (2.1), (2.2) y (2.2) respectivamente.

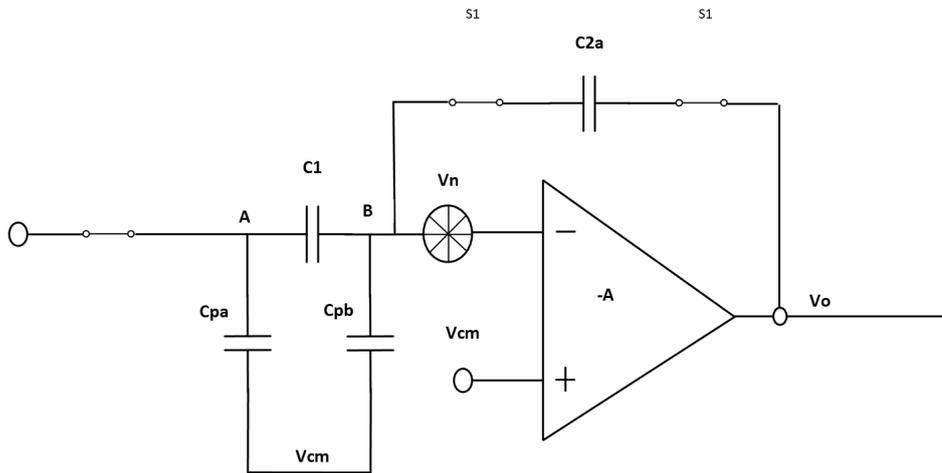


Figura 2.9 Integrador SC en la fase 1.

$$\Delta Q_{C1}[k] = [(V_n[k - \frac{1}{2}] - V_{in}[k - \frac{1}{2}]) - (V_n[k - 1] - 0)]C_1 \quad (2.1)$$

$$\Delta Q_{C2a}[k] = [(V_n[k] - V_{out}[k]) - (V_n[k - 1] - V_{out}[k - 1])]C_{2a} \quad (2.2)$$

$$\Delta Q_{C_{pb}}[k] = [(V_n[k]) - (V_n[k - \frac{1}{2}])]C_{pb} \quad (2.3)$$

$$V_{0,1} = -V_{in}(z) \frac{C_1}{C_{2a}} \frac{z^{-1/2}}{1-z^{-1}} + z^{-1/2} V_n(z) * (1 + \frac{C_1 + C_{pb}}{C_{2a}} \frac{1-z^{-1/2}}{1-z^{-1}}) \quad (2.4)$$

Aplicando la ley de conservación de la carga en el nodo B obtenemos que la salida de la fase 1 atenúa el ruido ($1 - z^{-1/2}$) como se muestra en la ecuación (2.4). Repitiendo para la fase 2 (Figura 2.10) se observa que la capacidad parásita del nodo A se va a tierra al tener en paralelo el switch haciendo el nodo de entrada insensible a capacidades parásitas. Calculando la variación de carga para las diferentes capacidades obtenemos las ecuaciones resultantes. Sumando todas las cargas en el nodo B obtenemos la salida para la fase 2.

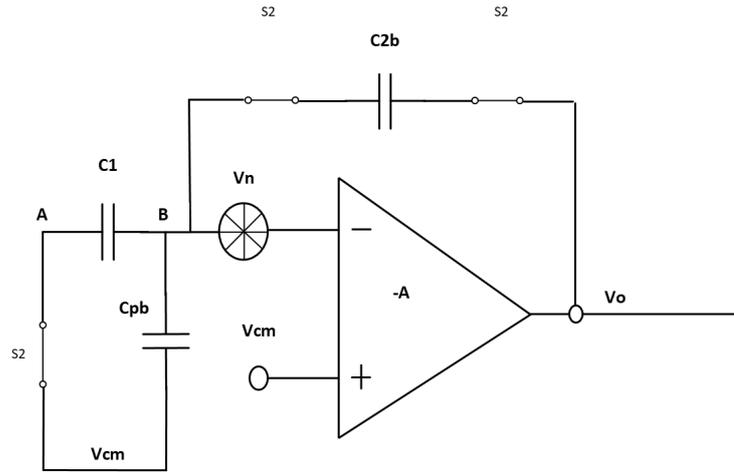


Figura 2.10 Integrador SC en la fase 2.

$$\Delta Q_{C_1}[k - 1] = [(V_n[k - \frac{1}{2}] - 0) - (V_n[k - \frac{1}{2}] - V_{in}[k - \frac{1}{2}])]C_1 \quad (2.5)$$

$$\Delta Q_{C_{2b}}[k - \frac{1}{2}] = [(V_n[k - \frac{1}{2}] - V_{out}[k - \frac{1}{2}]) - (V_n[k - \frac{3}{2}] - V_{out}[k - \frac{3}{2}])]C_{2b} \quad (2.6)$$

$$\Delta Q_{C_{pb}}[k] = [(V_n[k] - V_{out}[k]) - (V_n[k - 1] - V_{out}[k - 1])]C_{pb} \quad (2.7)$$

$$V_{0,2}(z) = V_{in}(z) \frac{C_1}{C_{2b}} \frac{z^{-1/2}}{1-z^{-1}} + V_n(z) * (1 + \frac{C_1 + C_{pb}}{C_{2b}} \frac{1-z^{-1/2}}{1-z^{-1}}) \quad (2.8)$$

Obteniendo la salida final para un circuito diferencial se puede reorganizar para obtener la función de transferencia de la señal de entrada (STF) de la y la función de transferencia del ruido entrante (NTF). Vemos la componente atenuadora de $(1 - z^{1/2})$ que reduce el ruido mientras que deja pasar la señal. Hemos supuesto que C_{2a} y C_{2b} son iguales. Es importante remarcar que el tamaño de los condensadores no influye en las ecuaciones, lo que nos permitirá elegir condensadores más pequeños mientras mantengamos la relación impuesta.

$$V_0(z) = V_{in}(z) \frac{C_1}{C_{2b}} \frac{2z^{-1/2}}{1-z^{-1}} + (1 - z^{-1/2})V_n(z) * (1 + \frac{C_1 + C_{pb}}{C_{2b}} \frac{1-z^{-1/2}}{1-z^{-1}}) \quad (2.9)$$

$$STF(z) = \frac{V_0}{V_{in}}(z) = \frac{C_1}{C_2} \frac{2z^{-1/2}}{1-z^{-1}} \quad (2.10)$$

$$NTF(z) = \frac{V_0}{V_n}(z) = (1 - z^{-1/2}) * (1 + \frac{C_1 + C_{pb}}{C_{2b}} \frac{1-z^{-1/2}}{1-z^{-1}}) \quad (2.11)$$

Como podemos ver, la función de transferencia de ruido del circuito nos elimina el de alta frecuencia, permitiendo obtener un bajo suelo de ruido en la frecuencia de nuestra señal. A medida que vamos aumentando el orden del sigma-delta, obtenemos mejores resultados. En la Figura 2.11 vemos las curvas del filtrado del ruido y el espectro de ruido. El ruido que nos importa realmente es el que se encuentra dentro de la banda de F_B .

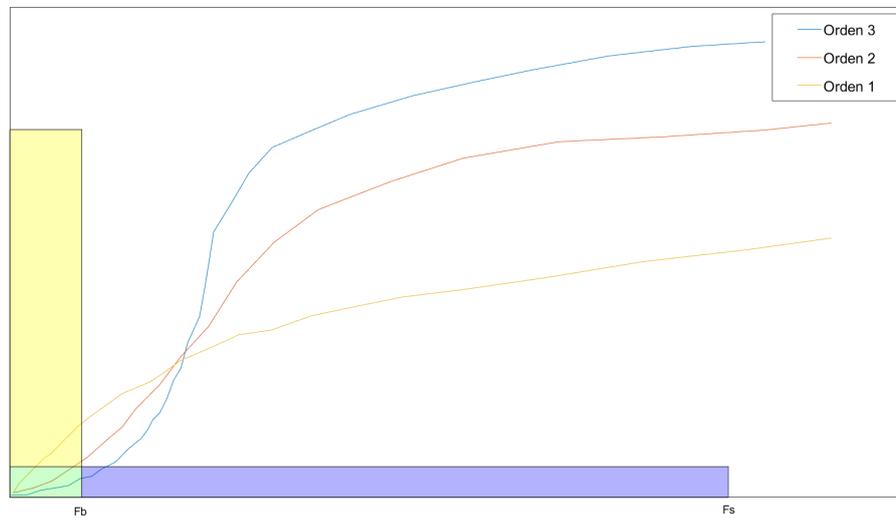


Figura 2.11 Función de transferencia del ruido en frecuencia.

Al ver la gráfica de ruido(Figura 2.11) vemos que un OSR más alto nos permitirá reducir el ruido hasta cierto límite. El orden del modelo determinará también el límite máximo junto al número de bits del ADC.

$$SNR = 6.02N + 1.76 \cdot 5.17 + 30 \log_{10}(OSR) \quad (2.12)$$

A pesar de que podamos llegar al límite en algunos diseños, el SNR no es la única figura de mérito importante a tener en cuenta. Se profundizará más adelante en la sección de resultados en las diferentes figuras.

2.2 Diseño teórico del modulador

Al diseñar un sigma-delta existen diferentes arquitecturas, dependiendo del tipo de realimentación, si es cascado o no, o el número de etapas que tiene. Partiendo del modelo más sencillo **CIFB** (Cascade-of-integrators, feedback form) se puede extrapolar a un sistema de primer orden como el que se plantea usar (Figura 3.3) simplemente haciendo cero los coeficientes de la primera etapa. Dado que solo queremos una etapa, se harán cero los coeficientes a_1, b_1 y b_3 . Permitiendo que la STF sea uno, al hacer cero b_3 . Se eliminará también la realimentación g_1 . Sabiendo que el cuantizador es de 1 bit, el valor de c_2 no influirá en nuestro diseño.

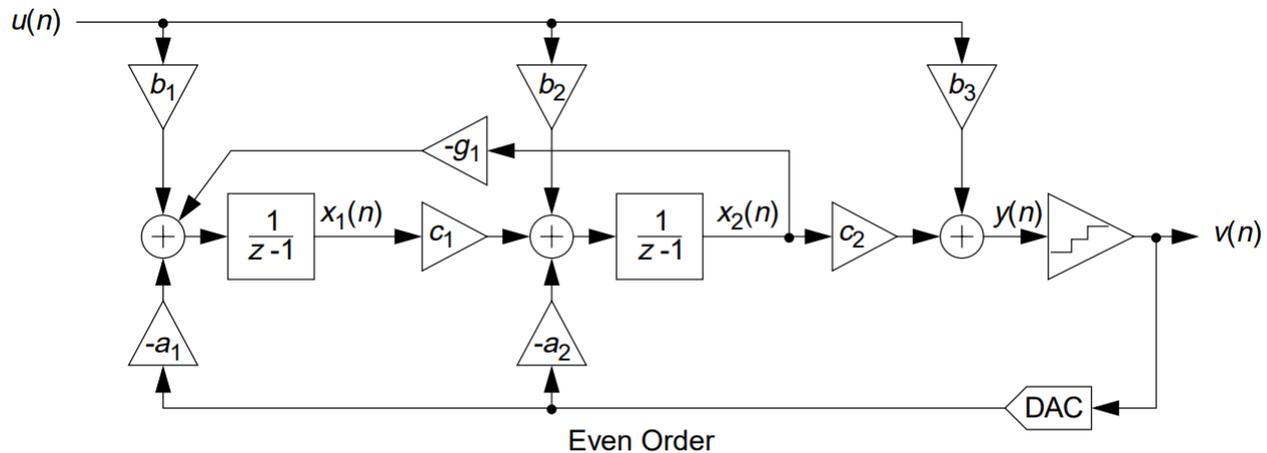


Figura 2.12 Diagrama de bloques del CIFB.

2.2.1 Cálculo de los coeficientes

Para el cálculo de los coeficientes se hará uso de la DSToolbox disponible en MATLAB[®]. Gracias a esta herramienta, se agiliza el diseño del modulador. Inicialmente se introducen los requisitos de diseño a buscar, se intentará conseguir un OSR de 128 con un esquema de primer orden. Tras ejecutar el código mostrado se obtienen los coeficientes a_2 y b_2 . Se obtiene entonces la función de transferencia de ruido del sistema. Es importante recordar que el SNR máximo que se puede obtener con un OSR de 128 y un solo bit de cuantización es de 65.8dB utilizando la ecuación indicada en los capítulos anteriores.

$$NTF(z) = \frac{z-1}{z-\frac{1}{3}} \quad (2.13)$$

Código 2.1 Script MATLAB[®] usado para el cálculo de los coeficientes del sistema.

```
ntf = synthesizNTF(order,osr,1); % Se optimiza la posición de los ceros
[a,g,b,c] = realizNTF(ntf,'CIFB');
b(2)=0; %Se busca solo una entrada
ABCD = stuffABCD(a,g,b,c,'CIFB');
[ABCDs, umax] = scaleABCD(ABCD);
[a,g,b,c] = mapABCD(ABCDs,'CIFB');
```

Parámetros de diseño	CIFB
OSR	128
order	1
a_2	0.27
b_2	0.27
c_2	No computa
g_1	0
Rango entrada	[0.5 , 2]
Nlev	2

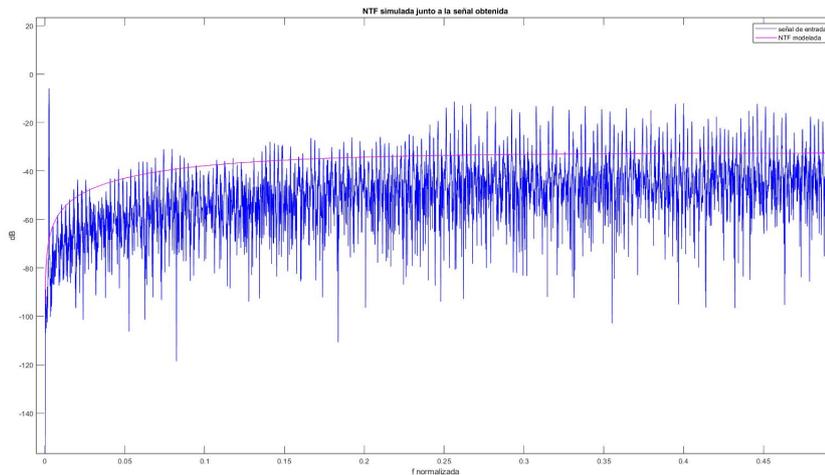


Figura 2.13 Comparación de la NTF teórica y la señal obtenida.

Una vez obtenidos coeficientes, se puede simular la señal con la toolbox, permitiendo entre muchas utilidades, el cálculo del SNR, la modulación temporal y el PSD obtenido como se adjunta en el código. El SNR resultante es de 61dB, como se puede apreciar el efecto de modelado del ruido es evidente. En la Figura 2.13 se compara la señal resultante con la función de transferencia de ruido, siendo esta última la que elimina el ruido de baja frecuencia. Los resultados teóricos indican un buen SNR que permitiría obtener casi 10 bits, siendo este el máximo teórico para nuestros parámetros.

La variable u_{max} indica la entrada máxima que permite el sistema antes de saturar. En este caso al ser 0.8, significa que se puede usar el rango completo de entrada al estar normalizado este valor. Permite modular señales de amplitud 1, pues tenemos un modo común de 1.25V.

Para calcular el **DYnamic Range**(DR) se simula el sistema para diferentes entradas, obteniendo el punto máximo. Una vez calculado se quitan 3dB obteniendo el DR. Se observa entonces que representa el valor máximo de entrada donde se ve una saturación, por lo tanto será el rango que permitirá nuestro modulador. Como se había estimado antes el modulador tiene un rango dinámico de amplitud 0.8 lo que coincide con los resultados obtenidos de la Figura 2.14.

Código 2.2 Script MATLAB® usado para el cálculo del SNR del sistema.

```
N = 32768/4;
fB = ceil(N/(2*osr)); ftest=floor(2/3*fB);
u = 0.5*sin(2*pi*ftest/N*[0:N-1]); % half-scale sine-wave input
[v,xn,xmax,y] = simulateDSM(u,ntf,2);

figure(1); clf;
t = 0:100;
stairs(t, u(t+1),'r');
```

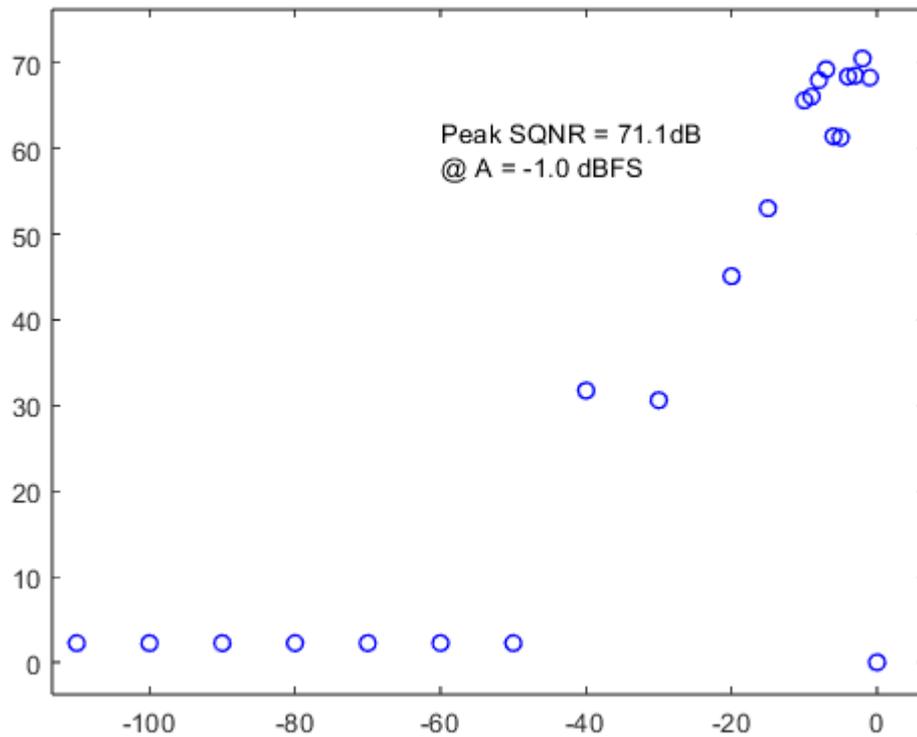


Figura 2.14 DR obtenido para el modelo teórico.

```

hold on;
stairs(t,v(t+1),'g');
axis([0 100 -1.2 1.2]);
xlabel('Sample Number');
ylabel('u, v');
set(gcf,'NumberTitle','off');
set(gcf,'Name','Modulator Input & Output');
    f = linspace(0,0.5,N/2+1);
echo on

echo off;

figure(2); clf;
plot( f, dbv(spec(1:N/2+1)), 'b')
spec = fft(v.*ds_hann(N))/(N/4);
NBW = 1.5/N;
Sqq = 4 *(evalTF(ntf,exp(2i*pi*f))/(1)) .^2 / 3;
hold on;
plot( f, dbp(Sqq*NBW), 'm', 'Linewidth', 1 );
snr=calculateSNR(spec(1:fB+1),ftest);
xlabel('f normalizada');
ylabel('dB');
title('NTF simulada junto a la señal obtenida')

set(gcf,'Name','NTF simulada junto a la señal obtenida');

```

2.2.2 Implementación de los coeficientes

Una vez calculados los coeficientes, es necesario introducir correctamente los valores para poder obtener los resultados diseñados. El objetivo inicial es obtener la función del modelo de la figura Figura 3.3 donde la entrada del integrador es V_{in} menos la realimentación que teniendo en cuenta los coeficientes sería:

$$e = b_2 u[n] - a_2 v[n] \tag{2.14}$$

Implementando un integrador sencillo (Figura 2.15) con una segunda entrada equivalente a nuestra realimentación se obtienen las ecuaciones del sistema. Dado que a_1 y b_2 tienen los mismos valores, se usará la misma capacidad para ambas. Como se ha comentado antes, las ecuaciones están normalizadas para una tensión de 1V, teniendo en cuenta que la alimentación es de 2.5V es necesario adaptar las ecuaciones.

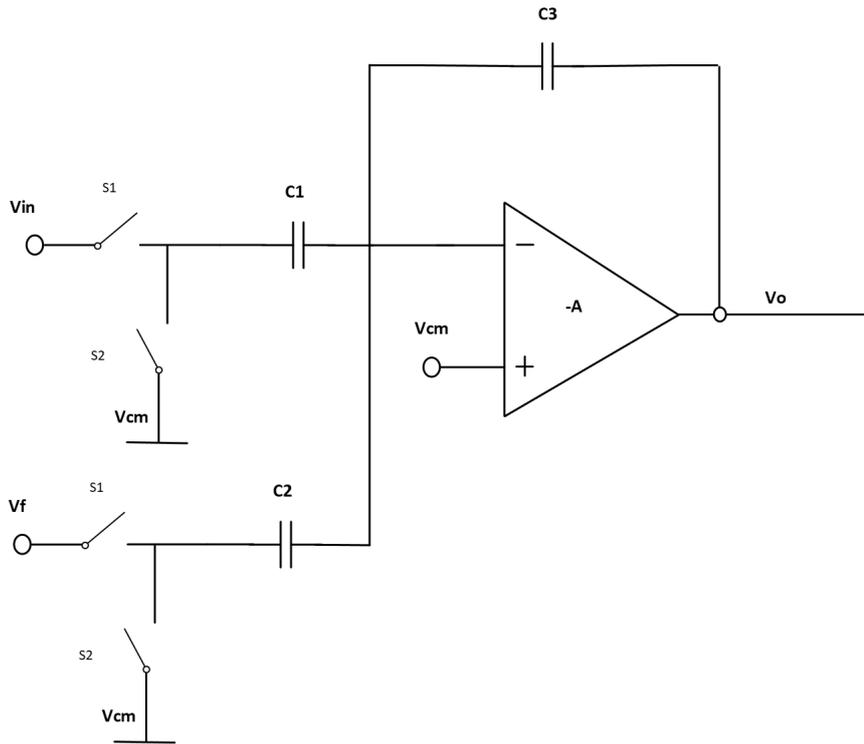


Figura 2.15 Integrador con dos entradas.

$$V_o(z) = \left(\frac{C1}{C3} V'_{in}(z) + \frac{C2}{C3} V'_f(z) \right) \frac{z^{-1}}{1 - z^{-1}} \tag{2.15}$$

$$V_f = V_{dd} * V'_f \tag{2.16}$$

$$V_{in} = V_{dd} * V'_{in} \tag{2.17}$$

$$V_o(z) = \left(\frac{C1}{C3} V_{in}(z) * V_{dd} + \frac{C2}{C3} V_f * V_{dd}(z) \right) \frac{z^{-1}}{1 - z^{-1}} \tag{2.18}$$

$$b_2 = V_{dd} * \frac{C2}{C3}; \frac{C3}{C2} = \frac{V_{dd}}{b_2} = 9 \tag{2.19}$$

Utilizando la misma capacidad se obtiene que la relación entre la capacidad del integrador C_3 y C_1 es 9. Una vez calculada la relación, quedaría calcular el tamaño de las mismas para evitar el máximo ruido. En los circuitos SC, el ruido térmico de las capacidades será el más importante a tratar en nuestro sistema. Teóricamente tenemos un SNR máximo de 61dB. Se obtiene a partir de la definición el ruido máximo.

Aplicando la ecuación del ruido térmico se puede obtener el tamaño mínimo que puede tener la capacidad. Se debe remarcar que el ruido se distribuirá en todo el ancho de frecuencia de la señal, por lo tanto al aplicar un Oversampling se divide como se explicó anteriormente.

$$SNR = 10 \log_{10} \left(\frac{P_{signal}}{P_{noise}} \right) \quad (2.20)$$

$$V_n^2 = \frac{(V_{dd}/2)^2/2}{10^{SNR/10}} \quad (2.21)$$

$$V_n^2 = \frac{kT}{OSR * C}; C \geq 2.8750001e - 20 \quad (2.22)$$

Como se puede observar no va a ser un punto limitante por lo menos respecto al ruido, lo que deja un amplio margen para aumentar el tamaño. Puesto que el tamaño máximo lo determinará en este caso el OPAMP, se va a optar por un tamaño máximo de 5.65pF, permitiendo que el OPAMP lo pueda cargar y obteniendo un ancho de banda válido para nuestro sistema. Obteniendo la capacidad máxima se pueden calcular las restantes.

$$C1 = C2 = 625 fF$$

$$C3 = 5.625 pF$$

Dentro de la tecnología habrá que tener en cuenta los posibles efectos parásitos de cara al futuro, puesto que se podría haber elegido una capacidad mucho más pequeña que permitiera menos espacio en el layout pero podría variar al tener en cuenta los efectos de las capacidades parásitas del sistema. En este caso se ha usado 625fF como mínimo pues se estima que no debería verse influenciado por estos efectos.

2.3 Implementación del circuito de Temes

El diseño comienza con el integrador clásico estudiado, estudios recientes indican la mejora de usar capacidades biquads para el uso de circuito P2D y FD([10]) así que se variará el integrador clásico con esta nueva incorporación para las implementaciones P2D y FD. Además, para poder referenciar los resultados obtenidos y ver la mejoras de los diferentes circuitos, se usará como modelo inicial una implementación del circuito de Temes modificada a modo de base y punto de inicio.

Como se ha comentado, la motivación del trabajo comienza del intento de mejora del circuito de Temes([1]) ya mencionado. Partiendo del modulador sigma delta simple single-ended(SE), tendremos a la salida todo el ruido producido por los componentes de ruido(amplificador y fuentes). Puesto que esta opción no es viable, es necesario buscar maneras de eliminar el máximo ruido. Si se utiliza un circuito pseudo-diferencial(PD) replicando ambas entradas en el mismo ciclo y restándolas, conseguimos eliminar los armónicos pares de la señal, reduciendo el ruido y aumentando el SNR. Se podría usar también un circuito completamente diferencial(FD) para reducir aún más el ruido a costa de una mayor complejidad.

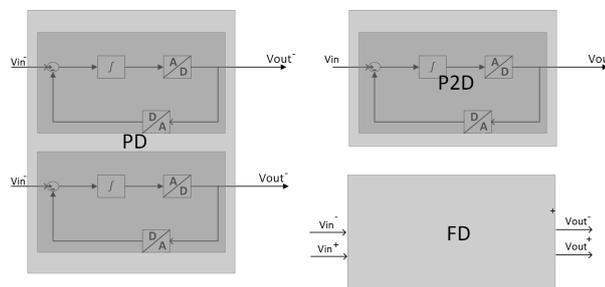


Figura 2.16 Comparativa de un sistema PD, P2D y FD.

En el artículo mencionado de Temes([1]), se propone una estructura pseudo-pseudo diferencial(P2D) en la que solo hay un circuito principal y se va conmutando la entrada cada ciclo de reloj Φ_1 de manera que $V_{in}^-(n) = -V_{in}^+(n - 1/2)$. A la salida sumamos las dos componentes obteniendo la señal completa, gracias a esto eliminamos el posible mismatch que se produciría en ambos circuitos al tener un PD. Como desventaja

es necesario aumentar la frecuencia de reloj para aumentar al doble las muestras obtenidas para poder compararse con las estructuras mencionadas. Puesto que nuestro diseño inicialmente no tiene un cambio de entrada, se va a utilizar un modelo SE para compara la arquitectura propuesta.

La tecnología de diseño es a 65nm y usando transistores de 2.5V lo que permitirá aumentar el rango de la amplitud de entrada y obtener una ganancia aceptable que ayudará a la hora de diseñar el amplificador operacional.

2.3.1 Diseño de los switch

En los circuitos SC, los switch deben tener una R_{off} lo más alta posible cuando están abiertos, para poder minimizar la fuga de corriente. Deben por lo tanto, tener una R_{on} lo más baja posible cuando están cerrados para poder tener una caída de tensión lo más baja posible entre los nodos del switch. Entre las posibles opciones del switch tenemos el de tipo NMOS, PMOS y puerta de transmisión. Usando una relación de $1\mu/300n$ se obtienen las siguientes características:

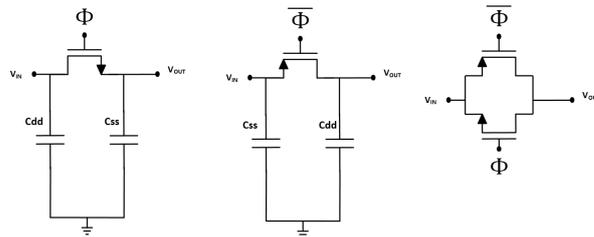


Figura 2.17 Switch tipo NMOS, tipo PMOS y puerta de transimisión.

Tabla 2.1 Capacidades parásitas de la puerta de transimisión.

	NMOS	PMOS
C_{gg}	1.2p	1.15p
C_{ss}	1p	1p
C_{dd}	1p	1.2p
R_{on}	6.1 Ω	19.65 Ω
R_{off}	3.291G Ω	155.7P Ω

Las capacidades son perceptibles en comparación con las utilizadas, sin embargo teniendo en cuenta que el integrador es insensible a parásitos en el nodo de entrada, no se verá afectada nuestra señal inicial. Con el uso de una puerta de tranmisión en los nodos que sea necesario, se conseguirá que circule en todo momento la señal. La R_{on} y la R_{off} del circuito son lo suficientemente buenos como para no influir en el correcto funcionamiento.

2.3.2 Macromodelo del amplificador

Dentro del integrador estudiado, se ha supuesto una ganancia infinita del amplificador. Idealmente es un buen punto de partida, pero dista bastante de la realidad. Con el objetivo de modelarlo lo más realista posible, se hará uso de un macromodelo para comprobar el rendimiento teórico. La señal de entrada tiene una frecuencia de 13.4KHz y un OSR de 128, lo que nos obliga a situar el polo del sistema en torno a los 80MHz para evitar atenuar nuestra señal. A continuación se resumen los parámetros para comenzar el diseño:

Tabla 2.2 Parámetros del sistema.

Parámetros	Valores
Ancho de banda(BW)	80MHz
Frecuencia de muestreo	12.8MHz
OSR	128
Frecuencia de entrada	13.4KHz
Niveles de cuantización	1

Partiendo del modelo básico de un amplificador Figura 2.18, puesto que la entrada será single-ended, se pondrá la borna positiva al modo común. La ganancia del sistema se pondrá en 200 y el polo en 80MHz. Situando el polo en 80MHz se obtiene una resistencia de 2000 Ω y una capacidad de 1pF. Para simular el efecto de saturación basta con poner una fuente dependiente de ganancia 1 limitada entre V_{dd} y tierra. La resistencia de salida utilizada será la estándar de 50 Ω . Finalmente queda el circuito resultante de la Figura 2.19.

$$f_c = \frac{1}{2\pi RC} \tag{2.23}$$

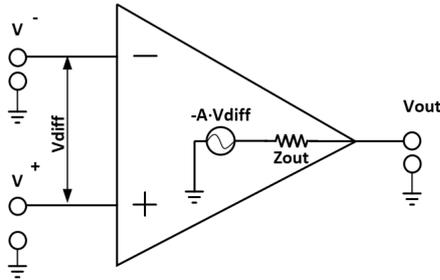


Figura 2.18 Modelo de un amplificador.

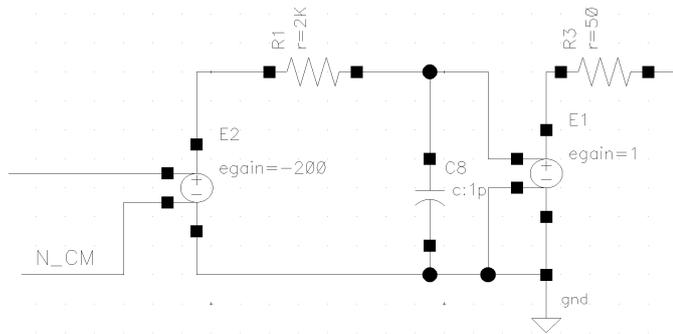


Figura 2.19 Macromodelo de un amplificador.

2.3.3 Cuantizador de 1 bit

Tras pasar el integrador es necesario convertir la señal a digital, para ello se utiliza un cuantizador. Los cuantizadores de 1 bit saturan la señal pues solo dejan elegir entre dos niveles lógicos, 1 y 0. Por lo tanto es necesario acompañarlo de un OSR alto para promediar. Se podría entonces obtener un mejor rendimiento aumentando el número de bits, o más interesante, se podría aumentar el número de bits reduciendo el OSR permitiendo un rango de frecuencias mayor. El modelo más sencillo de cuantizador podría ser un biestable tipo D o un schmitt-trigger. En el diseño se ha optado por un biestable tipo D. Situando la señal de entrada en el modo común se asignará el biestable a '1' lógico o a '0' lógico en función del threshold.

Tras obtener la salida digital, se convierte a analógica por medio de dos tensiones de referencia que se activarán en función del valor de la salida. Esta realimentación cerrará el sistema y nos proporcionará estabilidad. Dentro de los cuantizadores, los de primer orden tienen una estabilidad muy alta, que no será objeto de estudio en este TFG al estar más que probada[9].

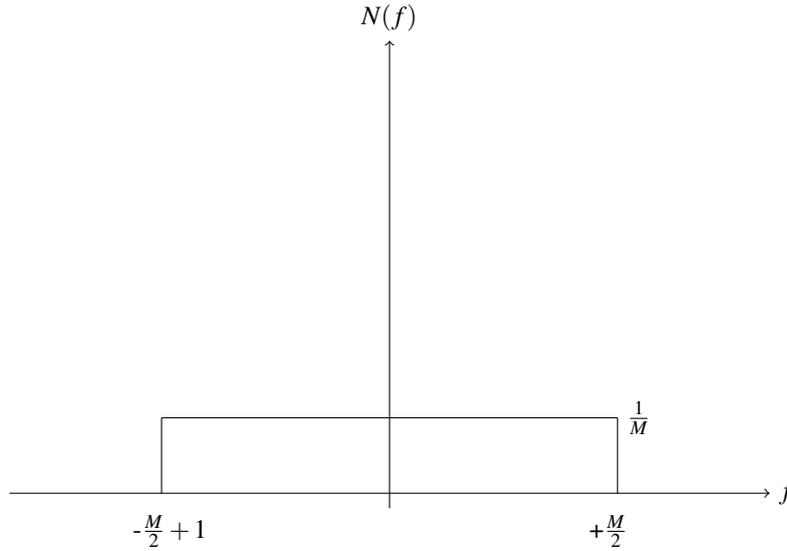


Figura 2.20 Función de probabilidad de una variable aleatoria uniformemente distribuida.

El error e_q introducido por el cuantizador de 1 bit estará en el rango de $[0, -1/M, \dots, -(M-1)/M]$ distribuido de manera uniforme, En el caso de 1 bit se tienen dos niveles por lo tanto M es 2.

$$E[e_q] = \sum_{k=-\frac{M}{2}+1}^{\frac{M}{2}} kP(e_q = k) \quad (2.24)$$

$$= \frac{1}{M} \sum_{k=-\frac{M}{2}+1}^{\frac{M}{2}} k = \frac{1}{2} \quad (2.25)$$

$$E[e_q^2] = \sum_{k=-\frac{M}{2}+1}^{\frac{M}{2}} k^2 P(e_q = k) \quad (2.26)$$

$$= \sum_{k=-\frac{M}{2}+1}^{\frac{M}{2}} k^2 \quad (2.27)$$

$$= \frac{1}{M} \left(\frac{M}{2}\right)^2 + 2 \frac{1}{M} \sum_{k=0}^{\frac{M}{2}-1} k^2 \quad (2.28)$$

$$= \frac{M}{4} + 2 \frac{1}{M} \frac{(\frac{M}{2}-1)(\frac{M}{2})(M-1)}{6} \quad (2.29)$$

$$= \frac{M^2 + 2}{12} \quad (2.30)$$

$$\sigma^2 = E[e_q^2] - (E[e_q])^2 = \frac{M^2 - 1}{12} \quad (2.31)$$

$$\sigma^2 = \frac{1}{4} \quad (2.32)$$

El modelo del cuantizador se puede expresar como $v=ky$, en el caso de cuantizadores de más de 1 bit, el rango de valores de la ganancia está más limitado. En el caso de un solo bit, cualquier ganancia se ajusta a la salida, lo que hace que al variar contribuya a la no linealidad del sistema. Dado que la ganancia es variable en un rango bastante alto, contribuirá a la creación de los armónicos impares, empeorando sustancialmente nuestro SINAD. Este punto será crítico a lo largo de todo el trabajo, pues es el origen del mal rendimiento.

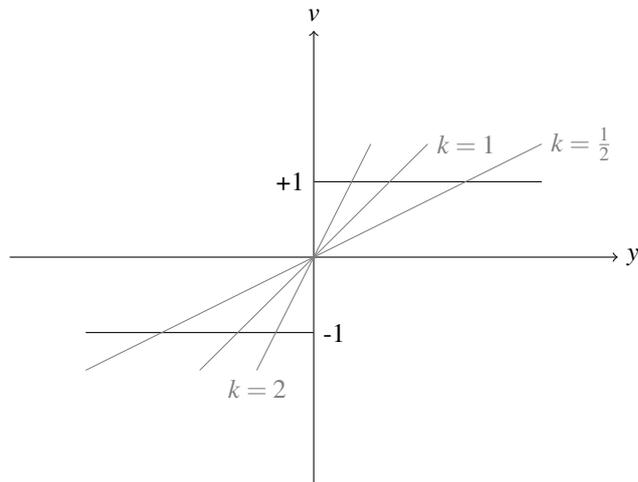


Figura 2.21 Modelo de un cuantizador con diferentes ganancias.

Para poder implementar el cuantizador se ha utilizado un biestable tipo D que recoge la señal en el estado Φ_2 almacenando temporalmente el valor sin necesidad de usar una capacidad extra (Figura 2.22). Una vez muestreado con el biestable, tan solo faltaría realimentar la salida. Como la realimentación tiene coeficiente negativo, es necesario incluirlo con una fuente de tensión puesto que el integrador con dos entradas es un sumador, no cambia el signo de la realimentación.

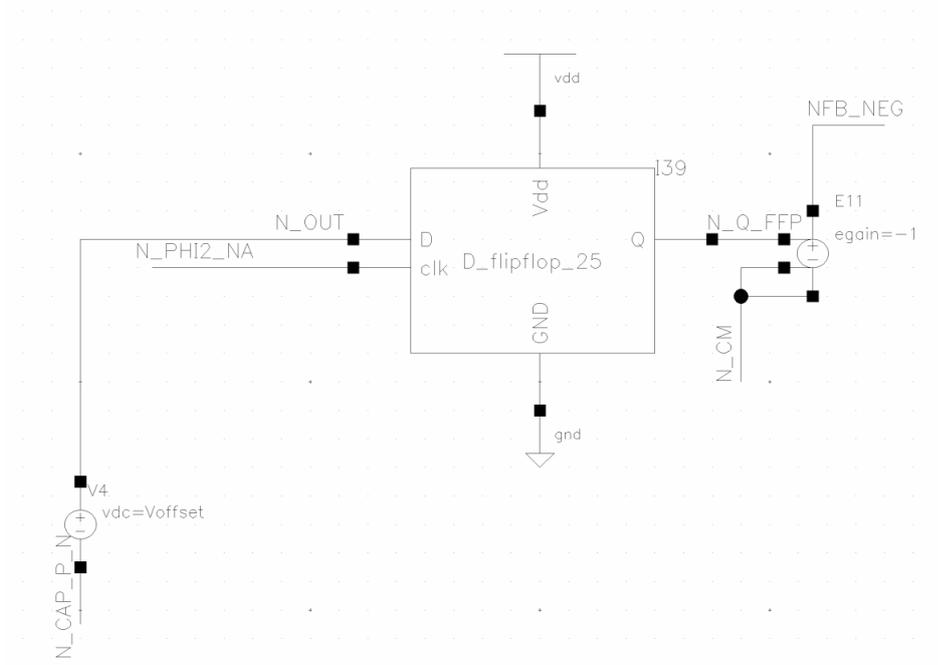


Figura 2.22 Biestable D para el sampling de la salida.

2.3.4 Resultados

Una vez diseñado cada bloque se junta para comprobar el sistema. Se va a estudiar el comportamiento del sistema dada una ganancia infinita y con una ganancia finita. Para la ganancia infinita se va a utilizar el macromodelo anteriormente comentado junto a unos tamaños de capacidad 10 veces mayor, manteniendo todo momento la relación. En el segundo caso de va a cambiar el macromodelo por el OPAMP diseñado permitiendo ver los efectos de una ganancia finita de 100. Comparando entonces quedarían los siguientes casos:

- Sistema con el macromodelo del amplificador
- Sistema con el OPAMP diseñado

Dentro de cada uno de las versiones se estudiará el SINAD máximo obtenido, que nos permitirá obtener el ENOB. Es interesante indicar también el SNR pues nos indicará en que momento ocurre exactamente la saturación del sistema. El rango dinámico (DR) de la señal se hará con el valor máximo antes de que sature, y una vez calculado se utilizará el suelo de ruido para obtenerlo.

Inicialmente se espera que el DR sea parecido al calculado teóricamente. Los resultados obtenidos de la Figura 2.23 son notablemente peores, debido principalmente a la distorsión que hay presente. Se confirma por tanto la no linealidad inicial del sistema. Se parte entonces con el objetivo de reducir la no linealidad y mejorar ampliamente la reducción de los armónicos inexistente en este modelo.

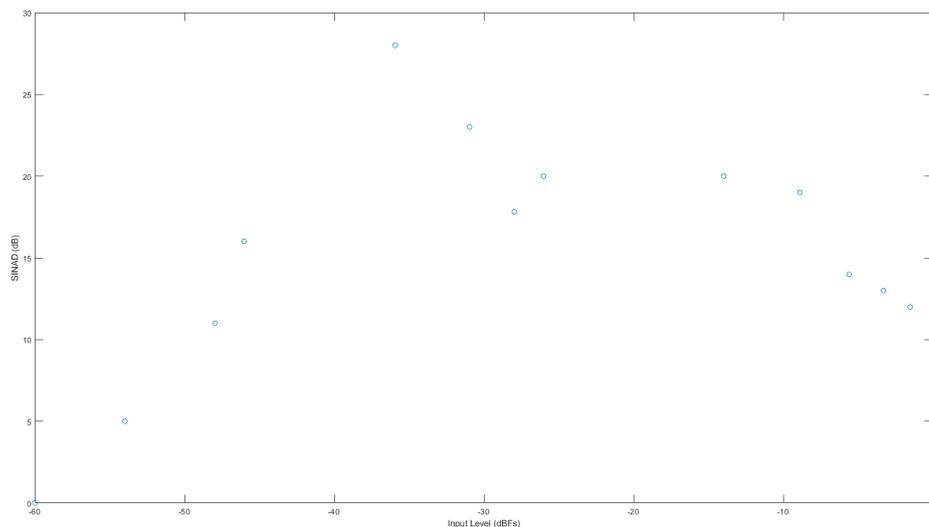


Figura 2.23 SINAD del modelo para diferentes entradas.

El sistema con el macromodelo Figura 2.24 presenta un SNR cercano al teórico, pero el SINAD empeora notablemente el sistema, siendo el armónico de segundo orden la razón principal. También satura el sistema, de ahí el de tercer orden. Puesto que se quiere comparar siempre para la misma entrada, es necesario utilizar esta señal y no otra, aunque esté fuera del rango ideal de funcionamiento.

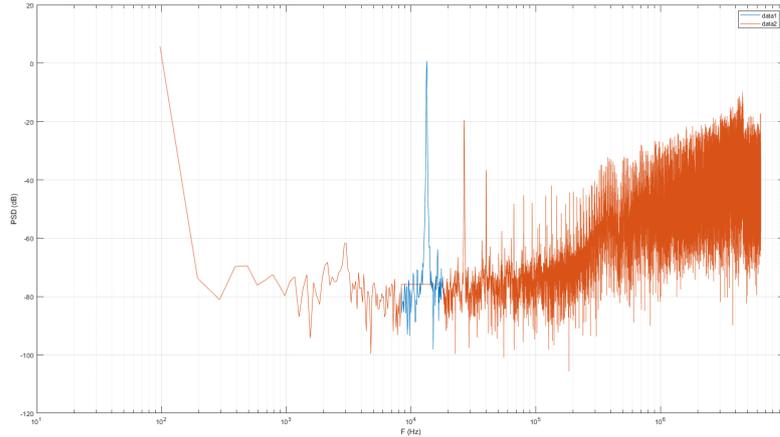


Figura 2.24 PSD del circuito de temas con amplificadores ideales.

La implementación del OPAMP mejora la linealidad del sistema, viendo los armónicos de tercer orden, como se ve en la Figura 2.25. A pesar de ello los armónicos de segundo orden empeoran el sistema sustancialmente, se espera por tanto una mejora importante al implementar la rama negativa.

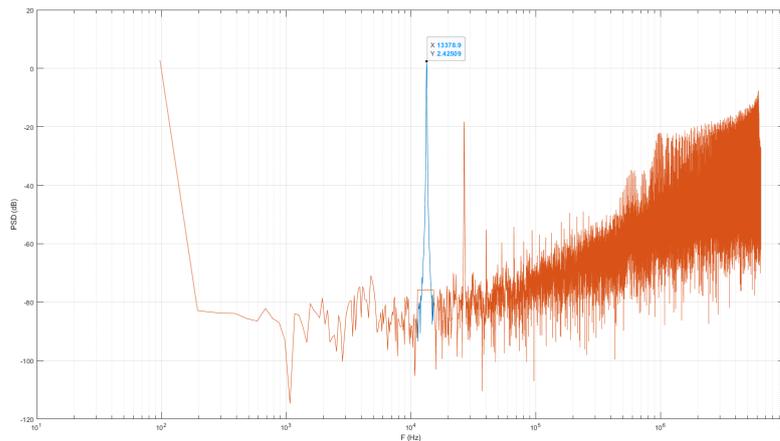


Figura 2.25 PSD del circuito de temas con el OPAMP diseñado.

Comparando los resultados se ve el correcto funcionamiento del filtrado de ruido, a pesar de que los armónicos cambian drásticamente los resultados. Si se consiguen eliminar, se obtiene un SNR que conseguiría 8 bits, será por tanto ese el objetivo a conseguir.

Tabla 2.3 Resultados del sistema con el circuito de Temas.

Tipo	Circuito de temas ideal	Circuito de temas con OPAMP
SNR (dB)	50.58	56
SINAD (dB)	19.38	19.85
ENOB (n bits)	2.92	3
SFDR (dB)	28.22	23.92
DR (dBF)	18	18
HD2 (dB)	-20.25	-18.23
HD3 (dB)	-38.27	-55.18

2.4 Implementación del circuito pseudo diferencial

De manera análoga podemos duplicar el circuito y procesando en cada parte la entrada positiva y la negativa, se obtiene así el circuito pseudo diferencial. Entre las ventajas directas que podemos obtener de un circuito pseudo diferencial son la eliminación de los armónicos de segundo orden. Normalmente la fase positiva se procesa mientras que en la siguiente fase se procesa la negativa, en nuestro caso se ha optado por hacerlas de manera paralela, evitando tener que retrasar la entrada luego para poder sumarlas.

Aprovechando esta nueva rama, se propone no solo duplicarla y restar las señales resultantes quitando los armónicos pares, si no ir intercambiando la capacidad del integrador consiguiendo una reducción los armónicos impares y linealizar el sistema. Este modelo de capacidades conmutadas (Figura 2.26) proviene del modelo de capacidades biquad ya comentado anteriormente. Esta incorporación principal del sistema sugiere una escalabilidad alta en sistemas de mayor orden a diferencia del modelo de temas [10].

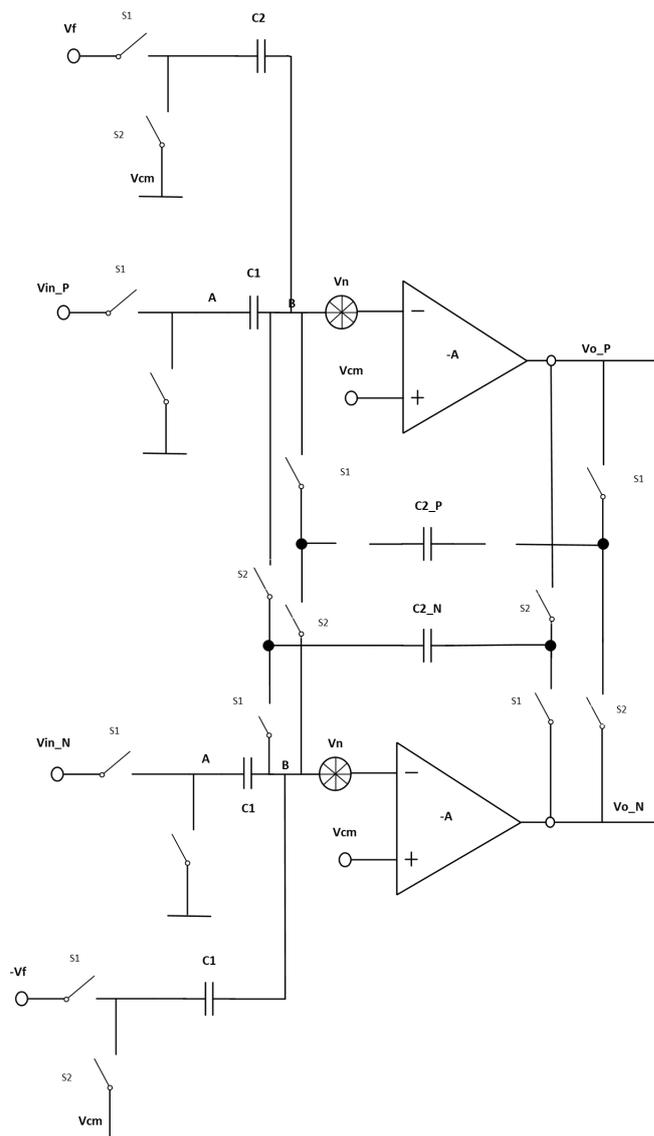


Figura 2.26 Implementación del integrador con las capacidades conmutadas entre ambas ramas.

2.4.1 Arquitectura del P2D

Idealmente al invertir la entrada se puede pensar que la salida será la misma pero negativa. Balancear todo el circuito para que esto ocurra es difícil y prácticamente imposible aunque gracias a diferentes técnicas de matching se puede igualar. La parte más importante del circuito y que inyecta gran parte del ruido es

el amplificador. El macromodelo creado se ha hecho para que sea totalmente simétrico, a diferencia de los amplificadores reales donde el CMRR del circuito determinará el rendimiento. Como se puede comprobar la no simetría de ambos amplificadores hará que al restar el modo común pueda no desaparecer o que la señal no sea exactamente la misma. Añadiendo otras frecuencias indeseadas a nuestro espectro.

$$CMRR = \frac{A_d}{A_c} \quad (2.33)$$

$$V_{in} = V_{in}^+ - [V_{in}^-] \quad (2.34)$$

$$V_{in}^+ = \frac{1}{2}V_{in} + V_{mc} \quad (2.35)$$

$$V_{in}^- = -\frac{1}{2}V_{in} + V_{mc} \quad (2.36)$$

$$V_{out}^+ = \frac{1}{2}V_{in} * A_{d,p} + V_{mc} * A_{c,p} = \frac{1}{2}V_{in} * \alpha + V_{mc} * \gamma \quad (2.37)$$

$$V_{out}^- = -\frac{1}{2}V_{in} * A_{d,n} + V_{mc} * A_{c,n} = -\frac{1}{2}V_{in} * \beta + V_{mc} * \theta \quad (2.38)$$

$$V_{out} = V_{out}^+ - V_{out}^- = \frac{\alpha + \beta}{2}V_{in} + \frac{\gamma - \theta}{2}V_{mc} \quad (2.39)$$

Estos cambios de mismatch afectarán ampliamente a la señal resultante, debido a ello la incorporación de las capacidades conmutadas sugieren una mejora de la salida obtenida. Una vez procesada la señal es necesario restar la salida para obtener la señal completa y eliminar el modo común. Se puede hacer de manera analógica o digital. Generando con una fuente dependiente conectado con las dos bornas a nuestras dos señales de salida obtenemos la diferencia para la etapa del cuantización. Otra posible integración sería la digital, para ello se restan digitalmente los valores lógicos dando por resultado la señal final.

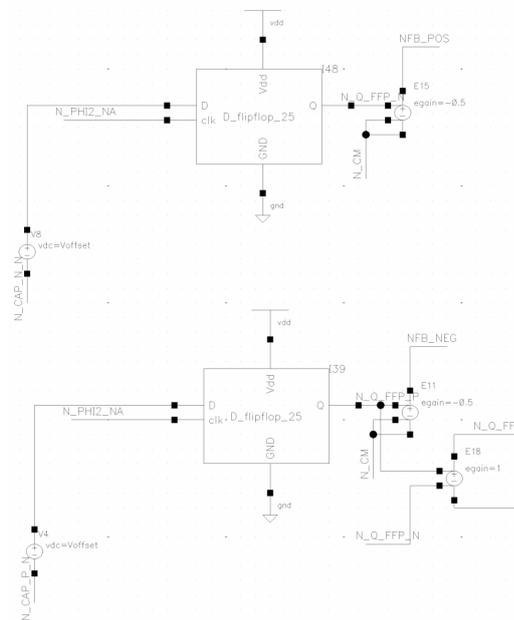


Figura 2.27 Realimentación del circuito tras las substracción digital.

2.4.2 Resultados

Como se comentó, la diferencia de carga o diferencia a la entrada puede influir drásticamente los resultados empeorando el CMRR, por ello añadiendo a las comparaciones anteriores, se comprobará el efecto de un

offset a la entrada de una de las bornas. Esto permitirá ver si la arquitectura propuesta no varía frente al offset como puede ocurrir en otros modelos. Se comprobarán por lo tanto los siguientes resultados:

- Sistema con el macromodelo del amplificador
- Sistema con el OPAMP diseñado
- Sistema con el OPAMP diseñado aplicando un offset en el OPAMP

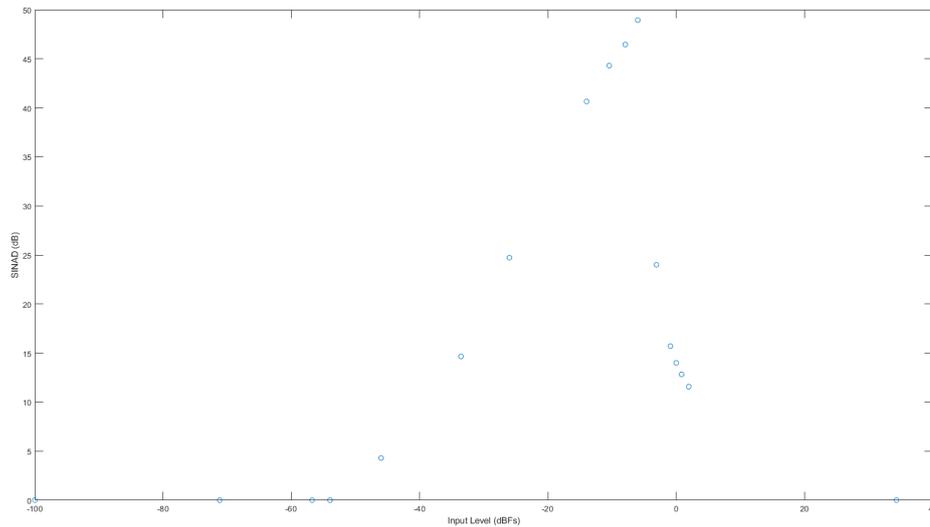


Figura 2.28 SINAD del circuito P2D con el OPAMP a diferentes entradas.

El rango dinámico del sistema (Figura 2.28) ha mejorado bastante siendo el punto máximo entre 400mV 500mV, dando unos resultados máximos de casi 49dB de SINAD. Estos valores se acercan bastante a los 8 bits efectivos, estando ligeramente por debajo. Comparando con los resultados de la versión de temas las mejoras son inmediatas. Se obtiene entonces el SNR teórico a pesar de no obtenerlo tras contar los armónicos. Será por lo tanto el objetivo reducir estos.

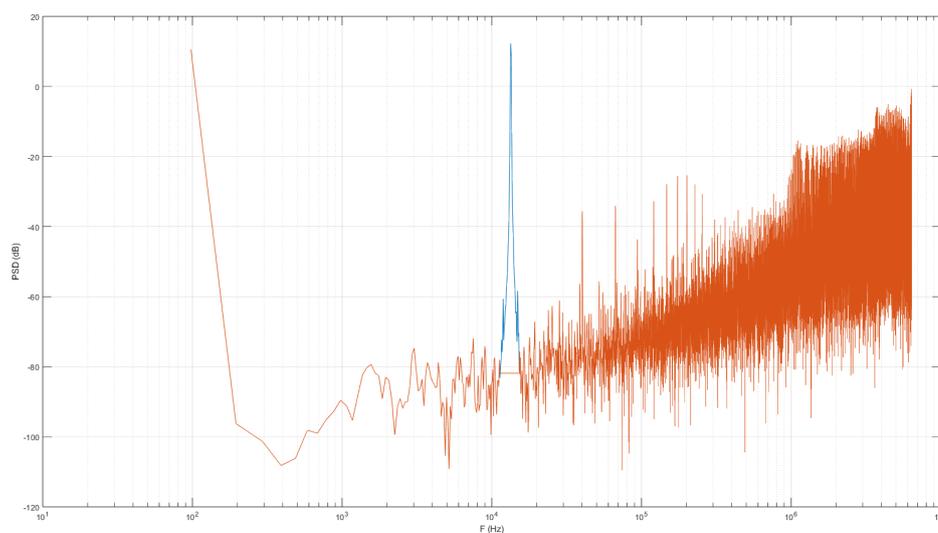


Figura 2.29 PSD del P2D ideal.

Siguiendo la tónica esperable, se obtiene un SNR teórico más bajo en la versión con el OPAMP Figura 2.30. A diferencia de la ideal Figura 2.29, el SINAD si es más bajo, consiguiendo los 8 bits efectivos. Es curioso el efecto en los armónicos, siendo menor el par en el ideal. Este efecto se debe a que el objetivo del pseudo diferencial, que era eliminar los armónicos pares, está funcionando mejor en el ideal. Sin embargo empeoran los armónicos de tercer orden, que vienen relacionados con la linealidad, posiblemente por algún error intrínseco del macromodelo introducido. En ambos casos los resultados entran dentro de lo esperado, siendo una arquitectura mucho mejor respecto a la base inicial.

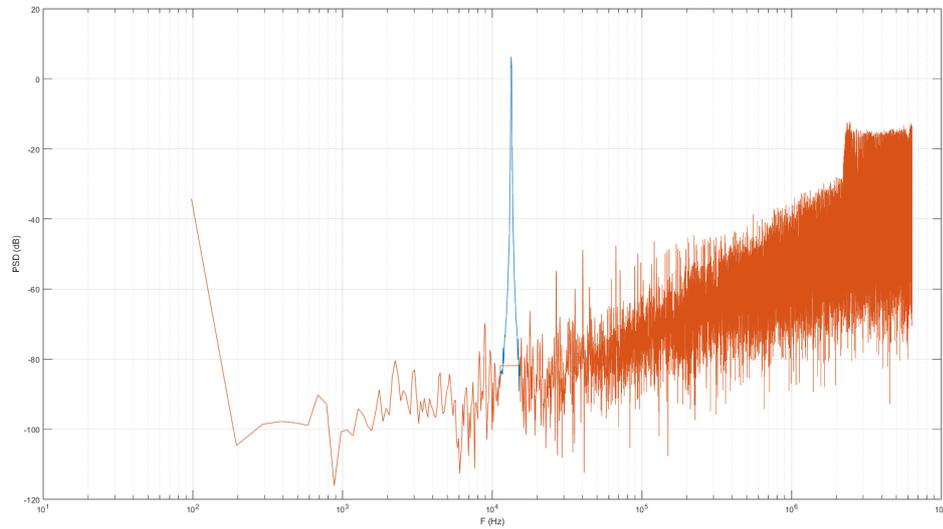


Figura 2.30 PSD del P2D con el OPAMP.

Sorprendentemente al aplicar un offset del 20% de la entrada se obtienen mejores resultados (Figura 2.31). Significa entonces que el balanceo que había no era del todo correcto y no eran iguales ambas ramas. Se puede comprobar que ocurre al comprobar el valor del armónico par, siendo éste menor al aplicar el offset.

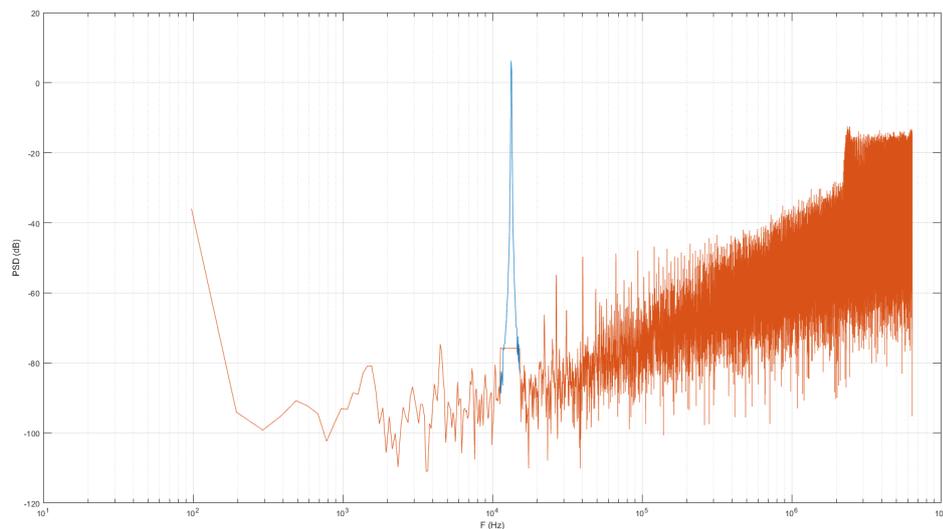


Figura 2.31 PSD del OPAMP con el offset aplicado.

Como se observa en los resultados (Tabla ??) el ideal obtiene el mejor SNR, y elimina mejor los armónicos de segundo orden, lo que significa que las ramas están bien balanceadas pero satura empeorando drásticamente

el HD3. Al añadir el opamp mejora el HD3 pero empeora el armónico par, sugiriendo que la rama no está bien balanceada. Esto se hace evidente al aplicar el offset, donde mejora el armónico par y el impar.

Tabla 2.4 Resultados del sistema P2D.

Tipo	P2D ideal	P2D con OPAMP	P2D con offset
SNR (dB)	61.88	58.54	60.18
SINAD (dB)	47.25	52.42	53.147
ENOB (n bits)	7.55	8.4	8.5361
SFDR (dBFS)	49.1	55.1	55.91
DR (dB)	48	48	48
HD2 (dB)	-62	-54.83	-55.72
HD3 (dB)	-35	-48.8	-50.8

2.5 Implementación del circuito totalmente diferencial

Un circuito totalmente diferencial (FD) usa el mismo bloque principal para modular la señal. En este caso ambas ramas comparten el OPAMP totalmente diferencial a diferencia de los métodos anteriores donde se usaba un OPAMP single-ended. Se espera por lo tanto que la mejora al utilizar el mismo circuito permita que la carga que ven ambas este balanceada y la ganancia del amplificador sea constante para ambas ramas.

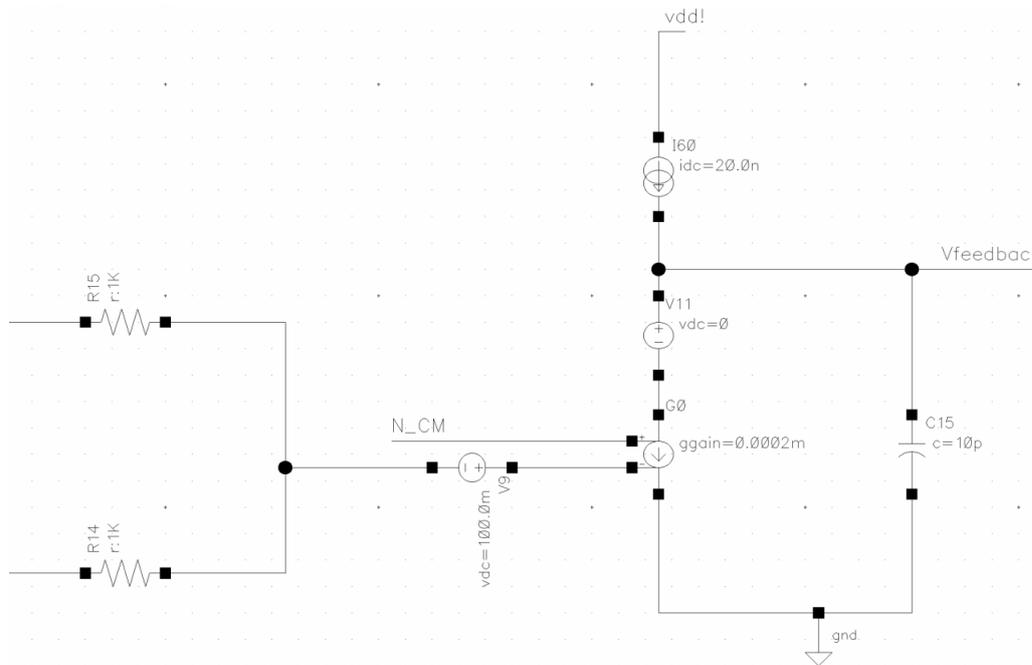


Figura 2.32 Modelo del control de modo común.

El amplificador utilizado tiene una alta ganancia diferencial para ser una sola etapa, mientras que el CMRR del mismo es bastante pobre al no tener control. Para poder controlar la ganancia de modo común del sistema es necesario añadir un control de modo común (Figura 2.32). Para facilitar el diseño del sistema se han utilizado fuentes ideales permitiendo comprobar la funcionalidad. Tomando ambas salidas y restándolas, se obtiene el modo común de la señal. Este valor debe ser cercano al modo común del sistema, situado en 1.25V. Para ello se puede usar una fuente de intensidad dependiente que inyecte intensidad a un nodo de control. En caso de que la tensión sea menor al modo común del sistema, se inyectará menos intensidad al nodo de control. Gracias a una fuente fija de intensidad se controla la intensidad por las leyes de Kirchhoff y se ajusta la tensión que se realimentará al sistema. Tal y como se calculó en el diseño del OPAMP, la ganancia es negativa lo que hace que el control sea inverso. Finalmente se realimenta permitiendo que se mantenga siempre balanceado el amplificador.

2.5.1 Resultados

Idealmente el control de modo común ajusta la tensión para que las ganancias sean las mismas. Lejos de la realidad la sensibilidad del OPAMP al estar en la puerta de un transistor hará que el cambio leve de tensión dificulte el balanceo de ambas ganancias. Es por tanto interesante comprobar el efecto una vez más del offset en la entrada del OPAMP junto a la comparación con el OPAMP sin offset. Se deja fuera de la comprobación el macromodelo, pues probada la eficacia anteriormente, no es necesario volver a comprobarlo. Las pruebas que se harán serán las siguientes:

- Sistema con el OPAMP diseñado
- Sistema con el OPAMP diseñado aplicando un offset en el OPAMP

Se obtiene un DR mucho mejor que los circuitos anteriores (Figura 2.33), consiguiendo llegar a los 8 bits con una entrada de 500mV. Aunque lejos de los 61dB teóricos, se ha mejorado sustancialmente la linealidad y el THD como se verá en los siguientes casos.

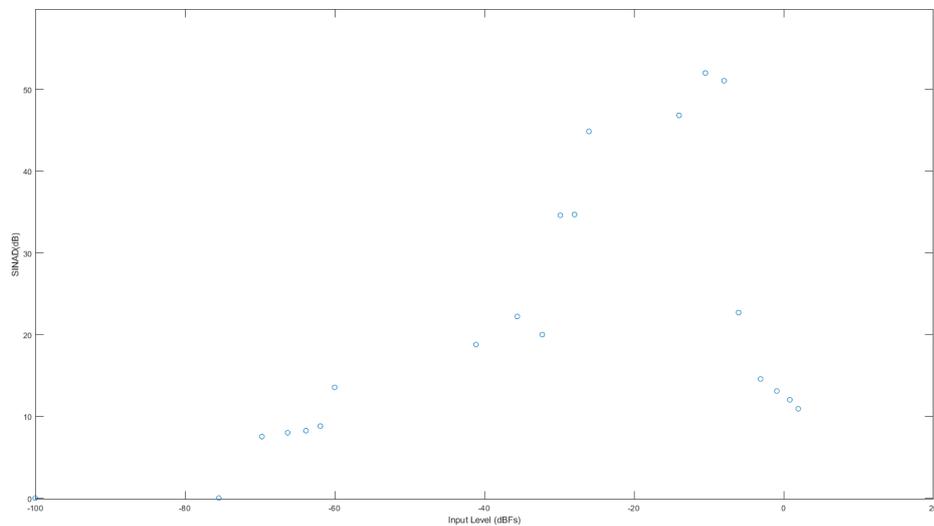


Figura 2.33 SINAD del circuito F2D con el OPAMP a diferentes entradas.

Los resultados al implementar el OPAMP son excelentes (Figura 2.34), la distorsión es inapreciable consiguiendo 8 bits y eliminando completamente los armónicos. Comparando con los resultados anteriores donde los armónicos presentaban una presencia importante. Aunque no se ha conseguido un SINAD mayor, en ambos casos se consiguen 8 bits pero con unos armónicos de menor nivel, confirmando que es más robusta. Se sugiere entonces que esta arquitectura puede dar más de sí al obtener un THD tan bajo con solo un sistema de primer orden.

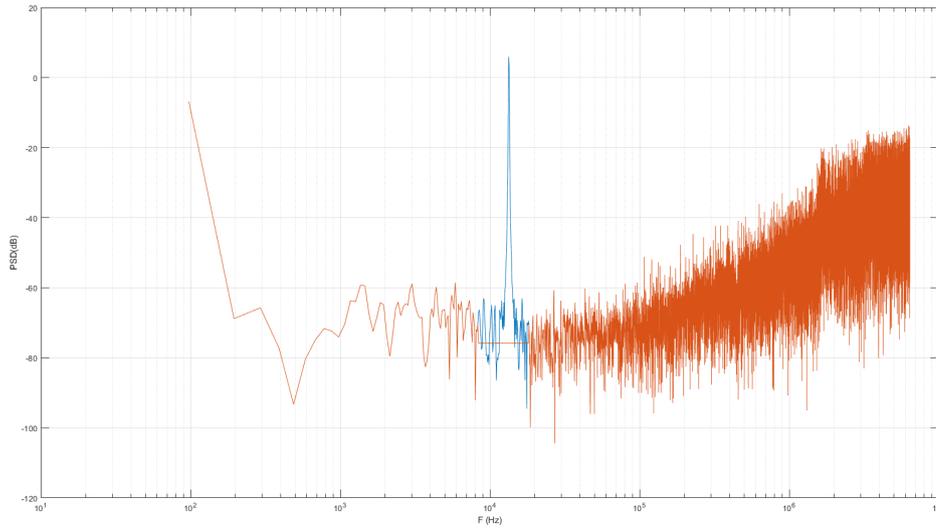


Figura 2.34 PSD del OPAMP sin offset aplicado.

Aplicando un offset del 20% de la señal, se consiguen prácticamente los mismos resultados (Figura 2.35), confirmando que la arquitectura es robusta frente al offset del amplificador. Se puede apreciar que el balanceo en ambos casos es correcto, además del funcionamiento del control del modo común. El hecho de obtener los mismos armónicos pares resulta en el correcto balanceo de las cargas y de la ganancia de modo común de los mismos. Se pierde linealidad al comprobar el tercer armónico pero no afecta significativamente pues se sigue obteniendo un THD mucho menor que en las otras arquitecturas.

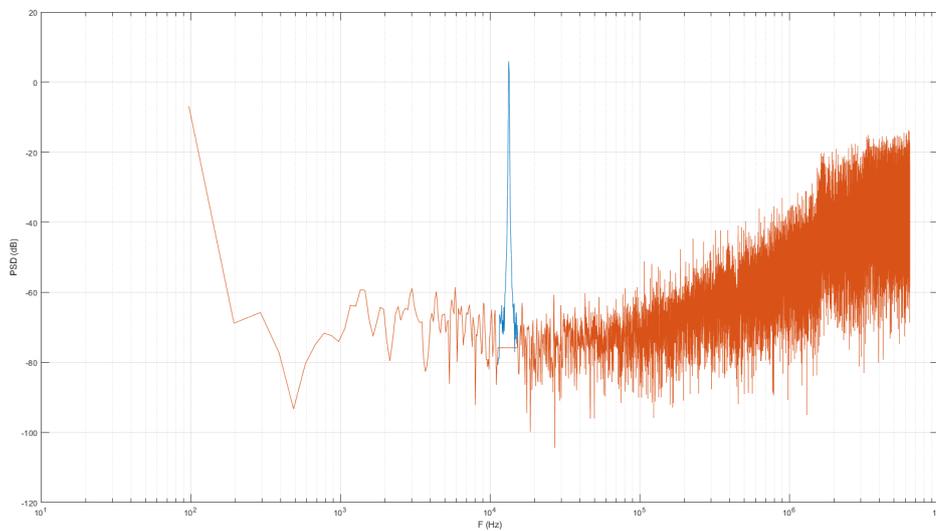


Figura 2.35 PSD del OPAMP con el offset aplicado.

Viendo los resultados finales (Tabla 2.5) se aprecia el bajo THD aunque extraña el SNR tan bajo obtenido, siendo casi de 10dB mayor en la version P2D. Queda por lo tanto en duda la implementación de los coeficientes, pues tiene un suelo de ruido mayor. Los coeficientes marcarían el OSR y por tanto el suelo de ruido.

Tabla 2.5 Resultados del sistema F2D.

Tipo	F2D con OPAMP	F2D con OPAMP y offset
SNR (dB)	51.54	51.53
SINAD (dB)	51.35	51.32
ENOB (n bits)	8.3	8.23
SFDR (dB)	64.58	64.3
DR (dB)	65	65
HD2 (dB)	-60.61	-60.66
HD3 (dB)	-67.1	-60.37

3 Mejoras del sistema inicial

Una vez diseñado el sistema de primer orden y vistos los resultados que ofrece, es de esperar que tenga un amplio margen de mejora. Como se introdujo anteriormente, esta arquitectura permite teóricamente una escalabilidad sin necesidad de cambios que otras versiones no ofrecen como la versión de Temes estudiada. Se va a proponer por tanto un diseño del sistema de orden mayor y posibles mejoras estudiando de manera superficial las mismas dejando para posibles proyectos futuros la mejora de los mismos o ajustes necesarios. Entre las mejoras propuestas se encuentran la implementación de un sistema de segundo orden y el estudio de un cuantizador de 3 bits permitiendo obtener 8 niveles, mejorando con la misma arquitectura y orden el sistema.

3.1 Diseño del sistema de segundo orden

El modulador de segundo orden permite llegar a un nivel de ruido más bajo que la contraparte de primer orden como se explicó en el capítulo 2. Utilizando de nuevo la herramienta DSToolbox disponible en MATLAB[®] se diseñará el sistema. A diferencia del código anterior, es necesario quitar la realimentación de g_1 para diseñar el esquema de segundo orden clásico con una entrada. También es necesario quitar b_2 y b_3 para tener solo una entrada. En este caso la ganancia c_1 si es importante en el sistema y la ganancia c_2 pasa a segundo plano al tener un cuantizador de un solo bit a la salida.

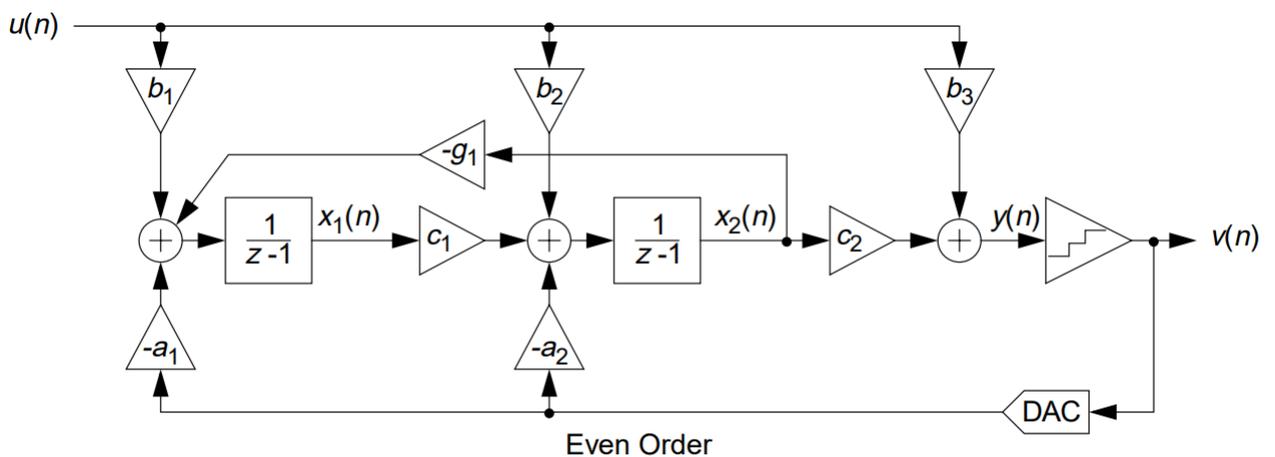


Figura 3.1 Diagrama de bloques del CIFB.

Código 3.1 Script MATLAB[®] usado para el cálculo de los coeficientes del sistema de segundo orden.

```
ntf = synthesizеNTF(order,osr,1); % Se optimiza la posición de los ceros
```

```
[a,g,b,c] = realizeNTF(ntf,'CIFB');
b(2:end)=0; %Se busca solo una entrada
g=0;
ABCD = stuffABCD(a,g,b,c,'CIFB');
[ABCDs, umax] = scaleABCD(ABCD);
[a,g,b,c] = mapABCD(ABCDs,'CIFB');
```

Una vez calculados los coeficientes se puede estimar la NTF que se obtendría y el SNR resultante. En este caso se estima que el SNR será de 84.51dB, una mejora de más de 20dB permitiendo 13 bits de resolución en el sistema.

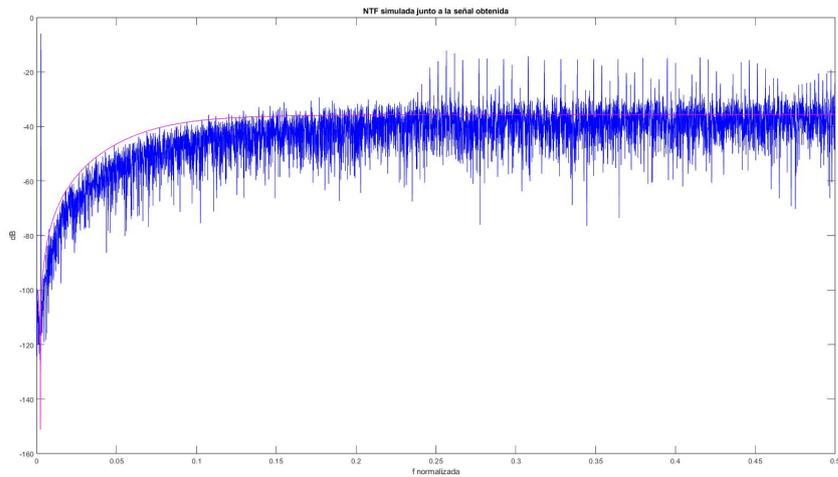


Figura 3.2 PSD de la señal tras modularla en un sistema de segundo orden.

La entrada máxima teórica ha sido de 0.96, lo que concuerda con los resultados obtenidos. Se puede apreciar que el pico obtenido se consigue antes de llegar a 0 dBFS que referencia al valor máximo de escala. Los

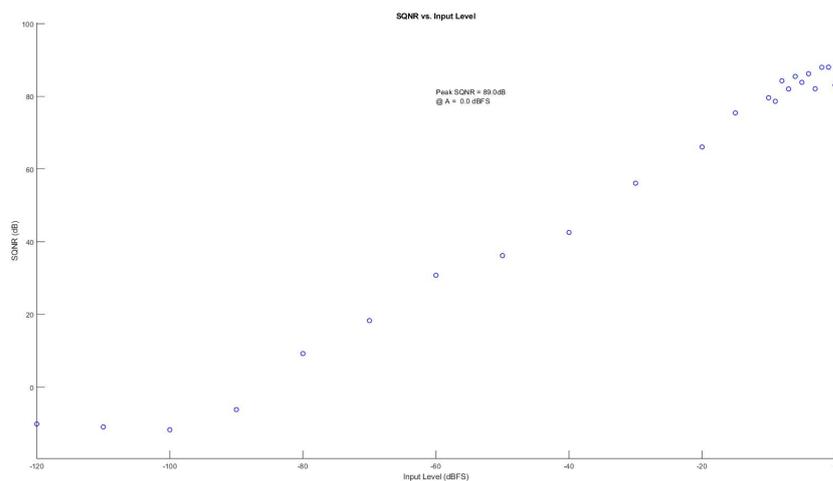


Figura 3.3 Dynamic Range del modulador de segundo orden.

parámetros de diseño que se estiman son los siguientes, es importante remarcar que en este caso c_1 si importa, por lo tanto la ganancia que se utilice es crítica, dependiendo entonces de un cálculo de las capacidades más específico donde si importan las capacidades parásitas. Anteriormente no se tuvo en cuenta porque c_2 no influía y las capacidades de a_1 y b_1 eran insensibles a parásitos.

Parámetros de diseño	CIFB
OSR	128
order	1
a_1	0.21
a_2	0.13
b_1	0.21
b_2	0
b_3	0
c_1	0.18
c_2	No computa
g_1	0
Rango entrada	[0.1 , 2.4]
Nlev	2

3.2 Arquitectura del modulador

Utilizando de base el modulador anterior, se puede escalar para uno de segundo orden (Figura 3.4), para ello basta con volver a integrar el circuito anterior pero desfasado medio ciclo. Puesto que es necesario ese desfase, se integrará a la salida un switch con una capacidad que almacene los valores. También es importante darse cuenta de que la señal de realimentación debe desfasarse también medio ciclo para que pueda utilizarse, de ahí que el switch de realimentación sea en diferentes ciclos para cada una de las etapas. A diferencia del modelo anterior, los parámetros de diseño no son simétricos lo que hará que los tamaños de las capacidades no sean los mismos dificultando la integración. Se puede optar por modificar estos valores buscando un equilibrio entre rendimiento y espacio. Queda por tanto fuera del TFG la integración más allá de una presentación del sistema.

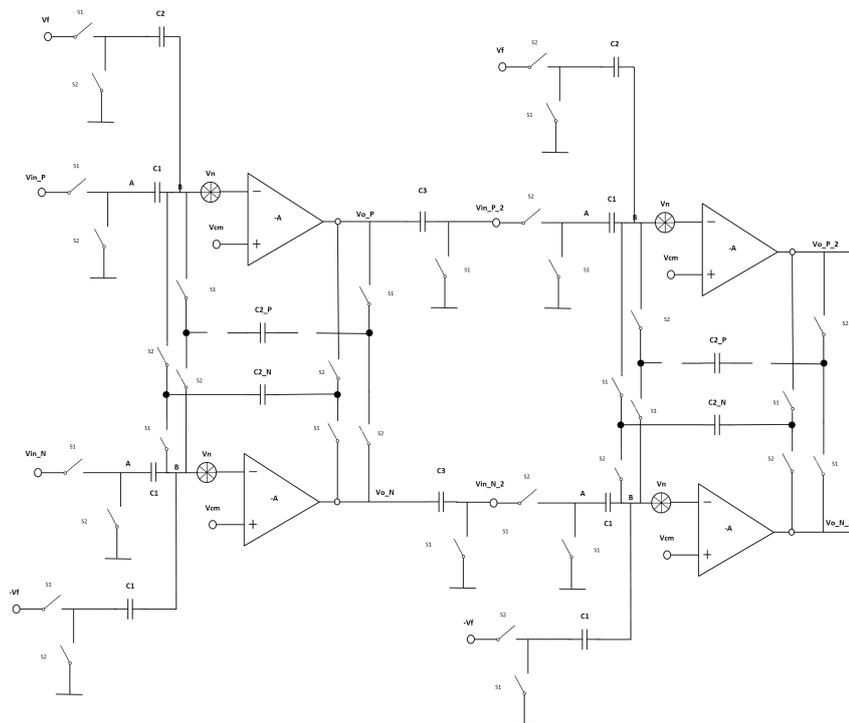


Figura 3.4 Implementación del $\Sigma - \Delta$ de segundo orden .

3.3 Cuantizador de 3 bits

El cuantizador es junto al amplificador, la parte más importante del modulador. Debido a ello, las limitaciones que se presentan en el cuantizador de 1 bit introducido anteriormente empeoran sustancialmente la linealidad

aumentando el THD del sistema. Se va a proponer una implementación de un cuantizador de 3 bits y las mejoras directas que se esperan al implementarlo.

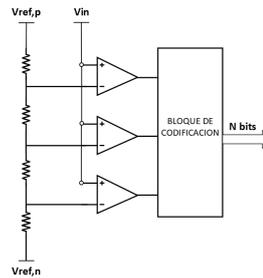


Figura 3.5 Cuantizador de 3 bits de tipo flash .

Entre las opciones a barajar se encuentran los flash ADC (Figura 3.5) o los SAR ADC (Figura 3.6). Los SAR tienen la ventaja de ser muy eficientes en comparación con los flash, y no necesitan resistencias. El hecho de que no necesite resistencias permite un sistema completo basado en capacidades (a excepción del comparador), que no introducen ruido a diferencia de las resistencias. Por contra, tienen un tiempo de procesamiento mayor, lo que los hace menos atractivos en aplicaciones donde el tiempo de muestreo es muy alto. Por ejemplo en aplicaciones de audio se podría usar perfectamente, en cambio en modulaciones en torno al 4G sería mejor optar por los flash ADC, mucho más rápidos pero menos precisos.

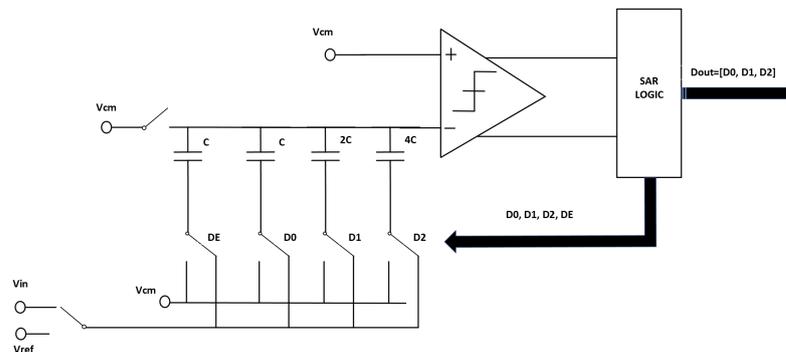


Figura 3.6 Cuantizador de 3 bits de tipo SAR .

Aplicando a nuestro sistema que tiene un tiempo de muestreo no excesivamente rápido, sería lógico optar por los de tipo SAR. No sería tampoco una mala opción utilizar de tipo flash y aumentar el OSR permitiendo un aumento del SINAD. No obstante, queda como propuesta para las siguientes líneas de investigación.

3.4 Resultados y conclusión

Como se ha podido comprobar a lo largo del capítulo 2, las diferentes versiones han ido mejorando una a una frente a la versión inicial. Sorprendentemente la versión P2D obtiene los mejores resultados de SINAD en comparación con la F2D, sin embargo el THD de la última es mucho mejor. Aún así queda comprobado la insensibilidad al offset que se presentaba al inicio del TFG, independientemente de la versión utilizada. También queda demostrada la mejora notable frente a la versión inicial de Temes, se tiene entonces que los resultados son satisfactorios.

La propuesta de arquitectura es robusta frente al offset y presenta una linealidad correcta permitiendo un THD bajo. Es importante comentar que a pesar de una velocidad de muestreo baja, el diseño se puede enfocar a sistemas de audio, donde presenta ya una muy baja distorsión en un sistema de primer orden. Promete entonces el diseño en ese ámbito, siendo lo ideal comprobar los resultados en un sistema de orden mayor para poder comparar entre los presentes dentro de la investigación. Se deja por tanto las mejoras de multi-bit y de segundo orden como trabajo por hacer.

Tabla 3.1 Recopilación de los resultados de las diferentes versiones.

Tipo	Circuito de temas ideal	Circuito de temas con OPAMP	P2D ideal	P2D con OPAMP	P2D con offset	F2D con OPAMP	F2D con offset
SNR (dB)	50.58	56	61.88	58.54	60.18	51.54	51.53
SINAD (dB)	19.38	19.85	47.25	52.42	53.147	51.35	51.32
ENOB (n bits)	2.92	3	7.55	8.4	8.5361	8.3	8.23
SFDR (dB)	28.22	23.93	49.1	55.1	55.91	64.58	64.3
DR (dB)	18	18	48	48	48	65	65
HD2 (dB)	-20.25	-18.23	-62	-54.83	-55.72	-60.61	-60.66
HD3 (dB)	-38.27	-55.18	-35	-48.8	-50.8	-67.1	-60.37

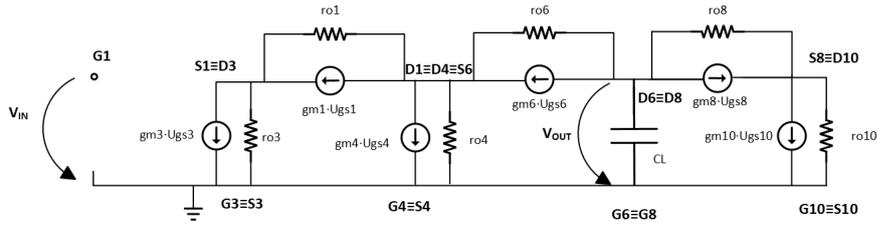


Figura A.2 Modelo de pequeña señal del amplificador operacional cascode plegado.

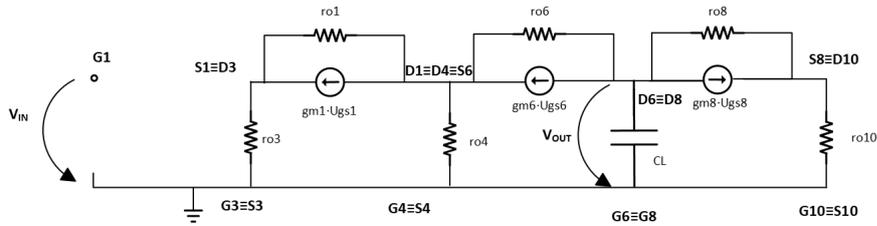


Figura A.3 Modelo de pequeña señal simplificado del amplificador operacional cascode plegado.

La ganancia del circuito podremos darla entonces en función de la resistencia equivalente superior (dada por los transistores M8 y M10) y la inferior (dada por los transistores M4 y M6).

$$A_v = -gm_1 r_{out}$$

$$r_{out} = r_L // r_U$$

$$r_L = r_{o6} + (r_{o1} // r_{o4})(1 + gm_1 r_{o6}) \approx gm_6 gm_1 r_{o6}$$

$$r_U = r_{o8} + r_{o10}(1 + gm_8 r_{o8}) \approx gm_8 r_{o10} r_{o8}$$

Suponiendo un solo polo dominante podemos fijar la frecuencia del polo en función de r_{out} y C_L . Por lo tanto la frecuencia de corte y el GBW vendrán dadas por la gm_1 . La ganancia del circuito dependerá entonces de la tensión efectiva (V_{eff}) del transistor M1, se fijará como punto de partida en 0.15V.

$$p_1 = \frac{1}{r_{out} C_L}$$

$$GBW = |A_v| p_1$$

$$f_t = GBW = \frac{gm_1}{C_L}$$

$$gm_1 = \frac{2I_{d1}}{V_{eff}} = \frac{I_{d3}}{V_{eff}}$$

Las capacidades de diseño del circuito a la salida tendrán un valor cercano a 5pF, por ello y como la señal se modula a 1.28MHz se utilizará 10MHz como frecuencia de corte. Partiendo de esta base se puede empezar el diseño.

Como la frecuencia es de 1.28MHz, el slew rate necesario para cargarlo determinará la intensidad que se inyecta en el nodo de salida. La intensidad de salida viene dada por la corriente dada por los transistores M10 y M8 que funcionan como una fuente de corriente.

$$SR = \frac{\Delta V_{out}}{\Delta t} = \frac{I_{10}}{C_L}$$

Puesto que el condensador se comportará como una exponencial con constante de tiempo τ , será necesario que la pendiente sea mayor a la que determina la carga del condensador, o no se cargará al valor correcto.

$$\tau = r_{out} C_L$$

$$\begin{aligned}
V(t) &= V_{FIN} + (V_{INI} - V_{FIN})e^{-t/\tau} \\
\frac{dV}{dt} &= \frac{-1}{\tau}(V_{INI} - V_{FIN})e^{-t/\tau} \\
\frac{dV}{dt}|_{MAX} &= \frac{V_{INI} - V_{FIN}}{\tau} \\
SR &> \frac{V_{dd}}{r_{out}C_L} \\
I_{10} &> \frac{V_{dd}}{r_{out}}
\end{aligned}$$

Finalmente se obtiene otra ecuación de diseño necesaria para disminuir las variables libres.

A.2 Diseño del OPAMP

Partiendo del slew rate, obligamos a que la intensidad del transistor 10 sea mayor a $100\mu A$. Se tomarán $300\mu A$.

Para evitar que la corriente I_6 sea cero, es común elegir que I_4 sea 3 veces mayor que I_3 .

$$I_{10} = 300\mu A$$

$$I_4 = 100\mu A$$

Una vez están las intensidades elegidas, se pueden dimensionar los transistores. Partiendo de la base de que el output swing que se busca es de $2V_{DS|SAT}$ y que están en saturación se obtienen los tamaños mínimos.

$$V_{out|MAX} = V_{dd} - V_{ds10} - V_{ds8} = V_{dd} - 2V_{ds|sat} = 2.5 - 0.5 = 2V$$

$$V_{out|MIN} = V_{ss} + V_{ds4} + V_{ds6} = 2V_{ds|sat} = 0.5V$$

$$\frac{W_4}{L_4} = \frac{2I_4}{K_p V_{ds|sat}^2}; \frac{W_4}{L_4} > 37$$

$$\frac{W_6}{L_6} = \frac{2I_6}{K_p V_{ds|sat}^2}; \frac{W_6}{L_6} > 14$$

Tras dimensionar los transistores para la intensidad elegida, queda ajustar el transistor M1. Sabiendo que la señal va a ser de $1.28MHz$ posicionando la frecuencia en $100MHz$ y con la intensidad elegida, se obtiene el tamaño deseado.

$$\frac{W_1}{L_1} = \frac{gm_1^2}{K_N V_{ds|sat}^2} = \frac{GBW^2 CL^2}{K_N I_3} \frac{W_1}{L_1} > 20$$

Finalmente se obtienen todas las ecuaciones del circuito, quedaría ajustar los tamaños para el ajuste fino. Es importante remarcar que es incompatible el diseño de la gm_1 con la V_{eff} pues se ha impuesto una intensidad de diseño para una gm_1 con una tensión determinada pero también se ha impuesto una transconductancia por medio de la frecuencia de corte. Se intentará llegar a un punto medio donde se consigan ambos objetivos. El ajuste final es el de la figura Figura A.4.

A.3 Resultados del OPAMP

Para ver de manera sencilla el funcionamiento, se van a comentar los resultados del comportamiento en AC para estudiar la estabilidad del sistema y su ganancia en bucle abierto. La ganancia obtenida de $46dB$ permite mantener los cálculos del TFG al obtener una ganancia lo suficientemente alta como para suponer que no influye demasiado que sea finita. Se estudiará en profundidad los efectos de la ganancia finita en los

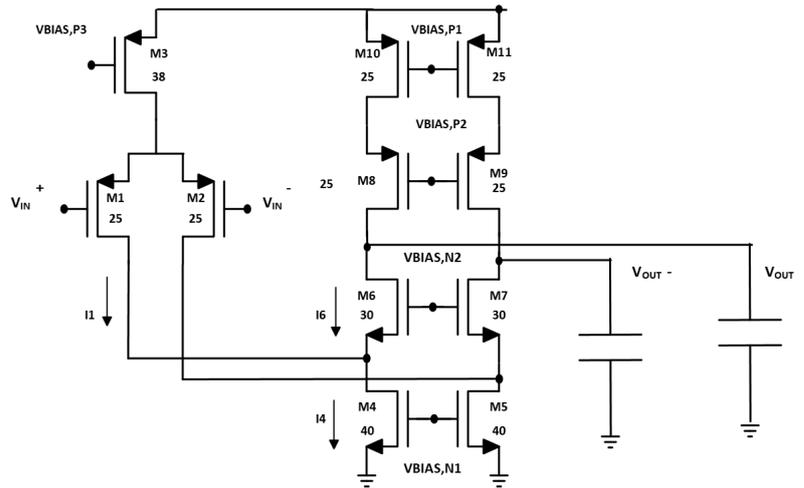


Figura A.4 Circuito del amplificador operacional cascado plegado con los tamaños elegidos.

apartados correspondientes. El margen de fase de 70° (Figura A.6) convierte a nuestro OPAMP en estable con una frecuencia de corte 2.4MHz y un UGB(Unity Gain Band) de 400MHz que corresponde también al GBW(Gain Bandwidth product).

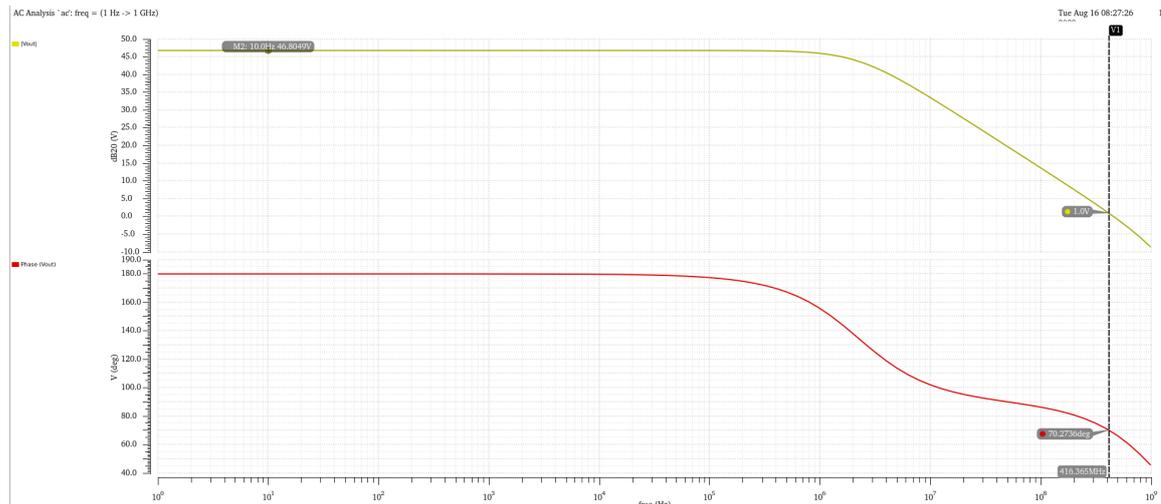


Figura A.5 Circuito del amplificador operacional cascado plegado con los tamaños elegidos.

El SR que se había diseñado inicialmente era de $50 V/\mu s$ mientras que se ha obtenido $311 V/\mu s$. Como se ve, se cumplen todos los objetivos de diseño que se buscaban desde el comienzo. Como desventaja principal se tiene el consumo, que aumentando la intensidad que circula aumenta el consumo estático total. Es interesante comentar que es recomendable el uso de clase AB o superclase AB en este tipo de aplicaciones por su alta ganancia y bajo consumo estático, pues solo conducen en transitorio.

Finalizando el diseño del OPAMP se ha estudiado en todo momento para el circuito con salida diferencial, que necesita obligatoriamente un control de modo común. Para el caso de la salida SE (single-ended) bastá con conectar la realimentación del amplificador al nodo de salida negativo (Figura A.7).

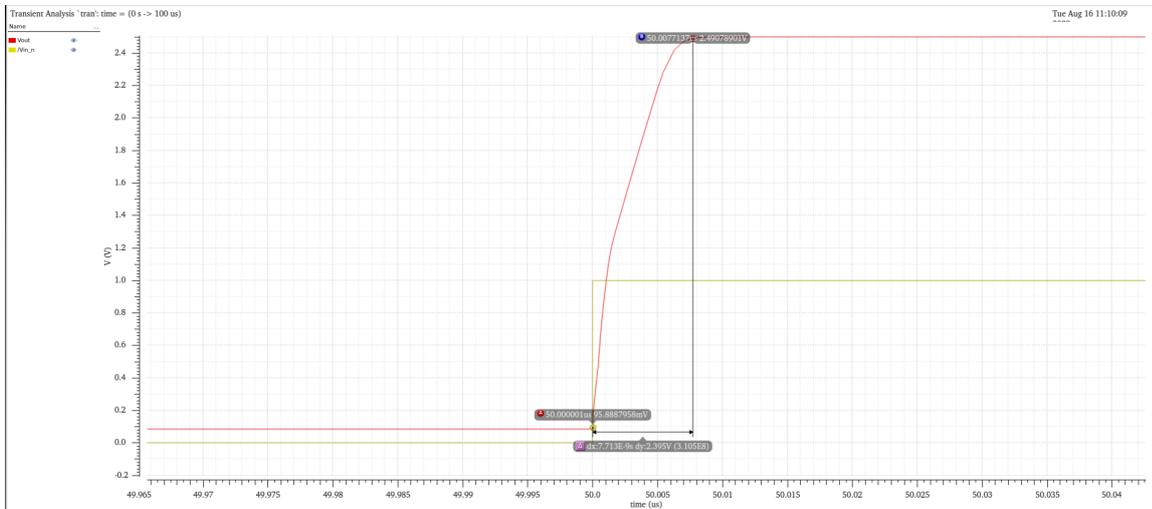


Figura A.6 Circuito del amplificador operacional cascode plegado con los tamaños elegidos.

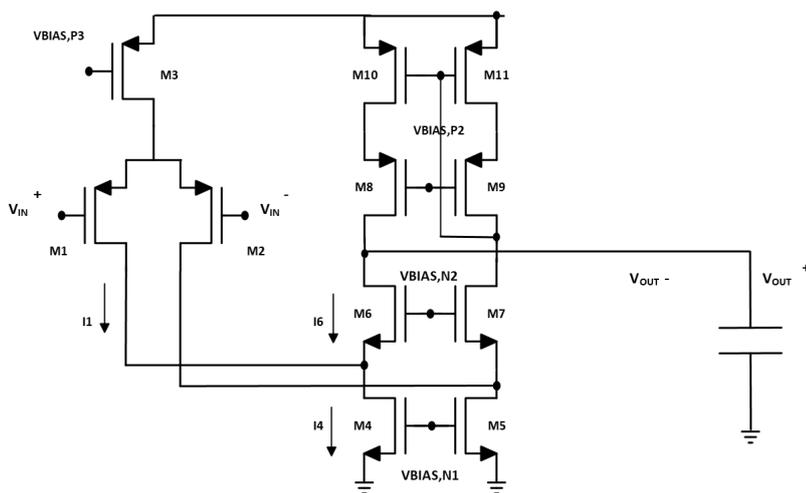


Figura A.7 Circuito del amplificador operacional con salida SE.

Apéndice B

Obtención y procesamiento de la señal digital para su tratamiento

Este apéndice servirá como explicación teórica del procesamiento de señal usado para obtener los resultados que se muestran en los apartados anteriores. El objetivo del procesamiento es sencillo, calcular las diferentes métricas. Para conseguirlo se usará el entorno de MATLAB[®] para la creación de scripts.

B.1 Muestreo de la señal

Partiendo del simulador spectre usando en el programa VIRTUOSO[®] ANALOG DESIGN ENVIRONMENT de CADENCE[®], se toma un paso variable con un minstep y un maxstep. El uso de un paso variable es incompatible con procesarlo en una FFT (Fast Fourier Transform), por lo tanto es necesario muestrearlo a paso constante. Con fin de muestrear, se ha creado una instancia de verilog-A a modo de sample and hold. A cada flanco de subida de la señal de reloj, se guarda el valor de la señal de salida en el fichero de texto que será procesado posteriormente. Una vez obtenida la señal muestreada, se puede aplicar la FFT.

Código B.1 Código de Verilog-A para crear un sample and hold guardando los valores en un archivo de texto.

```
'include "discipline.h"
'include "constants.h"
'define RISING +1
'define FALLING -1

module samphold (vin, clk, vout);
input vin, clk;
output vout;
electrical vin, vout, clk;
parameter string path="/home/00csv/ideal_out.txt";
parameter real vth=2.4;
parameter real slack = 100.0p from (0:inf);
integer fd;

    real samp;

    analog begin
        @(initial_step("dc","ac","tran","xf")) begin
            fd=$fopen(path,"w");

        end
    end
```

```
//On Rise edges of clk,sample vin
@( cross (V(clk)-vth, 'RISING, slack, clk.potential.abstol)) begin

    samp=V(vin);
    $fwrite(fd,"%e", $abstime$);
        $fwrite(fd,%e \n,samp);
    end

    //assign output
    V(vout) <+samp;

    end
endmodule

`undef RISING
`undef FALLING
```

B.2 FFT en los moduladores sigma-delta

La FFT de una secuencia muestreada está formada por los N puntos discretos (**bins**) en las frecuencias $0, 1/N, \dots, N-1/N$ suponiendo que está normalizada. En los moduladores de sobremuestreo, se recomienda siempre el uso de una ventana [14].

$$X(f) = \sum_{n=0}^{N-1} x(n)e^{-jn2\pi f}$$

Se asume inicialmente que es periódica, como en la realidad no puede ocurrir, el asumirlo hace que aparezcan discontinuidades entre las secuencias de puntos al inicio y al final de las muestras. Si el número de periodos muestreado no es un número entero, los coeficientes son distinto de cero en algunos armónicos. A este fenómeno se le llama *spectral leakage*.

Para poder paliar este error, es necesario el uso de una ventana, una ventana modula en amplitud la entrada y también por lo tanto, introduce errores en la señal. En el primer ejemplo se muestra un seno completo e incompleto (Figura B.1), a modo de dejar visible la importancia del *spectral leakage*.

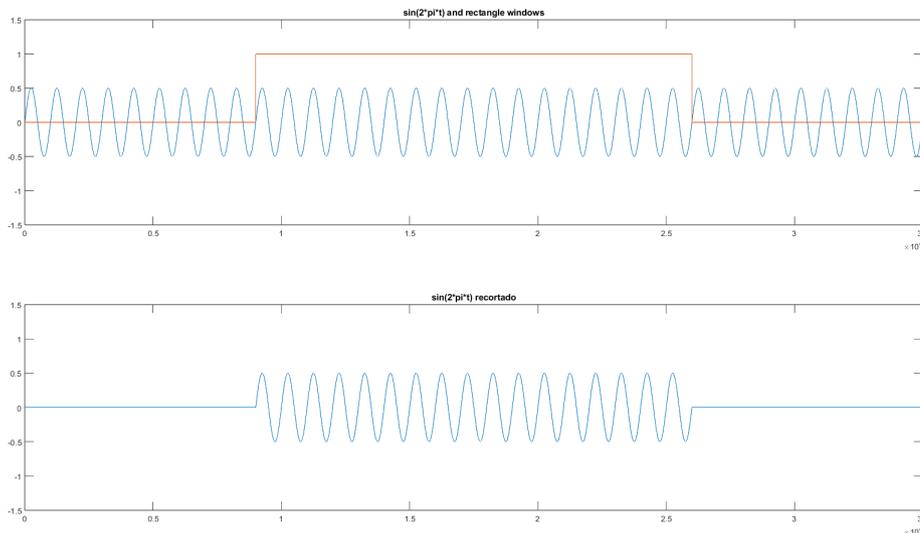


Figura B.1 Señal senoidal recortada y sin recortar.

Como se ve, el uso de las ventanas (Tabla B.1) es importante. La ventana rectangular creará la señal recortada que tras hacer la FFT añade el error, no confundir con el suelo de ruido. Tras hacer la FFT de la señal sin procesar y procesada (Figura B.2) se distingue la frecuencia principal en ambas gráficas pero se puede ver el error creado en la figura superior. Demostrando que el uso de la ventana de Hann es recomendado en nuestro caso donde la frecuencia de muestreo puede hacer que la señal no sea periódica en todas sus muestras. Por ello es obligatorio el uso de un OSR entero y primo. En caso de que no fuera así, el ruido no se repartiría en los puntos (bins), si no que se concentraría en una parte.

Tabla B.1 Definición de las ventanas .

Ventana	Rectangular	Hann	Hann ²
$w(n), n=0, 1, \dots, N-1$	1	$\frac{1 - \cos \frac{2\pi n}{N}}{2}$	$\left(\frac{1 - \cos \frac{2\pi n}{N}}{2}\right)^2$
$\ w\ _2^2$	N	3N/8	35N/128
W(0)	N	N/2	3N/8
NBW	1/N	1.5/N	35/(18N)

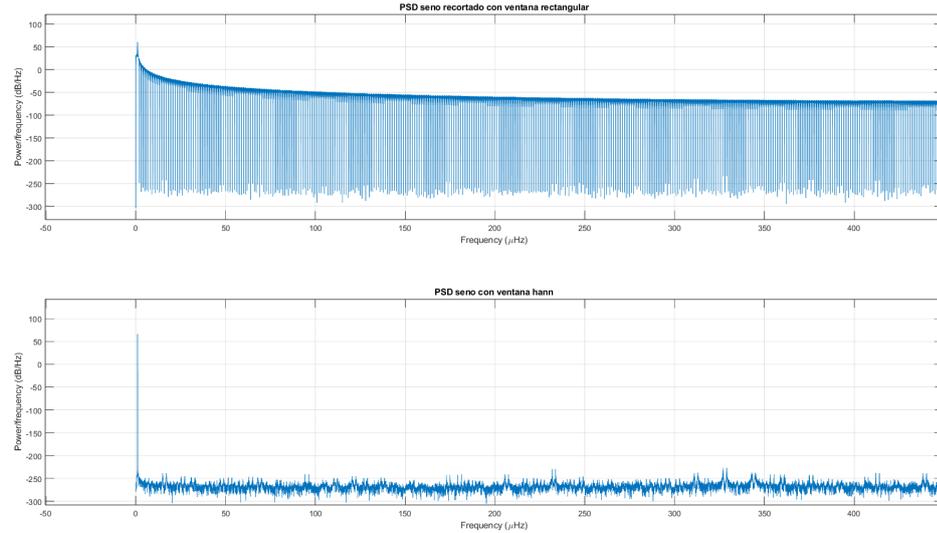


Figura B.2 Densidad espectral de potencia de un seno tras aplicar una ventana de hann y una rectangular .

B.3 Código MATLAB® para la comparación de los distintos resultados

Tras obtener el PSD se pueden calcular las diferentes figuras de mérito. En el estudio de nuestro ADC se usará el SNR, SNDR(SINAD), THD, ENOB y SFDR. El SNR representa el ratio de potencia de la señal y potencia de ruido. Se puede también expresar como la resta de la señal en decibelios y el ruido en decibelios. Añadiendo el ruido por distorsión se obtiene el SNDR o SINAD. Para el cálculo del THD se han elegido los primeros 5 armónicos pues son los que llevan la mayor parte del ruido. Finalmente con el ENOB se obtienen el número de bit eficaces, que no significa

$$SNR = \frac{P_{signal}}{P_{noise}}$$

$$SNR_{dB} = P_{signal|dB} - P_{noise|dB}$$

$$SNDR(SINAD) = \frac{P_{signal}}{P_{noise} + P_{distorsion}} = \frac{P_{signal}}{P_{noise} + THD}$$

$$SNDR(SINAD)_{dB} = P_{signal|dB} - P_{noise|dB} - THD_{dB}$$

$$THD = \frac{P_{signal}}{P_{noise}}$$

$$THD)_{dB} = P_{signal|dB} - P_{noise|dB}$$

$$ENOB = \frac{SNDR_{dB} - 1.76}{6.02} = \frac{SNR_{dB} - THD_{dB} - 1.76}{6.02}$$

Finalmente se ha hecho el cálculo de los resultados con el siguiente script en MATLAB® en función del número de puntos obtenidos. Es importante remarcar que depende del artículo que se revise, se puede comprobar que el uso de ENOB suele estar asociado al SNR y no al SNDR puesto que se ignoran las frecuencias mayores a la de muestreo tras. A lo largo del TFG se incluirán ambos resultados.

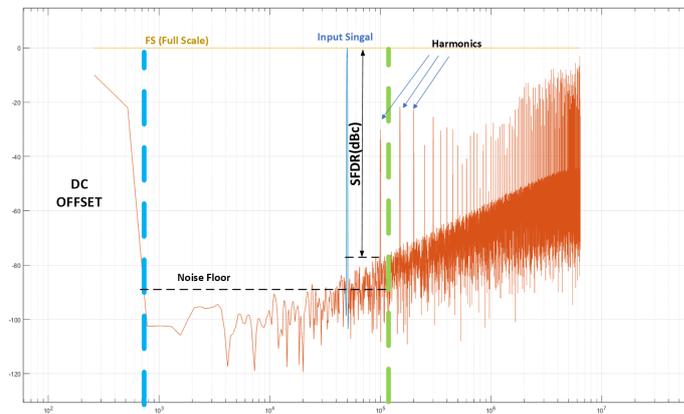


Figura B.3 PSD de la salida de un ADC sigma-delta.

Código B.2 Script MATLAB[®] usado para el cálculo de las figuras de mérito y FFT de la señal de salida del modulador.

```

%% 2048 4096 8192 16384
%Ntotal=5120; %%nº de puntos de la transformada
%Ntotal=8192;
%Ntotal=16384; %%nº de puntos de la transformada
%Ntotal=32768; %%nº de puntos de la transformada
%Ntotal=49152;
%Ntotal=65536; %%nº de puntos de la transformada
Ntotal=131072; %%nº de puntos de la transformada
%Ntotal=262144; %%nº de puntos de la transformada

%Ntotal=524288; %%nº de puntos de la transformada
Ndemas=1024; %%nº de muestras que se desechan (las 1024 primeras)
Neje=Ntotal+Ndemas;
fs=12.8e6; %%frecuencia de muestreo
ts=1/fs;
OSR=128; %%relación de sobremuestreo
%fb=(18/Ntotal)*fs; %%frec. señal de entrada
%fb=23.5e3;%%frec. señal de entrada
fb=13.4e3;%%frec. señal de entrada
fN=fs/OSR; %%frec. de Nyquist
%%fb=fN/2; %%frec. de la señal
Nfb=round(Ntotal*fb/fs); %%nº de muestra donde está fb
%%Nfb=round((Ntotal*fb/fs)+29);
Nbw=round(Ntotal/(2*OSR)); %%nº de muestra del ancho de banda de fb
%%Nbw=round(Ntotal/(2*OSR)+29);

%y1=load('SD_FreqScaled_IdealB.m');

salida=y(Ndemas:Ntotal+Ndemas-1);
%salida2=y2(Ndemas:Ntotal+Ndemas-1);

[potencia,F]=periodogram(salida,hann(Ntotal),Ntotal,fs);
%[potencia,F]=periodogram(salida,hann(Ntotal,'periodic')^2,Ntotal,fs);
%[potencia,F]=periodogram(salida,hann(Ntotal,'symmetric'),Ntotal,fs);
%[potencia,F]=periodogram(salida,[],Ntotal,fs);
%[potencia2,F]=psd(salida2,Ntotal,F);

potencia1=10*log10(potencia);
potencia1=potencia1+35.15;
%potencia12=10*log10(potencia2);
grid;
%semilogx(F,potencia1);
%semilogx(F,potencia1,F,potencia12);

potenciaDatos=potencia;
senal=0;
%%Calculo señal sin armonicos

%for i=Nfb-8:Nfb+8 %%para 8192 puntos
%for i=Nfb-20:Nfb+20 %%para 16384 puntos
for i=Nfb-20:Nfb+20 %%para 32768
%for i=Nfb-50:Nfb+50
    senal=senal+potencia(i);

```

```

% potencia(i)=0;
potencia(i)=0.8e-0011;
end

%%CALCULO DE SNDR

harmonic=0;
%for i=Nfb-8:Nfb+8 %%para 8192 puntos
%for i=Nfb-20:Nfb+20 %%para 16384 puntos
%Calculo de los 2 primeros armonicos
for i=2*Nfb:Nfb:3*Nfb %%para 32768
%for i=Nfb-50:Nfb+50
    harmonic=harmonic+sum(potenciaDatos(i-5:i+5));
% potencia(i)=0;
end

%Calculo del SFDR
Smax=max(potenciaDatos);
vruido=potencia(20:Nbw-8);
Ruidomax=max(vruido);

%%vruido=zeros(1:Nbw);

snr=10*log10(senal/(sum(vruido)-harmonic));

sndr=10*log10(senal/(sum(vruido)));
sfdr=10*log10(Smax/Ruidomax);

potencia2=10*log10(potencia);
potencia2=potencia2+35.15;
%potencia2=10*log10(potencia);
semilogx(F,potencia1,F,potencia2);

ENOB=(sndr-1.76)/6.02
ENOBsnr=(snr-1.76)/6.02

fprintf(1,'SNR=%f\n',snr);
fprintf(1,'SNDR=%f\n',sndr);
fprintf(1,'SFDR=%f\n',sfdr);
grid;

```


Índice de Figuras

1.1	Layout de un buffer	1
2.1	Modelo sencillo de un ADC flash	5
2.2	Modelo simplificado del modulador sigma-delta	6
2.3	Ruido de cuantización a diferentes frecuencias de muestreo	7
2.4	Señal aplicando el filtro a frecuencia Nyquist	7
2.5	Señal muestreada frecuencia Nyquist	8
2.6	Señal aplicando el filtro con un oversampling	8
2.7	Señal muestreada con un oversampling	8
2.8	Integrador SC	9
2.9	Integrador SC en la fase 1	9
2.10	Integrador SC en la fase 2	10
2.11	Función de transferencia del ruido en frecuencia	11
2.12	Diagrama de bloques del CIFB	12
2.13	Comparación de la NTF teórica y la señal obtenida	13
2.14	DR obtenido para el modelo teórico	14
2.15	Integrador con dos entradas	15
2.16	Comparativa de un sistema PD, P2D y FD	16
2.17	Switch tipo NMOS, tipo PMOS y puerta de transmisión	17
2.18	Modelo de un amplificador	18
2.19	Macromodelo de un amplificador	18
2.20	Función de probabilidad de una variable aleatoria uniformemente distribuida	19
2.21	Modelo de un cuantizador con diferentes ganancias	20
2.22	Biestable D para el sampling de la salida	20
2.23	SINAD del modelo para diferentes entradas	21
2.24	PSD del circuito de temas con amplificadores ideales	22
2.25	PSD del circuito de temas con el OPAMP diseñado	22
2.26	Implementación del integrador con las capacidades conmutadas entre ambas ramas	23
2.27	Realimentación del circuito tras la substracción digital	24
2.28	SINAD del circuito P2D con el OPAMP a diferentes entradas	25
2.29	PSD del P2D ideal	25
2.30	PSD del P2D con el OPAMP	26
2.31	PSD del OPAMP con el offset aplicado	26
2.32	Modelo del control de modo común	27
2.33	SINAD del circuito F2D con el OPAMP a diferentes entradas	28
2.34	PSD del OPAMP sin offset aplicado	29
2.35	PSD del OPAMP con el offset aplicado	29
3.1	Diagrama de bloques del CIFB	31
3.2	PSD de la señal tras modularla en un sistema de segundo orden	32
3.3	Dynamic Range del modulador de segundo orden	32

3.4	Implementación del $\Sigma - \Delta$ de segundo orden	33
3.5	Cuantizador de 3 bits de tipo flash	34
3.6	Cuantizador de 3 bits de tipo SAR	34
A.1	Circuito del amplificador operacional cascode plegado	37
A.2	Modelo de pequeña señal del amplificador operacional cascode plegado	38
A.3	Modelo de pequeña señal simplificado del amplificador operacional cascode plegado	38
A.4	Circuito del amplificador operacional cascode plegado con los tamaños elegidos	40
A.5	Circuito del amplificador operacional cascode plegado con los tamaños elegidos	40
A.6	Circuito del amplificador operacional cascode plegado con los tamaños elegidos	41
A.7	Circuito del amplificador operacional con salida SE	41
B.1	Señal senoidal recortada y sin recortar	45
B.2	Densidad espectral de potencia de un seno tras aplicar una ventana de hann y una rectangular	46
B.3	PSD de la salida de un ADC sigma-delta	47

Índice de Tablas

2.1	Capacidades parásitas de la puerta de transmisión	17
2.2	Parámetros del sistema	17
2.3	Resultados del sistema con el circuito de Temes	22
2.4	Resultados del sistema P2D	27
2.5	Resultados del sistema F2D	30
3.1	Recopilación de los resultados de las diferentes versiones	35
B.1	Definición de las ventanas	45

Índice de Códigos

2.1	Script MATLAB [®] usado para el cálculo de los coeficientes del sistema	12
2.2	Script MATLAB [®] usado para el cálculo del SNR del sistema	13
3.1	Script MATLAB [®] usado para el cálculo de los coeficientes del sistema de segundo orden	31
B.1	Código de Verilog-A para crear un sample and hold guardando los valores en un archivo de texto	43
B.2	Script MATLAB [®] usado para el cálculo de las figuras de mérito y FFT de la señal de salida del modulador	48

Bibliografía

- [1] P. Payandehnia, J. Ceballos, and G. Temes, “Noise-shaped filter implementation,” *Electronics Letters*, vol. 54, pp. 20–21, 1 2018. [Online]. Available: <https://onlinelibrary.wiley.com/doi/full/10.1049/el.2017.3245><https://onlinelibrary.wiley.com/doi/abs/10.1049/el.2017.3245><https://ietresearch.onlinelibrary.wiley.com/doi/10.1049/el.2017.3245>
- [2] W. Sansen, M. Steyaert, V. Peluso, and E. Peeters, “Toward sub 1 v analog integrated circuits in submicron standard cmos technologies,” in *1998 IEEE International Solid-State Circuits Conference. Digest of Technical Papers, ISSCC. First Edition (Cat. No.98CH36156)*, 1998, pp. 186–187.
- [3] M. A. Sohel, K. C. K. Reddy, S. A. Sattar, and S. Jabeen, “A 15 bit 95 db low power discrete time sigma delta modulator,” in *2012 International Conference on Computing Sciences*, 2012, pp. 245–248.
- [4] R. Singh, G. C. Tripathi, and M. Rawat, “Performance analysis of multilevel delta sigma modulators for 3g/4g communication,” in *2015 IEEE UP Section Conference on Electrical Computer and Electronics (UPCON)*, 2015, pp. 1–5.
- [5] L. Qian and S. Diao, “A 112db snr delta-sigma modulator for low-power audio applications,” in *2021 14th International Congress on Image and Signal Processing, BioMedical Engineering and Informatics (CISP-BMEI)*, 2021, pp. 1–5.
- [6] G. Gomez, “A 102-db spurious-free dr /spl sigma//spl delta/ adc using a dynamic dither scheme,” *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 47, no. 6, pp. 531–535, 2000.
- [7] L. Breems, E. van der Zwan, and J. Huijsing, “A 1.8-mw cmos /spl sigma//spl delta/ modulator with integrated mixer for a/d conversion of if signals,” *IEEE Journal of Solid-State Circuits*, vol. 35, no. 4, pp. 468–475, 2000.
- [8] P. Maulik, M. Chadha, W. Lee, and P. Crawley, “A 16-bit 250-khz delta-sigma modulator and decimation filter,” *IEEE Journal of Solid-State Circuits*, vol. 35, no. 4, pp. 458–467, 2000.
- [9] R. Schreier and G. C. Temes, *Understanding Delta-Sigma Data Converters*.
- [10] T. He, M. Kareppagoudr, Y. Zhang, E. Caceres, U.-K. Moon, and G. C. Temes, “Noise filtering and linearization of single-ended sampled-data circuits,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 66, no. 4, pp. 1331–1341, 2019.
- [11] P. Torkzadeh, A. Tajalli, and M. Atarodi, “Modeling of non-ideal switch-capacitor integrator and its effect on baseband sigma-delta modulator stability and output dynamic range,” in *2005 International Conference on Microelectronics*, 2005, pp. 4 pp.–.
- [12] E. C. Bernal, A. Jesús, T. Silgado, and C. I. L. Martínez, “Performance enhancement in the design of amplifier and amplifier-less circuits in modern cmos technologies.”
- [13] I. Ishak, S. A. Zainol Murad, m. f. Ahmad, and S. Neoh, “Design of folded cascode operational amplifier (op-amp) with common-mode feedback (cmfb) for pipeline adc,” 12 2013.

- [14] P. Andreani, "Fft, modulators and windowing overview • principles of fft • coherent and incoherent sampling • noise folding • windowing • fft scaling • noise bandwidth about the fft-i."