

APRENDIZAJE DE FLUJOS DE DISEÑO COMERCIALES DURANTE PRÁCTICAS EN EMPRESA

C.J. JIMÉNEZ¹, R. VARGAS²

¹*Instituto de Microelectrónica de Sevilla (CNM-CSIC).
Avda. Reina Mercedes, s/n, Edif. CICA. 41012-Sevilla. España.*

²*Estudiante de Ingeniería en Informática en la Escuela Técnica Superior de
Esslinger (Alemania)*

En esta comunicación se detalla el aprendizaje de distintas herramientas comerciales de diseño de circuitos digitales en el marco de la realización de prácticas en empresa. Este aprendizaje se centra en el empleo de herramientas de verificación y síntesis HDL así como el uso de herramientas de place & route de tecnologías FPGA. El objetivo de esta práctica comprende no sólo el aprendizaje del flujo de diseño, sino también la comparación de los resultados obtenidos por las distintas herramientas.

1. Introducción

La utilización de herramientas comerciales para el diseño de circuitos digitales dentro de las distintas asignaturas que componen una carrera universitaria suele estar bastante limitada. La realización de prácticas en empresa ofrece a los alumnos la posibilidad de tomar contacto con este tipo de herramientas dentro de entornos empresariales o de centros de investigación.

Por otro lado, la enorme rapidez con la que se producen cambios en las herramientas de diseño, la posibilidad de escoger entre herramientas de distintas empresas y la urgencia con la que han de realizarse los proyectos, impiden, en muchos casos, una rigurosa exploración y comparación de las posibilidades de las herramientas disponibles.

Las prácticas en empresa ofrecen una buena oportunidad para que los alumnos, aprendiendo el uso de herramientas de diseño, puedan realizar una exploración y comparación de las últimas versiones de las herramientas disponibles. El objetivo de la práctica que describimos es analizar las posibilidades que ofrecen tres herramientas de síntesis HDL sobre dos tecnologías objetivo, una ASIC y otra FPGA. Las herramientas son Leonardo Spectrum (ASIC y FPGA), Design Compiler (ASIC) y FPGA Compiler II (FPGA). Partiendo de un diseño descrito en VHDL, se han explorado los resultados que ofrecen estas herramientas para distintos objetivos de optimización, como son la optimización por área y la optimización por velocidad [2,3]. Junto con estas herramientas, se han utilizado también la herramienta de place & route de Xilinx (Alliance) y los entornos de simulación VHDL Modelsim y VSS.

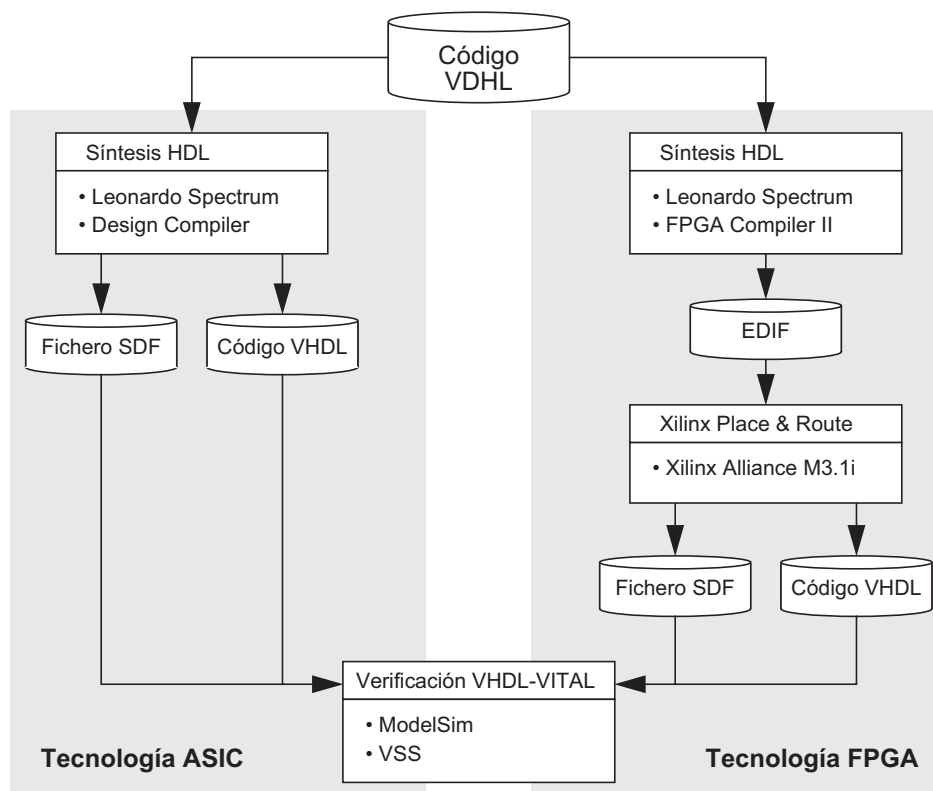


Figura 1: Diagrama de flujo para ambas tecnologías.

2. Flujo de diseño

El punto de partida es un diseño descrito en VHDL que implementa un sistema difuso utilizando una arquitectura específica [1]. La base de conocimientos del sistema difuso aproxima una función de dos entradas y una salida con 12 bits de precisión. Este diseño es sintetizado y optimizado por las herramientas de síntesis empleando opciones para conseguir el menor área posible y la máxima frecuencia de operación. Los diseños obtenidos son comparados unos con otros en base a datos de área consumida y de frecuencia máxima de operación producidos tanto por las propias herramientas de síntesis como por otras herramientas.

Antes del comienzo del proceso de síntesis es necesaria la elección de las tecnologías objetivo. Como tecnología ASIC se ha escogido AMS 0.35um. Para los diseños realizados sobre esta tecnología, el área consumida por cada uno de los diseños debería medirse tras un proceso de place & route. Sin embargo, debido a la complejidad de este proceso, se ha preferido tomar como dato la estimación de área que dan las herramientas de síntesis, que suman el área de todas las celdas estándar del diseño. El cálculo de la frecuencia máxima de operación se ha realizado sobre una simulación VHDL-VITAL con el netlist VHDL y el fichero de retraso SDF generados por la propia herramienta de síntesis. No se han utilizado las estimaciones producidas por las herramientas de síntesis porque en los primeros diseños se comprobó su poca fiabilidad.

Como tecnología FPGA se escogido la familia XC4000 de Xilinx, en concreto, todos los diseños van a realizarse sobre el dispositivo XC4025E. El área consumida en esta tecnología se mide en base al número de CLBs ocupados. Las herramientas de síntesis no ofrecen estimaciones de este valor, por lo que es necesario la utilización de las herramientas de place & route de FPGA para la obtención de este valor. Afortunadamente la complejidad de estas herramientas es mucho menor que las de tecnología ASIC. Para el cálculo de la frecuencia máxima de operación se ha utilizado la simulación VHDL-VITAL a partir del netlist VHDL y el fichero de retrasos SDF generados por la herramienta de place & route.

3. Análisis de los resultados

Para los diseños realizados sobre FPGA se han llevado a cabo cuatro procesos de optimización. En el primero de ellos se han utilizado las opciones por defecto de la herramienta. En el segundo caso se han realizado un conjunto de optimizaciones tendentes a obtener el menor área posible. En el tercer y cuarto caso se ha fijado como objetivo obtener la máxima frecuencia de operación, en un caso actuando sobre las opciones de la herramienta de síntesis y en el otro, imponiendo restricciones temporales en la herramienta de place & route de Xilinx sobre el diseño optimizado por área. Los resultados obtenidos se muestran en la Tabla 1.

De la observación de esta tabla puede hacerse un comentario general sobre el número de CLBs consumidos: todos los diseños generados por Leonardo Spectrum ocupan del orden de un 20% menos de CLBs que los diseños generados por FPGA Compiler II. Sin embargo, FPGA Compiler II consigue siempre frecuencias máximas de operación más altas. Las diferencias en las frecuencias máximas de operación obtenidas por las dos herramientas oscila entre un 20 y un 40%. Es interesante el dato de que cuando se imponen restricciones en la herramienta de Xilinx se consiguen aumentos considerables en la frecuencia de operación (de 5.6 a 7.69 Mhz. para FPGA Compiler II y de 5 a 7.46 Mhz. para Leonardo Spectrum). En este último caso, la diferencia de las frecuencias máximas de los diseños generados por ambas herramientas es tan sólo de un 3%.

Opciones	FPGA Compiler II		Leonardo Spectrum	
	Nº CLBs	Frecuen.	Nº CLBs	Frecuen.
Opciones por defecto	427	5.6 Mhz.	350	5 Mhz.
Área mínima	423	6.5 Mhz.	350	5 Mhz.
Frecuencia máxima	446	7 Mhz.	379	5 Mhz.
Frecuencia máxima con restricciones en la herramienta de Xilinx	427	7.69 Mhz.	350	7.46 Mhz.

Tabla 1: Resumen de los resultados obtenidos para realizaciones FPGA.

Para las realizaciones sobre tecnología ASIC, lo primero que hay que comentar es que el fichero SDF generado por Leonardo Spectrum para la tecnología seleccionada contiene todos los retrasos a cero. Esto ha impedido hacer estimaciones de frecuencia máxima en los circuitos

generados por esta herramienta, y por lo tanto, poder compararlos con las frecuencias máximas obtenidas en los circuitos generados por Design Compiler.

Por lo que a las estimaciones de área se refiere, se observa en los resultados mostrados en la Tabla 2 que los circuitos generados por Leonardo Spectrum son un 30% más pequeños que los generados por Design Compiler. Es interesante comentar que las optimizaciones con el objetivo de conseguir el menor área consiguen, en ambas herramientas, reducciones muy pequeñas (entre el 2 y el 3%). Con respecto a las frecuencias máximas de operación, los resultados mostrados por Design Compiler muestra que la realización de una optimización en frecuencia a la vez que aumenta la frecuencia en un 35%, se aumenta también el área en un 42%.

Opciones	Design Compiler		Leonardo Spectrum	
		Frecuen.		Frecuen.
Opciones por defecto	301282	18.5 Mhz.	231116	-
Área mínima	293420	18.5 Mhz.	226008	-
Frecuencia máxima	428032	25 Mhz.	-	-

Tabla 2: Resumen de los resultados obtenidos para realizaciones ASIC.

4. Conclusiones

La comparación de las herramientas de síntesis ha permitido obtener como conclusión que Leonardo Spectrum produce mejores resultados en términos de consumo de área que Design Compiler para una tecnología ASIC y que FPGA Compiler II para una tecnología FPGA. Las diferencias han estado en todas las pruebas realizadas por encima del 30%. Con respecto a las frecuencias máximas de operación, en las síntesis sobre tecnología FPGA (la única sobre la que ha podido hacerse comparación), se obtienen unos resultados ligeramente mejores con FPGA Compiler II, sin embargo para conseguir un aumento sustancial de la frecuencia máxima de operación es necesario editar las restricciones de la herramienta de place & route de Xilinx.

Finalmente concluir que la realización de esta práctica ha supuesto para el alumno el aprendizaje de las siguientes herramientas: tres herramientas de síntesis HDL (Leonardo Spectrum, Design Compiler y FPGA Compiler II), una herramienta de place & route de FPGA (Xilinx Alliance) y dos entornos de simulación VHDL (Modelsim y VSS).

Referencias

- [1]S. Sánchez-Solano, A. Barriga, C.J. Jiménez y J.L. Huertas, *Design and application of digital fuzzy controllers*. Poc. del sexto FUZZY IEEE, Barcelona 1997, pp. 869-874.
- [2]*LeonardoSpectrum Synthesis and Technology Manual*, versión 2001.1, Exemplar.
- [3]Design Compiler User Guide, versión 2000.05, Synopsys.