

REALIZACIÓN DE UN SISTEMA DIGITAL: IMPLEMENTACIÓN SOBRE FPGA Y TESTADO EN LABORATORIO

Baena, C., Bellido, M. J., Parra, M.P. y Valencia, M.
Departamento de Tecnología Electrónica, Universidad de Sevilla
también, Instituto de Microelectrónica de Sevilla (IMSE)-CNM-CSIC
Avda. Reina Mercedes, s/n. 41012 Sevilla
Tfno: 95-4552785. Fax: 95-4552764. e-mail: baena@imse.cnm.es

RESUMEN

En esta comunicación se propone el desarrollo de una práctica en donde cada alumno recorrerá todo el proceso de realización de un sistema digital: partiendo de la concepción teórica obtendrá un diseño sobre papel, mediante el uso de herramientas de software cubrirá todas las etapas de diseño hasta alcanzar una implementación sobre FPGA y, en el laboratorio, implementará y hará el test del sistema resultante. El sistema concreto a diseñar ha de estar adaptado al nivel de conocimiento del alumno para que, de hecho, pueda desarrollarlo. Este es el caso de nuestra propuesta, la cual nos permite disponer de un proceso de enseñanza que integra realmente la teoría y la práctica de los sistemas digitales a nivel RT.

1. INTRODUCCIÓN

El aumento de complejidad al evolucionar desde los circuitos hasta los sistemas digitales trae consigo múltiples consecuencias en distintos niveles: se pasa de manejar 0's y 1's a manejar palabras (datos), se usa un nuevo nivel de descripción, el de transferencias entre registros (lenguaje RT), se utilizan componentes y conexiones más complejas, etc. Todo este cambio sustancial supone una dificultad a nivel docente para llevar a cabo una enseñanza integrada teórico-práctica dado que la realización de prácticas de laboratorio de sistemas digitales con elementos discretos se convierte en una experiencia casi inviable. Sin embargo, la disponibilidad de herramientas CAD de uso fácil y de coste asequible permiten la realización de diseños y de implementaciones a nivel de sistemas. El uso de CAD de diseño, que es de gran interés *per se*, hace factible nuestro objetivo de integrar la teoría y la práctica en esta materia.

Esta experiencia está dirigida a los alumnos de primer curso de las titulaciones de Ingeniería Técnica y Superior de Informática. Dentro de las actividades teóricas, al alumno se le enseña la organización y diseño de sistemas digitales a nivel RT, basada en una unidad de datos y otra de control [1, 2], conectadas entre sí y operando sincronamente como muestra la Figura 1. La unidad de datos recibe los datos externos D_{IN} , los procesa mediante transferencias entre sus registros (μ operaciones) según el algoritmo que requiera la operación deseada y ofrece al exterior los resultados D_{OUT} . Por su parte, la unidad de control gestiona la ejecución de la secuencia de μ operaciones y, para cada una de ellas, genera las señales de control (Z) que necesitan los componentes de la unidad de datos así como las posibles salidas (Z_{OUT}). La secuencia de acciones está condicionada por una serie de señales (X , X_{IN}) que informan a la unidad de control del estado del sistema. El algoritmo a ejecutar se describe mediante una carta ASM a partir de la cual se realiza la unidad de control mediante alguna técnica de diseño, por ejemplo, la basada en un biestable por estado. A efectos prácticos y con la finalidad de comprobar cómo se van realizando las transferencias entre registros tanto a nivel de datos como de control, el diseño deberá realizarse para hacer observables los contenidos internos de los registros y de algunas señales de control (Z). En nuestra propuesta, se parte de la especificación de un algoritmo concreto a partir del cual se obtienen las unidades de datos y control. En cuanto a las actividades prácticas, el alumno hace uso de una herramienta de CAD destinada al diseño sobre FPGA para llegar desde la especificación inicial hasta la implementación física [3]. Por último, en el laboratorio se procede al testado funcional del diseño realizado.

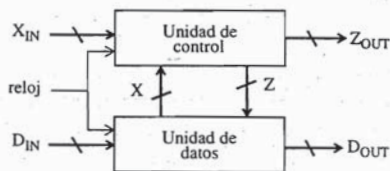


Figura 1: Estructura general de un sistema digital

El esquema que seguiremos en esta comunicación es el siguiente: en el apartado 2 introduciremos un sistema digital concreto en el que materializaremos nuestra propuesta; en el apartado 3, nos centraremos en la herramienta de CAD utilizada; y, finalmente, en el apartado 4 describiremos la tarea de testado en el laboratorio.

2. ESPECIFICACIÓN Y DISEÑO

El sistema propuesto realiza la multiplicación de dos números binarios A y B de cuatro bits, mediante el algoritmo basado en sumas y desplazamientos [4]. Como se muestra en la Figura 2, las entradas a la unidad de control son: CLA, señal de puesta a cero asíncrona y XS, señal de comienzo. Con un pulso de un ciclo de reloj en XS se marca el inicio de la operación

del sistema digital. En cuanto a la unidad de datos, las entradas son los números binarios A y B y la salida es el resultado de la operación $A \times B$. Las señales de control y de estado que comunican las unidades de control y de datos se comentarán más adelante.

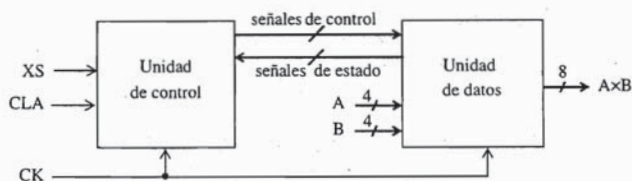


Figura 2: Representación a nivel de bloques del multiplicador implementado en el CI

El esquema de la unidad de datos se muestra en la Figura 3. Está compuesta por tres registros (DAT_A, SUMH y SUML), un sumador paralelo de 4 bits y un contador módulo 4 (CONT). Todos pertenecen a la librería de celdas de la herramienta de CAD que describiremos en el próximo apartado. Para realizar la multiplicación se cargan los datos A y B en los registros DAT_A y SUML. Tras los ciclos de reloj necesarios el resultado de la operación queda almacenado en los registros SUMH y SUML. El algoritmo se detalla mediante la carta ASM de la Figura 4 donde se describe simultáneamente las transferencias entre registros y las señales de control a activar en cada ciclo de reloj [1]. Como puede observarse en la carta, tras una inicialización de todos los registros del sistema se realiza la carga en paralelo del multiplicando, A, y del multiplicador, B. Posteriormente se analizan en cada ciclo los bits del multiplicador y, si procede, se hace una operación de suma entre DAT_A y SUMH además de la de desplazamiento a la derecha de los registros SUMH y SUML. El proceso finaliza cuando se han analizado todos los bits del multiplicador y para ello se dispone del contador módulo 4 (CONT).

El esquema de la unidad de control se muestra en la Figura 5. Este se ha obtenido a partir de la carta ASM mediante la aproximación de un biestable por estado. En este diseño los biestables disponen de una señal de puesta a cero asíncrona para la inicialización. El controlador posee dos entradas y seis salidas que permiten su comunicación con la unidad de procesado. Todas estas señales así como los contenidos de los registros de la unidad de datos deberán hacerse observables para su seguimiento en la fase de testado (apartado 4). Con los esquemas de ambas unidades junto con la carta ASM el diseño queda completamente definido y puede pasarse a la fase de implementación.

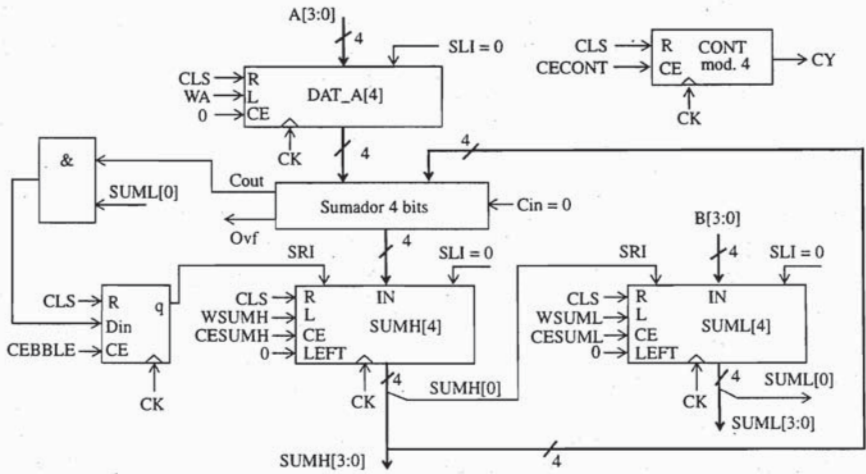


Figura 3: Unidad de datos para el multiplicador secuencial de 4 x 4 bits

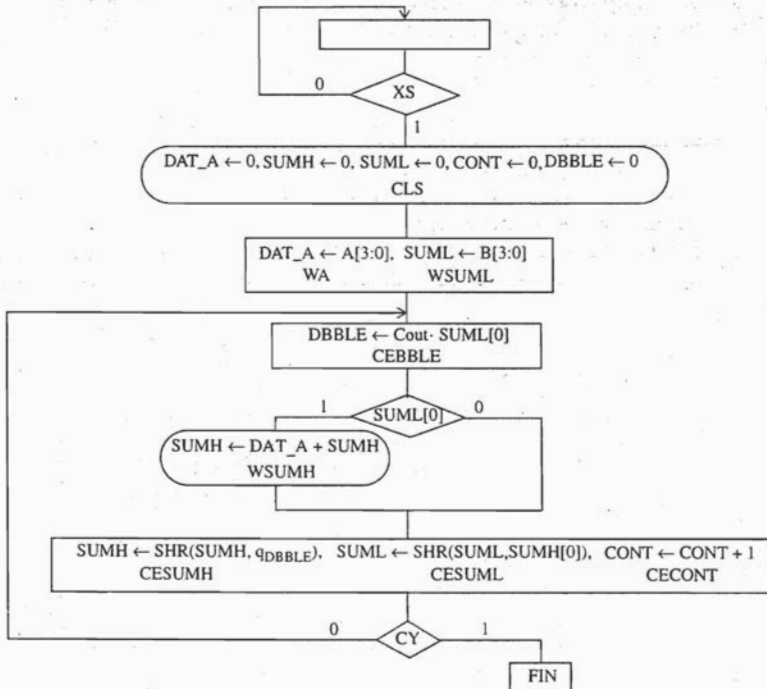


Figura 4: Carta ASM de datos y control

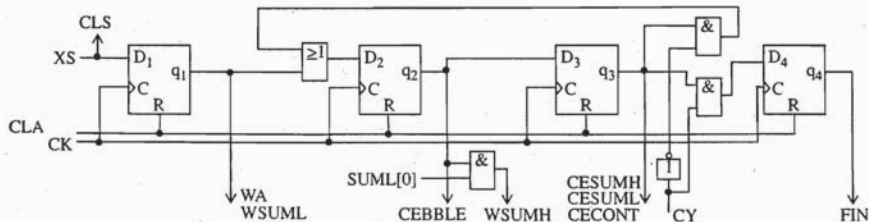


Figura 5: Unidad de control basada en un biestable por estado

3. IMPLEMENTACIÓN DEL SISTEMA DIGITAL

El diseño del sistema se realiza mediante el uso de una herramienta de diseño. En concreto, hemos utilizado la herramienta *Foundation Series* (versión 1.4) de *Xilinx* [5]. El entorno que proporciona es de fácil manejo lo que lo hace adecuado para su utilización por parte de alumnos de primer curso. Este software se ejecuta sobre PC y hace posible el desarrollo de todos los pasos del diseño lógico partiendo de la descripción del sistema a nivel de esquemático o bien de una descripción en VHDL. En nuestra propuesta el alumno realiza la descripción mediante esquemático utilizando para ello los elementos de la librería de celdas que ofrece la herramienta. Posteriormente, se pasa a la simulación lógica y, en el caso de que el alumno no la complete con éxito, se le proporciona una descripción VHDL del sistema para que pueda continuar con las siguientes fases que consisten básicamente en el mapeo y *routing* del dispositivo programable. Como entrada a estas etapas se requiere el *netlist* del circuito obtenido previamente y un fichero que contiene información sobre la posición que deben ocupar los pines de entrada y salida. Este último se suministra a los alumnos ya que, a la hora del testado, hay que incorporar la FPGA a una placa de circuito impreso con las conexiones predefinidas. De todo este proceso se obtiene como salida un fichero que contiene la información para la programación de la FPGA. Tras completar los pasos mencionados el alumno ha obtenido una implementación del sistema digital y puede proceder a su testado.

4. EL TESTADO EN EL LABORATORIO

Para el testado del diseño, el alumno dispondrá de una placa de circuito impreso donde sólo falta la incorporación de la FPGA. La placa, ya construida, posee puntos de conexión entrada-salida que se utilizarán durante el testado en el laboratorio. Para ello, dispone de llaves que proporcionan 0's y 1's lógicos que actuarán como datos de entradas, diodos LED's que mostrarán el estado lógico de señales significativas en la operación del sistema, como son las salidas de la unidad de control, visualizadores 7-segmentos que muestran los datos contenidos en los registros del sistema y pulsadores. Uno de estos pulsadores es necesario para generar la señal de comienzo XS. Debido a que la acción sobre el pulsador hace que la duración del pulso no sea controlable, es preciso añadir un circuito que lo transforme al pulso de un ciclo de duración que se necesita. En la Figura 6 se muestra dicho circuito siendo la entrada SEXT la que es controlada por el pulsador. Por otra parte, el circuito posee una entrada procedente de la unidad de control, que es la señal de FIN, para garantizar que no se solapen dos multiplica-

ciones. El otro pulsador se ha incorporado a la placa para que el propio alumno controle el ritmo de la operación. Conectando el pulsador con la entrada CK se producirá un flanco activo cada vez que el alumno lo accione. Con ello se pueden observar en los visualizadores y LED's los resultados parciales de la operación y las señales de control en cada ciclo. Gracias a esta facilidad, es posible ejecutar el algoritmo de multiplicación de forma que pueda comprobarse la correcta sincronización de las acciones indicadas en cada bloque ASM de la carta. En esta propuesta también se incluye probar el circuito con un reloj periódico que, ya a frecuencias del orden de KHz, permite ver únicamente la macrooperación $A \times B$ (modo calculadora).

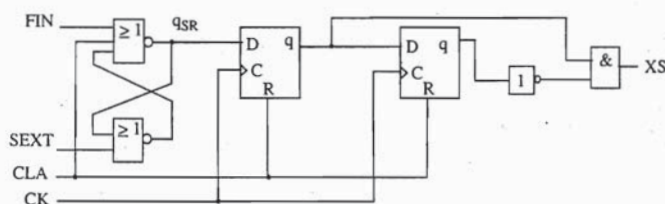


Figura 6: Esquema del circuito generador de XS

5. CONCLUSIONES

En esta comunicación, presentamos una propuesta que hace factible el desarrollo de prácticas de laboratorio para sistemas digitales descritos a nivel RT utilizando medios de bajo coste. Esto constituye una forma realista de desarrollar un proceso de enseñanza que integra los niveles teórico, práctico y de uso de herramientas software para ayuda al diseño lógico. Hemos concretado esta propuesta en el diseño de un multiplicador secuencial, llegando a disponer de la implementación de un sistema digital capaz de realizar la macrooperación $A \times B$, y a poder probar su funcionamiento tanto a nivel de la propia macrooperación, observando el comportamiento entrada-salida, como a nivel de microoperaciones, pudiendo individualizar cada una de las transferencias entre registros que la componen.

6. BIBLIOGRAFÍA

- [1] V.P. Nelson et al.: "Digital Logic Circuit Analysis and Design". Ed. Prentice Hall, 1995.
- [2] R.H. Katz: "Contemporary Logic Design". The Benjamin/Cummings Publishing Company, 1994.
- [3] P.K. Chan y S. Mourad. "Digital Design Using Field Programmable Gate Arrays". Ed. Prentice Hall, 1994.
- [4] D.A. Patterson y J.L. Hennessy: "Organización y Diseño de Computadores". McGrawHill, 1995.
- [5] Xilinx. "Foundation Series Quick Start Guide 1.4"