

UNIVERSIDAD DE SEVILLA

Departamento de Electrónica y Electromagnetismo



TESIS DOCTORAL

Impacto de la variabilidad dependiente del tiempo en
circuitos integrados en tecnologías nanométricas:
modelado, simulación y caracterización experimental

Memoria presentada por

PABLO MARTÍN LLORET

para la obtención del grado de Doctor por la Universidad de Sevilla

Directores

FRANCISCO V. FERNÁNDEZ FERNÁNDEZ

ELISENDA ROCA MORENO

Tutor

FRANCISCO V. FERNÁNDEZ FERNÁNDEZ

Enero 2021



Agradecimientos.

Quiero utilizar estas líneas para agradecer a todas las personas que de una forma u otra han contribuido para que este trabajo se llevase a cabo. En primer lugar, quiero agradecer a mis directores de tesis, por darme la oportunidad de desarrollar con ellos esta investigación y también, a ellos y a otros formadores y compañeros del centro de investigación, por todo el aprendizaje que he podido sacar durante estos años y que me ha hecho mejorar como profesional.

De este periodo agradezco también a los profesores y compañeros con los que he tenido el placer de impartir docencia, con mención especial al profesor Ángel Rodríguez, por todo lo que he aprendido preparando las clases con él demostrarme con su ejemplo lo maravillosa que resulta la docencia cuando existe una implicación vocacional del profesor. Por último, en lo que respecta al ámbito académico-laboral, quería agradecer a los profesores y profesoras que se han ocupado de mi formación durante mis estancias de investigación. Por un lado, Montserrat Nafria y Javier Martín, quienes me acogieron durante mi estancia en la Universitat Autònoma de Barcelona, en la que disfrute mucho de nuestra colaboración en la investigación. Por otro lado, a Beatriz Hernández, profesora en la Universidad Pablo de Olavide, que me ha ayudado a integrar nuevos enfoques y perspectivas y que ha representado para mí una inyección de motivación por ser un ejemplo a seguir en todos los sentidos.

Como escribir agradecimientos no es algo que acostumbre a hacer a diario, quiero aprovechar la oportunidad para agradecer en el ámbito personal a mi familia y mis seres queridos, porque ellos representan realmente los aspectos más valiosos, hermosos e importantes de mi vida. A mi madre María y a mi padre Rafael y también a mi hermano Javi y mis tías Mari Carmen y Rosi. Son personas que llevan el significado de la familia a otro nivel, que son capaces de darlo todo por mí y que no hay amor ni actos en el mundo para corresponder todo lo que me han dado. Javi, mi hermano pequeño que no pequeño hermano, gracias por ser quien eres y cómo eres, te deseo y te mereces lo mejor en la vida. Gracias por ser tan bueno conmigo.

Agradecer también a mi segunda familia, a mi sensei Juan Pablo, a todos mis senpais y compañeros del Karate, con quien más que una amada afición comparto un estilo de vida. Vuestro ejemplo y alegría me dan la fortaleza en cada batalla, dentro y fuera del dojo. Agradezco a todos mis amigos, por la suerte que tengo de que mi pequeño mundo esté lleno de personas tan especiales y maravillosas. Por lo vivido en este periodo de mi vida, agradezco a Antonio y Jorge, mis camaradas, compañeros de trincheras filosóficas y pequeñas aventuras, siempre os llevaré en el corazón. A mis viejos amigos Lalo y Carmen, gracias por conocerme tan bien, por saber lo que necesito siempre para ser feliz, incluso mejor que yo y por darle a cada experiencia vivida a vuestro lado tanto valor.

Por último, gracias a la que se ha convertido en la persona más importante de mi vida. Cristina, mi amor, mi pareja, mi compañera, mi inspiración y mi aliento. La persona que más admiro. Toda experiencia se hace divertida e inolvidable a tu lado. Eres la principal razón de todos los proyectos que hemos sacado adelante en este periodo y de ese futuro maravilloso que estamos construyendo juntos. Gracias por todo lo que aprendo de mismo y de nosotros a tu lado y gracias por hacerme sentir tan afortunado de tenerte en mi vida.

Tabla de contenido

Capítulo 1: Fiabilidad en el diseño de circuitos integrados de escala nanométrica.	1
1.1. Introducción a los conceptos de variabilidad y fiabilidad en el marco del diseño de circuitos integrados.	1
1.2. Contenidos, objetivos y contribuciones de la tesis.	4
1.3. Organización de la tesis.	8
Capítulo 2: Modelado de las Fuentes de variabilidad en dispositivos CMOS de escala nanométrica. 9	
2.1. Introducción.	9
2.2. Variabilidad a tiempo cero, TZV.	9
2.3. Variabilidad dependiente del tiempo, TDV.	13
2.3.1. Introducción.	13
2.3.2. Efectos de la degradación por envejecimiento o <i>aging</i>	14
2.3.3. RTN (Random Telegraph Noise).	25
2.4. Revisión de modelos compactos de degradación de circuitos.	27
2.4.1. Consideraciones generales.	27
2.4.2. Tipos de Modelos.	30
2.4.3. Revisión de modelos integrados en simuladores: estado del arte.	32
2.5. Modelo de variabilidad propuesto para esta tesis.	35
2.5.1. Introducción.	35
2.5.2. Modelo de TZV.	36
2.5.3. Modelo de TDV.	36
2.6. Conclusiones del capítulo.	54
Capítulo 3: Simulación de fiabilidad de circuitos integrados.	55
3.1. Introducción.	55
3.2. Objetivos y consideraciones de la simulación de fiabilidad.	55
3.3. Revisión de herramientas de simulación de fiabilidad en el marco del diseño de circuitos integrados analógicos.	67
3.3.1. Breve introducción histórica.	67
3.3.2. Herramientas comerciales.	67
3.3.3. Propuestas académicas alternativas a las herramientas comerciales.	70
3.4. CASE: Una herramienta de simulación de fiabilidad estocástica para circuitos integrados.	75
3.4.1. Introducción.	75
3.4.2. Simulador de fiabilidad estocástico.	76
3.4.3. Herramienta para el cálculo del <i>lifetime</i>	98

3.5.	Conclusiones del capítulo.	102
Capítulo 4: KIPT, Chip para el estudio del impacto de la variabilidad a nivel de circuito.		
	103	
4.1.	Introducción.	103
4.2.	Flujo básico de las medidas de fiabilidad	104
4.3.	Arquitectura general del chip KIPT.	108
4.3.1.	Introducción.	108
4.3.2.	Descripción de <i>pads</i>	110
4.3.3.	Polarización y dominios de tensión.	111
4.3.4.	Lógica digital de selección de <i>Unity Cell</i>	112
4.3.5.	Descripción general de una <i>Unity Cell</i>	112
4.4.	Matriz de bloques básicos.	116
4.4.1.	Introducción.	116
4.4.2.	Inversores.	119
4.4.3.	Espejos de corriente.	121
4.4.4.	Etapas amplificadoras simples.	124
4.5.	Montaje del laboratorio y PCB.	126
4.5.1.	Introducción.	126
4.5.2.	Montaje para la realización de experimentos.	126
4.5.3.	PCB diseñada para las medidas sobre la matriz analógica.	127
4.6.	Conclusiones del capítulo.	129
Capítulo 5: Inversores.		
	130	
5.1.	Introducción.	130
5.2.	Medidas realizadas.	130
5.2.1.	Medidas de caracterización.	131
5.2.2.	Proceso de degradación del CUT.	135
5.3.	Resultados.	142
5.3.1.	Estudio de la TZV.	142
5.3.2.	Estudio fenomenológico de la degradación por envejecimiento.	148
5.3.3.	Procesado y análisis de las medidas sobre las prestaciones del circuito.	158
5.4.	Conclusiones del capítulo.	177
Capítulo 6: Espejos de Corriente.		
	178	
6.1.	Introducción.	178
6.2.	Medidas realizadas.	178
6.2.1.	Esquemas de testado.	179

6.2.2.	Medidas de caracterización	182
6.2.3.	Proceso de degradación del CUT	184
6.3.	Resultados.....	186
6.3.1.	Estudio de la TZV	186
6.3.2.	Estudio fenomenológico de la degradación por envejecimiento.	193
6.3.3.	Procesado y análisis de las medidas sobre las prestaciones de los circuitos. 200	
6.4.	Espejos de corriente Wilson mejorados.....	225
6.5.	Conclusiones del capítulo.	227
Capítulo 7:	Etapas amplificadoras simples.	228
7.1.	Introducción.	228
7.2.	Medidas realizadas.....	228
7.2.1.	Medidas de caracterización.	229
7.2.2.	Proceso de degradación de los CUTs.	232
7.3.	Resultados.....	237
7.3.1.	Estudio de la TZV.	238
7.3.2.	Estudio fenomenológico de la degradación por envejecimiento.	245
7.4.	Procesado y análisis de las medidas sobre las prestaciones del circuito.....	258
7.5.	Conclusiones del capítulo.	269
Capítulo 8:	Conclusiones.....	271
Bibliografía.....		273

Lista de Figuras.

Figura 1-1. Ejemplo de funciones de densidad de probabilidad de la prestación de un circuito afectado por distintas fuentes de variabilidad.	2
Figura 1-2. Tareas realizadas durante el desarrollo de esta tesis y otras tareas de la misma línea de investigación estrechamente relacionadas.	7
Figura 2-1. Clasificación de la TZV según la escala.	10
Figura 2-2. Rugosidad en el borde del óxido (LER) y rugosidad en el ancho del óxido (LWR).	11
Figura 2-3. Representación gráfica de las muestras de un circuito fabricado y afectado por la TZV.	12
Figura 2-4. Gráfica conceptual de la interfaz de un transistor MOSFET.	17
Figura 2-5. Ilustración cualitativa del comportamiento de la degradación por BTI frente a una señal con condiciones de estrés que cambian en el tiempo.	18
Figura 2-6. Mecanismos de degradación asociados al fenómeno de Hot Carrier Injection.	22
Figura 2-7. Gráficas ilustrativas del efecto RTN en dispositivos con distinto número de defectos activos.	26
Figura 2-8. Posibilidades de implementación para la integración de los modelos en los circuitos.	29
Figura 2-9. Sub-circuito empleado para emular los procesos de degradación por BTI mediante la carga y descarga de los defectos presentes en el dispositivo.	33
Figura 2-10. Propuesta de sub-circuito mostrada en [61], [104] y [22].	34
Figura 2-11. Función de distribución de defectos de un dispositivo PMOS ($V_{GB}=1.2V$, $V_{DB}=0V$ y $T=25^\circ$).	40
Figura 2-12. Dependencia con la temperatura de los tiempos de captura y emisión en dispositivos PMOS y NMOS.	41
Figura 2-13. Dependencia con las tensiones V_{GB} y V_{DB} de los tiempos de captura y emisión en dispositivos PMOS.	42
Figura 2-14. Dependencia con las tensiones V_{GB} y V_{DB} de los tiempos de captura y emisión en dispositivos NMOS.	43
Figura 2-15. Probabilidad de ocupación de los defectos en el plano (τ_c , τ_e) de un transistor PMOS que ha operado a unas condiciones de estrés de $V_{GB}=V_{DB}=0.7V$ y $T=25^\circ$ durante 10000 segundos.	45

Figura 2-16. Evaluaciones de la variación de la tensión umbral de la componente de daño permanente del modelo para una $V_{GS} = 1.2V$ y $V_{DS} = 0.0V, 0.6V, 0.8V, 1.0V, 1.2V$. En las gráficas superiores la temperatura es de $T = 25^\circ$ y en las inferiores de $T = 80^\circ$. Las gráficas de la izquierda se corresponden con los resultados obtenidos para un transistor de tipo PMOS, y las gráficas de la derecha para un transistor tipo NMOS.....	52
Figura 2-17. Evaluaciones de la variación de la tensión umbral de la componente de daño permanente del modelo para una $V_{DS} = 1.2V$ y $V_{GS} = 0.6V, 0.8V, 1.2V$. En las gráficas superiores la temperatura es de $T = 25^\circ$ y en las inferiores de $T = 80^\circ$. Las gráficas de la izquierda se corresponden con los resultados obtenidos para un transistor de tipo PMOS, y las gráficas de la derecha para un transistor tipo NMOS.....	53
Figura 3-1. Flujo básico de un simulador de fiabilidad.....	57
Figura 3-2. Espejo de corriente simple PMOS para explicar el link bidireccional entre la degradación por envejecimiento y las condiciones de estrés.	58
Figura 3-3. Cambio en las condiciones de estrés y degradación del transistor de entrada (M1) de un espejo de corriente simple como el de la Figura 3-2.....	59
Figura 3-4. Esquemático del RO de 5 etapas utilizado para las simulaciones de los resultados mostrados.	60
Figura 3-5. Cambio en la distribución de valores de la frecuencia de oscilación de un RO de 5 etapas como el de la Figura 3-4, cuando éste opera durante un año.....	60
Figura 3-6. Esquema conceptual de una simulación de fiabilidad con pasos intermedios para actualizar las condiciones de estrés.	60
Figura 3-7. Opciones para la inclusión de pasos intermedios con escala fija lineal o logarítmica como alternativa a la extrapolación directa.....	61
Figura 3-8. Variación de la tensión umbral (degradación) y valor final en la tensión de polarización (condición de estrés) en el transistor M1 del RO, cuando este ha operado durante un año, en función del número de pasos intermedio empleado para actualizar las condiciones de estrés.	62
Figura 3-9. Flujo de un simulador de fiabilidad que considera el link bidireccional mediante la inclusión de pasos intermedios para actualizar las condiciones de estrés...	63
Figura 3-10. Esquemático del OPAMP Miller de dos etapas utilizado en las simulaciones de fiabilidad.....	65
Figura 3-11. Impacto de la variabilidad sobre las prestaciones de un amplificador operacional.....	65
Figura 3-12. Concepto de time-dependent yield y lifetime en el marco de esta tesis. ...	67

Figura 3-13. Capturas de la interfaz de usuario de la herramienta Case.	76
Figura 3-14. Flujo del simulador de fiabilidad propuesto en esta tesis.	77
Figura 3-15. Flujo de simulación representativo del método A.	79
Figura 3-16. Flujo representativo del método B.1.....	81
Figura 3-17. Flujo representativo del método B.2.....	82
Figura 3-18.Histogramas de las distribuciones obtenidas sin y con el proceso de colapso de las Ddefect y pocc.....	83
Figura 3-19. Flujo representativo del método B.3.....	84
Figura 3-20. Circuito empleado en la realización del experimento para comparar los métodos B.1, B.2 y B.3.....	85
Figura 3-21. Flujo representativo del método C.....	85
Figura 3-22. Esquemático del espejo de corriente de 3 etapas utilizado.....	86
Figura 3-23. CDF del factor de copia del espejo de corriente de tres etapas para los métodos propuestos.	87
Figura 3-24. Algoritmo de salto adaptativo para un único transistor.	89
Figura 3-25. Procedimiento para la elección del siguiente valor de δV_{thi} en la opción que fija el número de pasos intermedios a realizar.	90
Figura 3-26. Error relativo en el cálculo de la degradación empleando diferentes métodos de salto.....	91
Figura 3-27. Error relativo en el cálculo de la degradación de las prestaciones del OPAMP-.....	92
Figura 3-28. Relación entre el porcentaje de variación de tensión umbral (degradación) permitida entre saltos y el número de saltos necesarios.	93
Figura 3-29. Histogramas y CDF de las prestaciones del circuito.	94
Figura 3-30. Variación de la tensión umbral (degradación) incluyendo TZV y TDV en cada uno de los transistores del circuito.	95
Figura 3-31. Representación de las prestaciones frente a la degradación del transistor M8.	96
Figura 3-32.Captura de la interfaz de CASE que muestra la representación de resultados de las prestaciones en formato tabla.	96
Figura 3-33. Captura de la ventana de ayuda para representaciones gráficas de la interfaz de CASE.	97
Figura 3-34. Captura de la representación tridimensional de prestaciones realizada desde la interfaz de Case.....	97

Figura 3-35. Flujo del método para el cálculo del lifetime.	99
Figura 3-36. Representación ilustrativa del cálculo del lifetime utilizando el método propuesto.	100
Figura 3-37. Cálculo del lifetime en el primer ejemplo propuesto.....	101
Figura 3-38. Cálculo del lifetime en el segundo ejemplo propuesto.	101
Figura 4-1. Proceso de medida de un experimento de fiabilidad.	104
Figura 4-2. Recuperación en saltos discretos de la corriente sobre un transistor PMOS.	107
Figura 4-3. Proceso de medida que incluye un proceso de caracterización tanto estática como dinámica.....	108
Figura 4-4. Layout del chip KIPT en el que se ilustra las diferentes matrices incluidas.	109
Figura 4-5. Anillo de pads del chip KIPT donde se indican los pads utilizados por la matriz de bloques básicos.	110
Figura 4-6. Esquema conceptual de la conexión Force and Sense.....	111
Figura 4-7. Esquemático, layout y ejemplo de funcionamiento de los registros de desplazamiento de la lógica de control para la selección de celdas en KIPT.....	113
Figura 4-8. Esquemático y layout de uno de los decodificadores empleados en la lógica de control del chip KIPT.	114
Figura 4-9. Esquema general de una Unity Cell del chip KIPT.....	114
Figura 4-10. Esquemático y layout de un bloque de level shifter utilizado en KIPT...	115
Figura 4-11. Esquemático y layout de un bloque de puertas de transmisión utilizado en KIPT.	116
Figura 4-12. Fotografía de la matriz de bloques básicos de KIPT.	117
Figura 4-13. Tipos de CUTs agrupados por columnas.....	119
Figura 4-14. Zona del CUT de las Unity Cells de los inversores.....	119
Figura 4-15. Lógica de control de las Unity Cells tipo inversor y etapa amplificadora simple.	120
Figura 4-16. Espejo de corriente Simple NMOS (arriba a la izquierda), espejo de corriente simple PMOS (arriba a la derecha), espejo de corriente Wilson mejorado NMOS (abajo a la izquierda) y espejo de corriente Wilson mejorado PMOS (abajo a la derecha). ...	121
Figura 4-17. Zona del CUT de las Unity Cells de los espejos de corriente NMOS (arriba) y PMOS (abajo).....	122
Figura 4-18. Lógica de control de las Unity Cells tipo espejo de corriente.	123

Figura 4-19. Zona del CUT de las Unity Cells de las etapas amplificadoras simples.	125
Figura 4-20. Bancada para la realización de experimentos sobre la matriz de bloques básicos.	126
Figura 4-21. Esquema conceptual de la PCB de la matriz de bloques básicos.	128
Figura 4-22. Fotografía de la PCB para la experimentación con la matriz de bloques básicos del chip KIPT.	129
Figura 5-1. Proceso de medida completo de un CUT tipo inversor.	130
Figura 5-2. Esquema de caracterización de las prestaciones de los CUTs tipo inversor.	131
Figura 5-3. Curva característica del diseño nominal óptimo de un inversor y diseños afectados por la variabilidad.	132
Figura 5-4. Definición de los márgenes de ruido de un inversor.	132
Figura 5-5. Esquema empleado para caracterizar las curvas IDVGS e IDVSG de los transistores individuales NMOS y PMOS del inversor.	133
Figura 5-6. Esquema de caracterización dinámica para la medida de corriente en uno de los transistores.	135
Figura 5-7. Condiciones de estrés aplicadas a los inversores en los experimentos de degradación.	135
Figura 5-8. Esquema de condiciones de estrés DC aplicadas durante el proceso de degradación de los inversores.	136
Figura 5-9. Esquema de condiciones de estrés AC aplicadas durante el proceso de degradación de los inversores.	138
Figura 5-10. Detalle sobre las condiciones de estrés que aparecen durante las transiciones en estreses AC.	138
Figura 5-11. Esquema de condiciones de estrés AC cuando existe retraso en la respuesta de los inversores.	139
Figura 5-12. Esquema de condiciones de estrés AC cuando se aplica a la entrada una forma de onda triangular.	140
Figura 5-13. Esquema de medidas para observar cuanto tiempo persisten los fenómenos de recuperación.	141
Figura 5-14. Trazas de caracterización de curvas IDVSG del transistor PMOS (izquierda) e IDVGS del NMOS (derecha) de un inversor en distintos instantes de tiempo.	142
Figura 5-15. Conjunto de curvas V_{ouput}/V_{input} para el dimensionamiento INVS2 de un chip.	143

Figura 5-16. Representación de las curvas V_{output}/V_{input} de los distintos dimensionamientos de CUT para un chip KIPT.....	144
Figura 5-17. Representación de todas las curvas V_{output}/V_{input} medidas en fresco para los dimensionamientos S1 y S2.....	144
Figura 5-18. Representación de todas las curvas V_{output}/V_{input} medidas en fresco para los dimensionamientos S3, S4 y S5.....	145
Figura 5-19. Histograma de las distribuciones en fresco de NML y NMH para los dimensionamientos S1 y S2.....	149
Figura 5-20. Histograma de las distribuciones en fresco de NML y NMH para los dimensionamientos S3, S4 y S5.	150
Figura 5-21. Desplazamiento de la curva característica V_{OUTPUT}/V_{INPUT} en función de la degradación de los transistores.	151
Figura 5-22. Curvas características frescas y envejecidas tras un estrés DC sobre el transistor PMOS.	152
Figura 5-23. Curvas características frescas y envejecidas tras un estrés DC sobre el transistor NMOS.....	152
Figura 5-24. Caracterización dinámica de la corriente durante 100s justo antes y después del estrés de un transistor PMOS de un inversor al que se le ha aplicado un estrés DC PMOS y un transistor NMOS de un inversor al que se le ha aplicado un estrés DC NMOS.	153
Figura 5-25. Curvas características tras un estrés AC con forma de onda triangular y duty cycle del 50%.....	154
Figura 5-26. Curvas características tras un estrés AC con forma de onda cuadrada y duty cycle del 50%.....	155
Figura 5-27. Curvas características tras un estrés AC con forma de onda cuadrada y duty cycle del 33%.....	155
Figura 5-28. Curvas características tras un estrés AC con forma de onda cuadrada y duty cycle del 67%.....	156
Figura 5-29. Caracterización dinámica de la corriente durante 100 segundos justo antes y después del estrés de varios transistores de distintos CUTs sometidos a diferentes estreses AC.....	157
Figura 5-30. Caracterización fresca y envejecida de los márgenes de ruido NMH y NML para los estreses de tipo DC sobre el transistor PMOS y NMOS.....	159

Figura 5-31. Caracterización fresca y envejecida de los márgenes de ruido NMH y NML para los estreses de tipo AC empleando formas de onda triangular y cuadrada con distintos duty cycles.	159
Figura 5-32. Valores frescos y envejecidos de $V_{INVOUT} = V_{DD2}$ cuando se aplican estreses DC en los CUTs.	161
Figura 5-33. Valores frescos y envejecidos de $V_{INVOUT} = V_{DD2}$ cuando se aplican estreses AC en los CUTs.	161
Figura 5-34. Degradación promedio de los márgenes de ruido para las diferentes condiciones de estrés aplicadas.	163
Figura 5-35. Variación promedio de $V_{INVOUT} = V_{DD2}$ y $V_{OUTVIN} = V_{DD2}$ para las diferentes condiciones de estrés aplicadas.....	164
Figura 5-36. Caracterización dinámica para distintas formas de onda de estrés cuando la tensión aplicada es 2V y el tiempo de estrés son 100 segundos.....	165
Figura 5-37. Influencia de la frecuencia en la degradación para el caso de los inversores.	166
Figura 5-38. Degradación promedio de los márgenes de ruido para estrés tipo DC PMOS.	168
Figura 5-39. Variación promedio de $V_{INVOUT} = V_{DD2}$ y $V_{OUTVIN} = V_{DD2}$ para estrés tipo DC PMOS.	168
Figura 5-40. Degradación promedio de los márgenes de ruido para estrés tipo DC NMOS.	169
Figura 5-41. Variación promedio de $V_{INVOUT} = V_{DD2}$ y $V_{OUTVIN} = V_{DD2}$ para estrés tipo DC NMOS.....	169
Figura 5-42. Degradación promedio de los márgenes de ruido para estrés tipo AC onda triangular.....	170
Figura 5-43. Variación promedio de $V_{INVOUT} = V_{DD2}$ y $V_{OUTVIN} = V_{DD2}$ para estrés tipo AC onda triangular.	170
Figura 5-44. Degradación promedio de los márgenes de ruido para estrés tipo DC PMOS.	171
Figura 5-45. Variación promedio de $V_{INVOUT} = V_{DD2}$ y $V_{OUTVIN} = V_{DD2}$ para estrés tipo AC onda cuadrada.	171
Figura 6-1. Proceso completo de medida de un CUT tipo espejo de corriente simple.	179
Figura 6-2. Esquema de testado TT.....	180
Figura 6-3. Esquema de testado IT.....	180

Figura 6-4. Esquema de testado IR.....	181
Figura 6-5, Condiciones de estrés y configuraciones aplicadas a los espejos de corriente simple en los experimentos de degradación.	184
Figura 6-6. Esquema empleado para ajustar los valores de los potenciómetros en la salida de los espejos de corriente.	186
Figura 6-7. Distribución de las corrientes de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los espejos de corriente simple NMOS para cada chip KIPT (numerados del 1-6 en el eje de abscisas). Cada fila representa las corrientes de un dimensionamiento (S1-S3). Los valores de corriente obtenidos para cada CUT se muestran como puntos azules y el valor promedio para ese chip como un rombo rojo.	188
Figura 6-8. Distribución de las corrientes de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los espejos de corriente simple PMOS para cada chip KIPT (numerados del 1-6 en el eje de abscisas). Cada fila representa las corrientes de un dimensionamiento (S1-S3). Los valores de corriente obtenidos para cada CUT se muestran como puntos azules y el valor promedio para ese chip como un rombo rojo.	189
Figura 6-9. Distribución del factor de copia de los espejos de corriente simple NMOS (gráficas de la izquierda) y PMOS (gráficas de la derecha) para cada chip KIPT (numerados del 1-6 en el eje de abscisas). Cada fila representa los CFs de un dimensionamiento (S1-S3). Los valores de CF obtenidos para cada CUT se muestran como puntos azules y el valor promedio para ese chip como un rombo rojo.	190
Figura 6-10. Histograma de las medidas de corriente de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los transistores NMOS. Cada fila representa uno de los dimensionamientos (S1-S3).	191
Figura 6-11. Histograma de las medidas de corriente de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los transistores PMOS. Cada fila representa uno de los dimensionamientos (S1-S3).	192
Figura 6-12. Histogramas del valor del CF para todas las medidas de caracterización realizadas en los transistores NMOS (Izquierda) y PMOS (derecha). Cada fila representa uno de los dimensionamientos (S1-S3).	192
Figura 6-13. Caracterización dinámica empleando el esquema de testado TT.	194
Figura 6-14. Caracterización dinámica empleando el esquema de testado IT.	195
Figura 6-15. Caracterización dinámica empleando el esquema de testado IR.	197

Figura 6-16. Valores en fresco y envejecido de las corrientes de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los CUTs PMOS empleando el esquema TT.	202
Figura 6-17. Degradación relativa de las corrientes de entrada y salida (gráficas de la izquierda) y valores frescos y envejecidos del CF (gráficas de la derecha) de los CUTs PMOS empleando el esquema TT.	202
Figura 6-18. Valores en fresco y envejecido de las corrientes de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los CUTs NMOS empleando el esquema TT.	203
Figura 6-19. Degradación relativa de las corrientes de entrada y salida (gráficas de la izquierda) y valores frescos y envejecidos del CF (gráficas de la derecha) de los CUTs NMOS empleando el esquema TT.	203
Figura 6-20. Valores en fresco y envejecido de las corrientes de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los CUTs PMOS empleando el esquema IT.	204
Figura 6-21. Degradación relativa de las corrientes de entrada y salida (gráficas de la izquierda) y valores frescos y envejecidos del CF (gráficas de la derecha) de los CUTs PMOS empleando el esquema IT.	204
Figura 6-22. Valores en fresco y envejecido de las corrientes de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los CUTs NMOS empleando el esquema IT.	205
Figura 6-23. Degradación relativa de las corrientes de entrada y salida (gráficas de la izquierda) y valores frescos y envejecidos del CF (gráficas de la derecha) de los CUTs NMOS empleando el esquema IT.	205
Figura 6-24. Valores en fresco y envejecido de las corrientes de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los CUTs PMOS empleando el esquema IR.	206
Figura 6-25. Degradación relativa de las corrientes de entrada y salida (gráficas de la izquierda) y valores frescos y envejecidos del CF (gráficas de la derecha) de los CUTs PMOS empleando el esquema IR.	206
Figura 6-26. Valores en fresco y envejecido de las corrientes de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los CUTs NMOS empleando el esquema IR.	207

Figura 6-27. Degradación relativa de las corrientes de entrada y salida (gráficas de la izquierda) y valores frescos y envejecidos del CF (gráficas de la derecha) de los CUTs NMOS empleando el esquema IR.	207
Figura 6-28. Evolución de las condiciones de estrés en CUTs envejecidos con el esquema de testado IR.	210
Figura 6-29. Cambio en la tensión de entrada en la fase de estrés para los CUTs NMOS (gráficas de la izquierda) y PMOS (gráficas de la derecha) estresados con el esquema IT. Cada fila corresponde a un dimensionamiento.	212
Figura 6-30. Cambio en la tensión de entrada en la fase de estrés para los CUTs NMOS (gráficas de la izquierda) y PMOS (gráficas de la derecha) estresados con el esquema IR. Cada fila corresponde a un dimensionamiento.	213
Figura 6-31. Cambio en la tensión de salida en la fase de estrés para los CUTs NMOS (gráficas de la izquierda) y PMOS (gráficas de la derecha) estresados con el esquema IR. Cada fila corresponde a un dimensionamiento.	213
Figura 6-32. Degradación relativa de las corrientes de entrada y salida y variación del factor de copia para los CUTs de tipo PMOS y dimensionamiento S1. Cada gráfica representa los resultados obtenidos para cada tipo de esquema y unas condiciones de estrés concretas. La gráfica inferior izquierda se corresponde con una tensión de estrés de 2.0V y un tiempo de estrés de 100s. La gráfica inferior derecha con una tensión de estrés de 2.0V y un tiempo de estrés de 1000s. La gráfica superior izquierda con una tensión de estrés de 2.5V y un tiempo de estrés de 100s. La gráfica superior derecha con una tensión de estrés de 2.5V y un tiempo de estrés de 1000s.	215
Figura 6-33. Degradación relativa de las corrientes de entrada y salida y variación del factor de copia para los CUTs de tipo PMOS y dimensionamiento S2. Cada gráfica representa los resultados obtenidos para cada tipo de esquema y unas condiciones de estrés concretas. La gráfica inferior izquierda se corresponde con una tensión de estrés de 2.0V y un tiempo de estrés de 100s. La gráfica inferior derecha con una tensión de estrés de 2.0V y un tiempo de estrés de 1000s. La gráfica superior izquierda con una tensión de estrés de 2.5V y un tiempo de estrés de 100s. La gráfica superior derecha con una tensión de estrés de 2.5V y un tiempo de estrés de 1000s.	215
Figura 6-34. Degradación relativa de las corrientes de entrada y salida y variación del factor de copia para los CUTs de tipo PMOS y dimensionamiento S3. Cada gráfica representa los resultados obtenidos para cada tipo de esquema y unas condiciones de estrés concretas. La gráfica inferior izquierda se corresponde con una tensión de estrés de	

2.0V y un tiempo de estrés de 100s. La gráfica inferior derecha con una tensión de estrés de 2.0V y un tiempo de estrés de 1000s. La gráfica superior izquierda con una tensión de estrés de 2.5V y un tiempo de estrés de 100s. La gráfica superior derecha con una tensión de estrés de 2.5V y un tiempo de estrés de 1000s.	216
Figura 6-35. Degradación relativa de las corrientes de entrada y salida y variación del factor de copia para los CUTs de tipo NMOS y dimensionamiento S1. Cada gráfica representa los resultados obtenidos para cada tipo de esquema y unas condiciones de estrés concretas. La gráfica inferior izquierda se corresponde con una tensión de estrés de 2.0V y un tiempo de estrés de 100s. La gráfica inferior derecha con una tensión de estrés de 2.0V y un tiempo de estrés de 1000s. La gráfica superior izquierda con una tensión de estrés de 2.5V y un tiempo de estrés de 100s. La gráfica superior derecha con una tensión de estrés de 2.5V y un tiempo de estrés de 1000s.	216
Figura 6-36. Degradación relativa de las corrientes de entrada y salida y variación del factor de copia para los CUTs de tipo NMOS y dimensionamiento S2. Cada gráfica representa los resultados obtenidos para cada tipo de esquema y unas condiciones de estrés concretas. La gráfica inferior izquierda se corresponde con una tensión de estrés de 2.0V y un tiempo de estrés de 100s. La gráfica inferior derecha con una tensión de estrés de 2.0V y un tiempo de estrés de 1000s. La gráfica superior izquierda con una tensión de estrés de 2.5V y un tiempo de estrés de 100s. La gráfica superior derecha con una tensión de estrés de 2.5V y un tiempo de estrés de 1000s.	217
Figura 6-37. Degradación relativa de las corrientes de entrada y salida y variación del factor de copia para los CUTs de tipo NMOS y dimensionamiento S3. Cada gráfica representa los resultados obtenidos para cada tipo de esquema y unas condiciones de estrés concretas. La gráfica inferior izquierda se corresponde con una tensión de estrés de 2.0V y un tiempo de estrés de 100s. La gráfica inferior derecha con una tensión de estrés de 2.0V y un tiempo de estrés de 1000s. La gráfica superior izquierda con una tensión de estrés de 2.5V y un tiempo de estrés de 100s. La gráfica superior derecha con una tensión de estrés de 2.5V y un tiempo de estrés de 1000s.	217
Figura 6-38. Esquemático de los espejos de corriente Wilson mejorados.	225
Figura 7-1. Proceso de medida de los CUTs tipo etapas amplificadoras simples.	228
Figura 7-2. Esquema conceptual básico del funcionamiento de las etapas amplificadoras simples de fuente común.	230
Figura 7-3. Esquemas de caracterización de las etapas amplificadoras simples según el rol de los transistores.	232

Figura 7-4. Ilustración gráfica de las prestaciones evaluadas a nivel de circuito.....	232
Figura 7-5. Condiciones de estrés aplicadas a las etapas amplificadoras simples durante la fase de degradación.....	233
Figura 7-6. Esquemas de degradación empleados en las etapas amplificadoras simples.	236
Figura 7-7. Condiciones de estrés sobre los transistores individuales de las etapas amplificadoras simples.	237
Figura 7-8. Histograma de la tensión de polarización a la entrada y ganancia del CUT para entrada NMOS S1.....	243
Figura 7-9. Histograma de la tensión de polarización a la entrada y ganancia del CUT para entrada PMOS S1.	243
Figura 7-10. Histograma de la tensión de polarización a la entrada y ganancia del CUT para entrada NMOS S2.....	243
Figura 7-11. Histograma de la tensión de polarización a la entrada y ganancia del CUT para entrada PMOS S2.	243
Figura 7-12. Histograma de la tensión de polarización a la entrada y ganancia del CUT para entrada NMOS S3.....	244
Figura 7-13. Histograma de la tensión de polarización a la entrada y ganancia del CUT para entrada PMOS S3.	244
Figura 7-14. Histograma de la tensión de polarización a la entrada y ganancia del CUT para entrada NMOS S4.....	244
Figura 7-15. Histograma de la tensión de polarización a la entrada y ganancia del CUT para entrada PMOS S4.	244
Figura 7-16. Desplazamiento de las curvas V_{OUTPUT}/V_{INPUT} y de ganancia debido al impacto de la variabilidad. Se muestran las curvas en fresco, envejecidas operando en el punto de polarización ajustado en fresco y envejecidas operando en el nuevo punto de polarización (npp) reajustado para el funcionamiento del CUT envejecido.	246
Figura 7-17. Imagen ilustrativa de la importancia de la forma de la curva de ganancia.	247
Figura 7-18. Imagen ilustrativa de la posible deformación de la curva envejecida: estrechamiento y ensanchamiento.	247
Figura 7-19. Posible casuística de la degradación de ganancia de los CUTs.....	248
Figura 7-20. Medidas en fresco y envejecidas de un CUT S1 cuando se ha empleado un estrés DC (entrada PMOS).	250

Figura 7-21. Medidas en fresco y envejecidas de un CUT S1 cuando se ha empleado un estrés DC (entrada NMOS).	251
Figura 7-22. Medidas en fresco y envejecidas de un CUT S3 cuando se ha empleado un estrés DC (entrada NMOS).	252
Figura 7-23. Medidas en fresco y envejecidas de un CUT S4 cuando se ha empleado un estrés DC (entrada PMOS).	252
Figura 7-24. Medidas en fresco y envejecidas de un CUT S4 cuando se ha empleado un estrés DC (entrada NMOS).	252
Figura 7-25. Medidas en fresco y envejecidas de un CUT S1 cuando se ha empleado un estrés AC (entrada PMOS).	253
Figura 7-26. Medidas en fresco y envejecidas de un CUT S1 cuando se ha empleado un estrés AC (entrada NMOS).	253
Figura 7-27. Medidas en fresco y envejecidas de un CUT S2 cuando se ha empleado un estrés AC (entrada PMOS).	254
Figura 7-28. Medidas en fresco y envejecidas de un CUT S3 cuando se ha empleado un estrés AC (entrada NMOS).	255
Figura 7-29. Medidas en fresco y envejecidas de un CUT S4 cuando se ha empleado un estrés AC (entrada PMOS).	255
Figura 7-30. Medidas en fresco y envejecidas de un CUT S4 cuando se ha empleado un estrés AC (entrada NMOS).	256
Figura 7-31. Medidas de un CUT S1 cuando se ha empleado un estrés AC de 10KHz (entrada PMOS).	257
Figura 7-32. Medidas de un CUT S4 cuando se ha empleado un estrés AC de 10KHz (entrada NMOS).	257
Figura 7-33. Resultados CUT a CUT cuando se ha aplicado un estrés de tipo DC (3.3V, 1000s) y se ha empleado como entrada el transistor PMOS de la etapa amplificadora.	259
Figura 7-34. Resultados CUT a CUT cuando se ha aplicado un estrés de tipo AC a 1KHz (3.3V, 1000s) y se ha empleado como entrada el transistor PMOS de la etapa amplificadora.	260
Figura 7-35. Curvas de ganancia fresca y envejecida de los CUTs 46 y 48 cuando se ha aplicado un estrés AC. 1kHz.	261

Figura 7-36. Resultados CUT a CUT cuando se ha aplicado un estrés de tipo AC a 10KHz (3.3V, 1000s) y se ha empleado como entrada el transistor PMOS de la etapa amplificadora.....	262
Figura 7-37. Curvas de ganancia de los CUTs 43 y 49 cuando se ha aplicado un estrés AC 10KHz.....	262
Figura 7-38. Resultados globales de la variación de la tensión de polarización a la entrada de la etapa para los diferentes dimensionamientos y condiciones de estrés.....	263
Figura 7-39. Resultados globales de la degradación de la ganancia en el punto de operación ajustado en fresco para los diferentes dimensionamientos y condiciones de estrés.....	263

Lista de Tablas.

Tabla 2-1. Parametrización actual de la distribución de defectos en las condiciones $V_{GB}=1.2V$, $V_{DB}=0V$ y $T=25^{\circ}$	40
Tabla 2-2. Parametrización actual de las dependencias de la parte recuperable del modelo con la tensión.	43
Tabla 2-3. Parametrización actual de la componente permanente del modelo.	51
Tabla 3-1. Valores característicos de las distribuciones finales obtenidas para distintas muestras de TZV.	85
Tabla 3-2. Comparación entre los diferentes métodos propuestos.	87
Tabla 4-1. Categorías, tipos y dimensionamientos de los bloques incluidos en la matriz de bloques básicos.	118
Tabla 4-2. Relación entre las señales digitales de los pads y las señales internas de control para CUTs de tipo inversor y etapas amplificadoras simples.	120
Tabla 4-3. Inversores incluidos en la matriz de bloques básicos.	121
Tabla 4-4. Relación entre las señales digitales de los pads y las señales internas de control para CUTs de tipo espejos de corriente.	123
Tabla 4-5. Espejos de corriente incluidos en la matriz de bloques básicos de KIPT. ..	124
Tabla 4-6. Etapas amplificadoras simples incluidas en la matriz de bloques básicos. .	125
Tabla 4-7. Conexiones/Pines/Pads de los diferentes dispositivos de la matriz de bloques básicos.	129
Tabla 5-1. Valores característicos de NML y NMH en cada chip KIPT para el dimensionamiento S1.	146
Tabla 5-2. Valores característicos de NML y NMH en cada chip KIPT para el dimensionamiento S2.	146
Tabla 5-3. Valores característicos de NML y NMH en cada chip KIPT para el dimensionamiento S3.	146
Tabla 5-4. Valores característicos de NML y NMH en cada chip KIPT para el dimensionamiento S4.	147
Tabla 5-5. Valores característicos de NML y NMH en cada chip KIPT para el dimensionamiento S5.	147
Tabla 5-6. Valores característicos de las distribuciones unificadas de TZV de las prestaciones.	148

Tabla 5-7. Corriente medida en los CUTs del dimensionamiento S1, empleados como ejemplo en este apartado, para las diferentes ondas de estrés aplicadas, tensión de estrés 2.5V y tiempo de estrés 1000s.....	154
Tabla 5-8. Valores característicos de las distribuciones del margen de ruido alto NMH para el tamaño S1.	173
Tabla 5-9. Valores característicos de las distribuciones del margen de ruido alto NML para el tamaño S1.	173
Tabla 5-10. Valores característicos de las distribuciones del punto $V_{INVOUT} = VDD2$ para el tamaño S1.	174
Tabla 5-11. Valores característicos de las distribuciones del punto $V_{OUTVIN} = VDD2$ para el tamaño S1.	174
Tabla 5-12. Valores característicos de las distribuciones del margen de ruido alto NMH para los tamaños S2-S4.	175
Tabla 5-13. Valores característicos de las distribuciones del margen de ruido alto NML para los tamaños S2-S4.	175
Tabla 5-14. Valores característicos de las distribuciones del punto $V_{INVOUT} = VDD2$ para los tamaños S2-S4.	176
Tabla 5-15. Valores característicos de las distribuciones del punto $V_{OUTVIN} = VDD2$ para los tamaños S2-S4.	176
Tabla 6-1. Valores de corrientes equivalentes (promedios y desviación estándar) para cada tipo de espejo, dimensionamiento y tensión de estrés.....	185
Tabla 6-2. Valores del potenciómetro simulado (inicial) y real para cada tipo de espejo, dimensionamiento y tensión de estrés.	186
Tabla 6-3. Valor medio y desviación estándar de la corriente de entrada en espejos NMOS.....	188
Tabla 6-4. Valor medio y desviación estándar de la corriente de salida en espejos NMOS.	188
Tabla 6-5. Valor medio y desviación estándar de la corriente de entrada en espejos PMOS.	189
Tabla 6-6. Valor medio y desviación estándar de la corriente de salida en espejos PMOS.	189
Tabla 6-7. Valor medio y desviación estándar del factor de copia en espejos NMOS.	190
Tabla 6-8. Valor medio y desviación estándar del factor de copia en espejos PMOS.	190

Tabla 6-9. Valor medio y desviación estándar de la corriente de entrada, la corriente de salida y el factor de copia para las distribuciones completas de TZV agrupando todas las muestras medidas.....	193
Tabla 6-10. Valores en fresco y de degradación permanente del factor de copia y de las corrientes de los CUTs	199
Tabla 6-11. Degradación en términos absolutos y relativos de las corrientes y variación del CF de los CUTs	199
Tabla 6-12. Proporción de veces en que la degradación relativa de la corriente de entrada es superior a la de la corriente de salida y viceversa.	208
Tabla 6-13. Resultados globales CUTs PMOS, tensión de estrés 2.0V y tiempo de estrés 100s.....	218
Tabla 6-14. Resultados globales CUTs PMOS, tensión de estrés 2.0V y tiempo de estrés 1000s.....	218
Tabla 6-15. Resultados globales CUTs PMOS, tensión de estrés 2.5V y tiempo de estrés 100s.....	219
Tabla 6-16. Resultados globales CUTs PMOS, tensión de estrés 2.5V y tiempo de estrés 1000s.....	219
Tabla 6-17. Resultados globales CUTs NMOS, tensión de estrés 2.0V y tiempo de estrés 100s.....	220
Tabla 6-18. Resultados globales CUTs NMOS, tensión de estrés 2.0V y tiempo de estrés 1000s.....	220
Tabla 6-19. Resultados globales CUTs NMOS, tensión de estrés 2.5V y tiempo de estrés 100s.....	221
Tabla 6-20. Resultados globales CUTs NMOS, tensión de estrés 2.5V y tiempo de estrés 1000s.....	221
Tabla 6-21. Valores promedio y desviación estándar del cambio en las condiciones de estrés.	224
Tabla 7-1. Valores de polarización V_{IP} y V_{IN} empleados para la caracterización de los dispositivos y valores de ganancia obtenidos mediante simulación.....	231
Tabla 7-2. Valores de polarización V_{IP} y V_{IN} empleados para la degradación de los dispositivos y valores de ganancia obtenidos mediante simulación para una tensión de estrés máxima de 2.8V.....	235
Tabla 7-3. Valores característicos de las distribuciones TZV de los CUTs de dimensionamiento S1.	239

Tabla 7-4. Valores característicos de las distribuciones TZV de los CUTs de dimensionamiento S2.	239
Tabla 7-5. Valores característicos de las distribuciones TZV de los CUTs de dimensionamiento S3.	240
Tabla 7-6. Valores característicos de las distribuciones TZV de los CUTs de dimensionamiento S4.	240
Tabla 7-7. Valores característicos de las distribuciones TZV para cada dimensionamiento cuando todas las muestras son agrupadas en una única distribución.	242
Tabla 7-8. Tensión de polarización en fresco y envejecida a la entrada de la etapa para todos los dispositivos con dimensionamiento S1.	265
Tabla 7-9. Ganancia en fresco, envejecida en el punto de polarización en fresco y envejecida reajustando el punto de polarización para todos los dispositivos con dimensionamiento S1.	266
Tabla 7-10. Tensión de polarización fresca y envejecida a la entrada de la etapa para todos los dispositivos con los dimensionamientos S2-S4, tensión de estrés 3.3V y tiempo de estrés 1000 segundos.	266
Tabla 7-11. Ganancia en fresco, envejecida en el punto de polarización en fresco y envejecida reajustando el punto de polarización para para todos los dispositivos con los dimensionamientos S2-S4, tensión de estrés 3.3V y tiempo de estrés 1000 segundos.	267
Tabla 7-12. Variación de la tensión de polarización a la entrada de la etapa para para todos los dispositivos con dimensionamiento S1.	267
Tabla 7-13. Degradación de ganancia para para todos los dispositivos con dimensionamiento S1.	268
Tabla 7-14. Variación de la tensión de polarización a la entrada de la etapa para para todos los dispositivos con los dimensionamientos S2-S4, tensión de estrés 3.3V y tiempo de estrés 1000 segundos.	268
Tabla 7-15. Degradación de ganancia para para todos los dispositivos con los dimensionamientos S2-S4, tensión de estrés 3.3V y tiempo de estrés 1000 segundos.	269

Capítulo 1: Fiabilidad en el diseño de circuitos integrados de escala nanométrica.

1.1. Introducción a los conceptos de variabilidad y fiabilidad en el marco del diseño de circuitos integrados.

Las exigencias de un mercado cada vez más competitivo en términos de producción, con requisitos de diseño cada vez más restrictivos, hacen que sea importante para la industria conocer no sólo la forma en que los circuitos operarán al salir de la fábrica sino durante todo su tiempo de vida útil. En este sentido, el continuo escalado de las tecnologías CMOS en la fabricación de circuitos integrados ha aumentado los problemas relacionados con la fiabilidad de dichos circuitos, tanto en su fase de diseño como de fabricación y durante su operación, debido a que los circuitos presentan mayor variabilidad. En el desarrollo de esta tesis, esta variabilidad se entiende como una variación en las características físicas y, más concretamente, eléctricas, que presentan los dispositivos con respecto a las características ideales con las que fueron diseñados. Como resultado, un conjunto de dispositivos fabricados provenientes de un mismo diseño no presentará las mismas características eléctricas, sino que, contrariamente, cada dispositivo de este conjunto presentará distintas características. En este sentido, las características eléctricas del conjunto de dispositivos resultante pueden ser tratadas como una distribución estadística con sus parámetros característicos como, por ejemplo, su valor promedio. Evidentemente, dichas distribuciones presentarán también una determinada dispersión.

En general, el impacto de esta variabilidad afectará negativamente a las prestaciones de un circuito o sistema, por lo que se hace fundamental estudiar en profundidad las diferentes fuentes de variabilidad, la forma en que ésta afectará a los circuitos y disponer de las herramientas necesarias para poder realizar diseños robustos o fiables frente a la presencia de dichas fuentes. A este respecto, la fiabilidad de los circuitos, en un sentido amplio, puede entenderse como la capacidad de los circuitos de seguir operando de forma satisfactoria, esto es, presentando unas determinadas prestaciones, en presencia de las fuentes de variabilidad. Con el fin de que los circuitos fabricados sean fiables, es necesario realizar consideraciones de fiabilidad desde la fase de diseño de los mismos, justificando el estudio de las fuentes de variabilidad y el desarrollo de herramientas que evalúen su impacto sobre las prestaciones de los circuitos.

El trabajo presentado en esta tesis se centra en el estudio del impacto de la variabilidad dependiente del tiempo en el diseño de circuitos integrados, especialmente en tecnologías de escala nanométrica, considerando su efecto conjuntamente con el de la variabilidad a tiempo cero.

La variabilidad a tiempo cero, conocida en la literatura por su término anglosajón *Time-zero variability* (TZV), se refiere a la variabilidad que se genera durante la fabricación de los circuitos debido a la naturaleza y a las no idealidades de los materiales empleados y de los propios procesos de fabricación utilizados. Por esta razón, a esta fuente de variabilidad se la conoce también como variabilidad de proceso. El nombre de variabilidad a tiempo cero, hace referencia a que esta variabilidad está presente en los dispositivos incluso antes de que los circuitos comiencen a operar.

La variabilidad dependiente del tiempo o TDV, hace referencia a la variabilidad que aparece en los dispositivos y circuitos durante su tiempo de vida. En el marco de esta tesis, esta variabilidad será debida a la degradación por envejecimiento que sufren los circuitos durante su operación. Esta degradación por envejecimiento es también ampliamente conocida por su término anglosajón *aging*. Un aspecto fundamental que debe considerarse es que, a diferencia de la TZV, que puede representarse como una distribución estadística estática de partida, la distribución de variabilidad debido a la TDV irá variando a lo largo del tiempo en función de la forma en que los dispositivos envejecen. Este envejecimiento, a su vez, dependerá de la forma en que los dispositivos operan a lo largo del tiempo. A las condiciones de operación de los circuitos durante su tiempo de vida, en el contexto del estudio de la degradación por envejecimiento, se les denomina comúnmente condiciones de estrés.

La creciente importancia de tener en consideración el impacto de estas fuentes de variabilidad en el diseño de CI de escala nanométrica, se debe a las consecuencias que produce sobre la TZV y la TDV el fuerte escalado que experimentan los dispositivos de las tecnologías actuales y la consecuente reducción del óxido de puerta efectivo de los mismos. Esto hace que los efectos aleatorios que se producen en los procesos de fabricación causen, en términos relativos, una mayor heterogeneidad entre los dispositivos que debieran ser iguales según diseño. En lo que se refiere a la degradación de los dispositivos, el escalado en general y la reducción de la longitud de canal en particular hace que, debido al actual “escalado a campo no constante” los campos eléctricos en los dispositivos aumenten, incrementando el impacto de ciertos mecanismos de degradación. Además, alcanzada la escala nanométrica, la naturaleza que muestran los mecanismos de degradación de los dispositivos cambia y pasan de tener un comportamiento determinista a un comportamiento estocástico [1]–[3].

Para ejemplificar gráficamente estos conceptos se incluye la Figura 1-1. Esta figura muestra los posibles valores de una prestación en un circuito bajo el impacto de las fuentes de variabilidad, concretamente, se representan como funciones de densidad de probabilidad. Con un color azulado, se representa el caso de la distribución resultante después de la fabricación, es decir, en presencia de la TZV. En general, los valores de una

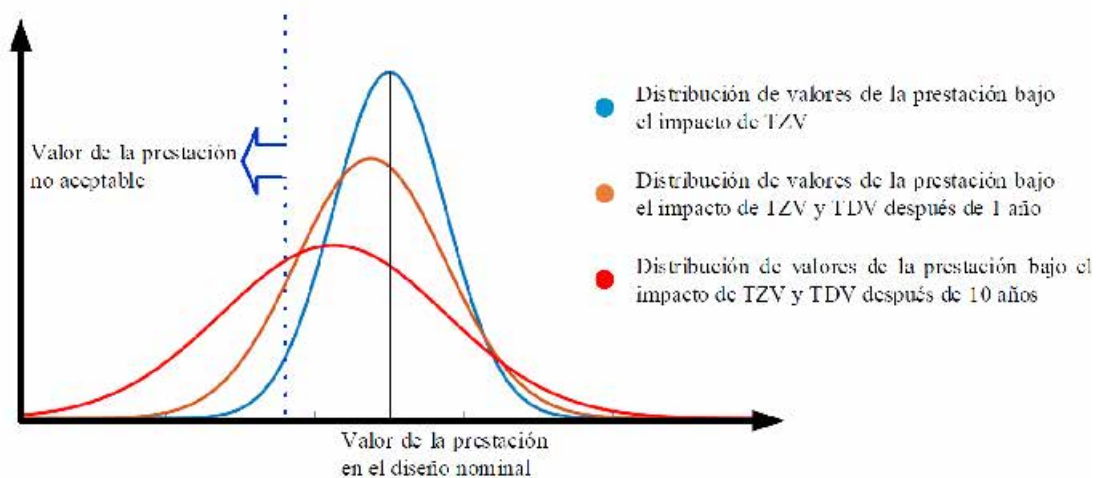


Figura 1-1. Ejemplo de funciones de densidad de probabilidad de la prestación de un circuito afectado por distintas fuentes de variabilidad.

prestación que tendrá físicamente cada uno de los circuitos fabricados serán diferentes y se situarán normalmente en torno al valor de diseño nominal. Estadísticamente hablando, los posibles valores tendrán una probabilidad que se irá reduciendo conforme se alejan del valor del diseño nominal acorde a una determinada dispersión de la distribución. Tras un periodo de funcionamiento, por ejemplo, un año, los circuitos habrán sufrido de TDV debido a la degradación por envejecimiento, por lo que cada una de las posibles muestras de la distribución de TZV sufrirá a su vez de TDV. Como resultado, la distribución de posibles valores resultantes cambiará. En la figura se ha representado, con un color anaranjado, la posible función de densidad de probabilidad de la prestación del circuito tras un año de operación. Como se ha comentado, la TDV irá variando a lo largo del tiempo conforme aumente la degradación debida a la operación, por lo que la propia función de densidad de probabilidad irá cambiando en función del tiempo. En la figura, se muestra con un color rojizo la posible función de densidad de probabilidad después de que el circuito haya operado durante diez años.

Sin pérdida de generalidad, supóngase que en el ejemplo de la Figura 1-1 se considera que el valor de la prestación representada es mejor conforme más alta fuera ésta. Puede afirmarse que, en general, el impacto de la TDV sobre las prestaciones, conforme aumenta el tiempo de operación y, por tanto, la degradación, desplazará las funciones de densidad de probabilidad hacia peores valores de la prestación y además irá aumentando la dispersión de la misma, tal como se ilustra en la figura. Si además se supone que la recta punteada vertical de color azul oscuro marca el valor de la prestación a partir del cual el funcionamiento de los circuitos ya no es aceptable, en general, el impacto de la TDV supondrá que el porcentaje de circuitos fabricados cuyo funcionamiento no es aceptable aumenta a lo largo del tiempo. Este ejemplo es extrapolable a una situación n-dimensional para todas las posibles prestaciones del circuito, donde en este caso, el porcentaje de diseños que opera correctamente se corresponde normalmente con aquellos circuitos que se encuentran por encima del umbral que representa el valor mínimo aceptable para todas las prestaciones. Bajo estas consideraciones, un diseño robusto o fiable sería aquel para el que se espera que, a lo largo del tiempo de vida del circuito, un porcentaje elevado de los circuitos fabricados siga operando de forma correcta (con un valor aceptable de las prestaciones) en presencia de la variabilidad (TZV+TDV). En definitiva, este razonamiento pretende reseñar la importancia para los diseñadores de tratar de conocer el impacto de la variabilidad no sólo después de la fabricación, sino también a lo largo del tiempo.

Es importante destacar en este punto que la TZV ha sido ampliamente estudiada en las últimas décadas y existen modelos y herramientas para tenerla en cuenta durante la fase de diseño de los circuitos integrados (CI) de forma precisa y eficiente en términos computacionales [4]–[10]. Estas propuestas han sido integradas incluso dentro de las herramientas comerciales de diseño asistido por computadora o herramientas CAD (del inglés *Computer Aided Design*), por lo que se puede concluir que actualmente existen soluciones en el estado del arte para asistir en la realización de diseños fiables frente a esta fuente de variabilidad. Sin embargo, no puede decirse lo mismo de la TDV. Si bien es cierto que existen aportaciones a la literatura del estudio de la degradación de los circuitos integrados durante las últimas décadas [11]–[20], la contribución de los diferentes efectos y los mecanismos de degradación asociados a ellos han ido cambiando con el escalado de los transistores en los diferentes nodos tecnológicos, así como lo hacían

los campos eléctricos presentes en los dispositivos. En este sentido el impacto en las prestaciones de los circuitos debido a la degradación por envejecimiento se ha vuelto especialmente crítico cuando la industria de fabricación de CI ha alcanzado la escala nanométrica [21]–[23]. Esto se debe no sólo al aumento severo de los campos eléctricos en los dispositivos que hace que algunos mecanismos de degradación tengan un enorme impacto en las características eléctricas de los dispositivos, sino también, a que los requisitos cada vez más exigentes de la industria de cara a la fabricación de circuitos integrados exigen la máxima reducción posible del área de los mismos, haciendo que se reduzcan al máximo los “márgenes de diseño” con los que tradicionalmente se ha contado para paliar los efectos del *aging*.

Dos de los principales efectos o mecanismos de degradación que afectan a los circuitos integrados de escala nanométrica son el Bias Temperature Instability (BTI) y el Hot Carrier Injection (HCI). Un aspecto clave a tener en cuenta sobre la TDV es que los mecanismos de degradación por envejecimiento en la escala nanométrica han mostrado una naturaleza estocástica [1]–[3], [24], a la que no es aplicable el enfoque determinista tradicional sin que existan consecuencias de cara a la precisión de la información proporcionada por las soluciones disponibles. Debido a este nuevo paradigma, abordar el problema de la TDV de forma eficiente implica hacerlo a varios niveles: desde el nivel de dispositivo al de circuito, desarrollando nuevos modelos y herramientas que sean capaces de proporcionar a los diseñadores de circuitos integrados los recursos necesarios para incluir consideraciones de fiabilidad en sus diseños, o bien, que estos modelos y herramientas puedan ser integrados en flujos de diseño automatizado de forma que sea posible producir circuitos fiables en la escala nanométrica de forma precisa y eficiente.

El análisis del impacto de la TDV sobre los circuitos de escala nanométrica es el que plantea mayores retos en la actualidad, no obstante, es importante resaltar que un estudio adecuado de la TDV no puede realizarse de forma totalmente desvinculada de la TZV ya que la variabilidad que estará presente en los dispositivos será, en definitiva, debida a la contribución conjunta de ambas fuentes de variabilidad TZV y TDV.

1.2. Contenidos, objetivos y contribuciones de la tesis.

La línea de investigación en la que se enmarca esta tesis es el diseño de circuitos en presencia de variabilidad (TZV+TDV). El problema de la variabilidad se puede contemplar desde dos enfoques diferentes, a nivel de dispositivo (transistores) y a nivel de circuito, existiendo en ambos casos, a su vez, diferentes perspectivas. Dentro de este amplio marco, el problema que se aborda en esta tesis es el de estudiar el impacto de la TDV en circuitos de la escala nanométrica y en como modelar y simular la degradación por envejecimiento de estos circuitos. No obstante, toda degradación debida a la TDV parte de un circuito en fresco cuyo diseño nominal estará afectado por la TZV. En este sentido, tanto a nivel empírico, de modelado o de desarrollo de herramientas de simulación, la TZV siempre debe observarse e integrarse como parte de las soluciones propuestas para la gestión de la TDV. En definitiva, en el trabajo desarrollado debe considerarse en todo momento la presencia conjunta de ambas fuentes de variabilidad y el impacto conjunto que producen sobre los circuitos.

El modelado de TDV mostrado en esta tesis está basado en el modelo probabilístico de ocupación de defectos (PDO) [1]. Se trata de un modelo estocástico que tiene en cuenta la naturaleza del *aging* en circuitos de escala nanométrica y que incluye los efectos de BTI y HCI. El impacto de la variabilidad, daño o degradación que producen estos efectos

sobre los dispositivos (transistores), dependerá de las condiciones de estrés (tensiones aplicadas a los terminales del circuito y temperatura) durante la operación de los mismos.

En este punto, es relevante comentar que, en paralelo al desarrollo de esta tesis, en el grupo de investigación se ha llevado a cabo el diseño, fabricación y testado del chip ENDURANCE [25]. Este chip consiste en una serie de matrices o *arrays* de transistores simples, tanto PMOS como NMOS, de distintas dimensiones. Permite el acceso individual a cada transistor y la posibilidad de aplicar de forma precisa diferentes condiciones de operación sobre los dispositivos. Además, para facilitar la realización de medidas en el laboratorio se implementó el *set-up* dedicado reportado en [26].

Esta contribución, enmarcada en la misma línea de investigación, está muy relacionada con esta tesis, ya que, con la información extraída de dicho trabajo, es posible realizar una caracterización estadística de los transistores que permita la extracción de los parámetros del modelo de variabilidad previamente mencionado. Específicamente, la tecnología caracterizada es UMC-65 nm. Algunos de los trabajos realizados a este respecto han sido presentados en contribuciones como [27]–[30].

El modelo estocástico desarrollado y que determina la degradación a nivel de dispositivo, se integrará en una herramienta de simulación de fiabilidad denominada CASE, que permite determinar la degradación a nivel de circuito o, dicho de otro modo, que es capaz de evaluar el impacto de la variabilidad sobre las prestaciones del circuito.

Existen varios retos u objetivos que pretenden abordarse con esta herramienta. Por un lado, los resultados que proporcione la herramienta deben ofrecer información estadística de los parámetros o prestaciones evaluadas, ya que esto es necesario para poder interpretar y realizar consideraciones de fiabilidad en el diseño de circuitos integrados de escala nanométrica. Por esta razón, es necesario que el simulador de fiabilidad integre un modelo estocástico tanto de la TZV como de la TDV, su posible correlación y, en todo caso, su contribución conjunta. Gestionar la degradación sobre distribuciones estadísticas en lugar de envejecer un valor de manera determinista es un objetivo y la solución propuesta una de las contribuciones de esta tesis.

Además, el simulador debe ser lo más preciso y eficiente (en términos computacionales) posible. A la hora de determinar de forma precisa la degradación de un circuito, es fundamental destacar la importancia que existe en conocer con exactitud la evolución de las condiciones de estrés (de operación de un circuito). Por un lado, estas condiciones de estrés determinan el comportamiento de la degradación, pero, a su vez, cuando un circuito se degrada y las características eléctricas de sus dispositivos varían, es posible que se produzca un cambio en las tensiones de los terminales de dichos dispositivos, cambiando por tanto las condiciones de estrés (polarización y/o tensiones de operación) y modificando nuevamente la forma en que el circuito se degrada. Esta relación de realimentación mutua que existe entre la propia degradación y las condiciones de estrés se denomina en este trabajo *link* bidireccional entre la evolución de la degradación y las condiciones de estrés. La conclusión a este hecho es que un aspecto clave para las herramientas de simulación de fiabilidad, será el conocer la evolución de las condiciones de estrés de los circuitos de la forma más precisa posible para poder definir la evolución en la degradación de los mismos, pero esto debe hacerse encontrando la mejor relación posible entre precisión y coste computacional. Con este objetivo de mejorar la eficiencia

computacional, otra de las contribuciones destacables del simulador es un algoritmo adaptativo que permite actualizar de forma precisa y eficiente estas condiciones de estrés.

Como se ha comentado previamente, los dispositivos irán degradándose a lo largo del tiempo, por lo que para los diseñadores es necesario conocer no sólo información estadística sobre el impacto de la TZV, sino como las prestaciones son afectadas a lo largo del tiempo por el impacto conjunto de TZV+TDV. En este sentido, otra contribución mostrada en este trabajo en lo que a la herramienta de simulación se refiere, consiste en un método para el cálculo del tiempo de vida o *lifetime* de un circuito en el que se emplea un simulador estocástico.

Comentar que la importancia que se le da a la eficiencia computacional de la herramienta de simulación no se debe sólo al uso individual de dicha herramienta, sino que, en el contexto de la línea de investigación de diseño de CI con consideraciones de fiabilidad, esta herramienta pretende integrarse en metodologías de diseño multinivel y/o que incluyan procesos de optimización. Para ilustrar esto con un ejemplo, en [31] puede encontrarse un proceso de optimización que pretende maximizar o garantizar el *lifetime* de un circuito (metodología *lifetime-aware*) que toma como base el simulador CASE y el método para el cálculo de *lifetime* que serán mostrados en esta tesis.

En paralelo al desarrollo del modelo y de la herramienta de simulación, en esta tesis se ha realizado un trabajo empírico en el que se han realizado una serie de experimentos para estudiar la degradación, aunque, en este caso, se ha realizado a nivel de circuito.

Para llevar a cabo este estudio, en el marco de esta tesis se ha diseñado y fabricado el chip KIPT, que consiste en una serie de matrices o *arrays* de pequeños circuitos o bloques básicos. El objetivo de los experimentos realizados es doble. un estudio tanto en términos fenomenológicos como estadísticos del impacto de la variabilidad directamente sobre los circuitos. Los estudios fenomenológicos tienen como objetivo, como su propio nombre indica, la observación fenomenológica de los principios o axiomas empleados en el desarrollo de la herramienta de fiabilidad. Algunos de los fenómenos esenciales que se pretenden observar es la estocasticidad de las medidas, el impacto del *link* bidireccional o el impacto conjunto de la TZV y TDV, para que se conviertan así en principios confirmados experimentalmente de cara a la observación. Por otro lado, el estudio estadístico pretende evaluar el impacto de la variabilidad a nivel de circuito de forma estadística.

El trabajo desarrollado en esta tesis se centra en el estudio empírico de tres tipos de bloques o circuitos: inversores, espejos de corriente y etapas amplificadoras simples. No obstante, en el chip KIPT también han sido incluidos osciladores en anillo y memorias SRAMs. La investigación sobre estos bloques está siendo llevada a cabo por otros miembros del grupo de investigación pudiendo destacarse algunas contribuciones hasta la fecha como [32]–[34].

A lo largo de esta tesis se discutirán en los respectivos experimentos los diferentes efectos de degradación y sus mecanismos de forma que, para cada uno de los circuitos estudiados, el impacto de la TDV variará en función del tipo de transistores que componen a cada bloque, las dimensiones de los mismos y las diferentes condiciones de estrés aplicadas. A este último respecto, se estudiará en los casos relevantes tanto el impacto de la

polarización del circuito, como la degradación debida a la estimulación del mismo mediante señales AC a distinta frecuencia.

Todo lo anteriormente mencionado se refleja de modo esquematizado en la Figura 1-2, la cual muestra las diferentes tareas desarrolladas en paralelo sobre la línea de investigación que se está llevando a cabo. Como se ha mencionado, la fabricación y testado del chip ENDURANCE, para la caracterización a nivel de dispositivo o transistor, así como la extracción de parámetros para el modelo de variabilidad no son parte del trabajo desarrollado en esta tesis. El contenido que sí se presenta en este trabajo es, por un lado, el estudio empírico llevado a cabo sobre los circuitos del chip KIPT de tipo inversor, espejo de corriente y etapa amplificadora simple y, por otro lado, el modelado de la variabilidad, la implementación del simulador de fiabilidad y el método para cálculo del *lifetime*. Evidentemente, las tareas mostradas en la Figura 1-2 están interrelacionadas. Por un lado, la implementación del simulador utiliza la información de los fenómenos observados en ENDURANCE a nivel de dispositivo para el modelado de la TDV y también, la información del impacto de la degradación a nivel de circuito del análisis realizado sobre los bloques de KIPT, incluyendo aspectos relacionados con la relación entre la evolución temporal de las condiciones de estrés y la degradación. Por otro lado, el simulador puede ser empleado como una herramienta útil a la hora de evaluar diseños de circuitos que sean atractivos para ser estudiados, así como para determinar y seleccionar el tipo de experimentos físicos a realizar sobre los mismos.

Recapitulando, la tesis presentada aporta, por un lado, la caracterización de los circuitos presentados, el análisis y la discusión de resultados del impacto de la variabilidad a nivel

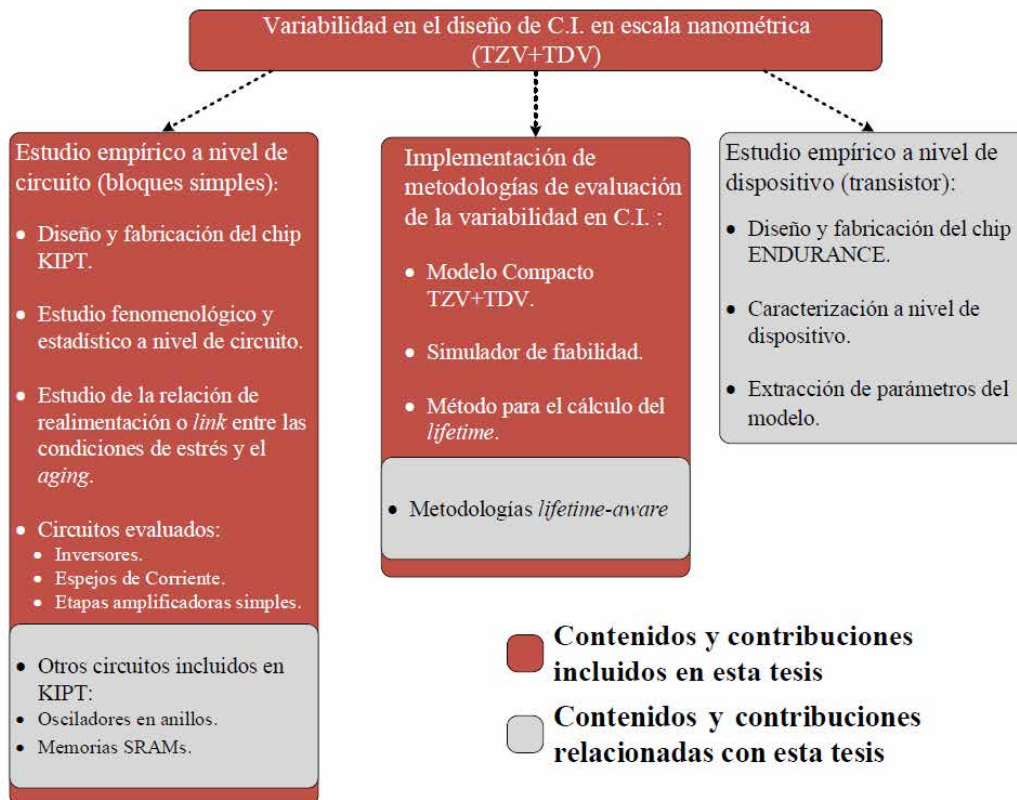


Figura 1-2. Tareas realizadas durante el desarrollo de esta tesis y otras tareas de la misma línea de investigación estrechamente relacionadas.

de circuito y, por otro lado, la implementación de técnicas para la simulación de fiabilidad (incluyendo la variabilidad TZV y TDV) a nivel de circuito. En este sentido, se puede concluir que el objetivo general de esta tesis es realizar una serie de contribuciones al estudio del impacto de la variabilidad sobre los circuitos integrados, centrándose especialmente en los circuitos de escala nanométrica. La finalidad global que se persigue es la posibilidad de integrar el conocimiento derivado de estos estudios, las teorías, los modelos y las herramientas desarrolladas dentro de diferentes perspectivas o enfoques de metodologías de diseño que permitan evaluar el impacto de estas fuentes sobre las prestaciones de los circuitos y realizar diseños robustos con consideraciones de fiabilidad.

1.3. Organización de la tesis.

En este apartado se lleva a cabo una breve descripción del resto de capítulos en los que se organiza esta tesis, así como sus principales objetivos y contribuciones particulares.

El capítulo 2 se centra en discutir el modelado de la variabilidad a bajo nivel para finalmente presentar el modelo estocástico compacto de variabilidad utilizado en esta tesis que incluye la TZV y TDV.

El capítulo 3 aborda la implementación del simulador de fiabilidad y el método para el cálculo del *lifetime* presentado en esta tesis.

Por su parte, en el capítulo 4 se introducen los principales conceptos y aspectos de la realización de experimentos empíricos de fiabilidad. A continuación, se realiza la descripción física del chip KIPT y de su arquitectura general para, posteriormente, centrarse en los bloques básicos que se han utilizado para los experimentos en esta tesis. Finalmente se lleva a cabo una descripción del montaje del laboratorio y del entorno de experimentación donde se realizan las medidas.

Los capítulos 5, 6 y 7, se centran en el estudio empírico de cada uno de los bloques básicos de KIPT tratados en esta tesis. Siguiendo la numeración de los capítulos, son respectivamente los inversores, los espejos de corriente y las etapas amplificadoras simples. En los respectivos capítulos de cada uno de estos bloques, cada uno evidentemente con sus particularidades, se describen los tipos de medidas realizadas y se presentan las medidas y los resultados del procesado de las mismas.

Por último, en el capítulo final de esta tesis se recopilan las principales conclusiones sobre el trabajo realizado.

Capítulo 2: Modelado de las Fuentes de variabilidad en dispositivos CMOS de escala nanométrica.

2.1. Introducción.

En este capítulo se realizará una descripción más completa de las fuentes de variabilidad que afectan a los CI de escala nanométrica para posteriormente abordar su modelado. Concretamente en esta tesis se tienen en cuenta la variabilidad a tiempo cero o TZV y la variabilidad dependiente del tiempo o TDV.

En primer lugar, en el apartado 2.2 se profundiza sobre la naturaleza de las perturbaciones que afectan a la TZV. En segundo lugar, el apartado 2.3 se centra en analizar los principales efectos y mecanismos de degradación que conforman la TDV. A continuación, en el apartado 2.4 se realiza una revisión de las diferentes propuestas presentes en la literatura para modelar los diferentes efectos y mecanismos de degradación por envejecimiento. Finalmente, en el apartado 2.5 se presenta el modelo de variabilidad empleado en esta tesis. Este modelo será el utilizado por las herramientas de simulación de fiabilidad que se presentan en el próximo capítulo.

2.2. Variabilidad a tiempo cero, TZV.

La variabilidad a tiempo cero o TZV, también conocida como variaciones paramétricas de proceso consisten en las desviaciones indeseadas de los parámetros de los dispositivos fabricados con respecto a los dispositivos ideales. Estas desviaciones son debidas a las pequeñas perturbaciones que están presentes de forma inherente en los procesos de fabricación de los circuitos integrados, por tanto, están presentes antes de que el circuito comience su operación. Se trata de un problema creciente conforme aumenta el escalado de los dispositivos ya que la complejidad de los procesos litográficos aumenta, como por ejemplo el *double patterning* o el *stepper motion* [35], [36].

Respecto a la naturaleza y clasificación de la TZV existen diferentes perspectivas. Las variaciones producidas pueden dividirse en sistemáticas y aleatorias. Teóricamente, las primeras pueden ser predichas, como, por ejemplo, los gradientes en el espesor de óxido, mientras que las segundas como su propio nombre indica, son aleatorias. Desde el punto de vista de la observación o la emulación de la TZV a distintas escalas, las variaciones pueden clasificarse como variaciones de oblea a oblea o *wafer-to-wafer*, entre dados o *inter-die* y dentro del dado o *intra-die*. La Figura 2-1 muestra una representación gráfica de esta clasificación de escalas.

Las variaciones *inter-die*, son también definidas como variaciones globales o *global variations*. Consisten en variaciones entre dos dispositivos fabricados con un diseño idéntico pero que se encuentran a cierta distancia entre ellos en el proceso de fabricación. Desde el punto de vista del diseño, las variaciones *inter-die* pueden representarse como una desviación del valor promedio de los parámetros de los dispositivos con respecto a su valor nominal [5]. Las variaciones internas al dado o *intra-die*, se conocen también como variaciones dentro del dado (*within-die* o WID) o variaciones locales (*local*) y son,

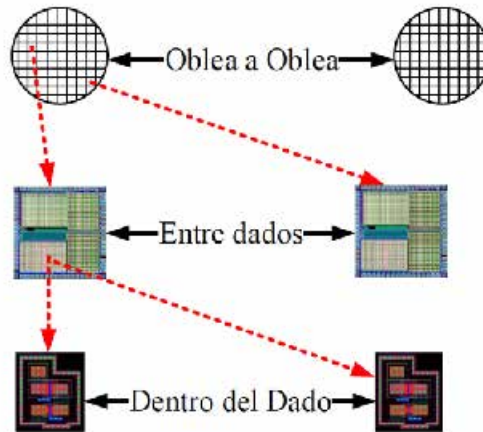


Figura 2-1. Clasificación de la TZV según la escala.

concretamente, las más interesantes desde el punto de vista de esta tesis y que más impacto provocarán de cara al estudio conjunto de la degradación de las prestaciones de los circuitos con la TDV. Esto es así porque se tratan de variaciones que se producen entre dispositivos que se encuentran dentro de un mismo circuito. A la variación entre los parámetros de dichos dispositivos, pertenecientes a un mismo circuito y diseñados de forma idéntica, se le conoce en la literatura como desapareamiento, o más aún, por su término anglosajón *mismatch* [37]. Pese a que las variaciones *inter-die* son generalmente, en términos absolutos, mayores que las variaciones *intra-die*, las prestaciones de los diseños analógicos se ven generalmente más afectadas por la variación *intra-die*. Esto es debido a que, principalmente en el diseño analógico, el *mismatch* puede afectar de forma crítica al funcionamiento de ciertas estructuras como, por ejemplo, los espejos de corriente o cualquier circuito con una etapa diferencial.

Los fenómenos más ampliamente descritos causantes de las variaciones aleatorias *intra-die* son la fluctuación aleatoria de los dopantes depositados o *random dopant fluctuation* (RDF), la rugosidad en los bordes y en el ancho de una de las formas impresas de un diseño, denominadas en terminología anglosajona como *line edge roughness* (LER) y *line width roughness* (LWR), aunque también pueden destacarse otros efectos como la granularidad del polisilicio en el terminal de puerta del dispositivo o *poly-silicon granularity* (PSG) o las variaciones en el grosor del óxido u *oxide thickness variation* (OTV) resultante de la rugosidad en la interfaz del mismo. Además, conforme aumenta el escalado, estos efectos adquieren cada vez una mayor importancia [38].

Las fluctuaciones aleatorias del dopado (RDF), se deben a la incertidumbre del número y localización de los átomos dopantes de un dispositivo, causando variación en su tensión umbral. Es el efecto que produce un mayor *mismatch* en los transistores [39]. Se hace más determinante en términos relativos conforme aumenta el escalado de la tecnología, ya que se depositan un menor número de átomos de dopado y, por tanto, la distribución aumenta su dispersión, siendo la contribución de cada uno de estos átomos de dopado más determinantes [40], [41] [42]. En casos donde el escalado es lo suficientemente fuerte para que la naturaleza discreta de los átomos de dopado no pueda ser ignorada, a este

efecto de le denomina dopado aleatorio discreto o *random discrete dopant* (RDD) [43]–[45].

LER y LWR se producen debido a las rugosidades en los bordes de las líneas impresas de un circuito integrado [46], [47] debido a que las longitudes de onda que se emplean en el proceso litográfico en circuitos fuertemente escalados es superior al área del dispositivo que se pretende fabricar. Tal como se muestra en la Figura 2-2, LER y LWR obedecen al mismo fenómeno observados desde diferente perspectiva. LER se refiere a la rugosidad presente en una línea, mientras que LWR mide la variación en el ancho de la línea, considerando la diferencia que se da entre ambos bordes debido al LER. En términos de la variación que producen sobre los parámetros de los dispositivos, el efecto de estas rugosidades produce cambios en la tensión umbral de los dispositivos.

Por su parte, las variaciones en el grosor del óxido producen fluctuaciones de tensión en la capa del óxido que también cambian, como consecuencia, la tensión umbral de forma similar a como lo hace el efecto RDF [48]–[50].

Por último, La granularidad del polisilicio en la puerta del dispositivo provoca un dopado no uniforme que puede conllevar a que los dopantes de las zonas de alto dopado acaben penetrando en el canal a través del óxido de puerta, lo que produciría variaciones en la tensión umbral del transistor [39], [51]. En tecnologías modernas de high-k con puertas de metal, en lugar de la granularidad del polisilicio se estudia la granularidad en el metal de puerta o *metal gate granularity* (MGG) [52].

Desde el punto de vista del diseño, los efectos *intra-die* se tratan como efectos estadísticamente independientes de un dispositivo a otro. Respecto a los parámetros concretos que se ven afectados a nivel de dispositivo, el *mismatch* afecta a parámetros como la longitud de la puerta de los dispositivos (L), a la tensión umbral (V_{th}) y a la movilidad de electrones o al factor de corriente β [8]. La variabilidad de la longitud de canal se asocia al impacto del fenómeno LER. Por su parte, en la escala nanométrica, como se ha comentado, la variación de la tensión umbral se asocia mayormente al RDF, aunque el impacto empeora debido a la combinación del RDF con otros efectos como el LER. En primera instancia, suele emplearse el modelo de Pelgrom [53] para modelar estadísticamente la varianza del *mismatch*. Si bien, existen estudios posteriores que tratan de ofrecer relaciones más exactas como por ejemplo [54].

En lo que a esta tesis se refiere, la TZV será tratada desde el punto de vista del diseño de circuitos y de los modelos empleados en simulación. Consistirá en una variación de los

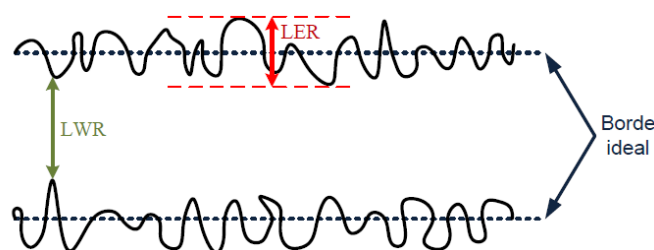


Figura 2-2. Rugosidad en el borde del óxido (LER) y rugosidad en el ancho del óxido (LWR).

parámetros eléctricos de los dispositivos de un circuito, que tendrán un desplazamiento promedio respecto a los valores nominales de diseño y una dispersión entre los parámetros de cada uno de ellos. Esta variación de los parámetros eléctricos de los dispositivos (transistores) resulta igualmente en una dispersión en las prestaciones de cada uno de los circuitos fabricados [55]. Por este motivo, se suele emplear un *yield* paramétrico del circuito para mostrar el impacto de esta variabilidad [4], [6]. Normalmente, el concepto clásico de *yield* se define como el porcentaje de circuitos fabricados (a partir del diseño nominal) que son capaces de operar correctamente según unas especificaciones establecidas. Estas especificaciones suelen referirse a restricciones respecto a un valor umbral de las prestaciones del circuito fabricado. Dependiendo de la prestación evaluada, este umbral será un valor mínimo o un valor máximo exigido a dicha prestación. Por ejemplo, si se escoge como prestación para una restricción el valor del consumo de un circuito, se establecerá un valor máximo admisible. En caso de evaluar la relación señal/ruido, más conocidas en inglés por SNR, la restricción establecida se referirá a un valor mínimo admisible.

Para ejemplificar gráficamente este concepto se incluye la Figura 2-3. Esta figura representa, sin pérdida de generalidad, el valor de dos prestaciones genéricas P1 y P2 que tendrían las muestras de un circuito tras su fabricación. El diseño nominal a partir del cual fueron fabricados se representa en la figura como un rombo negro. Debido a las variaciones de los parámetros eléctricos de los transistores del circuito en cada muestra fabricada, los valores resultantes de las prestaciones serán, por lo general, igualmente diferentes para cada una de estas muestras. Suponiendo en este caso que ambas prestaciones mejoran cuanto mayor es su valor, se establecen dos umbrales mínimos para cada una de ellas, los cuales se indican en la figura con rectas discontinuas. Todas las

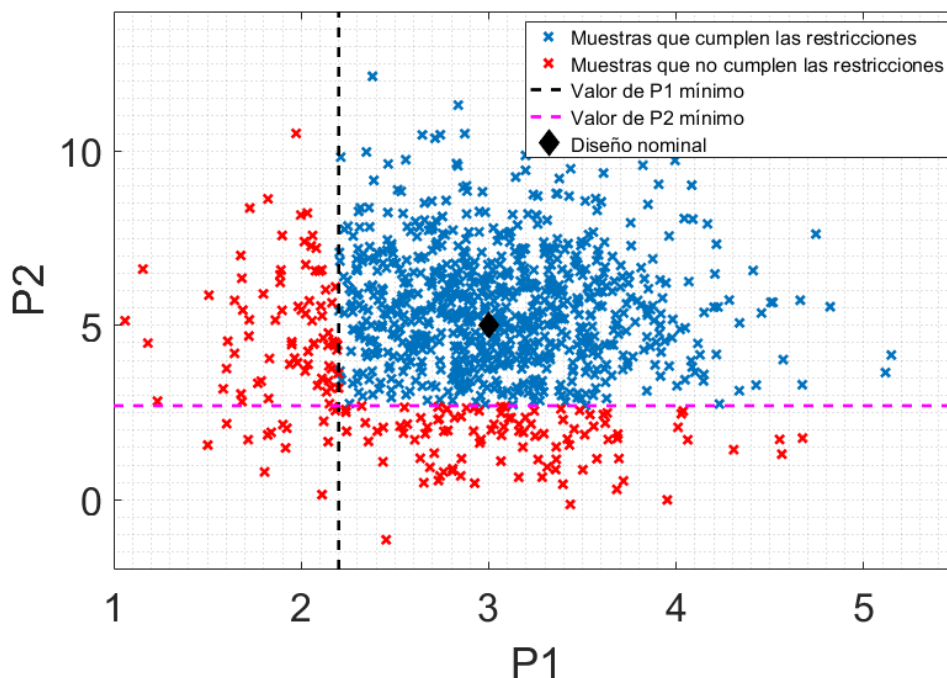


Figura 2-3. Representación gráfica de las muestras de un circuito fabricado y afectado por la TZV.

muestras que estén por encima del valor mínimo exigido para cada una de las prestaciones serán consideradas muestras que funcionan correctamente. Estas muestras se representan en la figura con un color azulado. El resto de muestras, representadas en color rojo se considerarán muestras defectuosas de fábrica. En el ejemplo ilustrado, se representan un total de 1000 muestras de las cuales 195 han resultado defectuosas. En este sentido, el valor del *yield*, esto es, del porcentaje de muestras que funcionan correctamente sobre el total fabricado, será de 0.805 sobre la unidad o, si se expresa en términos de porcentaje, del 80.5%. Aunque el ejemplo mostrado se trate de un ejemplo bidimensional, lo comentado es extrapolable para cualquier número de prestaciones evaluadas.

Actualmente, es posible evaluar el impacto de la TZV utilizando modelos proporcionados por los fabricantes de CI. Un método común es emplear estos ficheros en análisis basados en simulaciones de Monte-Carlo para hacer un estudio estadístico y comprobar el comportamiento de los circuitos.

2.3. Variabilidad dependiente del tiempo, TDV.

2.3.1. Introducción.

En términos generales, se considera variabilidad dependiente del tiempo a la variabilidad que se produce cuando el circuito empieza a operar y comienza su tiempo de vida o *lifetime*. Por tanto, dicha variabilidad estará determinada por aspectos tales como el entorno y las condiciones de operación del circuito. Dentro de la variabilidad dependiente del tiempo, en la literatura pueden distinguirse distintos efectos. Una posible clasificación de los mismos sería distinguir entre efectos transitorios (*transient effects*) y efectos que causen degradación. Los efectos transitorios, como su propio nombre indica, causan una degradación o distorsión transitoria en las prestaciones de un circuito. Dentro de estos defectos existe a su vez una amplia gama de posibles clasificaciones. En algunos de ellos, cuando la fuente de dicho efecto pasa, el circuito vuelve a su operación normal [56]–[58]. En otros, como en determinados tipos de ruido, dependiendo de la fuente u origen fenomenológico y de las condiciones de estrés (condiciones de operación) del circuito, la variabilidad se mantendrá durante la operación de los mismos en todo su tiempo de vida. Un ejemplo importante de este tipo de efectos en relación a esta tesis es el fenómeno transitorio denominado ruido aleatorio telegráfico, más conocido por su nomenclatura en inglés como *random telegraph noise* o RTN.

Por su parte, el trabajo presentado en esta tesis se centrará en la degradación por envejecimiento o *aging*, que va causando una degradación en los dispositivos de un circuito a lo largo del tiempo durante su tiempo de vida. Aunque algunos efectos del *aging* incluyan mecanismos que pueden presentar cierta recuperación, siempre existirá una parte de daño permanente sobre los dispositivos. Esta degradación dependerá en general de como el circuito esté operando durante su tiempo de vida. En el contexto de los estudios de degradación y análisis de fiabilidad, a las condiciones de operación de un circuito se les denomina comúnmente como condiciones de estrés y consisten en las tensiones o formas de onda a la que se encuentran los terminales de los dispositivos y en la temperatura.

La razón de por qué gran parte del contenido de la tesis se centra en ella es porque esta sigue siendo un tema puntero hoy día, especialmente para los nuevos nodos tecnológicos de escala nanométrica y las nuevas tecnologías que emplean otros materiales, como, por ejemplo, el uso de dieléctricos de alta constante dieléctrica conocidos como *high-k*. Diferentes estudios [59]–[63], revelan que las herramientas comerciales disponibles para la evaluación del impacto de esta fuente de variabilidad sufren actualmente de falta de precisión. Además, como se verá con posterioridad en este trabajo, todo parece indicar que la variabilidad inducida por la degradación a lo largo del tiempo se relaciona con la variabilidad de proceso y esa es la razón de que ambas deban tenerse en cuenta de forma conjunta [64].

Los principales efectos de degradación que afectan a los circuitos serán descritos a continuación en el sub-apartado 2.3.2. En el marco de esta tesis, se considerará a la degradación por envejecimiento como contribución única a la variabilidad temporal o TDV. Por esta razón, se hará referencia y se mencionarán indistintamente y con el mismo significado a la degradación por envejecimiento, *aging* o TDV.

En el sub-apartado 2.3.3 se describirá brevemente el fenómeno RTN. Pese a tratarse de un efecto transitorio y a que su estudio se encuentre fuera de los objetivos de esta tesis, la naturaleza física detrás de este fenómeno guarda relación con los fenómenos de degradación estudiados en esta tesis. Además, debido a esta razón, el efecto de RTN será visible en algunas de las medidas experimentales presentadas en los capítulos centrados en el estudio empírico de los circuitos. Por estas razones, se ha considerado pertinente su inclusión y breve descripción.

2.3.2. Efectos de la degradación por envejecimiento o *aging*.

Históricamente, el impacto de la degradación por envejecimiento en los circuitos lleva observándose y estudiándose desde los años 70-80, pero su impacto ha ido ganando importancia conforme ha ido aumentando el escalado en los circuitos integrados [59], [61], [65]. Este hecho ha provocado que en cada nuevo nodo tecnológico los mecanismos de degradación hayan aumentado como resultado de la combinación de los efectos térmicos y de los elevados campos eléctricos. En la literatura suelen destacar cuatro efectos como los principales mecanismos de degradación para dispositivos que se encuentran en la escala nanométrica, especialmente para tecnologías de nodos tecnológicos de 65nm o inferiores [66]. Estos son la inestabilidad en la temperatura de polarización o *bias temperature instability* (BTI), la inyección de portadores calientes o *hot carrier injection* (HCI), la ruptura dieléctrica dependiente del tiempo o *time-dependent dielectric breakdown* (TDDB) y la electromigración o *electromigration* (EM).

Son los tres primeros efectos mencionados los que han adquirido mayor interés de estudio en circuitos de escala nanométrica, ya que su contribución a la variabilidad se ha ido agravando con el escalado. Estos mecanismos tienen en común la degradación del aislante del dispositivo, la cual cambia las características eléctricas de los mismos. De los tres, el BTI y el HCI se consideran mecanismos de degradación no destructivos debido a que el deterioro que presentan los dispositivos, y, por ende, la degradación en las prestaciones de los circuitos, suele ser progresiva y no necesariamente implica que el dispositivo se

destruya o tenga que salir de su zona de operación o comportamiento habitual. Por ejemplo, es posible que un circuito inversor siga funcionando como tal, pero que, debido a la degradación sufrida por estos efectos, se violen algunas de las restricciones de diseño como, por ejemplo, la velocidad en la respuesta o que se traspase alguno de los márgenes de ruido. Estos mecanismos no destructivos producirán una variación de los parámetros eléctricos de los dispositivos degradados que irá cambiando a lo largo del tiempo. La mayor contribución al daño de cada uno de ellos dependerá tanto de las dimensiones de los dispositivos como de las condiciones de operación del mismo. A grosso modo, cabría destacar que la naturaleza física común y principal que está detrás de estos mecanismos obedece a tres fenómenos concretos, la generación de estados de interfaz entre el óxido de silicio y el canal del dispositivo, la captura y emisión de carga en dicha interfaz por la presencia de defectos o “trampas” en la red cristalina, y las trampas profundas que se encuentran en el óxido.

El efecto de la ruptura dieléctrica dependiente del tiempo, *time-dependent dielectric breakdown* o TDDB, es otro de los efectos de envejecimiento de los transistores debido a la degradación del óxido de puerta de los mismos. Se produce cuando el dispositivo se somete a un campo eléctrico vertical elevado durante un periodo de tiempo determinado que causa la pérdida de las propiedades del dieléctrico del transistor y permite la circulación de una corriente elevada por el terminal de puerta. Se considera un mecanismo de degradación destructivo, ya que, una vez ocurre, el dispositivo dejaría de operar de la forma esperada, permitiendo la circulación de corrientes relativamente elevadas por el terminal de puerta. Esto significa que, aunque no necesariamente, la ruptura dieléctrica suele conllevar el fallo a nivel de circuito.

Es importante comentar que, con el aumento progresivo del escalado de los dispositivos y la consecuente reducción del grosor de óxido en los mismos, la ruptura dieléctrica puede venir precedida de un mecanismo de degradación no destructivo, denominado ruptura dieléctrica suave o *soft dielectric breakdown* (SDB) [21], que no produce la “ruptura” de los dispositivos, sino solo una degradación en las propiedades del dieléctrico y un aumento de la corriente de puerta, pero de menor grado que la ruptura dura o *hard dielectric breakdown* (HDB). Entre la ruptura suave del dieléctrico, y la ruptura dieléctrica dura, se produce un aumento progresivo de la degradación en el dieléctrico y un aumento progresivo de la corriente por el terminal de puerta. A esta degradación progresiva se le conoce como degradación progresiva del dieléctrico o PDB. Típicamente, para el modelado de la ruptura dieléctrica, se ha empleado el modelo percolativo [17], [21], [65]

El último efecto a considerar es la electromigración (EM). Se trata un efecto de envejecimiento que tiene lugar en las interconexiones de los circuitos integrados, tales como pistas, vías o contactos, como resultado de la difusión de átomos de metal a lo largo de un conductor en la dirección de flujo de electrones [21][67], [68]. El resultado es que los átomos de metal se mueven desde un extremo de la línea del metal y se acumulan en el extremo opuesto, lo que puede resultar en un circuito abierto debido a los vacíos, o bien, en un cortocircuito línea a línea debido a las aglomeraciones. Es un efecto a tener en cuenta en circuitos integrados debido a que suele producirse cuando se emplean

corrientes de alta densidad [38], [69] y normalmente se aborda a nivel de *layout*. Una forma común de caracterizar la degradación de una conexión es mediante su tiempo medio de fallo o *mean time to failure* (MTTF), que para este caso de la electromigración es modelado con un modelo bimodal mediante la ley de Black [67], [70].

El BTI y el HCI son los efectos de mayor interés para esta tesis por ser mecanismos de degradación no destructivos. El impacto de la variabilidad producido por estos mecanismos producirá generalmente un deterioro gradual en las prestaciones de los circuitos que irá aumentando a lo largo del tiempo y que normalmente alcanzará cotas no aceptables antes de que se produzca la ruptura dieléctrica, especialmente en circuitos analógicos. El hecho de centrar el objetivo de esta tesis en realizar estudios estadísticos del impacto de la variabilidad en el valor de las prestaciones, en lugar de considerar o de alcanzar la destrucción total de los dispositivos, es la principal razón de no incluir en el desarrollo de esta tesis el TDDDB. En definitiva, al ser los efectos de BTI y HCI los efectos de degradación en los que se enfoca esta tesis, serán descritos con mayor profundidad en los sub-apartados 2.3.2.1 y 2.3.2.2 respectivamente.

2.3.2.1. BTI (Bias Temperature Instability).

La inestabilidad de la temperatura de polarización, *bias temperature instability* o BTI, se considera actualmente uno de los principales efectos de degradación por envejecimiento o *aging* de los dispositivos. Este efecto, que ha ganado una creciente importancia al alcanzar los dispositivos la escala nanométrica, produce la degradación de los parámetros eléctricos de los dispositivos cuando estos han estado operando bajo unas determinadas condiciones de tensión y temperatura (condiciones de estrés). Este efecto, produce principalmente un incremento de la tensión umbral (en valor absoluto) en los dispositivos y también, una degradación de la movilidad.

Existen dos tipos de mecanismos de BTI, uno para cada tipo de transistor o dispositivo. El BTI negativo, *negative BTI* o NBTI, ocurre en los dispositivos PMOS cuando a éstos se les aplica una tensión negativa (con respecto al terminal de fuente) sobre el terminal de puerta del dispositivo. Contrariamente, el BTI positivo, *positive BTI* o PBTI, ocurre en los dispositivos NMOS cuando a éstos se les aplica una tensión positiva (con respecto al terminal de fuente) en el terminal de puerta del dispositivo. Originalmente, en dispositivos PMOS basados en tecnologías SiO₂ y SiON, la contribución de NBTI se ha considerado uno de los principales mecanismos de degradación de los transistores PMOS. Sin embargo, esta contribución es muy inferior en dispositivos NMOS por lo que tradicionalmente el PBTI se ha considerado despreciable en los mismos. Sin embargo, esto no ha sido así con la aparición de los dispositivos *high-k (high-k/metal gate)* donde se ha observado que el PBTI ha resultado tener una contribución importante en la degradación, del mismo orden que NBTI o incluso superior, sobre todo en dispositivos de nodos tecnológicos por debajo de los 45nm [71], [72].

Profundizando sobre la fenomenología del BTI, hay consenso en que depende fuertemente del elevado campo eléctrico en el óxido de puerta, en combinación con una elevada temperatura [73], que dan lugar a una reacción electroquímica en la región de la interfaz o región interfacial que se forma debido a las diferentes estructuras de la red de

silicio monocristalino y las deformidades del óxido de puerta, causando la ruptura directa de enlaces Si-H en el óxido y la generación de estados de interfaz o estados interfaciales [74]–[77], tal como muestra la Figura 2-4. Por tanto, un estado en la interfaz se crea por la liberación de hidrógeno saturando una valencia abierta de Si en el sustrato de la interfaz del óxido. El enlace que queda, es un defecto activo eléctricamente con una energía de distribución que se encuentra dentro de la banda prohibida del silicio. Estos estados generados funcionarán como defectos o trampas, que unidos a las trampas o defectos preexistentes [78], [79], dan lugar a un segundo efecto que consiste en la captura de carga en la interfaz del óxido de puerta [20], [80], [81]. La captura de portadores durante un cierto tiempo es lo que provoca una variación en la tensión umbral.

Para el caso de NBTI en tecnologías SiO₂ y SiON, este atrapamiento ocurre en mayor medida en la interfaz del silicio con el dieléctrico [82]–[84], aunque conforme aumenta el escalado es importante también tener en cuenta las trampas o defectos preexistentes en el óxido [85]. En el caso del PBTI en tecnologías SiO₂ y SiON, donde la contribución a la degradación es mucho menor que para el caso del NBTI, el atrapamiento de carga se considera principalmente consecuencia de la captura de electrones en trampas preexistentes del óxido aunque también existe en combinación el proceso de generación de nuevas trampas [86], [87]. Sin embargo, es importante destacar que, en los circuitos *high-k*, donde los efectos del PBTI se encuentran en el orden de los de NBTI [72], [88] existe el consenso en que el atrapamiento de carga debido al NMOS PBTI se produce mayormente en el dieléctrico [89] o en las capas relativas al mismo [72], [90].

Cabe destacar en este punto que cuando un dispositivo en lugar de encontrarse operando a unas condiciones de estrés constantes, lo hace, por ejemplo, a una tensión que cambia a lo largo del tiempo (como una señal AC) o bien, cuando tras un periodo tiempo operando con unas caídas de tensión constantes relativamente elevadas, éstas disminuyen o se eliminan, el fenómeno del BTI muestra un mecanismo muy particular, denominado comúnmente como efecto de relajación o recuperación de la degradación, el cual comienza en el instante en que se reduce o elimina la tensión de estrés [20]. Esto es debido a que es posible que los portadores que fueron capturados sean de nuevo emitidos al canal resultando en una relajación parcial. Este fenómeno complica enormemente la evaluación, el modelado y la extrapolación del impacto del BTI en los circuitos. Es por

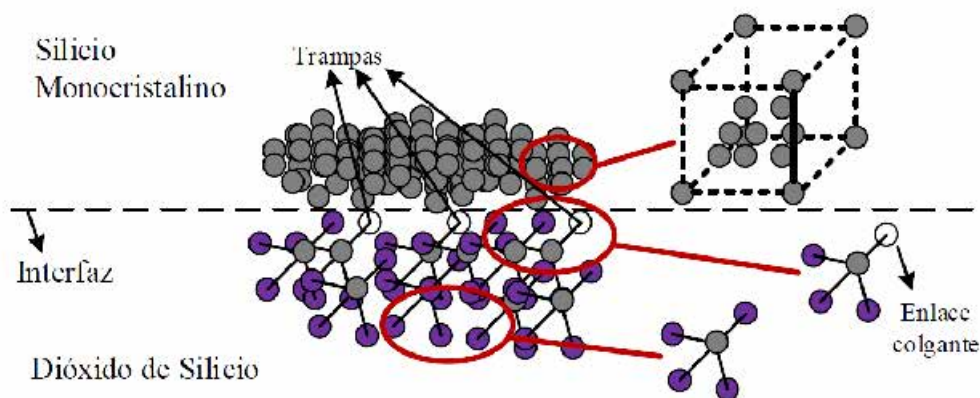


Figura 2-4. Gráfica conceptual de la interfaz de un transistor MOSFET.

esta razón que la recuperación del BTI ha sido discutida de forma controvertida durante un largo tiempo, pero también ha llevado a un profundo entendimiento de los mecanismos de degradación [74], [84], [91]. A modo ilustrativo, en la Figura 2-5 se muestra como variaría la degradación de la tensión umbral de un dispositivo con el cambio de las condiciones de estrés aplicadas al mismo. Puede observarse que, cuando las condiciones de estrés aumentan, la degradación también aumenta y que, cuando estas condiciones se relajan, hay un rápido efecto de recuperación. Tal como se ilustra en la figura, incluso si el periodo de recuperación fuese infinitamente largo, la recuperación no llegaría a ser total y, a largo plazo, siempre una parte de la degradación sería permanente.

Un comentario adicional sobre el mecanismo de recuperación del BTI sería decir que aún en la actualidad no existe un consenso sobre si la recuperación del fenómeno llega a ser total si se deja el dispositivo en reposo un tiempo extremadamente largo, o existe una degradación que permanece constante [92], pero lo cierto es que la mayoría de los autores se alinean con la existencia de una degradación permanente.

En términos históricos, el BTI fue descrito por primera vez por Miura y Matukara en 1966 [11] y también poco después por Goetzberger, Murray y Nigh [93], pero no fue considerado como uno de los mecanismos principales de degradación hasta la llegada de los nodos tecnológicos menores a 100nm donde apenas se reducía la tensión aplicada, pero se escalaba mucho el grosor del óxido. En esta situación el campo en el óxido de puerta aumentaba muchísimo, convirtiéndose el BTI en un mecanismo de degradación dominante. Desde la aparición del BTI, son distintos los modelos que han tratado de explicar este fenómeno. Al principio, se consideraba que el mecanismo dominante del NBTI era que en la interfaz del dieléctrico con el sustrato se rompían enlaces Si-H generándose cargas móviles que, por difusión, penetraban en el interior del óxido. Por este motivo, los modelos con mayor aceptación eran los modelos de reacción-difusión, *reaction-diffusion* o RD [15], [74], [80], [82], [94]. Estos modelos trataban de establecer una relación de la degradación a lo largo del tiempo con el campo eléctrico aplicado y con la temperatura, basado en la creación de estados de interfaz. Una mejora a este modelo

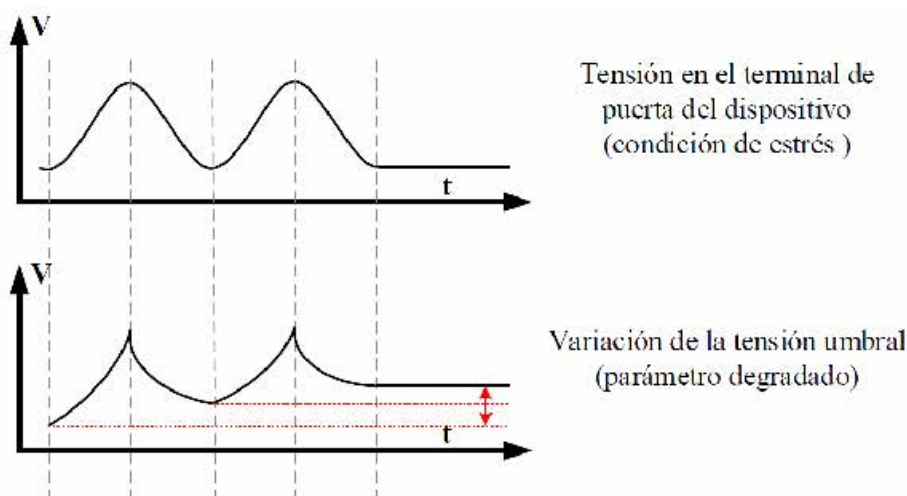


Figura 2-5. Ilustración cualitativa del comportamiento de la degradación por BTI frente a una señal con condiciones de estrés que cambian en el tiempo.

fue propuesta en [83], donde se incluían respuestas para tiempos largos. Sin embargo, el gran inconveniente del modelo RD es que no es capaz de modelar de forma correcta la rápida recuperación del BTI una vez que se suprime o reduce el estrés [95], [96]. Por consiguiente, se trató de modificar la constante de tiempo de la retrodifusión del hidrógeno, con intención de modelar los efectos de recuperación. No obstante, el comportamiento del modelo no terminaba de ajustarse a las observaciones experimentales que demostraban que los efectos de recuperación eran independientes del grado de pasivación del hidrógeno en la interfaz, lo que era incompatible con la idea de que la recuperación fuera dependiente de la retrodifusión del hidrógeno [97], [98]. Por esta razón, el siguiente paso fue la aparición de un modelo de reacción-dispersión-difusión (*reaction-dispersive-diffusion*) o RDD [99], [100], que resolvía el problema mediante un movimiento controlado del hidrógeno a través de las trampas del óxido. Esto ciertamente mejoraba el modelado de los efectos de recuperación, pero no terminaba de ser capaz de ajustar al mismo tiempo los mecanismos de recuperación a largo plazo. Además, tenía otra serie de inconvenientes. En primer lugar, no era un modelo práctico a nivel de diseño, porque no se presentaba en función de los parámetros de los dispositivos como las dimensiones, ni de las condiciones de operación aplicadas al mismo. En segundo lugar, el modelo no termina de ser preciso, porque está suponiendo como efecto dominante de la degradación la generación de estados en la interfaz del óxido por mecanismos de reacción-difusión de hidrógeno; sin embargo, conforme aumentaba el escalado, la importancia de los efectos preexistentes en el óxido iba en aumento, lo que iba en contra del supuesto del modelo.

Esta es la razón de la aparición de los modelos de trampas basados en la captura y emisión de carga. Estos modelos pretenden mejorar a los anteriores, añadiendo dinámicas de captura y emisión de carga por trampas preexistentes en el óxido o generadas por los propios mecanismos del BTI. El principal objetivo de esta mejora es, en aras de la completitud del modelo, ampliar la ventana de los efectos de recuperación, ya que estudios como [101], mostraban que ésta se extendía desde tiempos inferiores al microsegundo hasta tiempos superiores a 10^5 segundos. Esta amplia fenomenología en términos de tiempo, unida a que parecía observarse que la recuperación del BTI no era total después de la supresión del estrés, manteniéndose una degradación residual, llevó a algunos autores a proponer modelos donde coexistían dos mecanismos de degradación. Uno de estos incluiría un fenómeno de degradación permanente mientras que el otro trataría de modelar la parte recuperable del BTI. Esto dio lugar a trabajos como los mostrados en [81], [102], [103], que han sido propuestos para describir las componentes recuperables y permanente de un modelo unificado que obedecería a la forma general de:

$$\Delta V_{th} = R(V, T, t_{ST}, t_{RE}) + P(V, T, t_{ST}) \quad \text{Ec. 2-1}$$

donde R es una componente recuperable, que además de la tensión V y de la temperatura T , depende de los tiempos de estrés (t_{ST}) y relajación (t_{RE}), y P es la componente permanente, que además de la tensión y temperatura sólo depende del tiempo de estrés y se mantiene inalterada cuando termina el estrés. El correcto modelado de ambas

componentes resulta fundamental para conocer el impacto del BTI sobre los parámetros del dispositivo.

En [61], [81], [104] se propone que la dependencia de cada una de las componentes es:

$$\Delta V_{th} \propto \left[\underbrace{e^{(\alpha_1 V_{GS}) t^{n_p}}}_{\text{Componente daño permanente}} + \underbrace{V_{GS}^{\alpha_2} (C_R + n_R \log_{10}(t))}_{\text{Componente daño recuperable}} \right] \cdot e^{\left(-\frac{E_a}{kT}\right)} \quad \text{Ec. 2-2}$$

donde ΔV_{th} es la variación de la tensión umbral, α_1 y α_2 son parámetros dependientes de la tecnología, C_R y n_R son los exponentes temporales para la parte recuperable de la degradación, n_p es el exponente temporal de la parte permanente de la degradación, E_a es la energía de activación, y k es la constante de Boltzmann. Debe tenerse en cuenta que la parte recuperable de la expresión es dependiente del ciclo de trabajo o *duty cycle* de la señal de estrés aplicada, el cual se modela con C_R y n_R .

Un último aspecto a destacar es que, tradicionalmente, los modelos que se han mencionado hasta el momento, fueron aplicados en la escala en que los efectos del BTI pueden considerarse como deterministas [104], [105]. Sin embargo, cuando las dimensiones de los dispositivos se reducen hasta normalmente nodos tecnológicos < 65nm, este mecanismo pasa a mostrar un comportamiento estocástico. Esto es debido a que, en estas dimensiones, si los dispositivos son pequeños (en área) y se reduce el número de defectos totales en un dispositivo, aumenta la influencia individual en el impacto total de cada carga atrapada o emitida [3], [106], de forma que las medidas en dispositivos de muy pequeñas dimensiones revelan una componente de degradación y recuperación a saltos discretos. Estos saltos son diferentes para cada dispositivo, ya que dependen de las diferentes contribuciones de cada una de las cargas, la cuales dependen a su vez de las diferentes localizaciones aleatorias de los dopantes del canal y las trampas en el aislante. En dispositivos relativamente grandes, el efecto discreto de la recuperación quedaría enmascarado debido al gran número de defectos y al pequeño impacto de la contribución de cada uno de ellos a la degradación o recuperación total del dispositivo, que llevaría a la conocida dependencia logarítmica del mecanismo de recuperación del NBTI que es incompatible con el modelo RD [107].

El hecho de que la naturaleza del BTI en la escala nanométrica sea estocástico tiene un tremendo impacto sobre las prestaciones de un circuito, debido a que dos dispositivos idealmente idénticos (incluso suponiendo una variabilidad a tiempo cero nula), envejecerán o tendrán una TDV diferente incluso si operan bajo las mismas condiciones (algo que no ocurriría en un modelo determinista donde la degradación de ambos sería la misma). Esto tiene como consecuencia que, para un circuito que parta de una situación donde los parámetros de sus dispositivos no tengan *mismatch*, éstos acabarán desapareándose debido a la variabilidad en el impacto de la TDV sobre cada dispositivo. [108]. En este sentido, en los últimos años, el objetivo de una serie de trabajos publicados consiste en la descripción del comportamiento estocástico del BTI en la escala nanométrica [1], [59], [62].

2.3.2.2. HCI (Hot Carrier Injection).

La degradación por inyección de portadores calientes, *hot carrier injection* o HCI, es otro efecto de variabilidad temporal que cobra importancia debido al escalado de los transistores y el consecuente aumento del campo eléctrico en el canal. En esta circunstancia, algunas partículas, electrones o huecos, bajo la influencia de este fuerte campo eléctrico en el canal del transistor, consiguen una energía cinética muy alta, la suficiente para sobrepasar la barrera de potencial, pudiendo ser inyectados dentro de las regiones prohibidas del dispositivo como el óxido de puerta, en lugar de seguir su trayectoria original. Cuando se inyectan en tales regiones, los portadores pueden ser atrapados o causar la generación de estados de interfaz. Cuando esto ocurre, se causa una degradación que se traduce en un impacto sobre las características eléctricas del dispositivo como, por ejemplo, una variación de la tensión umbral y de la movilidad de los portadores. El término de portadores calientes o *hot carriers* se debe a los electrones o huecos (según el tipo de dispositivo NMOS o PMOS) que son acelerados por el campo eléctrico lateral en el canal del transistor [109]. Experimentalmente, la tasa de inyección suele medirse a través de la corriente de sustrato, inducida por la ionización por impacto, o a través de la corriente de puerta. En realidad, sólo una pequeña parte de los *hot carriers* quedan atrapados y contribuyen a la degradación intrínseca por HCI [110].

La degradación por HCI ha sido ampliamente estudiada desde su hallazgo en tecnologías basadas en SiO₂ y SiON [16], [18] aunque estudios posteriores muestran que este efecto también produce degradación en dispositivos que utilizan materiales *high-k* como dieléctrico de puerta [110], [111]. La degradación por HCI afecta a ambos tipos de transistores, PMOS y NMOS, aunque desde sus orígenes se conoce que el impacto es más pronunciado en dispositivos NMOS [112], [113], llegándose en ocasiones a despreciar su contribución en dispositivos PMOS según las condiciones de operación, por ejemplo, en dispositivos operando con una polarización donde se sabe que el efecto de HCI será insignificante quedando enmascarado por el daño inducido por BTI. En este sentido, en relación con las condiciones que empeoran el impacto de HCI, se conoce que la degradación aumenta conforme aumenta la tensión entre drenador y fuente, en combinación con pequeñas longitudes de puerta. A diferencia del BTI, el HCI provoca una degradación asimétrica del aislante, concentrada en la región del drenador por el borde del terminal de puerta, aumentando en dicha zona la densidad de estados de interfaz, lo que hace el modelado de este efecto un reto diferente al modelado de BTI.

La dependencia de HCI con respecto a las condiciones de polarización depende tanto de la tensión V_{DS} como de V_{GS} , ya que es esta última la que define el punto de pinzamiento del canal $V_{DSAT}=V_{GS}-V_{th}$. Además, la relación entre V_{GS} y V_{DS} define la dirección del campo en el óxido en la región del drenador y, por tanto, la polaridad de la carga atrapada en los defectos, esto es, el efecto de HCI puede capturar ambos tipos de carga al mismo tiempo. La degradación total dependerá de la contribución dominante en la combinación de todos los defectos generados [114]. En [13] se distinguen hasta cuatro tipos de mecanismos diferentes para la degradación por HCI: efecto de inyección de electrones calientes del canal o *channel hot electron injection effect* (CHE), inyección de portadores calientes por avalancha en el drenador o *drain avalanche hot carrier injection* (DAHC),

inyección de electrones calientes del sustrato o *substrate hot electron injection* (SHE) e inyección de electrones calientes generados de forma secundaria o *secondary generated hot electron injection* (SGHE). La Figura 2-6 ilustra de forma esquemática cada uno de los cuatro mecanismos de los cuales, se consideran como los de mayor contribución los dos primeros [60].

Particularizando para cada tipo de mecanismo, la máxima degradación por electrones calientes del canal o CHE, se da en la situación en que la tensión aplicada a los terminales de puerta y drenador es aproximadamente la misma ($V_{GS} = V_{DS}$), siendo ambas relativamente elevadas. Esta es la situación en la que los llamados electrones afortunados o “lucky electrons” [12], [115], que son portadores calientes que no han formado parte de las colisiones entre partículas dentro del canal, ganan suficiente energía, para dejar el canal superando el óxido de puerta en la zona del drenador. En esta situación, pueden sumarse a la contribución de la corriente de puerta o bien quedar atrapados en trampas profundas del óxido. Son estos últimos los que producen una degradación en la tensión umbral del dispositivo. Debe tenerse en cuenta que la eficiencia de la inyección tiene una fuerte dependencia con el campo eléctrico lateral que calienta los electrones del canal y con el campo en el óxido en las proximidades del drenador. La influencia de la tensión de drenador en el potencial superficial reduce la caída de potencial en el óxido y, por tanto, en el campo eléctrico en el mismo. La degradación por CHE presenta un mayor impacto en transistores NMOS que PMOS [116].

Para campos eléctricos bajos, los portadores no serían atraídos hacia la puerta y para el caso de tensiones de drenador demasiado elevadas, el dispositivo se encontraría operando en la región de saturación profunda con una tensión V_{DS} mucho mayor que V_{GS} . En esta

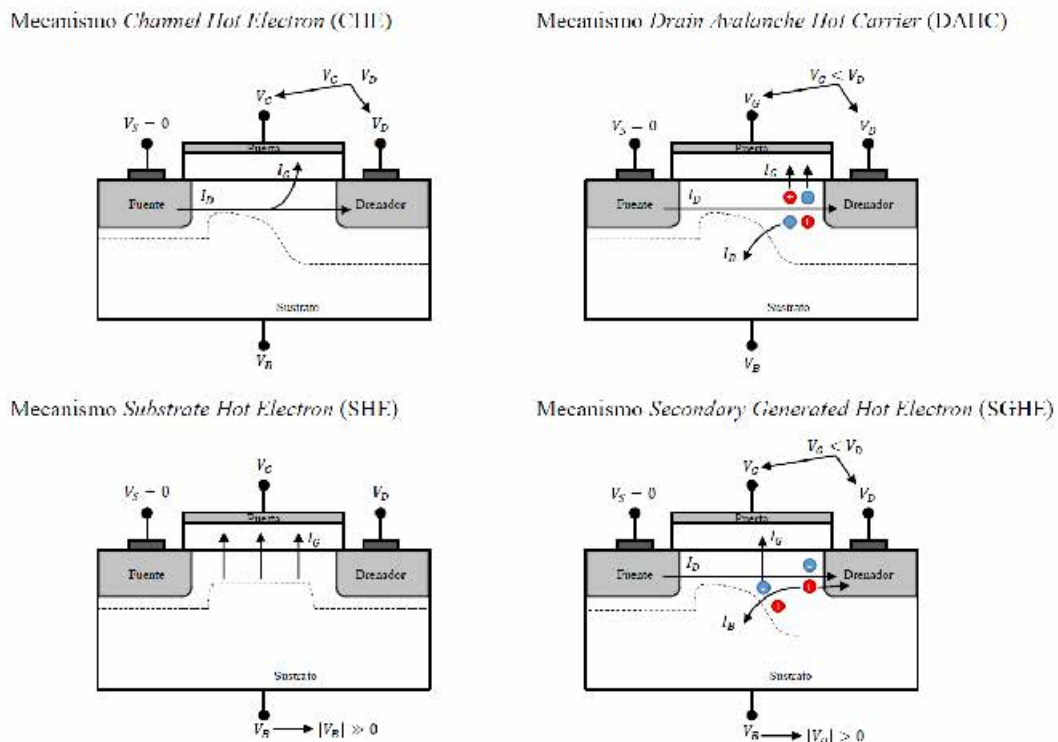


Figura 2-6. Mecanismos de degradación asociados al fenómeno de Hot Carrier Injection.

situación, el campo eléctrico en la zona del drenador daría lugar a un aumento en la zona de la generación de pares de electrones/huecos (e-/h+) debido a la ionización por impacto. La mayoría de cada uno de estos electrones y huecos pueden ser acelerados por la fuerte presencia del campo eléctrico en esa zona y atravesar la barrera de potencial entre el óxido y el canal, provocando por tanto un incremento del efecto avalancha y, por tanto, a degradación por DAHC.

Tradicionalmente [13], se ha considerado que DAHC es el mecanismo de HCI más devastador de cara a la degradación del dispositivo dada la cantidad de portadores calientes que son inyectados en el óxido de puerta en el mismo tiempo y la misma zona, produciéndose los peores casos para polarizaciones donde aproximadamente $V_{GS} = V_{DS}/2$. Sin embargo, con el aumento del escalado, el mecanismo CHE ha ido ganando relevancia y, actualmente se considera la contribución principal al daño por HCI cuando tanto V_{GS} como V_{DS} son relativamente altas. En este sentido, las medidas empíricas revelan que el peor punto de polarización con respecto al daño producido debido a HCI se ha ido desplazando de $V_{GS} = V_{DS}/2$ a $V_{GS} = V_{DS}$ en tecnologías modernas (< 65nm).

El caso de inyección de electrones calientes generados de forma secundaria (SGHE) se refiere a la situación en las que algunos de los portadores generados debido a una colisión como, por ejemplo, los pares electrón/hueco generados en el caso de DAHC, provocan a su vez una nueva colisión por un impacto de ionización, generando a su vez nuevos portadores. Es a estos nuevos portadores a los que se les denomina portadores generados de forma secundaria. Evidentemente estos nuevos portadores pueden a su vez ser nuevamente acelerados y llegar a alcanzar suficiente energía cinética para atravesar la barrera de potencial de la interfaz Si/SiO₂ generando estados de interfaz o quedando atrapados en el óxido. No obstante, el impacto de SGHE a la contribución total del daño por HCI se considera bastante pequeño en comparación con la contribución del DAHC.

Por último, la inyección por electrones calientes del sustrato (SHE) o por huecos calientes del sustrato (SHH), dependiendo del tipo del transistor NMOS o PMOS, ocurre cuando existe una tensión de polarización significativamente positiva o negativa entre el terminal de sustrato y la fuente del dispositivo. Esto ocurre especialmente para dispositivos que operan con una polarización donde se da un apreciable efecto cuerpo (*body effect*) o efecto sustrato. Esta situación provoca la posibilidad de que algunos portadores del sustrato sean capaces de ganar energía cinética dirigiéndose a la interfaz entre el óxido y el canal atravesando su barrera de potencial e inyectándose en el óxido. La diferencia de este mecanismo con respecto a los anteriores es que, en este caso, este fenómeno es independiente de la tensión de drenador, por lo que, a diferencia del resto cuyo efecto se localiza cerca del borde del drenador por la parte del terminal de puerta, SHE/SHH ocurre de manera uniformemente distribuida a lo largo del canal. En todo caso, la contribución de este efecto en general se considera muy inferior a las contribuciones de CHE y DAHC

En definitiva, desde el punto de vista del diseño de circuitos, el daño generado por *hot carrier* conductivo provoca cambios en los parámetros de los dispositivos, entre ellos, un aumento de la tensión umbral, al igual que el BTI. Sin embargo, a diferencia de éste, en la degradación producida por HCI no parece haber efectos de relajación, y, por lo tanto,

todo parece indicar que el daño inducido en el dispositivo es permanente. Además, hay que remarcar que, como ya se ha comentado, otra diferencia importante entre ambos fenómenos es que mientras que en el BTI la degradación se produce de manera homogénea en todo el óxido, en el caso de HCI es la región cercana al drenador la más dañada, ya que es en ella donde mayoritariamente se generan los procesos de *scattering*.

Se ha comentado que históricamente se ha considerado la inyección de carga y la generación de estados como el mecanismo dominante, pero parece que en la literatura el pico de mayor degradación que originalmente se situaba en torno a $V_{GS}=V_{DS}/2$ (dado que DAHC era el mecanismo dominante) [13], se está desplazando en la escala nanométrica hacia tensiones en torno a $V_{GS}=V_{DS}$ (donde el mecanismo dominante sería CHE). Esto se atribuye al efecto de canal corto o *short channel* el cual, por ejemplo, incrementa el *scattering* electrón-electrón [117]. El uso de tecnologías basadas en el uso de dieléctricos *high-k* no cambia el comportamiento de los mecanismos de *hot carrier* conductivo. No obstante, como se ha comentado, el máximo de la degradación se desplaza a valores mayores de V_{GS} , por lo que debe tenerse en cuenta el impacto simultáneo de PBTI [118] que emerge en estos dispositivos. El último aspecto a destacar tiene que ver desde una perspectiva general con este hecho, ya que trabajos como [119], [120] remarcan que el escalado hace emerger un efecto secundario que se hace dominante para estreses DC, llamado la activación local por autocalentamiento o “Local Self-Heating Activated” (LSHA) NBTI, que consiste en un aumento de la degradación del NBTI debido al autocalentamiento en el lado del drenador bajo unas condiciones de HCI. En definitiva, en dispositivos de escala nanométrica, será complicado distinguir de forma unívoca los mecanismos de degradación de los dispositivos, concretamente entre BTI y HCI, ya que ambos mecanismos aparecen entrelazados, pudiendo ser más eficiente tratar de modelar el impacto de la degradación como un modelo compacto unificado que considere de forma simultánea ambos fenómenos.

En lo concerniente al modelado de HCI, desde el comienzo de su estudio en la década de los 80 hasta la actualidad, se desarrollaron un gran número de modelos para evaluar su impacto. Un gran número de estos modelos están basados en el concepto previamente descrito del electrón afortunado, o *lucky electron*. De hecho, los modelos *lucky electron* o LEM siguen siendo utilizados en la actualidad por diferentes herramientas y simuladores relacionados con el cálculo de fiabilidad [14], [105], [116]. Inicialmente, este modelo proporcionaba una predicción acertada hasta los 250nm. Para dispositivos de nodos tecnológicos inferiores, este modelo dejaba de ser efectivo. Por ejemplo, para $V_{DS}<1.3V$, LEM no era capaz de predecir la ionización por impacto y, por tanto, no aparecía daño por HCI, lo cual no se corrobora con las medidas experimentales.

Debido a estas limitaciones, han surgido posteriormente algunos modelos que permiten mejorar el LEM original y obtener predicciones para dispositivos con mayor escalado. Muchos de estos nuevos modelos o mejoras al LEM consisten básicamente en incluir además del mecanismo del *lucky electron*, otro tipo de mecanismos que contribuyen a la degradación por HCI y han ganado importancia con el escalado como por ejemplo el mecanismo DAHC. Adicionalmente, aparecen trabajos que tratan de incluir efectos de

aceleración más avanzados como el *scattering* electrón-electrón, pudiendo destacarse en este sentido modelos como el *energy driven model* (EDM) [121]–[123]. Otro aspecto que fue incluido en estudios más recientes fue el hecho de considerar simultáneamente la degradación por HCI conjuntamente con el BTI, especialmente a altas temperaturas. Esto fue debido, como se ha comentado, a que todo parecía indicar que la degradación por HCI a tensiones V_{GS} altas agravaba el fenómeno de BTI. Esto tiene relación con la recuperación observada en los procesos de HCI por algunos autores en la literatura que, siguiendo esta línea de pensamiento, no estarían relacionados realmente con los fenómenos físicos del HCI sino con los procesos correspondientes de BTI [124], [125].

En cualquier caso, un modelado compacto para calcular la degradación a largo plazo, requiere tener en cuenta todos los mecanismos que están implicados en el fenómeno de degradación por HCI. Generalmente, los trabajos enfocados en este sentido utilizan una dependencia de ley potencial como la mostrada a continuación [22], [126], [127]:

$$\Delta V_{th} = A_{HCI} \cdot t^n \quad \text{Ec. 2-3}$$

donde n tiene un valor entre 0.5 y 0.7. La generación de estados de interfaz tiene una dependencia exponencial con el campo eléctrico en el óxido (E_{OX}). Además, el factor A_{HCI} tiene dependencia con el campo eléctrico lateral máximo E_{lat} , la temperatura T y también con la longitud del canal L [22], [105], [126]:

$$A_{HCI} \propto \frac{1}{\sqrt{L}} e^{(\alpha_1 \cdot E_{OX})} \cdot e^{\left(\frac{\alpha_2}{E_{lat}}\right)} \cdot e^{\left(-\frac{E_a}{kT}\right)} \quad \text{Ec. 2-4}$$

siendo α_1 y α_2 parámetros dependientes de la tecnología y E_a la energía de activación.

El último paso lo dan estudios como [128], orientados a la escala nanométrica de nodos tecnológicos muy avanzados, que señalan que el impacto de HCI no puede describirse como un valor determinista sino como una distribución estadística.

2.3.3. RTN (Random Telegraph Noise).

El ruido aleatorio telegráfico o *random telegraph noise* [129] se presenta en dispositivos con un alto nivel de escalado (con un grosor de óxido muy fino) como una serie de desviaciones o saltos discretos de tensión o corriente entre varios niveles de señal posible, tal como ilustra de forma cualitativa la Figura 2-7. Estos saltos entre niveles de señal pueden variar tanto en magnitud como en su duración. De hecho, la amplia ventana temporal y las diferentes contribuciones en magnitud de los saltos es lo que ha permitido a los investigadores establecer la relación entre el BTI y el RTN.

Históricamente este fenómeno recibe el nombre de *random telegraph noise* debido a que se ha modelado matemáticamente mediante procesos telegráficos de la teoría de la probabilidad, los cuales, consisten en procesos estocásticos de Markov en tiempo continuo que saltan de manera discontinua entre valores distintos. Este fenómeno se ha estudiado mayormente en electrónica digital donde su impacto es más relevante [130]–[132]. Desde el punto de vista de la degradación, se le podría considerar un efecto transitorio, ya que las variaciones que produce a unas condiciones de operación concretas, parecen oscilar siempre entre los mismos valores (pudiendo considerarse como un ruido

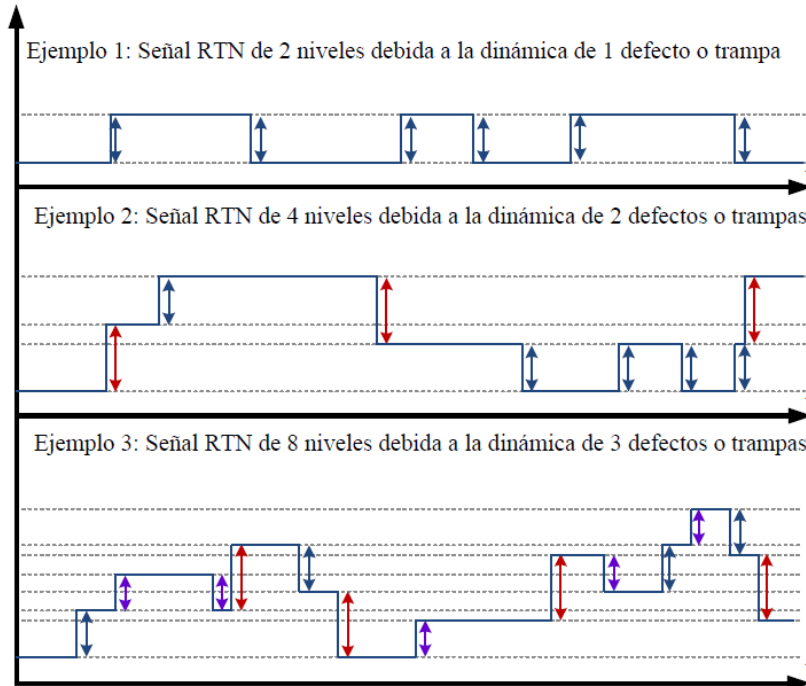


Figura 2-7. Gráficas ilustrativas del efecto RTN en dispositivos con distinto número de defectos activos.

y no como una degradación que va en aumento con el tiempo). Desde esta perspectiva no parece tener sentido incluir este efecto en un estudio de degradación a largo plazo. No obstante, algo que sí puede ocurrir es que el número de defectos activos aumentase con el tiempo. Esto aumentaría los niveles de distorsión o ruido de la señal y podría considerarse como una degradación. Sin embargo, aunque este enfoque es interesante, su estudio escapa a los objetivos pretendidos en esta tesis.

Como se ha comentado, en dispositivos con un alto escalado, el mecanismo que más contribuye a la degradación por BTI es la captura y emisión de carga por la presencia de trampas o defectos en la interfaz del óxido del dispositivo. Se ha visto en el sub-apartado 2.3.2.1 que se proponen modelos para esta componente recuperable del BTI, cuya degradación se debe a la captura de carga en los defectos de la interfaz para unas condiciones dadas y cuyo efecto de recuperación se debe a la liberación de estas cargas cuando las condiciones de operación del dispositivo se relajan o el estrés se suprime totalmente. Del mismo modo, se ha comentado que en la escala nanométrica, estos fenómenos de captura y emisión se observaban como saltos discretos debidos a que en estas dimensiones era posible ver la contribución individual de cada uno de los defectos.

En este sentido, el RTN se correspondería con la situación cuasi-estacionaria donde para una condición de operación dada, la probabilidad de que se capturase o se liberase carga en un defecto fuese distinta de 0 y 1. En esta situación y en función de las probabilidades de emisión o captura de la carga en ese defecto, resultaría en que en la señal pertinente se observaría un desplazamiento o salto debido a que la carga se estaría capturando o liberando en ese defecto con una constante de tiempo dada por un valor medio y una dispersión, resultando en el fenómeno de RTN. Dicho de otro modo, la naturaleza del BTI y del RTN es la misma y la percepción de este mecanismo como uno u otro efecto, tiene

en parte que ver con la forma en que se observe el fenómeno y su interpretación, siendo el RTN un caso particular donde para unas condiciones dadas en una ventana de tiempo determinada es posible observar la captura y emisión de cargas como saltos de señales de tensión o corriente en el dispositivo. Los tiempos de emisión y captura tienen una ventana temporal muy amplia y tienen una importante dependencia con las condiciones de estrés y con la temperatura aplicada, tal como ocurre con el BTI. Dicho de otro modo, mientras que la componente recuperable de BTI es la degradación que se produce debido a la captura progresiva de muchos defectos en una situación de no equilibrio, esto es, defectos que para esas condiciones de operación son capturados, pero no se liberarán (a menos que se relajen las condiciones de estrés), el RTN es la situación cuasi-estacionaria de los defectos que para unas condiciones de operación dadas y una ventana de tiempo determinada están capturando y emitiendo carga con una probabilidad dada o unos tiempos de captura y emisión que pueden ser caracterizados. Esta interpretación es la que fue llevando a la aparición de trabajos que pretendían unificar el modelo de ambos efectos y certificar que provenían de la misma naturaleza física [2], [133]. De hecho, los desplazamientos que se observan en las señales de tensión o corriente de los dispositivos, no se deben sino a una variación de los parámetros eléctricos del dispositivo debido a la captura de carga. Como en el caso del BTI, dicha degradación puede atribuirse de forma concreta a una variación de la tensión umbral de los dispositivos.

Dependiendo del dispositivo (parámetros tecnológicos, dimensiones, PMOS o NMOS, etc.) y de las condiciones de operación (tensiones aplicadas, temperatura), el número de defectos que se encontrarán en esta situación de cuasi-equilibrio y que provocarán el RTN puede variar, siendo la naturaleza de los defectos que existen en cada dispositivo estocástica. Es decir, al igual que ocurría con el BTI, dos dispositivos de idéntico diseño incluso con ausencia de *mismatch* y trabajando a las mismas condiciones de operación, pueden mostrar distintos comportamientos de RTN, por lo que la caracterización de dicho defecto para una tecnología, dispositivos y condiciones dadas, requerirá de un estudio estadístico que atienda a su naturaleza, tal como es el caso de [134] o [135]. A modo ilustrativo, en la Figura 2-7 se muestran también tres posibles ejemplos de representación para señales que tengan RTN debido a un defecto (dos niveles de señal), dos defectos (4 niveles de señal) y tres defectos (8 niveles de señal).

2.4. Revisión de modelos compactos de degradación de circuitos.

2.4.1. Consideraciones generales.

Los primeros modelos presentados en la literatura se centraban más en tratar de entender la física detrás de los efectos relacionados con el *aging* que en tratar de encontrar un modelo compacto y de uso eficiente para herramientas de simulación de circuitos. Para que un modelo sea práctico, es primordial no sólo que sea capaz de calcular la degradación de forma suficientemente precisa, sino que debe hacerlo de forma computacionalmente eficiente de cara a su integración dentro de un simulador de fiabilidad o de una herramienta de evaluación de la variabilidad. Para ello, es importante que el modelo presente dependencias con los parámetros de los dispositivos y con las condiciones de operación de los circuitos, tales como las dimensiones del dispositivo y

las tensiones aplicadas a los terminales de los mismos. Por último, desde el punto de vista de la parametrización del modelo, es también fundamental que su caracterización, ajuste y evaluación en el laboratorio pueda hacerse de forma eficiente y práctica.

Por consiguiente, a la hora de abordar el modelado compacto de la degradación por envejecimiento deben tenerse en cuenta dos enfoques complementarios. Por un lado, será necesario establecer una correspondencia entre la física detrás de los diferentes efectos de degradación y el impacto en los parámetros de los dispositivos que dependen de las condiciones de operación (también llamadas condiciones de estrés) durante el funcionamiento de los mismos. Por otro lado, deberá abordarse la implementación del modelo de degradación para que pueda ser integrado de forma computacionalmente eficiente en herramientas de simulación.

En lo concerniente al modelado de los efectos, del apartado anterior puede extraerse que el impacto que produce la degradación por BTI y HCI, si bien obedece a fenómenos distintos, en ambos casos produce principalmente una variación de la tensión umbral del transistor y también, un cambio en la movilidad de los portadores. Es por esta razón que muchos modelos compactos tratan de forma unificada la degradación de BTI y HCI como una variación de estos parámetros. Existen estudios como [65] y [66] donde se varían múltiples parámetros de un modelo de transistor para ajustarlo a las medidas de degradación realizadas. Por ejemplo, en [65] se utiliza la herramienta software AURORA [136] con el fin de ajustar diferentes parámetros del modelo BSIM4 a los transistores degradados, observándose que el mejor ajuste ocurre cuando se modifican 12 parámetros, diez más además de la tensión umbral y la movilidad. No obstante, a lo largo del mismo trabajo se concluye que una solución equivalente lo suficientemente precisa puede obtenerse variando sólo los valores de la tensión umbral y la movilidad. Esto es importante porque conseguir suficiente precisión empleando un número reducido de parámetros simplifica la complejidad del modelo y facilita su implementación y uso práctico. En este sentido, dependiendo del objetivo del estudio, dispositivos, tecnología, condiciones, etc., a veces incluso resulta suficientemente preciso emplear como único parámetro la variación de la tensión umbral, considerándose mínima o despreciable la variación de la movilidad.

Por lo que respecta a la integración de los modelos dentro de un simulador, existen esencialmente dos tendencias, cada una con sus ventajas e inconvenientes [137]–[140]. La primera de ellas sería la inclusión de la variación de los parámetros del circuito como una modificación de los ficheros internos del modelo empleado, esto es, la carta del modelo o en inglés, la *model card*. La segunda sería el empleo de un sub-circuito que añada a los dispositivos una serie de elementos que permitan incluir la degradación equivalente al dispositivo. Para esta segunda solución, aunque existen distintas propuestas, éstas suelen coincidir en el uso de dos fuentes adicionales, una fuente de tensión en la puerta del terminal buscando la equivalencia a modificar la tensión umbral y una fuente de corriente entre los terminales de drenador y fuente que busca la equivalencia en modificar el valor de la movilidad del dispositivo, tal como se ilustra en la Figura 2-8.

Posibilidades de implementación para la integración de los modelos en los circuitos

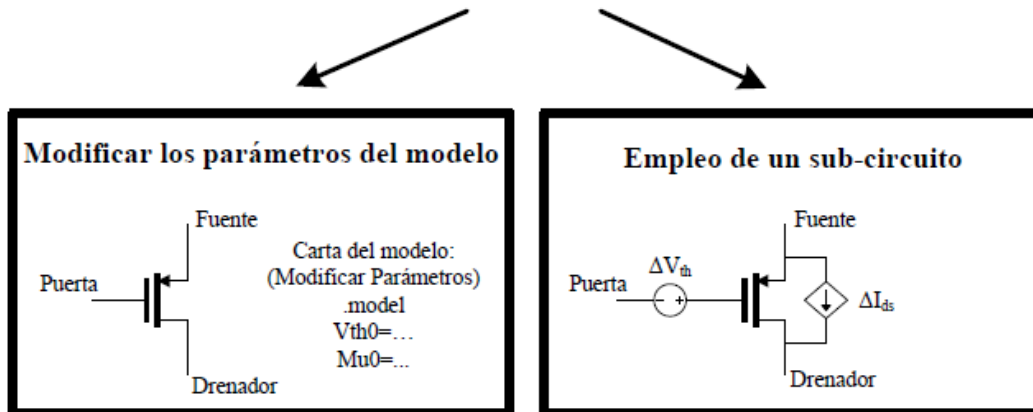


Figura 2-8. Posibilidades de implementación para la integración de los modelos en los circuitos.

Modificar individualmente los scripts del modelo (la *model card*), para cada dispositivo envejecido en unas condiciones dadas, tiene la ventaja de poder ajustar directamente y con libertad cualquiera de los parámetros propios del modelo, lo que permite mantener las dependencias internas del mismo en los parámetros modificados si así se desea. Por ejemplo, la primera diferencia entre ambas soluciones es que dependiendo de cómo se modifique la *model card*, se puede hacer, o no, que las variaciones introducidas a la tensión umbral o movilidad afecten a su vez de forma indirecta a otros parámetros dada la complejidad y las diferentes capas del modelo. Sin embargo, con la introducción de las fuentes en el sub-circuito, la modificación se limita a un “desplazamiento lateral en el eje-x” de la curva para la variación en la tensión umbral (fuente de tensión agregada al terminal de puerta que modifica la tensión umbral del dispositivo) y una adaptación de la pendiente de la curva de corriente (fuente de corriente entre los terminales de fuente y drenador que introduce la variación en la movilidad) del transistor. Desde este punto de vista, comparado con adaptar la *model card* del modelo, la solución del sub-circuito proporciona una solución más simple y comprensible para los diseñadores de circuitos que no estén familiarizados con las dependencias del modelo a bajo nivel.

Por otro lado, la principal desventaja de uso de los sub-circuitos, es la inclusión de nuevos elementos a la *netlist* original por cada transistor que tenga el circuito. Dependiendo del sub-circuito utilizado se añadirán un considerable número de nodos adicionales, lo que puede llegar a ralentizar significativamente el cálculo de la simulación eléctrica. Hay otro tipo de limitaciones adicionales, como, por ejemplo, que no se puede evaluar con un sub-circuito la degradación asimétrica del efecto de *hot carrier*, aunque normalmente, esto tampoco supondrá un aspecto significativo para la operación normal de la mayoría de los circuitos.

Un aspecto que puede ser determinante para optar por una u otra solución en la implementación, es la elección de los parámetros del modelo y la forma en que éstos se estén caracterizando en el laboratorio. Por ejemplo, si la caracterización del laboratorio

se basa en la extracción de parámetros que se encuentran directamente en la carta del modelo, la mejor opción puede ser cambiar directamente la *model card*. Si no es así, pero los parámetros pueden implementarse como elementos adicionales de un sub-circuito, parece lógico escoger esta solución.

En definitiva, en relación al modelado de los defectos es importante optimizar el compromiso entre el número de parámetros eléctricos utilizados y la precisión alcanzada. La elección de estos parámetros en relación a aspectos como si éstos se encuentran en la carta del modelo, si pueden ser incluidos como elementos en un sub-circuito, etc., puede determinar la forma más eficiente de llevar a cabo la implementación.

2.4.2. Tipos de Modelos.

En la literatura, existen multitud de modelos y diferentes formas de clasificarlos. Algunos modelos se orientan al estudio físico y se centran en la fenomenología detrás de los dispositivos, pero pueden ser poco manejables o eficientes en términos de integración. Otros se orientan más a métodos empíricos, centrándose en el ajuste de parámetros y dependencias, sin preocuparse de la física detrás de los dispositivos. También existe una gran variedad en lo que se refiere a la complejidad. Existen modelos muy simples que se utilizan para realizar cálculos manuales que sirven para una primera estimación de la degradación y modelos más complejos que requieren de su integración en herramientas software. No obstante, no todos los modelos usados por las herramientas exigen cálculos complejos. Por ejemplo, los métodos tabulares, basados en *look-up tables*, demandan principalmente memoria y un pre-procesado de los datos y las condiciones. En general, dentro de toda tipología, dependiendo de la naturaleza de los fenómenos físicos en los que se base, la complejidad, la caracterización, la eficiencia computacional, la manejabilidad para los diseñadores, etc., se dispondrán de modelos más o menos precisos y eficientes. En este sentido, aunque existen otras clasificaciones o tipos, los modelos más destacables de la literatura se han agrupado en modelos analíticos o predictivos y modelos semi-empíricos.

En términos generales, los modelos analíticos o predictivos se desarrollan mediante el estudio de dispositivos y sus dependencias para una tecnología concreta, llevando a cabo medidas experimentales. Posteriormente son extrapolados a otras tecnologías o nodos tecnológicos para su utilización. Como dicho modelo extrapolado no se ajusta posteriormente mediante medidas experimentales en esa nueva tecnología, el comportamiento calculado consiste en una estimación o predicción de cómo se espera que se comporten los efectos de degradación en esa tecnología. Por eso reciben el nombre de modelos predictivos. Quizá el modelo predictivo más utilizado en la literatura ha sido el PTM (*Predictive Technology model*) propuesto por el grupo de investigación *Nanoscale Integration and Modeling* (NIMO) de la Universidad del Estado de Arizona (ASU) [77], [141]–[143]. El propio grupo de investigación ha ofrecido sus ficheros compatibles para la integración en simuladores eléctricos, basados en dicho modelo para diferentes estructuras de transistor y escalado. El modelo para NBTI modela la degradación como una variación de la tensión umbral e incluye tanto un mecanismo de degradación como un mecanismo de recuperación, por lo que es válido tanto para unas

condiciones estáticas como dinámicas (para una señal pulsada con un determinado ciclo de trabajo). Por otro lado, el impacto del HCI se modelaría como una degradación de la tensión umbral y de la movilidad sin efectos de recuperación.

Por su parte, los modelos semi-empíricos o semi-físicos reciben dicha denominación precisamente porque pretenden establecer una relación de compromiso entre ambos enfoques. Por un lado, tratan de basarse en parámetros utilizados por los diseñadores y tienen virtudes en términos de integración y eficiencia computacional, pero al mismo tiempo, tratan de basarse en los fenómenos físicos conocidos, ya que, cuanto más se tenga en cuenta la naturaleza de los fenómenos modelados más preciso podrá ser el modelo al representar diferentes condiciones. En cualquier caso, las ecuaciones o curvas del modelo desarrollado deben posteriormente ajustarse mediante un proceso de medidas y caracterización en silicio para cada una de las tecnologías en las que se pretenda utilizar. Esto supone a la vez la principal ventaja y el principal inconveniente de estos modelos, ya que, por un lado, al no existir una extrapolación de una tecnología a otra, sino que el ajuste se realiza sobre medidas experimentales, suele resultar, si el diseño de experimentos para la caracterización es el adecuado, en unos modelos muy precisos. Por otro lado, si no existe una caracterización previa del modelo en cuestión para una tecnología concreta, será necesario llevar a cabo todo el proceso de diseño, fabricación, medida y caracterización de dispositivos de dicha tecnología, con los costes en términos económicos y temporales que esto conlleva.

Un aspecto esencial a tener en cuenta en lo que se refiere a la caracterización de los fenómenos de degradación por envejecimiento usando modelos semi-empíricos es que no es posible emplear condiciones de operación nominales en los mismos, ya que no resulta realista ni práctico tener que esperar durante años para poder caracterizar dichos fenómenos. La práctica habitual en este sentido es aumentar los valores de las tensiones/corrientes de operación y la temperatura aplicada a los dispositivos durante estos experimentos, de forma que los mecanismos de degradación se aceleren. A este tipo de técnicas y forma de proceder, se le conoce como la aplicación de técnicas de estrés acelerado o sobre-estrés. De forma particular, en este trabajo, se denominarán condiciones de estrés, *stress conditions* o SC, a las condiciones de temperatura, tensión y/o corriente a las que esté operando un circuito o un dispositivo, se encuentren éstas por encima de sus valores nominales de operación o no. Cuando las condiciones de estrés aplicadas estén por encima de los valores nominales de la tecnología diremos que se está aplicando un sobre-estrés.

La mayoría de los modelos semi-empíricos de degradación incluyen los efectos de BTI, HCI y/o TDDB, siendo común encontrar modelos compactos que unifican la degradación conjunta de los efectos de BTI y HCI. Respecto a los parámetros comúnmente utilizados por estos modelos, suelen modelar el impacto de la degradación como variaciones de los parámetros eléctricos de los dispositivos. Particularmente, la mayoría se centra en la variación de la tensión umbral y, en ocasiones, también en la variación de la movilidad (o equivalentemente de la corriente de drenador).

2.4.3. Revisión de modelos integrados en simuladores: estado del arte.

El objetivo de este apartado es realizar una revisión de las diferentes soluciones presentes en el estado del arte antes de pasar a presentar la solución propuesta en esta tesis. En este sentido, existen en la literatura multitud de aproximaciones, siendo los modelos semi-empíricos los que más se han empleado en herramientas de simulación de fiabilidad de circuitos. Algunos modelos consideran sólo uno de los fenómenos, bien BTI [97], [144] o bien HCI [22], [105]. Otros tratan de tener en cuenta todos los fenómenos, pero lo hacen de forma aditiva, calculando la contribución de cada uno de los mecanismos de manera independiente [108], [145], mientras que algunos modelos compactos, tratan de integrar en un modelo único ambos fenómenos. En términos generales, los modelos más utilizados se han centrado en incluir la degradación por los fenómenos de BTI y HCI, aunque es posible también encontrar modelos que incluyen el fenómeno de la TDDDB. A continuación, se comentarán a modo de ejemplo algunas contribuciones particulares de estos modelos.

Como ejemplo de partida, trabajos como los realizados [60], [114], [146], [147] son representativos de la mayoría de trabajos que están presentes en la literatura. En dichas contribuciones, se modelan los efectos de BTI y HCI integrando las correspondientes fuentes de degradación con un sub-circuito. La inclusión de la variación de tensión umbral se lleva a cabo empleando una fuente de tensión en el terminal de puerta de los transistores, mientras que, para la variación de la corriente de drenador o el cambio en la movilidad de los portadores, se emplea una fuente de corriente entre los terminales de drenador y fuente. Este sub-circuito, que es el más ampliamente empleado en la literatura, se representa en la parte derecha de la Figura 2-8.

El valor de las contribuciones incluidas en las fuentes de tensión y corriente también se calcula realizando una serie de suposiciones que son ampliamente utilizadas en la literatura. Por un lado, asume que la variación de la tensión umbral vendrá determinada de forma aditiva por una contribución de BTI (PBTI o NBTI, ya que utiliza una tecnología basada en *high-k* donde el PBTI debe considerarse) y otra de HCI. Sin embargo, se considera que la variación de la movilidad sólo vendrá determinada por una contribución debida al HCI. Por su parte, para cada una de las contribuciones individuales de los efectos de BTI y HCI emplea nuevamente expresiones de los modelos semi-empíricos más utilizados en la literatura. Para el cálculo de la contribución al daño por BTI, la expresión utilizada se corresponde de forma genérica con:

$$\Delta V_{th} = f_{SC}(V_{GS}, T, W, L)t^n e^{-\frac{E_a}{kT}} \quad \text{Ec. 2-5}$$

También expresada de forma genérica, la expresión para el HCI sería de la forma:

$$\Delta\mu/\Delta I_d = f_{SC}(V_{DS}, T, W, L)t^n e^{-\frac{E_a}{kT}} \quad \text{Ec. 2-6}$$

donde t se refiere al intervalo temporal de degradación. La dependencia con la temperatura sigue la ley de Arrhenius. f_{SC} es una función que incluye los parámetros en relación a las condiciones de estrés aplicadas, como pueden ser las tensiones, corrientes o la temperatura y también parámetros de los dispositivos como las dimensiones.

Los modelos semi-empíricos empleados para calcular el daño por BTI y HCI, pese a que son modelos ampliamente utilizados, pueden tener ciertas imprecisiones debido a que se realizan demasiadas simplificaciones. Por ejemplo, está aceptado que la contribución al daño por BTI se ve afectada por la presencia de HCI, o lo que es equivalente, el BTI tiene una dependencia con V_{DS} que la expresión utilizada no refleja. Para solventar esto, en [146], cuando se integra la dependencia de la tensión umbral en el sub-circuito, se hace depender también dicha variación del daño por HCI conductivo, por lo que indirectamente se le incluye una dependencia a dicho daño con V_{DS} , lo cual, podría solucionar el problema a nivel de implementación. De forma similar la expresión utilizada para calcular el daño por HCI muestra sólo dependencia con V_{DS} estando, sin embargo, aceptado que HCI tiene también una dependencia con V_{GS} debido a que esta tensión fija el punto de pinzamiento del canal (con V_{DSAT}). Sin embargo, esta implementación indirecta de las relaciones requeriría ajustar los modelos en dos pasos, lo cual puede ser ineficiente. Otro aspecto a señalar de las soluciones adoptadas en [60], [114], [146], [147], es que los modelos empleados utilizan mecanismos de estimación de la degradación para unas condiciones fijas que no tienen en cuenta los mecanismos de recuperación del BTI. Para distintos intervalos temporales, donde las condiciones de estrés de los dispositivos cambian, la degradación total se calcula de forma aditiva considerando los diferentes intervalos. Este hecho por sí mismo no es incorrecto; sin embargo, al no estar teniéndose en cuenta los mecanismos de recuperación del BTI, el cambio de las condiciones de estrés y su impacto a lo largo del tiempo no se está considerando adecuadamente, lo cual puede generar problemas de precisión.

Los trabajos presentados en [65], [148], presentan un sub-circuito equivalente como el mostrado en Figura 2-9, que utiliza diodos y el fenómeno de la carga y descarga del condensador, para emular los efectos de recuperación del BTI. Concretamente, está orientado a emular de forma discreta la carga y descarga de los diferentes defectos cuando dicha componente de recuperación se observa en la escala nanométrica. Para unas determinadas condiciones de tensión y temperatura, cada defecto tiene sus propias propiedades en lo que se refiere a la captura y emisión de carga (emulada con los diodos)

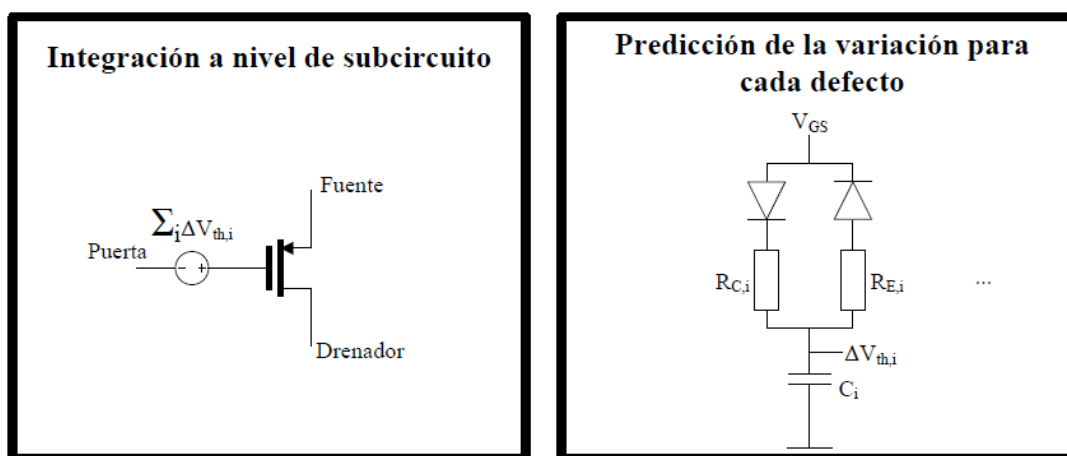


Figura 2-9. Sub-circuito empleado para emular los procesos de degradación por BTI mediante la carga y descarga de los defectos presentes en el dispositivo.

y a la contribución a la degradación (cuyo valor difiere según el condensador empleado con tal fin). Si bien esta aproximación es interesante para emular la carga y descarga de los defectos en la escala nanométrica debido al BTI, la complejidad en la implementación la hace inviable para calcular la degradación a largo plazo en términos de coste computacional.

Tanto en [61], como en [104] y [22], presentan una propuesta con un modelo de transistor para el cálculo de degradación cuya implementación está basada en el sub-circuito mostrado en la Figura 2-10, que incorpora algunos elementos adicionales. Además de la fuente de tensión a la entrada del terminal de puerta y de la fuente de corriente entre drenador y fuente, este sub-circuito incluye una fuente adicional para implementar la variación en la conductancia de salida debida a la degradación. Adicionalmente, como muestra dicha figura, pueden emplearse resistencias entre los terminales de puerta y drenador y entre los terminales de puerta y fuente, para representar el aumento de la corriente de puerta debido al impacto de la ruptura dieléctrica suave [149]. Alternativamente, y con el mismo fin, en dicha solución se apunta que pueden emplearse dos fuentes de corrientes en lugar de las resistencias. La estrategia que adoptan las soluciones previamente mencionadas ([22], [61], [104]) es ajustar la variación de la tensión umbral y de la movilidad en función del número de trampas generadas en la interfaz del aislante con el sustrato y de las trampas en el óxido, mientras que la degradación de la conductancia de salida la ajustan, a su vez, como dependiente de la variación de la tensión umbral. La contribución del BTI la calculan basándose en [19] y la del efecto HCI en trabajos como [105], [116]. Si bien, la propuesta realizada en estos trabajos, aporta un modelado más complejo y tiene en cuenta un mayor número de factores y dependencias, sigue compartiendo algunas de las desventajas de los trabajos anteriormente mencionados. Por ejemplo, la degradación combinada debido al impacto de HCI y BTI, si bien puede adaptarse para calcularse a tramos con diferentes condiciones de estrés, sigue sin tener en cuenta los efectos de recuperación del BTI, sin considerar cómo esto puede variar las condiciones de degradación y, por tanto, la propia degradación del circuito a lo largo del tiempo. Además, el propio modelado en sí, sigue basándose en considerar la naturaleza del *aging* de forma determinista, tomando, por ejemplo, como

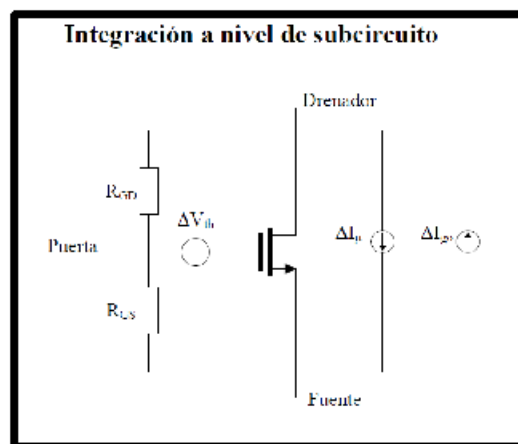


Figura 2-10. Propuesta de sub-circuito mostrada en [61], [104] y [22].

base modelos como el RD, cuando se ha mencionado que estudios recientes demuestran que la naturaleza del *aging* pasa a ser estocástica.

Además de las soluciones y los modelos semi-empíricos mostrados y tan ampliamente utilizados, existen modelos algo más complejos que son los empleados por las herramientas comerciales de simulación de circuitos como son Legato Reliability Solution™ [150] (antiguamente Cadence RelXpert™ [151]), Mentor Graphics Eldo™ [152] o Synopsys HSIPlus MOSRA™ [153], [154]. Los modelos que emplean estas herramientas son muy similares a los mostrados en los trabajos anteriores, con la salvedad de que pueden tener en cuenta algunas dependencias y parámetros de ajuste adicionales. Por ejemplo, se incorpora una dependencia en la degradación por BTI con la caída de tensión V_{DS} , y para HCI, no sólo se tiene en cuenta la tensión aplicada en el terminal de puerta, sino que se incorporan dependencias con las corrientes de sustrato y de puerta de acuerdo a estudios como [155]–[157]. La principal limitación que presentan actualmente estas herramientas en el modelado de la TDV es que este se hace de forma determinista, por lo que se ignora la naturaleza estocástica del *aging*, lo que puede provocar nuevamente faltas de precisión. Una descripción más detallada de estas herramientas puede encontrarse en el capítulo 3.

La necesidad de comprender y modelar los efectos del *aging* acorde a su naturaleza, incluyendo los efectos de recuperación y la naturaleza estocástica de los mismos, es justamente la razón por la que en esta tesis se utiliza el modelo que será presentado en el próximo apartado. Básicamente, este es uno de los pasos necesarios dentro de los diferentes retos que plantea el estudio del *aging* en escala nanométrica tal como se ha planteado en [62]. En cualquier caso, lo que parece claro es que debido al aumento del escalado en las tecnologías CMOS, donde se presenta la naturaleza estocástica del *aging*, en aras de avanzar hacia modelos más precisos, será necesario reemplazar en los próximos años los modelos deterministas tradicionales por nuevos modelos estocásticos [62], [158], [159].

2.5. Modelo de variabilidad propuesto para esta tesis

2.5.1. Introducción

La propuesta realizada en este trabajo consiste en la inclusión conjunta de un modelo para la variabilidad a tiempo cero y un modelo para la variabilidad temporal, teniendo en cuenta esta última únicamente los efectos de degradación por envejecimiento o *aging*. En concreto, el modelo de TDV utilizado se centra en la degradación debida a los fenómenos de HCI y BTI. También, debe tener en cuenta la naturaleza estocástica del *aging* para dispositivos de la escala nanométrica con el fin de mejorar la precisión del cálculo de la degradación [62], [149], [158]. Por la misma razón y con el mismo fin, este modelo, teniendo en cuenta las posibles condiciones de estrés, deberá incluir no sólo los fenómenos de degradación sino también los mecanismos de recuperación del BTI y deberá hacerlo de forma eficiente para que la integración del modelo en simuladores o herramientas de cálculo de fiabilidad resulte en soluciones computacionalmente eficientes.

2.5.2. Modelo de TZV

En este trabajo, el modelo estocástico de TZV es integrado haciendo uso de la información proporcionada por los fabricantes. Concretamente, se emplea la librería de Monte-Carlo (MC) proporcionada por los mismos, para generar un número de muestras de variabilidad espacial que pueda satisfacer los requerimientos de precisión, según los parámetros de los dispositivos o las prestaciones del circuito evaluadas. Específicamente, las distribuciones que proporciona el fabricante para el análisis de MC de la tecnología UMC 65-nm empleada en este trabajo, son distribuciones gaussianas con una determinada dispersión, centradas sobre el valor nominal de los parámetros.

La aportación verdaderamente interesante de este trabajo no es el modelo de TZV utilizado, sino la forma en la que este modelo estocástico de TZV se integra con un modelo estocástico de TDV en el simulador de fiabilidad. Esto será abordado en profundidad en el próximo capítulo donde se explica la implementación realizada para el simulador de fiabilidad. En este punto, sobre lo que se pretende hacer reflexionar es sobre ciertas cuestiones como por ejemplo la siguiente. Se sabe que la degradación debida al *aging* vendrá determinada en general por las condiciones de estrés (condiciones a las que opera el dispositivo), tales como las tensiones aplicadas a los terminales o la temperatura, pero también influirán otros parámetros como las dimensiones de los dispositivos, etc. Dicho esto, si se piensa en cómo afectará la TZV a la forma en la que envejecen los dispositivos, incluso si se utilizan modelos TDV deterministas (dos muestras idénticas bajo las mismas condiciones envejecerán igual), se dará el caso en que dos dispositivos idealmente idénticos, desde el principio de la operación del circuito, se degradarán de forma diferente, debido a que partían de puntos de partida distintos a causa de la TZV. Esto se complica aún mucho más cuando, como es el caso de este trabajo, la propia TDV también tiene un modelo estocástico, lo que, si bien enriquece el estudio estadístico y lo hace más cercano a la realidad y a la naturaleza de los fenómenos, da lugar a una mayor complejidad a la hora de la implementación. Esto motiva que el reto se encuentre en la integración combinada de los dos modelos estocásticos de TZV y TDV que interactúan entre sí.

2.5.3. Modelo de TDV

El modelo propuesto se trata de un modelo compacto que trata de modelar de forma combinada tanto la degradación por HCI como por BTI en un dispositivo. Esta degradación será función de una serie de aspectos tales como las condiciones de estrés a las que opere el dispositivo, el tipo de dispositivo (PMOS o NMOS) y sus dimensiones. En este sentido la filosofía seguida en el modelado es la de tratar de reflejar las dependencias de los mecanismos conocidos, que se calibrarán y caracterizarán en función de medidas empíricas realizadas en silicio. Esta caracterización como se ha comentado en el capítulo uno se está llevando a cabo mediante la fabricación y testado del chip ENDURANCE [25] en una contribución que no forma parte de este trabajo pero que guarda una estrecha relación con el mismo.

Uno de los motivos principales de proponer un modelo compacto se debe a que, en el rango habitual de operación de los circuitos, estos se encontrarán a menudo en situaciones

donde tanto V_{GS} como V_{DS} tendrán un valor intermedio o alto, lo que significa que los mecanismos de BTI y HCI estarán actuando simultáneamente. Sabiendo que los mecanismos físicos detrás de estos efectos se interfieren mutuamente, este modelo compacto resulta práctico para incluir la contribución que surge cuando ambos actúan de forma simultánea y combinada. Actualmente, la dependencia de estos efectos con el efecto sustrato o efecto cuerpo, esto es, cuando V_{BS} o V_{SB} es distinta de cero no está incluida en el modelo y se espera que tenga una influencia menor en comparación con las caídas de tensión V_{GS}/V_{SG} y V_{DS}/V_{SD} . En [160], [161] pueden encontrarse estudios que analizan esta dependencia. Actualmente, a fecha de elaboración de esta tesis se está trabajando sobre la caracterización de esta dependencia para su futura inclusión en el modelo. En definitiva, en lo que respecta al desarrollo mostrado en este apartado $V_{GS} = V_{GB}$ y $V_{DS} = V_{DB}$.

Se ha decidido atribuir todo el impacto de la degradación a variaciones en la tensión umbral V_{th} de los dispositivos. Esto se debe principalmente a dos razones. La primera es que numerosos estudios respaldan que el efecto de degradación dominante sea la variación de la tensión umbral, habiéndose obtenido en muchos casos, resultados suficientemente precisos considerando únicamente este parámetro. La segunda razón es que, en primera instancia, considerar sólo la variación de este parámetro facilita el manejo y la integración del modelo para su uso dentro del simulador de fiabilidad. Respecto a la inclusión de V_{th} en el simulador, se ha optado por emplear un subcircuito convencional con una fuente de tensión en el terminal de puerta de los transistores.

En definitiva, el modelo de TDV utilizado en esta tesis, reflejará un cambio en la tensión umbral de los dispositivos. Tendrá una componente de daño o degradación recuperable (CDR) y una componente de daño o degradación permanente (CDP) como muestra la siguiente expresión:

$$\Delta V_{th}^{TDV} = \Delta V_{th}^{CDR} + \Delta V_{th}^{CDP} \quad \text{Ec. 2-7}$$

La componente de daño recuperable se utiliza para incluir la estocasticidad de la TDV en la escala nanométrica y los mecanismos de recuperación del BTI y para ello se basa en un mecanismo de trampas o defectos que permite considerar el atrapamiento de carga en la interfaz entre el óxido y el canal. La componente de daño no recuperable se incluye para considerar las evidencias de que parte de la degradación que se produce a lo largo del tiempo no es recuperable sino permanente [81], [102], [103]. La composición de dichas componentes se explicará detalladamente más adelante en sus correspondientes sub-apartados.

2.5.3.1. Parte recuperable del modelo

Como se ha comentado, la parte o componente recuperable del modelo introducirá la estocasticidad en el mismo y los fenómenos de recuperación del BTI. El reto, en este sentido, está en la inclusión de ambos aspectos de forma que el modelo sea manejable y que su posterior integración en un simulador de fiabilidad resulte en una solución computacionalmente eficiente.

Con este fin, la parte recuperable del modelo de variabilidad dependiente del tiempo utilizado en esta tesis está basado en el modelo probabilístico de ocupación de defectos o *Probabilistic Defect Occupancy (PDO) model* [1]. El PDO es un modelo basado en la física del dispositivo. La idea que subyace detrás de este modelo es la de modelar el atrapamiento y emisión de carga en un dispositivo debido a las condiciones de estrés aplicadas, al tipo de dispositivo y a las dimensiones del mismo. Con esta información, el modelo pretende evaluar el impacto sobre las características del dispositivo. La degradación del dispositivo se calculará, por tanto, como una degradación o recuperación del valor de la tensión umbral del mismo. El número y localización de los defectos y, por tanto, las características de los mismos, difieren para cada dispositivo. Por ello, la estocasticidad del modelo hace que el número de “defectos” que pueden capturar y emitir carga, presentes en cada dispositivo siga una distribución estadística determinada. Además, la posible contribución de cada defecto, también será variable dependiendo, por ejemplo, de la zona física en donde la carga fue capturada. Por ello, dicha contribución también sigue una distribución estadística concreta.

Si bien el trabajo presentado en [1] se centraba únicamente en el modelado del NBTI, en esta tesis se utiliza una versión actualizada que incluye algunas mejoras. La más relevante, tiene que ver con que el modelo actual permite incluir los efectos estocásticos del BTI y del HCI de manera conjunta en un modelo compacto. Para ello además de la dependencia con la tensión aplicada en el terminal de puerta o *gate* que se mostraba en [1], se ha incluido también una dependencia con la tensión aplicada en drenador o *drain*, o lo que es lo mismo, se considera de manera conjunta los efectos producidos tanto por el campo horizontal como por el vertical en la degradación.

Por otro lado, la actual parte recuperable no se ha desarrollado sólo para NBTI en dispositivos PMOS como en [1], sino que se ha modelado y caracterizado también el PBTI para dispositivos NMOS. Si bien es cierto que, como en esta tesis se ha trabajado la tecnología UMC 65-nm, el impacto del PBTI será inferior en comparación al NBTI (esto se puede ver a simple vista en las medidas experimentales sobre dispositivos, donde se aprecian muchos menos fenómenos de captura y emisión de carga de los defectos en dispositivos NMOS) [162]. No obstante, este desarrollo permite facilitar el uso del modelo en futuros trabajos que utilicen tecnologías basadas en *high-k*, donde se sabe que el impacto del PBTI es del mismo orden o incluso superior al NBTI.

Puede ser ilustrativo plantear en primer lugar el caso más simple posible, que consistiría en un dispositivo con un único defecto. Si este defecto capturase carga o, dicho de otro modo, fuese ocupado, entonces la tensión umbral del dispositivo se degradaría (aumentaría en valor absoluto). Si, por el contrario, una carga capturada fuese emitida, la tensión umbral vería un efecto de recuperación (se reduciría en valor absoluto). Este defecto se caracterizará por tener un tiempo de captura de carga promedio $\langle\tau_c\rangle$ un tiempo de emisión de carga promedio $\langle\tau_e\rangle$ y una contribución promedio $\langle\eta\rangle$. La contribución se refiere a la variación que sufrirá la tensión umbral cuando el defecto esté cargado o descargado. Los tiempos de captura y emisión, dependerán de la tecnología y, de forma muy importante, de las condiciones de estrés, esto es, de las tensiones aplicadas a los

terminales del dispositivo y la temperatura. De forma intuitiva, el comportamiento convencional se corresponde con que, cuando el circuito está operando a condiciones de estrés severas (elevadas caídas de tensiones y/o elevada temperatura), los tiempos de captura de carga se reducirán, mientras que el tiempo de emisión tenderá a aumentar (se percibirá una degradación más rápida). Por el contrario, si estas condiciones de estrés son relativamente bajas, por ejemplo, muy por debajo de la tensión nominal, será raro que se produzca degradación, o lo que es equivalente, los tiempos de captura serán muy largos y los de emisión muy bajos, por lo que apenas se percibirá degradación. En conclusión, en la parte recuperable, la situación general será la de que, en cada dispositivo, coexisten una serie de defectos, cada uno con sus correspondientes características de tiempos de captura y emisión y de contribución al daño. La degradación total del dispositivo en un momento dado, vendrá dada por la suma de todas las contribuciones de los defectos del dispositivo que para ese momento se encuentren capturados. Si, por ejemplo, se piensa en el caso de unas condiciones de estrés constantes, por ser el caso más sencillo, la degradación progresiva del dispositivo debido a la parte recuperable del modelo, será debida a defectos que, para las características de los dispositivos, las condiciones de estrés a las que están operando y el tiempo transcurrido, han ido progresivamente capturando carga, las cuales, mientras se mantengan dichas condiciones, no serán liberadas.

Como se ha comentado a lo largo del capítulo, la ventana fenomenológica de la captura y emisión de carga de los defectos es extremadamente amplia, abarcando varios ordenes de magnitud, pudiendo ir desde tiempos inferiores al nanosegundo hasta mayores de decenas o incluso centenas de años [84], [95], [96], [99], [163], [164]. Conviene recordar que, además, estos tiempos, para un dispositivo dado, variarán enormemente en función de las condiciones de estrés a las que éste esté sometido. Debe tenerse en cuenta que las características de cada dispositivo variarán debido a la estocasticidad de los propios defectos, concretamente, las características de un defecto en cuanto a sus tiempos de captura, emisión y contribución, suele estar fuertemente relacionado con la localización del mismo en el dispositivo [165]. Desde la perspectiva del modelo utilizado, lo que interesa es caracterizarlos en función de sus tiempos de captura y emisión, sabiendo que, la estocasticidad del modelo hace que tanto el número de defectos presentes en cada dispositivo como la distribución de los mismos se modelen como una distribución estadística. Concretamente, la forma de caracterizar el tiempo de captura y de emisión, es a través de una distribución gaussiana bidimensional, por lo que la representación en el plano τ_c - τ_e resulta en una elipse como la de la Figura 2-11, que muestra la función de distribución de defectos de un dispositivo PMOS para unas condiciones de operación de $V_{GB} = 1.2V$, $V_{DB} = 0V$ y temperatura ambiente de 25° .

La forma de interpretar la Figura 2-11 consiste en que ésta representa, para cada defecto presente en el dispositivo, la probabilidad de que este se encuentre definido en la tupla de valores τ_c - τ_e , cuando el dispositivo está sometido a las condiciones de estrés correspondientes (en este caso $V_{GB}=1.2V$, $V_{DB}=0V$ y $T=25^\circ$). La distribución de tiempos de captura y emisión de los defectos, denominada en este trabajo como D_{defect} es una distribución log-normal bivariable, que se define por el valor medio de los tiempos de captura y emisión ($\langle \tau_c \rangle$ y $\langle \tau_e \rangle$), sus desviaciones estándar (σ_{τ_c} y σ_{τ_e}) y el coeficiente de

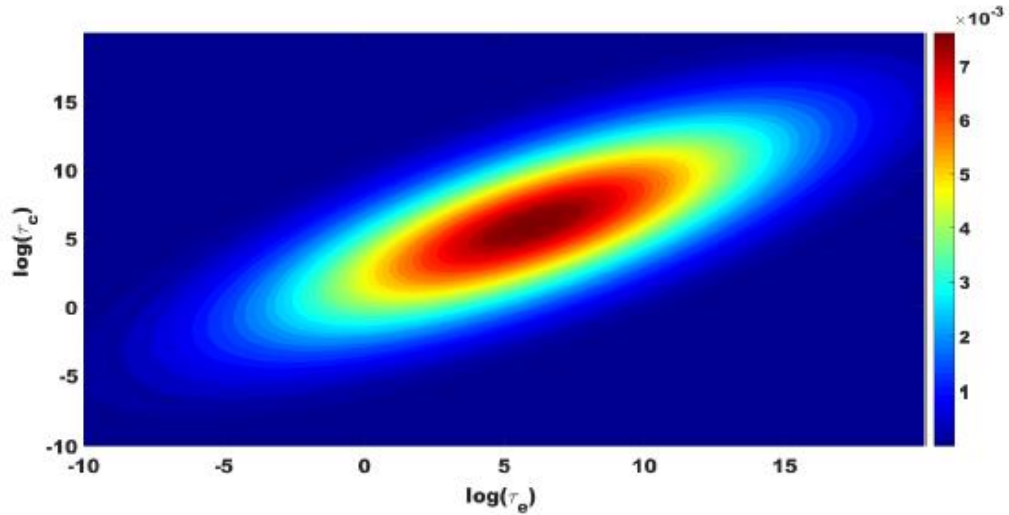


Figura 2-11. Función de distribución de defectos de un dispositivo PMOS ($V_{GB}=1.2V$, $V_{DB}=0V$ y $T=25^\circ$).

correlación entre ambos ρ . En la Tabla 2-1, se encuentra la parametrización provisional que se ha utilizado durante la elaboración de esta tesis; en la actualidad, el grupo de investigación sigue realizando medidas y trabajando para afinar la caracterización de los valores de del modelo. Recordar que los datos aportados son para la tecnología UMC 65-nm y que los valores medios y las desviaciones estándar vienen dados en la escala logarítmica.

Tabla 2-1. Parametrización actual de la distribución de defectos en las condiciones $V_{GB}=1.2V$, $V_{DB}=0V$ y $T=25^\circ$.

Tipo	$\langle \tau_c \rangle$	$\langle \tau_e \rangle$	σ_{τ_c}	σ_{τ_e}	ρ
PMOS	6.56476	6.03562	6.00236	5.76383	0.8923
NMOS	6.00120	4.65463	5.99200	6.10030	0.8954

En la Figura 2-11, D_{defect} se ha definido para unas condiciones de estrés dadas. El siguiente paso será definir como la distribución se ve afectada por cambios en las condiciones de estrés. En primer lugar, se muestra cómo se ha modelado la influencia de la temperatura y, posteriormente, cuáles son las dependencias con los cambios de tensión.

Si se considera que la captura y emisión de carga de los defectos se produce mediante procesos activados por energía, se puede establecer la siguiente relación entre los tiempos de captura y emisión con la temperatura:

$$\tau'_c = \tau_{c0} \cdot e^{\frac{E_{a\tau_c}}{k \cdot T}} \quad \text{Ec. 2-8}$$

$$\tau'_e = \tau_{e0} \cdot e^{\frac{E_{a\tau_e}}{k \cdot T}} \quad \text{Ec. 2-9}$$

donde τ_{c0} y τ_{e0} son los tiempos de captura y emisión caracterizados por defecto a 25°C , $E_{a\tau_c}$ y $E_{a\tau_e}$ se refieren a la energía de activación necesaria para la captura y emisión de carga en los defectos [166] y k es la constante de Boltzmann. En la Figura 2-12, se ha

representado gráficamente la dependencia de los tiempos de emisión y captura con la temperatura. En dicha gráfica, se muestra como varían estos valores (en escala logarítmica) en función de la temperatura tanto en un defecto presente en un dispositivo PMOS como NMOS, y cuyos tiempos de captura y emisión en cada caso, y sin pérdida de generalidad, se han tomado como los valores promedios de la distribución mostrada en la Tabla 2-1.

La conclusión a la que se puede llegar observando la gráfica es que las dinámicas de los defectos se ven aceleradas conforme aumenta la temperatura, lo cual es el resultado esperado. No obstante, se puede pensar que, si los tiempos de emisión son también acelerados, no debería observarse una mayor degradación en los dispositivos con el aumento de temperatura, como ocurre con las medidas experimentales. Para entender este hecho es apropiado realizar dos consideraciones. La primera de ellas consiste en que el aumento o no de la degradación dependerá de la tasa en la que se aceleren tanto los tiempos de captura como de emisión y, por tanto, de la propia tasa de degradación. Es decir, en lo que se refiere a la parte recuperable del modelo, la degradación aumentará con la temperatura a largo plazo siempre que los tiempos de captura se reduzcan en mayor medida que los de emisión. Por otro lado, incluso si este no es el caso, la segunda consideración es que no se debe olvidar, que la componente recuperable es solo una parte de la contribución al daño o degradación, pero que el efecto conjunto observado incluirá también el daño permanente, donde no hay efecto de recuperación y donde, como se verá posteriormente, la temperatura, en todo caso, aumenta la degradación.

Abordando a continuación la dependencia con la tensión, se ha comentado que un incremento de la tensión aplicada en el terminal de puerta aumentará el campo vertical en el canal del transistor, el cual favorecerá que se produzca el atrapamiento de carga y, por tanto, un aumento de la degradación. Desde la perspectiva del modelo, un aumento de la tensión de puerta con el consecuente aumento del campo eléctrico vertical, directamente perpendicular a la interfaz del óxido, favorecerá el atrapamiento de carga en la interfaz o el óxido, mientras que, al mismo tiempo, dificulta que la carga sea liberada o emitida.

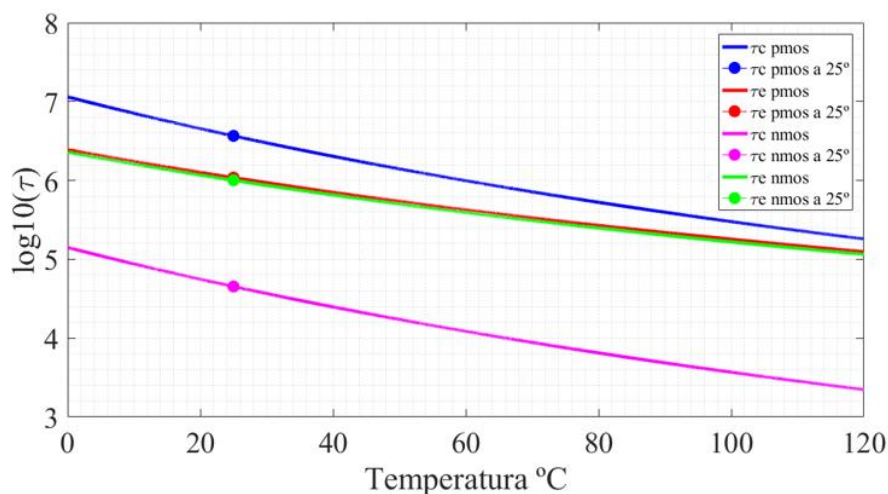


Figura 2-12. Dependencia con la temperatura de los tiempos de captura y emisión en dispositivos PMOS y NMOS.

Esto se traduce en una disminución de los tiempos de captura y un aumento de los tiempos de emisión que dan lugar a la degradación. En relación a la influencia de la tensión aplicada en el drenador, ésta daría lugar a la aparición del fenómeno de HCI y a que se produjera un impacto combinado de ambos fenómenos. El resultado de aplicar tensión a dicho terminal es un aumento del campo vertical alrededor de la zona del drenador, lo que aceleraría las cargas en el canal porque aumentaría el campo horizontal a lo largo del mismo. Esto dificultaría la captura de carga a lo largo de la interfaz del óxido por lo que se apreciará un aumento de los tiempos de captura en presencia de tensión aplicada en el drenador. No obstante, es cierto que la influencia de dicha tensión en los tiempos de captura es muy inferior a la de la tensión aplicada en el terminal de puerta. Respecto a la emisión de carga, ésta se ve dificultada porque en la región del drenador seguirá habiendo un campo vertical que las empuja en la dirección del aislante, dando como resultado conjunto, un aumento de los tiempos de emisión. Específicamente, las dependencias de los tiempos de emisión y captura con las tensiones aplicadas en los terminales de puerta y drenador utilizadas en el modelo, se muestran en las siguientes expresiones:

$$\tau'_c = \tau_{c0} \cdot \left(\frac{V_{GB}}{V_{GBref}} \right)^{\beta_c} \cdot e^{\gamma_c(V_{DB} - V_{DBref})} \quad \text{Ec. 2-10}$$

$$\tau'_e = \tau_{e0} \cdot e^{\beta_e(V_{GB} - V_{GBref})} \cdot e^{\gamma_e(V_{DB} - V_{DBref})} \quad \text{Ec. 2-11}$$

donde V_{GBref} y V_{DBref} indican los valores de las tensiones de referencia utilizadas (para este caso concreto se corresponden con $V_{GBref} = 1.2V$ y $V_{DBref} = 0V$), y τ_{c0} y τ_{e0} son los tiempos de captura y emisión caracterizados por defecto a esta tensión. El resto de parámetros deben caracterizarse experimentalmente para la tecnología. De forma parecida a como se ha procedido con la temperatura, la Figura 2-13 y la Figura 2-14 muestran respectivamente para el caso de un defecto de un dispositivos PMOS y otro defecto NMOS, la dependencia con las tensiones V_{GB} y V_{DB} de sus tiempos de captura y

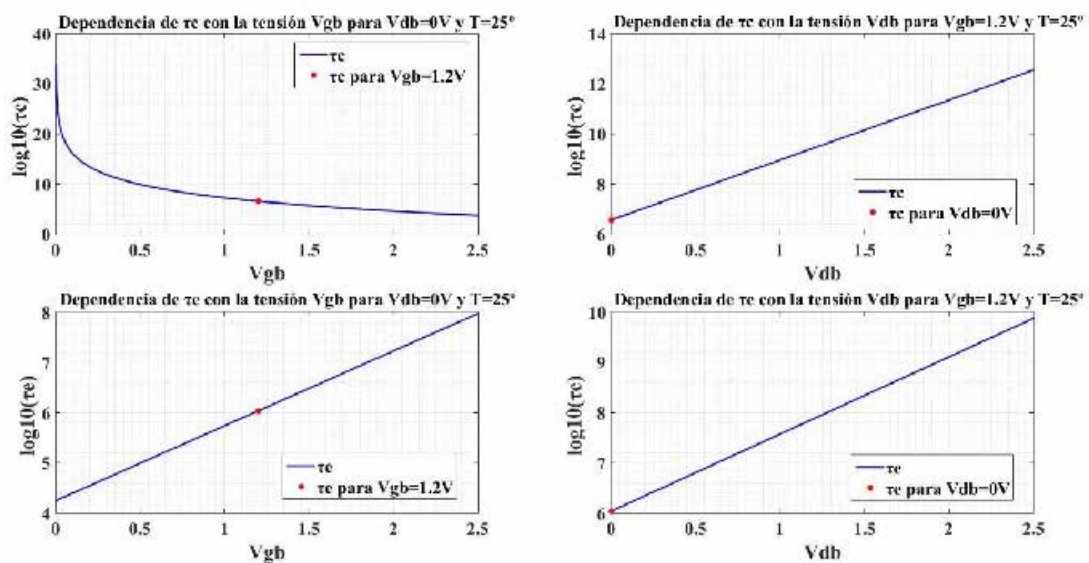


Figura 2-13. Dependencia con las tensiones V_{GB} y V_{DB} de los tiempos de captura y emisión en dispositivos PMOS.

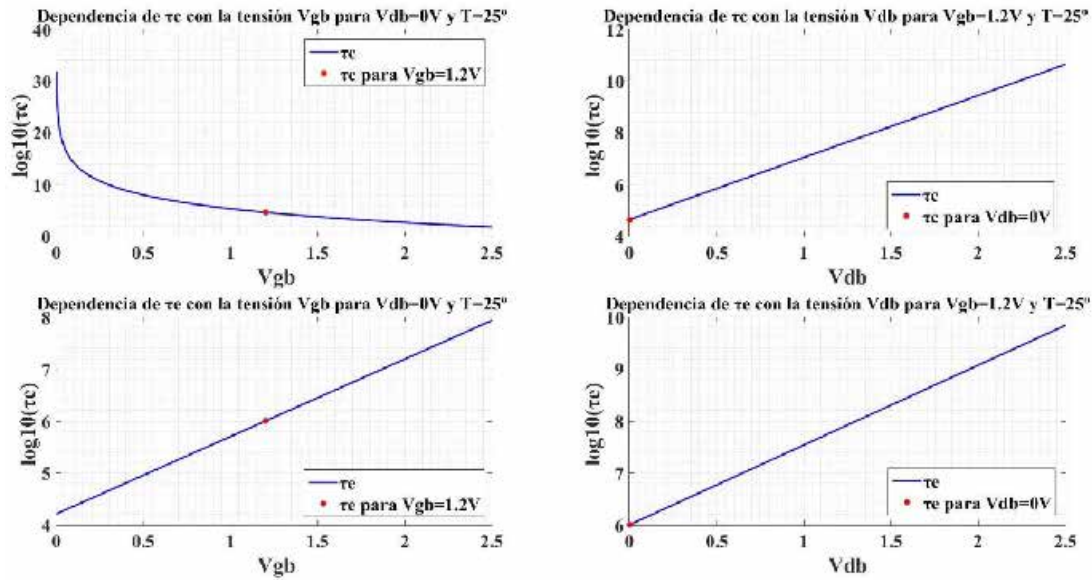


Figura 2-14. Dependencia con las tensiones V_{GB} y V_{DB} de los tiempos de captura y emisión en dispositivos NMOS.

emisión, considerando que éstos coinciden con los valores promedios mostrados en la parametrización de la Tabla 2-1.

A simple vista, como era de esperar, puede notarse que la dependencia más relevante es la de los tiempos de captura con la tensión aplicada a la puerta, que como puede verse se modela mediante una ley potencial (el eje y está representado en escala logarítmica). Nótese que cuando no se aplican tensiones en este terminal no se producirá la captura de defectos. Por su parte, el resto de dependencias (de los tiempos de captura con la tensión aplicada en el drenador y de los tiempos de emisión con las tensiones de puerta y drenador) siguen una tendencia exponencial.

En la Tabla 2-2 se muestran los valores provisionales de parametrización que han sido utilizados en el modelo en el momento de elaboración de esta tesis, para establecer las dependencias de los tiempos de emisión y captura con las tensiones aplicadas a los terminales.

Tabla 2-2. Parametrización actual de las dependencias de la parte recuperable del modelo con la tensión.

$E_{a\tau_c}$	$E_{a\tau_e}$	β_c	β_e	γ_c	γ_e
0.32	0.23	-8.84	3.43	5.52	3.54

En este punto, se tendrían caracterizados los tiempos de captura y emisión, o más concretamente, en referencia al modelo, la función de distribución de defectos (D_{defect}) y su dependencia con las condiciones de estrés, esto es, con las tensiones aplicadas y la temperatura. El siguiente paso, es explicar cómo el modelo hace uso de toda esta información para calcular la degradación en un dispositivo. Básicamente, el procedimiento consiste en calcular la probabilidad de que los defectos presentes en un dispositivo para unas condiciones de estrés dadas, hayan o no capturado carga, o, dicho

con otras palabras, que estos defectos se encuentren o no ocupados. Específicamente, dado un intervalo de tiempo Δt , en que el dispositivo ha estado sometido a unas condiciones de estrés concretas, para un defecto definido por la tupla τ_c y τ_e , calculados en el espacio τ_c - τ_e donde se ha definido la D_{defect} y cuyos valores se han calculado según las condiciones de tensión y temperatura, las probabilidades de emisión y de captura de carga en dicho intervalo para dicho defecto viene determinada por:

$$p_e = \frac{\Delta t}{\tau_e'} \quad \text{Ec. 2-12}$$

$$p_c = \frac{\Delta t}{\tau_c'} \quad \text{Ec. 2-13}$$

Siguiendo estas expresiones, es posible calcular la probabilidad de ocupación de cada defecto definido en el espacio τ_c - τ_e , el cual será definido en este trabajo como función de probabilidad de ocupación, probabilidad de ocupación o $po_{cc}(\tau_c, \tau_e)$. Para llevar a cabo la implementación de dicho cálculo puede utilizarse el Algoritmo 1.

Nótese que, si p_c y/o p_e son mayores que 1, durante el intervalo de tiempo Δt , el defecto en cuestión podrá ser capturado y emitido en más de una ocasión. La captura y emisión de defectos en un intervalo de tiempo puede ocurrir un número elevado de veces si τ_c y $\tau_e \ll \Delta t$, de forma que la probabilidad de ocupación de dicho defecto vendrá determinada por la ratio entre el número de veces que el defecto puede ser capturado y emitido. Si, por el contrario, los valores de p_c y p_e son menores que 1, la probabilidad de ocupación del defecto vendrá determinada por la probabilidad de que el defecto estuviese cargado y esta carga no se emitiese o liberase en dicho intervalo, más la probabilidad de que no estuviese cargado y se produjera la captura de carga durante dicho intervalo. En la Figura 2-15, se ilustra a modo de ejemplo, la representación gráfica de la probabilidad de ocupación calculada para un transistor que ha operado con las condiciones de estrés constantes de $V_{GB} = V_{DB} = 0.7V$ y $T = 25^\circ$ durante 10000 segundos.

Esta gráfica representa, para cada defecto definido por los tiempos τ_c y τ_e , si dicho defecto se encuentra cargado (ocupado) cuando se han aplicado unas condiciones de estrés determinadas durante un periodo de tiempo concreto. La interpretación, sin pérdida de generalidad por tratarse de un ejemplo concreto, es la siguiente. Conforme los tiempos de captura son mayores y los tiempos de emisión menores será más probable que el defecto se encuentre desocupado (representados en la figura en la franja azul). Por el contrario, conforme los tiempos de captura sean menores y los de emisión mayores, será

Algoritmo 1. Cálculo de la probabilidad de ocupación (po_{cc}) para un defecto definido por sus tiempos de captura y emisión (τ_c, τ_e) en el siguiente instante después de un intervalo Δt .

Entradas (Inputs): $po_{cc_n}(\tau_c, \tau_e)$, p_c , p_e

- 1: **if** ($p_e > 1 \parallel p_c > 1$) **then**
- 2: $po_{cc_{n+1}} = p_c / (p_c + p_e)$
- 3: **else**
- 4: $po_{cc_{n+1}} = po_{cc_n} \cdot (1 - p_e) + (1 - po_{cc_n}) \cdot p_c$
- 5: **end if**
- 6: **return** $po_{cc_{n+1}}(\tau_c, \tau_e)$

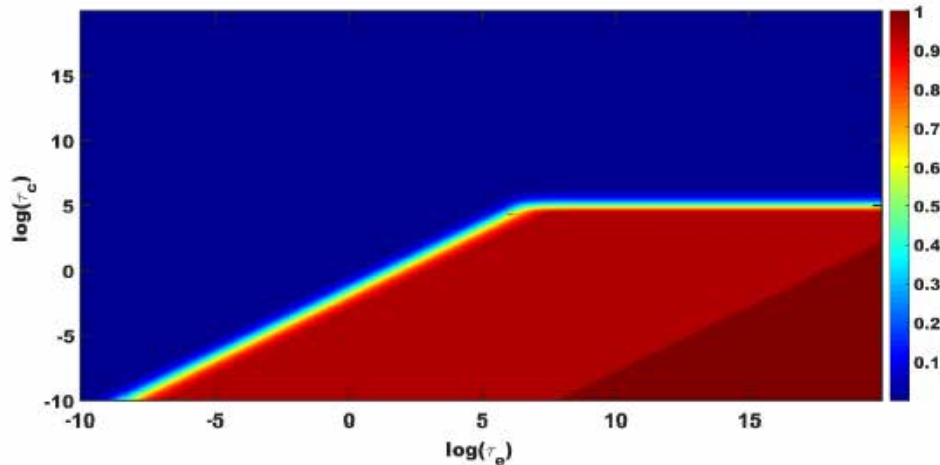


Figura 2-15. Probabilidad de ocupación de los defectos en el plano (τ_c, τ_e) de un transistor PMOS que ha operado a unas condiciones de estrés de $V_{GB}=V_{DB}=0.7V$ y $T=25^\circ$ durante 10000 segundos.

más probable que el defecto se encuentre ocupado (representados en la figura en la franja roja). Aquellos defectos que se encuentren en un espacio donde la probabilidad de que estén ocupados (o desocupados) no sea ni 0 ni 1, conformarán la banda intermedia. Más adelante en el final del apartado se hará una reflexión adicional sobre los defectos situados en esta banda.

El último paso para completar la explicación del modelado de la componente recuperable, consiste en explicar cómo el modelo hace uso de la D_{defect} y de la p_{occ} para calcular definitivamente la degradación del dispositivo. En este sentido, además de la información proporcionada por la D_{defect} y la p_{occ} , será necesario conocer la dimensión del dispositivo (Anchura, W y largo, L). Por otro lado, al tratarse de un modelo estocástico, será necesario realizar dicho cálculo sobre un determinado número de muestras, para que los resultados estadísticos obtenidos sean lo suficientemente representativos. De forma concreta, el Algoritmo 2 muestra el procedimiento llevado a cabo para calcular la degradación de la tensión umbral empleando un número de muestras $N_{samples}$. Debe tenerse en cuenta que, para cada muestra generada, el número de defectos que coexisten en el transistor es calculado mediante la dependencia que tiene cada tecnología con el área del dispositivo. En el algoritmo mostrado, D_{dens} representa la densidad de defectos por unidad de área para la tecnología empleada.

Inicialmente, dependiendo del tamaño del dispositivo y de la densidad de defectos de la tecnología utilizada, se calculará el número medio de defectos por transistor. Debe tenerse en cuenta en este punto que, si el número de defectos medios calculados es lo suficientemente grande, lo cual ocurrirá generalmente si el dispositivo tiene unas dimensiones relativamente grandes, los valores de dispersión, esto es, las desviaciones estándar serán muy pequeñas, lo que da lugar a una situación que puede tratarse como determinista pese a la naturaleza estocástica del *aging*. De hecho, esta es la razón de por qué los estudios pasados, generalmente en tecnologías por encima de los nodos tecnológicos de 90nm, utilizaban modelos deterministas y eran capaces de obtener resultados precisos. Volviendo al algoritmo, si definitivamente, el número medio de

Algoritmo 2. Cálculo de la componente recuperable de la degradación de la tensión umbral

```

Entradas (Inputs):  $pocc(\tau_c, \tau_e)$ ,  $Ddefect(\tau_c, \tau_e)$ ,  $W$ ,  $L$ ,  $N_{samples}$ ,  $D_{dens}$ 
1:  $i=0$ 
2:  $D_{mean} = D_{dens} \cdot W \cdot L$ 
3: while  $i < N_{samples}$  do
4:    $\Delta V_{th}(i) = 0$ 
5:   if  $D_{mean} < D_{MAX}$  then
6:      $D = \text{genNumberDefect}(D_{mean})$ 
7:     while  $j < D$  do
8:        $j++$ 
9:        $|\tau_c, \tau_e| = \text{genDefect}(Ddefect)$ 
10:       $P = \text{random}$ 
11:      if  $P < pocc(\tau_c, \tau_e)$  then
12:         $\Delta V_{th}(i)^{rec} += \text{genContribution}(W \cdot L)$ 
13:      end if
14:    end while
15:  else
16:     $\Delta V_{th}(i)^{rec} = \text{det}V_{th}$ 
17:  end if
18:   $i++$ 
19: end while
20: return  $\overline{\Delta V_{th}}^{rec}$ 

```

defectos es lo suficientemente alto, la degradación de la tensión umbral se calcula de forma determinista siguiendo la expresión:

$$detV_{th} = D_{dens} \cdot \langle \eta \rangle \cdot \iint Ddefect(\tau_c, \tau_e) \cdot pocc(\tau_c, \tau_e) d\tau_e d\tau_c \tag{Ec. 2-14}$$

Si, por el contrario, el número medio de defectos por dispositivo, requiere de un estudio estadístico, se emplea en primer lugar una función de distribución de Poisson para generar el número de defectos que tendrá cada muestra [1], [167]. Este es el primer elemento de estocasticidad añadido al modelo, ya que dos dispositivos con la misma área no tienen por qué tener el mismo número de defectos. A continuación, se utiliza la información de la *Ddefect* para generar los tiempos de captura y emisión de cada uno de los defectos del dispositivo y posteriormente, haciendo uso de la *pocc* se calcula para cada defecto si este se encuentra cargado o descargado.

La degradación de la tensión umbral de cada muestra vendrá determinada por la contribución a la degradación de todos los defectos que se encuentran cargados para dicha muestra. El valor de dicha contribución η será diferente para cada defecto y dependerá de las características físicas del defecto como, por ejemplo, su ubicación [165], [168]. En relación al modelo se determina siguiendo una distribución exponencial que es inversamente proporcional al área del dispositivo [1], [3], [169].

El resultado final será un conjunto de $N_{samples}$ valores de variaciones de la tensión umbral calculados para un determinado dispositivo operando bajo unas determinadas

condiciones. A dicha información de N_{samples} se le podrá realizar el estudio estadístico que se desee.

Analizada la parte recuperable del modelo, puede entenderse que la solución propuesta puede modelar de forma válida no sólo los fenómenos de degradación debido a la fenomenología del BTI y el HCI, sino que también, debido a la física en la que se basa el modelo, así como a su implementación, éste es válido para explicar el fenómeno de RTN.

Recordando la Figura 2-7, el RTN puede entenderse como una situación particular semi-estacionaria del mecanismo de atrapamiento y emisión de carga donde, para unas condiciones de estrés dadas, existe una serie de defectos en los dispositivos que tendrán unos tiempos de emisión y captura determinados que, en promedio, hacen que para dichas condiciones los defectos no se encuentren ni cargados ni descargados a lo largo del tiempo, ni que se carguen o se emitan una sola vez, sino que de forma transitoria, estos defectos se cargan y se descargan a lo largo del tiempo para esas condiciones.

Pensando en el modelo de la parte recuperable, esta situación se correspondería justamente con aquellos defectos de un dispositivo que dentro del espacio $\tau_c - \tau_e$, para unas condiciones de estrés determinadas, tuvieran una probabilidad de ocupación que no fuera ni 0 ni 1. Bajo esta premisa, si se recuerda la Figura 2-15, los defectos que presentarán el comportamiento de RTN serán aquellos defectos situados sobre la franja intermedia de la *pocc* cuyas probabilidades de captura o emisión son distintas de 0 y 1.

Debe tenerse en cuenta que, aunque la *pocc* cambiará a lo largo del tiempo debido a los cambios en las condiciones de estrés, lo hará progresivamente, por lo que puede considerarse de forma cuasi-estática en el tiempo que, durante un intervalo de tiempo concreto, habrá defectos que se encuentren para dicho intervalo dentro de esta franja intermedia. En este sentido, la evolución de la *pocc* marcará a su vez la evolución del RTN, porque determinará el número de defectos que para cada intervalo temporal y condiciones de estrés se encontrarán en la franja intermedia. El efecto que el RTN produce sobre el dispositivo sería, por tanto, análogo al producido por la captura y emisión de carga del BTI. El dispositivo variará su tensión umbral en el valor η correspondiente a la contribución del defecto que se carga o descarga, modificando en la señal su valor de corriente o tensión en consecuencia. Los tiempos en los que la señal se encuentre cargada y descargada estarán relacionados según el modelo propuesto en función de los valores τ_c y τ_e .

En definitiva, la componente recuperable del modelo empleado en esta tesis, basado en una versión actualizada del PDO publicado en [1], permite modelar adecuadamente los efectos debido a los mecanismos de atrapamiento y emisión de carga tales como el RTN y lo que más interesa en este trabajo, el efecto combinado del BTI y HCI. Dicho modelo permite el estudio estadístico de la degradación, al tratarse de un modelo estocástico cercano a la naturaleza real de los fenómenos del *aging* en la escala nanométrica, incluyendo inherentemente los mecanismos de degradación y recuperación.

2.5.3.2. Parte permanente del modelo.

El modelo PDO original [1], fue inicialmente concebido para modelar la captura y emisión de carga en los defectos de la interfaz debido al efecto BTI, estableciendo sólo una dependencia con la tensión aplicada en la puerta o, equivalentemente con la caída de tensión V_{GB}/V_{BG} o V_{GS}/V_{SG} (en el modelo $V_{BS}/V_{BS} = 0$). En la versión actualizada del modelo PDO mostrada en esta tesis, la componente de daño recuperable del modelo sigue modelando la captura y emisión de carga en los defectos de la interfaz, pero en este caso se incluyó la dependencia con la tensión de drenador o con la caída de tensión V_{DB}/V_{DG} o V_{DS}/V_{DB} . En este sentido, la interpretación física de la componente recuperable del modelo puede entenderse como el modelado de los efectos de captura y emisión de carga en la interfaz del dispositivo debido a la contribución conjunta de los efectos de BTI y HCI, o desde otro punto de vista análogo, a la captura o emisión de carga de los defectos de la interfaz debido al BTI en presencia de HCI.

Por otro lado, es ampliamente conocido que las medidas empíricas muestran un daño o degradación no recuperable en los dispositivos. Pensando en la parte recuperable del modelo presentado en el sub-apartado anterior, podría plantearse que el daño permanente observado en las medidas empíricas puede deberse a defectos de la interfaz que en el plano τ_c - τ_e han sido capturados dentro de la ventana de tiempo experimental, pero tienen un tiempo de emisión tan largo, que incluso relajando al máximo las condiciones de estrés y dando un largo tiempo de reposo no se recuperan, al menos en términos del tiempo de vida útil del dispositivo y circuito al que este pertenece. Dicho de otro modo, se estaría hablando de defectos con un τ_c dentro de la ventana experimental y un τ_e fuera de la misma, por lo que, de cara al observador, los resultados de las medidas reflejarían una degradación que no se recupera o, lo que es lo mismo, daño permanente. Si bien, este planteamiento es razonablemente válido, el problema es que no ha sido posible caracterizar el modelo de la parte recuperable por sí mismo, de forma que se obtengan resultados satisfactorios de cara a reflejar los resultados de las medidas experimentales de daño permanente.

La razón es que, dependiendo de la tecnología, las condiciones de estrés y las dimensiones de los dispositivos, aunque la degradación debida a la captura de carga por los defectos en la interfaz puede representar la principal contribución a la degradación, existen otros defectos efectos asociados al daño permanente no recuperable que no pueden ser ignorados. En este sentido, es de esperar que los mecanismos de HCI sean las principales contribuciones al daño permanente, siendo especialmente importantes las contribuciones de los mecanismos CHE y DAHC a causa de las cargas atrapadas en lo profundo del óxido y del efecto avalancha respectivamente. No obstante, del mismo modo que en la parte recuperable del modelo la presencia de HCI influye en la fenomenología del BTI, el BTI debe considerarse de forma conjunta al HCI para determinar la parte permanente. Sobre todo si se tiene en cuenta que los experimentos empíricos realizados en condiciones donde se espera que el impacto del HCI sea nulo o despreciable (en condiciones de estrés donde $V_{DS} \cong 0$) y donde el efecto dominante es el BTI, reflejan cierta degradación permanente.

En definitiva, se ha optado por completar la componente recuperable del modelo con una contribución al daño permanente de los dispositivos basada en un modelo semi-empírico determinista que incluye degradación por el impacto conjunto de los defectos HCI y BTI.

Antes de presentar dicho modelo, parece conveniente realizar algunos comentarios previos adicionales. En primer lugar, el hecho de que la construcción del modelado completo, se haya desarrollado en una línea temporal en la que en primer lugar se desarrollase la componente recuperable y posteriormente la componente permanente, no significa que esta segunda sea menos importante. Hay que destacar una vez más en este sentido, que la componente de daño permanente es fundamental para que la degradación resultante de ambas contribuciones se corresponda con las medidas experimentales. Es más, la importancia de la componente permanente crece conforme los estudios de variabilidad se realizan para tiempos más largos. De hecho, en líneas generales y dependiendo por supuesto de las condiciones, a largo plazo, la contribución de la parte permanente puede llegar a ser mucho mayor que la de la parte recuperable.

En segundo lugar, hay que comentar que tampoco sería válido, para estudios de fiabilidad a largo plazo, ignorar la componente recuperable del modelo. Por un lado, debe tenerse en cuenta que si se emplea por sí solo un modelo semi-empírico determinista, toda fuente de estocasticidad introducida se perdería. Además, una evaluación precisa del daño requerirá conocer de forma precisa, las condiciones de estrés que se están aplicando a lo largo del tiempo sobre los dispositivos. No obstante, debe tenerse en cuenta que, dependiendo del circuito, la propia degradación irá modificando estas condiciones de estrés. Este hecho, conocido como la dependencia o *link* bidireccional entre el *aging* y las condiciones de estrés se abordará en detalle en el próximo capítulo cuando se desarrolle la implementación del simulador de fiabilidad utilizado en este trabajo. Lo que es importante considerar aquí, es que debe tenerse en cuenta que la propia evolución de la degradación afectará a cómo cambiarán las condiciones de estrés a lo largo del tiempo y, en este sentido, la parte recuperable del modelo, que incluye, por ejemplo, mecanismos tales como la recuperación del BTI, determinará indirectamente las condiciones de estrés, esto es, los parámetros o variables de entrada que tendrá en cuenta la parte permanente del modelo. Por la misma razón, si bien la parte permanente del modelo no tiene de por sí una componente intrínseca de estocasticidad, la estocasticidad introducida por la parte recuperable del modelo, que afectará indirectamente a las condiciones de estrés (i.e. tensiones aplicadas), provocará que, en conjunto, la evaluación de la parte permanente se vea afectada por esta estocasticidad de forma indirecta. En otras palabras, el modelado conjunto de la parte recuperable y permanente del modelo puede dar lugar a contribuciones de la parte permanente diferentes para dos dispositivos que inicialmente son idénticos y están sometidos a las mismas condiciones, por lo que, desde esta perspectiva, el modelo completo debe considerarse estocástico.

La solución presentada es un modelo semi-empírico porque se han incluido diferentes dependencias basadas en la fenomenología, tales como las dependencias con los campos verticales y horizontales, la forma en que la temperatura afecta a los portadores, etc., del mismo modo que lo hacen algunos de los modelos predictivos y semi-empíricos que se

han presentado a lo largo del apartado 2.4. El enfoque del modelado se ha realizado desde un punto de vista empírico y muy abierto a la coexistencia de diferentes fenómenos. Una de las principales razones de este enfoque, ha sido que, en sentido práctico y buscando la eficiencia, se ha buscado el modelo que mejor se ajuste no sólo a las medidas experimentales de la parte permanente, sino que mejor resultado completo pueda ofrecer cuando se utiliza de forma conjunta con la componente recuperable del modelo.

Respecto a las dependencias introducidas, parece claro que el daño debido al BTI tendrá una fuerte dependencia con la tensión aplicada en la puerta y un aspecto que se ha podido confirmar experimentalmente es que la tensión aplicada en el drenador también afecta al BTI, reduciendo el impacto del mismo. Con estas consideraciones, el modelado de la parte permanente de variación de la tensión umbral debido al BTI utilizado es el siguiente:

$$\Delta V_{th}^{BTI}(V_{GS}, V_{DS}) = A \cdot e^{aV_{GS}} \cdot e^{bV_{DS}} = Ae^{(aV_{GS}-bV_{DS})} \quad \text{Ec. 2-15}$$

donde A , a y b son parámetros que deben ajustarse empíricamente.

Por su parte, el modelado de la parte permanente de variación de la tensión umbral debido al HCI utilizado es el siguiente:

$$\Delta V_{th}^{HCI}(V_{GS}, V_{DS}, L) = C \cdot e^{d(V_{GS}-V_{th})} \cdot e^{\frac{-c}{(V_{DS})}} \cdot e^{-fL} \quad \text{Ec. 2-16}$$

donde C , c , d y f son parámetros que deben ajustarse empíricamente.

La principal contribución del HCI, viene determinada por la influencia del campo horizontal presente en el canal que viene determinado por la tensión aplicada en el drenador (o entre el drenador y la fuente) de forma que, en definitiva, el término utilizado para la misma es:

$$e^{\frac{-c}{(V_{DS})}} \quad \text{Ec. 2-17}$$

Se ha considerado oportuno añadir un grado de libertad a la dependencia del HCI con el campo horizontal, que se relaciona con la V_{GS} aplicada, lo que, desde la perspectiva fenomenológica, se relaciona con la presencia de BTI. Además, el impacto del HCI estará influenciado por el punto del pinzamiento del canal que viene determinado por $V_{DSAT} = V_{GS} - V_{th}$. Por todas estas razones, se ha incluido la dependencia:

$$e^{d(V_{GS}-V_{th})} \quad \text{Ec. 2-18}$$

Por último, es fundamental modelar la dependencia del HCI con la longitud de canal L . Si bien algunos estudios como [104] apuntan a una dependencia del tipo $\propto \frac{1}{\sqrt{L}}$, en la propuesta presentada en este trabajo, esta dependencia se ha ajustado de la forma:

$$e^{-fL} \quad \text{Ec. 2-19}$$

Por otro lado, continuando con las dependencias con las condiciones de estrés, en este caso, con la temperatura, es comúnmente aceptado que, la dependencia de ambos efectos con la misma sigue una distribución de la forma $e^{-p/T}$, por lo se ha optado por añadir a los efectos las dependencias mostradas a continuación:

$$\Delta V_{th}^{BTI}(T) = e^{-g/T} \quad \text{Ec. 2-20}$$

$$\Delta V_{th}^{HCI}(T) = e^{-h/T} \quad \text{Ec. 2-21}$$

donde g y h son parámetros que deben ajustarse empíricamente.

Por último, quizás el aspecto clave de todo este modelado es la dependencia temporal que muestran estos efectos. Concretamente, existe un amplio consenso en que dicha tendencia seguirá una expresión del tipo t^n . Existen diferentes propuestas para el valor de n , algunas de ellas, han sido referenciadas a lo largo de este capítulo tanto para HCI como para BTI, ya que de forma general este índice será distinto para cada efecto y nodo tecnológico. En la versión actual del modelo de la componente permanente los valores empleados son $n_{BTI} = 0.27$ y $n_{HCI} = 0.42$.

En definitiva, la expresión que corresponde a la componente del daño permanente del modelo puede expresarse por:

$$\Delta V_{th}^{CP}(V_{GS}, V_{DS}, T, L, t) = [\Delta V_{th}^{BTI}(V_{GS}, V_{DS}) \cdot \Delta V_{th}^{BTI}(T) \cdot t^{n_{BTI}} + \Delta V_{th}^{HCI}(V_{GS}, V_{DS}, L) \cdot \Delta V_{th}^{HCI}(T) \cdot t^{n_{HCI}}] \quad \text{Ec. 2-22}$$

Si se desarrollan los términos, la expresión sería:

$$\Delta V_{th}^{CP} = [Ae^{(aV_{GS}-bV_{DS})} \cdot e^{-g/T}]t^{n_{BTI}} + [C \cdot e^{d(V_{GS}-V_{th})} \cdot e^{-c/(V_{DS})} \cdot e^{-fL} \cdot e^{-h/T}]t^{n_{HCI}} \quad \text{Ec. 2-23}$$

Un aspecto a tener en cuenta sobre este modelado, es que la degradación por HCI, se considera debida a la circulación de corriente por el canal, o lo que es lo mismo, se ha modelado el daño por HCI conductivo, por lo que la contribución del HCI sólo es evaluada en el caso de que haya conducción en el canal, de forma simplificada si $V_{GS} > V_{th}$.

Otro aspecto que puede llamar la atención es que, respecto a las dimensiones de los dispositivos, sólo la importante influencia que tiene la longitud de canal L sobre el HCI considerada. Esto se debe a que al estar formado el modelo completo por dos componentes, el resto de la influencia de las dimensiones tanto para el BTI como para HCI, parecen quedar bien reflejadas con su inclusión en la parte recuperable del modelo. Esto es así, porque a diferencia de la parte recuperable, parece que, hasta el momento, salvo la longitud de canal para el caso de los HCI, el resto de dimensiones muestran tener una influencia imperceptible. En cualquier caso, de forma general, se podrían incluir dichas influencias si se considera necesario, haciendo depender los coeficientes A y C de la expresión anterior de dichas dimensiones.

Es importante destacar que se ha decidido emplear el mismo modelo para ambos tipos de transistores, PMOS y NMOS, aunque evidentemente cambiando sus parámetros. Los parámetros se muestran en la Tabla 2-3.

Tabla 2-3. Parametrización actual de la componente permanente del modelo.

TIPO	A	a	b	C	c	d	f	g	h
PMOS	2.726e-5	2.682	0.1756	1.374e-3	1.663	1.155	3.837e7	14.74	20.34
NMOS	4.084e-5	0.7833	0.2225	7.601e-3	2.150	0.6757	3.837e7	8.114	29.48

Para tener una referencia de la evolución temporal de la degradación de la componente de daño permanente del modelo, se muestran a modo ilustrativo, una serie de evaluaciones del modelo para distintos valores de tensión y temperatura. Estas evaluaciones se realizan tanto para un dispositivo tipo PMOS como NMOS. La longitud de canal de ambos empleados en estas evaluaciones es de $L=60\text{nm}$. Las tensiones empleadas en las gráficas se encuentran dentro del rango nominal de tensiones de la tecnología $[0, 1.2\text{V}]$. Las evaluaciones realizadas se han llevado a cabo empleando condiciones de estrés constantes, ya que para evaluar condiciones de estrés que cambian en el tiempo será necesario implementar una herramienta de simulación, que es justamente el objetivo que se aborda en el siguiente capítulo.

La Figura 2-16 muestra los valores obtenidos para una $V_{GS} = 1.2\text{V}$ y distintos valores de V_{DS} . Por su parte, la Figura 2-17 muestra los valores obtenidos para una $V_{DS} = 1.2\text{V}$ y distintos valores de V_{GS} .

Las gráficas permiten visualizar las distintas dependencias con las tensiones (V_{GS} y V_{DS}), la temperatura y el tiempo. Respecto a las tensiones, se puede apreciar que es el factor que más hace escalar el daño. El peor caso se obtiene siempre para $V_{DS} = V_{GS} = 1.2\text{V}$. En el caso de los dispositivos PMOS donde el efecto BTI tiene una influencia determinante la dependencia o escalado del daño con la caída de tensión V_{GS} es especialmente notoria. Contrariamente, en el caso de los dispositivos NMOS donde el

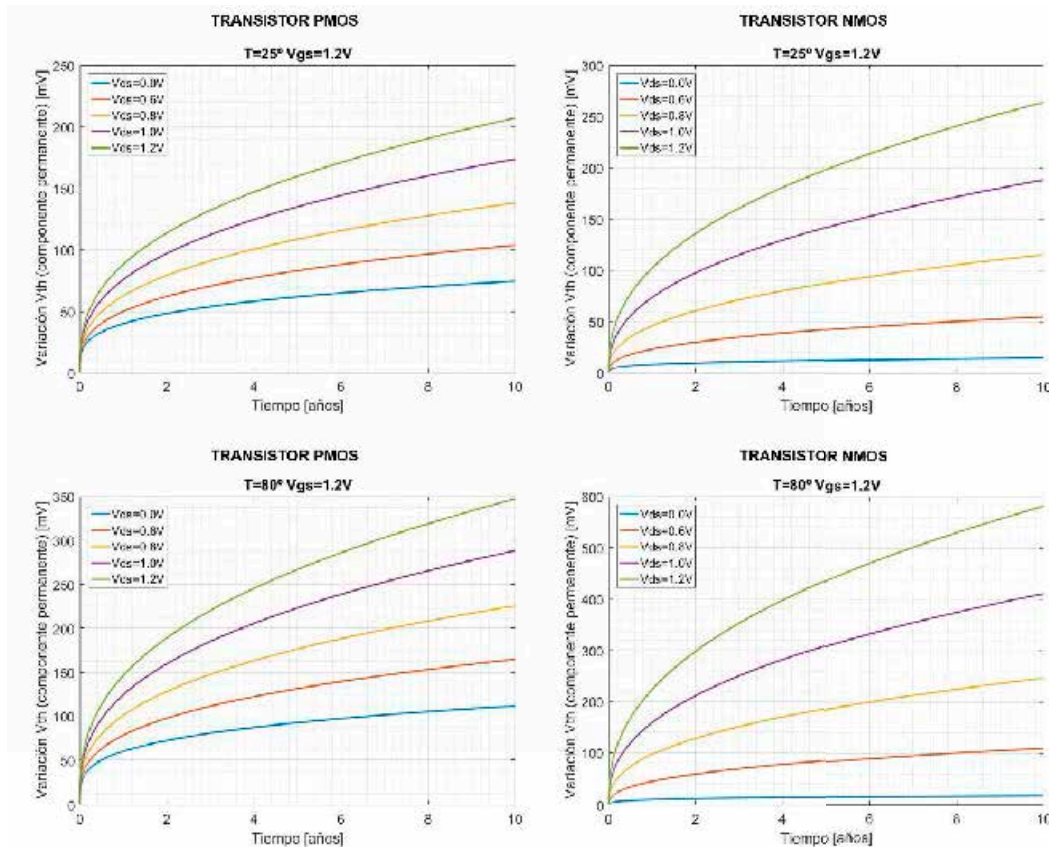


Figura 2-16. Evaluaciones de la variación de la tensión umbral de la componente de daño permanente del modelo para una $V_{GS} = 1.2\text{V}$ y $V_{DS} = [0.0\text{V}, 0.6\text{V}, 0.8\text{V}, 1.0\text{V}, 1.2\text{V}]$. En las gráficas superiores la temperatura es de $T = 25^\circ$ y en las inferiores de $T = 80^\circ$. Las gráficas de la izquierda se corresponden con los resultados obtenidos para un transistor de tipo PMOS, y las gráficas de la derecha para un transistor tipo NMOS.

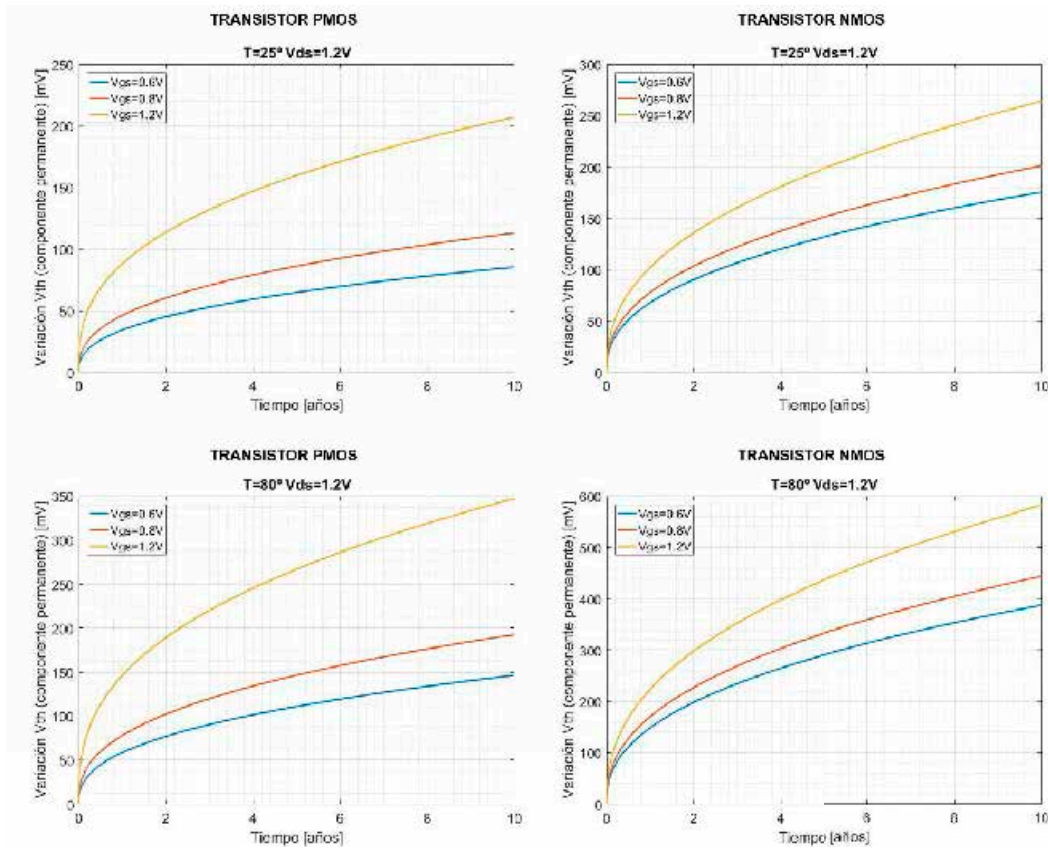


Figura 2-17. Evaluaciones de la variación de la tensión umbral de la componente de daño permanente del modelo para una $V_{DS} = 1.2V$ y $V_{GS} = [0.6V, 0.8V, 1.2V]$. En las gráficas superiores la temperatura es de $T = 25^\circ$ y en las inferiores de $T = 80^\circ$. Las gráficas de la izquierda se corresponden con los resultados obtenidos para un transistor de tipo PMOS, y las gráficas de la derecha para un transistor tipo NMOS.

efecto HCI es especialmente destructivo, se muestra una importante dependencia con la V_{DS} . Otro aspecto a destacar de esta parametrización es que la componente de daño permanente del modelo es superior para los transistores de tipo NMOS que para los PMOS bajo las mismas condiciones de estrés.

2.5.3.1. Degradación total.

Para cerrar este apartado conviene recordar que la degradación total que proporciona el modelo será la suma de las contribuciones de la componente recuperable y permanente del mismo. Conviene señalar que dada la estocasticidad de la parte recuperable, el modelo de la componente recuperable proporciona para unas condiciones de estrés aplicadas durante un intervalo de tiempo concreto, un número de muestras de variación de tensión umbral elegido para que permitieran realizar el estudio estadístico conveniente. Por tanto, la contribución completa proporcionará del mismo modo ese número de muestras. La degradación total de cada muestra para un intervalo de tiempo donde las condiciones de estrés sean constantes, será la de la contribución de la correspondiente muestra de la componente recuperable (diferente para cada muestra del intervalo) más la contribución determinista calculada para el daño permanente (que será igual para todas las muestras de dicho intervalo). Esto se refleja finalmente en la expresión:

$$\overline{\Delta V_{th}^{TDV}} = \overline{\Delta V_{th}^{CDR}} + \Delta V_{th}^{CDP} \quad \text{Ec. 2-26}$$

donde “ $\vec{}$ ” indica un vector de muestras.

2.6. Conclusiones del capítulo.

En el modelado de los efectos de degradación por envejecimiento que se presenta en esta tesis, se justifica la necesidad de reemplazar los modelos deterministas de TDV por modelos estocásticos que tengan en cuenta la naturaleza del *aging* en la escala nanométrica. El modelo empleado en este trabajo consiste en una versión actualizada del modelo probabilístico de ocupación de defectos (PDO). Se trata de un modelo estocástico basado en la física de los dispositivos que incluye dos de los principales efectos de degradación para circuitos de escala nanométrica: el Bias Temperature Instability (BTI) y el Hot Carrier Injection (HCI). El daño que estos efectos producen sobre los circuitos depende de las condiciones de estrés a la que los mismos estén sometidos. El modelo está compuesto por dos componentes: la componente de daño recuperable y la componente de daño permanente. La componente de degradación o daño recuperable modela los fenómenos de captura y emisión de carga en la interfaz de los dispositivos en función de las condiciones de estrés. Por tanto, esta componente, contempla tanto los mecanismos de degradación como los de recuperación. La componente de daño permanente como su propio nombre indica, modela el daño no recuperable, que se produce en los dispositivos.

Es importante destacar que el uso de un modelo estocástico es clave cuando se estudia el impacto de la variabilidad en la escala nanométrica, ya que permite evaluar los resultados de forma estadística.

Capítulo 3: Simulación de fiabilidad de circuitos integrados.

3.1. Introducción.

La demanda de herramientas capaces de evaluar la degradación de un circuito no sólo bajo el impacto de la TZV, sino también de la TDV, ha aumentado en los últimos años debido al fuerte impacto que produce el *aging* en los circuitos integrados de escala nanométrica.

El objetivo principal las herramientas de simulación de fiabilidad a nivel eléctrico es evaluar la degradación de un circuito cuando éste ha estado operando bajo unas condiciones de estrés concretas durante un periodo de tiempo determinado. Debe tenerse en cuenta que, en un simulador de fiabilidad, no basta con evaluar la degradación únicamente en los transistores individuales que componen el circuito (como una variación de los parámetros eléctricos de los mismos), sino que la evaluación debe realizarse sobre las prestaciones del mismo. Esta evaluación debe ser precisa y eficiente computacionalmente, para ello, los simuladores de fiabilidad harán uso modelos de degradación por envejecimiento como los presentados en el capítulo 2. Adicionalmente a la integración de estos modelos, será necesario tener en cuenta una serie de consideraciones adicionales que se explicarán a lo largo del capítulo.

En lo que se refiere a la organización de este capítulo, en primer lugar, en el apartado 3.2 se describen los objetivos y los aspectos necesarios a considerar para llevar a cabo una simulación de fiabilidad sobre circuitos integrados de escala nanométrica. En segundo lugar, en el apartado 3.3 se realiza una revisión de las diferentes propuestas relativas a la simulación de fiabilidad presentes en el estado del arte. En esta revisión se incluirán tanto las diferentes herramientas comerciales disponibles como algunas propuestas del ámbito de la investigación académica. A continuación, en el apartado 3.4 se presentará la herramienta de simulación de fiabilidad CASE. En este apartado se aborda primeramente la implementación del simulador de fiabilidad y posteriormente la herramienta para el cálculo del *lifetime* de un circuito. Finalmente, en el apartado 3.5 se recogen las conclusiones del capítulo.

3.2. Objetivos y consideraciones de la simulación de fiabilidad.

Una de las características más importantes de un simulador de fiabilidad es que debe ser capaz de evaluar las prestaciones de un circuito cuando éste opera bajo el impacto de la variabilidad, tanto TZV como TDV. Debe tenerse en cuenta que la TZV ha sido objeto de estudio durante muchos años y como consecuencia, las herramientas comerciales de simulación de circuitos son capaces en la actualidad de ofrecer soluciones eficientes a los diseñadores de CI para conocer el impacto de la TZV en sus diseños, usualmente empleando métodos como simulaciones de esquinas (*corner simulations*) o simulaciones de Monte-Carlo. Sin embargo, la inclusión adicional del impacto de la TDV, o del impacto combinado de la TZV+TDV, es todavía objeto de estudio, dada la creciente importancia de la degradación por envejecimiento debido al empleo de nuevos materiales y al gran escalado de los nuevos nodos tecnológicos.

Una primera consideración que debe tenerse en cuenta sobre la implementación de simuladores de fiabilidad, es que éstos, normalmente, integran simuladores eléctricos convencionales como, por ejemplo, SPICE o Spectre, para realizar las simulaciones eléctricas. Como se explicó en el capítulo 2, en cada evaluación del simulador eléctrico, la variabilidad se suele incluir como una variación de los parámetros de los dispositivos modificando la “*model card*” de los mismos, o bien, empleando un sub-circuito que añade una serie de componentes que emulan la degradación de los transistores. Ahora bien, un aspecto fundamental a este respecto es el hecho de que la ventana temporal de los análisis de fiabilidad puede durar años, décadas o incluso más, mientras que las simulaciones eléctricas de tipo transitorio suelen tener una ventana temporal del orden de segundos o inferior, típicamente de ms o μ s, con un paso temporal de simulación de al menos unos tres órdenes de magnitud inferior para asegurar cierta resolución. Esto conlleva que la integración directa de los mecanismos de degradación dentro de simuladores eléctricos sea inviable, ya que simular con una resolución que tiene un tiempo de paso del orden de nanosegundos, tiempos de varios años llevaría a un coste computacional desproporcionado. En este sentido, la solución básica habitual es la de emplear la extrapolación temporal de los mecanismos de degradación sobre muestras en fresco del circuito, para posteriormente realizar una nueva simulación eléctrica sobre el circuito con sus dispositivos degradados.

Por muestra o circuito en fresco en esta tesis y comúnmente en el contexto de la fiabilidad de circuitos, se entiende a aquellos circuitos salidos de fábrica que han permanecido en reposo desde su fabricación, es decir, a los que no se le ha aplicado ningún tipo de señales de tensión o corriente en ninguno de sus terminales y, por tanto, no han comenzado su tiempo de vida bajo ningún tipo de operación. Desde otra perspectiva, son circuitos que sólo se encuentran afectados por la TZV.

En este sentido, la Figura 3-1 muestra, de forma ilustrativa, el flujo básico de un simulador de fiabilidad. El primer paso será la realización de un análisis eléctrico del circuito con todos sus dispositivos en fresco. Típicamente se realiza un análisis transitorio cuyos estímulos de entrada sean representativos de las condiciones de operación del circuito al que se le va a realizar el estudio. De este análisis es posible extraer las condiciones de estrés en cada uno de los terminales de los dispositivos del circuito durante la operación, es decir, la evolución de las formas de onda de tensión sobre dichos terminales. Posteriormente, dicha información es empleada para calcular la degradación de los dispositivos bajo esas condiciones de operación. Con este fin, se utilizarán los modelos de degradación por envejecimiento de efectos como el BTI o el HCI. A continuación, dicha degradación se extrapola a lo largo del tiempo hasta un tiempo objetivo que puede ser de varios años. El resultado final de la degradación de los dispositivos será una variación de sus parámetros o características eléctricas, normalmente, una variación de la tensión umbral y en ocasiones, también de la movilidad. Finalmente, para el cálculo del impacto de la degradación en las prestaciones del circuito, será necesario emplear nuevamente el simulador eléctrico, pero, en este caso, el análisis se realizará sobre una *netlist* envejecida o degradada del circuito, a la cual se le ha insertado la degradación final calculada para cada dispositivo.

Ahora bien, debe tenerse en cuenta que, en general, las condiciones de estrés no permanecerán constantes durante la operación de un circuito a lo largo de su tiempo de

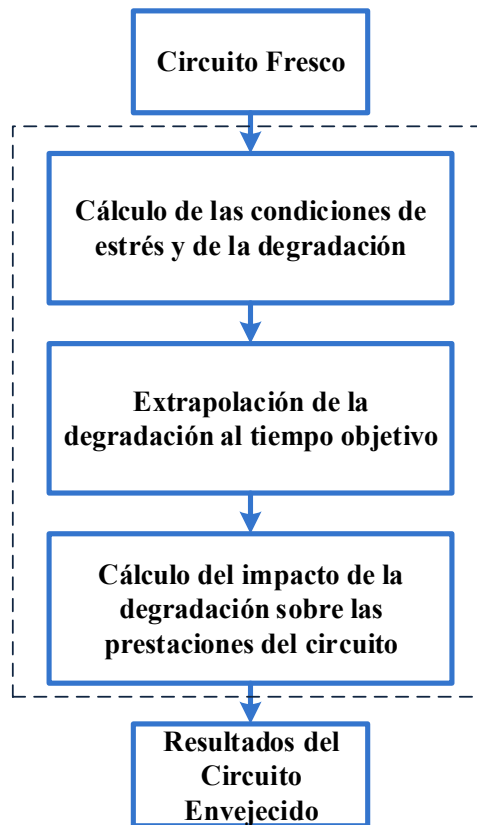


Figura 3-1. Flujo básico de un simulador de fiabilidad.

vida, sino que, contrariamente, estas condiciones cambiarán debido a la fuerte relación que existe entre la propia degradación y las condiciones de estrés [61], [170], [171]. En este sentido, especialmente los circuitos analógicos tendrán por lo general patrones de condiciones de estrés complejos que cambiarán la polarización del circuito debido a la degradación, ya que, por ejemplo, un solo cambio en la tensión umbral de un dispositivo puede variar la polarización de todo el circuito, lo que puede resultar a su vez en un impacto en sus prestaciones. Este fuerte enlace, realimentación o *link* bidireccional entre las condiciones de estrés y la degradación es un problema que debe ser considerado para evitar que surjan importantes pérdidas de precisión durante el proceso de extrapolación del *aging*. Tal como se muestra en el flujo básico de simulación de fiabilidad de la Figura 3-1, durante todo el tiempo que dura la extrapolación, se está suponiendo que las condiciones de estrés son constantes (las mismas que se extrajeron en el primer análisis transitorio). Esto querría decir que la evolución de las tensiones en todos los nodos del circuito y, por tanto, la que se aplica en los terminales de cada dispositivo, no cambian a lo largo del tiempo. Por ejemplo, en todos los nodos en los que se tuviera una señal constante en DC, se estaría asumiendo que dicha señal mantendría exactamente el mismo valor durante todo el tiempo de vida del circuito. Si por el contrario se tratara de una señal AC con una forma de onda determinada, por ejemplo, una señal sinusoidal, ésta no vería modificada su amplitud, su *offset* ni su frecuencia. Asumir que esta circunstancia se dará de forma general en todo caso, no es cierto en absoluto.

Para ilustrar este hecho con un ejemplo sencillo, se muestra en la Figura 3-2 un espejo de corriente simple PMOS al que se le está forzando el paso de una corriente constante. Si el transistor de entrada M1 se degrada y, como consecuencia, su valor de tensión umbral

aumenta (en valor absoluto), para mantener el mismo paso de corriente a través de dicho transistor, la tensión en el nodo V_{input} , deberá bajar para que se produzca un aumento en la caída de tensión entre sus terminales fuente-drenador y fuente-puerta que compense la degradación y mantenga el nivel de corriente. Esto, por tanto, provoca un cambio natural en las condiciones de estrés del circuito, ya que el dispositivo de entrada M1 ve alterada la tensión en dos de sus terminales (puerta y drenador), pero también, el transistor de salida M2 ve alterada la tensión en su terminal de puerta, por lo que la corriente que circula por él se verá modificada. Esto a su vez, dependiendo del valor de la carga y de las condiciones de tensión y temperatura, hará que se modifique la tensión en su terminal de drenador, esto es, en el nodo de salida V_{output} . De esta forma, nótese que incluso en este ejemplo, donde se utiliza un circuito simple, un cambio en la degradación de la tensión umbral de un único dispositivo provoca un cambio en la tensión aplicada a todos los dispositivos. Evidentemente, como el cálculo de la degradación por envejecimiento depende de estas tensiones aplicadas a los terminales, el comportamiento del *aging* cambiará al verse modificadas las condiciones de estrés, quedando de esta forma establecida y demostrada la realimentación, enlace o *link* entre la degradación por envejecimiento del circuito y las condiciones de estrés. A modo ilustrativo, sobre un espejo de corriente simple PMOS como el de la Figura 3-2, se muestra en la Figura 3-3 el cambio promedio que se produce en las condiciones de estrés (en la caída de tensión $V_{bg} = V_{bd}$) en el transistor de entrada cuando el circuito opera durante 10 años. En la figura se representa también cómo evoluciona el promedio de la degradación de la tensión umbral de dicho dispositivo [172].

El ejemplo del espejo de corriente simple es extrapolable a circuitos con un mayor número de dispositivos, siendo posible que la degradación de cualquier dispositivo de dicho circuito no sólo suponga una degradación de las prestaciones, sino un cambio en las condiciones de estrés. Estos cambios de condiciones de estrés podrán ser sobre los terminales del propio dispositivo que sufre la degradación y/o de cualquier otro dispositivo del circuito. Para ilustrar este hecho, se toma como ejemplo un circuito algo más complejo como puede ser el oscilador en anillo (RO) de 5 etapas mostrado en la Figura 3-4. En este caso, la degradación de cualquiera de los transistores (una variación en su tensión umbral), supondrá un cambio en la respuesta de la etapa inversora a la que este pertenezca, incluyendo un cambio en la tensión de polarización de la misma. Debido

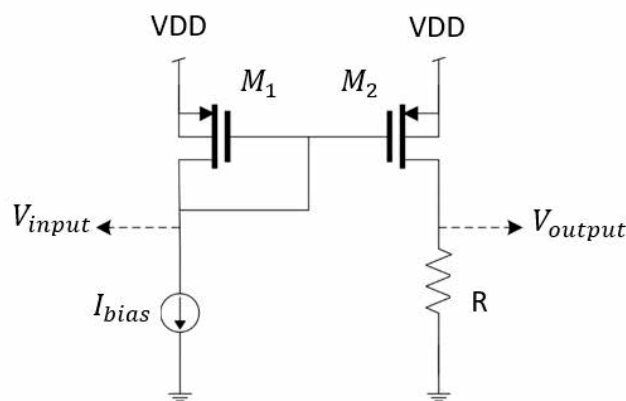


Figura 3-2. Espejo de corriente simple PMOS para explicar el link bidireccional entre la degradación por envejecimiento y las condiciones de estrés.

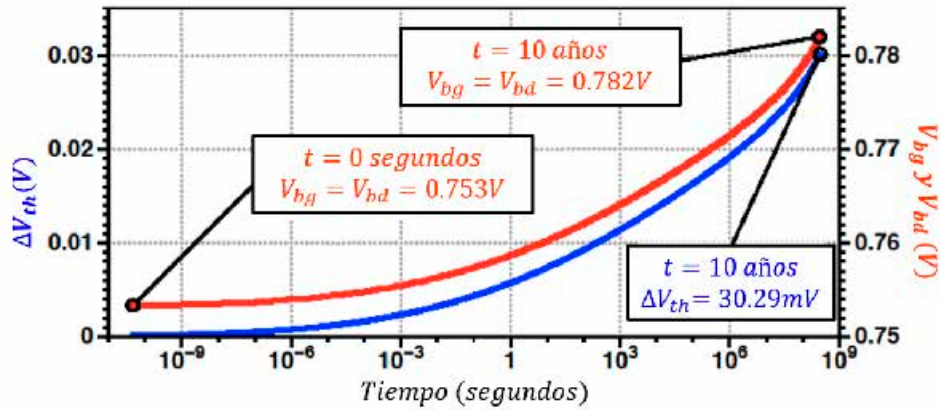


Figura 3-3. Cambio en las condiciones de estrés y degradación del transistor de entrada (M1) de un espejo de corriente simple como el de la Figura 3-2.

a que, en este circuito, la salida de cada etapa inversora se corresponde con la entrada de otra de ellas, la degradación que afecte a cualquiera de dichas etapas podrá cambiar la polarización y la forma de onda que se transmite por la siguiente, modificando sus condiciones de estrés y la evolución de su degradación. Sucesivamente, estos cambios acabarán afectando al resto de etapas inversoras. Esto significa que las condiciones de estrés de todas las etapas (las tensiones a la entrada y salida de las mismas) cambian. Este cambio que se produce en las condiciones de estrés y en la degradación, cuando sea significativo, se verá reflejado en las prestaciones del circuito. En el caso del RO, el cambio de las formas de onda de tensión supone que se vea modificada la frecuencia de oscilación. Esto se ilustra en la Figura 3-5 que muestra la degradación en la frecuencia de oscilación del RO cuando éste ha estado operando durante un año [62]. Como se puede apreciar, la degradación de las muestras simuladas, no sólo afecta reduciendo el valor promedio de las mismas, sino que la dispersión también va aumentando a lo largo del tiempo, debido al impacto de la TDV y a su estocasticidad.

El cálculo de la degradación puede llegar a ser muy diferente si se tiene en cuenta o no el cambio de las condiciones de estrés. Por ejemplo, en el caso del espejo de corriente simple, tener en cuenta el cambio de condiciones de estrés significa que, a lo largo del tiempo, la degradación en los dispositivos será más agresiva por el aumento de las caídas de tensión. En el caso de los ROs, un cambio en la polarización y en la forma de onda que oscila por las etapas inversoras, supondrá igualmente acelerar o reducir la degradación en los dispositivos. En definitiva, no tener en cuenta el cambio de las condiciones de estrés en un circuito supone subestimar o sobreestimar su degradación, lo que se traduce en un problema de precisión.

La solución que se lleva a cabo para evitar que se produzca este problema de precisión debido a la extrapolación de la degradación, es la inclusión de pasos intermedios en los que las condiciones de estrés son actualizadas mediante la realización de nuevos análisis eléctricos (normalmente, análisis transitorios) [61], [62], [172]–[174], dando lugar a un esquema conceptual como el mostrado en la Figura 3-6. Evidentemente, la inclusión de estos pasos intermedios ayuda a mejorar la precisión, pero lo hace a cambio de incrementar el coste computacional, debido a la realización de nuevos análisis. Por tanto, el problema de considerar el *link* bidireccional entre las condiciones de estrés y la degradación en una simulación de fiabilidad, pasa a ser un problema de establecer una

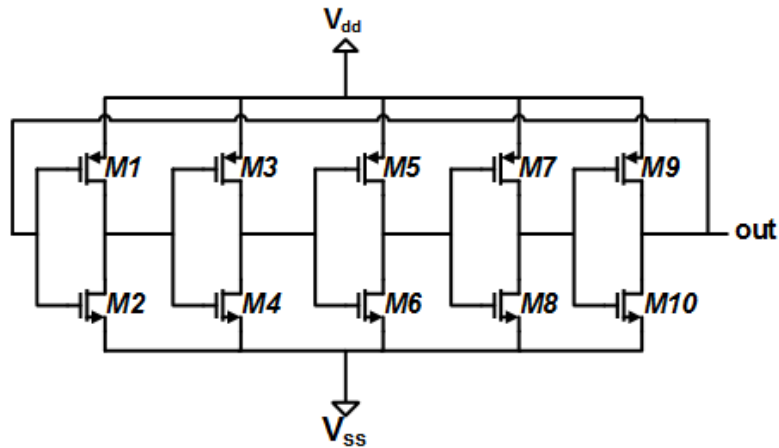


Figura 3-4. Esquemático del RO de 5 etapas utilizado para las simulaciones de los resultados mostrados.

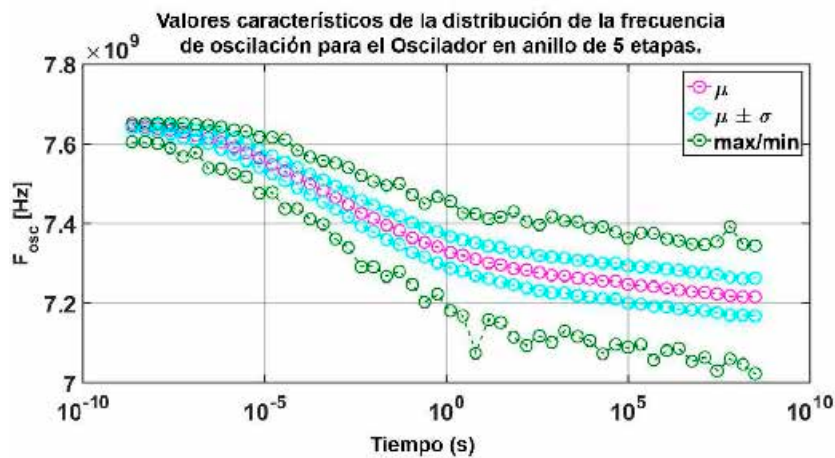


Figura 3-5. Cambio en la distribución de valores de la frecuencia de oscilación de un RO de 5 etapas como el de la Figura 3-4, cuando éste opera durante un año.

relación de compromiso entre el número de pasos intermedios a realizar y la precisión a alcanzar. En este sentido, el caso más extremo es el de realizar la extrapolación directa en un único paso, que se corresponde con el planteamiento básico de la Figura 3-1, siendo por tanto la solución más rápida posible pero a su vez, la menos precisa. Por otro lado, si el número de pasos escogidos es elevado, para mantener una estrategia conservadora

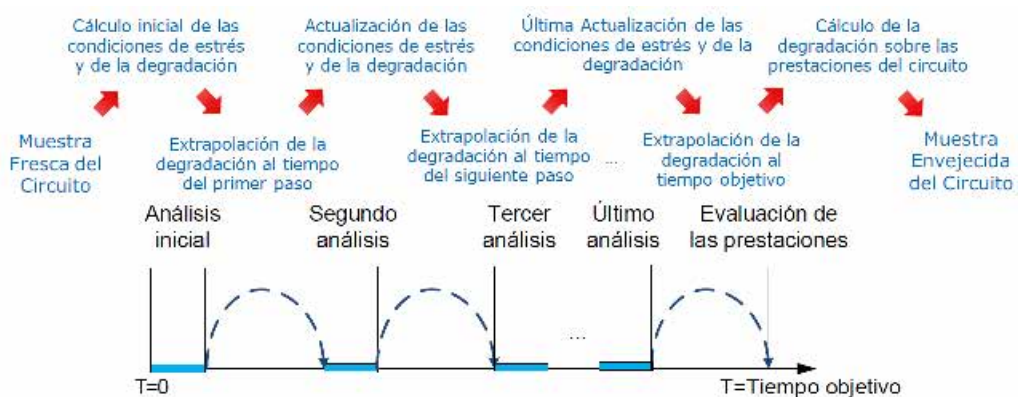


Figura 3-6. Esquema conceptual de una simulación de fiabilidad con pasos intermedios para actualizar las condiciones de estrés.

respecto a la precisión, es posible que se estén dando más pasos de los necesarios, por lo que se está desperdiciando capacidad computacional, aspecto más negativo aún, si se está haciendo un uso intensivo del simulador. Además, si se utilizan modelos de TDV estocásticos, como en el caso de este trabajo, el problema se agrava aún más, ya que en lugar de tener que calcular un único valor de degradación para actualizar las condiciones de estrés, como sería el caso de simuladores deterministas, se estará trabajando con distribuciones de probabilidad, por lo que la elección del número correcto de pasos intermedios a realizar para alcanzar la precisión deseada tiene una importancia crítica.

Por otro lado, un aspecto clave para tratar de optimizar esta relación es la forma en la que se realicen estos pasos intermedios, ya que dependiendo de la solución implementada, se puede mejorar la eficiencia de la solución adoptada, es decir, la precisión que se es capaz de alcanzar en un mismo número de pasos [62]. Originalmente, las primeras soluciones que fueron adoptadas tanto en el mundo académico como por algunas herramientas comerciales, empleaban un tamaño de paso temporal fijo utilizando una escala lineal o logarítmica [151], [152], [173]. En la Figura 3-7, se representan conceptualmente el uso de estas soluciones junto al caso de la extrapolación directa.

Para ilustrar la importancia de actualizar las condiciones de estrés y la importancia de la elección del número de pasos escogidos con respecto a la precisión conseguida, se muestra el siguiente ejemplo. Sobre el RO de la Figura 3-4 empleado en el ejemplo anterior, se han realizados simulaciones de fiabilidad para evaluar su degradación después de un año de funcionamiento (Concretamente, la Figura 3-5, mostrada anteriormente, se corresponde con el resultado de haber empleado una escala logarítmica y 50 pasos para actualizar las condiciones de estrés.). En la Figura 3-8 se muestra el resultado de obtener para el mismo circuito y las mismas condiciones de operación, la degradación de la tensión umbral (ΔV_{th}) y el valor final de la tensión de polarización (V_{pol}), para el transistor M1 (ver Figura 3-4), para un distinto número de pasos (de 1 a 50 pasos) [62]. Observando la gráfica puede notarse que tanto el valor resultante en la tensión de polarización (condición de estrés), como en la degradación calculada, se estabiliza aproximadamente cuando se emplean al menos 46 pasos intermedios. Esto significa que emplear un número de pasos mayor no aportará una mejora de precisión, pero sí aumentará el tiempo de simulación. Por otro lado, queda reflejado a la luz de los resultados de la Figura 3-8, que emplear un número de pasos inferior subestima tanto la degradación como el cambio en las condiciones de estrés. Esto es algo normal ya que ambos fenómenos están relacionados por el *link* bidireccional, por lo que en general ser impreciso en el cálculo de la evolución de las condiciones de estrés conlleva ser impreciso en el cálculo de la degradación. Además, esta imprecisión se agrava, tal como era de esperar conforme el número de pasos intermedios empleados es menor.

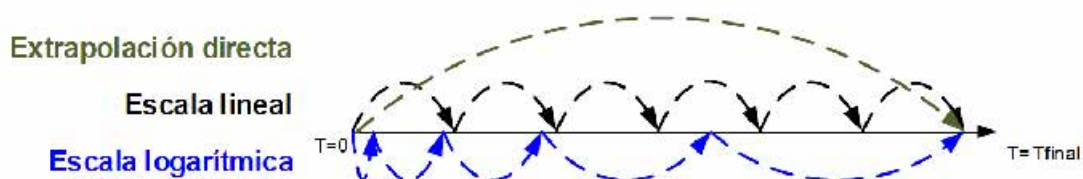


Figura 3-7. Opciones para la inclusión de pasos intermedios con escala fija lineal o logarítmica como alternativa a la extrapolación directa.

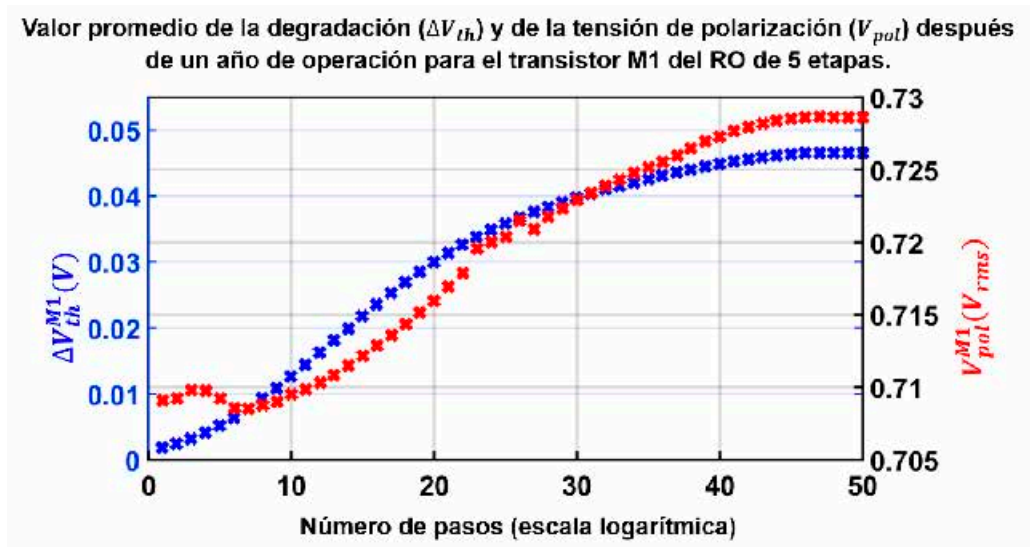


Figura 3-8. Variación de la tensión umbral (degradación) y valor final en la tensión de polarización (condición de estrés) en el transistor M1 del RO, cuando este ha operado durante un año, en función del número de pasos intermedio empleado para actualizar las condiciones de estrés.

El uso de escalas fijas, pese a proporcionar la posibilidad de actualizar las condiciones de estrés y, por tanto, ser una mejora respecto a la extrapolación directa, puede suponer en sí mismo un uso ineficiente de la capacidad computacional. La explicación a esto es que las condiciones de estrés deben ser actualizadas cuando éstas realmente cambien o, dicho de otro modo, se produzca en ellas un cambio significativo debido a la degradación. Si se realizan pasos intermedios en momentos donde realmente las condiciones de estrés no están cambiando o no lo hacen de forma perceptible y significativa, en realidad se están realizando actualizaciones de las mismas que no aportan nada y, en este sentido, se está desperdiciando capacidad de CPU al realizar simulaciones eléctricas innecesarias. Es cierto que, a largo plazo, la tendencia del daño permanente del *aging* sigue una ley potencial, razón por la cual empezó a utilizarse la escala logarítmica que, por lo general, ofrece una mayor eficiencia que la escala lineal [62]. Sin embargo, es posible mejorar la eficiencia si en lugar de una escala fija se escoge una escala que permita actualizar las condiciones de estrés únicamente cuando se considere necesario hacerlo. Por esta razón, actualmente existen diferentes propuestas que apuntan al uso de diferentes técnicas con la idea de optimizar la precisión alcanzada para un número de saltos intermedios determinado como, por ejemplo, el uso de saltos adaptativos en lugar de emplear de una escala de salto (lineal o logarítmica) fija. En definitiva, si al flujo básico de simulación de fiabilidad presentado en la Figura 3-1, se le agrega la opción de incorporar la inclusión de saltos intermedios donde realizar simulaciones eléctricas para actualizar las condiciones de estrés, de forma general, el esquema del flujo de simulación de fiabilidad resultante sería el que se muestra en la Figura 3-9.

Otro requisito que deben considerar los simuladores de fiabilidad para evitar posibles errores de precisión, es considerar de forma correcta la naturaleza real de los efectos de degradación por envejecimiento. Esto se refiere principalmente a dos aspectos. Por un lado, deben considerarse los mecanismos de recuperación asociados al BTI. Por otro lado, se debe tener en cuenta la naturaleza estocástica del TDV en tecnologías nanométricas. Por esta razón, acorde a la naturaleza estocástica de su fenomenología, es necesario emplear un modelo estocástico de TDV como el presentado en el capítulo 2.

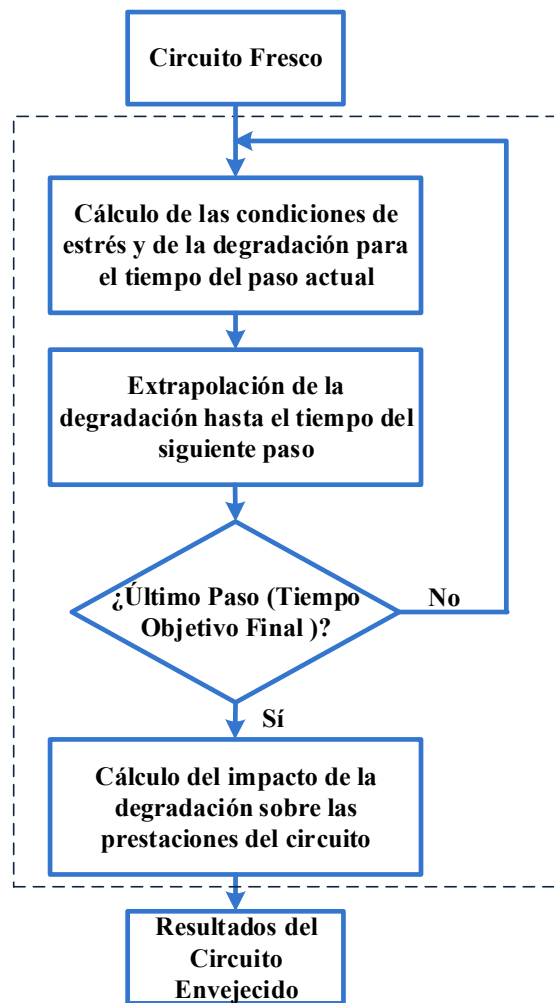


Figura 3-9. Flujo de un simulador de fiabilidad que considera el link bidireccional mediante la inclusión de pasos intermedios para actualizar las condiciones de estrés.

En relación a esto pueden hacerse varias consideraciones importantes. Un simulador de fiabilidad determinista que tenga sólo en cuenta la variabilidad debida a la TDV, dará lugar a resultados donde dispositivos idénticos en diseño que estén sometidos a las mismas condiciones de estrés, den como resultado el mismo valor de degradación. Por ejemplo, en un circuito diferencial o circuitos con dispositivos idénticos como puede ser un espejo de corriente simple 1:1, se dará el caso de que al sufrir ambos la misma degradación, el resultado será que los dispositivos no presentarán desapareamiento o *mismatch*, por lo que las prestaciones del circuito, como, por ejemplo, el factor de copia en un espejo de corriente simple 1:1, pueden incluso no verse afectadas.

Una segunda perspectiva es una solución mixta, donde se incluye la TZV como una fuente de variabilidad estocástica, pero se mantiene un modelo TDV determinista. En esta situación, es cierto que debido a la estocasticidad inicial de los dispositivos a causa de la TZV, tras la degradación, en lugar de un valor determinista único se tendrá una distribución de muestras envejecidas. Específicamente, la mayoría de soluciones que implementan esta técnica, lo que hacen es calcular la degradación de cada muestra de TZV de forma determinista con un modelo de TDV determinista. Este planteamiento podría ser válido para nodos tecnológicos de dimensiones relativamente grandes, pero una vez se trabaja cerca de la escala nanométrica o en ella, no se estará teniendo en cuenta

la propia estocasticidad de los fenómenos de TDV como BTI o HCI. Por tanto, si bien es cierto que utilizando este método se establece una correlación entre la TZV y la TDV, el hecho de emplear un modelo TDV determinista hace que la dispersión de la distribución de muestras simuladas y sometidas a TZV+TDV, se deba en esencia a la propia dispersión de la TZV, lo que suele resultar en una perspectiva optimista respecto a la dispersión presente en la realidad.

El último caso consistiría en considerar modelos estocásticos tanto de TZV como de TDV. Inicialmente, en cada muestra de un circuito, los dispositivos de idéntico diseño partirán de parámetros eléctricos diferentes debido a la TZV. Pero, además, incluso si partieran de los mismos parámetros (tuvieran el mismo valor de TZV de partida) y fueran sometidos a condiciones de estrés idénticas, la degradación resultante en cada uno de ellos sería diferente debido a la estocasticidad de la TDV. Este hecho que aquí se analiza no es baladí, ya que, a diferencia de la solución mixta previamente comentada, la dispersión de las muestras de un circuito simuladas bajo el impacto de TZV+TDV, se deberá a la dispersión de la distribución de ambos modelos. Si bien, dicha dispersión no se ajustará a la simple suma aditiva de ambas dispersiones $\sigma_{Total}^2 \neq \sigma_{TZV}^2 + \sigma_{TDV}^2$, sino que debe tenerse en cuenta que si existe una correlación apreciable entre ambas distribuciones, la dispersión total será diferente a la suma de ambas contribuciones. Para ilustrar este hecho de forma gráfica, sobre un amplificador operacional de Miller (OPAMP Miller) como el mostrado en la Figura 3-10, se simula el impacto de la variabilidad sobre dos de sus prestaciones. En concreto, la Figura 3-11 muestra la distribución de posibles valores de la ganancia y del producto ganancia ancho de banda (GBW) del OPAMP [175]. El diseño nominal es representado por el símbolo blanco de borde negro. El impacto de la TZV, aún con el circuito en fresco, es representado para un número determinado de muestras como símbolos amarillos. Como es de esperar, la dispersión de la distribución aumenta considerablemente al añadir el impacto de la TDV a la TZV (después de un determinado periodo de tiempo), cuyas muestras son representadas con círculos rojos. Evidentemente, observando la Figura 3-11, queda bastante clara la importancia de considerar el impacto combinado de la TZV y la TDV a la hora de acometer el diseño de un circuito.

Sin embargo, el abordar una simulación de fiabilidad utilizando modelos estocásticos tanto para la TZV como para la TDV presenta a su vez una serie de inconvenientes o retos, ya que, en lugar de trabajar de forma determinista con una serie de valores concretos, debe abordarse la solución propuesta gestionando el manejo de distribuciones. La razón es que cada muestra de TZV evoluciona a un conjunto de muestras de TDV. Además, si se tiene en cuenta conjuntamente la presencia de *link* bidireccional y se incluyen saltos intermedios para actualizar las condiciones de estrés, en cada nuevo salto, cada muestra de TDV evolucionará en el salto siguiente a un nuevo conjunto de muestras. Todo este proceso complica enormemente la implementación de una solución viable computacionalmente.

La Figura 3-11 muestra un escenario de diferentes fuentes de variabilidad afectando a las prestaciones de un circuito, donde además debe tenerse en cuenta que la TDV va afectando a lo largo del tiempo. Esto da lugar también a comentar algunos conceptos que son fundamentales para abordar este capítulo. En primer lugar, cabría considerar que a los diseñadores de circuitos les preocupará no sólo el porcentaje de diseños que funcionará correctamente cubriendo una serie de especificaciones después de la

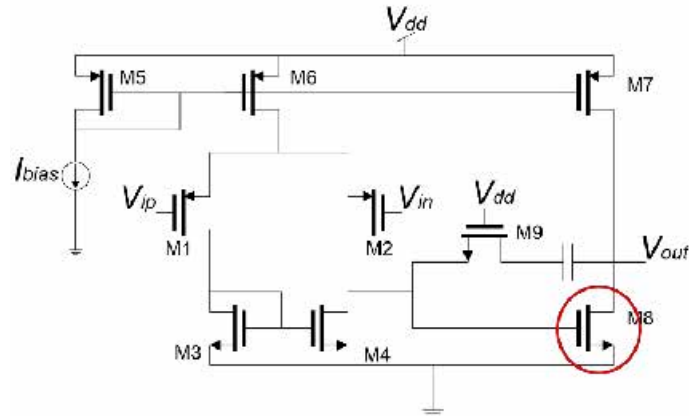


Figura 3-10. Esquemático del OPAMP Miller de dos etapas utilizado en las simulaciones de fiabilidad.

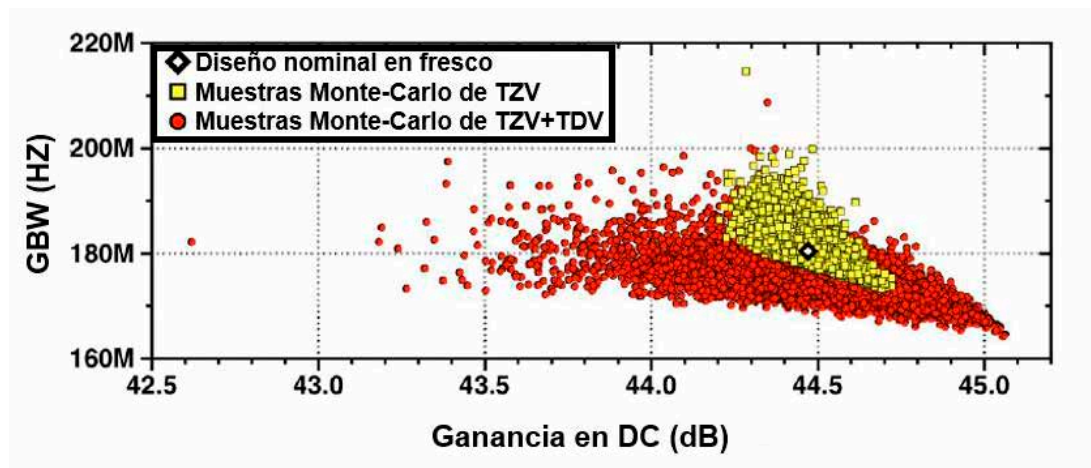


Figura 3-11. Impacto de la variabilidad sobre las prestaciones de un amplificador operacional.

fabricación (bajo el impacto de la TZV) y que se corresponde con la definición clásica de *yield*, sino que ahora será necesario conocer el porcentaje de muestras fabricadas del diseño que cubrirán unas determinadas especificaciones a lo largo del tiempo bajo el impacto adicional de la TDV. De esta forma, se define el *yield* dependiente del tiempo, *time-dependent yield* o TDY, como el porcentaje de muestras de un diseño cuyas prestaciones cumplen una serie de especificaciones en presencia de la TZV y la TDV a lo largo del tiempo [176]. En general, será decisión del diseñador establecer las restricciones convenientes del TDY a lo largo del tiempo, que no necesariamente deben ser las mismas que las del *yield* a tiempo cero, ni tampoco tienen que ser las mismas a lo largo del tiempo.

Esta definición de TDY permite a su vez definir el concepto de tiempo de vida o *lifetime* de un circuito en el marco de este trabajo (o más específicamente del diseño del circuito ya que se evalúa su TDY), el cual será el tiempo que un circuito opera bajo el impacto de TZV y TDV con un TDY superior a cierto valor establecido para una o más de sus prestaciones (*performances*). Debe recordarse que, en general, el TDY puede ser evaluado para tantas prestaciones como considere el diseñador. Normalmente, se considerará que un diseño no es correcto si no cumple la condición requerida para todas sus prestaciones, ya que, en este caso, se presupone que el funcionamiento del circuito no

sería aceptable para todos sus requerimientos. La Figura 3-12, ilustra el concepto de TDY y de *lifetime* de un circuito.

Normalmente el porcentaje de diseños que cumplirán las especificaciones irá decayendo a lo largo del tiempo debido al aumento del impacto de la degradación con el tiempo. Evidentemente el cálculo del *lifetime* requiere un estudio estadístico para evaluar las prestaciones sobre las diferentes muestras.

Un simulador de fiabilidad que se corresponda conceptualmente tanto con el flujo presentado en la Figura 3-1, como con el presentado en la Figura 3-9, permitirá la evaluación de la degradación para unas condiciones de estrés determinadas, esto es, para unas condiciones de tensión, temperatura y tiempo concretos. Sin embargo, existirán en general muchos usos y aplicaciones de estos simuladores donde sea necesario evaluar múltiples condiciones de estrés. Por esta razón, la conclusión inmediata es la necesidad de que la implementación de los simuladores de fiabilidad debe ser computacionalmente eficiente, no sólo para su uso individual, o cuando se utilicen para realizar, por ejemplo, análisis estadísticos o de *corners*, sino ante la posibilidad de que se haga un uso intensivo y reiterado de los mismos. Ejemplos de este segundo caso serían el ya mencionado uso del simulador para cálculo del *lifetime* de un circuito, o bien la integración del simulador de fiabilidad en una metodología de diseño que incluya, por ejemplo, un proceso de optimización como es el caso de [31]. En definitiva, la eficiencia computacional será considerada como uno de los principales objetivos o requerimientos del simulador de fiabilidad.

Recapitulando, los principales objetivos que debe satisfacer un simulador de fiabilidad son:

- Integración y uso automatizado de un simulador eléctrico comercial para realizar simulaciones eléctricas precisas y fiables.
- Uso de un modelo de variabilidad estocástico, tanto en TZV como en TDV, de forma que se tenga en cuenta la propia naturaleza estocástica del *aging*, así como los diferentes mecanismos de degradación y recuperación.
- Consideración del cambio de las condiciones de estrés durante la operación del circuito debido al *link* bidireccional existente entre la degradación de los dispositivos y las condiciones de estrés presentes en el circuito.
- Gestión de la inclusión combinada del impacto de la TZV y la TDV.
- Realizar una implementación computacionalmente eficiente.

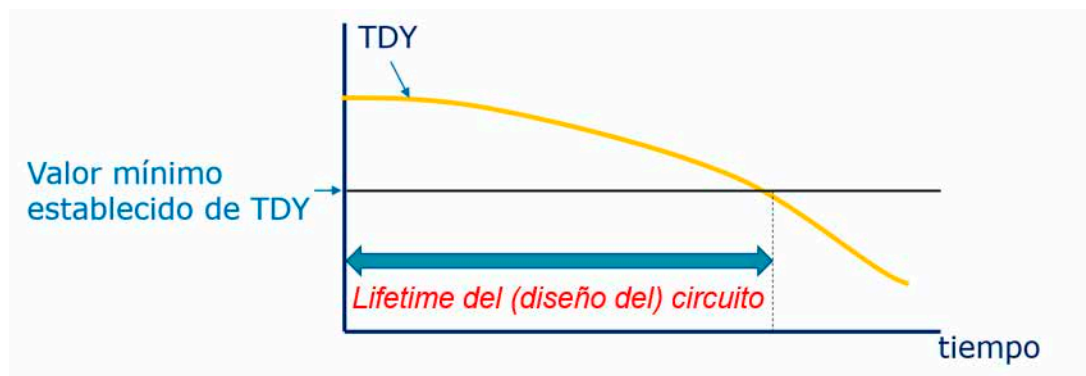


Figura 3-12. Concepto de time-dependent yield y lifetime en el marco de esta tesis.

3.3. Revisión de herramientas de simulación de fiabilidad en el marco del diseño de circuitos integrados analógicos.

3.3.1. Breve introducción histórica.

Desde el punto de vista histórico, las primeras herramientas de simulación de fiabilidad fueron desarrolladas a finales de los años 80 y principios de los 90. Surgen debido a la demanda creciente de herramientas capaces de realizar estas simulaciones ante el creciente impacto registrado de los fenómenos de degradación por envejecimiento. Se realizaron múltiples propuestas por parte de varios autores entre las que pueden destacarse herramientas como RELY [177], ARET [178] o HORTON [179], aunque probablemente la más completa fue la herramienta desarrollada por la Universidad de California de Berkeley, la *Berkeley Reliability Tools* (BERT) [180]. Estas herramientas se centraban en analizar la degradación de circuitos bajo unas condiciones de estrés fijas y tenían en cuenta los mecanismos de degradación que mayor impacto causaban en las tecnologías de fabricación de aquella época, esto es, principalmente la degradación debida al HCI y también el fallo del circuito debido a la ruptura dieléctrica y a la electromigración. Básicamente, seguían un flujo de simulación básico como el de la Figura 3-1, haciendo uso de un simulador tipo SPICE para llevar a cabo las simulaciones eléctricas. Estas propuestas permanecerían en el ámbito académico sin llegar a estar disponibles de forma comercial.

Con el aumento de la importancia de los mecanismos de degradación en los nuevos nodos tecnológicos, las herramientas comerciales de diseño de circuitos integrados comenzaron a incluir opciones para la simulación de fiabilidad. Éstas pretendían cumplir con la demanda de soluciones, a algunas de las limitaciones de las herramientas primigenias, como la limitación en el número de transistores que soportaban algunas de estas herramientas, la necesidad de realizar simulaciones con condiciones de estrés que no fueran constantes, la necesidad de actualizar el cambio de las condiciones de estrés, etc. En el apartado 3.3.2 se comentarán algunas de las principales herramientas comerciales de simulación de fiabilidad. Por su parte, en el apartado 3.3.3 se presentarán algunas de las propuestas más destacables y relevantes que han surgido en el entorno académico

3.3.2. Herramientas comerciales.

Con el aumento del impacto del *aging* sobre las prestaciones de los circuitos, las herramientas comerciales incorporaron los efectos del BTI a la simulación de fiabilidad, además de incluir y mejorar el modelado de otros fenómenos como el HCI y la ruptura

dieléctrica. Entre las principales herramientas comerciales que integran la posibilidad de realizar simulaciones de fiabilidad en la última década, pueden destacarse RelXpert [151], una herramienta de fiabilidad desarrollada por Celestry y adquirida posteriormente por Cadence®, Eldo [181] de Mentor® y MOSRA [154] de Synopsys®. Más recientemente, la herramienta Virtuoso® RelXpert Reliability Simulator ha sido actualizada e integrada, dentro de la herramienta Legato Reliability Solution [182].

La forma de abordar los análisis de fiabilidad por parte de la herramienta Mentor® ELDO [183] se basa en el trabajo presentado en [113]. Esta herramienta permite integrar los modelos de envejecimiento dentro del simulador eléctrico ELDO. No utiliza modelos de degradación predeterminados, sino que es el propio usuario (particular o fabricante) el que debe implementar el modelo a utilizar empleando una interfaz proporcionada con tal fin denominada UDRM (*User-Define Reliability Model interface*). En este sentido, el usuario tiene libertad sobre qué efectos considerar y que modelos emplear, siendo posible considerar efectos como el BTI, HCI o el TDDDB. En [184], se puede encontrar un ejemplo de la inclusión de HCI. La herramienta puede realizar tanto una extrapolación directa de la degradación al tiempo objetivo final, como seguir un flujo de simulación que incluya pasos intermedios como el de la Figura 3-9. Estos pasos pueden realizarse escogiendo entre la escala lineal o logarítmica.

Synopsis® MOS Reliability Analysis (MOSRA) es una herramienta para la evaluación de la degradación que puede integrarse con los motores de simulación de HSPICE® y CustomSim [185]. Esta herramienta es capaz de soportar la simulación de la degradación debida a los efectos de BTI y HCI. MOSRA permite la inclusión de modelos pre-definidos por el usuario, aunque también dispone de modelos que el usuario solo debe parametrizar. La herramienta está optimizada para el uso de estos modelos propios con el objetivo de mejorar la eficiencia computacional. Es importante destacar que la herramienta MOSRA es capaz de incluir el efecto de recuperación en el comportamiento del BTI. Para ello utiliza dos componentes, una relacionada con la contribución de las cargas en la interfaz del óxido y otra correspondiente a la contribución de las cargas dentro del óxido o de las cargas presentes en el dieléctrico para el PBTI en tecnologías *high-k*. La principal limitación de la herramienta es que supone unas condiciones de estrés constantes durante todo el análisis de degradación. Esto quiere decir que la herramienta no soporta la inclusión de pasos intermedios, sino que sigue un flujo de simulación básico como el de la Figura 3-1. Por tanto, se realiza una simulación para el cálculo de las condiciones de estrés del circuito en fresco y se extrapola directamente la degradación hasta un tiempo objetivo donde se lleva a cabo una segunda simulación eléctrica sobre el circuito degradado. Además, la señal de estrés introducida no puede tener una forma de onda arbitraria, sino que los mecanismos de recuperación del BTI son calculados para una señal AC predeterminada con un ciclo de trabajo o *duty cycle* concreto.

Cadence® Virtuoso® RelXpert Reliability Simulator se origina como la evolución o implementación comercial de la herramienta BERT [180]. Es compatible con Ultrasim y el entorno de diseño analógico (ADE) y por defecto permite simular la degradación debida al impacto del BTI y del HCI. Originalmente, la herramienta presentaba la desventaja de utilizar el modelo del *lucky Electron* (LEM) para el HCI y el modelo de Reacción-Difusión para el BTI, los cuales han quedado obsoletos por las razones que se han discutido en el capítulo 2. Sin embargo, recientemente han actualizado su modelo de

TDV al modelo AgeMOS, un modelo compacto que integra los fenómenos de BTI y HCI. En concreto, este modelo incluye una versión actualizada y más avanzada del modelo LEM que permite calcular el impacto del HCI para nodos tecnológicos más avanzados de los que era capaz el modelo LEM original. En este sentido, emplea un modelo predictivo para tecnologías planas CMOS capaz de predecir el impacto del HCI hasta nodos de 28nm y para los transistores FinFET de estructura tridimensional (3D) emplea el modelo presentado en [186]. Por su parte, el modelo de BTI también ha sido actualizado, siendo actualmente capaz de contemplar los mecanismos de recuperación de dicho efecto. La herramienta emplea un flujo de simulación como el de la Figura 3-9 por lo que incluye la posibilidad de realizar pasos intermedios para actualizar las condiciones de estrés. Existe la opción de elegir entre el uso de una escala fija lineal o logarítmica y también, la de definir de forma específica aquellos puntos temporales donde el usuario desea que se lleven a cabo los saltos para actualizar las condiciones de estrés. Un último aspecto a destacar de esta solución es que permite la posibilidad de evaluar de forma conjunta el impacto de la TZV+TDV y de realizar un análisis estocástico del impacto de la variabilidad. No obstante, sólo la fuente de TZV tiene un modelo estocástico, mientras que los modelos de TDV son deterministas. Por tanto, tal como se explicó anteriormente, se trataría de una solución mixta donde cada muestra del modelo estocástico obtenida en el análisis de la TZV es envejecida de forma determinista. Actualmente, RelXpert es utilizado como simulador de fiabilidad para el cálculo de la degradación dentro de Legato Reliability Solution [182]. La solución Legato incluye además de RelXpert otras herramientas útiles para los diseñadores de circuitos integrados, como, por ejemplo, Spectre Native Reliability Analysis, que consiste en una herramienta de simulación de fiabilidad alternativa a RelXpert que requiere como prerequisite emplear unos modelos concretos de envejecimiento proporcionado por los fabricantes. Legato cuenta también con métodos de simulación para la monitorización y detección de faltas o fallos de circuitos que faciliten a los diseñadores realizar diseños más fiables y robustos. Por ejemplo, empleando simulaciones de defectos (*Analog defect simulation*) con la herramienta, es posible identificar los aspectos vulnerables a la degradación de los diseños mediante la aplicación de reglas de diseño orientadas generar diseños fiables, simular las faltas debido a estas vulnerabilidades y realizar análisis posteriores a la simulación para evaluar la cobertura o márgenes de los diseños frente a posibles fallos o faltas.

Otra herramienta que ha ganado una importancia creciente en los últimos años ha sido la posibilidad de realizar simulaciones de fiabilidad haciendo uso del estándar, OpenMI [187]. OpenMI provee una interfaz desde la que es posible implementar la capacidad de modificar los parámetros de la *model card* de los dispositivos durante la ejecución de la simulación (*run-time*) de forma eficiente computacionalmente. Esta solución aplicada desde el enfoque del análisis de fiabilidad, permitiría, durante la simulación eléctrica, modificar progresivamente los parámetros de los dispositivos tales como la tensión umbral o la movilidad para introducir la degradación. En este sentido, aventaja a las soluciones basadas en la inclusión de sub-circuitos en que no necesita la inclusión de nodos adicionales (para las fuentes o elementos adicionales) en las simulaciones eléctricas y trata de resolver la complejidad de tener que ir modificando manualmente la *model card* de cada dispositivo en cada paso de simulación. En este sentido, la herramienta aporta a los diseñadores un estándar sólido y flexible para implementar sus

soluciones. Un ejemplo de la inclusión de un modelo de degradación haciendo uso de OpenMI puede encontrarse en [188].

Recapitulando, es importante destacar en este punto que todas las herramientas comerciales presentadas hacen uso de un simulador de fiabilidad que utiliza modelos deterministas para el cálculo del impacto de la TDV, siendo ésta una de sus principales limitaciones, ya que cuando se evalúa la TDV con modelos deterministas, incluso conjuntamente a una fuente estocástica de TZV, se está perdiendo toda la información estadística que realmente está presente en la naturaleza estocástica del *aging*. También, otra de las grandes limitaciones que presentan estas herramientas, incluso las que permiten la inclusión de pasos intermedios, es que lo hacen empleando un paso fijo con una escala lineal o logarítmica, por lo que la eficiencia computacional de las mismas no es óptima, como ya se ha comentado en el apartado 3.2 de este capítulo. En este sentido, cabe añadir que es cierto que la herramienta de RelXpert incluida en Legato permite seleccionar de forma manual los puntos donde se desean actualizar las condiciones de estrés como alternativa a la opción de emplear una escala fija, pero realmente no ofrece ninguna solución al usuario para seleccionar estos puntos de forma automática o eficiente.

3.3.3. Propuestas académicas alternativas a las herramientas comerciales.

El objetivo de este sub-apartado es analizar algunas de las soluciones que pueden encontrarse en la literatura y que se han considerado relevantes o interesantes en relación al trabajo desarrollado en esta tesis.

En primer lugar, en la solución propuesta en [173], se presenta una herramienta de simulación multinivel válida para circuitos digitales y circuitos analógicos de señal mixta (AMS). Esta propuesta emplea unos modelos analíticos de degradación a largo plazo en función de una serie de estímulos de entrada que son extraídos del patrón de operación del circuito. Por ejemplo, para circuitos analógicos, los autores proponen tres patrones de entrada (aunque añaden que pueden desarrollarse nuevos patrones) según sean las señales de entrada y salida del circuito (polarización DC a la que se aplica en serie una pequeña señal sinusoidal, estímulos pulsados de tipo digital, respuestas no lineales, etc.). De esta forma el modelo de degradación utilizado será diferente en cada caso y dependerá del tipo de señales aplicadas. Uno de los aspectos positivos de la solución propuesta es que el modelado de los fenómenos de BTI y HCI, tiene en cuenta aspectos como la recuperación del BTI. Además, cuando trabaja los mecanismos físicos a bajo nivel en los que se basa el modelo, tiene en cuenta también los mecanismos de captura y emisión de trampas [189]–[192].

Otro aspecto interesante de la propuesta [173], es que incluye el uso de pasos intermedios para actualizar las condiciones de estrés, haciendo énfasis en la importancia del impacto del impacto de la realimentación o *link* bidireccional. En este sentido, para el uso de sus modelos de degradación, proponen una serie de relaciones de precisión frente a coste computacional mediante figuras que muestran el tamaño del paso temporal a escoger y el posible error de predicción cometido para cada uno de los modelos empleados. Respecto a los posibles inconvenientes de la solución propuesta, en primer lugar, el hecho de que los modelos de degradación sólo contemplen tres posibles patrones de estímulos o señales de estrés es una importante limitación. La solución propuesta para el resto de patrones es

que éstos se aproximen por uno de los patrones disponibles, por lo que realmente se está perdiendo información de las verdaderas condiciones de estrés aplicadas sobre el circuito. Además, aunque los autores dan la posibilidad de incluir nuevos patrones, la realización de un modelado analítico de degradación para cualquier clase de estímulo aplicado es algo totalmente inviable. También, en relación al modelo de degradación, los modelos analíticos utilizados son deterministas y, por tanto, dan lugar a una herramienta de simulación determinista. A este hecho, hay que sumarle que no existe una posibilidad explícita para considerar el impacto combinado de la TZV y la TDV en esta propuesta. Por otro lado, pese a que la propuesta incluye un método para escoger el tamaño del paso adecuado en relación a la precisión deseada, una vez escogido el paso, la escala empleada para actualizar las condiciones de estrés es una escala fija, por lo que no explota la alternativa de emplear escalas de paso adaptativo que mejoran la eficiencia computacional.

En los trabajos publicados en [60], [63], [174], los autores llevan a cabo la implementación de un simulador de fiabilidad determinista y de una herramienta de optimización que, haciendo uso de este simulador, busca el dimensionamiento óptimo de un circuito para maximizar su *lifetime*. Los modelos de *aging* empleados por la herramienta son deterministas y básicamente consisten en modelos semi-empíricos que se centran en el efecto dominante de la degradación y la modelan como una variación de la tensión umbral de los dispositivos. Como consecuencia, para transistores PMOS sólo tienen en cuenta la degradación debida al NBTI (aunque sí tiene en cuenta los mecanismos de recuperación de este fenómeno) y para transistores NMOS, teniendo en cuenta que no están trabajando con una tecnología *high-k*, sólo consideran la degradación debida al HCI, despreciando la contribución del PBTI. Además, los autores han diseñado y fabricado un chip para la caracterización de dicho modelo, empleando tests de caracterización que hacen uso de técnicas de estrés acelerado [147]. El flujo del simulador de fiabilidad presentado en [63] se corresponde con un flujo de simulación como el presentado en la Figura 3-9, es decir, incluye el uso de pasos intermedios.

El aspecto más destacable de la contribución mostrada en [60], [63], [174] es que incluye un algoritmo que proporciona una solución automatizada para buscar el tamaño del paso temporal necesario para alcanzar una precisión requerida. La idea básica de este algoritmo, toma como concepto inicial el hecho de que los fenómenos del *aging* siguen en general una tendencia logarítmica con el tiempo, por lo que se espera que el mayor incremento en la degradación y, por tanto, el intervalo de tiempo en el que será necesario actualizar las condiciones de estrés en más ocasiones, se dará en el comienzo del tiempo de vida del circuito. En base a esto, el procedimiento selecciona un periodo de tiempo al comienzo del tiempo total de la simulación y se asume que, si son capaces de encontrar un tamaño de paso adecuado en términos de precisión para ese primer periodo, ese paso será también lo suficientemente preciso en el resto de la simulación. Para asegurar un cálculo preciso de la degradación en este primer periodo, el algoritmo emplea un tamaño de paso mínimo seleccionado por el usuario, con el cual, empleando una escala fija para actualizar las condiciones de estrés, se calcula la variación de la tensión umbral en todos los transistores del circuito en ese primer periodo de forma muy precisa (se realizarán muchos pasos y, por tanto, se actualizarán muchas veces las condiciones de estrés). Posteriormente, se realiza una búsqueda iterativa para encontrar el tamaño de paso máximo, que da como resultado una degradación de tensión umbral, para todos los

transistores, lo suficientemente cercana al valor calculado con el tamaño de paso mínimo, con un margen fijado por el usuario. Finalmente, la solución adoptada es emplear este tamaño de paso máximo, que asegura la precisión requerida en el primer intervalo con el menor número de saltos posibles, en el resto del tiempo de simulación. La selección del tamaño de salto se realiza teniendo en cuenta la degradación en la tensión umbral de los transistores, ya que, debido al *link* bidireccional, las condiciones de estrés sólo cambiarán significativamente cuando se produzca a su vez una degradación significativa. Sin embargo, la solución propuesta presenta una serie de inconvenientes. Por un lado, si bien la herramienta escoge de forma autónoma el paso a utilizar durante la simulación, para poder llevar a cabo el proceso se requiere una parametrización que no es intuitiva para el usuario, ni sencilla en términos generales. Por ejemplo, no es sencillo determinar a priori como qué tamaño debe tener el primer intervalo a analizar, en el que se debe asegurar la precisión. Por otro lado, la elección del “paso mínimo” conceptualmente vuelve a ser problemática, ya que, si se escoge demasiado grande, el estándar de precisión que establece el margen de error puede ser insuficiente. Si por el contrario se escoge un tamaño de paso mínimo demasiado pequeño, se realizará un esfuerzo de computación importante para calcular de forma muy precisa la degradación en el primer intervalo, cuando hubiera sido posible alcanzar una precisión aceptable con un tamaño de paso menor. En cualquier caso, el inconveniente más importante que presenta la solución presentada, posiblemente no es el tiempo que tarda la solución en determinar el tamaño del paso óptimo a emplear, sino que, una vez es escogido, éste se mantiene durante toda la simulación. Tal y como en su propio trabajo se comenta, si se asume que donde más degradación va a ocurrir y donde más actualizaciones de las condiciones de estrés serán necesarias es al principio de la simulación, no es óptimo, en términos de eficiencia computacional, el emplear un tamaño de paso fijo en el resto de la simulación con la resolución necesaria calculada para el primer intervalo. Conforme avance el tiempo y haya menos necesidad de actualizar las condiciones de estrés, sería posible mantener la misma precisión aumentando paulatinamente el tamaño del paso (y reduciendo el número de análisis necesarios para actualizar las condiciones de estrés). En definitiva, la limitación de esta solución es el hecho de emplear un paso fijo y no proponer un paso adaptativo.

El trabajo en [61], presenta, en primer lugar, un simulador determinista cuyo objetivo es también alcanzar una alta precisión limitando el coste computacional. En una primera aproximación, se consideran los efectos de BTI y HCI, ambos de forma determinista, como una degradación de la tensión umbral de los dispositivos, pero no se incluye el impacto de la TZV. El flujo de simulación sigue un procedimiento similar al flujo general de la Figura 3-9, en el que se hace uso de un simulador comercial para realizar las simulaciones eléctricas y se incluyen nuevamente pasos intermedios para actualizar las condiciones de estrés. La herramienta recibe como instrucciones de entrada dos tipos de análisis eléctricos a considerar. Por un lado, un tipo de análisis para describir la operación nominal del circuito y del que se extraerán las condiciones de estrés para el cálculo del *aging* y, por otro lado, un análisis con el fin de evaluar las prestaciones que quieran considerarse en el análisis de fiabilidad.

La contribución más destacable de la propuesta en [61] es que el simulador no utiliza una escala fija para realizar los pasos intermedios, sino que se hace uso de un algoritmo que cambia de forma adaptativa el tamaño del paso temporal a realizar en cada iteración. La

idea fundamental se basa en que las condiciones de estrés deben ser actualizadas cada vez que se detecte un cambio significativo en las prestaciones del circuito. El usuario debe escoger como parámetros del método, un tamaño de paso mínimo y un margen de error máximo. El algoritmo consiste en que en cada paso se trata de maximizar el tamaño del siguiente paso a realizar para poder reducir el número total de análisis a realizar, siempre que se cumpla que el cambio que se produce en cada una de las prestaciones del circuito en el salto realizado, no sea superior al valor de variación máximo definido para cada prestación. Si en algún punto, el tamaño de salto calculado para mantener la precisión fuera inferior al tamaño mínimo de salto, se emplearía el salto de tamaño mínimo en lugar del salto calculado. De esta forma, dicho tamaño de salto mínimo hace la función de impedir que el número de pasos a realizar supere un valor máximo que hiciese que el tiempo de la simulación total no fuese aceptable.

Evidentemente, la propuesta de realizar los saltos intermedios de forma adaptativa es una ventaja respecto a la solución del uso de escalas fijas. No obstante, la propuesta [61] también presenta algunos inconvenientes. Por un lado, esta solución funciona bajo la premisa de actualizar las condiciones de estrés cuando existe un cambio en las prestaciones del circuito. Sin embargo, en términos físicos, el *link* bidireccional existente no se da entre las condiciones de estrés y las prestaciones del circuito, sino entre las condiciones de estrés y la degradación. Es importante tener en cuenta que, dependiendo del tipo de circuito, su diseño y las prestaciones que se estén observando, es posible que se esté produciendo una importante degradación continuada en los dispositivos que no se esté reflejando directamente en las prestaciones. En este sentido, llegados a un punto de degradación, la caída de las prestaciones puede ser abrupta, por ejemplo, porque un transistor debido a su degradación salga de la región de operación en la que éste deba funcionar. Si ante este hecho, las condiciones de estrés no se han ido actualizando de forma correcta, porque las prestaciones eran poco sensibles a este daño, pueden cometerse importantes errores de precisión, por ejemplo, no calculando adecuadamente cuándo se producirá esta caída abrupta de prestaciones y, por tanto, fallando en la estimación del *lifetime* del circuito. Además, actualizar las condiciones de estrés cuando se produce un cambio en las prestaciones del circuito tiene un inconveniente adicional. En el trabajo presentado en [61], este problema no está presente porque se utiliza un modelo TDV determinista, pero debe tenerse en cuenta que si el modelo TDV fuera estocástico, para evaluar las prestaciones en cada paso intermedio no bastaría con calcular un único valor como en el caso determinista, sino que habría que trabajar con distribuciones. Es decir, para evaluar el impacto de la degradación sobre las prestaciones sería necesario emplear un análisis sobre la distribución estadística o sobre las muestras generadas a partir de ella, empleando, por ejemplo, un análisis de Monte-Carlo, aumentando el coste computacional en cada paso intermedio de forma extrema.

Adicionalmente en [61], se presenta una propuesta en la que se incluye el impacto de la TZV en conjunto con la TDV. Para modelar la TZV se generan un número de muestras elegidas por el usuario haciendo uso de una simulación de Monte-Carlo con los datos de la tecnología provistos por el fabricante, por lo que la TZV se trabaja de forma estocástica. No obstante, la inclusión de la TDV se lleva a cabo haciendo un uso reiterado del simulador determinista previamente presentado, envejeciendo de forma determinista cada muestra de TZV generada. En definitiva, no se trata de una solución estocástica completa, sino que se trata de una propuesta mixta donde se está subestimando el impacto total sobre

la dispersión de la distribución, al menos, para tecnologías donde el *aging* muestra una naturaleza estocástica.

Además de las soluciones presentadas hasta este punto, que buscan la máxima precisión posible trabajando con simulaciones eléctricas y con la degradación a nivel de dispositivo, utilizando modelos cercanos a la física del dispositivo, existen una serie de propuestas que se basan generalmente en la utilización de modelos de comportamientos a más alto nivel, los cuales en su mayoría simplifican los fenómenos de degradación. En este sentido, suelen considerar sólo el peor caso posible haciendo uso de análisis de sensibilidad a la degradación, para considerar únicamente el impacto de los efectos de degradación dominantes. Muchas de estas propuestas se centran en la estimación del fallo a nivel de circuito. Un ejemplo representativo de este tipo de propuestas puede encontrarse en [193], donde el uso de estos modelos de comportamiento permite reducir notablemente el coste computacional de los análisis de fiabilidad, permitiendo estudios de simulación de fiabilidad estocásticos que incluyan simultáneamente la TZV y la TDV debida al BTI y HCI. Sin embargo, en este tipo de propuestas, el modelo de comportamiento a utilizar es fuertemente dependiente del circuito. Para la amplia casuística de posibles circuitos, el hecho de que dichos modelos deban ser proporcionados por el usuario, hace que modelar el comportamiento de la degradación para cada uno de ellos sea un problema extremadamente complejo. Otro ejemplo puede encontrarse en [145], donde se muestra una propuesta que utiliza una herramienta de simulación de fiabilidad que emplea unos modelos concretos para determinar el fallo del circuito para los fenómenos de BTI, HCI y TDDB. En general, una forma comúnmente empleada para implementar una solución que utilice modelos de comportamiento para modelar la degradación es el empleo de lenguajes como VHDL-AMS o Verilog-A [194], [195]. La ventaja de este tipo de soluciones es que son adecuadas para trabajar con modelos estocásticos ya que permiten trabajar eficientemente de forma estadística con los datos. Además de soluciones basadas en el empleo de análisis de Monte-Carlo, otro tipo de soluciones populares son aquellas basadas en métodos de superficie de respuesta o más comúnmente en terminología anglosajona *Response Surface Methods* (RSM) [66]. El objetivo del empleo de esta técnica es reducir el exigente coste computacional de las simulaciones de Monte-Carlo, pero para llevarlas a cabo, en el marco de las simulaciones de fiabilidad, es necesario establecer una relación directa o función entre los parámetros de variabilidad de la TZV y la TDV y las prestaciones del circuito. Es concretamente en este hecho donde radica la dificultad y las limitaciones de emplear este método. En [61], puede encontrarse también una propuesta que lleva a cabo una implementación del simulador previamente explicado (con TZV estocástica y TDV determinista) pero utilizando este método de RSM.

En definitiva, este tipo de propuestas de diferente perspectiva se centran generalmente en simplificar los efectos de degradación, considerando solo el mecanismo de degradación dominante mediante el análisis de sensibilidad de las prestaciones ante ciertos cambios a ciertas condiciones. Estas propuestas pueden ser interesantes para abarcar la simulación de circuitos o sistemas con un elevado número de transistores, pero no serán la solución más adecuada si el objetivo es el estudio de pequeños bloques de la forma más precisa posible. De hecho, es necesario la coexistencia de ambas herramientas. El modelado y la simulación precisa de pequeños circuitos o bloques a nivel eléctrico, permitirá en un trabajo futuro, mejorar el modelado en un nivel de abstracción superior, para abordar el análisis de circuitos o sistemas de mayor complejidad a más alto nivel.

3.4. CASE: Una herramienta de simulación de fiabilidad estocástica para circuitos integrados.

3.4.1. Introducción.

El objetivo de este apartado es la presentación de CASE, una herramienta implementada durante el desarrollo de esta tesis para la simulación de fiabilidad de circuitos integrados a nivel eléctrico. La motivación de la realización de esta herramienta surge, por un lado, ante la necesidad de solventar las limitaciones y carencias que presentan las herramientas actuales, presentadas en el apartado anterior. Por otro lado, tal como se ha analizado en el sub-apartado 3.3.3, tampoco existe en la actualidad ninguna propuesta académica que cumpla con todos los requisitos, objetivos y retos discutidos en el apartado 3.2.

Desde el punto de vista de la funcionalidad, CASE dispone de dos enfoques o modos de funcionamiento, que también pueden entenderse como que la herramienta CASE integra a su vez la implementación de dos herramientas. La primera de ellas consistiría en un simulador de fiabilidad estocástico en el sentido más común de estas herramientas, esto es, un simulador capaz de evaluar la degradación en los dispositivos de un circuito y el impacto sobre las prestaciones del mismo en un tiempo objetivo. La segunda de ellas se trata de una herramienta que, haciendo uso de este simulador estocástico de fiabilidad, es capaz de calcular de forma eficiente el *lifetime* de un circuito.

El simulador de fiabilidad de CASE cumple con la lista de objetivos presentada al final del apartado 3.2:

- Las simulaciones eléctricas se llevan a cabo haciendo un uso automatizado de un simulador eléctrico comercial. Concretamente, en la actualidad se emplea el simulador HSPICE aunque el diseño modular del simulador permitiría la fácil integración de otros simuladores de clase SPICE como, por ejemplo, Spectre.
- Se emplea un modelo estocástico tanto para los modelos de variabilidad de la TZV como de la TDV, los cuales utiliza para calcular la variabilidad. Concretamente, se emplea el modelo de TDV presentado en el capítulo 2.
- Para actualizar las condiciones de estrés y tener en cuenta el *link* bidireccional en el cálculo de la degradación, tiene la opción de emplear un algoritmo de paso adaptativo computacionalmente eficiente. También incluye las opciones clásicas de emplear una escala de paso fija lineal o logarítmica.
- Ofrece diferentes alternativas para gestionar conjuntamente el impacto simultáneo de la TZV y de la TDV.
- La eficiencia computacional ha sido un objetivo preferente en la implementación de todos los aspectos anteriores.

Por otro lado, el método para el cálculo del *lifetime* de un circuito de CASE se basa en la definición de explicada en el apartado 3.2 y mostrado en la Figura 3-12. En este sentido, hace uso del simulador de fiabilidad de CASE para el análisis estadístico de las prestaciones y la evaluación del TDY.

Otro aspecto a comentar es que, con el fin de facilitar el uso de la herramienta a los usuarios, se ha desarrollado una interfaz amigable desde la que configurar el simulador, elegir entre diferentes opciones sobre el estudio de fiabilidad a realizar y también, desde la que escoger y seleccionar diferentes opciones para la representación de los resultados del análisis. Algunas capturas de la interfaz desarrollada, que ha sido implementada en Matlab®, se muestran en la Figura 3-13. No obstante, es posible operar con la herramienta CASE desde la línea de comandos de cualquier computadora de forma sencilla, ya que tan sólo es necesario preparar una serie de archivos de entrada e invocar el ejecutable. El formato de estos ficheros de entrada y configuración sigue una sintaxis similar a la de los simuladores eléctricos comerciales, por lo que la gestión y uso del simulador programáticamente por los diseñadores, o la integración de éste dentro de otras herramientas de diseño u optimización, es sencilla.

Los detalles de la implementación y las estrategias de solución llevadas a cabo para implementar cada una de las funcionalidades o herramientas de CASE serán desarrolladas en los siguientes dos sub-apartados. El primero de ellos, el apartado 3.4.2, se centrará propiamente en describir el simulador de fiabilidad, justificando la solución adoptada para alcanzar cada uno de los objetivos. El segundo de ellos, el apartado 3.4.3 desarrollará la implementación realizada para el cálculo eficiente del *lifetime* de los circuitos.

3.4.2. Simulador de fiabilidad estocástico

El objetivo del simulador de fiabilidad será el de evaluar la degradación del circuito debido a las fuentes de variabilidad y su impacto sobre las prestaciones del mismo. En primer lugar, se presentará el flujo de simulación desde una perspectiva funcional (3.4.2.1), posteriormente se aborda el problema de evaluar la contribución conjunta de la TZV y de la TDV (3.4.2.2) y se presenta el algoritmo de salto adaptativo empleado para actualizar las condiciones de estrés (3.4.2.3). Finalmente se muestra un ejemplo del uso del simulador mediante la exposición de un caso de uso (3.4.2.4).

3.4.2.1. Flujo de simulación de fiabilidad, interfaz, entradas y salidas del simulador.

El flujo del simulador de fiabilidad de CASE mostrado en la Figura 3-14, se corresponde conceptualmente con el mostrado en la Figura 3-9. El simulador recibe a la entrada un archivo de configuración y uno denominado propiamente archivo de entrada. El archivo de configuración se emplea para ajustar el tipo de análisis de fiabilidad que se va llevar a cabo y ciertas opciones del simulador. Por ejemplo, se indican aspectos tales como el tiempo final objetivo de la simulación de fiabilidad (tiempo total de operación del circuito



Figura 3-13. Capturas de la interfaz de usuario de la herramienta Case.

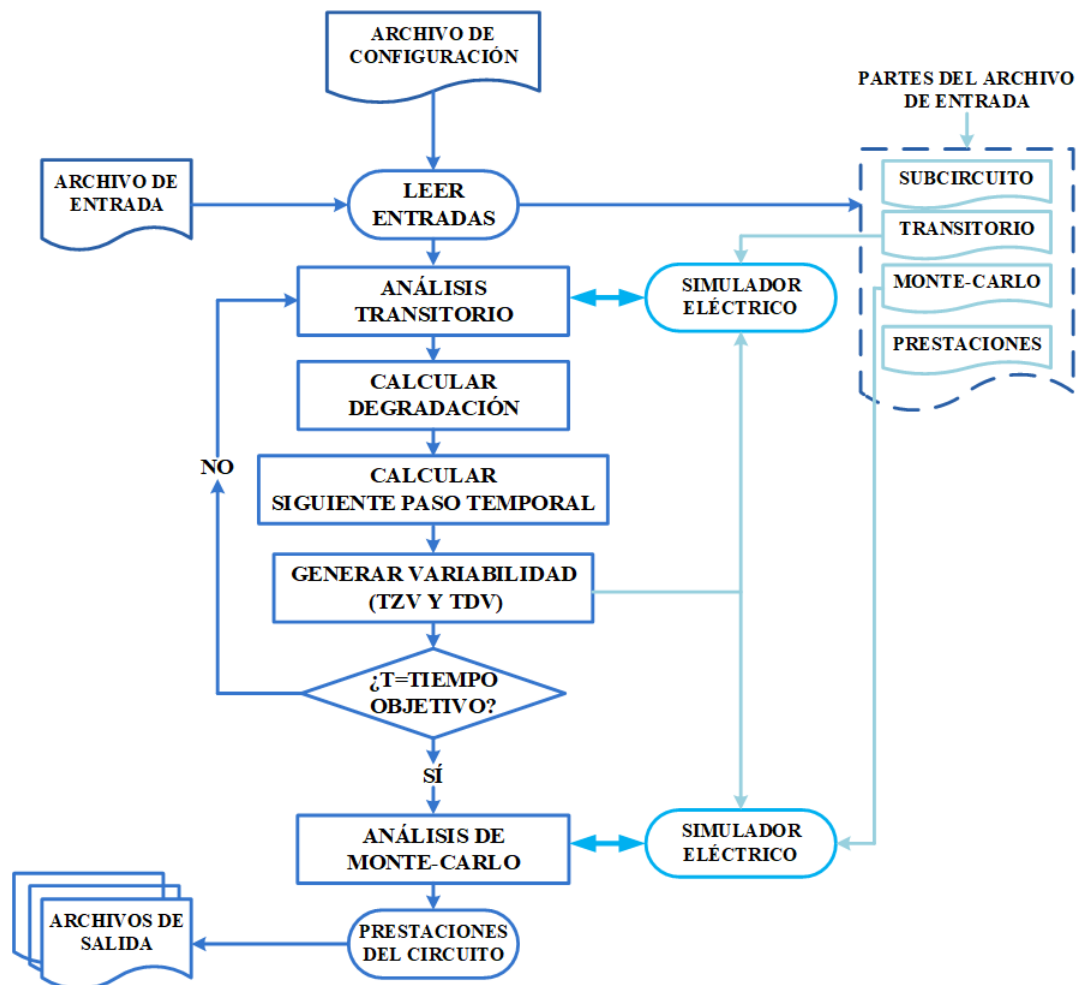


Figura 3-14. Flujo del simulador de fiabilidad propuesto en esta tesis.

en el cual se desea conocer la degradación), la temperatura durante la operación, qué fuentes de variabilidad serán incluidas en el análisis, etc. Por su parte, el archivo de entrada cuenta con diferentes secciones. En la primera de ellas se indica el circuito a evaluar y su dimensionamiento (por ejemplo, una etapa inversora, un espejo de corriente, etc). De forma similar a la solución presentada en [61], la segunda y tercera sección del archivo de entrada proporciona información sobre dos tipos de análisis a llevar a cabo. Estos dos tipos de análisis son: un análisis transitorio, que será utilizado para conocer la evolución de las tensiones del circuito (sus condiciones de estrés en tensión) en cada paso de la simulación y un análisis de Monte-Carlo que se lleva a cabo al final del análisis en el tiempo objetivo para evaluar las prestaciones del circuito tras la degradación.

Evidentemente, los estímulos aplicados al circuito del análisis transitorio descrito en la segunda sección, deben ser representativo de la operación del circuito durante su tiempo de vida. En la tercera sección donde se describe el análisis de Monte-Carlo se indica información sobre las prestaciones que serán evaluadas en el tiempo final objetivo del estudio de fiabilidad. También se definen los estímulos aplicados al circuito o, en otras palabras, la topología del *testbench* que será empleado para evaluar las prestaciones (este *testbench* puede ser o no similar al empleado para los análisis transitorios).

En base a la información del archivo de entrada y de configuración proporcionados, se realiza en primer lugar, un análisis transitorio sobre el circuito en fresco, haciendo uso del simulador eléctrico comercial HSPICE®. Esto permite conocer las condiciones de estrés en tensión de todos los terminales de los dispositivos del circuito. Esta información junto a la información de temperatura, son las condiciones de estrés empleadas por el modelo de *aging* explicado en el capítulo 2 para calcular la degradación de los dispositivos. En este punto, la degradación ha sido calculada para el tiempo que dura el análisis transitorio, pero esta degradación necesita ser extrapolada hasta el punto temporal escogido como siguiente salto (o hasta el tiempo final objetivo si no se realizarán pasos intermedios).

El valor del siguiente salto temporal dependerá de la opción escogida para realizar los saltos intermedios. Por ejemplo, si se escogen las opciones de escala fija lineal o logarítmica, el usuario debe escoger el número de saltos a intermedios a realizar, de forma que todos los saltos temporales quedarán automáticamente determinados. Si se escoge una de las dos opciones que proporciona el algoritmo de salto adaptativo, será dicho algoritmo el que vaya calculando el siguiente salto de forma adaptativa. La explicación detallada de este algoritmo se realiza en el sub-apartado 3.4.2.3.

En cualquier caso, una vez conocidas las condiciones de estrés, la degradación producida durante el transitorio y el siguiente punto temporal a alcanzar en el cual debe realizarse la extrapolación, se está en disposición de calcular la degradación en dicho punto. Los modelos proporcionados por los fabricantes son empleados para calcular la TZV, mientras que el modelo propuesto en el capítulo 2 es empleado para calcular tanto la componente recuperable como la componente permanente de la TDV. La información de la degradación calculada es utilizada para modificar los parámetros de los dispositivos del circuito en cada paso de la simulación eléctrica, con lo que se cierra el *link* bidireccional. La gestión del impacto conjunto de ambas variabilidades cuando ambos modelos son estocásticos es un problema complejo. La herramienta CASE ofrece diferentes opciones para realizar este cálculo, los cuales son explicados en el sub-apartado 3.4.2.2.

A continuación, este procedimiento de análisis transitorio para conocer las condiciones de estrés, cálculo del *aging* y extrapolación, se repite a lo largo del tiempo en cada salto temporal realizado hasta que se alcanza el tiempo final objetivo. Una vez alcanzado este tiempo final, la información de la degradación obtenida hasta ese punto es nuevamente utilizada para modificar los parámetros eléctricos de los transistores del circuito a emplear en el simulador eléctrico. En este punto, con los dispositivos del circuito envejecidos o degradados, se lleva a cabo el análisis final para evaluar las prestaciones seleccionadas. Este consiste en un análisis de Monte-Carlo y se lleva a cabo empleando el simulador eléctrico para evaluar una serie de muestras del circuito envejecido que han sido generadas a partir de la información de variabilidad (de TZV+TDV). Esto permite, en definitiva, realizar un estudio o análisis estadístico del circuito degradado y sus prestaciones.

De los archivos de salida que se generan con el simulador de fiabilidad de CASE, pueden extraerse diferentes tipos de información de la simulación de fiabilidad realizada. Por un lado, además de las distribuciones estadísticas obtenidas para las prestaciones y sus

parámetros característicos, que evalúan el impacto de la variabilidad, es posible establecer una serie de restricciones para el cálculo del *yield* del circuito, tanto en el sentido clásico de la definición de *yield* calculado sobre la TZV, como sobre el TDY. Por otro lado, es posible extraer información de la degradación individual de los dispositivos, esto es, cómo ha variado el valor de la tensión umbral para cada uno de ellos debido a la TZV y TDV, tanto en cada muestra utilizada en el tiempo final para el análisis de Monte-Carlo, como en la degradación calculada en cada paso intermedio realizado.

3.4.2.2. Inclusión de un modelo estocástico de variabilidad (TZV+TDV) en un flujo de simulación de variabilidad.

En caso de estar utilizando un simulador determinista, la inclusión de pasos intermedios es sencilla, ya que únicamente será necesario calcular un único valor de degradación en cada paso para calcular las nuevas condiciones de estrés, pero cuando se emplean modelos estocásticos para la TDV, la problemática se complica. En esta situación, en lugar de un único valor, el modelo proporciona una distribución estadística que requerirá un determinado número de muestras para asegurar cierta precisión en el cálculo de la degradación. En definitiva, cuando se está trabajando con modelos estocásticos para TZV y TDV, el esfuerzo computacional requerido es más exigente pudiendo llevar a situaciones que son inabarcables en la práctica. El objetivo de este apartado es ofrecer distintas estrategias para integrar estos modelos estocásticos de forma eficiente computacionalmente [64].

Si se piensa en la solución más precisa posible para incluir ambas fuentes de variabilidad, TZV y TDV, la solución propuesta sería la mostrada en la Figura 3-15, la cual, se ha denominado método A. En el flujo de simulación representado en la figura, se muestra la degradación como una variación de la tensión umbral de uno de los transistores del

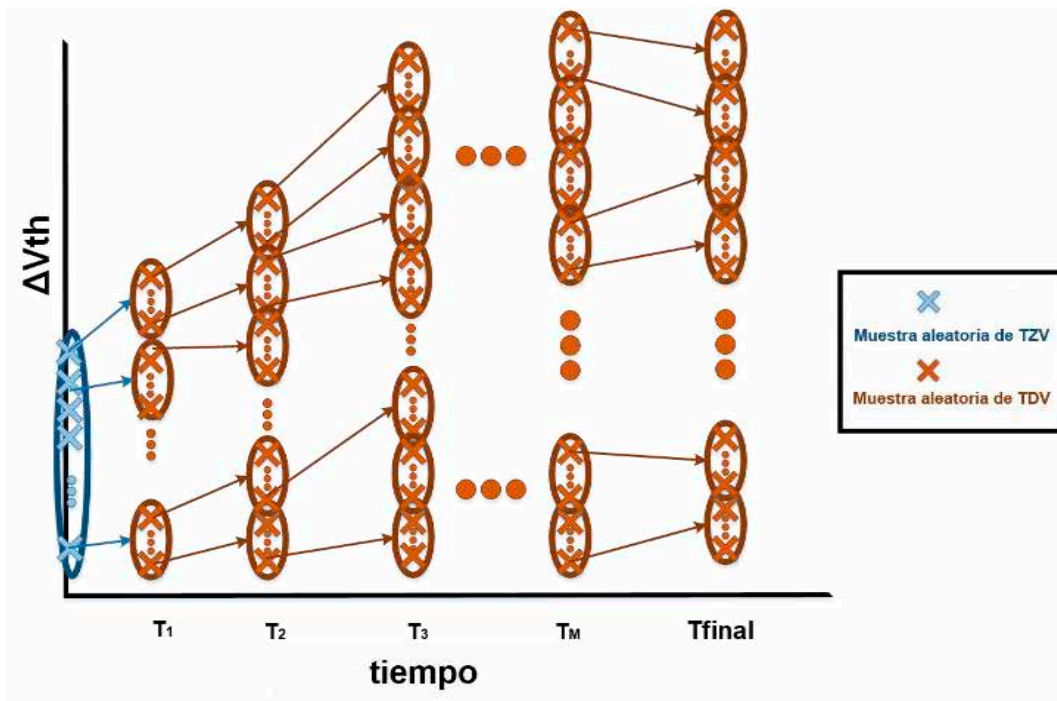


Figura 3-15. Flujo de simulación representativo del método A.

circuito. A tiempo cero, con una elipse de color azulado, se representa la posible distribución de valores que puede tomar cada muestra de TZV. Cada una de estas muestras, representada en la figura con cruces azuladas, sería generada y envejecida de forma independiente. De esta forma, por cada muestra de TZV inicial aparecerá en el primer paso temporal realizado una distribución de TDV, distribución que permitirá a su vez generar un cierto número de muestras de TDV, donde cada una de ellas determinará unas nuevas condiciones de estrés. A su vez, cada una de las nuevas muestras temporales generadas en un paso, dará lugar a su vez a una nueva distribución con diferentes muestras temporales en el siguiente paso realizado. En la Figura 3-15, cada nueva distribución de TDV que se genera a partir de una muestra del salto temporal anterior, se ha representado con una elipse de color anaranjado, y cada una de las nuevas muestras generadas en cada una de estas distribuciones, se ha representado a su vez, con una cruz de la misma tonalidad. En términos computacionales, teniendo en cuenta que para actualizar las condiciones de estrés es necesario realizar un análisis transitorio con un simulador eléctrico, el número total de análisis transitorios que deben llevarse a cabo usando este esquema viene determinado por la expresión:

$$\sum_{i=1}^M N_{TZV} \cdot N_{TDV}^i \quad \text{Ec. 3-1}$$

donde N_{TZV} es el número de muestras de TZV empleadas, N_{TDV} es el número de muestras temporales de cada nueva distribución de TDV y M es el número de pasos realizados en la simulación. Además, si tal como se ha explicado en el sub-apartado anterior, una vez alcanzado el tiempo objetivo final se desea realizar un análisis de Monte-Carlo para evaluar las prestaciones del circuito envejecido sobre todas las muestras de variabilidad generadas, el número de muestras de variabilidad total que resultan en el último paso es de $N_{TZV} \cdot N_{TDV}^M$. Para dar una idea de cuan inabarcable es esta aproximación en la práctica, se tomarán algunos números de ejemplo. Puede considerarse que el mínimo número de muestras que suele considerarse aceptable en situaciones favorables para que exista cierta significancia estadística es de 30 muestras, por lo que se tomará este número mínimo tanto para TZV como para TDV. El número de pasos intermedios realizado para que la actualización de las condiciones de estrés sea aceptable suele encontrarse entre 30 y 100 pasos y se puede considerar también que el tiempo medio en realizar un análisis transitorio de un bloque analógico de tamaño promedio de unos 10 transistores es de 1 segundo. Pues bien, con estos números de ejemplo (incluso empleando sólo 30 pasos intermedios), utilizando la expresión de la Ecuación 3-1 para calcular el tiempo necesario para llevar a cabo los análisis transitorios necesarios, el tiempo necesario resultante sería de $2 \cdot 10^{38}$ s, lo que supone un tiempo superior en muchos ordenes de magnitud a la edad actual del universo. En definitiva, el método A, pese a ser el más preciso posible, es inabarcable en la práctica y es necesario explorar diferentes alternativas.

El primer método propuesto es el método B.1, cuyo flujo representativo se muestra en la Figura 3-16. Este método reduce el número de análisis transitorios realizados ajustando el número de muestras de variabilidad temporal utilizadas en cada paso a uno ($N_{TDV} = 1$). Esta solución consiste en que, para cada muestra física del circuito, cada paso temporal daría como resultado un único valor de degradación temporal (dentro de la distribución

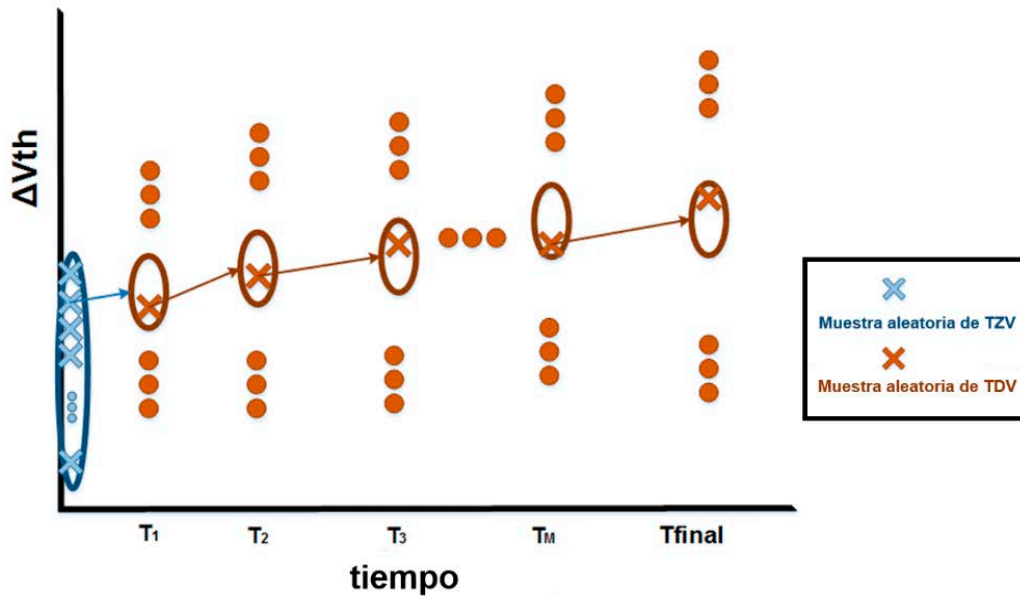


Figura 3-16. Flujo representativo del método B.1.

posible en cada paso), dicho en otras palabras, cada muestra espacial se envejece independientemente usando una única muestra temporal en cada paso, la cual es seleccionada de forma aleatoria de toda la distribución. Utilizando este método, el número total de análisis transitorios necesarios pasa a ser:

$$N_{TZV} \cdot 1 \cdot M \quad \text{Ec. 3-2}$$

Si bien es cierto que a diferencia del Método A, el método B.1 pasa a ser realizable, el hecho de tomar en cada paso una única muestra de la distribución temporal y además hacerlo de forma aleatoria, hace que de cara al análisis global se pierda una gran cantidad de información estadística importante para la distribución final resultante.

Con la intención de evitar esta pérdida de información, se propone el siguiente método, cuyo flujo representativo se muestra en la Figura 3-17 y es denominado método B.2. El objetivo de este método es mantener cierta información estadística de la distribución de la TDV en cada paso. Para desarrollar la explicación de este método conviene recordar el modelo de variabilidad empleado en el simulador de fiabilidad CASE. Concretamente, debe recordarse que la degradación del modelo de TDV estaba compuesta por una componente de daño recuperable y una componente de daño permanente. La parte recuperable es la que aportaba la estocasticidad al modelo. Específicamente, la degradación de la parte recuperable del modelo se correspondía con una distribución de muestras generadas, donde la degradación individual de cada muestra venía determinada por el número de defectos ocupados y la contribución de cada uno de ellos, en términos de la variación de tensión umbral que causaban. Los posibles defectos en un transistor eran caracterizados por su tiempo de captura (de carga) τ_c y por su tiempo de emisión (de una carga previamente capturada) τ_e . Para determinar en una muestra concreta el número de defectos ocupados se empleaba, por un lado, la función de distribución de defectos o D_{defect} que mostraba en el plano τ_c - τ_e la probabilidad de que un defecto se encontrase en

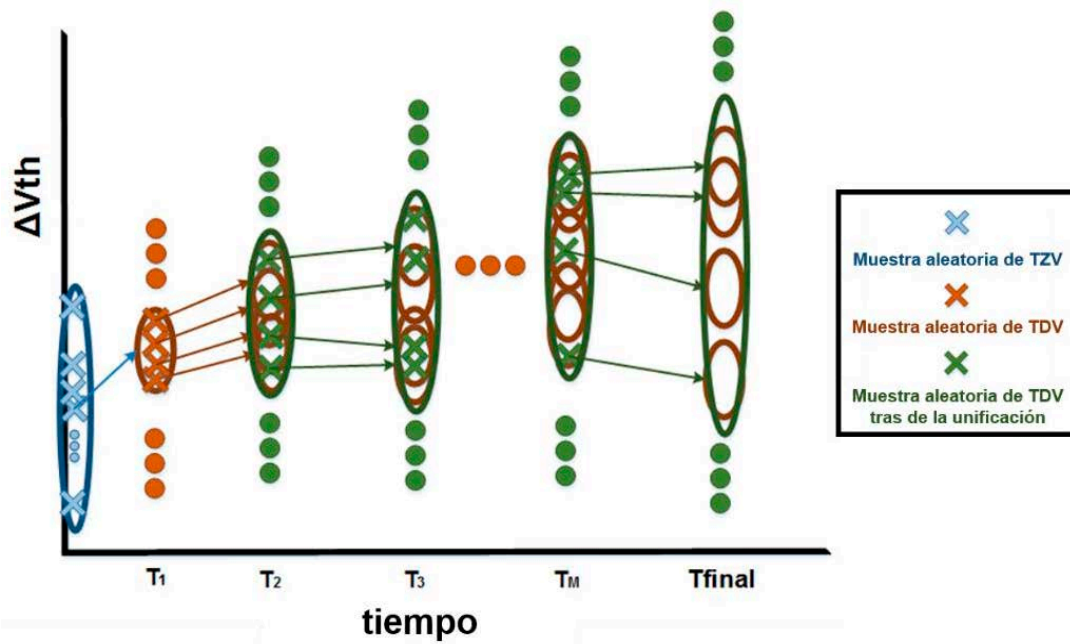


Figura 3-17. Flujo representativo del método B.2.

cada punto del plano y, por otro lado, la probabilidad de ocupación o *pocc*, que mostraba en el mismo plano la probabilidad de que un defecto que se encuentre en cada punto del plano, haya capturado carga (esté ocupado). En este sentido, el análisis transitorio inicial de cada muestra TZV es utilizado para conocer las condiciones de estrés, lo que permite calcular la degradación de la parte recuperable del modelo y generar una función de distribución de defectos *Ddefect* y una función de probabilidad de ocupación *pocc*. Estas funciones se utilizarán para generar N_{TDV} muestras de TDV, resultando igualmente en un total de N_{TDV} muestras de TDV (por cada muestra de TZV). Para cada una de estas N_{TDV} muestras calculadas en el primer salto se generarán en el siguiente salto una nueva *Ddefect* y *pocc*, pero, a diferencia del método A, estas N_{TDV} distribuciones son en este caso fusionadas o unificadas en una única distribución de *Ddefect* y *pocc*, para generar únicamente N_{TDV} muestras de TDV en el siguiente instante (el método A hubiera generado $N_{TDV} \cdot N_{TDV}$ muestras). La fusión o unificación de distribuciones en cada salto temporal, se lleva a cabo de forma aditiva, reescalando las distribuciones resultantes para que sean consistentes. En este sentido, es equivalente considerar que cada nueva muestra que se vaya a generar en un salto temporal concreto, tiene la misma probabilidad de pertenecer a cada una de las distribuciones de TDV generadas en ese salto y que provienen de una muestra generada en el salto anterior. Desde otra perspectiva que puede ser ilustrativa, se puede entender que la probabilidad de que en un nuevo salto temporal se genere una nueva muestra de un valor concreto será mayor si la región en la que se encuentra dicho valor forma parte de varias de las distribuciones TDV individuales generadas y, además, en cada una de ellas la probabilidad de que la muestra se genere con dicho valor es alta. En cualquier caso, este procedimiento de unificar las distribuciones se repite en cada paso temporal. En la Figura 3-17, la unificación de las distribuciones de TDV y las muestras generadas a partir de éstas, se han representado en cada salto temporal respectivamente como una elipse y como cruces de color verde. Con este método, en definitiva, por cada muestra de TZV sólo es necesario llevar a cabo N_{TDV} análisis

transitorios en cada paso. Por tanto, el número total de transitorios necesarios utilizando el método B.2 es de:

$$N_{TZV} \cdot (N_{TDV} \cdot M) \quad \text{Ec. 3-3}$$

La reducción con respecto al método A es muy significativa, sobre todo para un número de pasos elevado. Así mismo, debe tenerse en cuenta también que la fusión o unificación de las distribuciones no puede realizarse en el primer paso porque entonces la posible correlación entre TDV y TZV se perdería.

Para validar el método B.2 es necesario demostrar que el procedimiento de unificar las distribuciones no produce un efecto negativo significativo. Con este fin, se ha llevado a cabo el siguiente experimento. En el instante T_i se han realizado 100 análisis transitorios de 100 muestras de TDV. En el instante T_{i+1} se han generado 100 muestras temporales utilizando independientemente cada $Ddefect$ y $pocc$ obtenida en cada uno de los análisis transitorios, obteniéndose un total de 10000 muestras. Por otro lado, se han unificado las $Ddefect$ y $pocc$ y se ha generado de la distribución resultante directamente 10000 muestras. El resultado puede observarse en la Figura 3-18, donde se muestran sendos histogramas de la degradación (variación de la tensión umbral) de las distribuciones resultantes. A la izquierda, se muestra la distribución obtenida sin unificar las distribuciones $Ddefect$ y $pocc$ y a la derecha la distribución obtenida de la $Ddefect$ y $pocc$ unificadas. La diferencia entre la media y la desviación estándar de las distribuciones es inferior al 0.1%, por lo que este procedimiento de unificación de las distribuciones con el fin de reducir los tiempos de CPU puede asumirse como aceptable.

Para tratar de reducir aún más el coste computacional de la simulación, tratando de mantener la máxima precisión posible, se propone el método B.3 cuyo flujo representativo se muestra en la Figura 3-19. El primer paso es análogo al realizado en el método B.2 donde para cada muestra TZV se genera una $Ddefect$ y una $pocc$ para obtener N_{TDV} muestras de TDV por cada muestra de TZV. Sin embargo, en el caso del método B.3, en lugar de generar N_{TDV} distribuciones de $Ddefect$ y $pocc$ (para luego unificarlas), directamente se utiliza el valor promedio de degradación de las N_{TDV} muestras obtenidas

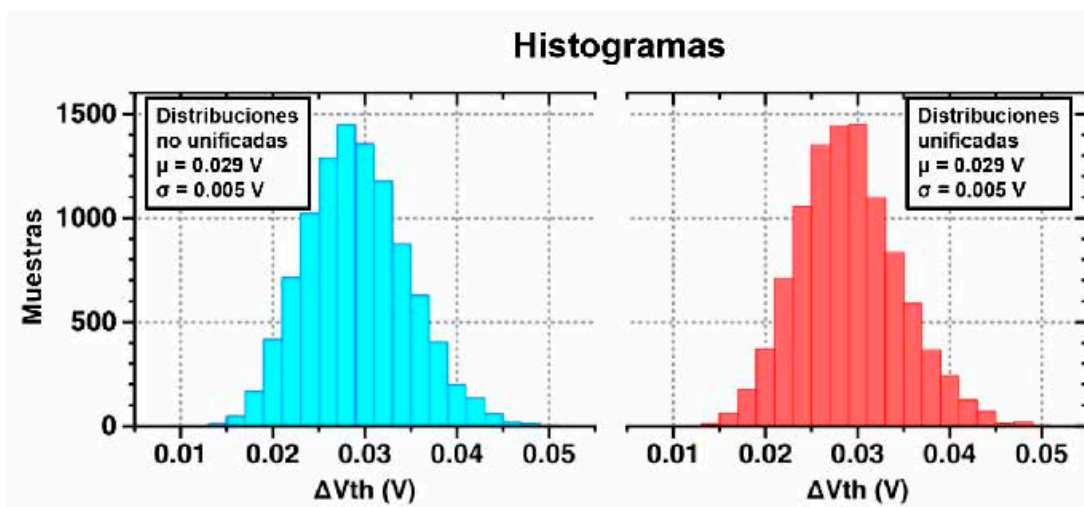


Figura 3-18. Histogramas de las distribuciones obtenidas sin y con el proceso de colapso de las $Ddefect$ y $pocc$.

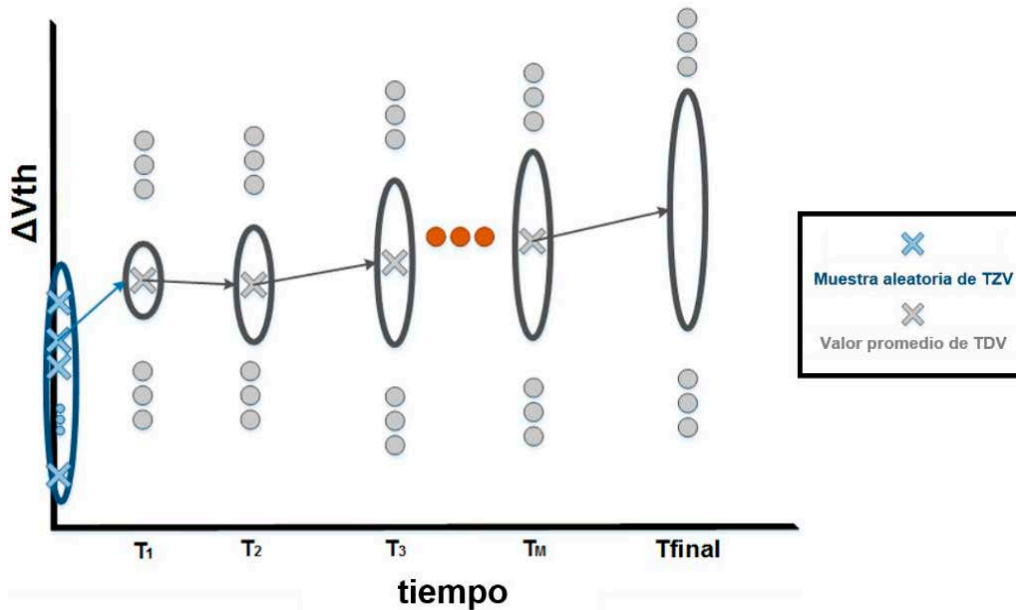


Figura 3-19. Flujo representativo del método B.3.

como valor representativo de la distribución, de forma que sólo es necesario realizar un único análisis transitorio utilizando dicho valor y, por tanto, sólo es necesario generar una única distribución D_{defect} y p_{occ} . Con un tono grisáceo, se representan en la Figura 3-19 con una elipse, la única distribución generada en cada paso temporal y con una cruz, el valor promedio de dicha distribución. En definitiva, utilizando el método B.3, el número total de análisis transitorios necesarios es de:

$$N_{TZV} \cdot (1 \cdot M) \quad \text{Ec 3-4}$$

No obstante, debe tenerse en cuenta que en el último paso, cuando se alcance el tiempo final objetivo, será necesario generar N_{TDV} muestras usando la D_{defect} y la p_{occ} para generar las muestras de variabilidad necesarias para realizar el análisis de Monte-Carlo.

Para ilustrar la diferencia de los tres métodos presentados, se muestran en la Tabla 3-1 los resultados promedios y la dispersión de la degradación (variación de la tensión umbral) de distintas muestras espaciales (TZV) del transistor mostrado en la Figura 3-20 después de un año de operación. Mientras que el método B.1 ofrece una única muestra final de TDV, los métodos B.2 y B.3 proporcionan distribuciones. Los resultados reflejan, por un lado, que la simplificación realizada en el método B.3 produce unos resultados prácticamente idénticos a los del método B.2 reduciendo significativamente el coste computacional. Por otro lado, cabe destacar que la diferencia entre los resultados obtenidos para cada una de las muestras espaciales refleja la posible existencia de correlación entre la TZV y la TDV.

Por último, de forma similar a como el método B.3 utiliza la media de las muestras TDV generadas en cada paso como valor representativo de la distribución, el método C, cuyo flujo representativo se muestra en la Figura 3-21, utiliza el valor promedio de la distribución de TZV (en lugar de utilizar un número de muestras TZV). De esta forma, para el primer paso se tomará como muestra representativa el valor promedio de la TZV

Tabla 3-1. Valores característicos de las distribuciones finales obtenidas para distintas muestras de TZV.

Método	B.1		B.2		B.3		Unidades
	μ	σ	μ	σ	μ	σ	
Muestra 1	18.1	-	21.20	4.82	21.20	4.83	mV
Muestra 2	22.6	-	26.24	5.21	26.24	5.21	mV
Muestra 3	21.0	-	19.86	5.12	19.87	5.11	mV

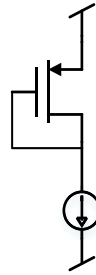


Figura 3-20. Circuito empleado en la realización del experimento para comparar los métodos B.1, B.2 y B.3.

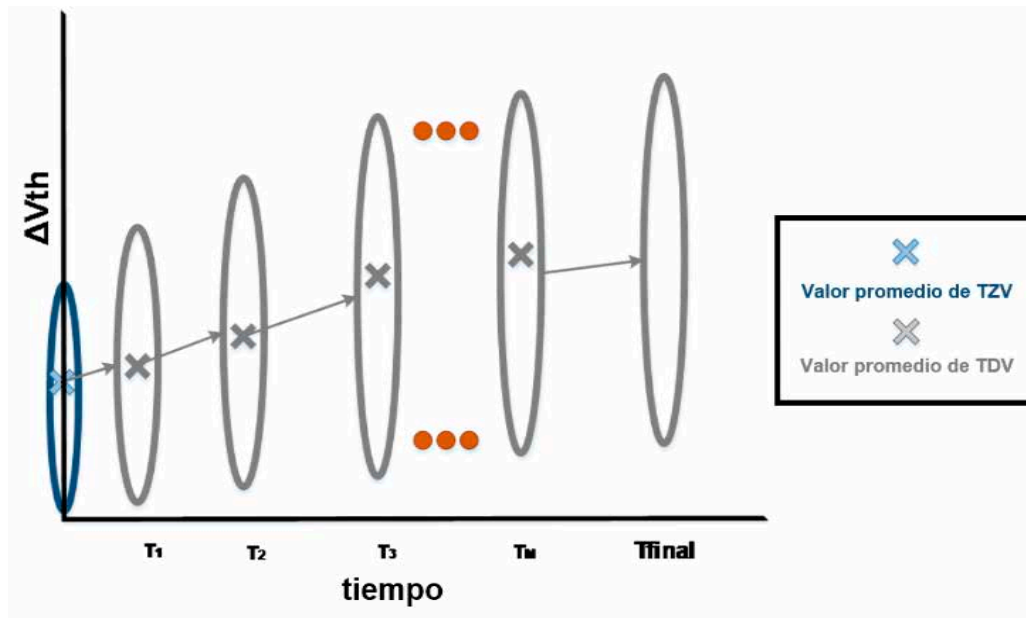


Figura 3-21. Flujo representativo del método C.

y para cada paso posterior se tomará como valor representativo el valor promedio de las muestras temporales de TDV generadas. Utilizando este método, el análisis de Monte-Carlo final realizado se lleva a cabo usando muestras afectadas de forma aditiva por la TDV y por la TZV, siendo ambas fuentes generadas de forma independiente. Es muy importante destacar que en cada paso intermedio se conserva la información estadística de la TDV porque se calcula y utiliza una *Ddefect* y una *pocc*. Este método, al simplificar el primer paso, reduce drásticamente el esfuerzo computacional, sin embargo, puede sufrir de errores de precisión si la correlación entre la TZV y la TDV es fuerte, ya que se ignora el impacto de la TZV sobre el *link* bidireccional entre las condiciones de estrés y el *aging*. Con el método C, el número total de análisis transitorios necesarios es M.

A continuación, los 4 métodos presentados se comparan realizando experimentos sobre un circuito especialmente sensible al *mismatch* como es el espejo de corriente de 3 etapas mostrado en la Figura 3-22. En este circuito, las condiciones de estrés también cambian de forma notoria con la degradación de los transistores M1, M3 y M5 debido al *link* bidireccional. El estudio de degradación se lleva a cabo sobre un tiempo total de operación de cinco años. El número de muestras de TZV y TDV empleadas, así como el número de pasos intermedios realizados, se muestran en la Tabla 3-2[64][64][39][39]. En dicha tabla se muestra a su vez el número de análisis transitorios necesarios para llevar a cabo dicho método y el número de muestras utilizadas en el análisis de Monte-Carlo final para evaluar las prestaciones del circuito degradado. Entre paréntesis aparecen respectivamente el número de muestras TZV utilizadas y el número de muestras TDV por cada muestra TZV. El signo “+” de la última fila indica que las muestras de TZV y TDV han sido generadas de forma independiente, obteniendo la variabilidad total de forma aditiva entre ambas fuentes.

La función de distribución acumulada del factor de copia del espejo se muestra en la Figura 3-23. Puede observarse que los resultados obtenidos son similares para los métodos B.1 y C. Esto ocurre debido a que los métodos B.1 y C incluyen un número mucho mayor de muestras TZV que los métodos B.2 y B.3 y para este caso el impacto de la TZV es bastante importante. La explicación de por qué el método C es más preciso pese a que en el primer paso ignora la posible correlación entre las muestras TZV de partida y la degradación, es precisamente porque debido a que se trata la TZV de forma independiente, es posible utilizar un número muy elevado de muestras de TZV (tantas como se vayan a utilizar en el Monte-Carlo). Esto significa que se puede ser muy preciso en representar las características de la distribución espacial, lo que acaba siendo más significativo que considerar la correlación entre TZV y TDV si esta correlación es baja. En definitiva, la posible diferencia entre los métodos B.1 y C viene determinada por el impacto de la TZV en el *link* entre las condiciones de estrés y la degradación. Sin embargo, en términos computacionales el método C es extremadamente superior al método B.1 ya que, como se aprecia en la Tabla 3-2, el número de análisis transitorios necesarios es 10000 veces inferior. Desde otra perspectiva, puede decirse que el uso del método C es más eficiente que el método B.1, ya que será capaz de trabajar con un número

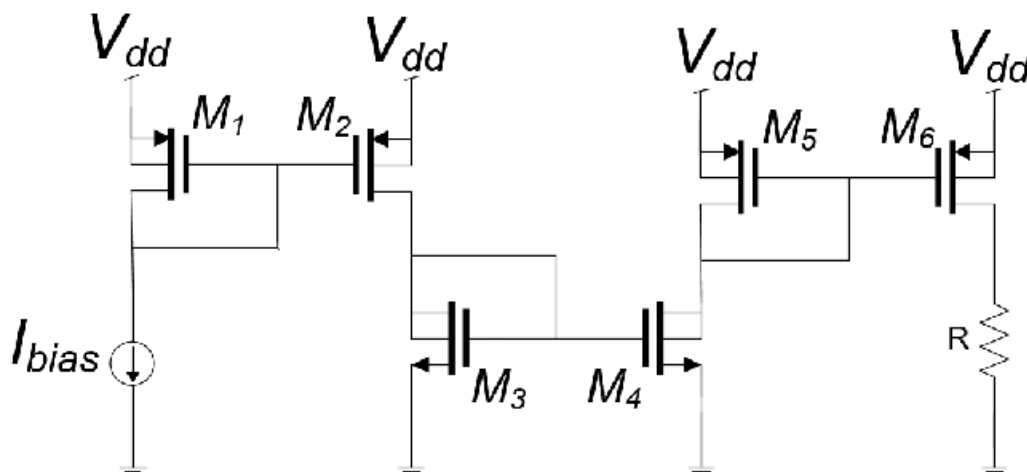


Figura 3-22. Esquemático del espejo de corriente de 3 etapas utilizado.

Tabla 3-2. Comparación entre los diferentes métodos propuestos.

Método	NTZV	NTDV	M	Número de análisis transitorios	Número de muestras para el análisis de Monte Carlo
B.1	10000	1	50	500000	10K (10K·1)
B.2	100	100	50	500000	10K (100·100)
B.3	100	1	50	5000	10K (100·100)
C	1	1	50	50	10K (10K+10K)

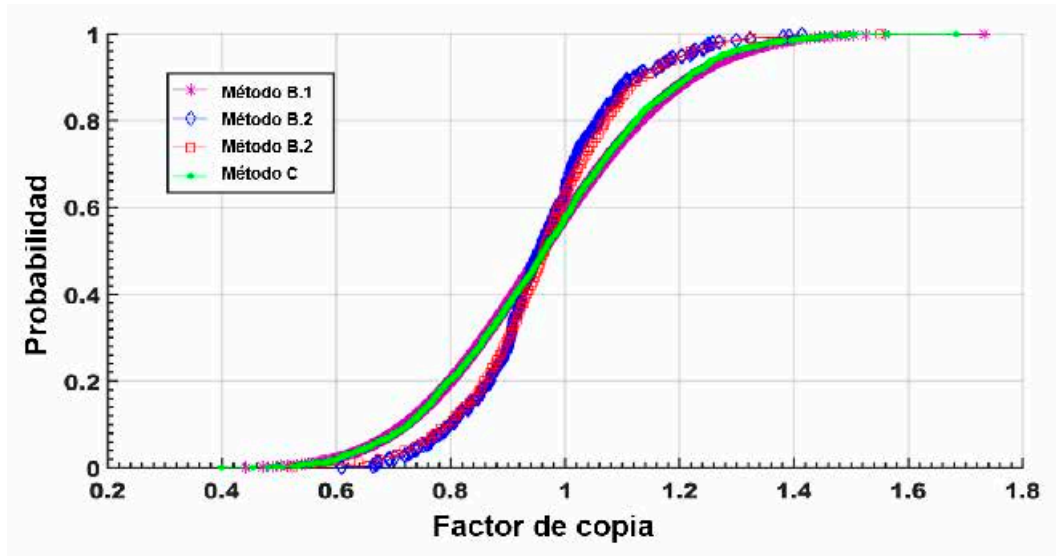


Figura 3-23. CDF del factor de copia del espejo de corriente de tres etapas para los métodos propuestos.

mucho mayor de muestras de TZV, siendo, en definitiva, más preciso, a un coste computacional muy inferior.

3.4.2.3. Algoritmo de paso temporal adaptativo eficiente para simulaciones de fiabilidad

A lo largo del capítulo, se ha justificado la importancia de incluir pasos intermedios durante la simulación de fiabilidad para actualizar las condiciones de estrés. Además, en aras de alcanzar una eficiencia computacional óptima, la elección de la ubicación de los puntos temporales donde actualizar las condiciones de estrés debería hacerse de forma adaptativa según evoluciona la degradación en la simulación.

En este sentido, aunque la herramienta CASE permite el uso de paso fijo en escala lineal o logarítmica como las herramientas comerciales, una de las contribuciones más importantes de la propuesta presentada es la posibilidad de utilizar un algoritmo de salto temporal adaptativo. Por un lado, este algoritmo permite dar respuesta al problema de qué número óptimo de pasos utilizar y donde ubicar en el tiempo dichos pasos o saltos temporales. Por otro lado, si el usuario quiere limitar el número de saltos para acotar el consumo de CPU, el algoritmo escoge donde ubicar los puntos temporales para maximizar la precisión. La implementación de estas dos perspectivas da lugar a las dos propuestas desarrolladas.

Formalmente hablando, las principales consideraciones y características que debe cumplir el algoritmo propuesto pueden resumirse en tres aspectos [172]:

- La distribución de los saltos temporales debe ser adaptativa, esto es, el algoritmo debe ser capaz de adaptar de forma autónoma la ubicación de los saltos en función de los diferentes cambios en la evolución de la degradación y de las condiciones de estrés (en contra de las soluciones basadas en escalas fijas).
- La información propia requerida por el algoritmo debe minimizar la dependencia de parámetros definidos por el usuario (como el tamaño del salto inicial), ya que estos parámetros podrían afectar directamente a la eficiencia de la simulación de fiabilidad.
- El algoritmo debe seguir a los cambios producidos en las condiciones de estrés, los cuales siempre se deben a cambios producidos debido a la degradación de los transistores. En este sentido, en lugar de seguir directamente los cambios en las condiciones de estrés, lo que requeriría el empleo de análisis transitorios con el simulador eléctrico con el consecuente aumento de la carga computacional, el algoritmo debe seguir el cambio en la degradación de los dispositivos utilizando los modelos de degradación, lo cual no requiere ninguna simulación eléctrica adicional. Esto es adecuado ya que, debido al *link* bidireccional, cualquier posible cambio en las condiciones de estrés siempre será debido a la degradación en los dispositivos.

La idea principal para llevar a cabo la implementación del algoritmo consiste en establecer un límite de degradación de los dispositivos en cada salto temporal, el cual, una vez alcanzado, implica la actualización de las condiciones de estrés. La actual implementación del método, acorde a las propuestas presentadas hasta el momento, utiliza como parámetro para evaluar la degradación debida a la TDV la variación de la tensión umbral, aunque conceptualmente el algoritmo propuesto sería válido para cualquier otro parámetro seleccionado o incluso para más de un parámetro.

Para ilustrar como elige el algoritmo adaptativo el siguiente paso, se presenta en la Figura 3-24 el procedimiento seguido para el caso de un único transistor. En primer lugar, se establece la máxima degradación (variación de la tensión umbral) permitida en cada salto δV_{th} , de forma que en cada nuevo salto temporal, partiendo de un valor V_{thi} , el siguiente momento donde las condiciones de estrés deben ser actualizadas es el instante en que la variación de la tensión umbral alcanza la degradación que viene determinada por $V_{thi} + \delta V_{th}$. La búsqueda del punto temporal donde se produce la degradación objetivo la realiza un algoritmo de muy bajo coste computacional. Este algoritmo realiza una búsqueda iterativa suponiendo condiciones de estrés constantes (no requiere simulaciones eléctricas) y haciendo uso de los modelos de *aging* descritos en el capítulo 2.

Es importante destacar que con la solución propuesta, los saltos temporales realizados no siguen una escala determinada, sino que su tamaño se adapta dinámicamente al cambio de la degradación y, por tanto, de las condiciones de estrés. Si estas condiciones cambian de forma severa, se realizará un elevado número de saltos para poder mantener una precisión adecuada. Contrariamente, si las condiciones de estrés apenas sufren cambios o

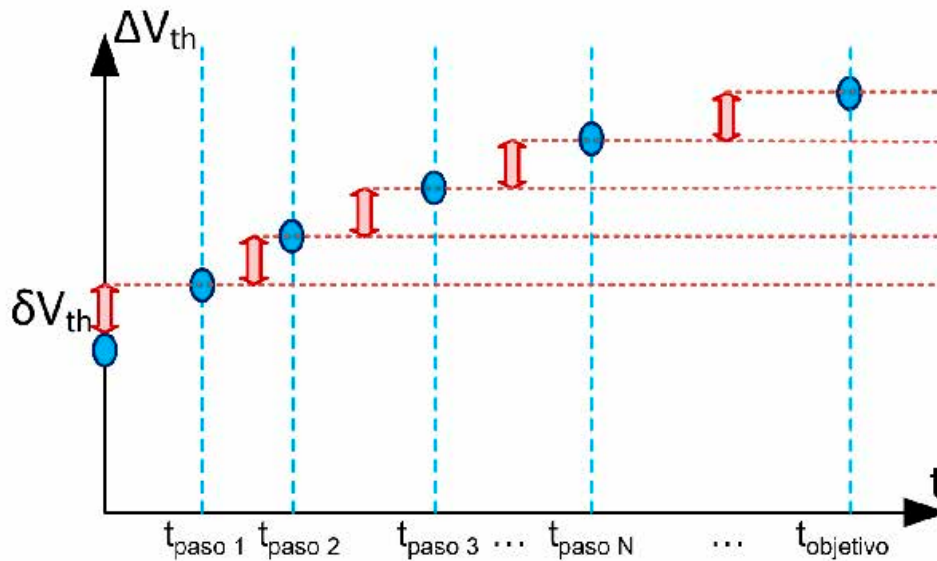


Figura 3-24. Algoritmo de salto adaptativo para un único transistor.

éstas cambian muy gradualmente y a largo plazo, se reducirá considerablemente el número de pasos intermedios necesarios.

La estrategia a seguir en el caso general en el que coexisten múltiples transistores en un circuito, es similar a la seguida en el caso de un único dispositivo. Se establecerá para cada transistor una variación máxima permitida δV_{th}^k , donde k indicaría el número de transistor. Este valor puede ser el mismo para todos los dispositivos o diferente para cada uno, según lo decida el usuario. En cualquier caso, el criterio seguido en cada salto es actualizar las condiciones de estrés de todos los dispositivos en el momento temporal en el que el primero de ellos alcanza la degradación máxima permitida. Y como se está trabajando con un modelo estocástico, para estos cálculos, el algoritmo trabaja escogiendo como valor representativo el valor promedio de la distribución de las muestras de TDV, de forma similar a como se procedía en el sub-apartado anterior cuando se empleaban los métodos B.3 y C.

Una vez explicado el funcionamiento adaptativo de la elección del próximo salto, se pasa a continuación a comentar las dos propuestas implementadas que hacen uso de este método. Básicamente, la diferencia entre ambas es la forma en la que establecen la máxima degradación permitida en cada salto δV_{th} .

La primera de ellas, se centra en establecer la precisión como su objetivo principal. De esta forma el usuario define directamente la máxima degradación permitida entre saltos. Con esta solución, el algoritmo realizará el número de pasos intermedios necesarios para mantener siempre la precisión adecuada. Eso sí, para el nivel de precisión alcanzado, el algoritmo permite reducir el tiempo de computación con respecto al uso de un paso fijo, ya que los saltos se realizan de forma adaptativa y por tanto, se ajustan al máximo para realizar el mínimo número de saltos requeridos para alcanzar dicha precisión.

La segunda opción está orientada a restringir la máxima carga computacional de la simulación, acotando el número máximo de análisis eléctricos a realizar, o lo que es lo mismo, limitando el número de saltos intermedios máximo. Por tanto, en este caso el

usuario fija el número de pasos intermedios a realizar, de forma que, la función del algoritmo consiste en optimizar la distribución en el tiempo de estos saltos temporales para conseguir la máxima precisión posible. Debe destacarse que esta opción es la única propuesta hasta la actualidad que utiliza un método de salto adaptativo que permite fijar el número de saltos a realizar y, de esta forma, acotar el uso de CPU.

La forma de implementar la segunda opción es la siguiente. En cada nuevo salto, la degradación de cada transistor desde el punto actual hasta el tiempo final objetivo es calculada extrapolando directamente (sin realizar pasos intermedios). El mayor valor de degradación calculado, que evidentemente se corresponderá con el del dispositivo del circuito que más se vaya a degradar desde ese punto hasta el tiempo final, se divide entre el número de pasos intermedios restantes, esto es, los pasos que quedan por dar hasta alcanzar el tiempo objetivo. El valor obtenido de esta operación, es el nuevo valor de degradación máxima permitida δV_{th} para todos los dispositivos en el siguiente salto. Nótese que la nueva actualización de las condiciones de estrés se realizará cuando el primero de los dispositivos alcance el umbral de variación δV_{th} y que éste no tiene por qué coincidir necesariamente con el dispositivo que alcanzaba la mayor degradación en el tiempo final y a partir del cual se determinó δV_{th} .

Es importante destacar que no se utiliza el mismo valor calculado durante todo el análisis sino que este procedimiento se lleva a cabo en cada paso intermedio, de forma que el valor de δV_{thi} cambiará en cada paso i . Esto es importante porque esta forma de proceder permite tener en cuenta, en cada nuevo paso, los posibles cambios en las condiciones de estrés que se han producido en los pasos anteriores. Esto implica a su vez, que el error cometido en cada paso intermedio al realizar la extrapolación directa se irá reduciendo con cada nuevo paso intermedio introducido, ya que en cada nuevo paso se está teniendo en cuenta una nueva actualización de las condiciones de estrés y, por tanto, el cálculo será más preciso. Todo esto permitirá, en definitiva, que el esquema de salto sea adaptativo y los saltos se vayan colocando de forma que mejoren la precisión conseguida. La Figura 3-25 muestra la representación del procedimiento llevado a cabo por esta segunda opción.

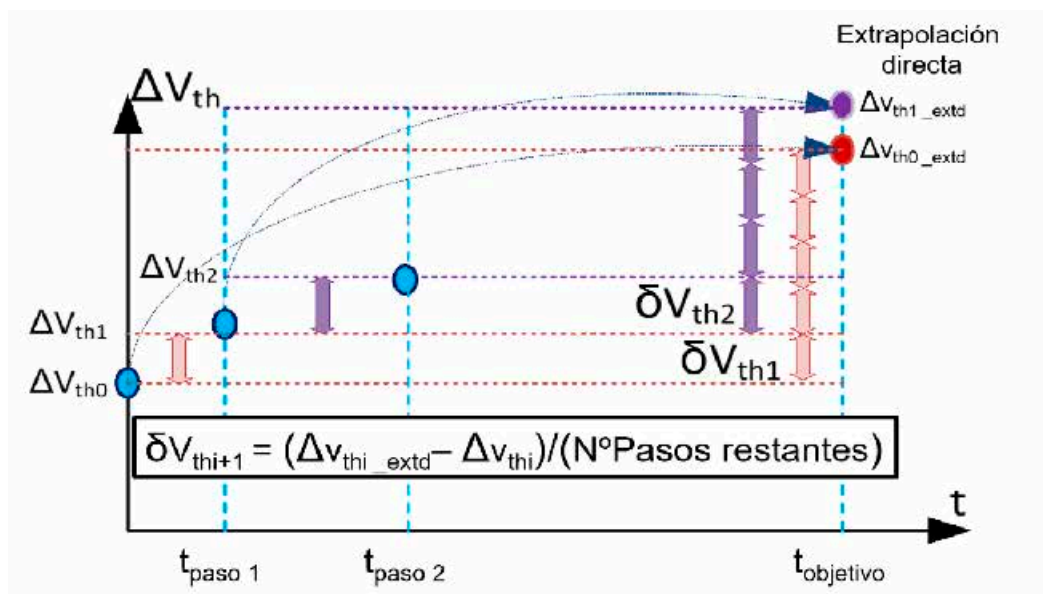


Figura 3-25. Procedimiento para la elección del siguiente valor de δV_{thi} en la opción que fija el número de pasos intermedios a realizar.

Un último aspecto fundamental a destacar es que el tiempo necesario para calcular el siguiente salto es despreciable con respecto al tiempo de las simulaciones eléctricas, siendo para el peor caso del orden del 1% del tiempo necesario para realizar un análisis transitorio [172].

A continuación, se exponen una serie de experimentos para ilustrar sobre el rendimiento de la solución propuesta, sus características y sus principales ventajas. En primer lugar, se realizará la comparación entre el empleo de la escala adaptiva del método propuesto y las escalas fijas con paso lineal y logarítmico. Para este experimento, el circuito empleado es un espejo de corriente simple implementado con transistores PMOS como el de la Figura 3-2, por tratarse de una estructura simple que permite el estudio del *link* bidireccional. En primer lugar, se realiza el cálculo de la degradación empleando un elevadísimo número de pasos intermedios, concretamente 1000, con objeto de disponer de un estándar preciso con el que comparar los resultados. A continuación, se realizan simulaciones utilizando la escala lineal, la logarítmica y el método propuesto, variando en cada caso el número de pasos intermedios empleados. El resultado obtenido se representa en la Figura 3-26. Concretamente, esta figura muestra para cada caso simulado, el error relativo en el cálculo de la degradación del transistor de entrada del espejo (M1). Nótese que, en este dispositivo, la variación de las condiciones de estrés depende sólo de su propia degradación.

La ventaja de usar el método propuesto frente a las escalas fijas de los simuladores comerciales se muestra a simple vista. Aunque evidentemente, para un número de pasos elevados, todas las soluciones llegan a un resultado preciso, el número de pasos que necesita la solución propuesta para alcanzar dicha precisión es mucho menor, por lo que resulta mucho más eficiente. La conclusión a la que se puede llegar con este resultado es a que, efectivamente, ser preciso o eficiente en la actualización de las condiciones de estrés permite ser preciso y eficiente en el cálculo de la degradación.

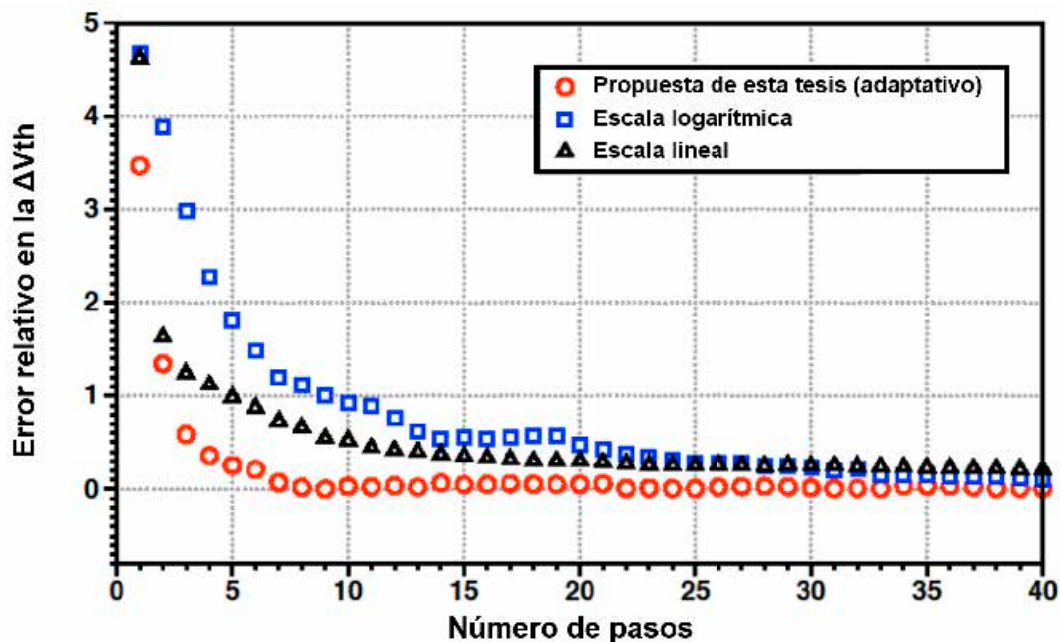


Figura 3-26. Error relativo en el cálculo de la degradación empleando diferentes métodos de salto.

El siguiente estudio se lleva a cabo sobre un circuito OPAMP Miller de dos etapas como el de la Figura 3-10. En la Figura 3-27, se muestran los resultados obtenidos al emplear los diferentes métodos de salto al cálculo de la degradación de dos prestaciones del OPAMP, la frecuencia de ganancia unidad (f_u) y la ganancia en DC (A_0). Sendas gráficas muestran el error relativo cometido empleando un número diferente de pasos en cada caso. Las gráficas reflejan que en el rango donde el error cometido es relativamente bajo, las soluciones propuestas presentan un mejor rendimiento que las soluciones comerciales. Otro aspecto a destacar es que la opción 1 del algoritmo propuesto, que fija la precisión y deja libre el número de pasos a realizar, funciona de forma eficiente y similar a aquella que fija el número de pasos y optimiza la distribución de los mismos. Esto es consecuencia, y a la vez prueba, de que ambas propuestas tienden a la misma solución óptima, sólo que cada una lo hace con una aproximación diferente. En este sentido, la Figura 3-28 muestra una relación extraída entre el número de pasos necesarios y la variación de tensión umbral permitida en cada paso para este ejemplo. Si la variación de degradación (ΔV_{th}) permitida entre actualizaciones de las condiciones de estrés es baja, será necesario llevar a cabo un elevado número elevado de saltos (actualizaciones). Si contrariamente, se permite mucha degradación entre saltos, se realizarán pocos saltos

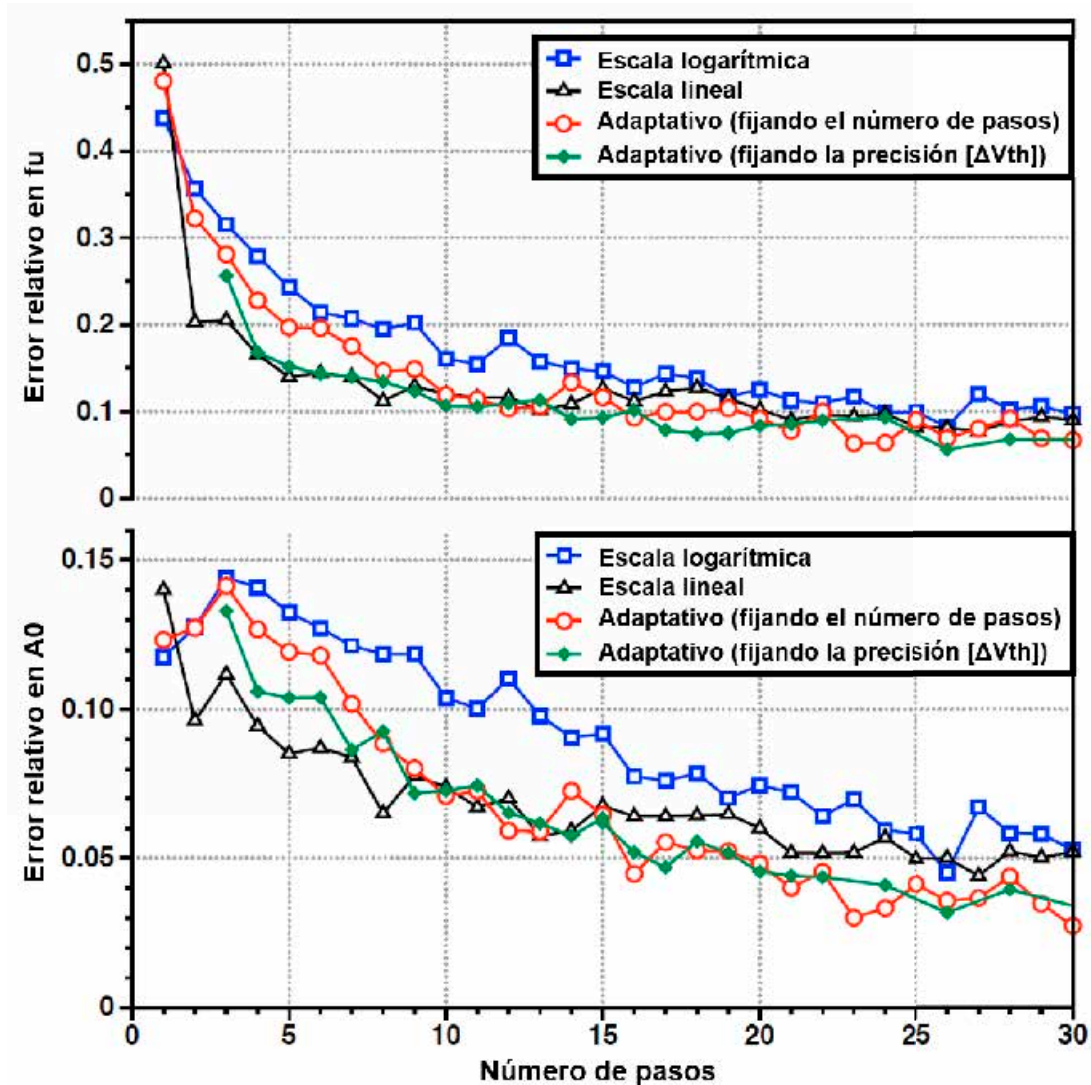


Figura 3-27. Error relativo en el cálculo de la degradación de las prestaciones del OPAMP-

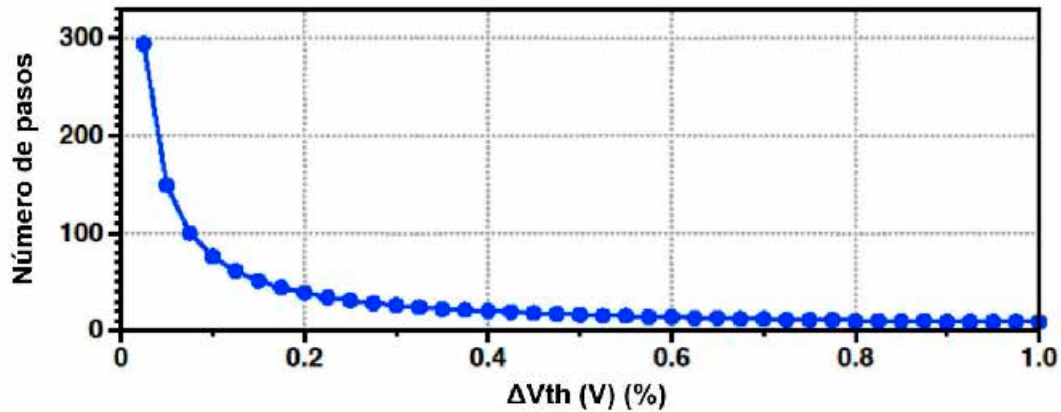


Figura 3-28. Relación entre el porcentaje de variación de tensión umbral (degradación) permitida entre saltos y el número de saltos necesarios.

intermedios. Evidentemente, cuanto mayor sea el número de saltos intermedios, menor será la degradación entre saltos. Esta es la explicación a por qué los dos métodos del algoritmo representan dos perspectivas de una misma solución. La diferencia radica en qué quiere acotar el diseñador o usuario de la herramienta. Si quiere establecer un estándar de precisión, fijará la máxima ΔV_{th} permitida entre saltos, dando los pasos que sean necesarios. Si quiere establecer un máximo consumo de CPU, fijará el número máximo de saltos.

Por último, la conclusión que se puede alcanzar con este experimento es que, ser preciso en la actualización de las condiciones de estrés y, por tanto, en el cálculo de la degradación, repercute a su vez, en ser preciso a la hora de evaluar las prestaciones de un circuito.

3.4.2.4. Caso de estudio

Una vez conocidas todas las características y detalles de la implementación del simulador de fiabilidad propuesto en esta tesis, se procede a mostrar un ejemplo de su uso. El circuito escogido para realizar este ejemplo será el OPAMP Miller de dos etapas de la Figura 3-10. La configuración seleccionada en este caso es la de incluir variabilidad de proceso y *mismatch* para la TZV además de la TDV. El método empleado para evaluar la contribución conjunta de la TZV y la TDV, es el método C explicado en el apartado 3.4.2.2. El tiempo final objetivo seleccionado es de un año y se empleará el método de selección de pasos intermedios que hace uso del algoritmo adaptativo, presentado en el apartado 3.4.2.3, con la opción de fijar el número de pasos a 20. La temperatura del análisis se fija a 25°C y el número de muestras de variabilidad utilizado para realizar el análisis de Monte-Carlo es de 1000. Las principales prestaciones consideradas serán la ganancia en DC y el producto ganancia ancho de banda (GBW). Las restricciones que se imponen sobre las prestaciones para evaluar el TDY en el tiempo final son que el margen de fase del OPAMP sea superior a 60° y que todos los transistores del circuito se encuentren operando en su correcta región de operación (M1-M8 operando en saturación y M9 operando en la región lineal). La configuración del simulador y el ajuste del análisis de fiabilidad puede hacerse tanto por la línea de comandos, como empleando la interfaz del simulador mostrada en la Figura 3-13. El tiempo total necesario para llevar a cabo la simulación sobre un procesador de 2.4-GHz fue de 120 segundos.

La Figura 3-29 muestra en la parte superior los histogramas de la distribución tanto de las muestras frescas del circuito (bajo la presencia de TZV) como envejecida (bajo el impacto de TZV+TDV) para las dos prestaciones mencionadas (GBW a la izquierda, ganancia en DC a la derecha). La parte inferior de la figura muestra las respectivas funciones de distribución acumulada (CDF) para cada caso [175]. Puede observarse como en ambos casos no sólo ocurre un desplazamiento del valor promedio de las distribuciones, sino que la dispersión de las mismas aumenta. En el caso del GBW, una parte importante de las muestras sufre una notable degradación. En el caso de la ganancia en DC, la degradación ha provocado particularmente que la mayor parte de las muestras de la distribución envejecida tengan un valor de prestación por encima del valor promedio en fresco. Sin embargo, en contraposición, la dispersión de la distribución envejecida ha aumentado de forma muy considerable.

CASE también permite analizar la degradación individual de cada dispositivo del circuito. Actualmente, esta degradación se muestra como una degradación de la tensión umbral de los dispositivos, al ser éste el parámetro con el que los modelos de TDV empleados modelan la degradación, si bien, podría adaptarse el simulador para considerar otros parámetros siempre que la información fuera proporcionada por los modelos TDV. En cualquier caso, la Figura 3-30 muestra la degradación resultante para cada uno de los transistores del circuito de ejemplo. Como el modelo TDV es estocástico, en dicha figura se muestran los datos representativos a las distribuciones de cada transistor. En este sentido, se representa el valor promedio de la degradación como una barra azul para los transistores PMOS y amarilla para los NMOS, la desviación típica se representa con la barra de error verde, mientras que las barras de error roja indican los valores mínimos y máximos obtenidos en la distribución.

Es también posible realizar representaciones bidimensionales y tridimensionales de las distribuciones estadísticas de las prestaciones obtenidas en el análisis de Monte-Carlo. Por ejemplo, la Figura 3-11 utilizada en la introducción de este capítulo, se corresponde con la representación de las prestaciones GBW y ganancia en DC de todas las muestras simuladas en este ejemplo. De estas muestras, el porcentaje que cumple con las restricciones impuestas en este ejemplo fue del 63.33%.

Por último, existe la opción de representar las muestras de una prestación frente a la degradación de la tensión umbral de uno de los dispositivos. Este tipo de figuras

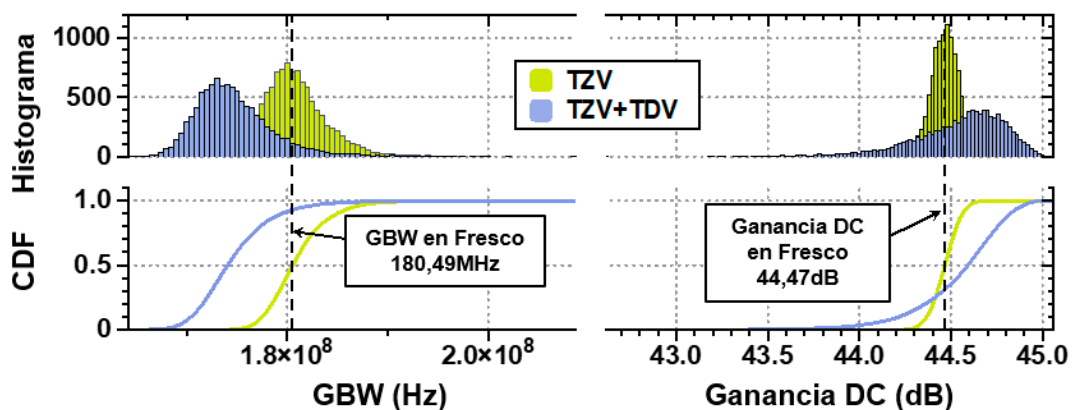


Figura 3-29. Histogramas y CDF de las prestaciones del circuito.

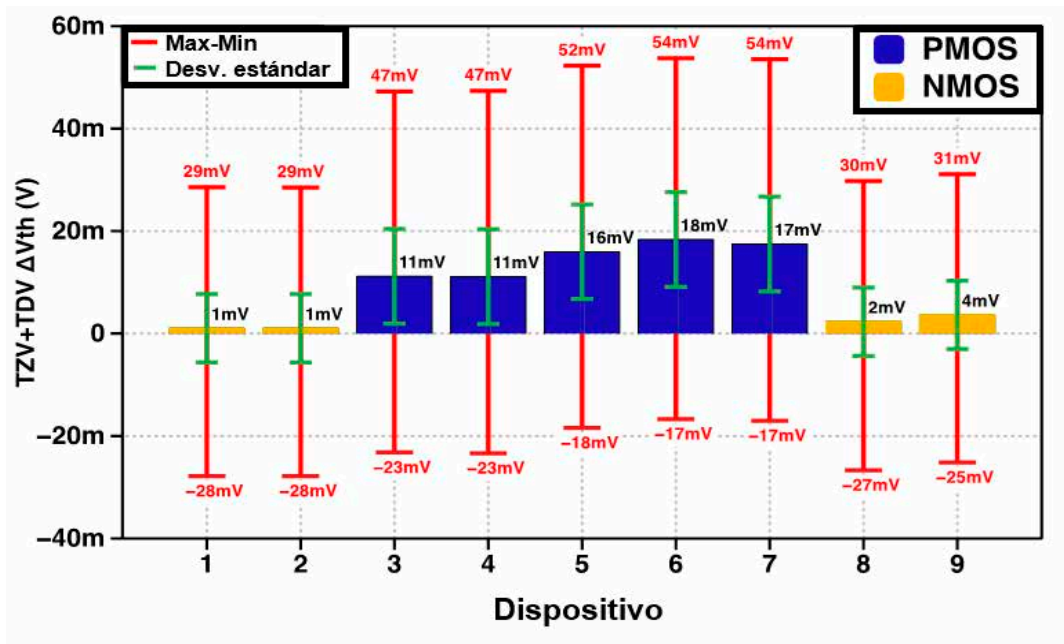


Figura 3-30. Variación de la tensión umbral (degradación) incluyendo TZV y TDV en cada uno de los transistores del circuito.

proporciona información sobre la posible sensibilidad de las prestaciones a la degradación de determinados dispositivos. Por ejemplo, la Figura 3-31 muestra, respectivamente, el valor de las prestaciones de la ganancia en DC y del GBW frente a los valores de degradación de la tensión umbral del transistor M8. Mientras que los valores de la ganancia en DC parecen no mostrar correlación con la degradación de M8, parece que conforme se incrementa la degradación en dicho dispositivo, se produce un aumento en los valores del GBW del OPAMP.

Por otro lado, respecto al uso del simulador, es importante comentar que la interfaz de CASE dispone de diferentes opciones para mostrar y seleccionar los resultados obtenidos en una simulación, todo ello de forma sencilla y amigable. Por ejemplo, en la Figura 3-32 se muestra la opción de representar en la interfaz los resultados en formato tipo “tabla” del caso de uso presentado. Existen opciones tanto para ver los resultados estadísticos de las prestaciones, como de la degradación de los dispositivos que componen el circuito. Es posible así mismo realizar filtrados, por ejemplo, para obtener los datos estadísticos sólo de aquellos diseños que cumplen las especificaciones en el tiempo objetivo.

Respecto a las diferentes opciones de representación gráfica que ofrece la interfaz, la Figura 3-33 muestra la propia ventana de ayuda de la interfaz y expone todas las posibilidades disponibles, muchas de las cuales se corresponden con las figuras que se han mostrado y explicado previamente en este apartado. Un comentario adicional de la representación usando la interfaz se muestra en la Figura 3-34, donde se realiza la representación tridimensional de la frecuencia de ganancia unidad (fu), la ganancia en DC (a0) y el margen de fase (pm) del caso de uso presentado en este apartado. En dicha representación se indican con distinto color aquellos diseños que cumplen con las restricciones impuestas en la simulación. Los diseños que aparecen representados con círculos azules serían aquellos que cumplen las especificaciones, mientras que los que aparecen con cruces rojas no.

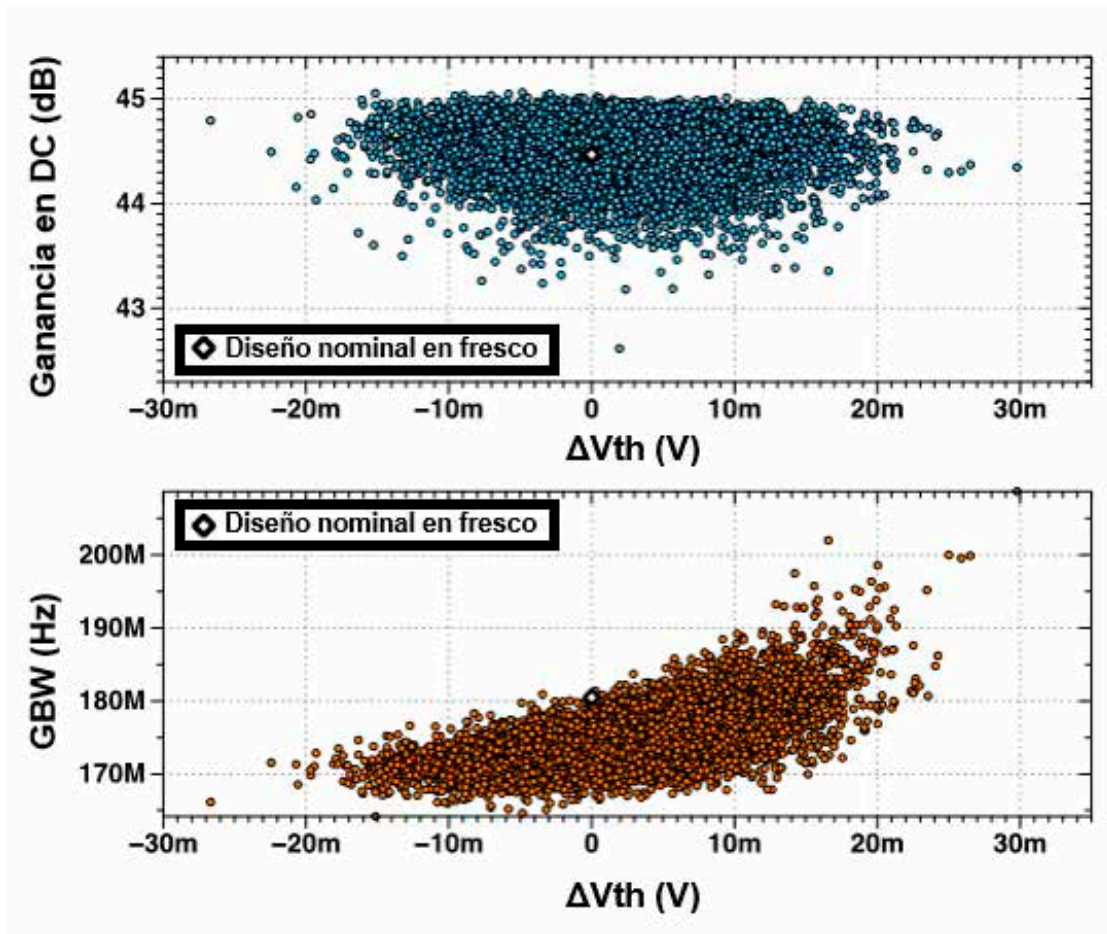


Figura 3-31. Representación de las prestaciones frente a la degradación del transistor M8.

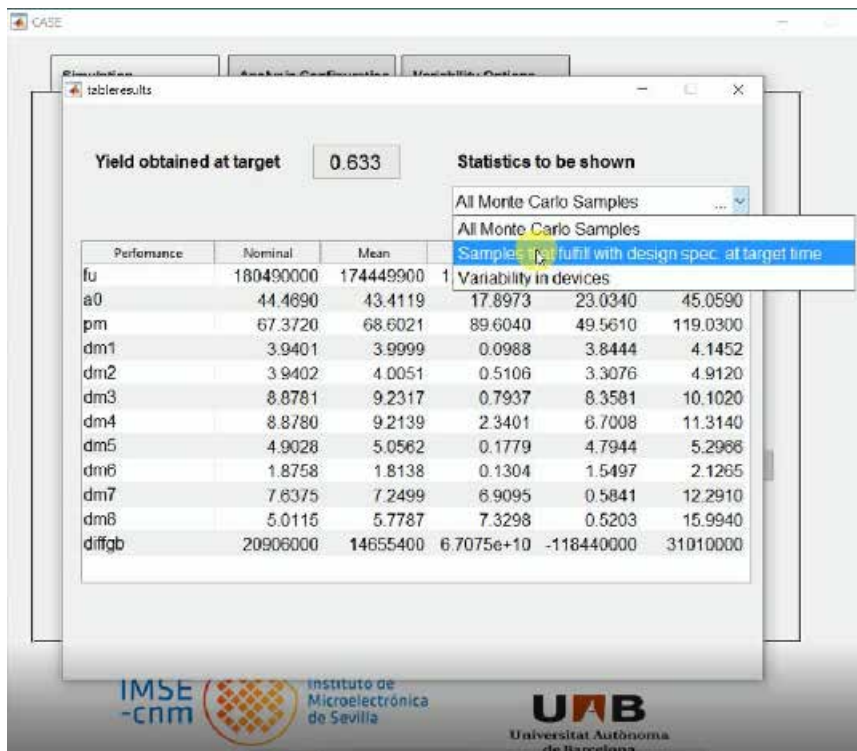


Figura 3-32. Captura de la interfaz de CASE que muestra la representación de resultados de las prestaciones en formato tabla.

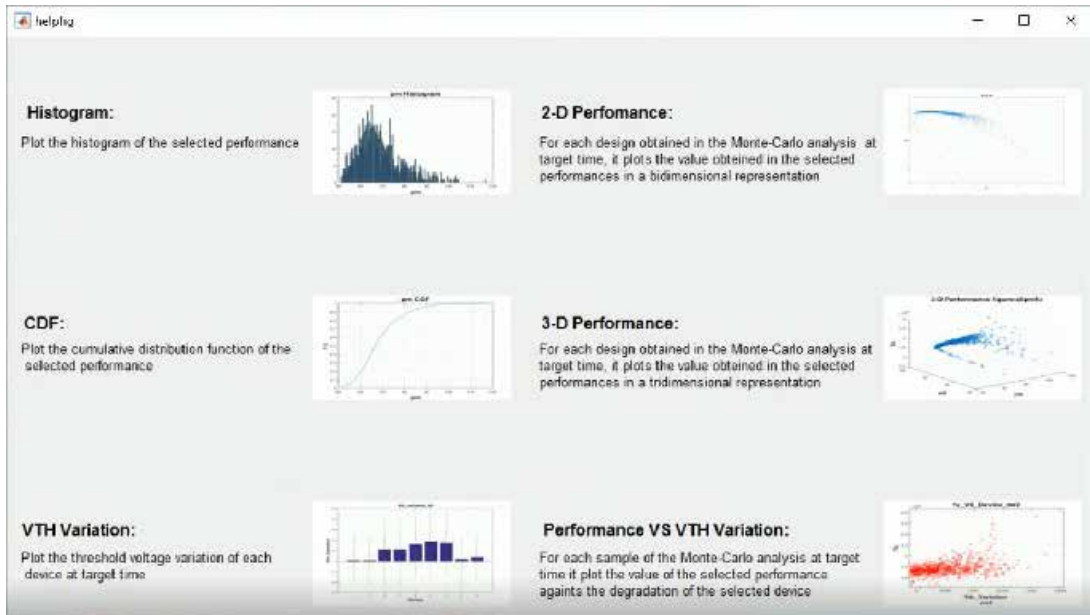


Figura 3-33. Captura de la ventana de ayuda para representaciones gráficas de la interfaz de CASE.

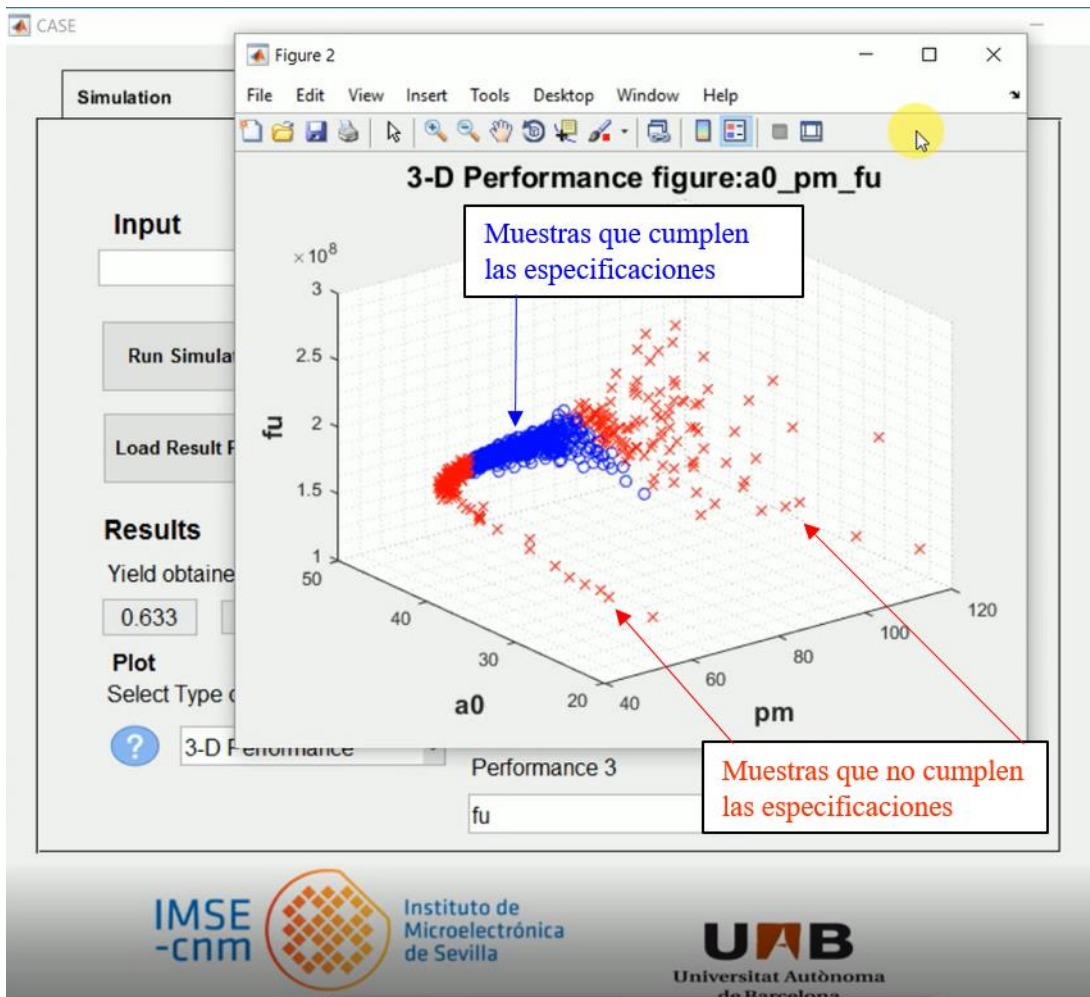


Figura 3-34. Captura de la representación tridimensional de prestaciones realizada desde la interfaz de Case.

3.4.3. Herramienta para el cálculo del *lifetime*.

Además de realizar simulaciones de fiabilidad que permiten conocer el impacto de la variabilidad sobre las prestaciones de un circuito en un tiempo objetivo, CASE integra una herramienta con la que es posible calcular el *lifetime* de un circuito, entendiendo como *lifetime* la definición descrita en el apartado 3.2 y que, a su vez, utiliza otros conceptos descritos en dicho apartado como el yield dependiente del tiempo o TDY. Es importante destacar que este cálculo de *lifetime* se lleva a cabo haciendo uso del simulador de fiabilidad estocástico descrito en el sub-apartado anterior y, concretamente, también utiliza el algoritmo de salto adaptativo descrito en su correspondiente sub-apartado.

Evidentemente, los objetivos de este cálculo son nuevamente que el resultado obtenido sea lo más preciso posible, pero a su vez, que el tiempo de cómputo necesario sea el menor posible. En definitiva, el objetivo del método es buscar la máxima eficiencia computacional en términos de precisión frente a coste computacional. En este sentido, uno de los mayores inconvenientes que presenta el cálculo de *lifetime* cuando se utiliza un simulador estocástico, es que la evaluación de las prestaciones del circuito en cada paso intermedio requiere la realización de un análisis de Monte-Carlo, aumentando muchísimo el coste computacional. Teniendo en cuenta estos aspectos, la solución propuesta en esta tesis es la que se describe a continuación.

En primer lugar, para evitar realizar evaluaciones innecesarias, es posible definir una ventana temporal mediante un tiempo mínimo T_{\min} y un tiempo máximo T_{\max} , donde llevar a cabo el análisis de *lifetime*. En segundo lugar, al emplearse el algoritmo de salto adaptativo descrito en el sub-apartado 3.4.2.3, es necesario establecer un valor δV_{th} que fijará la máxima degradación en la tensión umbral que será permitida entre saltos temporales en cada dispositivo. Además, será necesario incluir las restricciones sobre las prestaciones, que serán utilizadas para el cálculo del TDY en cada paso, así como un valor de TDY mínimo (TDY_{\min}) que será el umbral que marcará el *lifetime* del circuito. Por último, el usuario deberá escoger el número de muestras de variabilidad que serán utilizadas para realizar el análisis de Monte-Carlo en la evaluación de las prestaciones. Este número, deberá ser lo suficientemente alto para asegurar que el resultado estadístico obtenido del TDY es lo suficientemente preciso.

El flujo completo del método propuesto se muestra en Figura 3-35 [176]. La idea clave del método se basa en que utilizar un número elevado de muestras para el análisis de Monte-Carlo (requeridas para alcanzar la precisión deseada) es computacionalmente costoso y, por tanto, en una primera fase, en lugar del número de muestras MC escogidas por el usuario para el cálculo preciso, se utilizará un número reducido de muestras MC/K, donde K sería el factor de reducción de muestras para realizar una estimación del *lifetime* de forma menos precisa, pero mucho más rápida computacionalmente. En el momento en el que se encuentra el *lifetime* estimado, esto es, si en un paso el cómputo del TDY estimado es inferior a TDY_{\min} , se realiza un nuevo análisis de Monte-Carlo en ese punto, pero en este caso, empleando el número total de muestras MC definido por el usuario. Desde ese momento, el resto del cálculo del *lifetime* se lleva a cabo de forma precisa, utilizando siempre el número total de muestras MC. Nótese que, para evitar confusiones, al cálculo de TDY y *lifetime* realizado con el número completo de muestras se le denominará TDY calculado y *lifetime* calculado, mientras que, en el caso de haber empleado el número reducido de muestras, se denominarán TDY estimado y *lifetime*

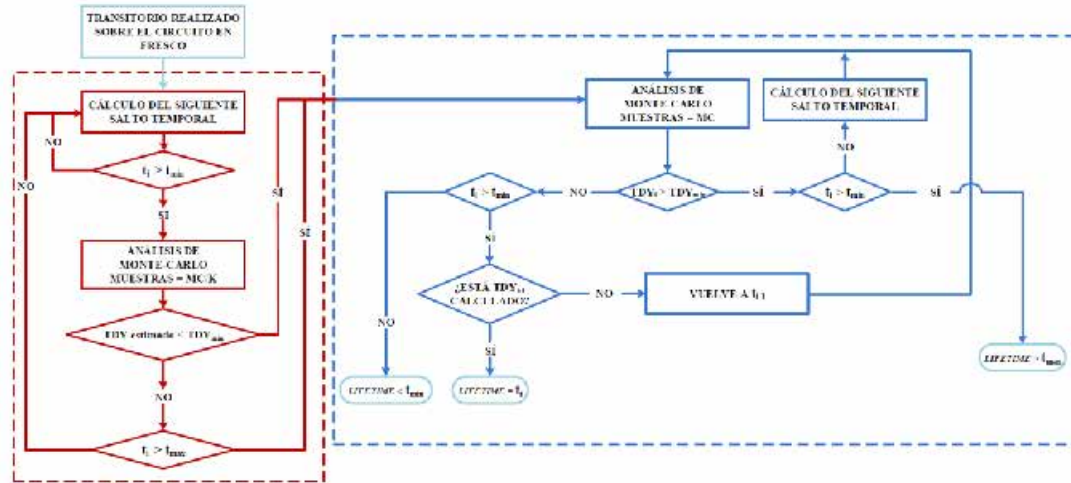


Figura 3-35. Flujo del método para el cálculo del lifetime.

estimado. Comentar también que el factor de reducción de muestras para el cálculo K , puede ser asignado por el usuario, recomendándose un valor entre 10 y 50.

Dependiendo del resultado obtenido en el primer análisis preciso realizado, pueden darse dos opciones. Si el resultado del TDY calculado es inferior al TDY_{min} , significa que en ese punto el *lifetime* del circuito ya ha sido alcanzado. Para averiguar de forma precisa en qué salto anterior se alcanzó realmente el *lifetime*, la búsqueda del mismo se realizará desde ese punto retrocediendo en el tiempo, esto es, se calculará en primer lugar y de forma precisa el TDY en el paso anterior, si el resultado obtenido sigue siendo inferior al TDY_{min} , significará que también se alcanzó en ese punto el *lifetime* del circuito. Por tanto, la búsqueda deberá continuar hacia atrás hasta encontrar un punto en el cual el TDY calculado de forma precisa sea superior al TDY_{min} . Será entonces cuando se haya detectado el momento en que entre dos saltos temporales el TDY calculado de forma precisa ha pasado de estar por encima del TDY_{min} a estar por debajo, por lo que, en definitiva, se habrá calculado de forma precisa el *lifetime* (considerando a éste como el último instante temporal evaluado de forma precisa donde se cumplían las restricciones).

El segundo caso posible consiste en que el primer resultado calculado de forma precisa dé lugar a un TDY que esté por encima del umbral marcado por el TDY_{min} . En este caso, el *lifetime* del circuito fue subestimado por la estimación realizada, por lo que la búsqueda del *lifetime* proseguirá avanzando en el tiempo, teniendo en cuenta que, en cada nuevo salto, el cálculo del TDY se llevará a cabo empleando el número total de muestras MC . Esta búsqueda continuará hacia adelante hasta que se encuentre el punto temporal en que el TDY calculado de forma precisa sea inferior al TDY_{min} , momento en que se habrá alcanzado y calculado de forma precisa el *lifetime* del circuito.

A modo ilustrativo, la Figura 3-36, muestra la evolución temporal de cálculo de *lifetime* que sigue el flujo de la Figura 3-35. Se muestran con cruces moradas los pasos realizados en los que, al no haberse alcanzado la ventana temporal, no empieza a evaluarse el TDY con análisis de Monte-Carlo. Con cruces rojas, se indican los puntos temporales y el valor obtenido en los mismos de TDY estimado. Cuando se alcanza el punto donde se ha estimado el *lifetime* del circuito, la Figura 3-36 muestra las dos opciones posibles: una búsqueda hacia adelante cuando el valor de TDY calculado de forma precisa es superior

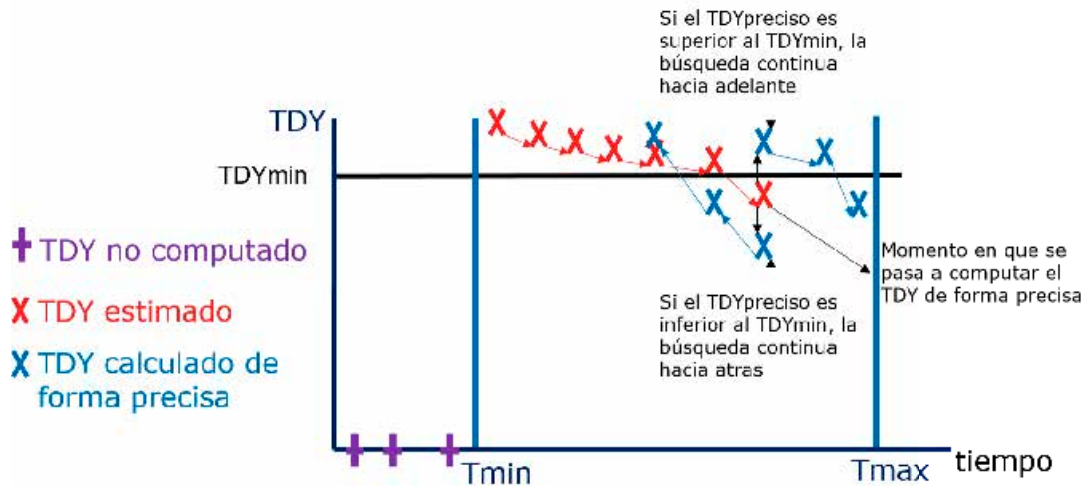


Figura 3-36. Representación ilustrativa del cálculo del lifetime utilizando el método propuesto.

a TDY_{min} , y una búsqueda hacia atrás en el caso contrario. Los pasos donde se evalúa el TDY de forma precisa el TDY se muestran en la figura con cruces azules.

El cálculo final del *lifetime* realizado siempre se lleva a cabo empleando el número de muestras totales MC, por lo que no existe pérdida de precisión en el cálculo, siendo equivalente la solución obtenida con este método a la que se obtendría si en todos los pasos realizados se emplearan el número total de muestras. Nótese que, si el *lifetime* se encuentra entre T_{min} y T_{max} , se realizan al menos dos análisis de Monte-Carlo utilizando MC muestras. Si el *lifetime* calculado es inferior a T_{min} o superior a T_{max} , sólo es necesario realizar un análisis de Monte-Carlo preciso empleando MC muestras en cada uno de dichos puntos. En definitiva, el método propuesto ofrece la máxima precisión, pero reduciendo de forma drástica el coste computacional.

Para probar las ventajas del método propuesto, se utilizará nuevamente el OPAMP de dos etapas mostrado en la Figura 3-10. En este caso, se realizarán dos experimentos utilizando un dimensionado distinto en los dispositivos y aplicando diferentes ajustes y restricciones a cada ejemplo. En el primer estudio, las restricciones exigidas al OPAMP son un margen de fase superior a 60° , una ganancia en DC superior a 60 dB, un producto ganancia ancho de banda (GBW) superior a 45 MHz y que todos los dispositivos se encuentren en la región correcta de operación. El TDY_{min} se define como 0.7, por lo que, el 70% de las muestras deben estar por encima de las restricciones impuestas a todas las prestaciones, en caso contrario, el circuito habrá finalizado su tiempo de vida.

Para el primer ejemplo, la ventana temporal se establece entre 1 mes y 20 años. El *lifetime* calculado es de $2.395297 \cdot 10^7$ segundos, que son 9 meses y una semana aproximadamente. La Figura 3-37 muestra los pasos empleados en los que se han realizado análisis de Monte-Carlo. En el eje de abscisas se representa el tiempo y se indican los puntos temporales donde se realiza cada paso intermedio en los que se llevan a cabo los análisis de Monte-Carlo y donde se actualizan las condiciones de estrés. El eje de ordenadas representa el valor del TDY para cada análisis realizado. Las cruces rojas indican los análisis en los que se ha empleado un número reducido de muestras, concretamente 50. Por su parte, los asteriscos azules muestran los puntos en los que se ha realizado un análisis preciso empleando el número total de muestras, en este caso 1000

[176]. Puede verse cómo en este ejemplo, el valor de TDY preciso calculado tras hallar el *lifetime* estimado resulta en un valor inferior al TDY_{min} , por lo que la búsqueda precisa del *lifetime* prosigue hacia atrás. Sin embargo, en este caso, sólo es necesario realizar un análisis más, justo en el paso anterior, para determinar y calcular el *lifetime*.

Para el segundo ejemplo, se mantiene el mismo valor de TDY_{min} a 0.7, pero se varían los valores de las restricciones sobre las prestaciones del OPAMP a un margen de fase superior a 60° , una ganancia en DC superior a 58 dB y un producto ganancia ancho de banda (GBW) superior a 20 MHz, además de que todos los transistores se encuentren operando en su correcta región de operación. En este estudio, el valor del tiempo de vida obtenido es de $3.591648 \cdot 10^8$ segundos, que se corresponde aproximadamente con 11 años y 4 meses. La Figura 3-38 muestra los pasos y cálculos llevados a cabo por el método. A diferencia del caso anterior, la primera evaluación precisa del TDY resulta en un valor superior al TDY_{min} , por lo que la búsqueda precisa del *lifetime* prosigue hacia adelante en el tiempo, siendo necesario en este caso realizar dos pasos más para terminar el cálculo [176]. Sin embargo, lo principalmente destacable es que, en este ejemplo, ha

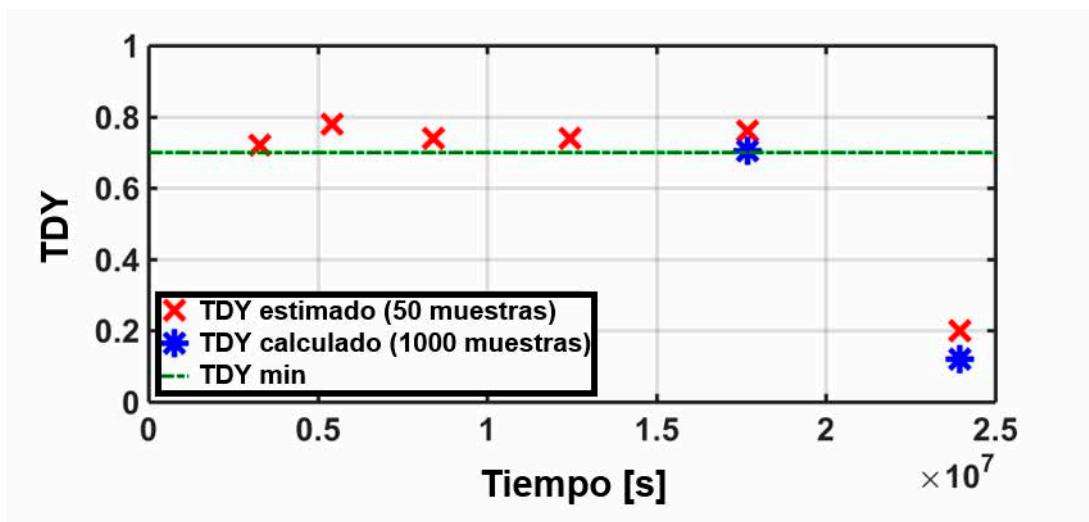


Figura 3-37. Cálculo del *lifetime* en el primer ejemplo propuesto.

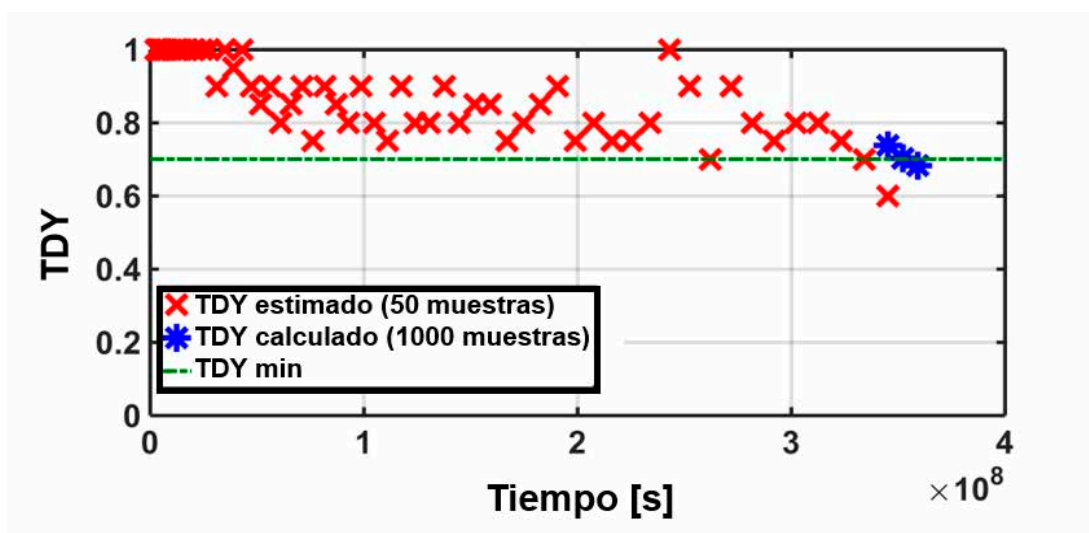


Figura 3-38. Cálculo del *lifetime* en el segundo ejemplo propuesto.

sido necesario realizar 112 pasos intermedios en los que se han realizado estimaciones del TDY con un número reducido de muestras. Las implicaciones de este hecho son extremadamente importantes, ya que, si se hubiera utilizado el número total de muestras para realizar esas evaluaciones en todos estos saltos, el tiempo de cómputo necesario hubiera crecido de forma muy significativa. De hecho, si se tienen en cuenta el tiempo de CPU necesario para realizar un análisis de Monte-Carlo con el número total de muestras y con el número de muestras reducidas, es posible estimar que, en este caso, el tiempo de simulación ahorrado empleando el método propuesto frente a la evaluación en cada paso utilizando el número de muestras totales es aproximadamente del 90%, dejando de manifiesto las bondades del método propuesto y la importancia del mismo en este tipo de análisis.

3.5. Conclusiones del capítulo.

En el capítulo anterior, se justificaba la necesidad de reemplazar los modelos deterministas de TDV por modelos estocásticos que tuvieran en cuenta la naturaleza del *aging* en la escala nanométrica. Como consecuencia del reemplazo de los modelos, se produce un cambio de paradigma en los simuladores de fiabilidad y las herramientas relativas al uso de los mismos. En este sentido, los simuladores de fiabilidad deberán hacer frente a una serie de nuevos retos que han sido analizados en este capítulo como, por ejemplo, la integración conjunta del impacto de TZV y TDV cuando ambas son fuentes de variabilidad estocásticas o la actualización precisa de las condiciones de estrés para determinar la degradación. Además, el empleo de un modelo estocástico de TDV requiere que la evaluación de las prestaciones se realice desde la perspectiva de un análisis estadístico, a diferencia del caso determinista donde bastaba con evaluar un único valor. Esto supone una complejidad adicional en términos de eficiencia computacional, sobre todo, si se está empleando una herramienta donde es necesario evaluar de forma reiterada las prestaciones del circuito como, por ejemplo, en el cálculo del *lifetime* del mismo. La herramienta CASE presentada en este capítulo, aporta una propuesta en relación a todos estos aspectos. Incluye un simulador de fiabilidad que trabaja con modelos estocásticos tanto de TZV como de TDV, incluye un algoritmo para optimizar la eficiencia entre la precisión alcanzada y el número de pasos intermedios realizados para actualizar las condiciones de estrés, y provee de un método para el cálculo del *lifetime* de un circuito de forma computacionalmente eficiente.

En paralelo al desarrollo del modelo y la herramienta de simulación de fiabilidad, se ha realizado un estudio empírico del impacto de la variabilidad a nivel de circuito que ha servido para confirmar experimentalmente la importancia de los requerimientos impuestos a la herramienta de simulación CASE y que han permitido desarrollar y mejorar las técnicas de simulación. Este trabajo es presentado en los siguientes cuatro capítulos de la tesis.

Capítulo 4: KIPT, Chip para el estudio del impacto de la variabilidad a nivel de circuito.

4.1. Introducción.

El objetivo del presente capítulo es presentar el chip KITP diseñado para caracterizar a TDV a nivel de circuito, así como comentar los principios generales de los experimentos realizados. En el marco de esta tesis, KIPT se utilizará para realizar medidas que evalúen el impacto de la variabilidad sobre circuitos integrados consistentes en bloques básicos.

En el trabajo presentado en esta tesis, se desea realizar dicho estudio empírico sabiendo que tanto la TZV como la TDV tienen una naturaleza estocástica en la escala nanométrica. Cuando se trata de caracterizar modelos o realizar un estudio empírico en relación a una metodología que utiliza herramientas con modelos estocásticos, es importante poder realizar medidas sobre un elevado número de muestras del dispositivo o circuito bajo estudio que permitan hacer una caracterización estadística. Por esta razón, muchos de los chips fabricados con este fin, utilizan estructuras de matrices o *arrays*, ya que este tipo de estructuras permiten acceder a múltiples entidades de forma eficiente. En este contexto, la mayoría de trabajos presentes en la literatura se centran en el estudio de la degradación a nivel de dispositivo (transistores). Esta aproximación se ha utilizado para el modelado y caracterización a nivel de dispositivo, ya que los efectos del *aging* y de la variabilidad espacial pueden modelarse de forma compacta como una variación de los parámetros eléctricos de los transistores, tal como se ha explicado en el capítulo 2. Con este fin, estos trabajos suelen utilizar matrices o *arrays* para el estudio (masivo) de dispositivos individuales (de tipo PMOS, NMOS o ambos), normalmente de distintas dimensiones. El ejemplo más significativo para esta tesis es el chip ENDURANCE [25], que guarda una estrecha relación con el trabajo presentado en esta tesis. No obstante, existen otros ejemplos destacables como [196]–[198].

A diferencia del caso de chips con matrices de dispositivos simples, existe un número muy limitado de trabajos que utilicen este tipo de estructuras a nivel de circuito. Esto es debido a que hoy día existen todavía pocos trabajos que estudien los fenómenos de degradación a nivel de circuito y que incluyan fabricación en silicio. Además, la mayoría de trabajos que incluyen estudios de degradación utilizando matrices de circuitos lo hacen empleando modelos deterministas, suelen enfocarse de forma particular en un único tipo de circuito y rara vez tienen en cuenta la posibilidad de realizar un estudio estadístico que incluya resultados del impacto de la TZV y la TDV conjuntamente [199]–[202].

Realizar el estudio a nivel de circuito permite considerar varios aspectos importantes desde una nueva perspectiva. En relación a las herramientas de simulación de fiabilidad como por ejemplo, la herramienta CASE descrita en el Capítulo 3 [172], [175], [176], este enfoque permite evaluar y confirmar empíricamente el impacto del *link*-bidireccional en circuitos con múltiples transistores. No obstante, otro aspecto importante de este enfoque, es que permite realizar estudios estadísticos de degradación directamente sobre las prestaciones de un circuito.

Por tanto, el chip KIPT presentado en este capítulo, pretende contribuir al estudio del impacto de la variabilidad a nivel de circuito. Se basa en una serie de matrices que incluyen pequeños circuitos o bloques básicos de distinta naturaleza a los que se puede acceder individualmente para aplicarles distintas condiciones de testado en términos de tensiones, corrientes y tiempo, utilizando para ello técnicas de sobre-estrés o estrés acelerado. El objetivo final es realizar un testado masivo de la degradación a nivel de circuito y ofrecer un estudio tanto fenomenológico como estadístico de los resultados.

El resto del capítulo se organiza de la siguiente manera. En primer lugar, en el apartado 4.2 se describen el proceso y las nociones básicas implicadas en las medidas o experimentos de fiabilidad. Esto servirá como base conceptual para el resto de capítulos de la tesis, centrada en el estudio empírico de la degradación a nivel de circuito. En el resto del presente capítulo se realizará la descripción del chip fabricado y de los bloques de éste sobre los que se lleva a cabo el estudio empírico. Concretamente, en el apartado 4.3 se realizará una descripción general de la arquitectura del chip KIPT, para posteriormente, en el apartado 0, profundizar en los bloques básicos que formarán parte del estudio realizado en esta tesis. Estos bloques básicos son etapas inversoras, espejos de corriente y etapas amplificadoras simples. En sus correspondientes sub-apartados se describirán los diseños, tipos y dimensionamientos incluidos en el chip KIPT. En el apartado 4.5 se describirán los aspectos generales relacionados con el testado del chip y al montaje de laboratorio utilizado. Será en los siguientes capítulos donde se describan las medidas realizadas y se discutan los resultados obtenidos en cada uno de estos bloques. Finalmente, en el apartado 4.6 se recogen las conclusiones de este capítulo.

4.2. Flujo básico de las medidas de fiabilidad

El objetivo aquí es ilustrar brevemente el procedimiento básico para realizar un test de fiabilidad sobre un dispositivo o circuito desde una perspectiva general. Típicamente, el proceso de medida se corresponde con el mostrado en la Figura 4-1. Este proceso consistirá, en primer lugar, en realizar una caracterización en fresco de la prestación o parámetro del circuito sobre el que se va a realizar el test, cuando éste opera dentro del rango nominal de tensiones de operación. En el marco de esta tesis, al circuito bajo estudio se le denominará por simplicidad CUT, que proviene de la denominación inglesa *circuit under test*. La caracterización en fresco permite conocer el valor de la prestación o parámetro antes de que el circuito haya sufrido ningún tipo de degradación y cuando este sólo está afectado por la TZV. Posteriormente, se hará operar al circuito bajo unas condiciones de estrés (condiciones de operación en el marco del estudio de fiabilidad) concretas durante un tiempo determinado. Por tanto, en este paso el dispositivo sufrirá cierta degradación en función de las condiciones aplicadas. Para evaluar dicha



Figura 4-1. Proceso de medida de un experimento de fiabilidad.

degradación, la misma medida que se realizó sobre el CUT fresco se lleva a cabo de nuevo bajo las mismas condiciones de operación nominal, pero en esta ocasión, sobre el circuito envejecido o degradado. La diferencia resultante entre la medida de caracterización con el CUT fresco y con el CUT envejecido es lo que determinará la degradación.

Pese a que este proceso puede resultar muy intuitivo, existen una serie de ideas fundamentales que conviene destacar. En primer lugar, debe considerarse la importancia de la caracterización en fresco. Por un lado, el comportamiento eléctrico de las distintas muestras de un mismo dispositivo, incluso dentro de un mismo chip de KIPT, será diferente incluso antes de sufrir ninguna degradación debido a la TZV, por lo que caracterizar las prestaciones y/o parámetros de cada circuito en fresco es fundamental. Además, esta caracterización en fresco es más importante aún si se tiene en cuenta que tras la degradación se realizará una nueva caracterización de las prestaciones o los parámetros del circuito envejecido o degradado, de forma que, para evaluar la degradación debida a la TDV, será necesario comparar esa medida o caracterización “final” con la caracterización en fresco.

Otro aspecto fundamental, es el hecho de que, a la hora de realizar un estudio de degradación sobre un circuito, no es práctico hacer trabajar al mismo en sus condiciones nominales de operación. Esto conllevaría que, para observar una degradación significativa, habría que esperar un largo periodo de tiempo (posiblemente de incluso años). En su lugar, en el marco del estudio empírico de la degradación por envejecimiento, se suelen emplear técnicas de sobre-estrés o estrés acelerado. Estas técnicas se basan en la necesidad de aplicar en los test de degradación unas condiciones de estrés (condiciones de operación) que se encuentren por encima del rango nominal de operación de la tecnología empleada en los CUTs que van a ser testados, con el fin de acelerar los mecanismos de degradación. Como se comentó en el capítulo 2, la degradación por envejecimiento además de tener una dependencia temporal, muestra una importante dependencia con la temperatura y con las tensiones aplicadas a los terminales de los circuitos. En este sentido, aplicar temperaturas o tensiones elevadas, por encima de las condiciones nominales de operación, acelerará de forma significativa los mecanismos de degradación. Esto hace que sea posible observar en tiempos prácticos, en términos de caracterización en el laboratorio, fenómenos de degradación en los circuitos que permitan establecer las dependencias del *aging* con las condiciones aplicadas.

En lo que se refiere a esta tesis, se ha decidido centrar el estudio en la dependencia de la degradación con las condiciones de estrés en tensión, entre otras razones, porque la dependencia del *aging* con las tensiones aplicadas es más fuerte que con la temperatura. No obstante, la caracterización de la dependencia con la temperatura de los mecanismos de degradación es, por supuesto, muy importante, pero se ha decidido en primera instancia, en el tiempo de laboratorio disponible, realizar el estudio de las dependencias con las condiciones de estrés en tensión. Por su parte, el estudio de la dependencia con la temperatura, queda planteado como uno de los trabajos futuros a llevar a cabo. De esta forma, las condiciones de sobre-estrés aplicadas en este trabajo siempre se corresponden con la aplicación en los terminales de los CUTs de tensiones que se encuentran por encima del rango de operación nominal de la tecnología. Es decir, dependiendo de las características de cada dispositivo será posible encontrar a lo largo de la tesis experimentos o test donde las tensiones aplicadas pueden alcanzar los 2.5V o incluso los

3.3V, muy por encima de los 1.2V de la tecnología empleada en los CUTs testados (UMC-65nm).

Por otro lado, es muy importante entender que la caracterización del CUT envejecido en este tipo de medidas es dependiente del tiempo. Hay que destacar que esta dependencia no sólo tiene que ver con el tiempo y las condiciones de sobre-estrés aplicadas en la fase de degradación, que irán provocando la degradación progresiva del dispositivo, sino que también, dependerán de qué ocurre cuando éstas dejen de aplicarse. En este sentido, es posible que se relajen las condiciones de estrés u operación del CUT al rango de condiciones nominales de operación, o bien, que éste se deje en reposo (sin caída de tensión entre ninguno de sus terminales). En cualquier caso, en estas circunstancias se producirán fenómenos de recuperación. Teniendo esta dependencia en consideración, puede distinguirse que, en el trabajo desarrollado en esta tesis, se van a llevar a cabo dos tipos de caracterización envejecidas (después del estrés) diferentes.

La primera de ellas consiste en llevar a cabo una medida que permita observar la evolución a lo largo del tiempo de cómo los fenómenos de captura y emisión de carga de los defectos en los dispositivos afectan a los parámetros o prestaciones de los circuitos. El procedimiento llevado a cabo en este caso consiste, en hacer operar al CUT en condiciones de operación dentro del rango nominal de tensiones, inmediatamente después de quitar el estrés (sin pasar por el estado de reposo). La razón es que, en términos de las dinámicas de los defectos, tal como se ha explicado en el capítulo 2, con este proceder se fomenta la probabilidad de que defectos que fueron capturados debido a las condiciones de sobre-estrés sean liberados a operación nominal. Esto es debido a que el hecho de pasar de unas condiciones de sobre-estrés muy exigentes para el CUT, a unas condiciones de operación nominal, más relajadas para el mismo, implica que la probabilidad de ocupación habrá cambiado, o lo que es equivalente, que los tiempos de emisión de algunos defectos ocupados se reduzcan considerablemente y sean emitidos en un periodo de tiempo relativamente corto. Esta situación transitoria, hace que, de cara a observar la dinámica de los defectos, la ventana temporal más interesante para realizar la medida sea justo después de dejar de aplicar el sobre-estrés al CUT. A modo de ejemplo, la Figura 4-2 muestra el aumento discreto de la corriente en un transistor PMOS justo después de que se haya pasado de condiciones de sobre estrés a unas condiciones de operación nominal. Esta “recuperación de corriente” en forma de saltos discretos se corresponde con defectos o cargas que están siendo liberadas [1], [3], [106], [135]. A este tipo de medidas, en el marco de esta tesis, se les denominará medidas de caracterización de la evolución temporal de las prestaciones en función de las dinámicas de los defectos o, más brevemente, medidas de caracterización dinámica.

Por otro lado, el objetivo del otro tipo de medidas de caracterización llevadas a cabo, es el de caracterizar en un instante de tiempo concreto, un parámetro o prestación del CUT. En este caso, debe tenerse en cuenta que, debido a los efectos de recuperación, el valor instantáneo de las prestaciones irá cambiando a lo largo del tiempo. Por ejemplo, volviendo al caso de la Figura 4-2, si se caracterizara como prestación del transistor su corriente de drenador, se obtendrían distintos valores en los tramos indicados en la figura como 1, 2 o 3 debido a que en cada intervalo indicado, el número de defectos ocupados y por tanto la contribución total a la degradación de la tensión umbral del dispositivo es diferente. En lo referente a esta tesis, este tipo de medidas instantáneas de las prestaciones

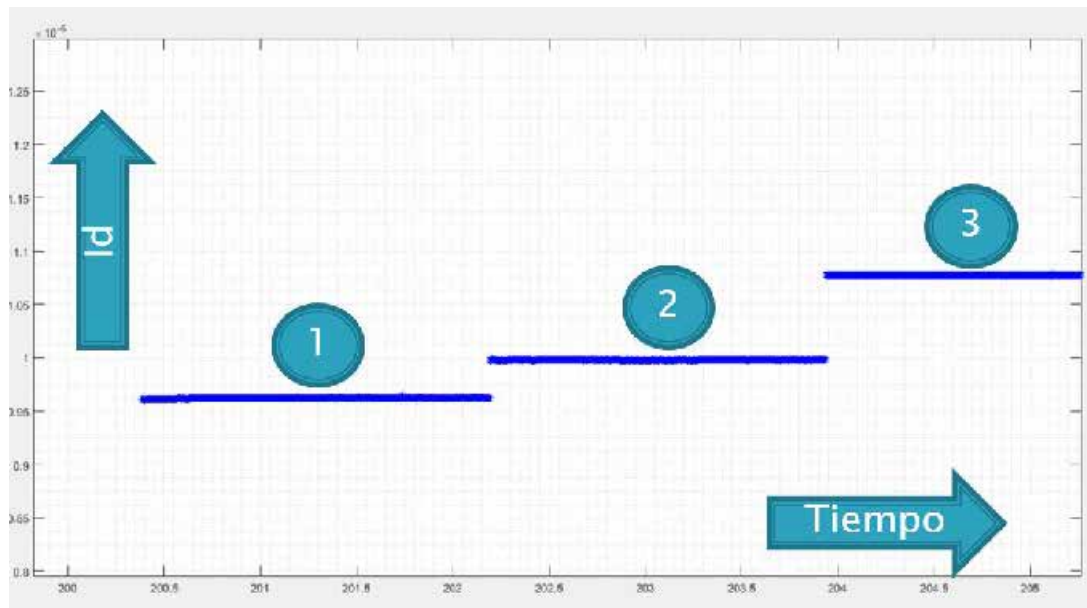


Figura 4-2. Recuperación en saltos discretos de la corriente sobre un transistor PMOS.

se realizan con el objetivo de caracterizar la degradación permanente que han sufrido las prestaciones de un CUT. Por tanto, debe tenerse en cuenta que será conveniente no sólo evitar realizar esta medida justo después de eliminar el estrés, sino dejar al circuito en reposo durante un tiempo prolongado, todo lo que se considere viable en términos prácticos del tiempo de medida, de forma que se produzcan todos los fenómenos de recuperación posibles. Debe recordarse que cuanto más bajas sean las condiciones de estrés, antes se producirán los fenómenos de recuperación, por lo que dejar el circuito en reposo acelerará este proceso al máximo posible. Procediendo de esta forma, la idea es alcanzar dentro de una ventana de tiempo asumible, una situación estática (o cuasi-estática) en la que no se esperan observar más fenómenos de recuperación o, al menos, donde se espera que la mayoría de los fenómenos de recuperación ya hayan tenido lugar. En esta situación, es posible asumir que la degradación observada tras caracterizar el CUT tras este periodo de reposo, se deberá en gran medida a la componente del daño permanente no recuperable (en función, evidentemente, de las ventanas experimentales utilizadas). Desde otra perspectiva, la caracterización del daño permanente (o no recuperado), busca realizar la caracterización en un momento en el que la caracterización de la prestación se realizará en una situación estática o cuasi-estática en lo que se refiere a defectos que están ocupados/libres. Por esta razón, en el marco de esta tesis, a este tipo de medidas se les ha denominado caracterización en una situación estática en lo que se refiere a la dinámica de los defectos, o de forma reducida, medidas de caracterización estática. En este sentido es importante remarcar que los términos caracterización dinámica y estática empleados en este capítulo y en los siguientes, hacen referencia a si se está observando la evolución de las dinámicas de los defectos o si se está considerando una situación estática en estos términos. No debe confundirse con las definiciones de caracterización o medidas dinámicas y estáticas en términos de la naturaleza de las medidas eléctricas llevadas a cabo.

Sobre la mayoría de los CUTs medidos en esta tesis, se llevarán a cabo experimentos en los que se realizarán los dos tipos de caracterización explicadas. La Figura 4-3, muestra

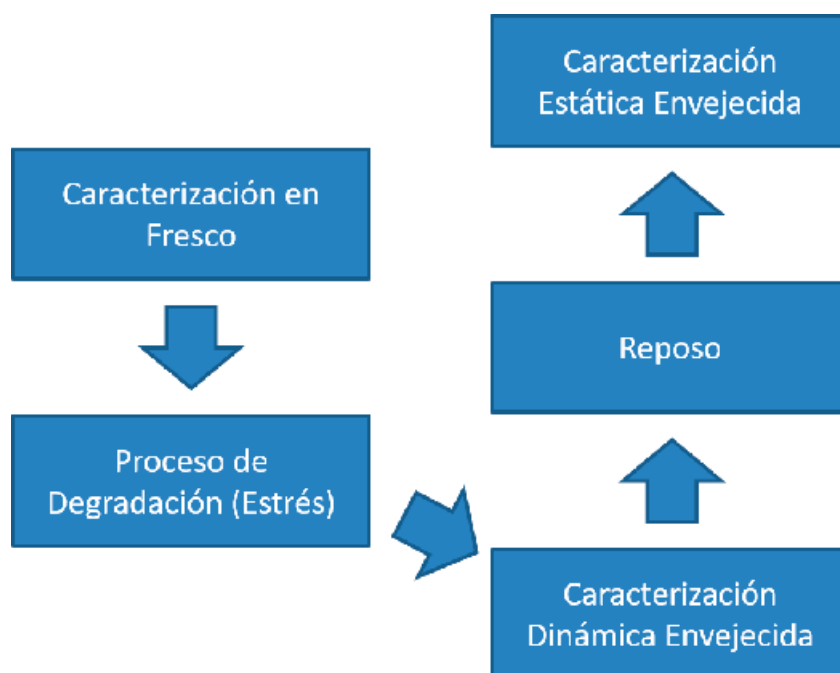


Figura 4-3. Proceso de medida que incluye un proceso de caracterización tanto estática como dinámica.

el flujo general de dichos experimentos. En primer lugar, se realizará la caracterización en fresco de las prestaciones o parámetros del CUT que vayan a ser estudiadas. A continuación, se procedería con la degradación del CUT haciéndolo operar a unas condiciones de sobre-estrés, durante un tiempo definido, por ejemplo, 100 o 1000 segundos. Inmediatamente después, justo en el instante en que finaliza el tiempo de estrés, se hace operar al CUT en condiciones de operación nominal (las mismas que las utilizadas en la caracterización en fresco para la prestación evaluada), para llevar a cabo la caracterización dinámica con el CUT degradado o envejecido. En esta tesis, se suele emplear normalmente un tiempo de 100 segundos para esta caracterización. A continuación, se dejará el CUT en reposo durante un tiempo determinado, en esta tesis, típicamente una semana, de forma que se pueda asumir que gran parte de los fenómenos de recuperación hayan tenido lugar en ese periodo. Finalmente, sobre la situación estática en términos de degradación, se lleva a cabo una caracterización estática de las prestaciones o parámetros que se caracterizaron en fresco para evaluar así la degradación permanente que ha sufrido el CUT.

4.3. Arquitectura general del chip KIPT.

4.3.1. Introducción.

El chip KIPT está diseñado utilizando la tecnología UMC 65-nm. Incluye 4 matrices de gran tamaño con celdas que consisten en pequeños bloques o circuitos. Además de la matriz que incluye pequeños bloques básicos, utilizada en esta tesis y que se encuentra en la parte inferior izquierda, tal como se aprecia en la Figura 4-4, existen también dos matrices con celdas de osciladores en anillo (ROs) y una matriz con celdas que incluyen memorias SRAMs y amplificadores de detección (*sense amplifiers*). En definitiva, el chip se divide en dos bloques eléctricamente aislados. En el bloque izquierdo, se encuentra la matriz de bloques básicos y la de SRAMs y amplificadores de detección. Por su parte, el

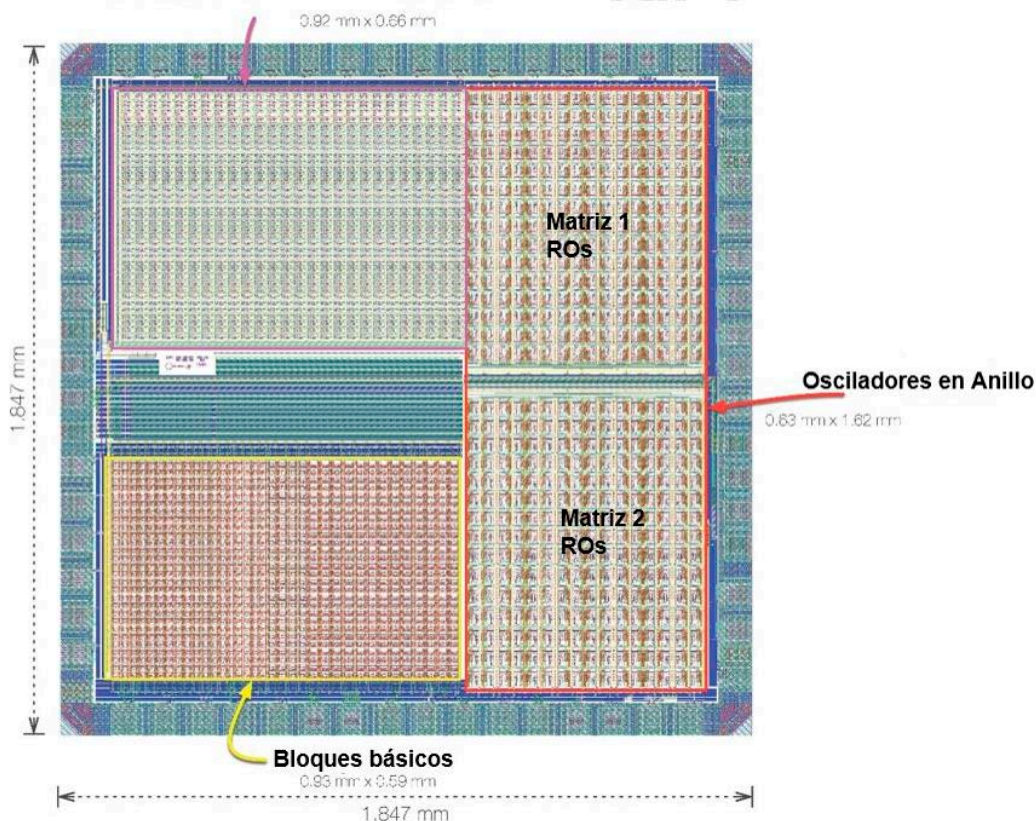


Figura 4-4. Layout del chip KIPT en el que se ilustra las diferentes matrices incluidas.

bloque derecho incluye las dos matrices de ROs. El tamaño concreto de celdas correspondiente a cada matriz es:

- Matriz de bloques básicos: 35 columnas y 28 filas.
- Matriz de SRAMs y amplificadores de detección: 26 columnas y 36 filas.
- Matriz de osciladores en anillo 1: 16 columnas y 16 filas.
- Matriz de osciladores en anillo 2: 16 columnas y 16 filas.

Existe una lógica digital de selección que permite la selección y el acceso individual a cada una de las celdas de cada matriz, denominadas Celdas Unitarias o *Unity Cells*. A su vez, cada *Unity Cell* incluye el circuito de prueba bajo estudio o CUT y una lógica de control que permite habilitar o deshabilitar una serie de puertas de transmisión que permiten conectar los terminales del CUT a los diferentes *pads* del chip para su acceso desde el exterior, o bien, conectar dichos terminales a los anillos de polarización internos para situar al CUT en reposo (sin caída de tensión entre sus terminales).

4.3.2. Descripción de pads.

El anillo de pads de KIPT puede observarse en la Figura 4-5. Respecto a la distribución de los mismos, puede observarse que los pads correspondientes a señales digitales se encuentran principalmente a los lados del chip (según la Figura 4-5). Entre los pads digitales, pueden encontrarse aquellos empleados tanto para la lógica de selección de las *Unity Cells*, como aquellos de la lógica de control utilizada para controlar las puertas de transmisión en los terminales de los CUTs. Así mismo, en la parte superior e inferior se encuentran principalmente los pads destinados a las señales analógicas que se conectarán a los terminales de los CUTs.

Para controlar las pérdidas óhmicas, en aquellos pads utilizados para aplicar señales analógicas que conecten con los terminales de un CUT que no sean la puerta de un transistor, se utilizarán conexiones de tipo *Force & Sense*. Como se muestra de forma conceptual en la Figura 4-6, este tipo de conexiones consisten en una conexión Kelvin que permite aplicar en el terminal denominado como *Force*, la tensión necesaria para que, en el nodo interno del chip correspondiente al terminal de un CUT, se esté aplicando la tensión deseada de forma precisa. Esto se consigue gracias a la realimentación proporcionada por la línea de *Sense*. El uso de este tipo de conexiones en este tipo de trabajos es muy importante ya que es necesario tener certeza y ser precisos a la hora de aplicar las condiciones de estrés a un CUT durante un experimento empírico de fiabilidad. Evidentemente, en el caso de que el terminal de un CUT se corresponda con la puerta de un transistor, no es necesario utilizar este tipo de conexiones ya que, al no circular corriente por la línea, salvo posibles corrientes de fuga, no se producirán pérdidas óhmicas relevantes. En la Figura 4-5, los pads que se corresponden con conexiones de tipo *Force & Sense*, han sido etiquetados respectivamente con las terminaciones XXX_F y XXX_S.

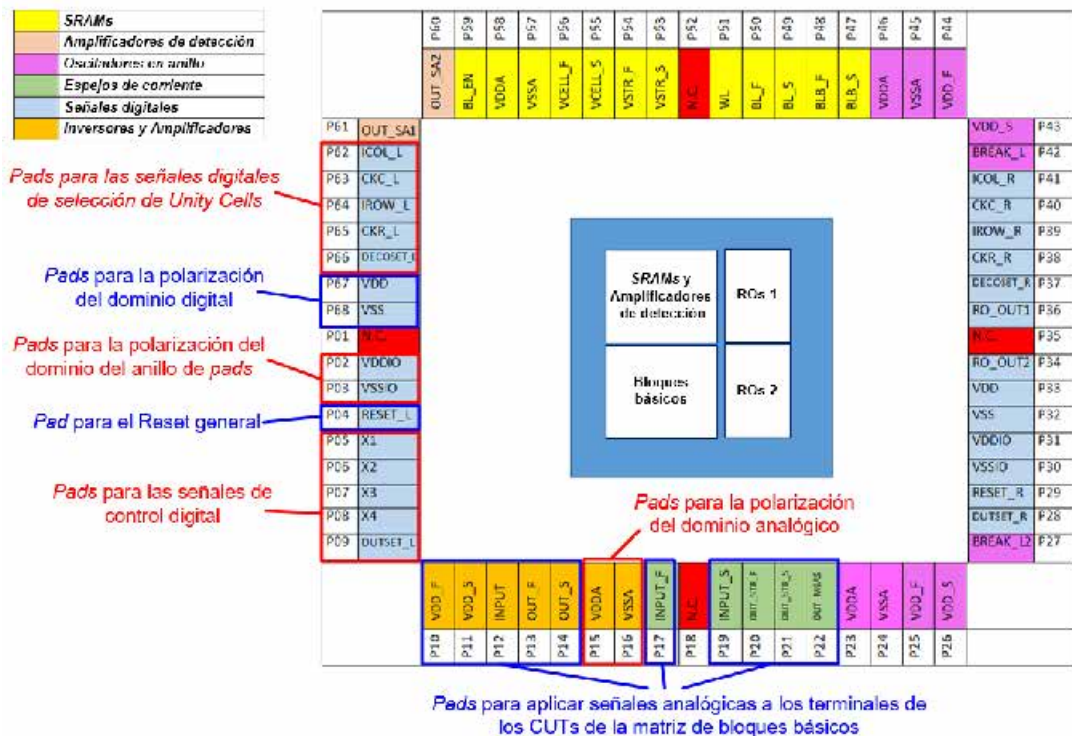


Figura 4-5. Anillo de pads del chip KIPT donde se indican los pads utilizados por la matriz de bloques básicos.

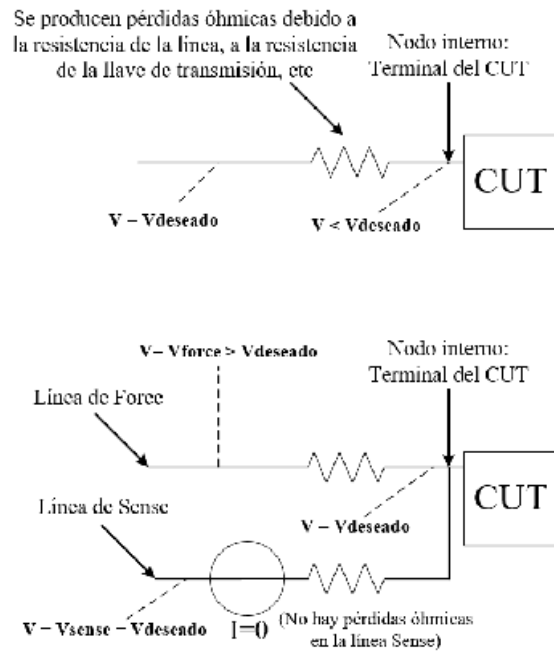


Figura 4-6. Esquema conceptual de la conexión Force and Sense.

Como se explicará en el próximo apartado, existen tres dominios o rangos de tensión diferentes coexistiendo en KIPT. A modo de ejemplo, en la Figura 4-5 se indican alguno de los *pads* utilizados para la polarización de los diferentes dominios. Por último, existe una señal/*pad* de *reset* general del chip KIPT, que se activa a nivel bajo y que sitúa de forma asíncrona a todas las *Unity Cells* de cada una de las matrices en el estado de reposo.

4.3.3. Polarización y dominios de tensión.

Los tres dominios o rangos de tensión de polarización que existen en el chip KIPT son los siguientes:

- El dominio de las señales digitales internas al núcleo del chip, que abarca desde los 0V hasta los 1.2V y que utiliza los *pads* VSS y VDD respectivamente para la polarización del chip. Este dominio es empleado por toda la electrónica digital relativa a las señales de control, tanto para la selección de las *Unity Cells* como para la activación de las puertas de transmisión. Esta electrónica ha sido diseñada empleando una tecnología comercial de transistores de 1.2-V CMOS.
- El dominio de las señales analógicas cuyo rango de polarización comprende desde los 0V hasta los 3.3V y que utiliza los *pads* VSSA y VDDA respectivamente para la polarización del chip. La razón de la existencia de este segundo dominio de tensiones es la necesidad de aplicar tensiones de sobre-estrés para llevar a cabo los experimentos de fiabilidad y evaluar la degradación sobre los CUTs.
- El dominio utilizado para polarizar el anillo de *pads* y establecer el rango de las señales digitales provenientes del exterior del chip, cuyo rango de polarización comprende desde los 0V hasta los 2.5V y que utiliza los *pads* VSSIO y VDDIO respectivamente.

4.3.4. Lógica digital de selección de *Unity Cell*.

La selección de una *Unity Cell* dentro de una matriz se lleva a cabo haciendo uso de sendos decodificadores de fila y columna relativos a dicha matriz. Concretamente, las dos matrices de ROs comparten los decodificadores de filas y columnas. Del mismo modo, también comparten sus decodificadores la matriz de bloques básicos y la de SRAMs y amplificadores de detección. Dependiendo del número de filas y columnas de estas matrices, en el chip KIPT pueden encontrarse decodificadores de 4, 5 o 6 bits.

Debe tenerse en cuenta que hay disponibles un total de 64 *pads*, para todas las entradas y salidas, tanto para las señales digitales como analógicas. En este sentido, debido a la limitación en el número de *pads* disponibles, los n bits de entrada digital a los decodificadores no son accesibles directamente desde los *pads*. En su lugar, estos n bits son introducidos en serie e internamente transferidos haciendo uso de un registro de desplazamiento o *shift register*.

Básicamente estos registros de desplazamiento se componen de un conjunto de biestables tipo D conectados en cadena, de forma que la salida de cada uno de ellos se corresponde con la entrada de otro. La Figura 4-7, muestra en la parte superior el esquemático y el *layout* de un registro de desplazamiento de 6 bits. En la parte inferior de la figura se ilustra a modo de ejemplo las señales que intervienen en el proceso de selección de una celda, concretamente se muestra la selección de la celda de la fila 39 y columna 18. Todos los biestables se controlan mediante la misma señal de reloj, habilitándose o reseteándose de forma simultánea. La entrada a los mismos viene directamente de los *pads* mientras que la salida consiste en un bus con tantas líneas como bits tenga el decodificador al que esté conectado. En concreto, como puede observarse en la parte inferior de la Figura 4-7, se utilizan un total de 4 *pads*/señales: dos para introducir la señal de entrada a los registros de desplazamiento para las filas (IROW) y columnas (ICOL) y dos señales de reloj para controlar a cada uno de los bloques, CKR y CKC. Para la selección de una *Unity Cell*, los valores de fila y columna a seleccionar se introducen desde el bit menos significativo (LSB) al más significativo (MSB) a través de las líneas IROW e ICOL respectivamente. La correspondiente captura en cada uno de los registros de los bits introducidos se controla mediante las señales de reloj asíncronas CKR (para la fila) y CKC (para la columna). Finalmente, una vez que todos los bits han sido introducidos correctamente, estos son transferidos en paralelo a los decodificadores mediante la activación de una señal denominada DECOSET.

El funcionamiento de los decodificadores de cada fila o columna es sencillo, cada señal de entrada a los mismos se introduce en un sencillo bloque de lógica combinacional cuya salida sólo se activará si la señal de entrada se corresponde con dicha fila/columna. Evidentemente, cada posible combinación de entrada a los decodificadores se corresponde con una única salida destinada a la selección/activación de una determinada *Unity Cell*. La Figura 4-8 muestra a modo de ejemplo, el esquemático y *layout* de uno de los decodificadores de 6 bits empleado en la matriz de bloques básicos.

4.3.5. Descripción general de una *Unity Cell*.

Para cerrar este apartado se describirán brevemente y desde una perspectiva general los aspectos comunes que tienen las *Unity Cells*, independientemente del tipo de CUT alojado en su interior. En el siguiente apartado (4.3), se particularizarán los detalles de



Figura 4-7. Esquemático, layout y ejemplo de funcionamiento de los registros de desplazamiento de la lógica de control para la selección de celdas en KIPT.

cada una de las *Unity Cells* que se emplean en los experimentos llevados a cabo en esta tesis.

El esquema general de una *Unity Cell* se representa en la Figura 4-9 [203]. En la parte izquierda de la figura se encuentra la lógica de control, realizada con puertas lógicas y biestables. En la parte derecha de la figura se encuentra el CUT y conectado a cada uno de sus terminales las diferentes puertas de transmisión que habilitan o deshabilitan su conexión con los *pads*.

En caso de que la *Unity Cell* haya sido seleccionada mediante la lógica de selección descrita en el apartado anterior, las señales de fila y columna (ROW y COL en la figura) activarán la lógica de control de la *Unity Cell* a través de la señal ENABLE de cada biestable. En tal caso, las señales de control X1, X2, X3 y X4, aplicadas desde los *pads*

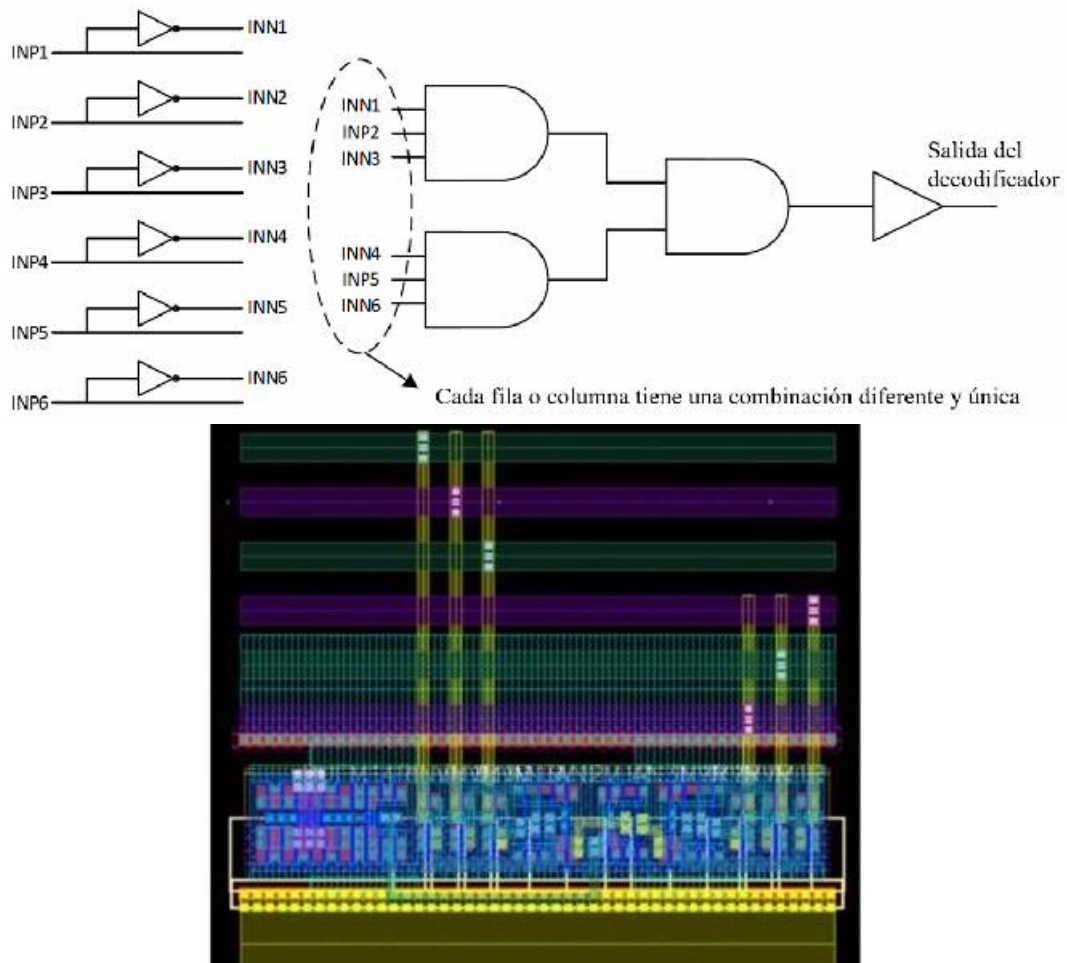


Figura 4-8. Esquemático y layout de uno de los decodificadores empleados en la lógica de control del chip KIPT.

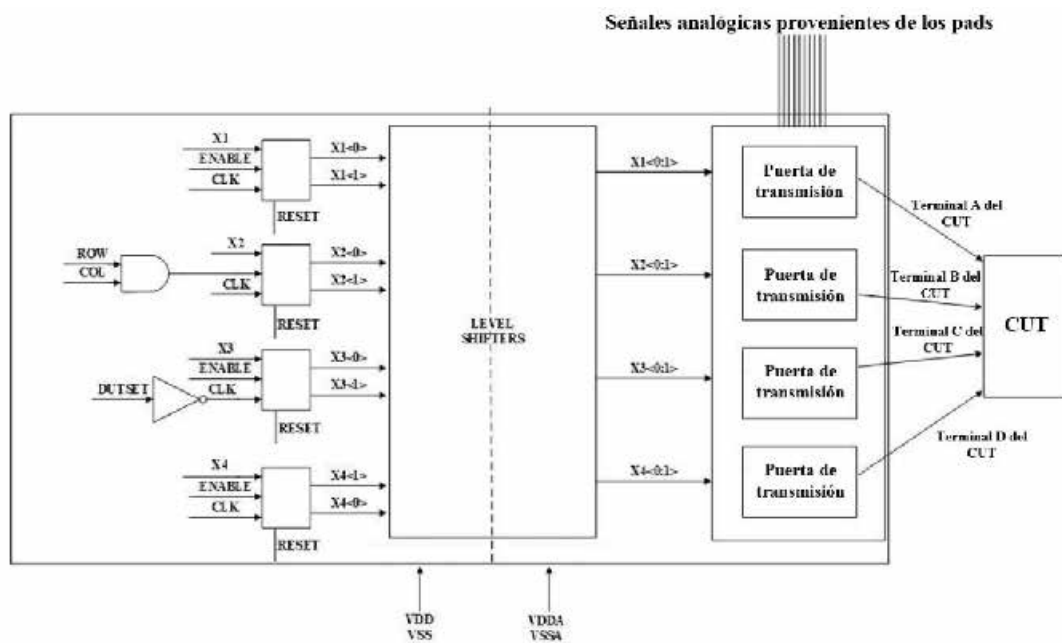


Figura 4-9. Esquema general de una Unity Cell del chip KIPT.

homónimos, son empleadas en una lógica de control que depende de cada *Unity Cell* y del CUT alojado en la misma, para habilitar o deshabilitar las puertas de transmisión de cada uno de los terminales del mismo. Es importante destacar que el cambio de estado de las diferentes llaves de transmisión se activa de forma simultánea a través de la señal DUTSET. Entendiendo como zona del CUT a la parte de la *Unity Cell* que engloba al propio CUT y a las puertas de transmisión que habilitan o deshabilitan el acceso a sus terminales, la necesidad de alcanzar tensiones elevadas para sobre-estresar a los CUTs, hace que la polarización que se emplea en la zona del CUT de la *Unity Cell* llegue hasta los 3.3V. Por esta razón, es necesario emplear un grupo de desplazadores del nivel de tensión o *level shifters* que se encargan de adaptar las señales del dominio digital (1.2V) provenientes de la lógica de control, al dominio de las señales analógicas (3.3V) que es el empleado por las puertas de transmisión. Un ejemplo del esquemático y *layout* de los *level shifters* se muestra en la Figura 4-10.

Por su parte, las puertas de transmisión son empleadas para conectar los terminales del CUT seleccionado a los correspondientes *pads* del chip para poder aplicarles estímulos desde el exterior, o bien, para conectar todos los terminales del CUT a una misma tensión de referencia interna, haciendo así que no exista caída de tensión entre sus terminales y dejando, de esta forma, al CUT en reposo. Estas puertas se diseñan empleando otro tipo de transistores para para que no sufran una degradación significativa que puedan distorsionar las medidas realizadas sobre los CUTs. En KIPT, existen distintos dimensionamientos de puertas de transmisión. El tamaño de éstas varía dependiendo de la corriente que vaya a circular por ellas. La Figura 4-11 muestra un ejemplo del esquemático y *layout* de un bloque de puertas de transmisión de pequeño tamaño.

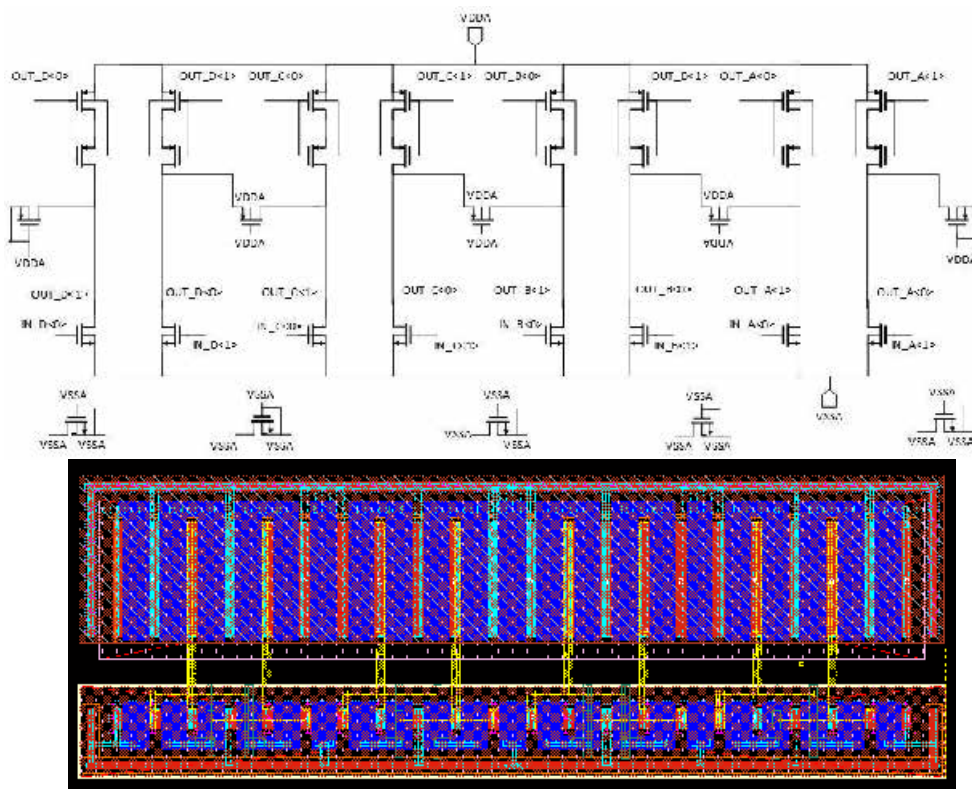


Figura 4-10. Esquemático y *layout* de un bloque de level shifter utilizado en KIPT.

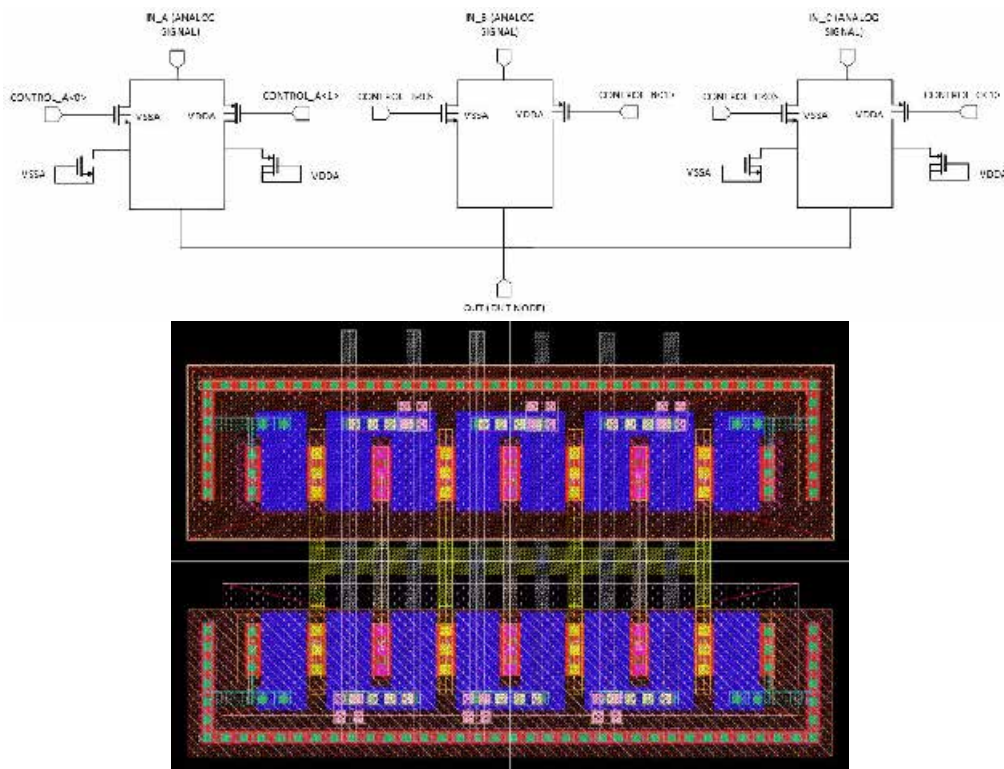


Figura 4-11. Esquemático y layout de un bloque de puertas de transmisión utilizado en KIPT.

4.4. Matriz de bloques básicos.

4.4.1. Introducción.

Los experimentos para estudiar la degradación que se llevan a cabo en esta tesis emplean CUTs incluidos en la matriz de bloques básicos de KIPT, la cual puede apreciarse físicamente en la microfotografía de la Figura 4-12. Consiste en una matriz de pequeños circuitos de distinta naturaleza [203]. Los diferentes bloques de circuitos que componen la matriz de bloques básicos son:

- Transistores individuales.
- Inversores.
- Espejos de Corriente.
- Etapas amplificadoras simples.

Con el fin de estudiar la dependencia de la variabilidad con los diseños y las dimensiones de los dispositivos empleados en estos bloques, para cada uno de ellos se han incluido diferentes topologías y tamaños. Como esta tesis centra su estudio en el impacto de la variabilidad a nivel de circuito, los experimentos reportados se realizan sobre los inversores, los espejos de corriente y las etapas amplificadoras simples. Además de estos bloques, en la matriz de bloques básicos de KIPT se han incluido también transistores individuales con acceso a tres de sus terminales, permitiendo así estudiar el efecto de la degradación cuando la caída de tensión V_{SB}/V_{BS} es distinta de cero. No obstante, si bien este trabajo está relacionado con esta tesis, el estudio a nivel de dispositivo no se incluye entre los contenidos ni objetivos de esta tesis, por lo que no forma parte de este trabajo.

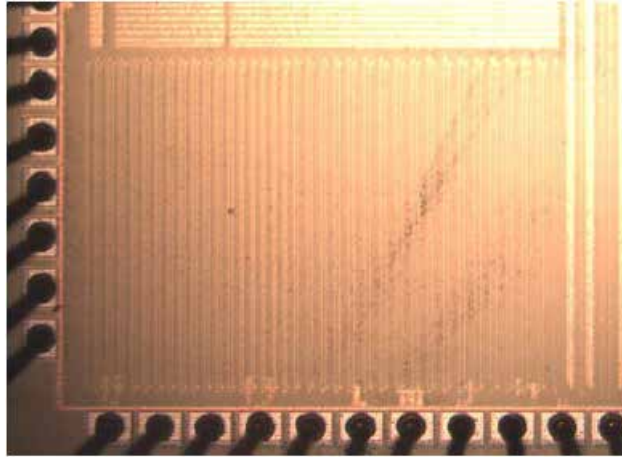


Figura 4-12. Fotografía de la matriz de bloques básicos de KIPT.

Los inversores son un circuito digital muy básico que se encuentra en numerosos sistemas y aplicaciones. Su topología permite realizar fácilmente un estudio de variabilidad desde una perspectiva analógica, es decir, atendiendo a la evolución de las formas de onda de las tensiones/corrientes en sus terminales. Además, es posible estudiar de forma sencilla la degradación individual de los dispositivos que lo componen para poder relacionar la degradación de los mismos con la de las prestaciones a nivel de circuito. En KIPT se han incluido CUTs de tipo inversor con 5 dimensionamientos diferentes.

Los espejos de corriente, son también una estructura ampliamente empleada y forman parte de otras estructuras o bloques más complejos, como, por ejemplo, distintos circuitos de polarización. Son estructuras relativamente simples que resultan muy adecuadas para estudiar la realimentación o *link* bidireccional entre las condiciones de estrés y la degradación por envejecimiento. Se han considerado dos tipos de diseños: espejos de corriente simples y espejos de corriente Wilson mejorados. De cada uno se dispone tanto de sus versiones NMOS como PMOS en distintos tamaños.

Las etapas amplificadoras son a su vez ampliamente empleadas en multitud de aplicaciones de la electrónica analógica, resultando, al igual que los otros bloques elegidos, un circuito simple pero muy representativo. La etapa amplificadora simple de fuente común escogida para realizar el estudio, al igual que se ha comentado en el caso de los inversores, permite acceder de forma sencilla a todos los terminales de sus dispositivos por lo que es posible relacionar los efectos que sufren los dispositivos individuales y su degradación con el impacto sobre las prestaciones del circuito. En este sentido, tanto el inversor digital como la etapa amplificadora simple son circuitos adecuados para estudiar la degradación frente a diferentes tipos de estrés (por ejemplo, con señales DC o AC) y cómo los posibles efectos de degradación que se dan bajo esas condiciones afectan a nivel de prestaciones. Se han incluido en KIPT cuatro dimensionamientos distintos de etapas amplificadoras simples de fuente común.

Dependiendo de las dimensiones de los CUTs, del tipo de dispositivos que lo conformen (transistores PMOS, NMOS o de ambos tipos) y de los *pads* que se conectan a los terminales de los mismos, se emplea un tipo distinto de *Unity Cell*. Para conformar la matriz de bloques básicos, todas ellas fueron diseñadas con la misma altura, siendo por tanto la anchura, diferente en cada caso. De esta forma, los CUTs del mismo tipo y

dimensiones son agrupados por columnas. En total, la matriz cuenta con 28 filas (como la matriz de bloques básicos comparte el decodificador de filas con la matriz de SRAMs y amplificadores de detección, estas 28 filas se numeran de la 36 a la 63) y de 35 columnas. En la Tabla 4-1 se encuentra resumida toda la información de los tipos de *Unity Cells* y CUTs incluidos en la matriz de bloques básicos. A su vez, la Figura 4-13, muestra cómo se encuentran físicamente agrupados los distintos CUTs en las columnas de dicha matriz.

A continuación, en cada uno de los tres sub-apartados siguientes se comentarán con más profundidad los detalles relativos al diseño de cada uno de los tipos de CUTs que son empleados en los experimentos realizados en esta tesis. No obstante, la explicación de las medidas realizadas y la discusión de los resultados obtenidos en cada uno de ellos serán presentados posteriormente en sus respectivos capítulos.

Tabla 4-1. Categorías, tipos y dimensionamientos de los bloques incluidos en la matriz de bloques básicos.

Categoría	Tipo	Versión	Dimensionamiento	Unity Cell	Acrónimo del CUT
Transistores Individuales	-	N-MOS	Dim. 1	Tipo 1: TN-IB	TRNS1
			Dim. 2		TRNS2
			Dim. 3		TRNS3
			Dim. 4		TRNS4
		P-MOS	Dim. 1	Tipo 2: TP	TRPS1
			Dim. 2		TRPS2
			Dim. 3		TRPS3
			Dim. 4		TRPS4
Inversores	-	-	Dim. 1	Tipo 1: TN-IB	INVS1
			Dim. 2		INVS2
			Dim. 3	Tipo 3: IS	INVS3
			Dim. 4		INVS4
			Dim. 5		INVS5
Etapas Amplificadoras Simples	-	-	Dim. 1	Tipo 4: A	AMPS1
			Dim. 2		AMPS2
			Dim. 3		AMPS3
			Dim. 4		AMPS4
Espejos de Corriente	Espejo de corriente simple	N-MOS	Dim. 1	Tipo 5: CMN	SCMNS1
			Dim. 2		SCMNS2
			Dim. 3		SCMNS3
		P-MOS	Dim. 1	Tipo 6: CMP	SCMPS1
			Dim. 2		SCMPS2
			Dim. 3		SCMPS3
	Espejo de corriente Wilson mejorado	N-MOS	Dim. 1	Tipo 5: CMN	WCMNS1
			Dim. 2		WCMNS2
		P-MOS	Dim. 1	Tipo 6: CMP	WCMPS1

C0	C1	C2	C3	C4	C5	C6	C7	C8-9	C10-11	C12-13	C14-15	C16-17	C18	C19	C20	C21	C22-23	C24-25	C26	C27-28	C29-30	C31	C32	C33	C34
T	T	T	T	T	T	T	T	I	I	I	I	I	A	A	A	A	S	S	S	S	S	S	W	W	W
R	R	R	R	R	R	R	R	N	N	N	N	N	M	M	M	M	C	C	C	C	C	C	C	C	C
N	N	N	N	N	P	P	P	V	V	V	V	V	P	P	P	P	M	M	M	M	M	M	M	M	M
S	S	S	S	S	S	S	S	S	S	S	S	S	S	S	S	S	N	N	N	N	N	N	N	N	N
1	2	3	4	1	2	3	4	1	2	3	4	5	1	2	3	4	1	2	3	1	2	3	1	2	1

Figura 4-13. Tipos de CUTs agrupados por columnas.

4.4.2. Inversores.

La topología empleada en la *Unity Cell* en la zona del CUT (CUT y puertas de transmisión) será siempre la mostrada en la Figura 4-14. En esta figura puede observarse además del propio circuito inversor, las llaves de transmisión presentes en cada uno de sus terminales. Encima de las llaves, aparece indicada la señal de la lógica de control que las habilita o deshabilita. Las flechas que aparecen apuntando a algunas llaves de transmisión, indican la existencia de una línea de entrada o salida hacia los *pads*. El nombre de dichos *pads* aparece al otro lado de la flecha. En el caso de que al nodo se acceda mediante una conexión de *Force and Sense*, en la figura se ha representado una única llave de transmisión en lugar de una para cada línea (una para la de *Force* y otra para la de *Sense*) como hay físicamente en realidad, para evitar sobrecargar la representación. En su lugar, al otro lado de la flecha aparecerán los nombres de los dos *pads* empleados en este tipo de conexión. Tanto el nombre como la numeración de los *pads* representados en la figura se corresponden con los del anillo de *pads* mostrado en la Figura 4-5.

En el caso concreto de la conexión con los *pads* del chip de los CUT de tipo inversor, el terminal de entrada, al estar conectado a la puerta de ambos transistores, no requiere de una conexión *Force and Sense*. Sin embargo, tanto el terminal de VDD como el de salida del CUT se corresponden con la fuente o drenador de alguno de los transistores por lo que, a la circular corriente por la rama, sí necesitarán de este tipo de conexión.

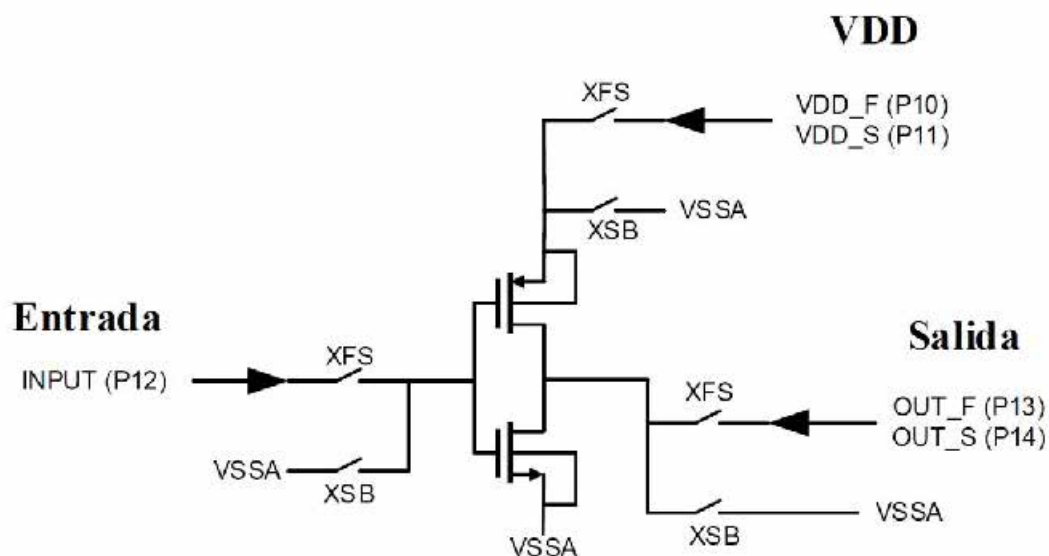


Figura 4-14. Zona del CUT de las *Unity Cells* de los inversores.

Respecto a las señales de control y a la gestión de las llaves de transmisión, en primer lugar, puede observarse que el terminal de fuente del transistor NMOS siempre estará conectado al anillo interno del chip a la tensión de referencia más baja posible, es decir, a VSSA. Cuando se activa la señal de control XSB en todas las llaves de transmisión, el resto de terminales del dispositivo se conectarán también al mismo anillo interno, dejando al CUT en reposo al no existir caída de tensión entre los terminales del dispositivo. Cuando la *Unity Cell* haya sido seleccionada y se vaya a operar con el CUT, la señal de control XFS permite habilitar la conexión de los terminales del mismo a las líneas que llegan hasta los *pads* del chip. Estas líneas serán empleadas tanto para la caracterización cuando se trabaje con el CUT a tensiones nominales, como cuando se proceda a aplicarle condiciones de sobre-estrés. La correspondencia de las señales digitales de los *pads* (X1, X2 y X3) y las señales internas de control se muestran en la Tabla 4-2, mientras que el esquemático de la lógica de control se muestra en la Figura 4-15.

De los cinco dimensionamientos de inversor, pueden distinguirse dos tipos de diseños. Los inversores INVS1 e INVS2, de mayor tamaño, han sido diseñados como *buffers*. Por otro lado, el resto son inversores que han sido dimensionados con los mismos diseños que han sido utilizados como etapas de alguno de los ROs incluidos en la matriz de ROs de KIPT. Estos inversores se han añadido en esta matriz para estudiar la degradación de

Tabla 4-2. Relación entre las señales digitales de los *pads* y las señales internas de control para CUTs de tipo inversor y etapas amplificadoras simples.

Entradas Digitales de los <i>pads</i>			Señales internas de control	
X1	X2	X3	XFS	XSB
'0'	'0'	'1'	'0'	'1'
'1'	X	'0'	'1'	'0'
X	'1'	'0'	'1'	'0'
'0'	'0'	'0'	'0'	'0'

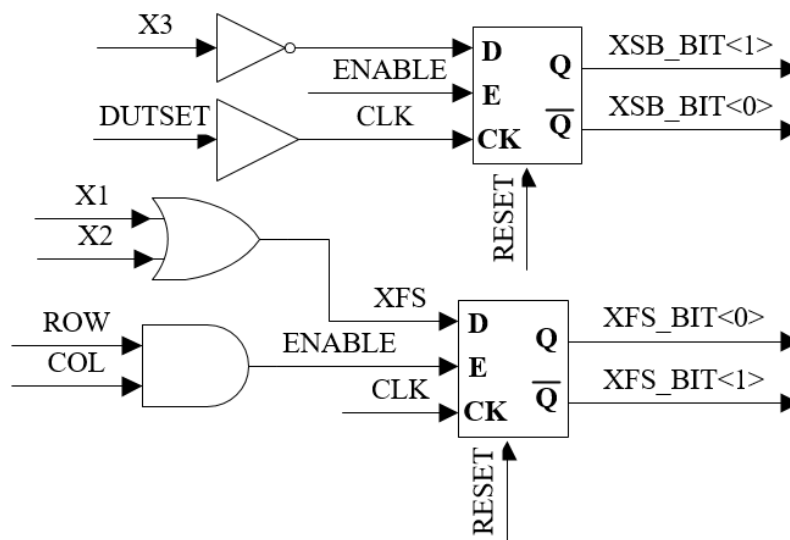


Figura 4-15. Lógica de control de las *Unity Cells* tipo inversor y etapa amplificadora simple.

dichas etapas de forma aislada. Las dimensiones específicas de los CUTs se muestran en la Tabla 4-3, donde además se indica el número de CUTs de cada tipo disponibles por cada chip de KIPT, que en este caso, es de 56 para todos los dimensionamientos. Los inversores tipo *buffer*, por un lado, y los que tienen el dimensionamiento de una etapa de los Ros, por otro, emplean una *Unity Cell* distinta. Esto es debido al mayor tamaño de los inversores tipo *buffer* y a la mayor corriente que circula por sus transistores, por lo que, pese a que ambas *Unity Cells* son análogas en cuanto a elementos y líneas, el tamaño de las *Unity Cells* de los inversores tipo *buffer* es mayor. En este sentido, la mayor diferencia se da en la robustez y, por tanto, el tamaño de las llaves de transmisión empleadas en cada caso.

Tabla 4-3. Inversores incluidos en la matriz de bloques básicos.

CUT	<i>Unity Cell</i>	Dimensión PMOS	Dimensión NMOS	Nº de CUTs
INVS1	Tipo 1: IB-TN	W=270nm L=60nm	W=180nm L=60nm	56
INVS2	Tipo 1: IB-TN	W=450nm L=60nm	W=300nm L=60nm	56
INVS3	Tipo 3: IS	W=160nm L=80nm	W=80nm L=80nm	56
INVS4	Tipo 3: IS	W=160nm L=200nm	W=80nm L=200nm	56
INVS5	Tipo 3: IS	W=160nm L=400nm	W=80nm L=400nm	56

4.4.3. Espejos de corriente.

En el caso de los espejos de corriente, se han incluido en la matriz de bloques básicos dos diseños diferentes, los cuales se muestran en la Figura 4-16. Por un lado, se tiene los espejos de corriente simple y por otro, los espejos de corriente Wilson mejorados, existiendo en ambos casos versiones tanto PMOS como NMOS, y de cada uno, a su vez, diseños de distinto dimensionamiento. Todos los espejos han sido diseñados para mantener un factor de copia de 1:1.

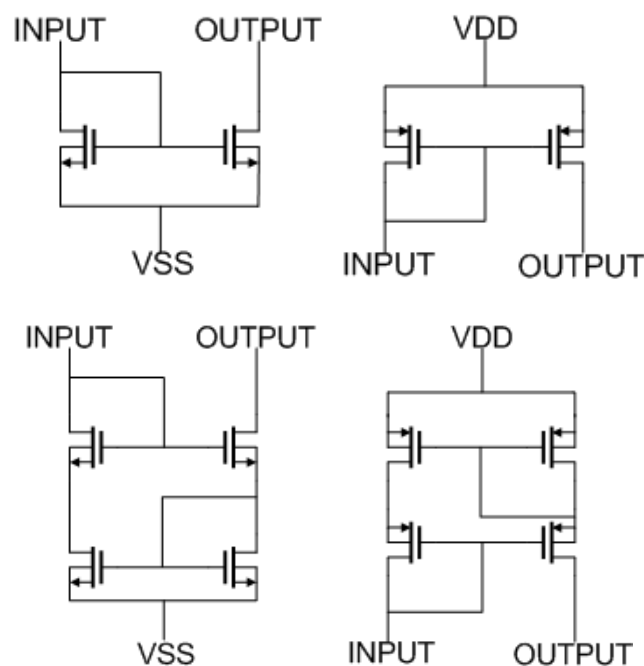
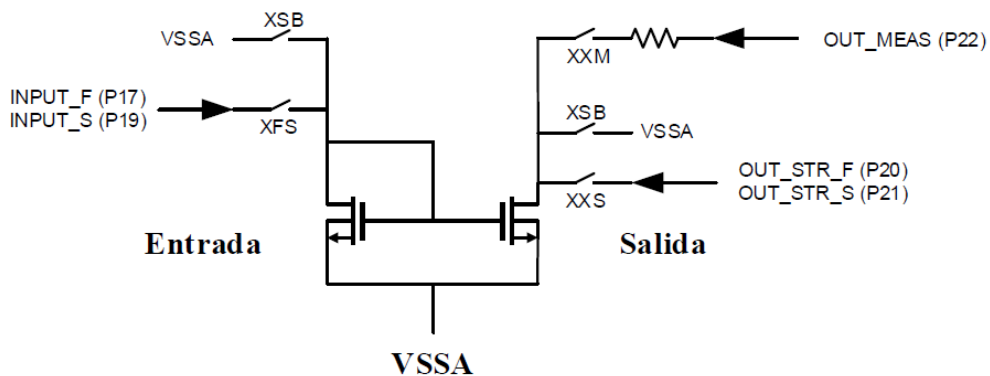


Figura 4-16. Espejo de corriente Simple NMOS (arriba a la izquierda), espejo de corriente simple PMOS (arriba a la derecha), espejo de corriente Wilson mejorado NMOS (abajo a la izquierda) y espejo de corriente Wilson mejorado PMOS (abajo a la derecha).

Independientemente de que se trate de un espejo simple o de un espejo Wilson mejorado, existen dos tipos de *Unity Cell*. Una de ellas es empleada para los espejos PMOS y la otra para los NMOS. Estas *Unity Cells*, en lo que a elementos se refiere, son análogas en su composición con la diferencia de que los transistores de los espejos PMOS tienen conectado el sustrato a VDDA, mientras los de los espejos NMOS lo tienen a VSSA. En la Figura 4-17 se muestra la zona del CUT de las *Unity Cells* de los espejos de corriente. En la parte superior de la figura se muestra el caso para un espejo NMOS y en la inferior de un espejo PMOS. En dicha figura y sin pérdida de generalidad se muestran diseños de espejos de corriente simple. En el caso de un espejo Wilson mejorado, los terminales de entrada, salida y VDD se conectarían de la misma forma. El criterio de representación seguido es el mismo que para el caso de la representación de la *Unity Cell* del inversor de la Figura 4-14. En la Figura 4-17 puede observarse que tanto para el caso del espejo PMOS como NMOS, las llaves de transmisión que se activan con la señal de control XSB sitúan la misma tensión en todos los terminales del CUT, dejando a éstos, por tanto, en reposo. En el caso de los espejos NMOS esta tensión se corresponde con el anillo interno del chip que se encuentra a la menor tensión posible (VSSA) y en el caso de los PMOS con el anillo de polarización interno que se encuentra a la tensión más elevada posible (VDDA).

Lo más característico de las *Unity Cells* de los espejos de corriente es que el terminal de salida es accesible de dos formas diferentes. Una de ellas es empleando una conexión del

NMOS



PMOS

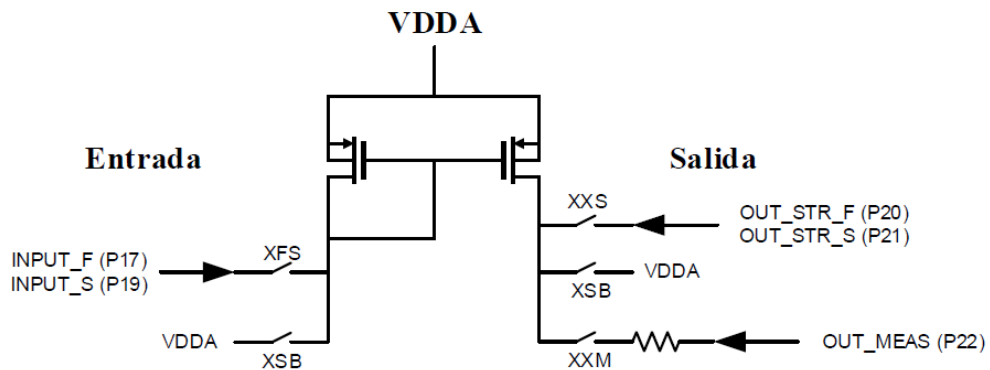


Figura 4-17. Zona del CUT de las *Unity Cells* de los espejos de corriente NMOS (arriba) y PMOS (abajo).

tipo *Force and Sense* para acceder directamente al terminal de salida del espejo. Al igual que en los inversores, en la conexión *Force and Sense* hay físicamente dos líneas con sendas puertas de transmisión controladas por la misma señal, en este caso *XXS*, pero una de ellas se omite en la representación. Por otro lado, el *pad* *OUT_MEAS* se conectará en el exterior a un potenciómetro, de forma que el terminal de salida del espejo quedará conectado a una carga lineal. La señal de control que habilita esta conexión es *XXM*. Por su parte, sólo habrá un tipo de conexión a los *pads* en el terminal de entrada del espejo. En este caso se trata nuevamente de una conexión de tipo *Force and Sense* cuyas puertas de transmisión son habilitadas o deshabilitadas por la señal de control *XFS*. La relación entre las señales digitales de los *pads* y las señales internas de control de las puertas de transmisión se muestra en la Tabla 4-4, mientras que el esquemático de la lógica de control de estas *Unity Cells* es mostrado en la Figura 4-18.

Finalmente la Tabla 4-5 muestra el listado de todos los tipos de espejos incluidos en la matriz de bloques básicos de KIPT, indicando para cada uno de ellos, el diseño del espejo, el tipo de dispositivos empleados, el tipo de *Unity Cell*, las dimensiones de los transistores empleados y el número total de dispositivos incluidos por cada chip.

Tabla 4-4. Relación entre las señales digitales de los *pads* y las señales internas de control para *CUTs* de tipo espejos de corriente.

Entradas Digitales de los <i>pads</i>			Señales internas de control			
X1	X2	X3	XFS	XXM	XXS	XSB
'0'	'0'	'1'	'0'	'0'	'0'	'0'
'0'	'1'	'0'	'1'	'0'	'1'	'0'
'1'	'0'	'0'	'1'	'1'	'0'	'0'
'1'	'1'	'0'	'1'	'1'	'1'	'0'
'0'	'0'	'0'	'0'	'0'	'0'	'0'

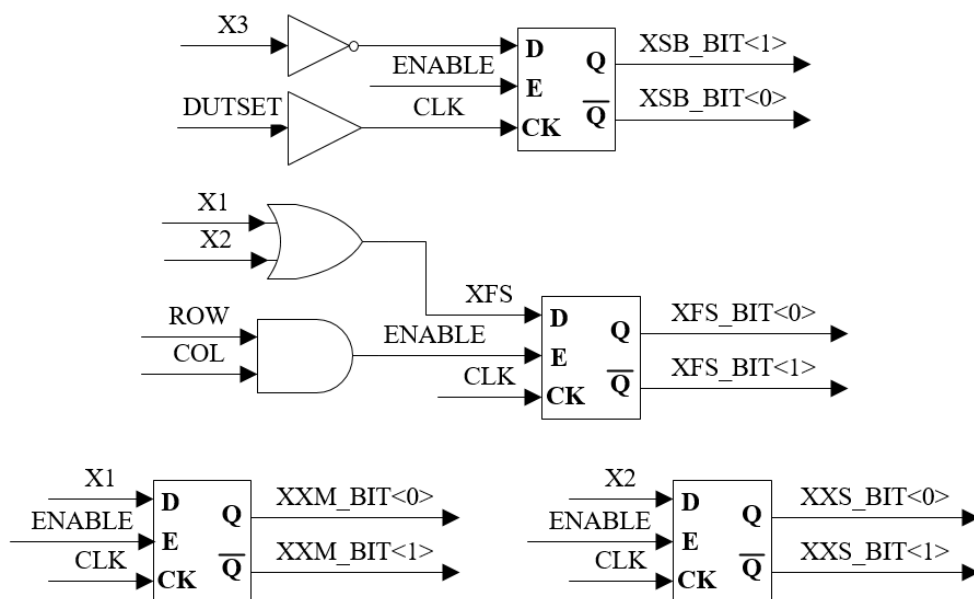


Figura 4-18. Lógica de control de las *Unity Cells* tipo espejo de corriente.

Tabla 4-5. Espejos de corriente incluidos en la matriz de bloques básicos de KIPT.

CUT	DISEÑO	TIPO	Unity Cell	Dimensiones	N° de CUTs
SCMNS1	E.C. Simple	NMOS	Tipo 5: CMN	W=160nm L=120nm	56
SCMNS2	E.C. Simple	NMOS	Tipo 5: CMN	W=320nm L=120nm	56
SCMNS3	E.C. Simple	NMOS	Tipo 5: CMN	W=320nm L=300nm	28
SCMPS1	E.C. Simple	PMOS	Tipo 6: CMP	W=240nm L=120nm	56
SCMPS2	E.C. Simple	PMOS	Tipo 6: CMP	W=480nm L=120nm	56
SCMPS3	E.C. Simple	PMOS	Tipo 6: CMP	W=480nm L=300nm	28
WCMNS1	E.C. Wilson mejorado	NMOS	Tipo 5: CMN	W=160nm L=120nm	28
WCMNS2	E.C. Wilson mejorado	NMOS	Tipo 5: CMN	W=320nm L=120nm	28
WCMPS1	E.C. Wilson mejorado	PMOS	Tipo 6: CMP	W=240nm L=120nm	28

4.4.4. Etapas amplificadoras simples.

En el caso de las etapas amplificadoras, el esquema de la zona del CUT de la *Unity Cell* empleada se muestra en Figura 4-19. Puede notarse que el diseño es muy parecido al de las *Unity Cells* empleadas para los inversores, con la inclusión de una llave de transmisión adicional, necesaria para poder conectar la puerta de ambos transistores de forma independiente. La gestión de las llaves de transmisión también es análoga a la de las *Unity Cells* de los inversores. La señal de control XSB habilita o deshabilita a todas las llaves de transmisión que sitúan a cada terminal de la etapa a la misma tensión y dejan al CUT en reposo. Por otro lado, la señal XFS controla las llaves de transmisión que conectan cada terminal de la etapa al correspondiente *pad* del chip. En definitiva, el esquemático de la lógica de control y la relación de las señales digitales de los *pads* con las señales internas de control de las llaves de transmisión, son exactamente las mismas que en el caso de la *Unity Cell* de los inversores y que fueron mostradas en la Tabla 4-2 y la Figura 4-15, respectivamente. Puede observarse también, que los terminales de VDD y salida del CUT emplean conexiones de tipo *Force and Sense* mientras que los terminales de entrada de la etapa no necesitan este tipo de conexión ya que se corresponden con los terminales de puerta de los transistores. Por su parte, el terminal de fuente del transistor NMOS, se encuentra siempre conectado al anillo interno del chip de la tensión de referencia más baja, esto es, a VSSA.

Una de las principales ventajas de emplear este tipo de estructura es que, dependiendo del dimensionamiento de los dispositivos y de la polarización realizada sobre el circuito, es posible obtener un gran número de combinaciones de testado. Por ejemplo, dependiendo de la polarización aplicada, los roles del transistor que actúa como etapa amplificadora y del que actúa como carga, pueden intercambiarse entre el transistor PMOS y NMOS,

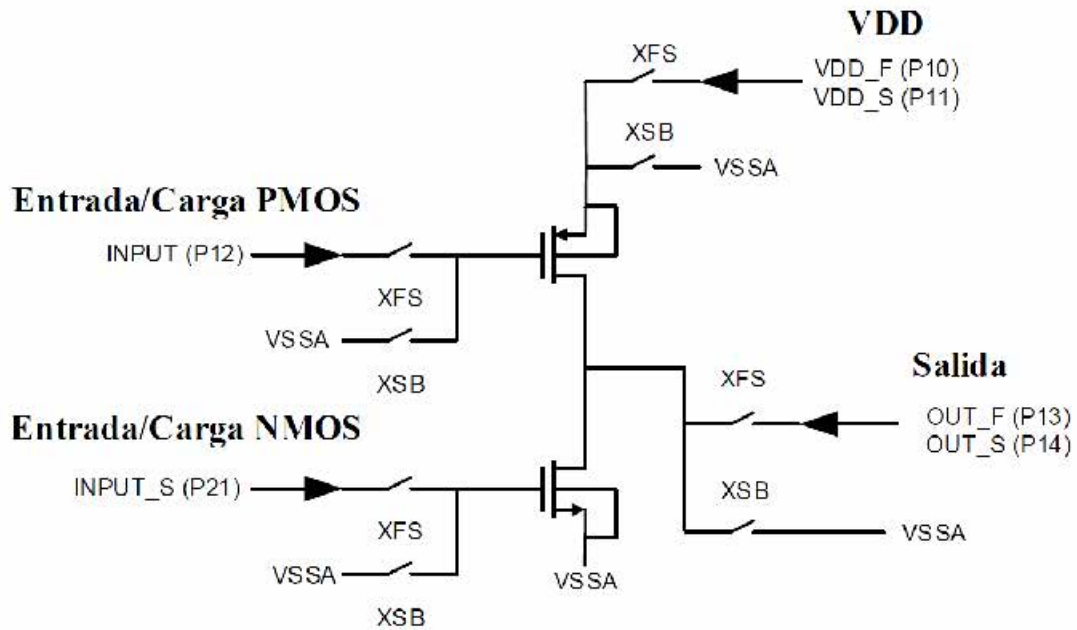


Figura 4-19. Zona del CUT de las Unity Cells de las etapas amplificadoras simples.

duplicando así las opciones de testado. En este sentido, se han seleccionado 4 tipos de dimensionamiento diferentes donde, en dos de ellos, los transistores PMOS y NMOS se encuentran relativamente balanceados, esto es, ambos dispositivos son en principio capaces de proporcionar corrientes de similar magnitud para la misma caída de tensión entre sus terminales, mientras que, en los dos casos restantes, no es así. La principal diferencia entre los dos dimensionamientos donde los transistores están balanceados es el tamaño de los dispositivos, siendo las dimensiones mucho mayores en uno de los casos. Respecto a los diseños no balanceados, se ha optado por hacer dominante (en términos de capacidad de conducción) en un caso al transistor PMOS y en el otro al transistor NMOS. Cabe notar que el caso de los dispositivos balanceados no es común para el diseño óptimo de una etapa amplificadora, pero como se ha comentado anteriormente, el objetivo de las estructuras elegidas es proporcionar versatilidad de cara a la experimentación y al estudio del impacto de la variabilidad sobre los dispositivos.

Finalmente la Tabla 4-6 muestra el listado de amplificadores de una etapa de fuente común incluidos en la matriz de bloques básicos de KIPT. Se indica también en dicha tabla las dimensiones de los transistores de cada etapa y el número total de dispositivos por cada muestra del chip. Para reducir los tiempos de diseño del chip y dado que la opción era asumible y, en definitiva, conveniente, se ha utilizado una misma *Unity Cell* para los cuatro dimensionamientos.

Tabla 4-6. Etapas amplificadoras simples incluidas en la matriz de bloques básicos.

CUT	Unity Cell	Dimensión PMOS	Dimensión NMOS	Nº de CUTs
AMPS1	Tipo 4: A	W=450nm L=60nm	W=300nm L=60nm	28
AMPS2	Tipo 4: A	W=80nm L=60nm	W=80nm L=60nm	28
AMPS3	Tipo 4: A	W=80nm L=400nm	W=300nm L=60nm	28
AMPS4	Tipo 4: A	W=80nm L=60nm	W=80nm L=400nm	28

4.5. Montaje del laboratorio y PCB.

4.5.1. Introducción.

El objetivo de este apartado es realizar una descripción del montaje del laboratorio y de los equipos utilizados para llevar a cabo los experimentos realizados sobre el chip KIPT. En el siguiente apartado (4.4.2) se realizará una descripción de los equipos implicados en los procesos de medida. Para la conexión de los equipos con los correspondientes pines del chip, se ha diseñado y fabricado para cada matriz incluida en KIPT una PCB dedicada. En el apartado 4.4.3 se realiza la descripción de la PCB utilizada para realizar los experimentos sobre la matriz de bloques básicos.

4.5.2. Montaje para la realización de experimentos.

El esquema general del montaje del laboratorio es el mostrado en la Figura 4-20. La PCB es el elemento principal y central del mismo. El chip KIPT, para el que se ha utilizado un encapsulado del tipo JLCC68, se inserta en el centro de la PCB en un zócalo de fuerza cero que permite el acceso tanto a las señales digitales de control como a las señales analógicas de entrada y salida utilizadas.

Por su parte, todo el proceso de medida se coordina a través de un ordenador. La comunicación con la DAQ se realiza a través de un puerto USB mientras que, con el resto de los equipos participantes, la comunicación se realiza mediante el estándar de comunicaciones GPIB que permite la conexión paralela de varios equipos en una topología tipo BUS. Los diferentes programas utilizados para llevar a cabo las medidas en el laboratorio han sido implementados usando Matlab™.

De esta forma, desde el ordenador, se gestionará, por un lado, la fuente de alimentación controlable mediante GPIB (Agilent E3631), que será utilizada para realizar la polarización de la placa PCB y, por extensión, del chip KIPT. Por otro lado, desde el ordenador se envían las instrucciones necesarias a través del puerto USB para que el módulo de digitalización empleado (DAQ USB-6501 OEM) envíe las señales digitales pertinentes al chip KIPT (a través de la PCB), las cuales serán utilizadas para seleccionar las *Unity Cells* y para gestionar las llaves de transmisión de los CUTs seleccionados

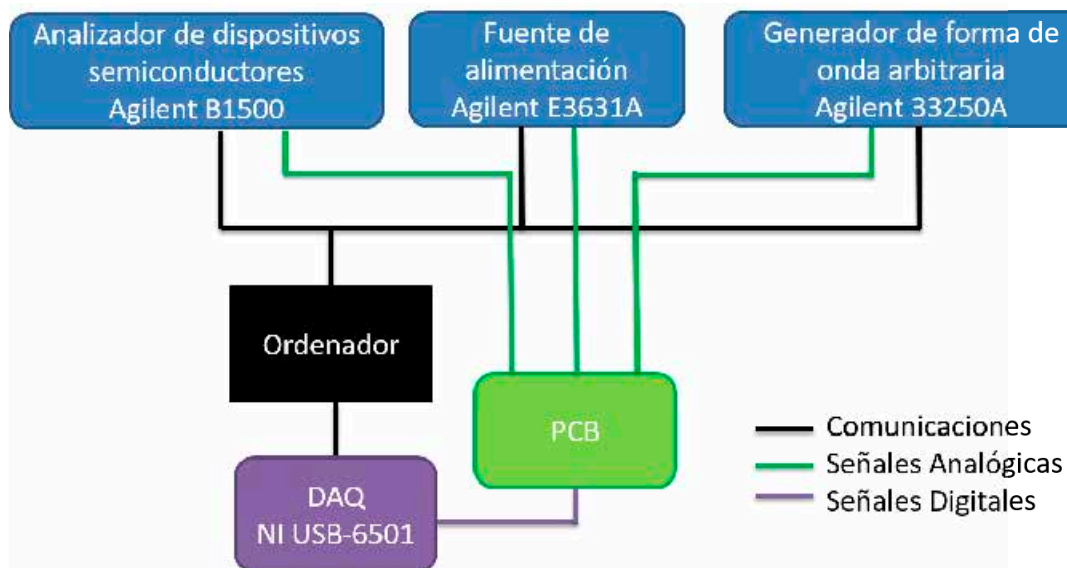


Figura 4-20. Bancada para la realización de experimentos sobre la matriz de bloques básicos.

durante el experimento a realizar. Por su parte, la comunicación del PC con el analizador de dispositivos semiconductores (Agilent B1500), permite la gestión de las señales analógicas, esto es, aplicar las condiciones de estrés seleccionadas para el test, así como también medir las señales de salida correspondientes, en ambos casos, tanto en términos de tensión como de corriente. En algunas ocasiones, para estresar los dispositivos, el abanico de estímulos que puede proporcionar el analizador B1500 para fijar las condiciones de estrés no es suficiente, sobre todo, cuando se quieren realizar estreses con señales AC de cierta frecuencia. En estos casos, estas señales son aplicadas desde un generador de ondas arbitrario (Agilent 33250A), controlando también dicho equipo desde el ordenador mediante instrucciones enviadas a través del BUS GPIB.

Tanto para aplicar un estímulo en el chip como para realizar una medida con el analizador B1500, se emplean las unidades de fuente/medida o SMUs (*Source/Measurement Unit*), las cuales utilizan un conector triaxial para conectarse a la PCB. Estas unidades permiten o bien fijar una tensión y medir una corriente o, al contrario, fijar una corriente y medir una tensión. Además, con los SMUs es posible realizar conexiones del tipo *Force & Sense*, por lo que pueden compensarse las pérdidas óhmicas internas al chip. Esto es muy interesante ya que, para los estudios de degradación, y sobre todo si se van a tener en cuenta los cambios sobre las condiciones de estrés para considerar el *link* bidireccional, es muy importante ser precisos a la hora de conocer y aplicar unas condiciones de estrés determinadas.

Una última consideración a tener en cuenta es que, al esquema de la Figura 4-20, es posible incluirle un elemento adicional controlable por GPIB como la Thermonics T-2420, añadiendo así la posibilidad de realizar medidas donde las condiciones de estrés no cambien sólo en términos eléctricos sino también de temperatura. Sin embargo, este equipo no ha sido incluido en la descripción de este apartado ya que todo el estudio realizado y presentado en esta tesis se ha realizado a temperatura constante, fijando la temperatura ambiente de la habitación.

4.5.3. PCB diseñada para las medidas sobre la matriz analógica.

El esquema conceptual de la PCB utilizada en la realización de medidas sobre la matriz de bloques básicos se muestra en la Figura 4-21. El elemento central de la placa es un zócalo de fuerza cero para encapsulados del tipo JLCC68 que permite la inserción del chip KIPT. El resto de elementos presentes en la placa permiten la interacción práctica con los diferentes pines del chip que se emplean en la matriz de bloques básicos y que fueron mostrados en la Figura 4-5 de este capítulo.

La PCB recibe la alimentación externa a través de los conectores indicados como VDDA y GND. La tensión proporcionada por la fuente de alimentación (5V) es adaptada mediante una serie de reguladores a los diferentes dominios de tensión del chip KIPT para su polarización. Por otro lado, se incluye un conector de 32 pines (32-pin IDC connector) que sirve de entrada a las señales digitales provenientes de la DAQ. Unidos a este conector, se encuentran una serie de módulos ADUM140E0BRZ. Estos módulos son aisladores digitales que regeneran las señales provenientes de la DAQ (que comparte una tierra ruidosa con el ordenador) convirtiéndolas en señales con la misma tierra que la PCB y el resto del montaje del laboratorio y, además, adaptando los niveles de tensión a los empleados por el chip (de 5V a los 2.5V que se emplean en las señales digitales que se

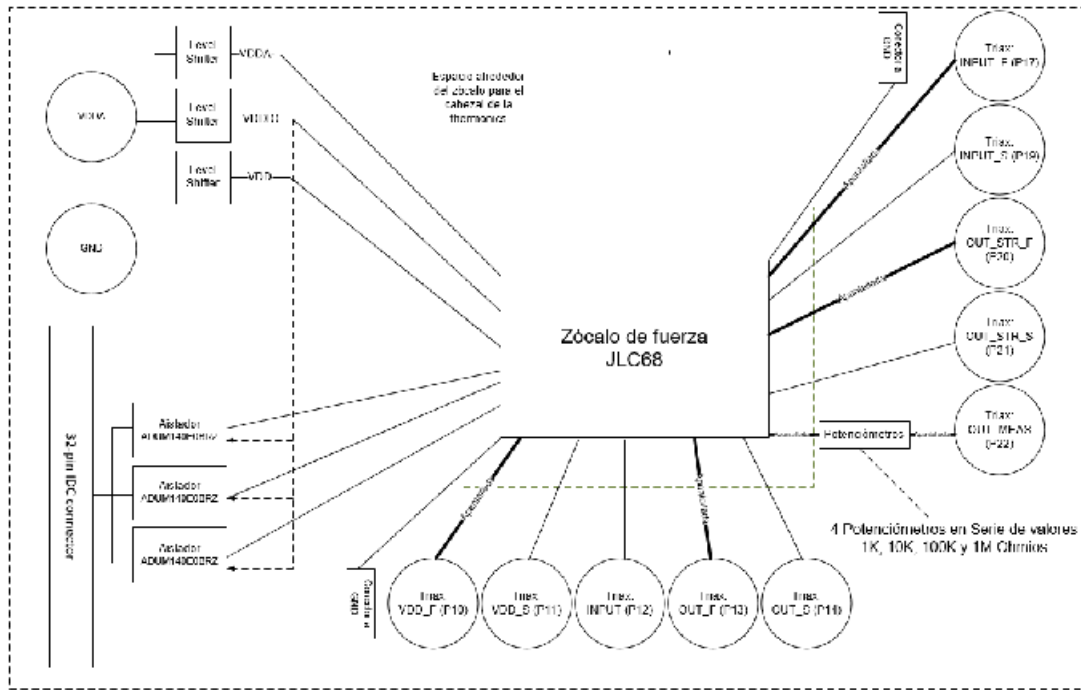


Figura 4-21. Esquema conceptual de la PCB de la matriz de bloques básicos.

aplican al anillo de *pads*). De esta forma, se hacen llegar al chip todas las señales digitales de control para la selección de las *Unity Cells*, la gestión de las llaves de transmisión y la señal de *reset* general.

Para acceder a los pines de cada una de las señales analógicas empleadas, la PCB incluye un conector triaxial. Además, aquellas pistas que sean susceptibles de conducir una corriente relevante, esto es, normalmente aquellas pistas que van a los pines “*Force*” de las conexiones *Force & Sense*, se encuentran apantalladas para reducir el ruido y la interferencia electromagnética de dichas líneas. El resto de líneas serán las líneas de *Sense* y aquellas que se conectarán internamente a los terminales de puerta de los transistores, por lo que la corriente que circula por ellas puede considerarse despreciable y no necesitan dicho apantallamiento. Al igual que en el anillo de *pads*, los conectores que van a pines que utilizan conexiones del tipo *Force & Sense*, se indican con la correspondiente etiqueta XXX_F y XXX_S.

No existe un conector, pin, *pad* y línea interna al chip, por cada señal utilizada y cada tipo de CUT empleado. Estas líneas han sido “agrupadas” y son compartidas entre diferentes dispositivos conforme al tipo de señales que circularan por ellas. Concretamente, el criterio principal considerado ha sido la magnitud de las corrientes que circulan por las mismas. Básicamente, los espejos de corriente emplean unos conectores y el resto de dispositivos emplean el resto, salvo los amplificadores que utilizan una de las líneas “*Sense*” de los espejos (para la entrada adicional de la etapa). La Tabla 4-7 muestra los conectores/pines/*pads* empleados por cada tipo de dispositivo. El conector OUT_MEAS de la PCB se conecta al pin homónimo del chip, pero lo hace a través de una serie de potenciómetros ajustables. Esta salida será utilizada cuando quieran realizarse experimentos sobre los espejos de corriente en los que se desee que la salida de estos se encuentre conectada a una carga lineal, con el objetivo de hacerlo operar de una forma

similar a como podría operar en la realidad. En la Figura 4-22 se muestra una fotografía de la PCB descrita.

Tabla 4-7. Conexiones/Pines/Pads de los diferentes dispositivos de la matriz de bloques básicos.

Dispositivo	Conectores/Pins/Pads
Transistores individuales	VDD_F, VDD_S, INPUT, OUT_F, OUT_S
Inversores	VDD_F, VDD_S, INPUT, OUT_F, OUT_S
Espejos de corriente	INPUT_F, INPUT_S, OUT_STR_F, OUT_STR_S, OUT_MEAS
Amplificadores	VDD_F, VDD_S, INPUT, OUT_F, OUT_S, INPUT_S

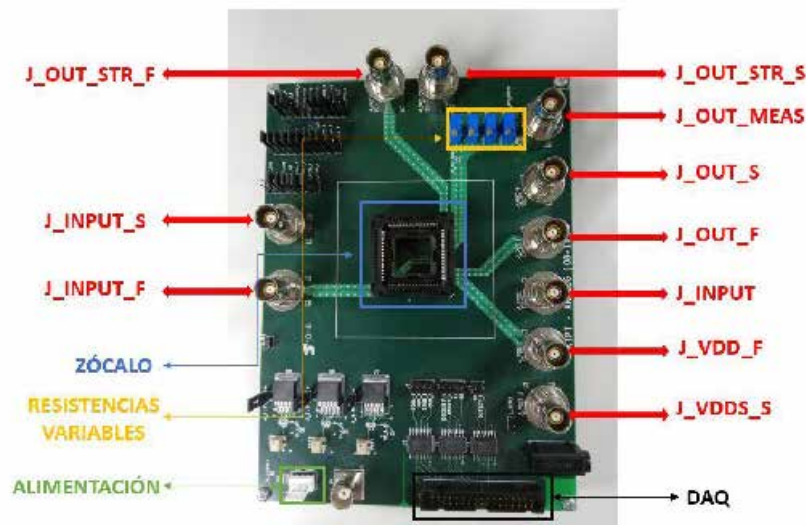


Figura 4-22. Fotografía de la PCB para la experimentación con la matriz de bloques básicos del chip KIPT.

4.6. Conclusiones del capítulo.

En este capítulo se ha descrito la arquitectura de KIPT, un chip que ha sido diseñado y fabricado para realizar experimentos que permitan estudiar el impacto de la variabilidad a nivel de circuito. Lidar con la naturaleza estocástica de la TZV y de la TDV lleva al empleo de modelos estocásticos y a la necesidad de realizar medidas o experimentos de forma masiva. Esto implica que no bastará con realizar experimentos que caractericen distintas condiciones de operación y dimensionamientos de los circuitos, sino que, será necesario repetir varios experimentos sobre un mismo diseño de circuito a unas mismas condiciones para estudiar la estocasticidad.

En este sentido, los circuitos que se estudiarán en esta tesis forman parte de una matriz heterogénea de bloques básicos del chip KIPT. La arquitectura matricial junto a la lógica de selección y el control de acceso a los terminales empleando llaves de transmisión, permiten llevar a cabo los experimentos masivos de forma eficiente. Esto, sumado al montaje de laboratorio presentado, con el uso de la PCB y del analizador de dispositivos que permite establecer las condiciones de estrés de los circuitos de forma precisa, empleando cuando es necesario conexiones del tipo *Force and Sense*, ofrecen el entorno necesario para implementar los experimentos realizados. Las medidas y resultados de estos experimentos serán presentados en los próximos capítulos para los inversores, espejos de corriente y etapas amplificadoras respectivamente.

Capítulo 5: Inversores.

5.1. Introducción.

En este capítulo se presentan las medidas realizadas y los resultados obtenidos sobre los CUTs de tipo inversor incluidos en la matriz de bloques básicos de KIPT. El apartado 5.2 describe el tipo de experimentos realizados, esto es, las prestaciones y parámetros que se van a observar antes y después del envejecimiento del circuito y la forma en la que éstos se miden experimentalmente. Posteriormente, se presentan los diferentes procesos de degradación o envejecimiento a los que se someten los CUTs, es decir, se presentan las condiciones de estrés a las que han sido sometidos los dispositivos. Los distintos resultados obtenidos de los experimentos realizados son presentados en el apartado 5.3. Finalmente, el apartado 5.4 recoge las conclusiones del capítulo.

5.2. Medidas realizadas.

La descripción de las medidas realizadas en este apartado se presenta tanto a nivel conceptual como técnico. Las características y la gestión de las *Unity Cell*, de tipo inversor han sido descritas en el apartado 4.4.2 del capítulo anterior, mientras que la Tabla 4-3 recoge los distintos tipos y dimensionamientos de este tipo de CUT.

El proceso completo del experimento o medida realizada sobre los CUTs sigue un esquema como el mostrado en la Figura 4-3. Para el caso particular de los inversores, este flujo se especifica de la forma que se muestra en la Figura 5-1.

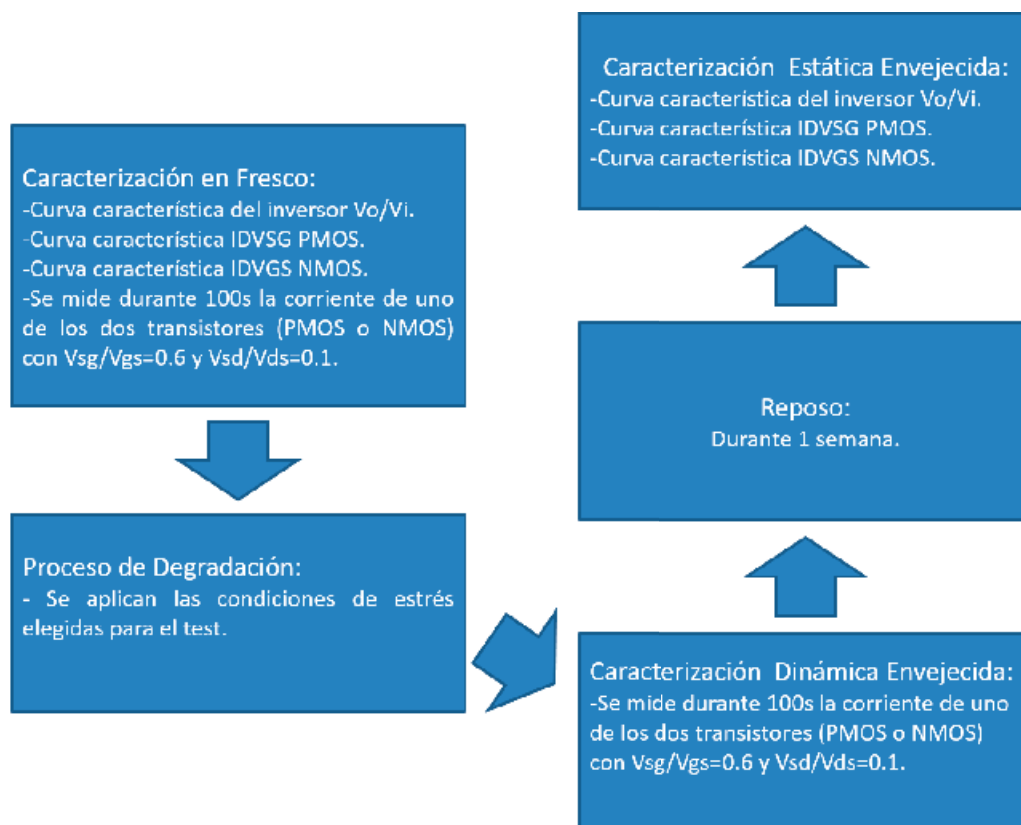


Figura 5-1. Proceso de medida completo de un CUT tipo inversor.

5.2.1. Medidas de caracterización.

En primer lugar, se presentarán las medidas de caracterización estática que, como se comentó en el 4.2, se realizan para evaluar el daño o degradación permanente de los dispositivos y se corresponden con situaciones donde la medida de las prestaciones o parámetros se realizan en condiciones estáticas o cuasi-estáticas, donde no hay (o no se esperan) cambios en el número de cargas atrapadas por los defectos de la interfaz. Posteriormente, se explica la caracterización dinámica llevada a cabo. En este tipo de caracterización se pretende observar la evolución de la prestación o parámetro medido con la dinámica de los defectos, es decir, como cambia ésta según se producen fenómenos de captura o emisión de carga en la interfaz del dispositivo. Por su parte, la caracterización en fresco se lleva a cabo realizando las mismas medidas que en ambos tipos de caracterizaciones envejecidas, pero sobre los CUTs en fresco (para tener una referencia y poder evaluar la degradación), aunque en este caso lo interesante es el valor promedio de la corriente en fresco (será la referencia).

5.2.1.1. Caracterización estática a nivel de circuito: márgenes de ruido.

Los márgenes de ruido del inversor han sido escogidos como la principal prestación para evaluar la degradación en los inversores. El procedimiento llevado a cabo para determinarlos consiste en realizar una medida de la curva característica de la tensión de salida en función de la tensión de entrada (V_{OUTPUT}/V_{INPUT}). Ésta se lleva a cabo realizando un barrido estático DC en la tensión de entrada mientras se mide la tensión en el terminal de salida y se fuerza en éste una corriente de valor cero (obteniendo la característica ideal para una salida de alta impedancia), todo ello polarizando el circuito con la tensión nominal de operación, en este caso 1.2V. La Figura 5-2 muestra el esquema empleado para realizar esta medida.

Una vez obtenida esta curva característica, es posible procesar los datos para obtener una serie de valores máximos y mínimos de tensión con relación a los valores lógicos '0' y '1', tanto en la entrada como en la salida del dispositivo, los cuales permiten determinar los márgenes de ruido. Tal como se ilustra en la Figura 5-4, estos valores se obtienen teóricamente a partir de los puntos de la curva característica V_{OUTPUT}/V_{INPUT} en los cuales la pendiente de la curva toma un valor de -1 (o lo que es lo mismo, donde para la ganancia en pequeña señal de V_{OUTPUT}/V_{INPUT} se obtiene dicho valor). A partir de estos valores (V_{OH} , V_{IH} , V_{IL} , y V_{OL}), el cálculo de los márgenes de ruido alto (NMH) y bajo (NML) es inmediato siguiendo las expresiones que se muestran en dicha figura.

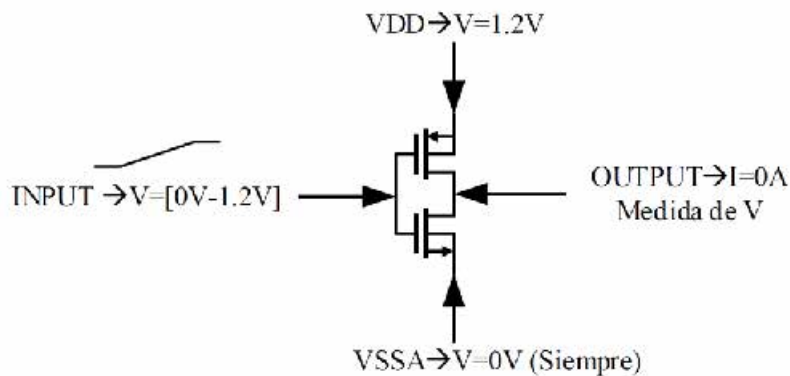


Figura 5-2. Esquema de caracterización de las prestaciones de los CUTs tipo inversor.

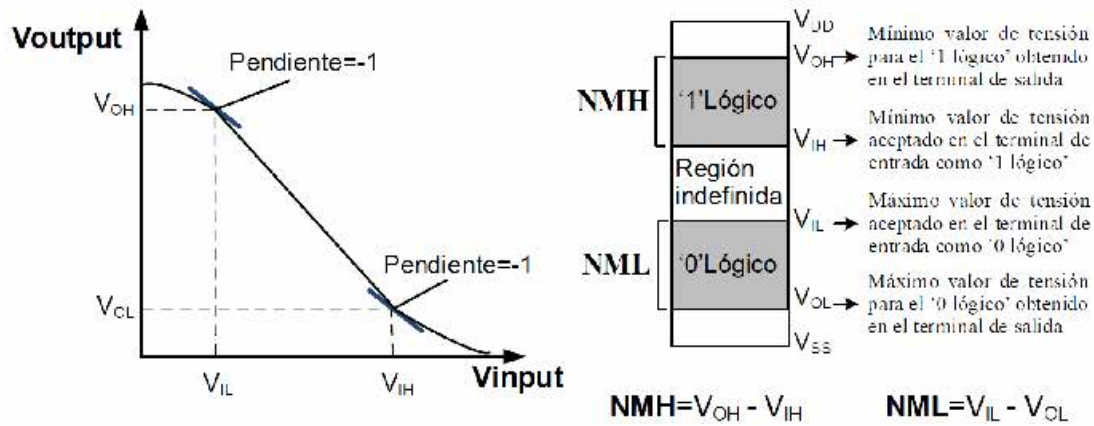


Figura 5-4. Definición de los márgenes de ruido de un inversor.

Por un lado, puede considerarse que es importante que un diseño nominal óptimo esté balanceado, de forma que el inversor sea robusto y tenga sus márgenes de ruido balanceados, con un valor similar tanto para el nivel lógico bajo como el alto. Por esta razón, se busca que la curva característica sea aproximadamente simétrica y, por tanto, tal como se muestra en la Figura 5-3, es de esperar que un diseño nominal óptimo dé como resultado, para una entrada igual a la mitad del rango de polarización, esto es, $V_{DD}/2$, una salida del mismo valor. Por otro lado, aunque la degradación de los inversores debido al impacto de la variabilidad se estudiará en detalle en el apartado de resultados, evidentemente uno de los efectos esperados de la degradación es que se produzcan cambios en la curva característica V_{OUTPUT}/V_{INPUT} de los inversores. En la Figura 5-3 se muestran además del diseño ideal y del diseño nominal óptimo, varios circuitos del mismo diseño afectados por el impacto de la variabilidad. En esta representación se muestran sin pérdida de generalidad varios posibles resultados. Lo que se quiere hacer destacar aquí es que, en estos diseños, la simetría comentada con respecto al rango de polarización se pierde. Por tanto, se ha considerado interesante caracterizar cómo afecta la variabilidad a este punto característico de diseño, idealmente $V_{INPUT} = V_{OUTPUT} = V_{DD}/2$. Como

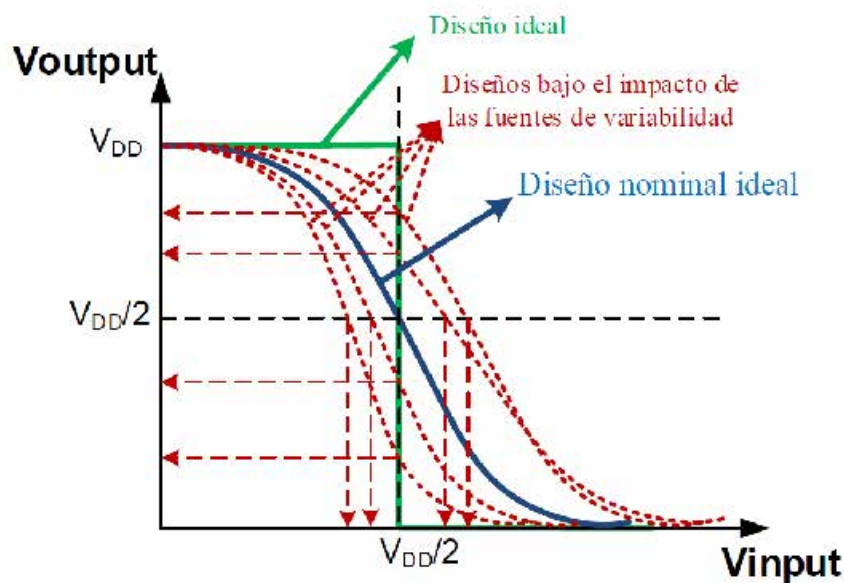


Figura 5-3. Curva característica del diseño nominal óptimo de un inversor y diseños afectados por la variabilidad.

incluso sobre las medidas en fresco, los diseños ya están afectados por la TZV, en general se tendrá que $V_{INPUT}(V_{OUTPUT} = V_{DD}/2) \neq V_{DD}/2$ y que $V_{OUTPUT}(V_{INPUT} = V_{DD}/2) \neq V_{DD}/2$. Por tanto, la forma en la que en las medidas realizadas se observará y caracterizará el desplazamiento de este punto característico consistirá concretamente en medir dos valores: por un lado, el valor de entrada para el cual el valor de salida vale $V_{DD}/2$, es decir, $V_{INPUT}(V_{OUTPUT} = V_{DD}/2)$ y el valor de la salida cuando se aplica a la entrada un valor de $V_{DD}/2$, o lo que es lo mismo, $V_{OUTPUT}(V_{INPUT} = V_{DD}/2)$. Respecto a la forma de medirlos en el laboratorio, nótese que ambos puntos pueden ser extraídos de la curva característica V_{OUTPUT}/V_{INPUT} .

5.2.1.2. Caracterización estática a nivel de dispositivo: curvas características IDVSG e IDVGS.

Además de caracterizar los inversores a nivel de circuito, se ha decidido también llevar a cabo una caracterización estática sobre los transistores de cada CUT individualmente. Para ello, debido a la topología del inversor, es posible realizar la caracterización de una curva característica que representa la corriente de drenador (en el sentido fuente-drenador para PMOS y drenador-fuente para NMOS) en función de un barrido de tensión DC que se aplica sobre el terminal de puerta del transistor que, por consiguiente, cambia la caída de tensión entre los terminales de puerta y fuente. La nomenclatura empleada en esta tesis para estas curvas será de IDVGS para el transistor NMOS y de IDVSG para el PMOS. La Figura 5-5 muestra el esquema empleado para llevar a cabo dicha caracterización. Si de dispositivos individuales se tratase, la realización de una curva IDVGS/IDVSG es inmediata si se aplica un barrido estático de tensión en el terminal de puerta mientras se mantiene una tensión fija entre drenador y fuente, en el caso mostrado de 0.1 V. Para poder llevar a cabo estas medidas en el caso del inversor, la estrategia consiste en “anular” el transistor sobre el que no se va a realizar la IDVGS/IDVSG, al mismo tiempo que se realiza una acción equivalente en el otro transistor, esto es, un barrido DC V_{GS} (NMOS) o V_{SG} (PMOS) al tiempo que se mantiene una V_{DS} (NMOS) o V_{SD} (PMOS) fija. En el caso de querer caracterizar la IDVGS del transistor NMOS, para que en el transistor PMOS no circule corriente, se aplica la misma tensión en los terminales VDD y OUTPUT del inversor, de forma que la tensión V_{SD} del transistor PMOS sea siempre 0 y, por tanto, no

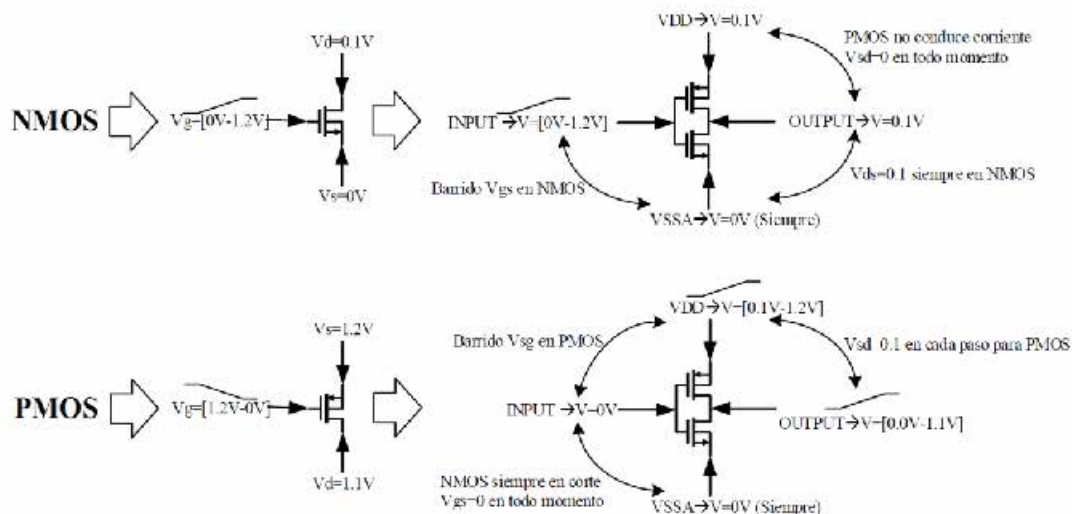


Figura 5-5. Esquema empleado para caracterizar las curvas IDVGS e IDVSG de los transistores individuales NMOS y PMOS del inversor.

sea posible la circulación de corriente a través de dicho transistor. Al mismo tiempo, el barrido se hace directamente por el terminal de puerta mientras la tensión V_{DS} del transistor NMOS se mantiene fija al valor deseado, en este caso 0.1V. Si se quiere caracterizar el transistor PMOS, el esquema es un poco más complejo, ya que es necesario realizar un barrido simultáneo en dos terminales, algo que es perfectamente posible técnicamente empleando el analizador de dispositivos semiconductores B1500. En el terminal de entrada del inversor se aplica siempre una señal de 0V; esto corta inmediatamente el transistor NMOS ya que su V_{GS} permanecerá siempre a 0V. En el transistor PMOS, para llevar a cabo un barrido en V_{SG} , al mantenerse su V_G siempre a 0, será necesario aplicar el barrido de tensión en el terminal de fuente. Para mantener siempre, en cada punto de tensión barrido una tensión V_{SD} fija (en este caso de 0.1V) es necesario realizar un barrido simultáneo al llevado a cabo en el terminal VDD del inversor (V_S del transistor PMOS), en el terminal de salida del inversor (V_D del transistor PMOS), manteniendo siempre una diferencia fija en la tensión aplicada en el barrido llevado a cabo en estos terminales, tal como se muestra en la Figura 5-5.

En definitiva y siguiendo el esquema de la Tabla 5-1, tanto en el primer como en el último paso de dicho esquema, para la caracterización del circuito tanto en fresco como envejecido y tras el reposo, se llevarán a cabo las tres medidas descritas, una curva característica V_{OUTPUT}/V_{INPUT} sobre el inversor, de la que también se extraerán los valores de $V_{OUTPUT}(V_{INPUT} = V_{DD}/2)$ y $V_{INPUT}(V_{OUTPUT} = V_{DD}/2)$, una curva característica IDVSG sobre el transistor PMOS y una curva IDVGS sobre el transistor NMOS.

5.2.1.3. Caracterización dinámica.

En los inversores se lleva a cabo también una medida de caracterización dinámica. Como muestra el esquema de la Figura 5-1, esta medida se lleva a cabo justo después de aplicar el estrés. Para el caso de los CUTs de tipo inversor, el objetivo de esta medida es la de observar cómo evoluciona la corriente de drenador en uno de los dos transistores del inversor, dependiendo de la dinámica de los defectos (aumento de la degradación, fenómenos de recuperación, RTN, etc.). La medida se lleva a cabo para unas condiciones fijas de polarización (de V_{GS}/V_{SG} y V_{DS}/V_{SD}). Los esquemas aplicados para realizar estas medidas son los mostrados en la Figura 5-6. Puede observarse que la estrategia escogida es similar a la seguida en la caracterización estática de las curvas características IDVGS/IDVSG, esto es, la estrategia consiste en “anular” o “cortar” un transistor para que no circule corriente por él, mientras el otro transistor, que es el que desea medirse, se polariza con las tensiones deseadas. Por defecto, en las medidas llevadas a cabo de forma masiva, el tiempo que se ha medido o monitorizado la corriente es de 100 segundos justo después de pasar de condiciones de sobre-estrés a condiciones de operación nominal. Nótese que se ha optado por medir en cada experimento realizado la corriente de uno de los dos transistores en lugar de buscar una configuración de tensiones intermedia para que los dos transistores condujesen simultáneamente. También se ha descartado la opción de medir la corriente en uno de los transistores en primer lugar y posteriormente cambiar la configuración para realizar la medida sobre el otro, ya que en ambos casos las condiciones de medidas serían distintas. Uno se estaría midiendo justo al quitar el estrés, justo al inicio de la recuperación, pero el otro se empezaría a medir cuando ya han pasado 100 segundos desde que comenzó la recuperación, siendo, además, imposible saber qué fenómenos han

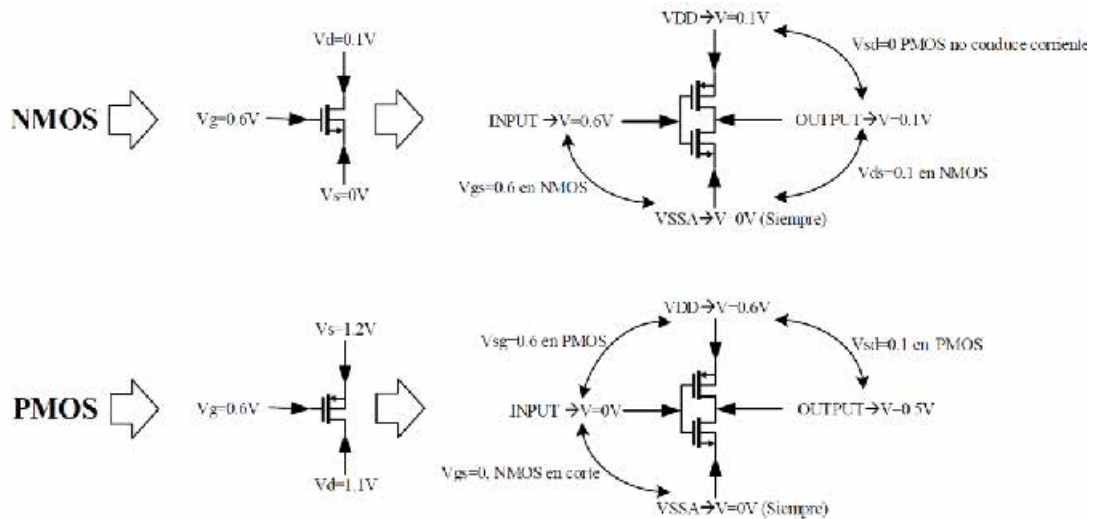


Figura 5-6. Esquema de caracterización dinámica para la medida de corriente en uno de los transistores.

ocurrido durante este tiempo para ese segundo dispositivo y, por tanto, restando valor a la posible información obtenida. Por último, se recuerda que para tener una referencia y poder evaluar la degradación, se realiza sobre los CUTs en fresco la misma medida que se vaya a realizar sobre los CUTs envejecidos.

5.2.2. Proceso de degradación del CUT.

En esta sección se van a presentar las diferentes condiciones de estrés a las que se han sometido los CUTs de tipo inversor y las razones por las que se han escogido este tipo de condiciones.

La Figura 5-7 muestra de forma esquemática las diferentes condiciones de estrés aplicadas durante los experimentos realizados. De forma general, pueden distinguirse tres dimensiones en el diseño de experimentos y debe tenerse en cuenta que se han llevado a cabo todas las combinaciones posibles, es decir, se han aplicado un total de 24 condiciones de estrés distintas en las medidas. Cabe recordar que, además, existen cinco dimensionamientos distintos de inversores, que pueden ser considerados como una dimensión adicional del diseño de experimentos, elevando el número total de tipos de test realizados sobre los inversores a 120.

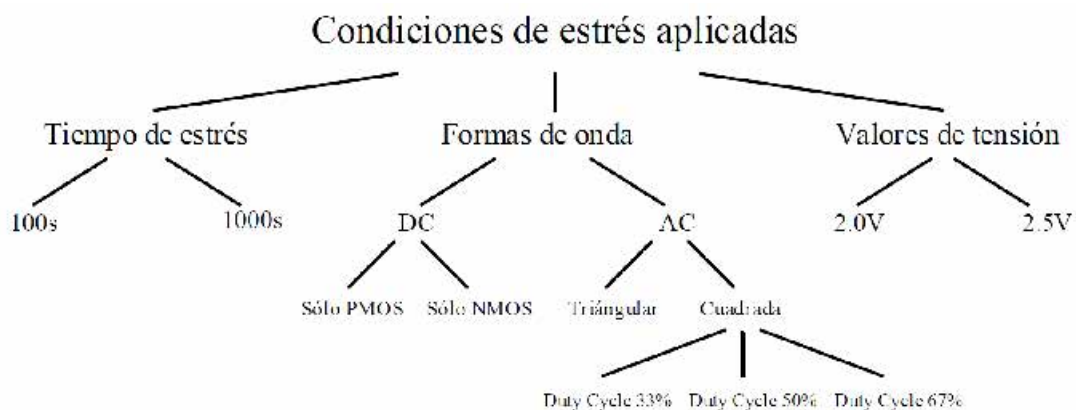


Figura 5-7. Condiciones de estrés aplicadas a los inversores en los experimentos de degradación.

Por un lado, se tiene el tiempo de estrés, esto es, el tiempo durante el cual se han aplicado las condiciones de estrés, que puede ser de 100 segundos o de 1000 segundos. Entre los dos puntos elegidos se ha aumentado una década porque los efectos del *aging* escalan temporalmente de forma logarítmica.

Otra dimensión es la de la tensión de estrés aplicada, o más bien, de sobre-estrés, ya que éstas se encuentran muy por encima de la tensión nominal de operación. En este caso, se han escogido un mínimo de 2 valores de máxima tensión de estrés para poder tener una referencia de cómo los efectos de degradación escalan con la tensión. Los valores escogidos son de $V_{stress} = 2V$ y de $V_{stress} = 2.5V$. Estos valores de tensión indican el máximo valor de tensión del circuito durante el proceso de estrés del CUT. Por ejemplo, en el caso concreto del inversor, el valor del terminal VDD se encontrará siempre a la tensión V_{stress} elegida durante este proceso. También, V_{stress} indicará el valor más alto de la forma de onda aplicada en la entrada, siendo la tensión interna del chip $VSSA = 0V$ el valor más bajo de la misma.

La tercera dimensión del diseño de experimentos a escoger sería el tipo o forma de onda de estrés aplicada. En un primer nivel de decisión se aplicarán estreses de tipo DC o AC. Cuando se aplica un estrés de tipo DC, lo que se pretende es mantener al inversor en uno de sus estados de funcionamiento, esto es, o bien se aplicará a la entrada el valor de tensión más bajo posible $VSSA = 0V$, que, por seguir un criterio de codificación, en esta tesis lo denominaremos como un '0' lógico, o se aplicará el valor de tensión más alto (V_{stress}) que se considerará como el '1' lógico en este trabajo. En cualquier caso, en el terminal de salida lo que se hará es medir la tensión e imponer un paso de corriente de salida $I=0$, de forma que el nodo de salida se encuentre en alta impedancia y el inversor funcione de forma ideal. En este sentido, obviando el efecto de la degradación de los dispositivos que puede llevar a un malfuncionamiento extremo de los CUTs, por el propio funcionamiento del inversor, el valor de tensión resultante a la salida de los CUTs será justamente el correspondiente al valor lógico contrario al que fue introducido en la entrada. La Figura 5-8 muestra el esquema de los inversores cuando se les aplican cada uno de los dos estímulos comentados. Puede observarse cómo el resultado de aplicar cada

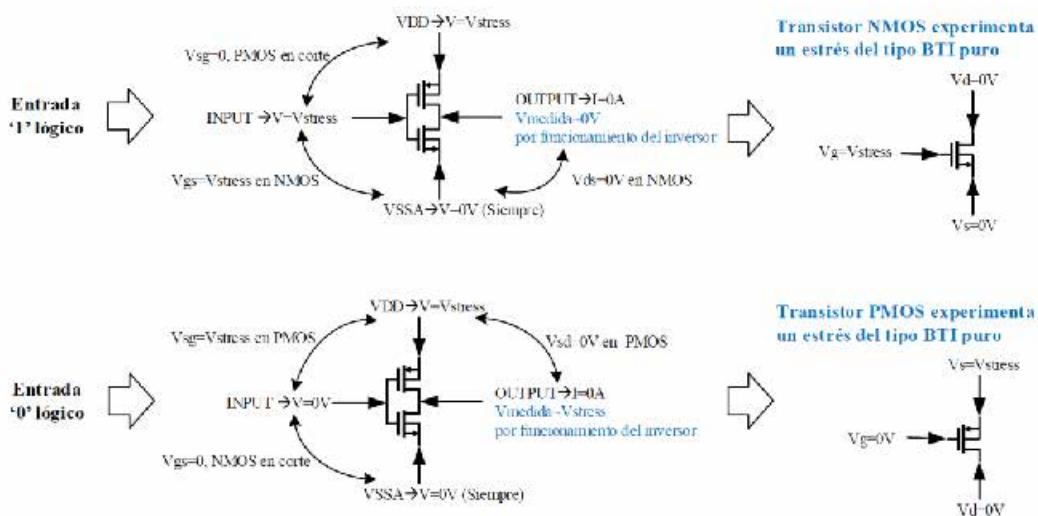


Figura 5-8. Esquema de condiciones de estrés DC aplicadas durante el proceso de degradación de los inversores.

una de las entradas mencionadas resulta finalmente en el estrés individual de uno de los dos transistores mientras el otro permanece en corte. Más concretamente, el estrés aplicado resulta en una elevada tensión V_{GS}/V_{SG} , mientras V_{DS}/V_{SD} permanece a cero. Este tipo de estrés se corresponde tal como se ha definido en esta tesis con un estrés de tipo BTI puro, al no existir conducción.

Por otro lado, los estreses AC llevados a cabo en este estudio se han realizado a una frecuencia de 1 KHz para distintas formas de onda. Este valor de frecuencia ha sido escogido ya que suponía un valor de compromiso entre diferentes aspectos como, por ejemplo, que los 5 diseños de inversor fueran capaces de procesar la señal de entrada sin modular o deformar la onda, esto es, que la respuesta dinámica de los mismos fuera suficiente, teniendo también en cuenta las impedancias de los *pads*. Entre las distintas formas de ondas aplicadas se encuentran cuatro tipos, un tren de pulsos con forma de onda triangular y tres con forma de onda cuadrada y distinto ciclo de trabajo o *duty cycle*, específicamente del 33%, 50% y 67%. A diferencia del caso de los estreses en DC, en los estreses en AC las condiciones de estrés aplicadas cambian, por lo que también lo hacen los mecanismos de degradación que afectan a los transistores del inversor. Este hecho se ilustra en la Figura 5-9. En la parte superior izquierda de la figura se muestra el esquema de estrés aplicado, donde la polarización del nodo VDD es la única tensión que permanece constante durante todo el proceso de degradación del CUT. Por su parte, la señal aplicada a la entrada se corresponde con la condición de estrés escogida mientras que, en la salida, por la propia mecánica del inversor y nuevamente obviando casos extremos de malfuncionamiento, la señal también oscilará entre los valores de tensión alto y bajo. El resto de la figura pretende ilustrar los diferentes mecanismos que están afectando a los transistores del inversor a lo largo del tiempo en función de la onda aplicada. Puede notarse que cuando el inversor se encuentra en los niveles de tensión alto y bajo (suponiendo una respuesta ideal y obviando los retrasos), los mecanismos de degradación, como cabría esperar, son los mismos a los aplicados en los estreses de DC. Un aspecto fundamental que no se debe pasar por alto es que, a diferencia del caso del estrés DC donde siempre se está estresando el mismo transistor bajo las mismas condiciones, en el caso del estrés AC, el estrés sobre ambos transistores irá alternándose. Esto significa que sobre estos transistores también aparecerán los mecanismos de recuperación. Por ejemplo, en la onda cuadrada con *duty cycle* del 50%, la mitad del tiempo aproximadamente se estará estresando con BTI puro el transistor NMOS mientras el transistor PMOS, en corte, se encontrará en recuperación. La otra mitad del tiempo aproximadamente, el transistor PMOS pasaría a estresarse al tiempo que en este caso el NMOS, ahora en corte, se estaría recuperando. Por su parte, en la transición entre los niveles lógicos alto y bajo, ambos transistores se encontrarán, en general, en un rango de tensiones intermedio, existiendo conducción y, por tanto, apareciendo además del BTI el efecto de HCI.

Para ser un poco más precisos en lo que ocurre en esta zona de transición se ha incluido la Figura 5-10. Nótese que puede estudiarse el flanco de subida o bajada de la señal de entrada indistintamente, ya que las condiciones encontradas en ambos casos son análogas. Cuanto más alto es el valor de la señal de entrada y, por tanto, más bajo el de salida, más cerca estará el transistor PMOS del corte y el NMOS de encontrarse en unas condiciones de estrés de BTI puro. Aunque coexistan en ambos transistores el efecto de BTI y HCI,

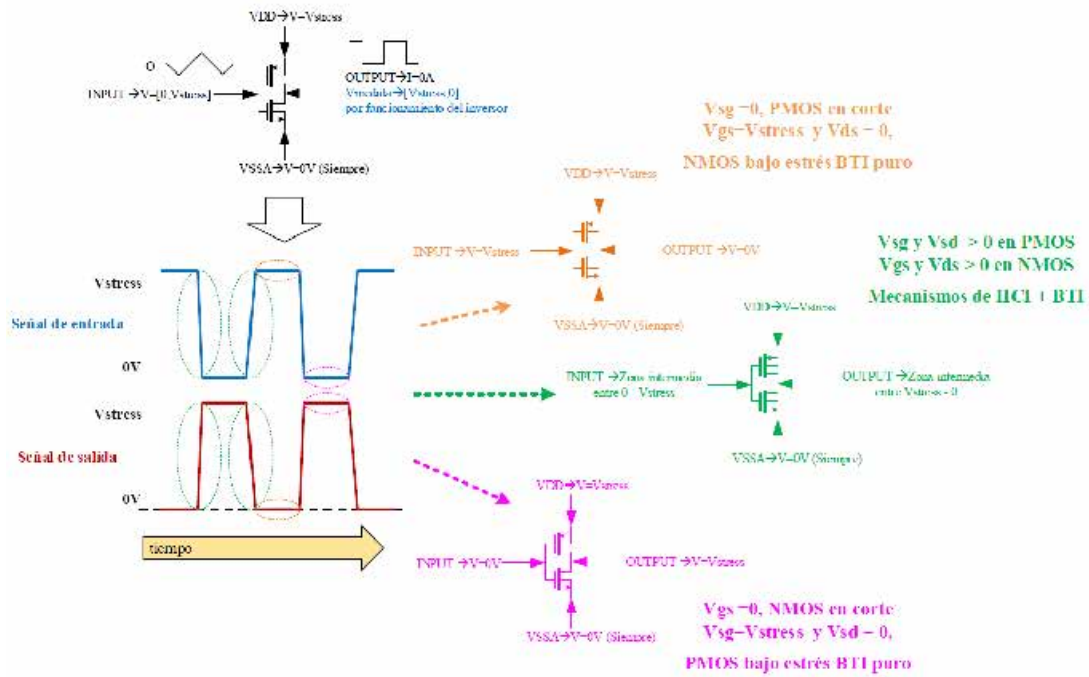


Figura 5-9. Esquema de condiciones de estrés AC aplicadas durante el proceso de degradación de los inversores.

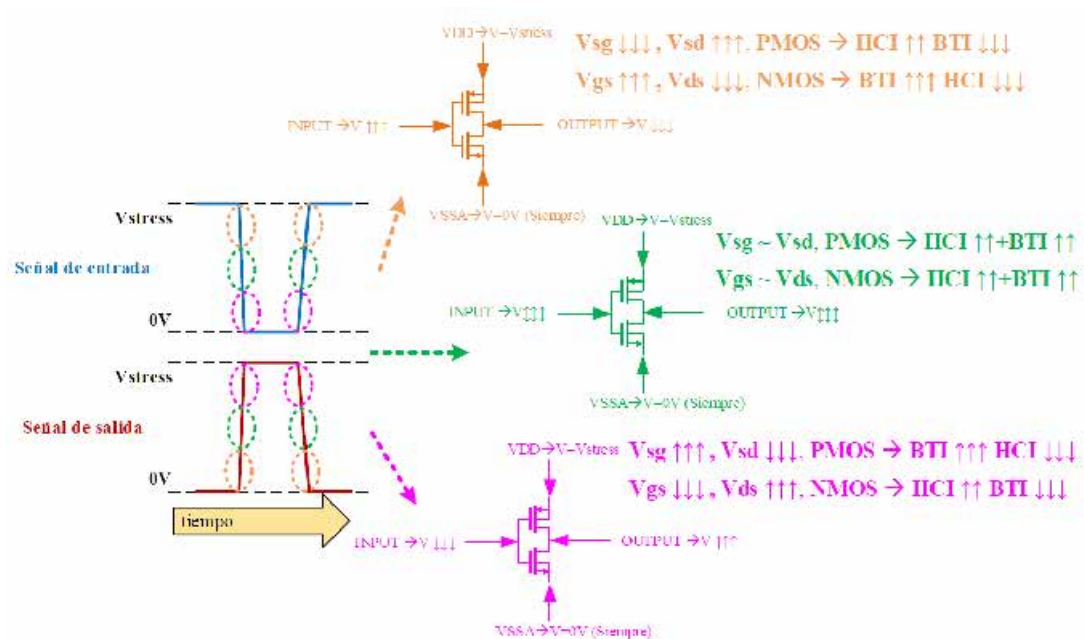


Figura 5-10. Detalle sobre las condiciones de estrés que aparecen durante las transiciones en estreses AC.

en el PMOS el efecto de BTI será en principio menor al tener una V_{SG} muy baja, siendo por tanto las condiciones de estrés favorables, aunque no las más extremas, para el efecto del HCI al tener una V_{SG} distinta de cero y una V_{SD} alta. Contrariamente, en el NMOS, la V_{DS} será baja, por lo que el efecto del HCI será menor, además, esta V_{DS} baja favorece, para este caso donde se tiene una V_{GS} alta, que el efecto de BTI sea fuerte. El caso completamente análogo, pero en sentido opuesto, se da cuando la señal de entrada tiene valores relativamente bajos y la señal de salida relativamente altos. Siguiendo los

razonamientos equivalentes en sentido inverso, se puede determinar que, para este caso, las condiciones de estrés favorecen el efecto de degradación HCI para el transistor NMOS y de BTI para el transistor PMOS. Por último, en la zona intermedia se puede asumir que el valor de V_{SG} y V_{SD} así como el de V_{GS} y V_{DS} serán similares en torno a $V_{DD}/2$. Por tanto, las condiciones de estrés propician la coexistencia de ambos efectos, aunque ninguno de ellos se encontrará con las condiciones de estrés con las que podrían producir más daño dentro del rango de tensiones posibles.

El caso no ideal en el que existe cierto retraso en la respuesta del inversor se representa en la Figura 5-11. El peor caso posible de condiciones de estrés para el transistor NMOS se daría cuando la señal de entrada ha pasado completamente del nivel lógico a baja tensión al de alta tensión, pero la señal de salida no ha comenzado a cambiar de nivel. Durante ese periodo de tiempo, el transistor PMOS se encuentra en corte por tener todos sus terminales a la tensión V_{stress} , pero el transistor NMOS está sufriendo un estrés HCI+BTI con $V_{GS} = V_{DS} = V_{stress}$. El caso análogo para el transistor PMOS se da en la circunstancia contraria, cuando la entrada ha cambiado al nivel de tensión más bajo pero la salida no ha comenzado a cambiar. En esta situación, el transistor NMOS está en corte porque todos sus terminales se encuentran a $V_{SSA}=0V$, mientras que el transistor PMOS sufre HCI+BTI con $V_{SG} = V_{SD} = V_{stress}$. En el resto del tiempo, las condiciones de estrés dan lugar a situaciones intermedias similares a las ya mencionadas en ejemplos anteriores. Durante las transiciones, dependiendo del retraso, puede darse el caso de que una de las dos señales (entrada o salida) se encuentre en un valor fijo de tensión mientras la otra cambia de nivel. En esta situación, durante la transición de la señal de entrada, uno de los transistores (NMOS o PMOS dependiendo del flanco) se encontrará bajo un estrés de BTI puro, mientras el otro se encuentra sufriendo HCI+BTI con $V_{SD}/V_{DS} = V_{stress}$. En el caso de que sea la señal de salida la que está conmutando, uno de los transistores se encontrará en corte por ser su $V_{SG}/V_{GS} = 0$, mientras el otro estará sufriendo un estrés

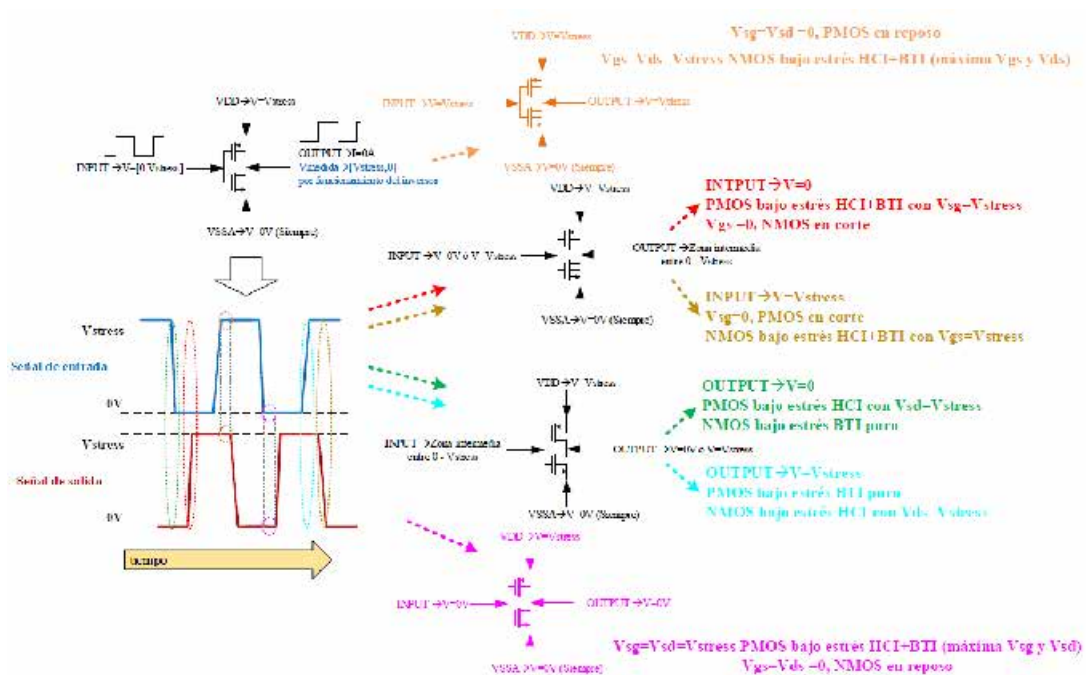


Figura 5-11. Esquema de condiciones de estrés AC cuando existe retraso en la respuesta de los inversores.

HCI+BTI con $V_{SG}/V_{GS} = V_{stress}$. Finalmente, en los intervalos donde la entrada y la salida se encuentren a niveles lógicos opuestos, tal como se comentó anteriormente, uno de los transistores se encontrará sufriendo estrés BTI puro con máxima $V_{SG}/V_{GS} = V_{stress}$, mientras el otro transistor se encuentra en corte.

Por su parte, tal como muestra la Figura 5-12, la onda triangular añade un nuevo caso de estudio algo más particular, ya que es de esperar que, si la respuesta del inversor es medianamente aceptable, la tensión en el terminal de salida se desplace relativamente rápido a los raíles de polarización. Sin embargo, el terminal de entrada, donde se aplica la señal triangular, no permanecerá en los valores lógicos alto y bajo, sino que siempre estará en la zona de transición. Por tanto, la señal de entrada pasará un tiempo relativamente alto en la zona media del rango de tensiones, generándose así nuevas situaciones de estudio donde aparecen diferentes condiciones de estrés. Particularmente, se puede esperar un efecto de HCI durante un periodo más prolongado de tiempo.

Es importante resaltar que, en todo caso, se habla de condiciones de estrés propicias para uno u otro efecto, no de efectos dominantes, ya que debe tenerse en cuenta que lo que se está razonando es sobre las condiciones de operación que favorecen la aparición de uno u otro efecto con mayor o menor intensidad. El impacto real dependerá, además de estas condiciones de estrés, de otra serie de consideraciones. Por ejemplo, debe tenerse en cuenta que el PBTI solo ha sido históricamente apreciado como un efecto a tener en cuenta en tecnologías *High-K*, por lo que afirmar que el BTI en un transistor NMOS será dominante puede no ser acertado. También es común encontrar en la literatura que el HCI suele afectar más a los transistores NMOS que PMOS, pero, en cualquier caso, el HCI tiene una importante dependencia con la longitud de canal L , por lo que, si el valor de L es alto, es posible que el efecto HCI se vuelva despreciable.

En definitiva, el abanico de las diferentes condiciones de estrés aplicadas es interesante. Por ejemplo, se pretenden evaluar aspectos como comparar la diferencia entre los estreses DC, donde no hay un intervalo de recuperación, con los estreses AC donde sí los hay, pero también aparecen las transiciones (los flancos de subida y bajada) y, por tanto, el efecto del HCI. También, en las señales AC con forma de onda cuadrada, se quieren estudiar los posibles cambios dependiendo del *duty cycle* empleado donde, cuando éste sea del 50% ambos transistores se estresarán y recuperarán el mismo tiempo, pero en los otros dos casos, uno de los dos transistores estará más tiempo estresándose/recuperándose. Una última consideración sobre los experimentos realizados

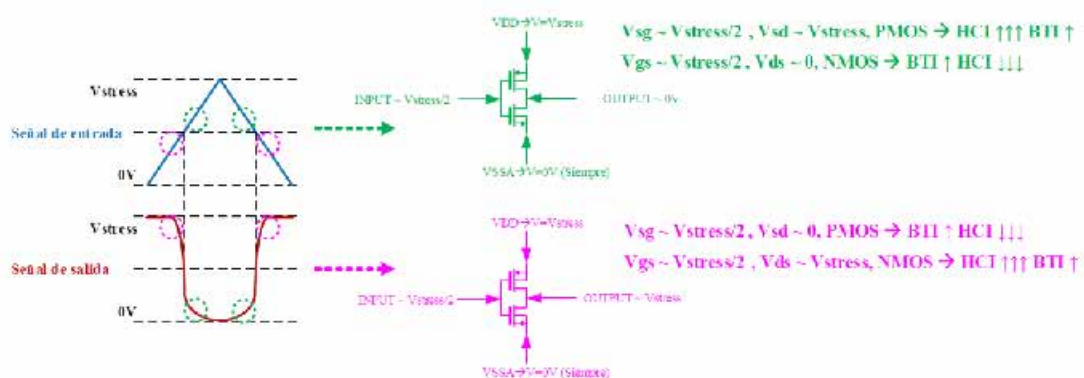


Figura 5-12. Esquema de condiciones de estrés AC cuando se aplica a la entrada una forma de onda triangular.

sobre los inversores que siguen el esquema de la Figura 5-1, es la razón por la cual se ha decidido dejar una semana de reposo antes de realizar la caracterización estática envejecida. Esta elección es nuevamente resultado de una decisión de compromiso, teniendo en cuenta que el objetivo de estas medidas es tratar de caracterizar la degradación permanente producida. Debe tenerse en cuenta que la ventana temporal de recuperación de defectos se extiende a lo largo de bastantes órdenes de magnitud, siendo, por tanto, imposible esperar en la práctica un tiempo “infinitamente largo”. En este sentido, lo que se pretende es que al menos la mayor parte o una gran parte de la posible recuperación se haya producido ya en el dispositivo en el momento de la caracterización envejecida. De esta forma, se puede asumir que casi toda o la mayor parte de la degradación observada se deberá al daño permanente. La elección concreta de una semana como tiempo de reposo se ha tomado después de realizar diferentes experimentos en el laboratorio. Se han realizado sobre un número considerable de dispositivos y de distintas condiciones de estrés, diferentes medidas de caracterización estática a lo largo del tiempo (siguiendo una escala logarítmica), tal como muestra el esquema de la Figura 5-13. Sin pérdida de generalidad, se muestra como ejemplo, en la Figura 5-14, el resultado obtenido de realizar estas medidas sobre un inversor arbitrario, aunque el resultado obtenido es similar en los diferentes dispositivos y tamaños, pudiendo variar el tipo de degradación y de recuperación según el tipo de estrés aplicado, pero pudiendo obtenerse las mismas conclusiones en todos los casos. Sin querer entrar demasiado en el detalle de los resultados obtenidos, ya que esto será objeto del próximo apartado, la figura muestra las IDVGS realizadas sobre los transistores PMOS (gráfica de arriba) y NMOS (gráfica de abajo) del inversor. En el caso del transistor NMOS, puede apreciarse que desde un principio apenas se produce recuperación o ésta no es perceptible. Esto se debe a que el daño sobre el dispositivo NMOS se debe principalmente a daño por HCI y, por tanto, no presenta mecanismos de recuperación. Sin embargo, la recuperación que se produce entre la primera y la segunda medida en la IDVSG del transistor PMOS es clara. Esta recuperación existe porque los transistores PMOS sufren de BTI, existiendo claramente mecánicas de recuperación. Sin embargo, puede observarse que, entre la segunda medida, realizada entre los 10^3 y los 10^4 segundos y la tercera realizada entre los 10^4 y los 10^5 segundos ya no se aprecia recuperación o ésta es mínima. Teniendo en cuenta que 10^5 segundos se corresponden aproximadamente con unas 28 horas, esto es, poco más de un día y que a partir de aquí la recuperación observada es mínima o inapreciable, esperar una semana, tiempo que se encuentra en el siguiente orden de magnitud, parece una elección razonable. De hecho, sobre algunas medidas particulares, aunque un número más



Figura 5-13. Esquema de medidas para observar cuanto tiempo persisten los fenómenos de recuperación.

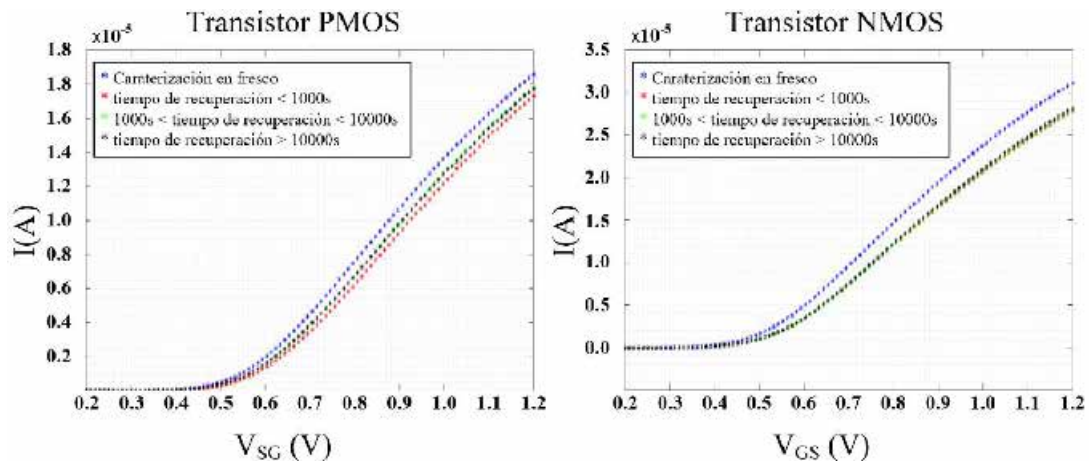


Figura 5-14. Trazas de caracterización de curvas $IDVSG$ del transistor PMOS (izquierda) e $IDVGS$ del NMOS (derecha) de un inversor en distintos instantes de tiempo.

reducido de ellas, se han repetido las medidas de caracterización a más largo plazo, a la semana, al mes o a los varios meses y en todos los casos la recuperación percibida es casi inapreciable o es muy inferior en proporción a la degradación permanente que se observa.

5.3. Resultados.

A lo largo de este apartado se presentarán los diferentes resultados obtenidos a partir de los experimentos realizados. Estos resultados se presentarán siguiendo diferentes objetivos o enfoques. En el apartado 5.3.1 se analizará cómo afecta la TZV a los CUTs. En los apartados 5.3.2 y 5.3.3, se estudiará el impacto de la TDV desde un enfoque fenomenológico y estadístico respectivamente.

5.3.1. Estudio de la TZV.

El objetivo del estudio de la TZV es doble. El aspecto principal a analizar son las distribuciones resultantes (distribución, valores promedios, dispersión) para cada una de las dimensiones. La precisión en la caracterización de las distribuciones de TZV obtenidas en este apartado es muy superior a las mostradas en los experimentos de TDV. Esto es debido a que, independientemente de la forma en que posteriormente serán degradados los dispositivos, todos se encuentran en las mismas condiciones iniciales para la caracterización en fresco, pudiendo acumular las medidas en fresco realizadas en todos los test para los resultados aquí presentados.

Sin embargo, un aspecto importante a considerar es que se han empleado distintos chips de KIPT para llevar a cabo todas las medidas. Concretamente para los resultados aquí presentados se han empleado un total de 10 chips diferentes. Por tanto, existe la posibilidad de que las distribuciones TZV de CUTs que pertenecen a chips diferentes presenten características diferentes. De ser así, sería muy importante tener en cuenta que los resultados de TDV obtenidos en cada condición pueden estar influenciados por provenir de distribuciones de TZV diferentes, sobre todo si la correlación que presenta la TZV y la TDV es alta. En definitiva, comprobar si chips distintos presentan comportamientos TZV diferentes es el otro objetivo que persigue este apartado.

A modo de ejemplo ilustrativo, la Figura 5-15 muestra la representación de todas las curvas características de un dimensionamiento del CUT de un chip. En mayor o menor medida, para todos los dimensionamientos y todos los chips empleados, las curvas

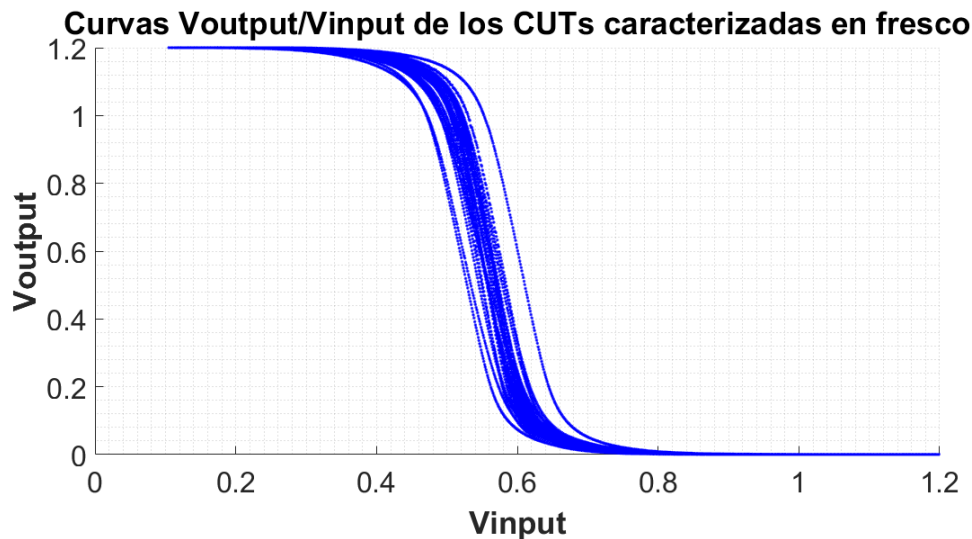


Figura 5-15. Conjunto de curvas V_{out}/V_{in} para el dimensionamiento INVS2 de un chip.

representadas presentan una distribución similar, existiendo mayor densidad de curvas entorno a una traza central y reduciéndose esta densidad de curvas conforme te alejas de dicha traza, llegando a existir incluso algunas curvas relativamente alejadas del resto.

Debe recordarse que existen 5 tamaños de inversores (Tabla 4-3). Los tamaños S1 y S2 diseñados como *buffers* y los tamaños S3, S4 y S5 que son diseños incluidos en las etapas de la matriz de ROs de KIPT. Para tener un ejemplo visual de la localización promedio, así como de la dispersión existente en estas curvas V_{OUTPUT}/V_{INPUT} en función del dimensionamiento del inversor, se muestra la Figura 5-16, donde se han representado las curvas V_{OUTPUT}/V_{INPUT} para los distintos dimensionamientos del inversor de un chip. En esta figura se aprecia que tanto la zona central de mayor densidad de trazas como la dispersión de éstas, es similar para los inversores con diseño tipo *buffer*. Por su parte, las curvas de los inversores S3, S4, y S5, si bien se distribuyen respecto a la misma zona central, presentan distinta dispersión, siendo S3 el que mayor dispersión presenta seguido de S4, siendo el conjunto de curvas que presenta menos dispersión el de S5. Este hecho es lógico si se tiene en cuenta que la longitud de los transistores va en aumento de forma significativa entre los diseños S3 y S5 y que, por lo general, un aumento de dimensiones disminuye la variabilidad.

Para abordar la cuestión sobre las posibles diferencias entre las distribuciones TZV de cada chip, en primer lugar, se muestran directamente las distintas curvas características V_{OUTPUT}/V_{INPUT} medidas para cada CUT (cada inversor) en cada chip KIPT. Si para cada dimensionamiento de los inversores (S1-S5) se representan las curvas características V_{OUTPUT}/V_{INPUT} para los 10 chips empleados, el resultado obtenido es el que se muestra en la Figura 5-17 para S1 y S2 y en la Figura 5-18 para S3, S4 y S5. Por cada chip y dimensión se han caracterizado un total de 56 CUTs. Visualmente, no se aprecian diferencias en las distribuciones medidas en fresco de los diferentes chips, o ésta queda enmascarada por la dispersión de las propias distribuciones. Para corroborar esta apreciación visual, se muestra en segundo lugar, los valores característicos (valor medio y desviación estándar) de los márgenes de ruido NML y NMH para cada chip, una vez han sido procesadas las medidas en fresco para evaluar las prestaciones. Los resultados

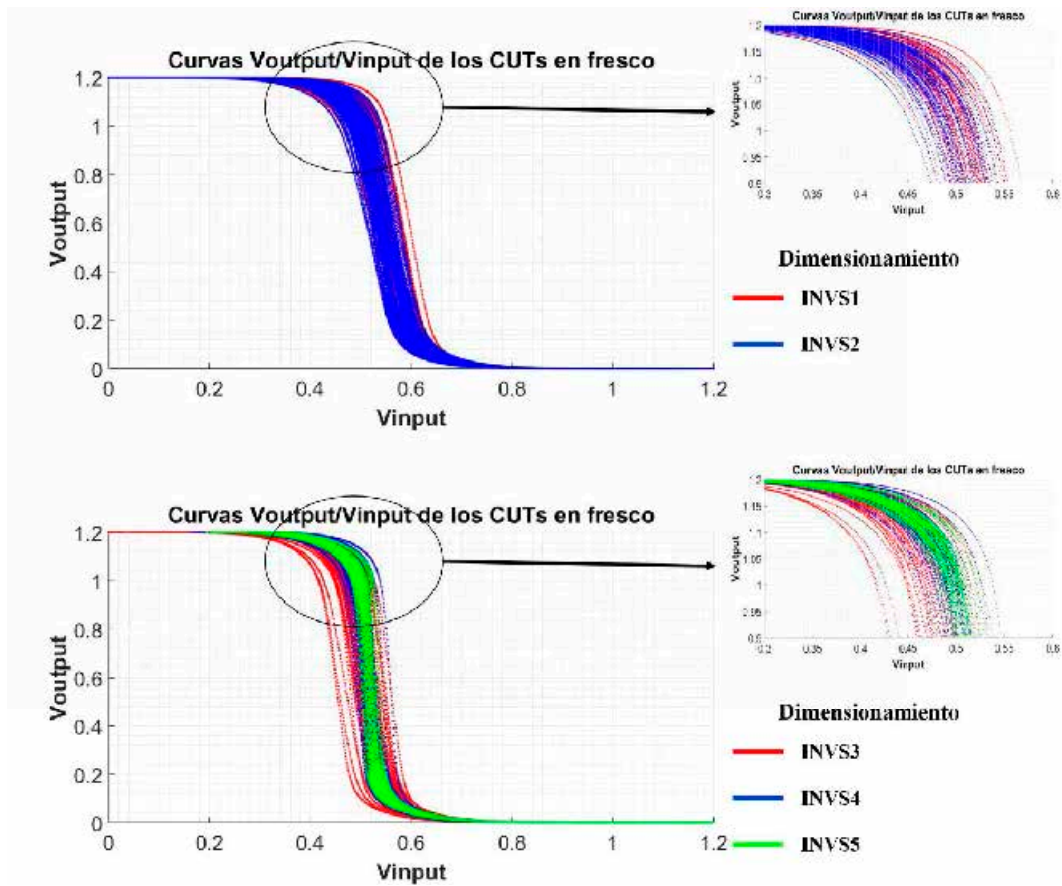


Figura 5-16. Representación de las curvas V_{output}/V_{input} de los distintos dimensionamientos de CUT para un chip KIPT.

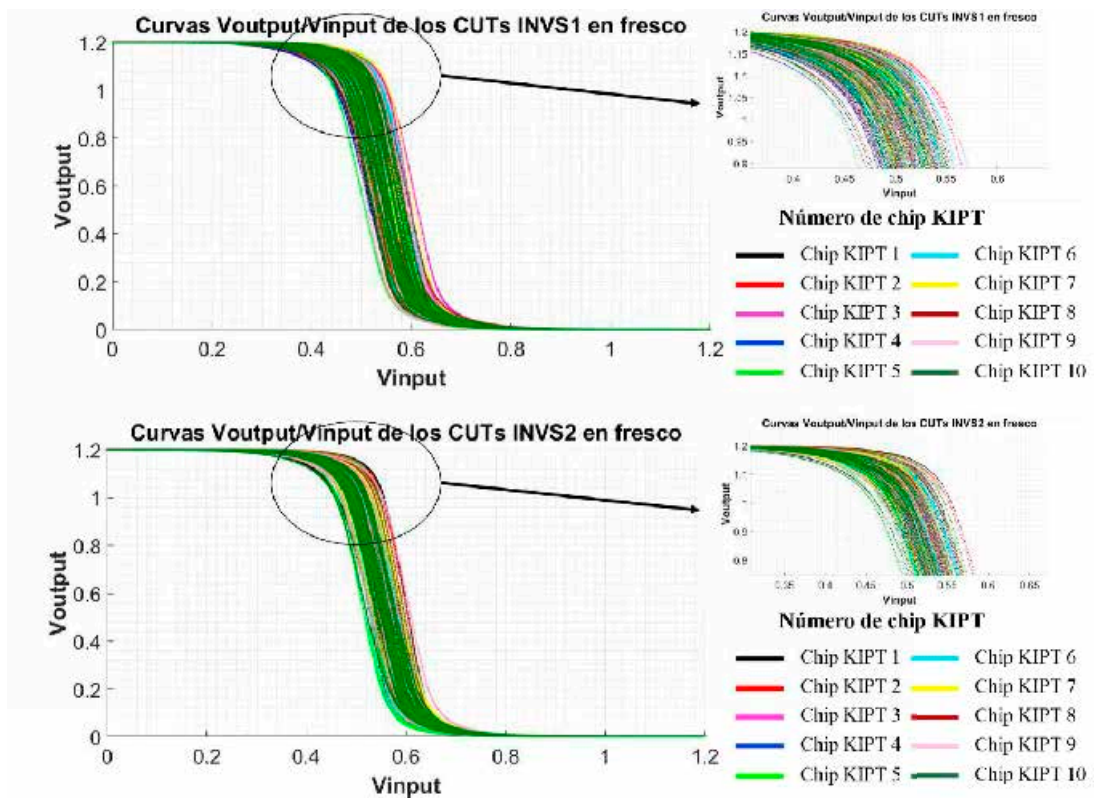


Figura 5-17. Representación de todas las curvas V_{output}/V_{input} medidas en fresco para los dimensionamientos S1 y S2.

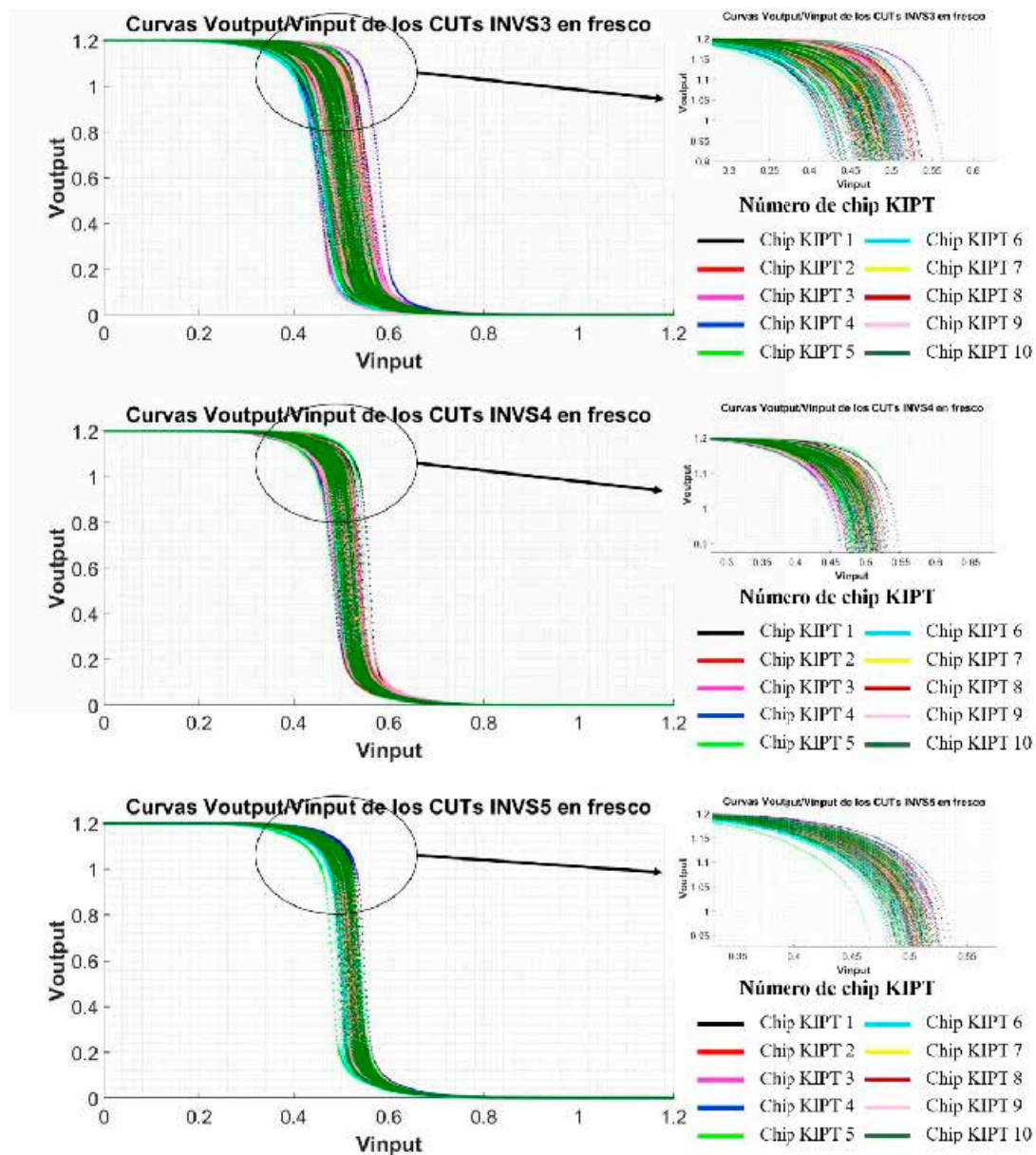


Figura 5-18. Representación de todas las curvas V_{out}/V_{in} medidas en fresco para los dimensionamientos S3, S4 y S5.

para cada dimensionamiento de S1 a S5, se recogen respectivamente de la Tabla 5-1 a la Tabla 5-5.

En dichas tablas puede observarse que tanto para NML como para NMH y para todas las dimensiones, los resultados obtenidos para los diferentes chips son muy similares. Nuevamente, parece razonable suponer que las pequeñas diferencias entre los valores promedio de las distintas distribuciones puede atribuirse a la propia dispersión de dichas distribuciones y al limitado número de muestras empleadas en cada distribución. Esto es importante ya que al menos para este tipo de dispositivos, las muestras degradadas y los resultados del impacto de TDV evaluados, pueden tratarse como si proviniesen de una misma distribución de TZV. Esto se refuerza además con otro hecho importante y es que, hasta el momento, en las medidas realizadas en el chip ENDURANCE sobre transistores individuales fabricados con la misma tecnología y con dimensiones similares, todo parece indicar que la correlación entre la TZV y la TDV es inexistente, o al menos, inapreciable

Tabla 5-1. Valores característicos de NML y NMH en cada chip KIPT para el dimensionamiento S1.

Dimensionamiento S1	NML (V)		NMH (V)	
	Valor medio	Desviación estándar	Valor medio	Desviación estándar
Muestra 1	0.3806	0.0279	0.5035	0.0205
Muestra 2	0.3882	0.0281	0.5004	0.0185
Muestra 3	0.3941	0.0222	0.4881	0.0193
Muestra 4	0.3812	0.0315	0.4961	0.0226
Muestra 5	0.3895	0.0286	0.5139	0.0228
Muestra 6	0.3887	0.0219	0.4937	0.0168
Muestra 7	0.3868	0.0269	0.4900	0.0233
Muestra 8	0.3883	0.0254	0.4990	0.0212
Muestra 9	0.3822	0.0257	0.4977	0.0224
Muestra 10	0.3817	0.0236	0.4910	0.0209

Tabla 5-2. Valores característicos de NML y NMH en cada chip KIPT para el dimensionamiento S2.

Dimensionamiento S2	NML (V)		NMH (V)	
	Valor medio	Desviación estándar	Valor medio	Desviación estándar
Muestra 1	0.3951	0.0221	0.5003	0.0158
Muestra 2	0.4007	0.0243	0.4964	0.0167
Muestra 3	0.3972	0.0206	0.4913	0.0190
Muestra 4	0.3936	0.0174	0.4961	0.0144
Muestra 5	0.3916	0.0222	0.5145	0.0152
Muestra 6	0.3943	0.0240	0.4941	0.0171
Muestra 7	0.3927	0.0228	0.4901	0.0206
Muestra 8	0.3941	0.0217	0.4998	0.0160
Muestra 9	0.3941	0.0201	0.4961	0.0163
Muestra 10	0.3828	0.0201	0.4940	0.0167

Tabla 5-3. Valores característicos de NML y NMH en cada chip KIPT para el dimensionamiento S3.

Dimensionamiento S3	NML (V)		NMH (V)	
	Valor medio	Desviación estándar	Valor medio	Desviación estándar
Muestra 1	0.3607	0.0307	0.5656	0.0235
Muestra 2	0.3710	0.0294	0.5621	0.0244
Muestra 3	0.3598	0.0351	0.5638	0.0280
Muestra 4	0.3667	0.0388	0.5588	0.0275
Muestra 5	0.3507	0.0358	0.5810	0.0254
Muestra 6	0.3602	0.0316	0.5614	0.0275
Muestra 7	0.3676	0.0265	0.5530	0.0243
Muestra 8	0.3689	0.0275	0.5668	0.0211
Muestra 9	0.3649	0.0318	0.5617	0.0270
Muestra 10	0.3521	0.0278	0.5664	0.0196

Tabla 5-4. Valores característicos de NML y NMH en cada chip KIPT para el dimensionamiento S4.

Dimensionamiento S4	NML (V)		NMH (V)	
	Valor medio	Desviación estándar	Valor medio	Desviación estándar
Muestra 1	0.3744	0.0171	0.5636	0.0166
Muestra 2	0.3658	0.0216	0.5667	0.0189
Muestra 3	0.3712	0.0208	0.5575	0.0191
Muestra 4	0.3731	0.0183	0.5563	0.0189
Muestra 5	0.3631	0.0223	0.5682	0.0162
Muestra 6	0.3707	0.0193	0.5636	0.0153
Muestra 7	0.3724	0.0170	0.5625	0.0116
Muestra 8	0.3726	0.0239	0.5628	0.0197
Muestra 9	0.3767	0.0208	0.5569	0.0243
Muestra 10	0.3722	0.0189	0.5597	0.0232

Tabla 5-5. Valores característicos de NML y NMH en cada chip KIPT para el dimensionamiento S5.

Dimensionamiento S5	NML (V)		NMH (V)	
	Valor medio	Desviación estándar	Valor medio	Desviación estándar
Muestra 1	0.3736	0.0129	0.5607	0.0127
Muestra 2	0.3693	0.0165	0.5619	0.0148
Muestra 3	0.3698	0.0183	0.5566	0.0144
Muestra 4	0.3722	0.0172	0.5571	0.0166
Muestra 5	0.3606	0.0174	0.5596	0.0223
Muestra 6	0.3715	0.0141	0.5599	0.0124
Muestra 7	0.3714	0.0136	0.5565	0.0122
Muestra 8	0.3719	0.0151	0.5607	0.0141
Muestra 9	0.374	0.0138	0.5587	0.0109
Muestra 10	0.3728	0.0151	0.5566	0.0149

con respecto a la resolución de las medidas realizadas, por lo que, de existir dicha correlación, ésta será baja.

En definitiva, el razonamiento anterior habilita la posibilidad de caracterizar la TZV de los inversores unificando todos los datos medidos para un mismo dimensionamiento de CUT en una única distribución. De esta forma, el objetivo principal de caracterizar la TZV puede ser alcanzado mostrando las distribuciones resultantes y sus valores característicos.

En este sentido, en la Tabla 5-6 se presentan los resultados obtenidos, tras el procesado de las medidas, de los márgenes de ruido NML y NMH de las distribuciones de TZV unificadas. Concretamente, en dicha tabla se representan para cada uno de los dimensionamientos del CUT, los valores promedios de NML y de NMH, así como su desviación estándar. Observando los valores de la Tabla 5-6 se puede confirmar ahora para todas las medidas en fresco de todas las muestras, los aspectos que se comentaron sobre la Figura 5-16. En este sentido, los valores promedios de las distribuciones de los dimensionamientos S1 y S2 por un lado y de S3, S4 y S5 por otro, son similares. Además,

Tabla 5-6. Valores característicos de las distribuciones unificadas de TZV de las prestaciones.

Dimensionamiento	NML (V)		NMH (V)	
	Valor medio	Desviación estándar	Valor medio	Desviación estándar
INVS1	0.3861	0.0265	0.4973	0.0220
INVS2	0.3936	0.0219	0.4972	0.0180
INVS3	0.3623	0.0321	0.5641	0.0257
INVS4	0.3712	0.0203	0.5618	0.0190
INVS5	0.3707	0.0158	0.5888	0.0148

los resultados confirman que los diseños de menor tamaño muestran una mayor dispersión. Los diseños S1 y S2 comparten la misma longitud en sus transistores ($L=60$ nm tanto para PMOS como para NMOS), pero la anchura de los transistores del diseño S2 son superiores resultando en una distribución con menos dispersión. Análogamente, los dimensionamientos S3, S4 y S5 comparten la misma anchura para sus transistores ($W=160$ nm para PMOS y $W=80$ nm para NMOS), pero la longitud de los mismos se va incrementando de S3 a S5, al mismo tiempo que se puede observar como la desviación estándar de las distribuciones se va reduciendo.

Por último, en la Figura 5-19 y la Figura 5-20 se muestran los respectivos histogramas de NML y NMH de las distribuciones de TZV unificadas correspondientes a las dimensiones S1 y S2, por un lado, y S3, S4 y S5, por otro, pudiendo confirmarse una vez más todo lo mencionado mediante esta representación gráfica.

5.3.2. Estudio fenomenológico de la degradación por envejecimiento.

Ya sea utilizando modelos o ecuaciones para el cálculo manual o empleando una herramienta de simulación, es posible observar el impacto que tiene la degradación por envejecimiento en un inversor si se considera que la degradación en los transistores que lo componen provocará principalmente una variación en la tensión umbral de los mismos. *Grosso modo*, el resultado es que el aumento de la tensión umbral (en valor absoluto) en los transistores debido a la degradación, produce principalmente un desplazamiento en la curva característica V_{OUTPUT}/V_{INPUT} . Este desplazamiento será hacia la derecha (hacia tensiones de entrada mayores) si se trata de un aumento de la tensión umbral del dispositivo NMOS y en sentido contrario si se trata de la del PMOS. La magnitud del impacto de la degradación de cada transistor, entendido como un desplazamiento de la curva característica, dependerá de la degradación que ha sufrido de forma particular el dispositivo (variación de la tensión umbral) y de otros factores como la ganancia de cada tipo de transistor. En este sentido, teniendo en cuenta que ambas contribuciones se contrarrestan, el desplazamiento neto de la curva característica dependerá de la contribución de cada uno de los transistores a dicho desplazamiento. Es decir, cuando se analice la curva característica V_{OUTPUT}/V_{INPUT} envejecida de un inversor después de la degradación, ésta se habrá desplazado en un sentido u otro con respecto a su caracterización en fresco en función de qué transistor de los que compone el inversor ha provocado un mayor impacto o desplazamiento. Si la contribución del transistor NMOS es superior, el desplazamiento será hacia la derecha y, contrariamente, si el impacto del transistor PMOS es superior, la curva se desplazará hacia la izquierda. La Figura 5-21 refleja ambas situaciones.

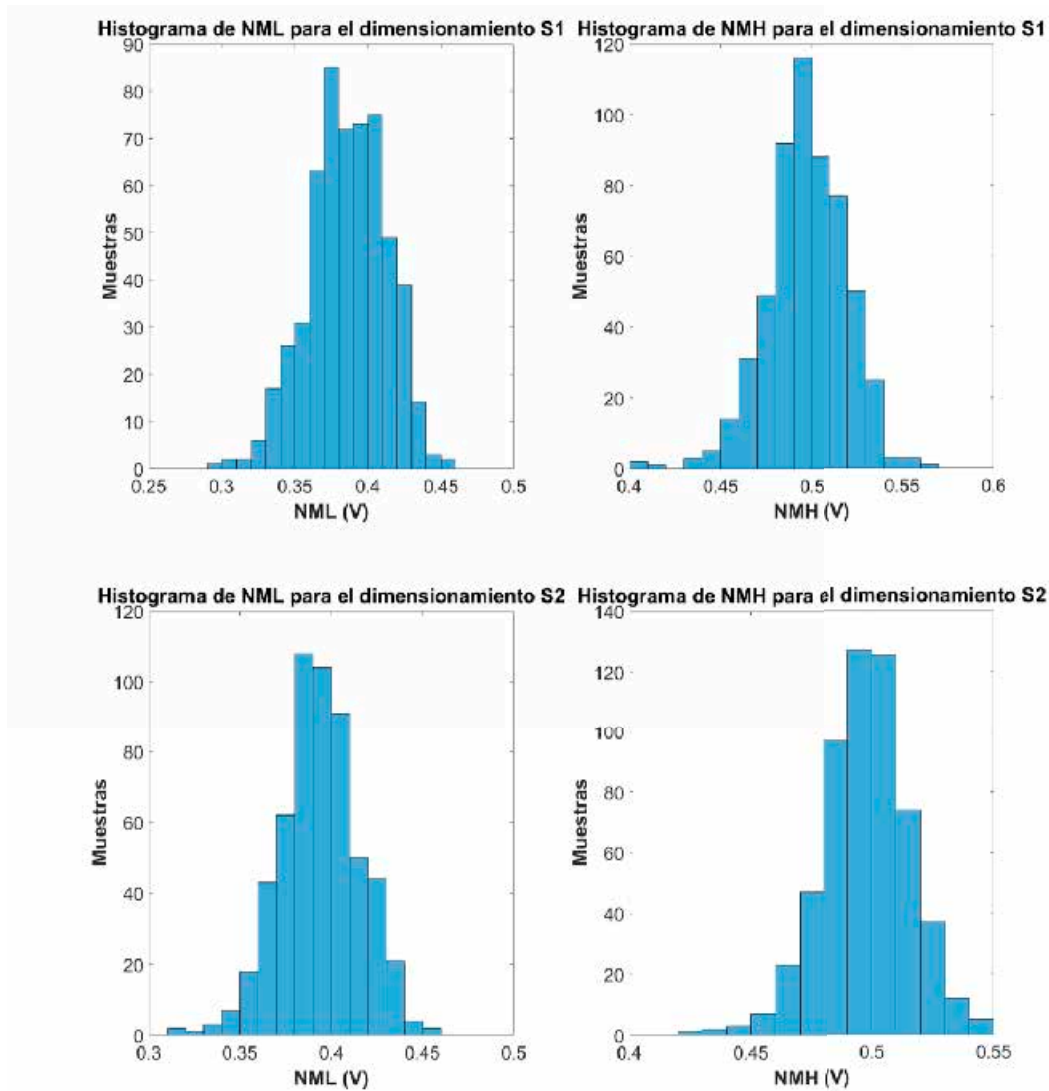
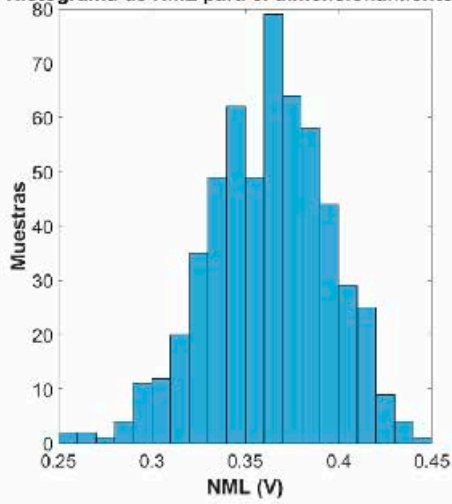


Figura 5-19. Histograma de las distribuciones en fresco de NML y NMH para los dimensionamientos S1 y S2.

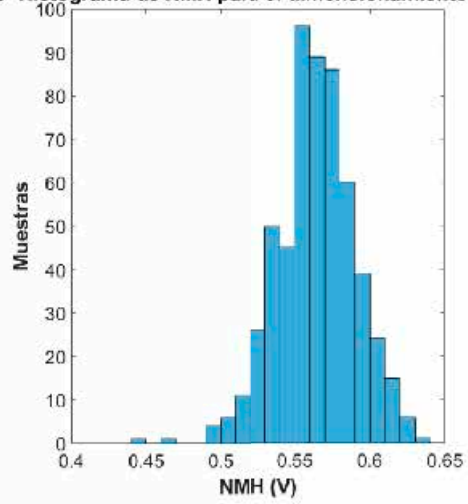
En la Figura 5-21 se ilustra también cómo se ven afectadas, en una primera aproximación conceptual, las prestaciones a partir de estos desplazamientos de la curva V_{OUTPUT}/V_{INPUT} . En el caso de que la curva característica se desplace hacia la derecha, el margen de ruido bajo NML aumentará, pero el margen de ruido alto NMH se reducirá. Además, el desplazamiento de la curva se refleja también en un aumento de la tensión de entrada necesaria para que la tensión de salida valga $V_{DD}/2$. Análogamente y en sentido opuesto, un desplazamiento de la curva característica hacia la izquierda provoca un aumento del margen de ruido alto NMH, pero una reducción en el margen de ruido bajo NML. También, evidentemente, el valor de tensión de entrada necesario para alcanzar una tensión en la salida de $V_{DD}/2$, se verá reducido.

A continuación, se analizan de forma ilustrativa, algunos ejemplos de los resultados obtenidos en las medidas realizadas para diferentes condiciones de estrés y razonar si dichos resultados son coherentes con el trabajo desarrollado a lo largo de esta tesis. En el análisis que se ha realizado al comienzo de este sub-apartado, se ha considerado como único parámetro de degradación en los transistores la tensión umbral de los mismos. La razón es que tal como se viene explicando a lo largo de la tesis, se puede asumir que dicho

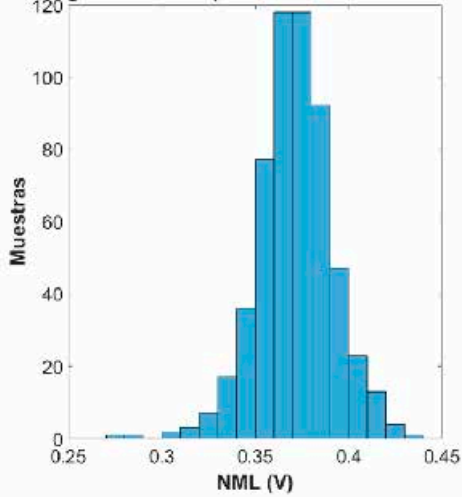
Histograma de NML para el dimensionamiento S3



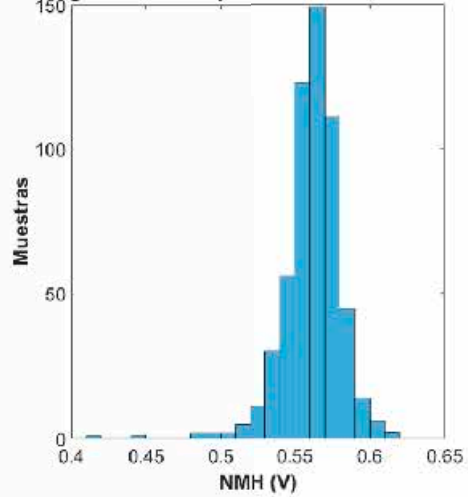
Histograma de NMH para el dimensionamiento S3



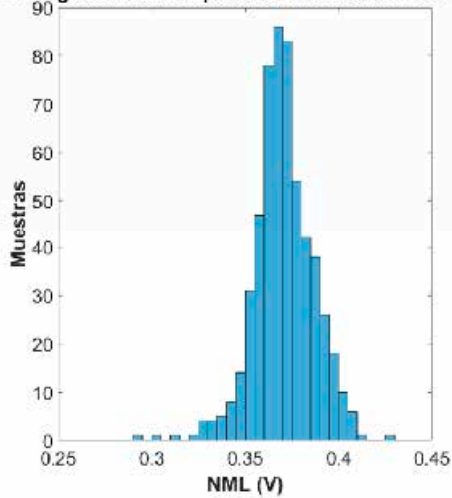
Histograma de NML para el dimensionamiento S4



Histograma de NMH para el dimensionamiento S4



Histograma de NML para el dimensionamiento S5



Histograma de NMH para el dimensionamiento S5

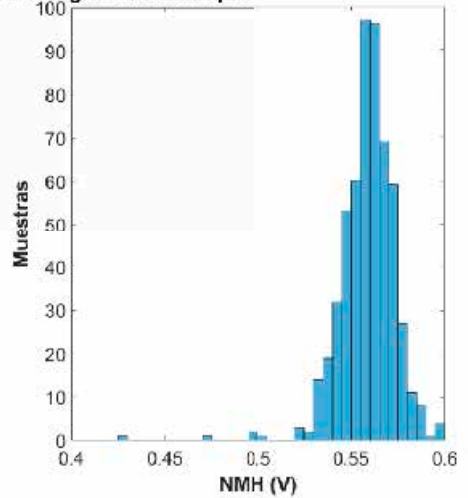


Figura 5-20. Histograma de las distribuciones en fresco de NML y NMH para los dimensionamientos S3, S4 y S5.

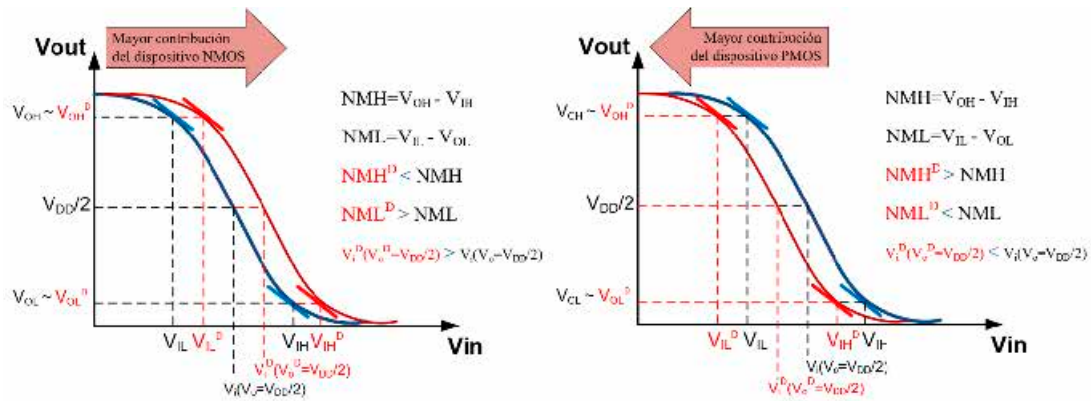


Figura 5-21. Desplazamiento de la curva característica V_{OUTPUT}/V_{INPUT} en función de la degradación de los transistores.

parámetro es el que se ve mayormente afectado por el *aging* pero, evidentemente, un aspecto a considerar a la hora de analizar las medidas, es tener en cuenta que es posible que otros parámetros se vean afectados. En este sentido, el siguiente parámetro que debe considerarse es la movilidad de los transistores. Un cambio notorio en la movilidad puede apreciarse visualmente como un cambio en la pendiente de las curvas características IDVGS/IDVSG de los transistores individuales que, a su vez, se reflejaría como un cambio en la forma de la curva característica V_{OUTPUT}/V_{INPUT} de los inversores. Bajo todas estas premisas, se comentarán en primer lugar los diferentes resultados obtenidos según la forma de onda aplicada.

Sin pérdida de generalidad, en todos los ejemplos expuestos en este apartado, se utilizarán salvo que se indique expresamente lo contrario, los resultados de las medidas realizadas con las condiciones de estrés en tensión de 2.5V y de tiempo de estrés de 1000 segundos, por ser éstas las condiciones más severas aplicadas y, por tanto, donde se prevé que ocurrirá mayor degradación y será más fácil apreciar el impacto de la misma en las prestaciones. Además, como mostrar ejemplos fenomenológicos de forma sistemática de todas las dimensiones aumentaría mucho la extensión del sub-apartado y volvería muy engorrosa su lectura, se mostrarán en este apartado, a modo de ejemplo representativo, las medidas realizadas sobre el dimensionamiento S1 (INVS1). La información relevante sobre el resto de dimensionamientos y sobre el resto de condiciones de estrés, de tiempo y de tensión, se irá completando conforme se vaya subiendo el nivel de abstracción en el análisis en el siguiente sub-apartado.

De las distintas condiciones aplicadas, se comienza por los resultados obtenidos de los experimentos de fiabilidad donde se han aplicado condiciones de estrés en DC. La Figura 5-22 muestra la medida de la curva característica V_{OUTPUT}/V_{INPUT} realizada sobre un CUT del dimensionamiento S1, así como las curvas IDVGS/IDVSG de sus correspondientes transistores cuando el CUT ha sido sometido a un estrés DC sobre el transistor PMOS. Por su parte, la Figura 5-23 muestra la misma información, pero en este caso, cuando se ha realizado sobre el CUT un estrés DC NMOS. En el caso de haberse aplicado el estrés sobre el transistor PMOS se aprecia un leve desplazamiento de la curva V_{OUTPUT}/V_{INPUT} envejecida hacia la izquierda, correspondiéndose con la tenue degradación percibida en la IDVSG del transistor PMOS. En el caso en el que se ha aplicado el estrés sobre el transistor NMOS, la degradación es prácticamente imperceptible en todo caso. Recordando que la caracterización envejecida se ha realizado tras dejar reposar los CUTs

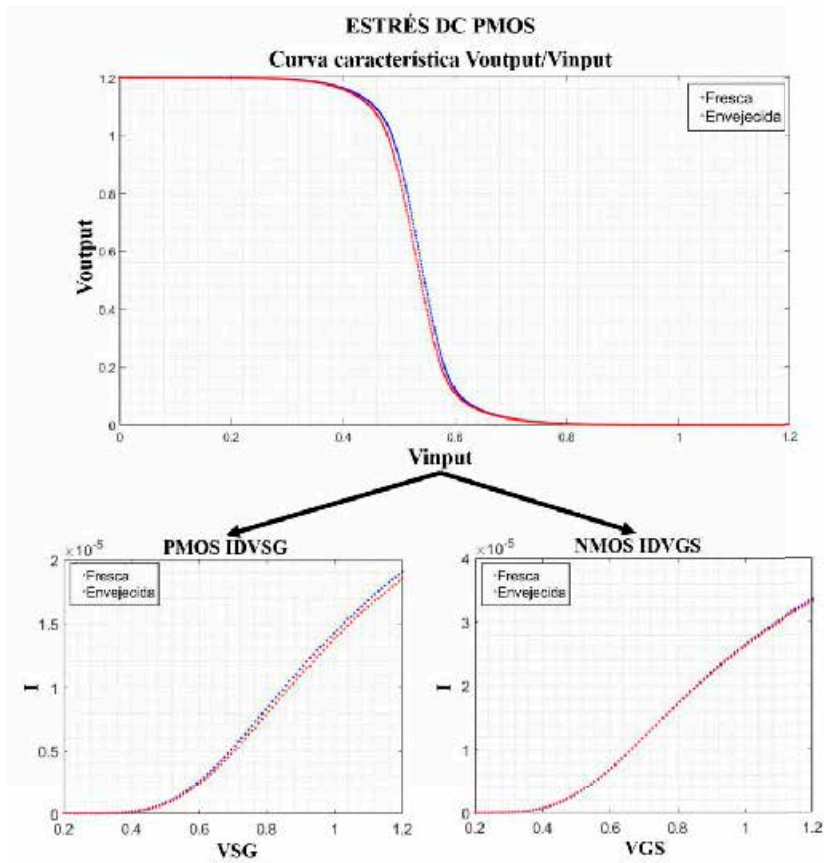


Figura 5-22. Curvas características frescas y envejecidas tras un estrés DC sobre el transistor PMOS.

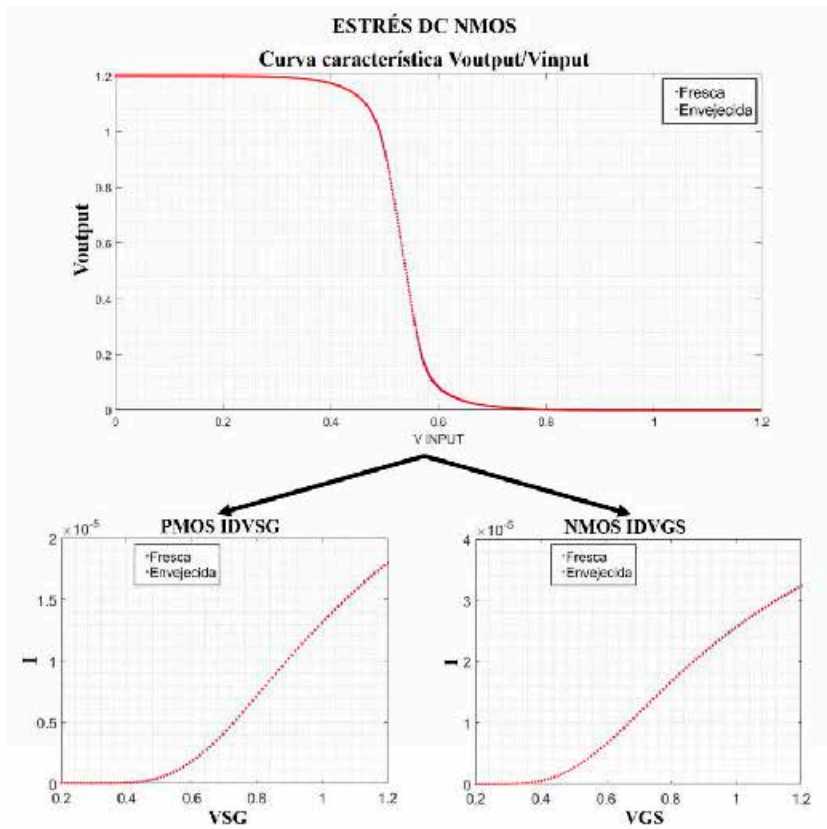


Figura 5-23. Curvas características frescas y envejecidas tras un estrés DC sobre el transistor NMOS.

durante una semana y sabiendo por el análisis realizado en el apartado 5.2.2 que en ambos casos los transistores sufren de un estrés de tipo BTI puro (NBTI el caso de estrés PMOS y PBTI en el caso del estrés NMOS), la siguiente cuestión sería saber si no ha existido degradación en los dispositivos debido al estrés aplicado o si este daño se ha recuperado mayormente, resultando en una degradación permanente (persistente tras la semana de reposo) prácticamente nula para el caso de la degradación por PBTI y leve en el caso del NBTI. Con este fin, se muestra en la Figura 5-24 la corriente medida en la caracterización dinámica envejecida justo después del estrés para los mismos CUTs representados en la Figura 5-22 y Figura 5-23 (Todas las caracterizaciones dinámicas se realizan con las condiciones explicadas en el apartado 5.2.1.3 y que se muestra en la Figura 5-6). En la Figura 5-24 se muestra también la traza obtenida de la caracterización en fresco de las corrientes, la cual sirve como referencia para evaluar la degradación y los efectos de recuperación. Para el caso del transistor PMOS se observa que, tras el estrés, existe una degradación considerable en la corriente, ya que el valor de esta ha caído por debajo del 70% de su valor en fresco. Además, es posible observar numerosos fenómenos de recuperación. Este comportamiento puede generalizarse para el resto de resultados obtenidos en los transistores PMOS sometidos al mismo tipo de estrés NBTI. En el caso del transistor NMOS, por el contrario, la degradación observada justo después del estrés es relativamente pequeña. Además, para este caso concreto, sólo se observa un fenómeno de recuperación de un defecto. Este comportamiento es general también para el resto de transistores NMOS sometidos a estrés de tipo PBTI puro. La Tabla 5-7 muestra como referencia las corrientes obtenidas en las medidas en fresco, después de 100 segundos de operación nominal tras el estrés y después del reposo de una semana.

En el caso de que los estreses aplicados en los tests de fiabilidad sean estreses AC, los resultados obtenidos son los que se muestran a continuación. En primer lugar, la Figura 5-25, muestra la curva característica V_{OUTPUT}/V_{INPUT} realizada sobre un dispositivo del dimensionamiento S1, así como las curvas IDVGS/IDVSG de sus correspondientes transistores cuando el CUT ha sido sometido a un estrés AC de 1 KHz empleando una forma de onda triangular. La Figura 5-26 muestra el caso en que se ha empleado la misma

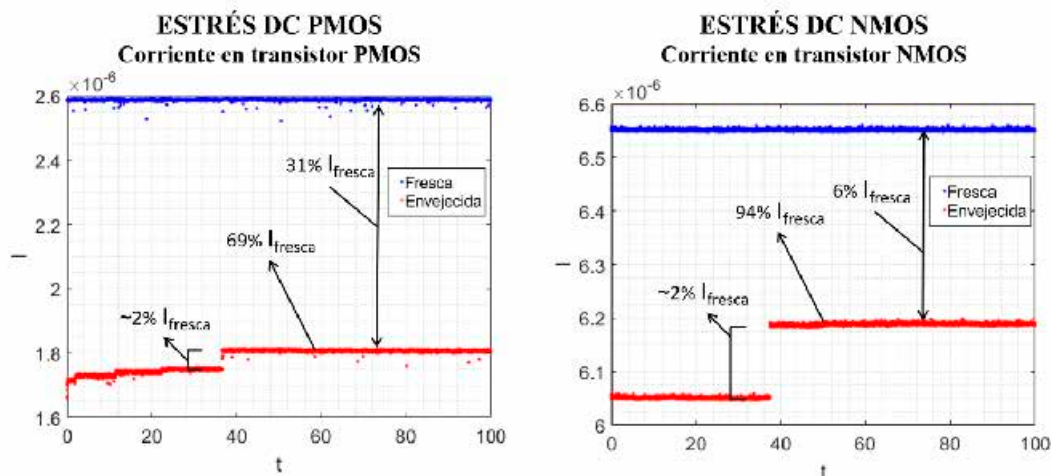


Figura 5-24. Caracterización dinámica de la corriente durante 100s justo antes y después del estrés de un transistor PMOS de un inversor al que se le ha aplicado un estrés DC PMOS y un transistor NMOS de un inversor al que se le ha aplicado un estrés DC NMOS.

Tabla 5-7. Corriente medida en los CUTs del dimensionamiento S1, empleados como ejemplo en este apartado, para las diferentes ondas de estrés aplicadas, tensión de estrés 2.5V y tiempo de estrés 1000s.

Tipo de estrés	Tipo de transistor	I fresca	I 100s	I 1semana
DC PMOS	PMOS	2.58 μ A	1.80 μ A	2.39 μ A
DC NMOS	NMOS	6.56 μ A	6.19 μ A	6.48 μ A
AC onda triangular <i>Duty Cycle 50%</i>	NMOS	5.73 μ A	3.06 μ A	3.12 μ A
AC onda cuadrada <i>Duty Cycle 50%</i>	NMOS	8.19 μ A	4.77 μ A	4.79 μ A
AC onda cuadrada <i>Duty Cycle 33%</i>	PMOS	1.69 μ A	1.34 μ A	1.46 μ A
AC onda cuadrada <i>Duty Cycle 67%</i>	PMOS	1.80 μ A	1.47 μ A	1.69 μ A

frecuencia, pero una forma de onda cuadrada con un *duty cycle* del 50%, la Figura 5-27 cuando se emplea la misma forma de onda, pero con un *duty cycle* del 33% y, por último, la Figura 5-28, cuando se emplea nuevamente la forma de onda cuadrada, pero con un *duty cycle* del 67%. En general, la caracterización estática de las curvas características, después de la degradación, muestra un comportamiento similar en todos los casos. La curva V_{OUTPUT}/V_{INPUT} sufre un “desplazamiento hacia la derecha” debido a que en todos los casos la degradación que sufre el transistor NMOS del CUT es manifiestamente superior a la degradación del transistor PMOS, suponiendo un mayor impacto final sobre el desplazamiento. Para disponer de más información de cara a los resultados de aplicar

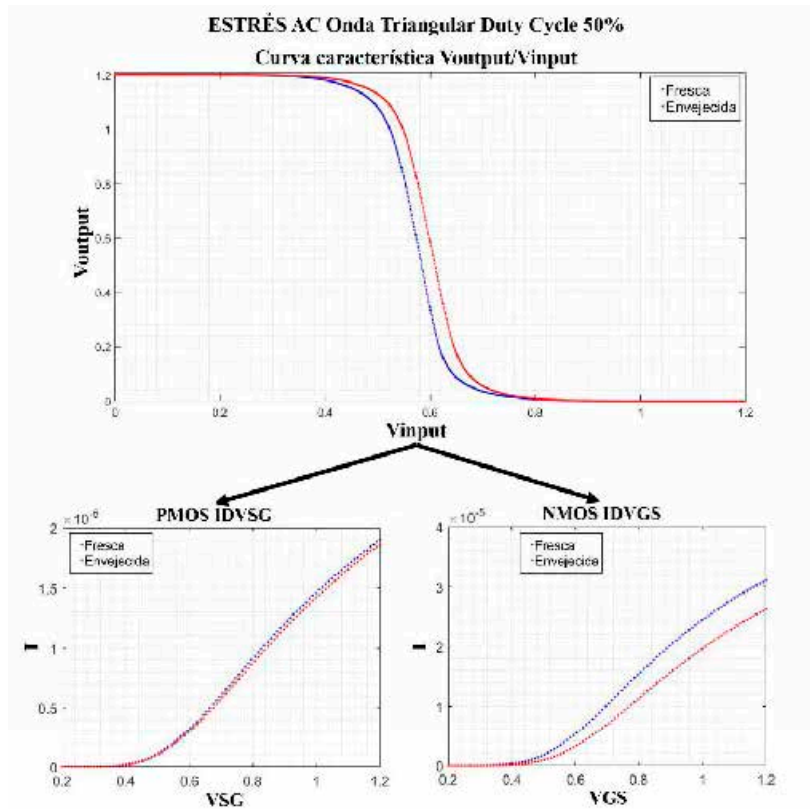


Figura 5-25. Curvas características tras un estrés AC con forma de onda triangular y duty cycle del 50%.

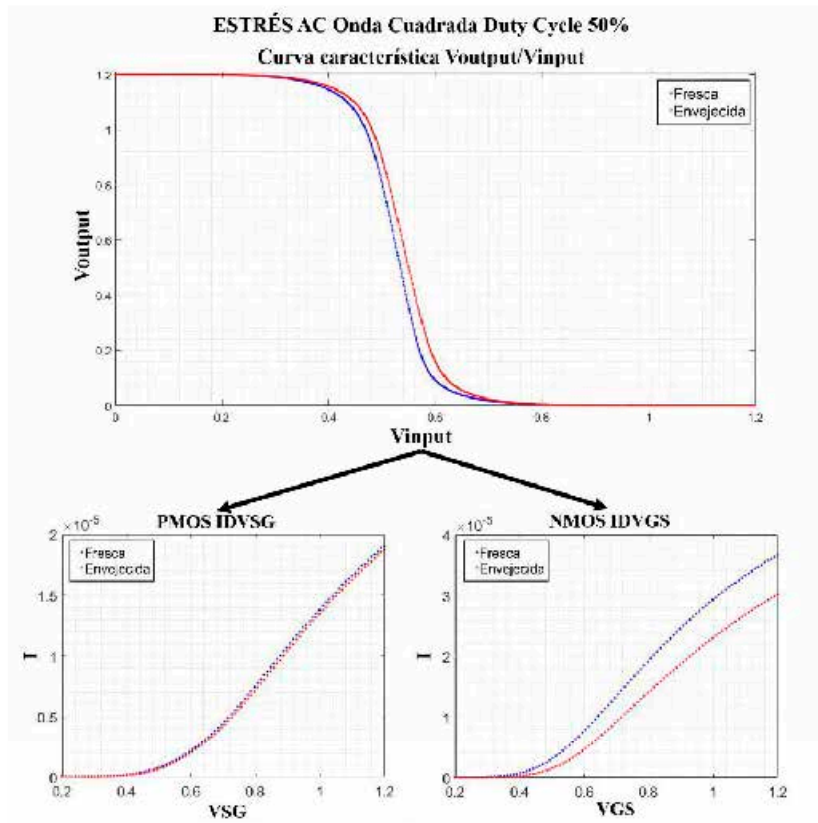


Figura 5-26. Curvas características tras un estrés AC con forma de onda cuadrada y duty cycle del 50%.

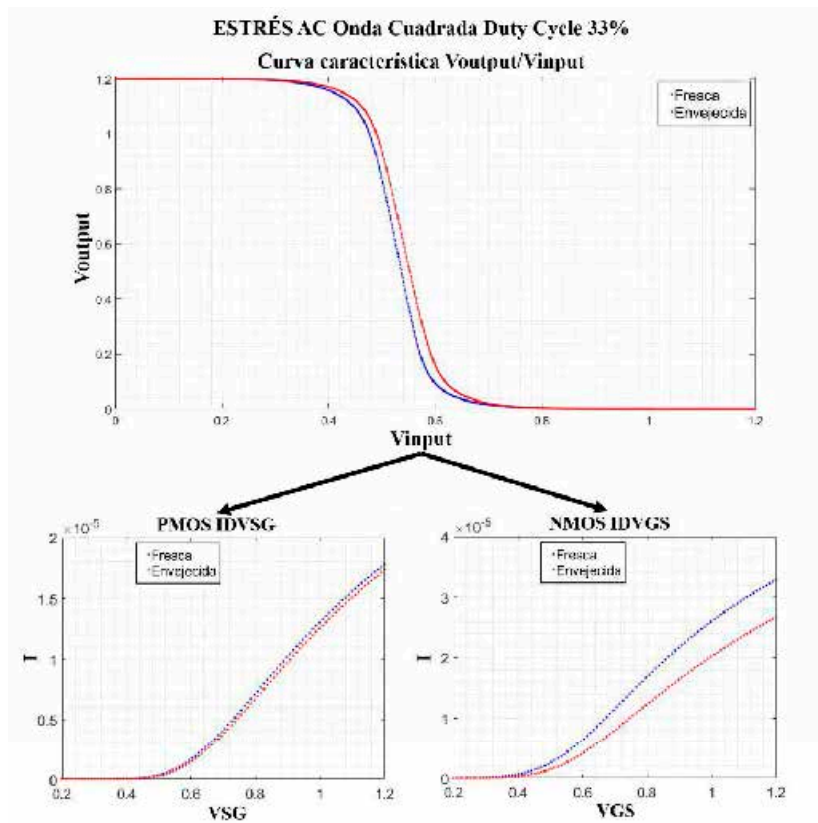


Figura 5-27. Curvas características tras un estrés AC con forma de onda cuadrada y duty cycle del 33%.

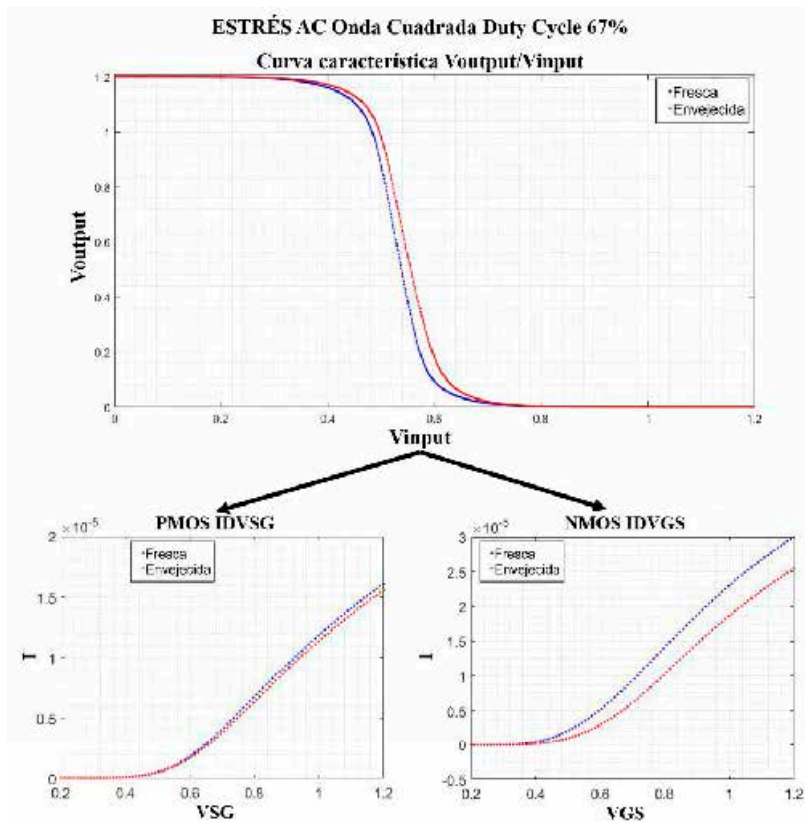


Figura 5-28. Curvas características tras un estrés AC con forma de onda cuadrada y duty cycle del 67%.

estreses AC en los experimentos, de forma similar a como se ha procedido en los casos anteriores de estreses DC, la Figura 5-29 muestra la caracterización dinámica envejecida de la corriente que circula por los transistores para cada uno de los casos que se exponen. Para tener una referencia de ambos tipos de transistores, se muestra dicha corriente en dos casos para los transistores NMOS y en los otros dos para transistores PMOS. En las gráficas se muestra también la caracterización en fresco de las corrientes. Esta información unida a la proporcionada en la Tabla 5-7, que incluye el valor de las corrientes medidas en los respectivos transistores en fresco, 100 segundos después del estrés (mientras el transistor se encuentra operando en condiciones dentro del rango nominal) y también después de dejar al inversor una semana en reposo, permite hacer las siguientes observaciones.

En primer lugar, lo más destacable es que en este caso sí que se ha producido una notoria degradación en los transistores de tipo NMOS. Además, durante el periodo de reposo apenas se ha producido recuperación, por lo que todo parece indicar que la mayor parte de la degradación se corresponde con daño permanente. Por su parte, se observa que los transistores PMOS han sufrido también una degradación notoria, aunque relativamente muy inferior a la de los dispositivos NMOS. Además, en dichos dispositivos sí que se percibe una recuperación importante tras el reposo, por lo que se puede determinar que al menos una parte importante de la degradación inicial se debía a daño recuperable. No obstante, puede observarse que también queda finalmente una parte de daño permanente.

Podemos concluir por tanto que en el caso de los estreses DC, donde los transistores se ven afectados por estreses de tipo BTI puro, existe una importante degradación en el

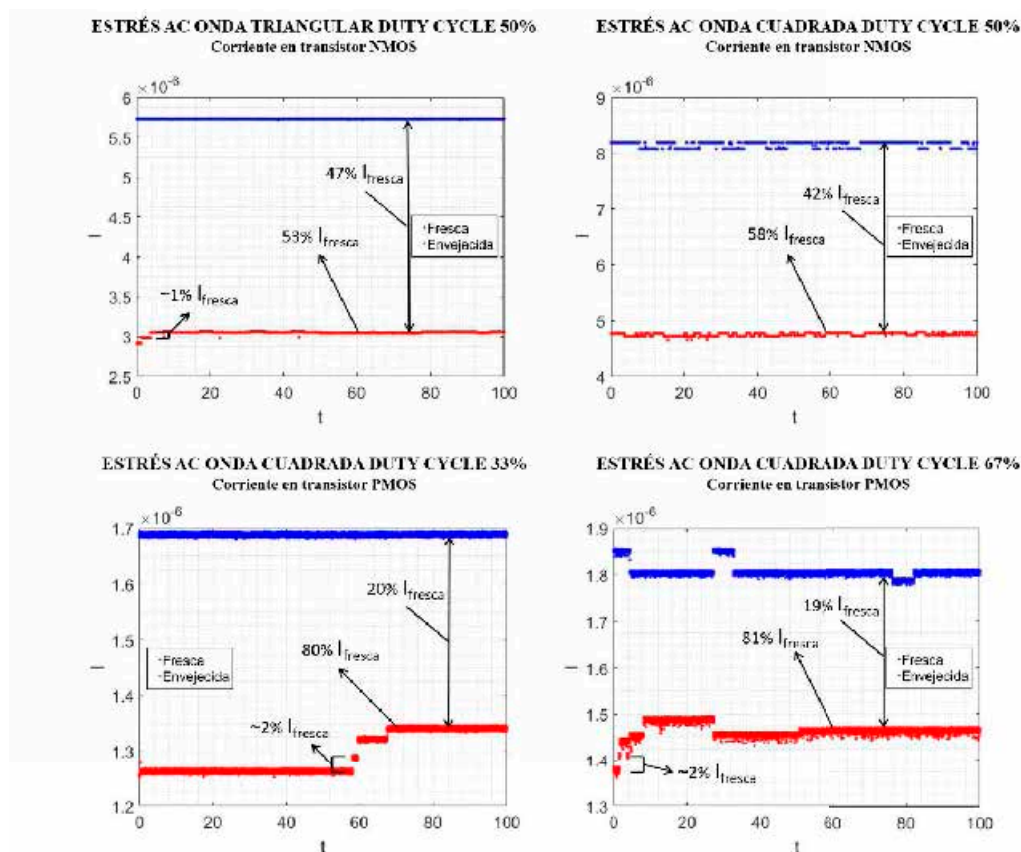


Figura 5-29. Caracterización dinámica de la corriente durante 100 segundos justo antes y después del estrés de varios transistores de distintos CUTs sometidos a diferentes estreses AC.

transistor PMOS debido al BTI, con una parte importante de daño recuperable, por lo que, tras una semana de reposo, gran parte de dicho daño se ha recuperado. El comportamiento observado sobre el transistor NMOS es similar al del transistor PMOS, en el sentido de que parte de la degradación inicial se recupera, pero a diferencia del caso PMOS, la degradación observada, incluso justo después de aplicar el estrés es relativamente muy baja, confirmando que para esta tecnología el daño por PBTI es muy inferior al de NBTI. Por su parte, cuando se aplican estreses AC, se sabe por lo comentado en el apartado 5.2.2 que aparecen fenómenos de HCI en las transiciones entre los valores lógicos de la respuesta de los inversores. Sabiendo que la degradación bajo estrés de BTI puro de los transistores NMOS es mínima, y observando la gran degradación que muestran estos dispositivos bajo estrés AC, es posible asumir que la mayor parte del daño generado se deberá al impacto de HCI sobre los dispositivos NMOS. Esto concuerda con el hecho de que apenas se observen fenómenos de recuperación en estos transistores pese a dejar los dispositivos una semana en reposo ya que los fenómenos de recuperación se asocian a las dinámicas de captura y emisión de carga asociadas al BTI. Esta hipótesis se refuerza aún más si se observa que en la caracterización estática tras la semana de recuperación, los resultados observados cuando se aplican estreses AC con onda cuadrada y distinto *duty cycle* son en general muy similares entre sí. Esto se debe a que las transiciones en los tres casos proporcionan las mismas condiciones de estrés, variando sólo el tiempo al que uno u otro tipo de transistor están sometidos a estrés de BTI puro. Sin embargo, el impacto en el daño permanente del BTI es menor que el del HCI, porque después de una semana gran parte del daño observado se ha recuperado, por lo que se puede aproximar que la mayor

parte de la degradación observada es debida al impacto del HCI. Debido a esto, se puede concluir que los tres esquemas de estrés resultarían equivalentes y es coherente que ofrezcan resultados similares. En lo que se refiere a la degradación de los dispositivos PMOS cuando se aplican estreses AC, éstos muestran una degradación permanente tras la semana de reposo de un orden similar o incluso inferior al que se observa cuando se aplica sobre estos transistores un estrés DC. A esto se suma que dichos dispositivos muestran por lo general una degradación inicial algo inferior justo después del estrés AC con respecto al caso DC, una parte importante de la cual se recupera también durante el periodo de reposo. Bajo estas consideraciones, sería posible suponer que la mayor parte de la degradación que sufren los dispositivos PMOS en estos casos se debe a BTI, y que el HCI tiene un impacto de menor magnitud sobre este tipo de transistores para las condiciones de estrés que sufren estos CUTs. Esto es coherente con que la degradación de los PMOS cuando están sometidos a un estrés DC sea mayor ya que, bajo estrés AC, el estrés de BTI puro se va alternando con periodos de recuperación. Todo esto es también acorde con la literatura que expone que el HCI es muy importante en NMOS pero que en PMOS tiene un impacto menor.

5.3.3. Procesado y análisis de las medidas sobre las prestaciones del circuito.

En el apartado anterior se ha realizado un análisis desde el punto de vista fenomenológico para entender la degradación de los inversores desde el nivel de los transistores individuales. El objetivo de este sub-apartado es proporcionar los resultados obtenidos tras procesar las medidas realizadas para estudiar la degradación a nivel de circuito, o lo que es lo mismo, evaluar el impacto de la degradación sobre las prestaciones. Los resultados analizados se corresponden con la caracterización estática, es decir, la medida de los CUTs envejecidos se llevan a cabo después del proceso de degradación y de haber dejado a los mismos en reposo durante una semana. Respecto a las prestaciones evaluadas, se mostrarán los resultados obtenidos para los márgenes de ruido NMH y NML. Además, otros parámetros que se han caracterizado, tal como se explicó en el apartado 5.2.1, son los valores $V_{INPUT}(V_{OUTPUT} = V_{DD}/2)$ y $V_{OUTPUT}(V_{INPUT} = V_{DD}/2)$.

5.3.3.1. Impacto sobre las prestaciones en función del tipo de estrés aplicado.

El objetivo de este apartado es evaluar el impacto sobre las prestaciones en función de los distintos tipos de estrés aplicados. De forma análoga que en el apartado 5.3.2, se mostrarán en primer lugar los resultados obtenidos sobre los CUTs del dimensionamiento S1 cuando se han aplicado unas condiciones de estrés correspondientes al caso de una tensión de estrés de 2.5V y un tiempo de estrés de 1000 segundos. En este sentido, la Figura 5-30 muestra la caracterización fresca y envejecida de los márgenes de ruido NMH y NML cuando se aplican en el test de fiabilidad estreses DC sobre los transistores PMOS y NMOS. En la figura se muestran de forma simultánea, para cada tipo de estrés aplicado, los resultados obtenidos para 14 CUTs. Esto se hace con la intención de ofrecer una perspectiva de la variabilidad entre las medidas realizadas o de la dispersión entre las distribuciones de las mismas tanto en términos de TZV como de TDV. Por su parte la Figura 5-31 muestra los resultados obtenidos cuando se aplican los estreses de tipo AC con forma de onda triangular y cuadrada con distintos *duty cycles*.

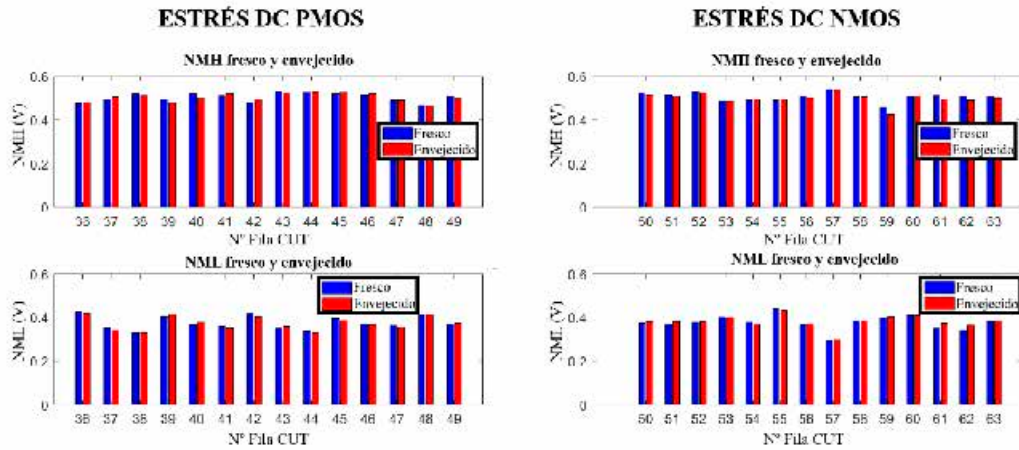


Figura 5-30. Caracterización fresca y envejecida de los márgenes de ruido NMH y NML para los estreses de tipo DC sobre el transistor PMOS y NMOS.

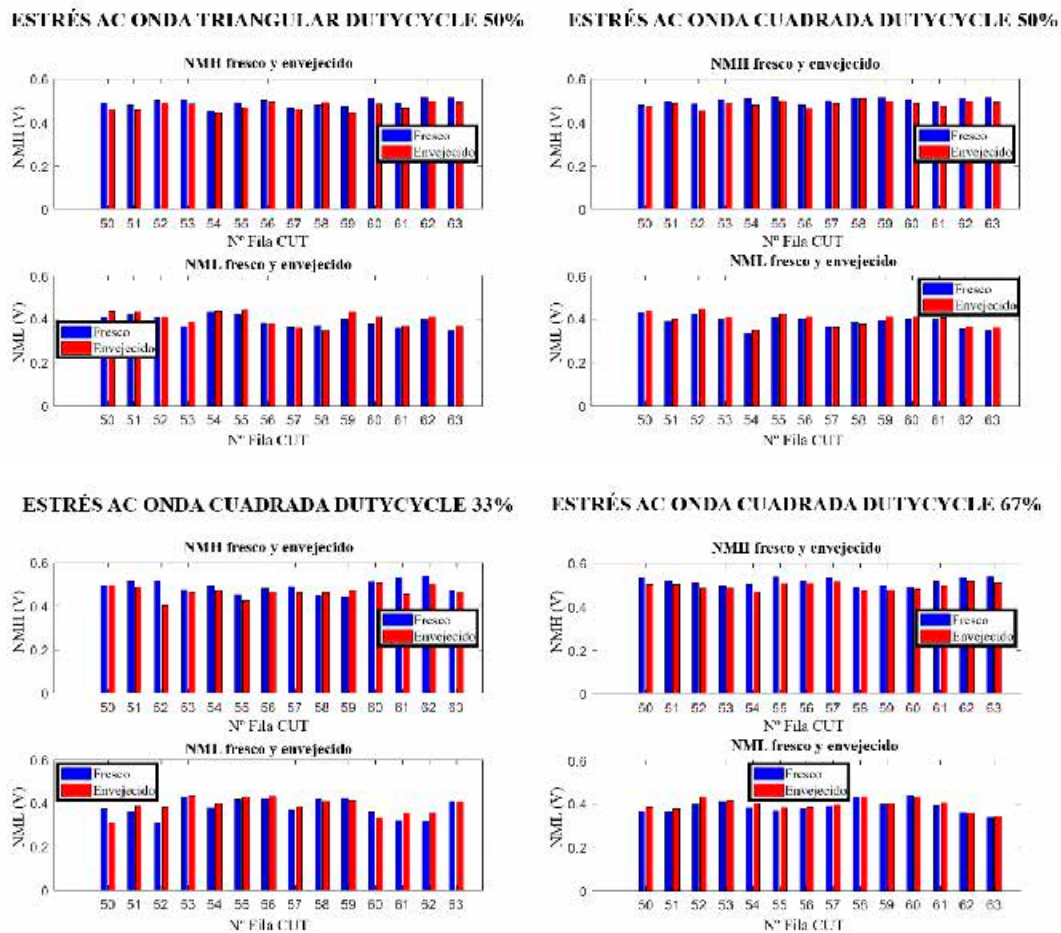


Figura 5-31. Caracterización fresca y envejecida de los márgenes de ruido NMH y NML para los estreses de tipo AC empleando formas de onda triangular y cuadrada con distintos duty cycles.

El primer aspecto a destacar de estos resultados es que la degradación o variación de los márgenes de ruido es significativamente mayor cuando se aplican estreses AC que DC. Esto concuerda con todo lo razonando en el apartado 5.3.2.

Analizando con mayor detalle los resultados de aplicar estreses DC puede argumentarse lo siguiente. En el caso de aplicar el estrés DC sobre los transistores PMOS, la mayoría de inversores reflejan en su característica degradada un pequeño aumento de su NMH y una disminución de su NML, tal como era de esperar por lo observado en el apartado 5.3.2. De forma parecida, se puede apreciar como en el caso de aplicar un estrés DC sobre los transistores NMOS, pese a que las variaciones son muy pequeñas, en prácticamente todos los casos se produce una ligera reducción del NMH y un pequeño aumento del NML, lo cual también era lo esperado.

No obstante, existen algunos CUTs (por ejemplo, los CUTs 38, 39 y 40 para el caso del estrés PMOS), donde el comportamiento observado es el contrario. Esto puede deberse a que la degradación o variación permanente observada en los estreses DC es tan pequeña que cualquier pequeño cambio en la curva característica V_{OUTPUT}/V_{INPUT} (por ejemplo, debido a una pequeña degradación de la movilidad), puede producir pequeños cambios en la variación de los márgenes de ruido. A esto hay que sumarle la influencia de pequeñas perturbaciones como el RTN, presente sobre todo en transistores PMOS y que pueden causar pequeñas variaciones en las medidas de caracterización realizadas, en este caso, del mismo orden que la posible degradación y, por tanto, pequeñas variaciones en los márgenes de ruido.

Por su parte, pueden hacerse algunos comentarios adicionales sobre los resultados de haber aplicado estreses AC. En primer lugar, los resultados obtenidos confirman que, como caso general, aplicar un estrés AC, donde según se ha visto en el apartado 5.3.2 el transistor NMOS resulta mucho más degradado que el PMOS, provoca una reducción del NMH y un aumento del NML. Se puede observar también que el cambio o variación que sufren en general los márgenes de ruido NMH y NML para el caso de la onda triangular, tienen aproximadamente valores similares, sin embargo, en todos los casos de la onda cuadrada, la variación que se produce en los valores del NMH es sensiblemente superior a la variación en los valores del NML. Para poder explicar este resultado es necesario tener en cuenta varios aspectos. En primer lugar, que los márgenes de ruido NMH y NML dependen de los parámetros V_{IL} , V_{OL} , V_{IH} y V_{OH} . En este sentido, se debe recordar de la explicación desarrollada sobre la Figura 5-21 en el apartado 5.3.2, que el principal cambio que se produce en los márgenes de ruido se debe al cambio producido en los parámetros V_{IL} y V_{IH} . Por tanto, estos cambios se corresponden con el desplazamiento y cambio en la forma de la curva que se producen respectivamente en la parte superior e inferior de la curva V_{OUTPUT}/V_{INPUT} . Por otro lado, debe considerarse que, especialmente cuando se aplican estreses AC y cuando la degradación es significativa, se puede apreciar cómo además del desplazamiento de la curva característica V_{OUTPUT}/V_{INPUT} se produce cierta deformación de la misma. Como resultado es posible que dicha deformación afecte de forma diferente a la zona superior e inferior de dicha curva y por consiguiente a V_{IL} y V_{IH} y, en definitiva, a NML y NMH.

Con estas consideraciones, se deben observar las curvas características V_{OUTPUT}/V_{INPUT} presentadas en el sub-apartado 5.3.2 para cada tipo de forma de onda aplicada (desde la Figura 5-25 hasta la Figura 5-28), teniendo en cuenta que estas figuras son representativas de todos los CUTs a los que se les aplica el mismo tipo de estrés. En dichas figuras, se puede apreciar como la curva V_{OUTPUT}/V_{INPUT} de la Figura 5-25, cuando se aplica en el estrés la forma de onda triangular, presenta un desplazamiento/cambio relativamente

similar en la zona superior e inferior de la curva, equilibrando la variación en NMH y NML. Sin embargo, para el caso en el que se aplican las formas de onda cuadrada, se puede apreciar para todos los casos (Figura 5-26, Figura 5-27 y Figura 5-28), que el cambio en la curva V_{OUTPUT}/V_{INPUT} es mucho más significativo en la zona inferior de la misma, por lo que la variación de NMH será más significativa que la de NML.

Por otro lado, las dos siguientes figuras muestran el impacto de la degradación sobre el valor de tensión de entrada necesario para obtener a la salida el valor de tensión $V_{DD}/2$, esto es, para el valor de tensión V_{INPUT} ($V_{OUTPUT} = V_{DD}/2$). La Figura 5-32 representa los casos en que se han aplicado condiciones de estrés DC mientras que la Figura 5-33 muestra los casos en los que se han aplicado estreses tipo AC. En ambos casos se muestra tanto el valor de dicho punto en la caracterización en fresco como el valor obtenido en la caracterización del daño permanente (no recuperado) después de una semana de reposo tras el proceso de degradación. Estas figuras confirman que en el caso de que se aplique un estrés del tipo DC sobre los transistores PMOS, la tensión de entrada para obtener un

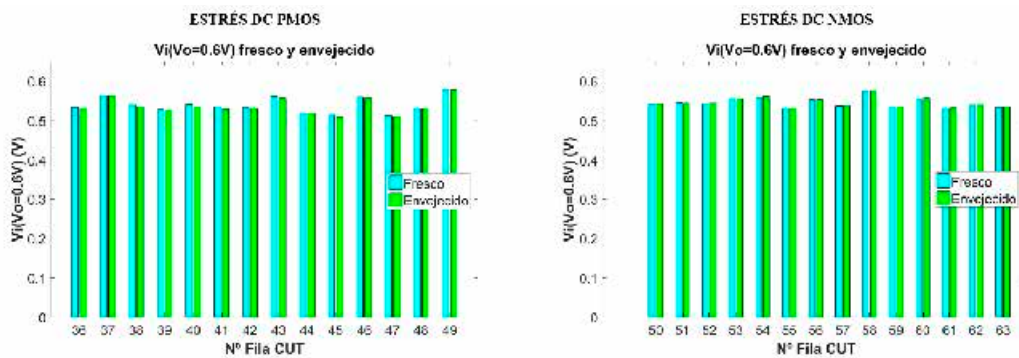


Figura 5-32. Valores frescos y envejecidos de V_{IN} ($V_{OUT} = V_{DD}/2$) cuando se aplican estreses DC en los CUTs.

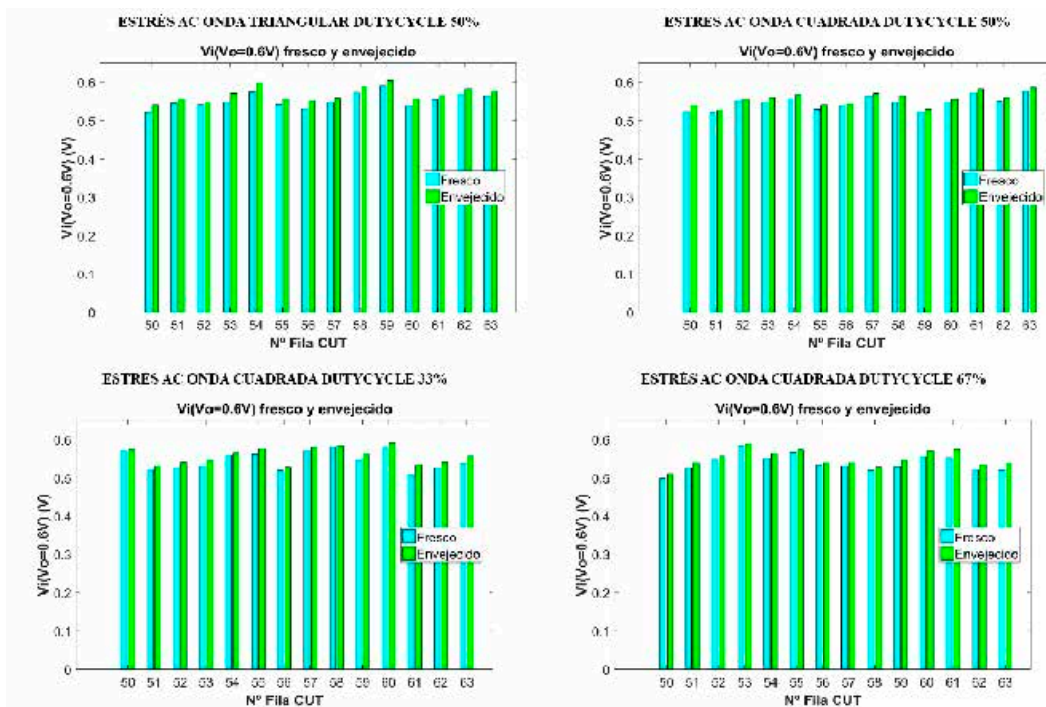


Figura 5-33. Valores frescos y envejecidos de V_{IN} ($V_{OUT} = V_{DD}/2$) cuando se aplican estreses AC en los CUTs.

valor de $V_{DD}/2$ a la salida se reduce o lo que es equivalente, la curva V_{OUTPUT}/V_{INPUT} envejecida se desplaza hacia la izquierda. Para el resto de casos, la mayor degradación de los transistores NMOS lleva el valor de $V_{INPUT}(V_{OUTPUT} = V_{DD}/2)$ a valores de tensiones de entrada más altas, lo que significa que la curva V_{OUTPUT}/V_{INPUT} se desplaza a la derecha. Eso sí, en el caso de que el estrés aplicado sea un estrés DC sobre los transistores NMOS, este desplazamiento es prácticamente insignificante en relación al resto. Un aspecto interesante que conviene resaltar es el hecho de que las variaciones producidas entre el valor fresco y envejecido no obedecen un patrón en función del valor en fresco de partida. En primer lugar, el mero hecho de que todos los dispositivos no envejezcan o se degraden de la misma forma refuerza el argumento de que no se puede ser realmente preciso si no se emplean modelos estocásticos para la TDV en dispositivos de escala nanométrica. Además, a la luz de los resultados, todo parece indicar que la distribución de las distintas muestras frescas debido a la TZV no implica una posible relación en que las muestras envejecidas se degraden de una determinada forma en función de éstas o, dicho de otro modo, no es posible determinar una correlación entre la TZV y la TDV o ésta queda enmascarada por la propia variabilidad de la TDV. Esto es importante, porque implica que las soluciones mixtas, donde se emplea un modelo estocástico para generar distintas muestras de TZV que luego se envejecen de forma determinista, no pueden tampoco reflejar de forma precisa la realidad en circuitos de escala nanométrica. En definitiva, es fundamental que, cuando se evalúe la fiabilidad en dispositivos de esta escala, se utilice un modelo de TDV estocástico.

5.3.3.2. Impacto sobre las prestaciones en función de la tensión y del tiempo de estrés aplicados.

El siguiente aspecto que se va a considerar es ver cómo cambian los resultados obtenidos cuando cambian las condiciones de tensión y/o tiempo de estrés aplicado. Para ilustrar sobre este hecho, se presentarán dos nuevas figuras: la Figura 5-34 donde se muestra el promedio de la degradación (CUT a CUT) de los márgenes de ruido NMH y NML y la Figura 5-35 donde se muestra la variación (el desplazamiento) de los puntos $V_{INPUT}(V_{OUTPUT} = V_{DD}/2)$ y $V_{OUTPUT}(V_{INPUT} = V_{DD}/2)$. La distribución de ambas figuras es la misma. Están compuestas de cuatro gráficas donde cada una de ellas muestra los valores promedios correspondientes a cada una de las formas de onda aplicadas durante el estrés de los CUTs. Los resultados, para el caso de que se haya empleado una tensión de estrés de 2.0V, se sitúan en las gráficas inferiores, mientras que, en las dos gráficas de arriba, se ha empleado una tensión de estrés de 2.5V. Por su parte, las gráficas de la izquierda se corresponden con aquellas donde se ha utilizado un tiempo de estrés de 100 segundos, mientras que, en las gráficas de la parte de la derecha, los CUTs han sido estresados durante 1000 segundos. Por tanto, todos los resultados que se han ido discutiendo hasta ahora en los apartados previos, se corresponden con las gráficas de arriba a la derecha donde siempre la degradación es más alta ($V_{stress} = 2.5V$ y $t_{stress} = 1000s$). Nótese que, en la figura de los márgenes de ruido, lo que se está representado son las degradaciones, esto es, la diferencia entre el valor de la prestación en fresco y la envejecida tras el estrés y el reposo. Por tanto, un valor positivo en las mismas implica que el valor resultante tras la degradación es inferior que el valor obtenido de la caracterización fresca y, contrariamente, un signo negativo de la degradación implica una mejora, es decir, que la prestación tiene un valor mayor tras el envejecimiento. En el caso de la Figura 5-35, un valor positivo en la representación se corresponde con un

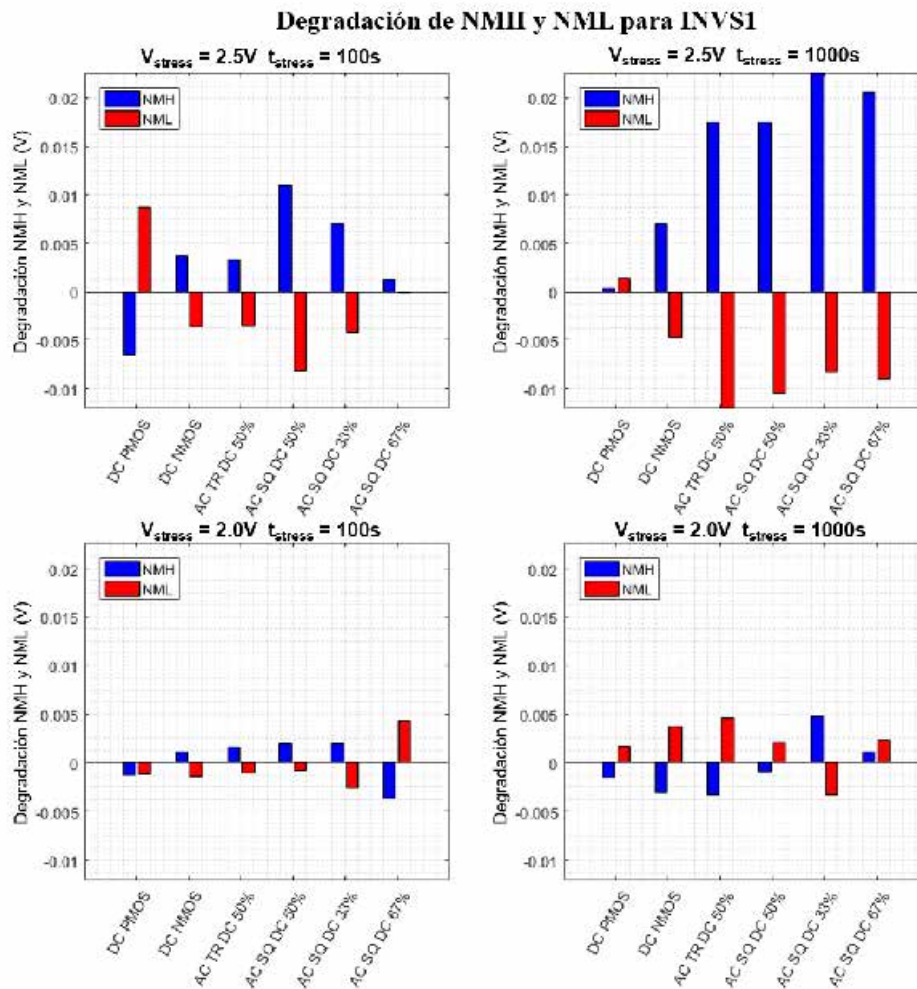


Figura 5-34. Degradación promedio de los márgenes de ruido para las diferentes condiciones de estrés aplicadas.

desplazamiento hacia tensiones inferiores de la tensión medida tras la degradación, al tiempo que, un valor negativo implicaría que la tensión necesaria para alcanzar el valor de $V_{DD}/2$ en el parámetro correspondiente ha aumentado.

Comenzando a analizar los resultados para el caso de emplear una tensión de 2.5V y un tiempo de estrés de 1000s (gráficas de arriba a la derecha), el cual se corresponde con los casos analizados detalladamente en apartados anteriores, puede concluirse que todos los razonamientos previos realizados son, evidentemente, consistentes con los resultados obtenidos. Los estreses AC provocan una variación superior de los puntos $V_{INPUT}(V_{OUTPUT} = V_{DD}/2)$ y $V_{OUTPUT}(V_{INPUT} = V_{DD}/2)$ del mismo modo que la magnitud de la variación de los márgenes de ruido es mayor que para los casos en los que se aplican los estreses DC. Sólo en el caso de que se esté aplicando un estrés DC sobre los transistores PMOS, el impacto en la degradación que provocan estos transistores supera al del impacto de la degradación de los NMOS, siendo el único caso en el que la curva característica V_{OUTPUT}/V_{INPUT} se desplaza hacia la izquierda.

Respecto a la dependencia de la tensión con la degradación permanente, los resultados en el caso de que el estrés aplicado es de 2V muestran una variación en las prestaciones sensiblemente inferiores a los casos en que se ha aplicado una tensión de estrés de 2.5V,

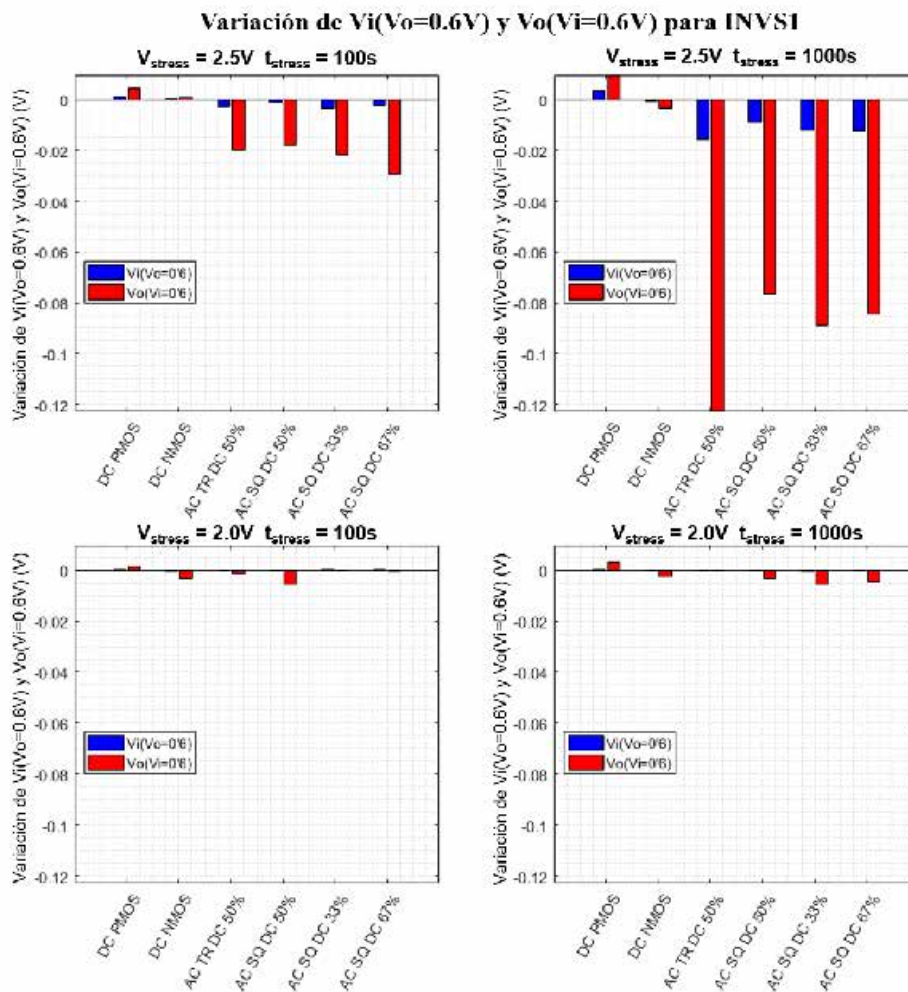


Figura 5-35. Variación promedio de $V_{IN}(V_{OUT} = V_{DD}/2)$ y $V_{OUT}(V_{IN} = V_{DD}/2)$ para las diferentes condiciones de estrés aplicadas

incluso si se comparan los casos en que se ha estresado con $V_{stress} = 2.5V$ y $t_{stress} = 100s$ y con $V_{stress} = 2.0V$ y $t_{stress} = 1000s$, la magnitud de las variaciones del primero es manifiestamente mayor. Esto confirma una vez más que los efectos de degradación por envejecimiento escalan de forma mucho más agresiva con la tensión que con el tiempo. De hecho, los resultados obtenidos de la degradación permanente observada tras el reposo, cuando la tensión de estrés aplicada es de 2.0V, son tan bajos que son poco significativos. Esto no significa que no exista una degradación que deba tenerse en cuenta cuando se han aplicado estas condiciones, ya que justo después de retirar el estrés aplicado sí que se puede observar una degradación que no puede ser ignorada y pueden caracterizarse ciertas dinámicas en los defectos y en los mecanismos de recuperación. A modo de ejemplo, se representa la caracterización dinámica de la corriente de varios CUTs en la Figura 5-36, la cual muestra que incluso para el caso de una tensión de estrés de 2.0V y un tiempo de estrés de 100 segundos, existe cierta degradación. Lo que se quiere destacar aquí es que, tras la semana de reposo, lo que sí parece poco significativo es el daño permanente observado a esta tensión.

Respecto a la reducción del tiempo de estrés de 1000 segundos a 100 segundos para la tensión de estrés de 2.5V, en términos generales, los CUTs muestran el mismo tipo de

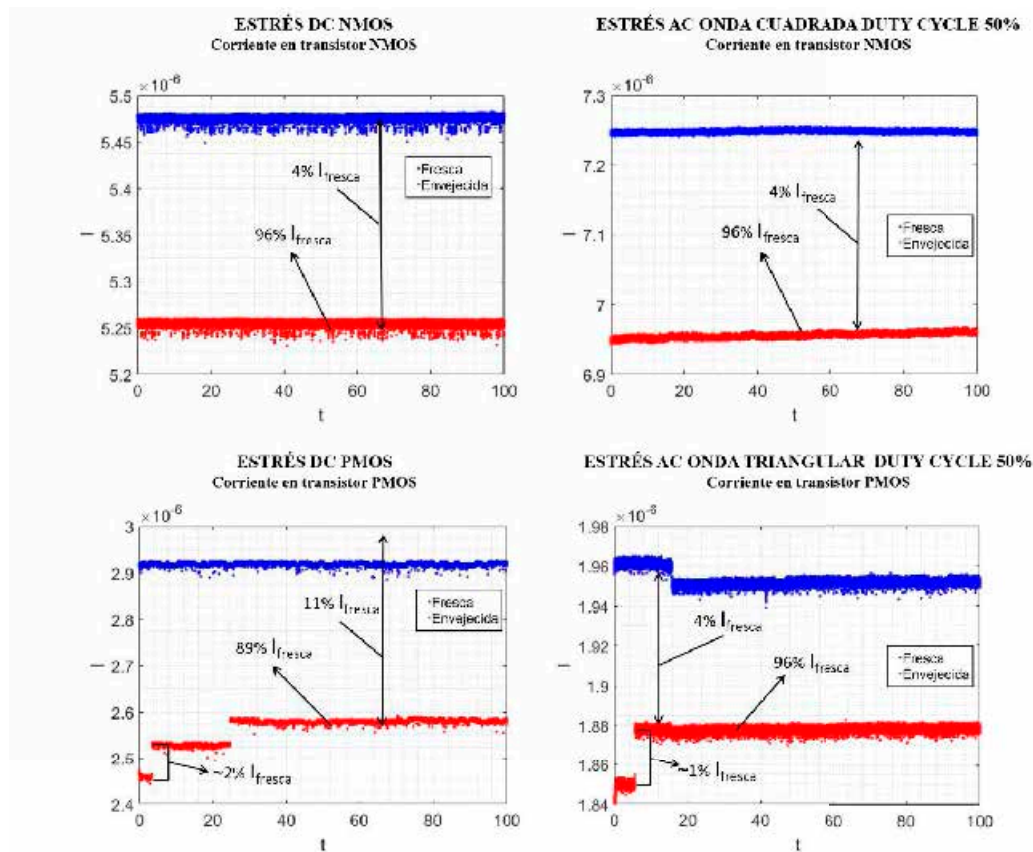


Figura 5-36. Caracterización dinámica para distintas formas de onda de estrés cuando la tensión aplicada es 2V y el tiempo de estrés son 100 segundos.

comportamiento o tendencia que para el caso de un tiempo de estrés de 1000 segundos, aunque, en general, los valores de degradación/variación observados son sensiblemente inferiores, al haber estado los CUTs expuestos durante menos tiempo al estrés.

Además de la tensión de estrés aplicada, la forma de onda empleada y el tiempo de estrés, un último parámetro por discutir sería la dependencia de la degradación con la frecuencia aplicada. En este sentido, en el estudio presentado en esta tesis no se ha marcado como objetivo presentar un estudio riguroso de la dependencia con la frecuencia. No obstante, además de las medidas que se han realizado de forma masiva sobre los dispositivos a una frecuencia de 1 KHz, se han realizado algunas medidas sobre algunos CUTs a una frecuencia de 10 KHz (sobre aquellas condiciones de estrés y CUTs que podían operar a esta frecuencia). En general, el resultado observado suele ser como el del ejemplo que se ilustra en la Figura 5-37, donde un aumento de la frecuencia supone un aumento de la degradación/variación de las prestaciones. Este aumento se debe principalmente a que, aunque parece que el daño en los dispositivos PMOS se suele mantener en el mismo orden en ambas frecuencias, el daño permanente que se observa en los dispositivos NMOS es sensiblemente mayor a mayor frecuencia.

Si se reflexiona sobre el hecho de por qué un aumento de frecuencia puede suponer un aumento en la degradación se pueden hacer varios comentarios. Por un lado, y observando los resultados, todo parece indicar que, para este ejemplo concreto, el mecanismo que se ve más agravado con el aumento de la frecuencia es el HCI (que actúa principalmente sobre los dispositivos NMOS). Por otro lado, realizar un cambio en la frecuencia supone

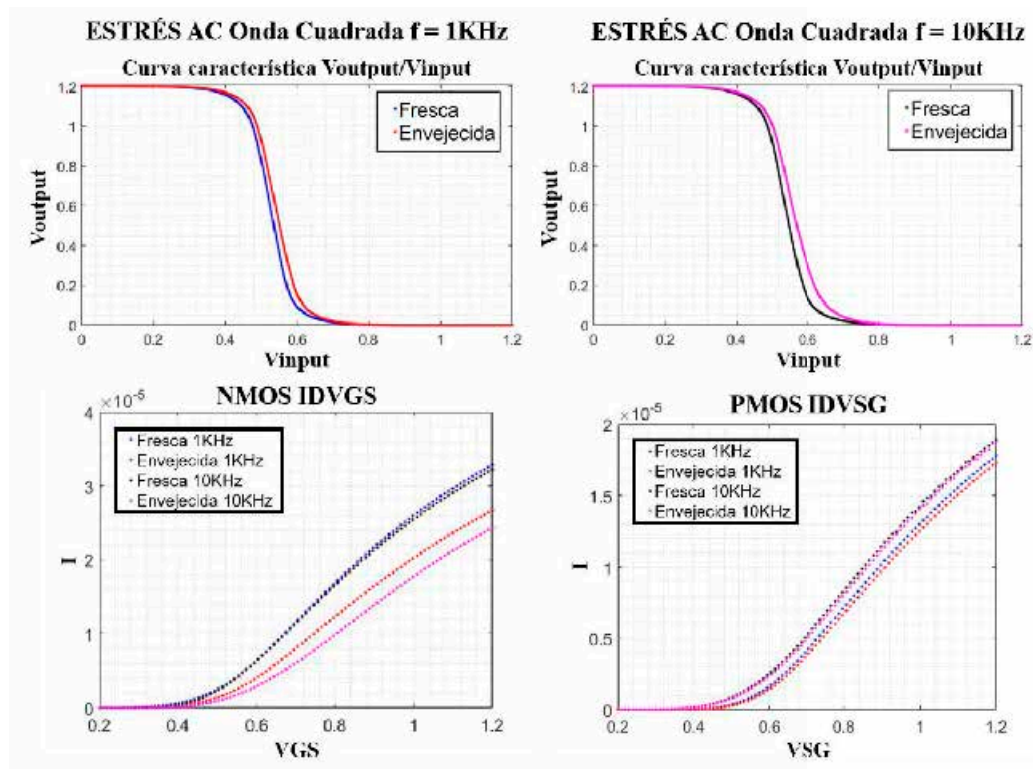


Figura 5-37. Influencia de la frecuencia en la degradación para el caso de los inversores.

en realidad, de cara al cambio en las condiciones de estrés, estar empleando una forma de onda distinta. Por ejemplo, si como es el caso, la onda de estrés aplicada, se trata de un tren de pulsos con forma de onda cuadrada, en principio, es de esperar que los flancos de subida y de bajada se realicen a la máxima velocidad posible según la respuesta del sistema, por lo que, en realidad, estos flancos de subida y bajada no variarían con un cambio en la frecuencia, sino que lo que cambiará es el número de ellos en un lapso de tiempo.

Desde la perspectiva de las condiciones de estrés, esto significa que durante los flancos de subida y bajada el tiempo que los dispositivos se encuentran en unas condiciones dadas durante un tiempo determinado no cambiará, pero, siendo así, un aumento o disminución de la frecuencia de la onda supone entonces un cambio en el número de flancos (en principio bajo las mismas condiciones) que un dispositivo tendrá que soportar en el mismo tiempo. En el caso concreto de la Figura 5-37, el cambio de degradación se debe a un aumento en el daño del dispositivo NMOS. Sabiendo que puede asumirse que este daño es debido fundamentalmente al impacto del HCI y que, en el caso del inversor, las condiciones para que se produzca degradación por HCI se da justamente en los flancos, es razonable afirmar que todo lo argumentado podría ser una explicación plausible al aumento de la degradación observada al aumentar la frecuencia, ya que aumentaría el número de flancos y, por ende, el número de veces que se le aplicaría al CUT estrés por HCI para un mismo lapso de tiempo. Es importante destacar también que, afirmar y tener evidencias de que la frecuencia sí puede modificar el daño por HCI, no quiere decir que el efecto de BTI no se vea igualmente afectado por ésta. Lo que ocurre es que, al menos, en este tipo concreto de CUTs y experimentos, donde el daño permanente observado bajo condiciones de BTI es tan bajo, no es posible evaluar de forma fiable con los datos

disponibles, posibles dependencias con un cambio en la frecuencia para el BTI. No obstante, sí se pueden hacer ciertos razonamientos. Para ello, supóngase un cambio en la frecuencia, por ejemplo, en el caso que se está comentando de la onda cuadrada. Si ha pasado un tiempo determinado o para ser precisos, un tiempo que sea múltiplo de todos los periodos de las ondas aplicadas a distinta frecuencia, se puede asumir que, el tiempo total que los dispositivos estresados a distinta frecuencia han permanecido en uno u otro valor lógico es el mismo (si el *duty cycle* es del 50% y se asume que los tiempos de los flancos son despreciables). Sin embargo, lo que sí ha variado es el intervalo de tiempo en que se encuentran en cada uno de los estados, esto es, el tiempo que en cada ciclo un transistor permanece bajo un estrés de BTI puro o en reposo. Si a esto se le suma que se conoce que el BTI funciona mediante procesos de captura y emisión de carga, con unos tiempos de emisión y captura que dependen de las condiciones de estrés, es razonable asumir que las mecánicas que entran en juego cuando los periodos de estrés y reposo son de, por ejemplo, 100 segundos, son diferentes y pueden proporcionar resultados diferentes que cuando estos periodos son de 1000 segundos. En definitiva, desde la perspectiva en que la TDV es analizada en esta tesis, parece lógico asumir que la frecuencia de la señal sí afecte a la TDV y concretamente a los mecanismos de degradación del BTI y del HCI. En relación a estos razonamientos, algunos trabajos donde se avala la dependencia con la frecuencia en el impacto de la degradación en inversores que forman parte de osciladores en anillo son [33], [204].

5.3.3.3. Comparación del impacto de las prestaciones en los diferentes dimensionamientos de CUT.

En aras de completar el estudio, el siguiente análisis sería observar cómo se comportan el resto de dimensionamientos del inversor para las diferentes condiciones de estrés. En este sentido, se muestran los resultados promedio de la degradación de los márgenes de ruido y de la variación de las tensiones $V_{IN}(V_{OUT} = V_{DD}/2)$ y $V_{OUT}(V_{IN} = V_{DD}/2)$, para las diferentes dimensiones en los casos de haber aplicado un estrés DC PMOS (Figura 5-38 y Figura 5-39), DC NMOS (Figura 5-40 y Figura 5-41), AC con onda triangular (Figura 5-42 y Figura 5-43) y AC con onda cuadrada y *duty cycle* del 50% (Figura 5-44 y Figura 5-45). La gran mayoría reflexiones realizadas a lo largo de esta sección para del dimensionamiento S1, son válidos para el resto de dimensionamientos. No obstante, existen aspectos adicionales relevantes a considerar que pueden extraerse de las figuras presentadas en este sub-apartado.

Cabe destacar nuevamente que la degradación permanente resultante de los estreses DC es relativamente baja en todos los casos (para todas las condiciones y dimensiones), siendo, por tanto, los resultados obtenidos de la degradación AC más significativos. En cualquier caso, es notable que los diseños de inversor tipo *buffer* (INVS1 e INVS2) se degradan notoriamente más que los diseños que forman parte de las etapas de los ROs (INVS3, INVS4 e INVS5). La probable explicación es que la longitud de canal utilizada en el diseño de los inversores tipo *buffer* es mínima, por lo que serían más vulnerables al HCI, que es el efecto dominante que prevalece en las medidas de degradación permanente en este tipo de CUTs. El resto de dimensionamientos del CUTs tienen un diseño con un valor de longitud de canal mayor, presentando una menor degradación o incluso casi inmunidad en sus transistores frente a estreses AC.

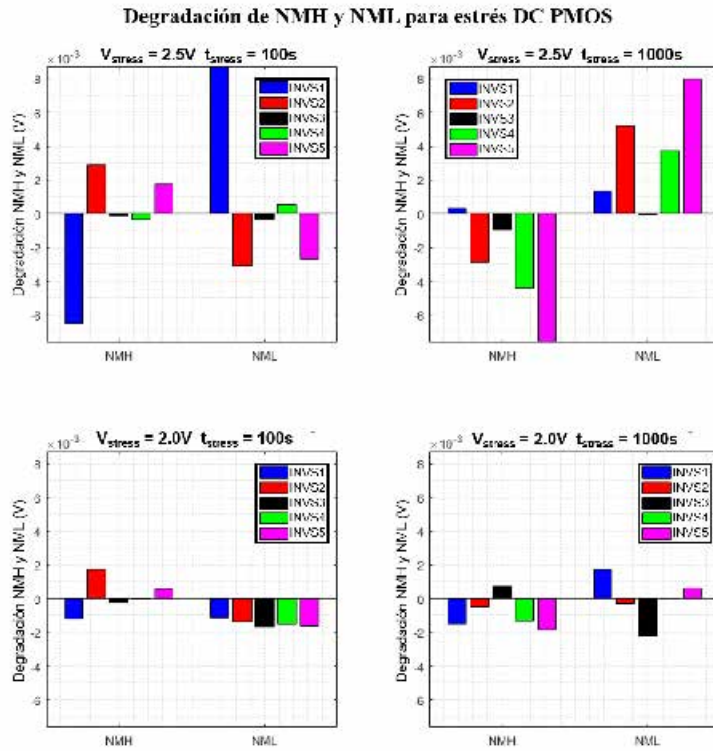


Figura 5-38. Degradación promedio de los márgenes de ruido para estrés tipo DC PMOS.

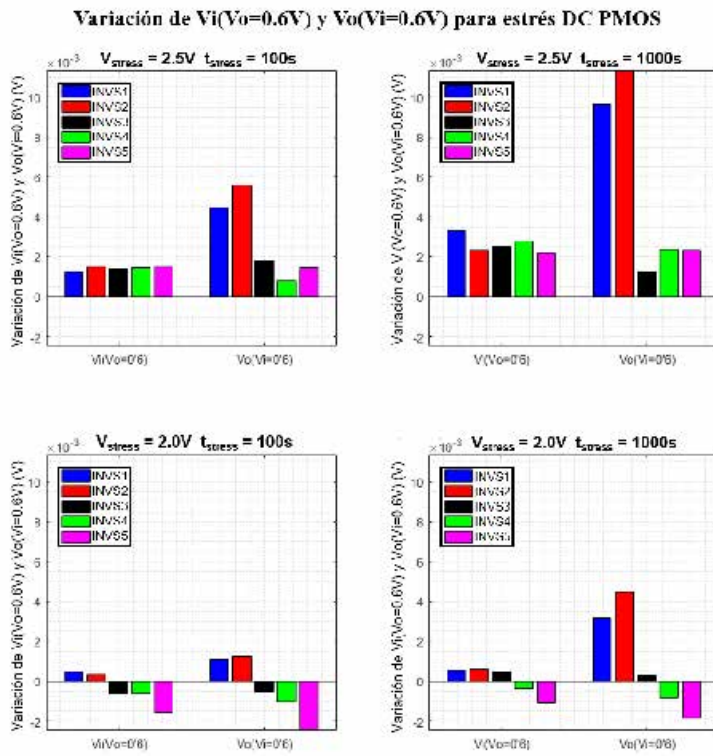


Figura 5-39. Variación promedio de $V_{IN}(V_{OUT} = V_{DD}/2)$ y $V_{OUT}(V_{IN} = V_{DD}/2)$ para estrés tipo DC PMOS.

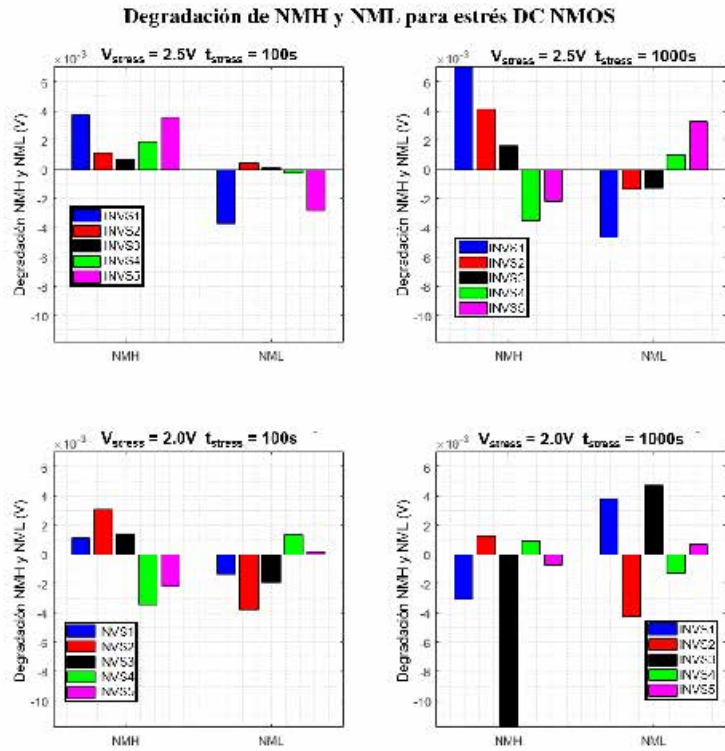


Figura 5-40. Degradación promedio de los márgenes de ruido para estrés tipo DC NMOS.

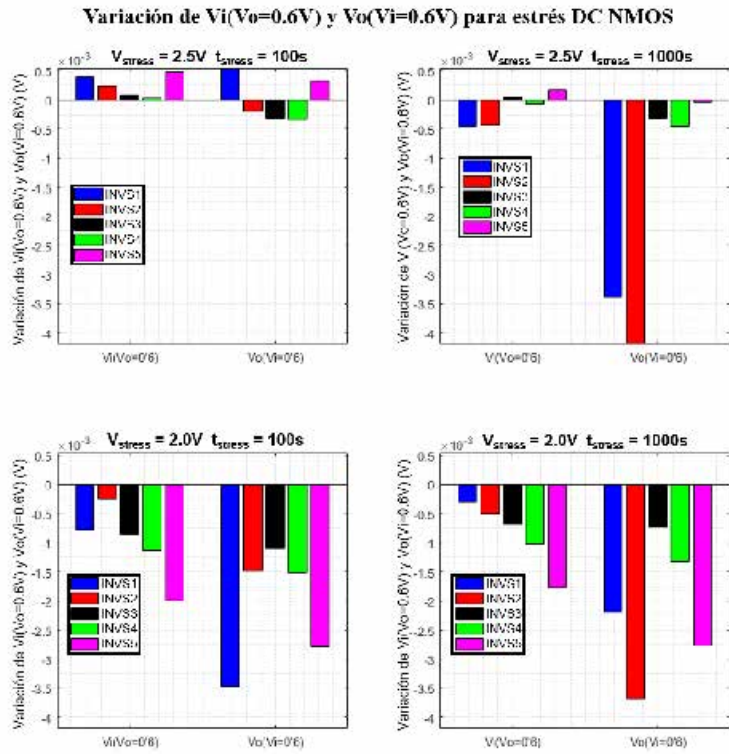


Figura 5-41. Variación promedio de $V_{IN}(V_{OUT} = V_{DD}/2)$ y $V_{OUT}(V_{IN} = V_{DD}/2)$ para estrés tipo DC NMOS.

Degradación de NMH y NML para estrés AC con onda triangular a 1KHz

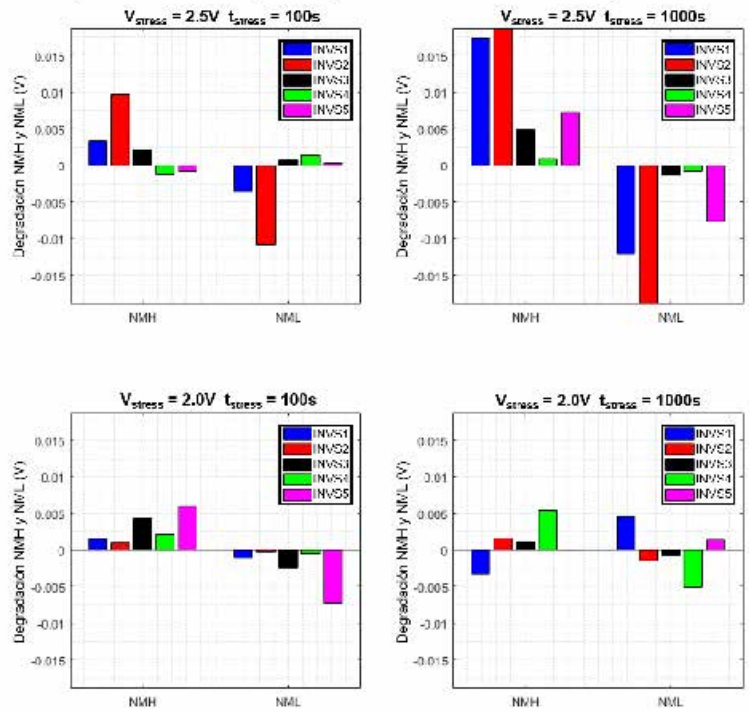


Figura 5-42. Degradación promedio de los márgenes de ruido para estrés tipo AC onda triangular.

Variación de $V_i(V_o=0.6V)$ y $V_o(V_i=0.6V)$ para estrés AC con onda triangular a 1KHz

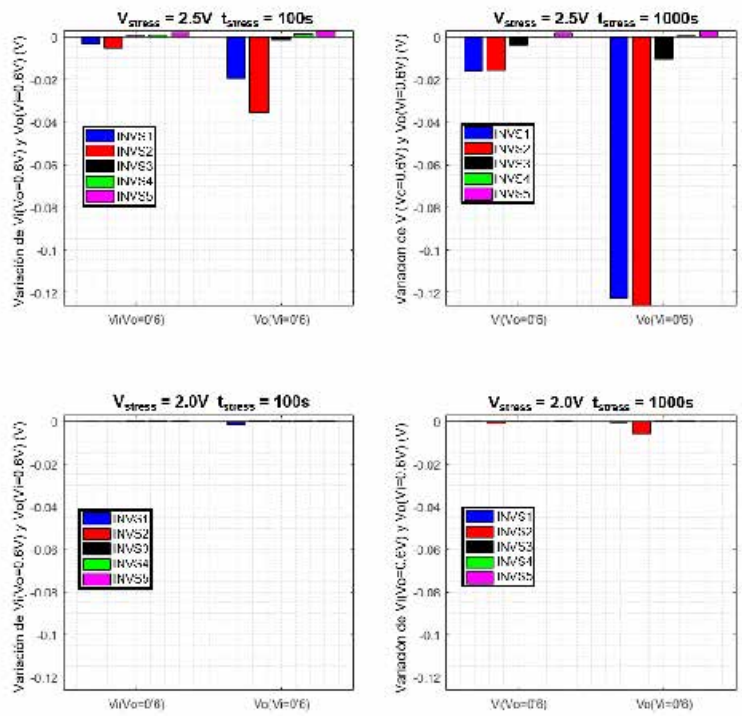


Figura 5-43. Variación promedio de $V_{IN}(V_{OUT} = V_{DD}/2)$ y $V_{OUT}(V_{IN} = V_{DD}/2)$ para estrés tipo AC onda triangular.

Degradación de NMH y NML para estrés AC con onda cuadrada a 1KHz

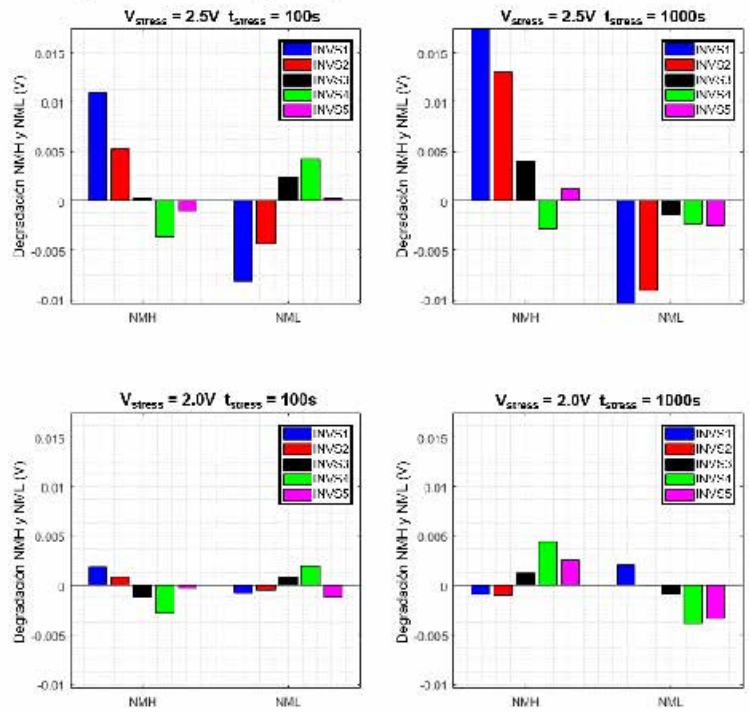


Figura 5-44. Degradación promedio de los márgenes de ruido para estrés tipo DC PMOS.

Variación de $V_i(V_o=0.6V)$ y $V_o(V_i=0.6V)$ para estrés AC con onda cuadrada a 1KHz

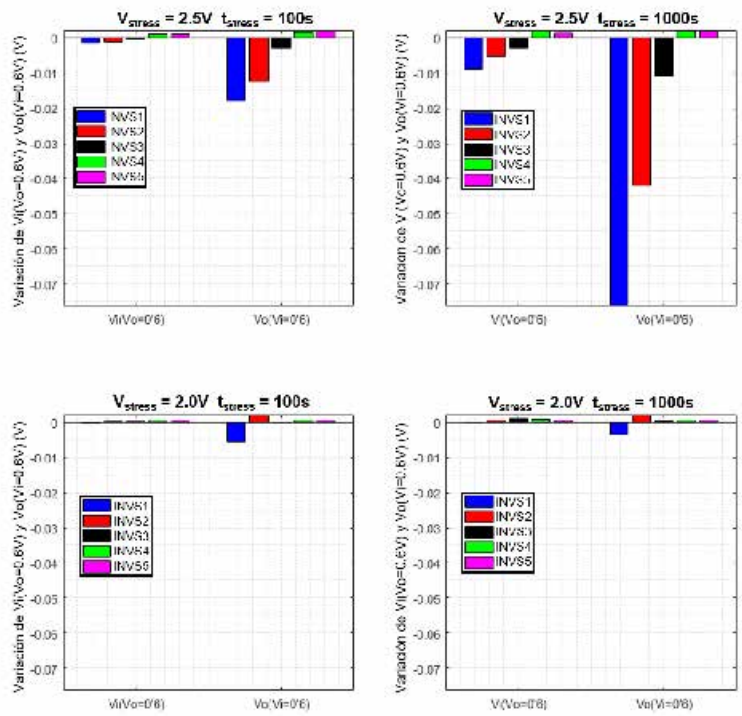


Figura 5-45. Variación promedio de $V_{IN}(V_{OUT} = V_{DD}/2)$ y $V_{OUT}(V_{IN} = V_{DD}/2)$ para estrés tipo AC onda cuadrada.

Para complementar la información proporcionada en estas figuras, donde se ha mostrado la degradación/variación promedio calculada CUT a CUT, se recogen en las tablas presentadas a continuación (Tabla 5-8 - Tabla 5-15), la desviación estándar correspondiente a cada condición. Además, las tablas incluyen también información sobre los valores característicos de las distribuciones de los márgenes de ruido y de los puntos $V_{INPUT}(V_{OUTPUT} = V_{DD}/2)$ y $V_{OUTPUT}(V_{INPUT} = V_{DD}/2)$ tanto fresco como envejecidos, es decir, el valor medio y la desviación estándar de dichas distribuciones. Las primeras 4 tablas (Tabla 5-8 -Tabla 5-11) muestran los resultados para todas las condiciones medidas posibles para el tamaño S1, siendo la Tabla 5-8 la que incluye los valores obtenidos para el margen de ruido alto NMH, la Tabla 5-9, la que incluye los valores obtenidos para el margen de ruido bajo NML, la Tabla 5-10 la que incluye los resultados correspondientes al punto $V_{INPUT}(V_{OUTPUT} = V_{DD}/2)$ y la Tabla 5-11, la que incluye los resultados relativos al punto $V_{OUTPUT}(V_{INPUT} = V_{DD}/2)$. De forma similar, las 4 últimas tablas (Tabla 5-12- Tabla 5-15) presentan los resultados correspondientes a la condición de estrés más severa, esto es, 2.5V de tensión de estrés y 1000 segundos de tiempo de estrés, para los tamaños S2-S5 y las diferentes formas de onda aplicadas. La organización de las tablas es análoga a las cuatro del caso anterior, es decir, la Tabla 5-12 incluye los valores para el margen de ruido alto NMH, la Tabla 5-13 para el margen de ruido bajo NML, la Tabla 5-14 para el punto $V_{INPUT}(V_{OUTPUT} = V_{DD}/2)$ y la Tabla 5-15 para el punto $V_{OUTPUT}(V_{INPUT} = V_{DD}/2)$.

Los resultados muestran que la dispersión obtenida en las medidas es elevada en relación a la degradación promedio. Esto, además de reflejar la fuerte variabilidad de la TDV, es un indicador de que, para alcanzar una elevada precisión, se requeriría aumentar el número de medidas realizadas, tanto más cuanto más laxas sean las condiciones de estrés aplicadas. Por esta razón, el aumento en el número de medidas realizadas es uno de los aspectos que se resaltan en la exposición de trabajos futuros. Como conclusión general, las tablas muestran que los puntos $V_{INPUT}(V_{OUTPUT} = V_{DD}/2)$ y $V_{OUTPUT}(V_{INPUT} = V_{DD}/2)$ reflejan inequívocamente si la curva característica V_{OUTPUT}/V_{INPUT} envejecida se ha desplazado hacia la izquierda o la derecha en función del tipo de estrés aplicado y el consecuente impacto dominante sobre las prestaciones de uno u otro transistor. Algo similar ocurre en los márgenes de ruido si la degradación es severa. Sin embargo, como se ha visto a lo largo del capítulo en la representación de distintas medidas, la degradación de los dispositivos sí que puede producir cambios en la forma de la curva característica del inversor, además de un desplazamiento de la misma. En la mayor parte de los casos, el “desplazamiento” de la curva es más significativo que el posible cambio en la forma de la curva en lo que se refiere a los márgenes de ruido, no obstante. en ocasiones éstos se ven afectados por dichos cambios de forma no despreciable. Existe también una clara diferencia que puede establecerse según las condiciones de estrés aplicadas. En lo que se refiere al daño permanente, el fenómeno por BTI que se produce cuando se aplica a los inversores un estrés DC, provoca una degradación menor en el transistor PMOS y casi inexistente en el NMOS, en comparación a la degradación que sufren los dispositivos NMOS cuando el estrés aplicado es AC (el daño por estreses AC en los PMOS es casi inexistente). Al ser el HCI dominante, y ocurrir en las transiciones, no se aprecian diferencias en función del *duty cycle* empleado. Esto es así siempre que la longitud de canal de los transistores sea baja, si ésta sube, la degradación debida a HCI se hace también despreciable.

Tabla 5-8. Valores característicos de las distribuciones del margen de ruido alto NMH para el tamaño S1.

Condición de estrés	NMH fresco		NMH envejecido		Degradación NMH	
	Valor medio	Des.estándar	Valor medio	Des.estándar	Valor medio	Des.estándar
DC PMOS, 2.0V, 100s	4.910e-1	1.759e-2	4.922e-1	1.764e-2	-1.207e-3	8.670e-3
DC PMOS, 2.0V, 1000s	4.925e-1	1.585e-2	4.940e-1	1.805e-2	-1.500e-3	5.096e-3
DC PMOS, 2.5V, 100s	5.043e-1	1.727e-2	5.108e-1	1.982e-2	-6.514e-3	9.368e-3
DC PMOS, 2.5V, 1000s	5.029e-1	2.020e-2	5.026e-1	1.994e-2	2.857e-4	9.867e-3
DC NMOS, 2.0V, 100s	4.938e-1	2.100e-2	4.927e-1	2.376e-2	1.107e-3	8.730e-3
DC NMOS, 2.0V, 1000s	4.972e-1	1.325e-2	5.002e-1	1.811e-2	-3.057e-3	1.041e-2
DC NMOS, 2.5V, 100s	5.008e-1	2.490e-2	4.971e-1	2.171e-2	3.707e-3	6.393e-3
DC NMOS, 2.5V, 1000s	5.057e-1	2.075e-2	4.986e-1	2.509e-2	7.064e-3	9.873e-3
AC TR 50%, 2.0V, 100s	5.039e-1	2.541e-2	5.023e-1	2.603e-2	1.557e-3	3.857e-3
AC TR 50%, 2.0V, 1000s	5.016e-1	2.207e-2	5.049e-1	2.760e-2	-3.307e-3	1.131e-2
AC TR 50%, 2.5V, 100s	4.837e-1	2.113e-2	4.803e-1	2.275e-2	3.371e-3	6.267e-3
AC TR 50%, 2.5V, 1000s	4.907e-1	1.947e-2	4.732e-1	1.849e-2	1.747e-2	1.158e-2
AC SQ 50%, 2.0V, 100s	4.841e-1	1.640e-2	4.822e-1	1.625e-2	1.921e-3	8.283e-3
AC SQ 50%, 2.0V, 1000s	4.939e-1	1.901e-2	4.948e-1	2.100e-2	-9.214e-4	4.105e-3
AC SQ 50%, 2.5V, 100s	5.024e-1	2.010e-2	4.915e-1	2.642e-2	1.097e-2	1.684e-2
AC SQ 50%, 2.5V, 1000s	5.019e-1	1.312e-2	4.844e-1	1.444e-2	1.750e-2	7.168e-3
AC SQ 33%, 2.0V, 100s	4.987e-1	1.755e-2	4.967e-1	1.922e-2	2.014e-3	8.313e-3
AC SQ 33%, 2.0V, 1000s	5.062e-1	2.048e-2	5.014e-1	2.061e-2	4.792e-3	1.213e-2
AC SQ 33%, 2.5V, 100s	5.010e-1	1.930e-2	4.940e-1	1.636e-2	7.042e-3	8.361e-3
AC SQ 33%, 2.5V, 1000s	4.898e-1	2.994e-2	4.671e-1	2.782e-2	2.269e-2	3.617e-2
AC SQ 67%, 2.0V, 100s	4.922e-1	1.487e-2	4.958e-1	1.561e-2	-3.628e-3	1.306e-2
AC SQ 67%, 2.0V, 1000s	4.962e-1	1.957e-2	4.950e-1	2.574e-2	1.157e-3	1.193e-2
AC SQ 67%, 2.5V, 100s	5.010e-1	2.902e-2	4.997e-1	2.367e-2	1.271e-3	1.073e-2
AC SQ 67%, 2.5V, 1000s	5.154e-1	1.796e-2	4.949e-1	1.616e-2	2.055e-2	8.295e-3

Tabla 5-9. Valores característicos de las distribuciones del margen de ruido alto NML para el tamaño S1.

Condición de estrés	NML fresco		NML envejecido		Degradación NML	
	Valor medio	Des.estándar	Valor medio	Des.estándar	Valor medio	Des.estándar
DC PMOS, 2.0V, 100s	3.879e-1	2.338e-2	3.890e-1	2.430e-2	-1.121e-3	8.177e-3
DC PMOS, 2.0V, 1000s	3.945e-1	2.574e-2	3.928e-1	2.747e-2	1.735e-3	4.750e-3
DC PMOS, 2.5V, 100s	3.842e-1	2.367e-2	3.754e-1	2.490e-2	8.737e-3	1.164e-2
DC PMOS, 2.5V, 1000s	3.751e-1	3.044e-2	3.737e-1	3.039e-2	1.360e-3	7.559e-3
DC NMOS, 2.0V, 100s	3.936e-1	1.871e-2	3.950e-1	1.953e-2	-1.378e-3	8.344e-3
DC NMOS, 2.0V, 1000s	3.784e-1	1.708e-2	3.746e-1	2.313e-2	3.776e-3	1.250e-2
DC NMOS, 2.5V, 100s	3.863e-1	2.341e-2	3.900e-1	1.918e-2	-3.685e-3	8.427e-3
DC NMOS, 2.5V, 1000s	3.765e-1	3.404e-2	3.812e-1	3.027e-2	-4.653e-3	8.929e-3
AC TR 50%, 2.0V, 100s	3.834e-1	2.921e-2	3.844e-1	2.800e-2	-1.017e-3	5.162e-3
AC TR 50%, 2.0V, 1000s	3.848e-1	2.858e-2	3.802e-1	3.529e-2	4.573e-3	1.360e-2
AC TR 50%, 2.5V, 100s	3.979e-1	2.417e-2	4.018e-1	2.547e-2	-3.530e-3	4.494e-3
AC TR 50%, 2.5V, 1000s	3.890e-1	2.638e-2	4.011e-1	3.283e-2	-1.208e-2	1.648e-2
AC SQ 50%, 2.0V, 100s	3.935e-1	2.053e-2	3.943e-1	1.885e-2	-7.767e-4	8.530e-3
AC SQ 50%, 2.0V, 1000s	3.902e-1	2.377e-2	3.882e-1	2.648e-2	2.030e-3	4.060e-3
AC SQ 50%, 2.5V, 100s	3.859e-1	3.509e-2	3.940e-1	3.212e-2	-8.155e-3	1.683e-2
AC SQ 50%, 2.5V, 1000s	3.875e-1	2.813e-2	3.980e-1	3.029e-2	-1.046e-2	8.680e-3
AC SQ 33%, 2.0V, 100s	3.772e-1	2.728e-2	3.798e-1	2.846e-2	-2.639e-3	1.257e-2
AC SQ 33%, 2.0V, 1000s	3.793e-1	2.934e-2	3.826e-1	2.621e-2	-3.273e-3	1.416e-2
AC SQ 33%, 2.5V, 100s	3.756e-1	3.098e-2	3.799e-1	2.767e-2	-4.237e-3	8.131e-3
AC SQ 33%, 2.5V, 1000s	3.788e-1	4.131e-2	3.870e-1	3.787e-2	-8.257e-3	3.110e-2
AC SQ 67%, 2.0V, 100s	3.812e-1	2.431e-2	3.768e-1	1.995e-2	4.373e-3	1.108e-2
AC SQ 67%, 2.0V, 1000s	3.790e-1	2.487e-2	3.767e-1	2.849e-2	2.314e-3	9.912e-3
AC SQ 67%, 2.5V, 100s	4.005e-1	2.750e-2	4.006e-1	2.459e-2	-1.178e-4	7.728e-3
AC SQ 67%, 2.5V, 1000s	3.864e-1	2.780e-2	3.954e-1	2.683e-2	-9.037e-3	1.036e-2

Tabla 5-10. Valores característicos de las distribuciones del punto $V_{IN}(V_{OUT} = V_{DD}/2)$ para el tamaño S1.

Condición de estrés	$V_{IN}(V_{OUT} = V_{DD}/2)$ fresco		$V_{IN}(V_{OUT} = V_{DD}/2)$ envejecido		$V_{IN}(V_{OUT} = V_{DD}/2)$ degradación	
	Valor medio	Des.estándar	Valor medio	Des.estándar	Valor medio	Des.estándar
DC PMOS, 2.0V, 100s	5.547e-1	1.859e-2	5.542e-1	1.854e-2	4.571e-4	1.152e-3
DC PMOS, 2.0V, 1000s	5.560e-1	1.804e-2	5.555e-1	1.814e-2	5.482e-4	9.202e-4
DC PMOS, 2.5V, 100s	5.438e-1	1.843e-2	5.426e-1	1.836e-2	1.260e-3	1.295e-3
DC PMOS, 2.5V, 1000s	5.393e-1	1.983e-2	5.360e-1	2.031e-2	3.285e-3	2.265e-3
DC NMOS, 2.0V, 100s	5.539e-1	1.815e-2	5.547e-1	1.827e-2	-7.875e-4	6.280e-4
DC NMOS, 2.0V, 1000s	5.516e-1	1.733e-2	5.519e-1	1.749e-2	-3.071e-4	7.413e-4
DC NMOS, 2.5V, 100s	5.508e-1	1.644e-2	5.504e-1	1.651e-2	4.017e-4	5.127e-4
DC NMOS, 2.5V, 1000s	5.452e-1	1.307e-2	5.456e-1	1.310e-2	-4.392e-4	9.949e-4
AC TR 50%, 2.0V, 100s	5.448e-1	1.589e-2	5.449e-1	1.644e-2	-8.035e-5	1.168e-3
AC TR 50%, 2.0V, 1000s	5.466e-1	2.080e-2	5.469e-1	2.031e-2	-2.321e-4	1.814e-3
AC TR 50%, 2.5V, 100s	5.594e-1	2.291e-2	5.625e-1	2.220e-2	-3.096e-3	4.484e-3
AC TR 50%, 2.5V, 1000s	5.524e-1	1.893e-2	5.684e-1	1.950e-2	-1.591e-2	5.018e-3
AC SQ 50%, 2.0V, 100s	5.564e-1	1.403e-2	5.567e-1	1.411e-2	-3.178e-4	1.152e-3
AC SQ 50%, 2.0V, 1000s	5.528e-1	2.143e-2	5.530e-1	2.178e-2	-1.625e-4	1.175e-3
AC SQ 50%, 2.5V, 100s	5.547e-1	1.663e-2	5.560e-1	1.640e-2	-1.241e-3	2.478e-3
AC SQ 50%, 2.5V, 1000s	5.464e-1	1.780e-2	5.554e-1	1.814e-2	-9.019e-3	3.069e-3
AC SQ 33%, 2.0V, 100s	5.471e-1	1.695e-2	5.467e-1	1.733e-2	4.500e-4	1.567e-3
AC SQ 33%, 2.0V, 1000s	5.463e-1	2.022e-2	5.468e-1	2.071e-2	-4.214e-4	1.291e-3
AC SQ 33%, 2.5V, 100s	5.430e-1	1.953e-2	5.462e-1	1.854e-2	-3.157e-3	3.387e-3
AC SQ 33%, 2.5V, 1000s	5.453e-1	2.460e-2	5.575e-1	2.091e-2	-1.219e-2	6.579e-3
AC SQ 67%, 2.0V, 100s	5.496e-1	1.705e-2	5.494e-1	1.712e-2	2.285e-4	1.189e-3
AC SQ 67%, 2.0V, 1000s	5.475e-1	1.857e-2	5.477e-1	1.845e-2	-1.625e-4	8.361e-4
AC SQ 67%, 2.5V, 100s	5.503e-1	2.029e-2	5.526e-1	2.206e-2	-2.258e-3	3.546e-3
AC SQ 67%, 2.5V, 1000s	5.374e-1	2.243e-2	5.498e-1	2.129e-2	-1.241e-2	5.088e-3

Tabla 5-11. Valores característicos de las distribuciones del punto $V_{OUT}(V_{IN} = V_{DD}/2)$ para el tamaño S1.

Condición de estrés	$V_{IN}(V_{OUT} = V_{DD}/2)$ fresco		$V_{IN}(V_{OUT} = V_{DD}/2)$ envejecido		$V_{IN}(V_{OUT} = V_{DD}/2)$ degradación	
	Valor medio	Des.estándar	Valor medio	Des.estándar	Valor medio	Des.estándar
DC PMOS, 2.0V, 100s	2.048e-1	9.919e-2	2.037e-1	1.015e-1	1.114e-3	6.740e-3
DC PMOS, 2.0V, 1000s	2.106e-1	1.071e-1	2.074e-1	1.034e-1	3.176e-3	8.278e-3
DC PMOS, 2.5V, 100s	1.415e-1	5.336e-2	1.370e-1	5.027e-2	4.476e-3	5.599e-3
DC PMOS, 2.5V, 1000s	1.457e-1	8.280e-2	1.360e-1	7.904e-2	9.676e-3	9.331e-3
DC NMOS, 2.0V, 100s	1.963e-1	9.575e-2	1.998e-1	9.717e-2	-3.466e-3	4.013e-3
DC NMOS, 2.0V, 1000s	1.924e-1	9.388e-2	1.946e-1	9.464e-2	-2.191e-3	2.316e-3
DC NMOS, 2.5V, 100s	1.765e-1	8.732e-2	1.760e-1	8.486e-2	5.482e-4	3.934e-3
DC NMOS, 2.5V, 1000s	1.470e-1	5.771e-2	1.504e-1	5.980e-2	-3.387e-3	5.247e-3
AC TR 50%, 2.0V, 100s	1.470e-1	7.816e-2	1.484e-1	8.057e-2	-1.380e-3	3.754e-3
AC TR 50%, 2.0V, 1000s	1.630e-1	1.024e-1	1.633e-1	1.000e-1	-3.214e-4	1.007e-2
AC TR 50%, 2.5V, 100s	2.499e-1	1.560e-1	2.696e-1	1.577e-1	-1.964e-2	3.145e-2
AC TR 50%, 2.5V, 1000s	1.990e-1	1.059e-1	3.220e-1	1.455e-1	-1.229e-1	5.190e-2
AC SQ 50%, 2.0V, 100s	2.079e-1	7.835e-2	2.133e-1	8.289e-2	-5.451e-3	9.241e-3
AC SQ 50%, 2.0V, 1000s	2.049e-1	1.334e-1	2.083e-1	1.388e-1	-3.353e-3	1.009e-2
AC SQ 50%, 2.5V, 100s	1.930e-1	1.015e-1	2.110e-1	1.041e-1	-1.802e-2	1.749e-2
AC SQ 50%, 2.5V, 1000s	1.643e-1	8.394e-2	2.407e-1	1.031e-1	-7.644e-2	3.318e-2
AC SQ 33%, 2.0V, 100s	1.616e-1	8.797e-2	1.617e-1	8.872e-2	-1.196e-4	4.657e-3
AC SQ 33%, 2.0V, 1000s	1.625e-1	9.334e-2	1.681e-1	9.547e-2	-5.551e-3	6.879e-3
AC SQ 33%, 2.5V, 100s	1.589e-1	7.884e-2	1.808e-1	8.347e-2	-2.186e-2	1.640e-2
AC SQ 33%, 2.5V, 1000s	1.859e-1	1.093e-1	2.747e-1	1.205e-1	-8.875e-2	4.381e-2
AC SQ 67%, 2.0V, 100s	1.877e-1	8.025e-2	1.884e-1	7.886e-2	-7.196e-4	5.773e-3
AC SQ 67%, 2.0V, 1000s	1.751e-1	8.645e-2	1.798e-1	8.653e-2	-4.708e-3	4.825e-3
AC SQ 67%, 2.5V, 100s	1.684e-1	9.106e-2	1.980e-1	1.099e-1	-2.956e-2	3.011e-2
AC SQ 67%, 2.5V, 1000s	1.246e-1	8.450e-2	2.089e-1	1.047e-1	-8.427e-2	4.305e-2

Tabla 5-12. Valores característicos de las distribuciones del margen de ruido alto NMH para los tamaños S2-S4.

Condición de estrés	NMH fresco		NMH envejecido		Degradación NMH	
	Valor medio	Des.estándar	Valor medio	Des.estándar	Valor medio	Des.estándar
DC PMOS, S2	4.952e-1	1.645e-2	4.981e-1	1.567e-2	-2.885e-3	1.122e-2
DC PMOS, S3	5.690e-1	2.760e-2	5.700e-1	2.686e-2	-9.982e-4	6.793e-3
DC PMOS, S4	5.651e-1	1.176e-2	5.696e-1	1.016e-2	-4.442e-3	9.151e-3
DC PMOS, S5	5.580e-1	1.417e-2	5.657e-1	1.413e-2	-7.657e-3	1.060e-2
DC NMOS, S2	5.008e-01	1.598e-2	4.967e-1	1.670e-2	4.092e-3	1.129e-2
DC NMOS, S3	5.618e-01	2.193e-2	5.601e-1	2.176e-2	1.660e-3	8.848e-3
DC NMOS, S4	5.585e-01	2.126e-2	5.620e-1	1.343e-2	-3.507e-3	1.655e-2
DC NMOS, S5	5.559e-01	7.922e-3	5.580e-1	1.067e-2	-2.157e-3	8.068e-3
AC TR 50%, S2	4.887e-1	2.161e-2	4.700e-1	2.551e-2	1.876e-2	1.303e-2
AC TR 50%, S3	5.575e-1	3.758e-2	5.526e-1	4.072e-2	4.942e-3	8.164e-3
AC TR 50%, S4	5.650e-1	1.336e-2	5.641e-1	1.520e-2	9.071e-4	9.286e-3
AC TR 50%, S5	5.589e-1	1.823e-2	5.517e-1	1.836e-2	7.221e-3	7.432e-3
AC SQ 50%, S2	5.044e-1	1.767e-2	4.914e-1	1.588e-2	1.306e-2	1.139e-2
AC SQ 50%, S3	5.635e-1	3.409e-2	5.595e-1	3.253e-2	4.055e-3	2.651e-2
AC SQ 50%, S4	5.635e-1	2.232e-2	5.664e-1	1.350e-2	-2.850e-3	1.764e-2
AC SQ 50%, S5	5.598e-1	1.196e-2	5.586e-1	1.165e-2	1.178e-3	9.854e-3
AC SQ 33%, S2	4.928e-1	1.041e-2	4.831e-1	1.011e-2	9.707e-3	9.367e-3
AC SQ 33%, S3	5.551e-1	2.178e-2	5.470e-1	2.314e-2	8.114e-3	9.022e-3
AC SQ 33%, S4	5.527e-1	1.866e-2	5.556e-1	2.280e-2	-2.850e-3	1.243e-2
AC SQ 33%, S5	5.604e-1	1.283e-2	5.572e-1	1.370e-2	3.221e-3	1.209e-2
AC SQ 67%, S2	5.126e-1	1.456e-2	4.982e-1	1.532e-2	1.440e-2	7.710e-3
AC SQ 67%, S3	5.607e-1	2.741e-2	5.572e-1	2.856e-2	3.433e-3	2.099e-2
AC SQ 67%, S4	5.732e-1	1.304e-2	5.740e-1	1.444e-2	-8.357e-4	6.010e-3
AC SQ 67%, S5	5.611e-1	1.167e-2	5.658e-1	1.489e-2	-4.621e-3	8.146e-3

Tabla 5-13. Valores característicos de las distribuciones del margen de ruido alto NML para los tamaños S2-S4.

Condición de estrés	NML fresco		NML envejecido		Degradación NML	
	Valor medio	Des.estándar	Valor medio	Des.estándar	Valor medio	Des.estándar
DC PMOS, S2	3.959e-1	1.773e-2	3.907e-1	1.671e-2	5.167e-3	1.557e-2
DC PMOS, S3	3.496e-1	2.788e-2	3.496e-1	2.735e-2	-1.428e-5	7.338e-3
DC PMOS, S4	3.714e-1	1.509e-2	3.676e-1	1.516e-2	3.717e-3	9.922e-3
DC PMOS, S5	3.728e-1	1.020e-2	3.648e-1	1.345e-2	7.998e-3	9.859e-3
DC NMOS, S2	4.012e-1	2.418e-2	4.026e-1	2.141e-2	-1.375e-3	8.224e-3
DC NMOS, S3	3.602e-1	3.383e-2	3.614e-1	3.510e-2	-1.257e-3	9.818e-3
DC NMOS, S4	3.790e-1	1.922e-2	3.780e-1	2.207e-2	9.928e-4	5.583e-3
DC NMOS, S5	3.802e-1	1.090e-2	3.769e-1	1.526e-2	3.307e-3	7.421e-3
AC TR 50%, S2	3.987e-1	1.808e-2	4.176e-1	2.085e-2	-1.893e-2	1.405e-2
AC TR 50%, S3	3.633e-1	4.381e-2	3.646e-1	4.676e-2	-1.241e-3	9.037e-3
AC TR 50%, S4	3.651e-1	2.026e-2	3.659e-1	2.229e-2	-7.964e-4	9.544e-3
AC TR 50%, S5	3.658e-1	2.128e-2	3.734e-1	1.994e-2	-7.551e-3	8.690e-3
AC SQ 50%, S2	3.877e-1	3.078e-2	3.968e-1	2.569e-2	-9.091e-3	1.133e-2
AC SQ 50%, S3	3.670e-1	3.290e-2	3.684e-1	2.841e-2	-1.433e-3	1.622e-2
AC SQ 50%, S4	3.626e-1	2.950e-2	3.649e-1	1.841e-2	-2.358e-3	1.997e-2
AC SQ 50%, S5	3.678e-1	1.328e-2	3.704e-1	1.307e-2	-2.521e-3	1.051e-2
AC SQ 33%, S2	3.926e-1	2.101e-2	4.000e-1	2.078e-2	-7.357e-3	9.329e-3
AC SQ 33%, S3	3.716e-1	3.695e-2	3.751e-1	3.622e-2	-3.576e-3	9.622e-3
AC SQ 33%, S4	3.717e-1	2.048e-2	3.689e-1	2.157e-2	2.775e-3	8.033e-3
AC SQ 33%, S5	3.674e-1	1.495e-2	3.731e-1	1.431e-2	-5.658e-3	1.192e-2
AC SQ 67%, S2	3.911e-1	2.275e-2	3.988e-1	2.298e-2	-7.664e-3	8.761e-3
AC SQ 67%, S3	3.688e-1	3.942e-2	3.677e-1	4.073e-2	1.083e-3	1.689e-2
AC SQ 67%, S4	3.585e-1	1.353e-2	3.589e-1	1.546e-2	-3.642e-4	7.299e-3
AC SQ 67%, S5	3.560e-1	1.563e-2	3.525e-1	1.702e-2	3.521e-3	9.059e-3

Tabla 5-14. Valores característicos de las distribuciones del punto $V_{IN}(V_{OUT} = V_{DD}/2)$ para los tamaños S2-S4.

Condición de estrés	$V_{IN}(V_{OUT} = V_{DD}/2)$ fresco		$V_{IN}(V_{OUT} = V_{DD}/2)$ envejecido		$V_{IN}(V_{OUT} = V_{DD}/2)$ degradación	
	Valor medio	Des.estándar	Valor medio	Des.estándar	Valor medio	Des.estándar
DC PMOS, S2	5.513e-1	1.544e-2	5.490e-1	1.569e-2	2.325e-3	9.838e-4
DC PMOS, S3	4.986e-1	2.185e-2	4.961e-1	2.317e-2	2.526e-3	2.481e-3
DC PMOS, S4	5.141e-1	1.111e-2	5.114e-1	1.083e-2	2.773e-3	1.663e-3
DC PMOS, S5	5.165e-1	7.357e-3	5.143e-1	7.082e-3	2.198e-3	7.899e-4
DC NMOS, S2	5.550e-1	1.580e-2	5.554e-1	1.612e-2	-4.285e-4	8.601e-4
DC NMOS, S3	5.094e-1	2.372e-2	5.093e-1	2.404e-2	5.178e-5	1.182e-3
DC NMOS, S4	5.180e-1	1.533e-2	5.180e-1	1.532e-2	-6.607e-5	5.915e-4
DC NMOS, S5	5.217e-1	7.650e-3	5.215e-1	7.883e-3	1.750e-4	6.943e-4
AC TR 50%, S2	5.598e-1	1.304e-2	5.756e-1	1.360e-2	-1.585e-2	5.301e-3
AC TR 50%, S3	5.070e-1	2.975e-2	5.108e-1	3.061e-2	-3.794e-3	4.244e-3
AC TR 50%, S4	5.131e-1	1.490e-2	5.130e-1	1.552e-2	1.178e-4	1.411e-3
AC TR 50%, S5	5.224e-1	1.148e-2	5.207e-1	1.132e-2	1.666e-3	5.927e-4
AC SQ 50%, S2	5.502e-1	2.014e-2	5.555e-1	1.835e-2	-5.253e-3	3.856e-3
AC SQ 50%, S3	5.111e-1	2.506e-2	5.140e-1	2.655e-2	-2.832e-3	4.874e-3
AC SQ 50%, S4	5.098e-1	1.119e-2	5.079e-1	1.134e-2	1.898e-3	1.113e-3
AC SQ 50%, S5	5.173e-1	7.545e-3	5.160e-1	7.874e-3	1.278e-3	8.566e-4
AC SQ 33%, S2	5.530e-1	1.095e-2	5.597e-1	1.027e-2	-6.746e-3	3.826e-3
AC SQ 33%, S3	5.214e-1	2.699e-2	5.229e-1	2.668e-2	-1.455e-3	4.373e-3
AC SQ 33%, S4	5.114e-1	1.578e-2	5.093e-1	1.527e-2	2.117e-3	1.516e-3
AC SQ 33%, S5	5.204e-1	1.005e-2	5.182e-1	9.819e-3	2.255e-3	6.298e-4
AC SQ 67%, S2	5.402e-1	1.490e-2	5.479e-1	1.695e-2	-7.755e-3	3.884e-3
AC SQ 67%, S3	5.017e-1	2.568e-2	5.055e-1	2.671e-2	-3.823e-3	5.174e-3
AC SQ 67%, S4	5.058e-1	1.030e-2	5.045e-1	1.034e-2	1.294e-3	9.023e-4
AC SQ 67%, S5	5.085e-1	1.097e-2	5.091e-1	1.080e-2	-6.250e-4	1.220e-3

Tabla 5-15. Valores característicos de las distribuciones del punto $V_{OUT}(V_{IN} = V_{DD}/2)$ para los tamaños S2-S4.

Condición de estrés	$V_{IN}(V_{OUT} = V_{DD}/2)$ fresco		$V_{IN}(V_{OUT} = V_{DD}/2)$ envejecido		$V_{IN}(V_{OUT} = V_{DD}/2)$ degradación	
	Valor medio	Des.estándar	Valor medio	Des.estándar	Valor medio	Des.estándar
DC PMOS, S2	1.849e-1	8.010e-2	1.735e-1	7.474e-2	1.135e-2	7.829e-3
DC PMOS, S3	4.095e-2	1.772e-2	3.970e-2	1.857e-2	1.248e-3	1.773e-3
DC PMOS, S4	4.635e-2	7.652e-3	4.399e-2	6.538e-3	2.355e-3	1.896e-3
DC PMOS, S5	4.949e-2	5.061e-3	4.715e-2	4.805e-3	2.341e-3	7.926e-4
DC NMOS, S2	1.881e-1	1.141e-1	1.923e-1	1.161e-1	-4.194e-3	3.843e-3
DC NMOS, S3	4.650e-2	1.366e-2	4.683e-2	1.408e-2	-3.267e-4	1.642e-3
DC NMOS, S4	4.700e-2	1.018e-2	4.745e-2	1.020e-2	-4.517e-4	2.266e-4
DC NMOS, S5	5.209e-2	4.709e-3	5.212e-2	4.491e-3	-2.500e-5	4.466e-4
AC TR 50%, S2	2.398e-1	1.016e-1	3.664e-1	1.270e-1	-1.265e-1	4.023e-2
AC TR 50%, S3	4.755e-2	2.758e-2	5.780e-2	4.184e-2	-1.025e-2	1.581e-2
AC TR 50%, S4	4.913e-2	7.734e-3	4.856e-2	8.369e-3	5.625e-4	1.355e-3
AC TR 50%, S5	5.820e-2	9.349e-3	5.510e-2	8.675e-3	3.100e-3	8.537e-4
AC SQ 50%, S2	1.853e-1	1.102e-1	2.272e-1	1.160e-1	-4.190e-2	2.521e-2
AC SQ 50%, S3	4.735e-2	1.921e-2	5.824e-2	3.032e-2	-1.088e-2	1.386e-2
AC SQ 50%, S4	4.608e-2	7.727e-3	4.398e-2	7.922e-3	2.092e-3	1.313e-3
AC SQ 50%, S5	5.272e-2	4.959e-3	5.060e-2	5.068e-3	2.116e-3	5.706e-4
AC SQ 33%, S2	1.906e-1	5.271e-2	2.560e-1	6.308e-2	-6.541e-2	2.750e-2
AC SQ 33%, S3	6.350e-2	4.497e-2	6.898e-2	4.053e-2	-5.483e-3	9.083e-3
AC SQ 33%, S4	4.776e-2	8.451e-3	4.532e-2	7.972e-3	2.444e-3	1.839e-3
AC SQ 33%, S5	5.513e-2	9.008e-3	5.179e-2	8.301e-3	3.339e-3	1.002e-3
AC SQ 67%, S2	1.197e-1	5.205e-2	1.763e-1	8.936e-2	-5.655e-2	3.985e-2
AC SQ 67%, S3	3.558e-2	1.014e-2	4.355e-2	1.499e-2	-7.976e-3	6.088e-3
AC SQ 67%, S4	4.246e-2	6.870e-3	4.217e-2	7.078e-3	2.857e-4	1.318e-3
AC SQ 67%, S5	5.031e-2	6.171e-3	5.160e-2	5.939e-3	-1.287e-3	9.691e-4

5.4. Conclusiones del capítulo.

En este capítulo se ha analizado el impacto de la variabilidad sobre los inversores, el primer tipo de CUT estudiado de forma empírica en esta tesis. El principal aspecto a destacar de este capítulo es que la diferencia mostrada en la degradación según el tipo de estrés aplicado y la forma de onda utilizada en la entrada del CUT, pone de manifiesto la importancia de considerar de forma precisa las condiciones de estrés que están siendo aplicadas sobre los CUTs en los estudios o análisis de fiabilidad. Otro aspecto que queda manifiesto es la propia variabilidad que presenta la TDV y, por tanto, la importancia de utilizar modelos estocásticos para evaluar la degradación por envejecimiento con herramientas de simulación. Además, sobre este tipo de CUT concreto, se ha demostrado en gran medida las diferentes dependencias de la variabilidad TZV y TDV con los dimensionamientos de los CUTs y en el caso de la TDV, también con la tensión de estrés y el tiempo de estrés aplicados en los experimentos.

En el siguiente capítulo se realizará el estudio del siguiente tipo de CUT evaluado en esta tesis, los espejos de corriente simple.

Capítulo 6: Espejos de Corriente.

6.1. Introducción.

En este capítulo se presentan las medidas realizadas y los resultados obtenidos sobre los CUTs tipo espejos de corriente de la matriz de bloques básicos de KIPT. De forma parecida al capítulo previo, la organización del presente capítulo consta del apartado 6.2 donde se describe el tipo de medidas realizadas, tanto para caracterización como para los tests de degradación, y del apartado 6.3 donde se presentan los resultados. No obstante, existen ciertas diferencias en el desarrollo de los apartados ya que el tipo de medidas y los aspectos en los que se hace énfasis en este caso son ligeramente diferentes. Concretamente, debe tenerse en cuenta que los espejos de corriente son un circuito muy adecuado para estudiar el impacto de la realimentación o *link* bidireccional entre la degradación por envejecimiento y las condiciones de estrés, debido a que se trata de circuitos con una estructura simple donde puede apreciarse dicho efecto. Por tanto, este capítulo se centra en evaluar el cambio que se produce en las condiciones de estrés por la existencia del *link* bidireccional y la diferencia en la degradación cuando éste se tiene o no se tiene en cuenta, mediante el uso de distintos esquemas de testado. Esto revelará la importancia de tener en cuenta la evolución de las condiciones de estrés de forma precisa y el valor de actualizar las mismas de forma eficiente en herramientas de simulación de fiabilidad como la presentada en el capítulo 3. El capítulo desarrolla su estudio sobre los espejos de corriente simples y en el apartado 6.4, se realizan unas consideraciones adicionales sobre los espejos Wilson mejorados. Finalmente, en el apartado 6.5 se recogen las conclusiones del capítulo.

6.2. Medidas realizadas.

La gestión de las *Unity Cells* de los CUTs tipo espejos de corriente fue explicada en el apartado 4.4.3 del capítulo 4. Los distintos tipos de espejo, así como sus respectivos dimensionamientos pueden consultarse en la Tabla 4-5. El proceso completo del experimento o medida realizada sobre los CUTs sigue un esquema como el mostrado en la Figura 4-3. Particularizando para los espejos de corriente, este flujo se corresponde con el mostrado en la Figura 6-1.

De nuevo, sobre los CUTs degradados o envejecidos se realizará una caracterización para una situación estática o cuasi estática de la dinámica de los defectos y una caracterización dinámica justo después de aplicar el estrés. El estudio de degradación incluido en este capítulo se centra en la caracterización estática y consecuentemente en el daño o degradación permanente sobre las prestaciones del circuito. No obstante, se presentarán algunos resultados de la caracterización dinámica para estudiar como varía el valor de la prestación medida según la dinámica de los defectos (procesos de captura y emisión de carga), en función del esquema empleado en el proceso de degradación de los CUTs.

Tanto en la caracterización dinámica como estática la prestación evaluada es el factor de copia, *copy factor* o *CF*, del espejo de corriente, la cual se obtiene a partir de la medida de las corrientes en los terminales de entrada y salida del CUT mediante la expresión:

$$CF = \frac{I_{output}}{I_{input}} \quad \text{Ec. 6-1}$$

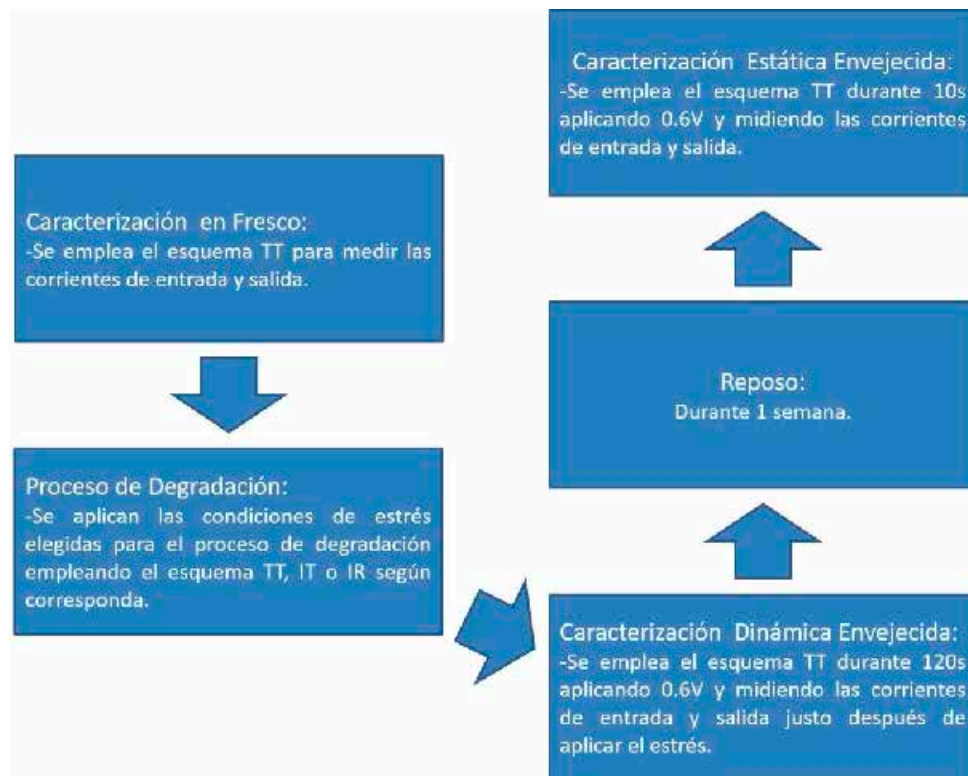


Figura 6-1. Proceso completo de medida de un CUT tipo espejo de corriente simple.

A continuación, en los siguientes sub-apartados se desarrolla la explicación de los esquemas de testado empleados (6.2.1), las medidas de caracterización (6.2.1.1) y las condiciones de estrés aplicadas en el proceso de degradación (6.2.2).

6.2.1. Esquemas de testado

Las *Unity Cells* de los espejos de corriente fueron diseñadas con el objetivo de poder realizar experimentos sometiendo a los CUTs no sólo a diferentes condiciones de estrés, sino empleando diferentes esquemas de testado para estudiar empíricamente el impacto de la realimentación o *link* bidireccional entre las condiciones de estrés y la degradación. En este sentido, en el estudio presentado en este capítulo se han empleado tres esquemas de medida distintos: TT, IT e IR. Estos esquemas de testado permiten o no la existencia de este *link* entre la degradación de los dispositivos y las condiciones de estrés en los terminales del CUTs.

Para la caracterización masiva, tal como muestra la Figura 6-1, siempre se emplea el esquema TT tanto para la caracterización en fresco como para la caracterización dinámica y estática de los CUTs envejecidos. Por su parte, durante el proceso de degradación de los mismos, será empleado uno de los tres esquemas posibles: TT, IT o IR. No obstante, para llevar a cabo el estudio fenomenológico presentado en el apartado 6.3.2, se han realizado adicionalmente algunas medidas de caracterización dinámica empleando los esquemas IT e IR además del TT.

6.2.1.1. Esquema de testado TT.

El primer esquema presentado es el que se muestra en la Figura 6-2, tanto para el caso de un espejo simple PMOS como NMOS. Se emplea este esquema para fijar directamente la tensión en los terminales de entrada y salida de los espejos de corriente, por lo que la

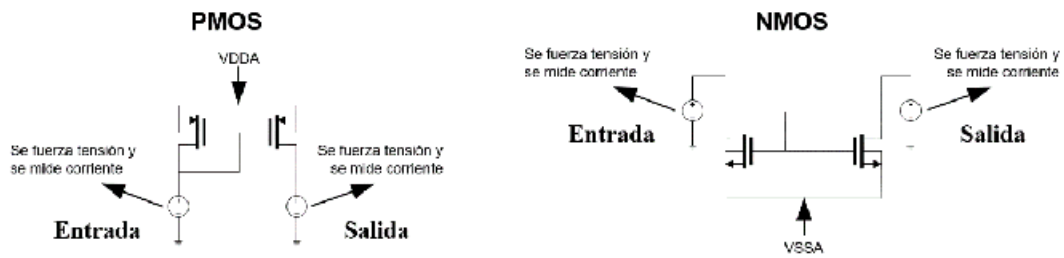


Figura 6-2. Esquema de testado TT.

degradación de los transistores que componen el CUT no alterará las condiciones de estrés en tensión en dichos terminales. Dicho de otro modo, en este esquema de testado no existe *link* entre el *aging* y las condiciones de estrés. En esta tesis, se ha denominado a este esquema de testado o configuración con el nombre TT, debido a que se fuerza tensión tanto a la entrada como a la salida de los CUTs.

Este es el esquema empleado para la caracterización del factor de copia en los experimentos llevados a cabo de forma masiva para realizar el estudio estadístico presentado en el apartado 6.3.3. La razón es que, al no existir *link* bidireccional en este esquema, la interpretación de las medidas realizadas es sencilla. Todos los cambios de corriente que se producen en la rama de entrada dependerán únicamente de los fenómenos de degradación/recuperación del transistor de entrada del CUT, mientras que, análogamente, los cambios en la corriente de salida serán debidos únicamente a la degradación/recuperación del transistor de salida del CUT.

6.2.1.2. Esquema de testado IT.

El segundo esquema de testado empleado es el que se muestra en la Figura 6-3, tanto para CUTs tipo PMOS como para NMOS. Este esquema es parecido al anterior, pero en este caso en el terminal de entrada se fuerza una corriente en lugar de una tensión. Por esta razón, esta configuración se denomina IT. Debe notarse que este cambio produce una variación significativa. Por un lado, que el estímulo de entrada al espejo de corriente simple sea una corriente, se aproxima al modo de operación convencional de este tipo de estructuras, cuyo cometido será replicar la corriente que circula por la rama de entrada en la rama de salida (con su respectivo escalado). Por otro lado, si el transistor de entrada se degrada, al encontrarse la corriente que circula por el mismo forzada, será necesario un aumento en la caída de tensión de dicho transistor para mantener ese mismo nivel de corriente (un aumento de la V_{SG} y/o V_{SD} si el espejo es de tipo PMOS o de la V_{GS} y/o V_{DS} si el espejo es de tipo NMOS). Esto lleva inevitablemente a un cambio en la tensión del

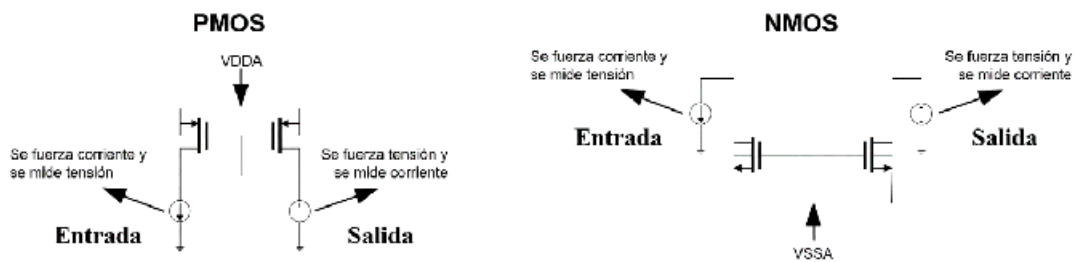


Figura 6-3. Esquema de testado IT.

nodo de entrada, o lo que es lo mismo, un cambio en las condiciones de estrés de este transistor debido a su propia degradación. Este cambio, producido por la degradación del transistor de entrada, afectará también al transistor de salida, ya que dicho nodo de entrada se encuentra conectado al terminal de puerta del mismo. De esta forma, pese a que la tensión V_{DS}/V_{SD} será siempre constante para el transistor de salida, al estar forzándose la tensión en el nodo de salida, un cambio en la tensión del nodo de entrada producirá un cambio en la V_{GS}/V_{SG} del transistor de salida, o lo que es equivalente, cambiarán sus condiciones de estrés.

En definitiva, en este esquema la degradación del transistor de entrada provocará cambios en las condiciones de estrés tanto en el transistor de entrada (V_{SG} y V_{SD} o V_{GS} y V_{DS}) como en el transistor de salida (V_{SG} o V_{GS}). Evidentemente, este cambio paulatino en las condiciones de estrés, provocará, a su vez, un cambio en el comportamiento de la degradación por envejecimiento, que a su vez seguirá cambiando las condiciones de estrés. Es decir, este esquema, pese a ser sencillo, incluye el *link* bidireccional y es adecuado para evaluar de forma aislada el *link* producido debido a la degradación del transistor de entrada y el consecuente cambio de las condiciones de estrés en el nodo de entrada del espejo.

Nótese que, de forma parecida a como ocurría en el esquema TT, en el transistor de salida del esquema IT, se está forzando tensión a la salida, por lo que, si dicho transistor se degrada, no sería posible que variase su tensión V_{DS}/V_{SD} para mantener el mismo nivel de corriente. Podría pensarse entonces que dicho transistor de salida podría tratar de modificar la tensión en su puerta para mantener el nivel de corriente variando su V_{GS}/V_{SG} , pero esto no es posible porque un cambio en esta tensión implicaría aumentar las tensiones V_{SG} y V_{SD} o V_{GS} y V_{DS} del transistor de entrada, lo cual modificaría la corriente que circularía por dicho transistor de entrada, lo cual no es posible porque su corriente está siendo forzada. En definitiva, la degradación en el transistor de salida del esquema de testado IT, se refleja al igual que en el esquema TT, como una degradación de la corriente que circula por dicho transistor.

6.2.1.3. Esquema de testado IR.

El tercer esquema empleado, es el mostrado en la Figura 6-4. Se trata de un esquema de testado más cercano a la operación convencional que sufren los espejos de corriente, los cuales no sólo reciben como estímulo en la rama de entrada una corriente que deben replicar a la salida, sino que en dicho nodo de salida atacan a una carga en lugar de tener forzada una tensión. En este sentido, este esquema no restringe en ningún caso la existencia de *link* bidireccional tal como sería la operación normal de los CUTs.

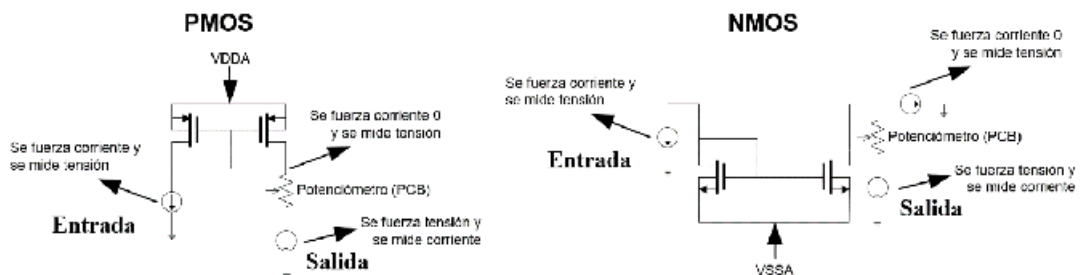


Figura 6-4. Esquema de testado IR.

Recordando la *Unity Cell* presentada en el apartado 4.4.3 del capítulo 4, en este esquema de testado se activan sendas señales de control de las llaves que habilitan tanto la conexión directa con el terminal de salida del espejo de corriente como la salida que conecta con el potenciómetro ubicado en la PCB para que el espejo ataque a una carga, en este caso lineal. En este esquema, la salida “real” o, dicho de otro modo, la rama por la que circulará corriente de salida será la del potenciómetro. La conexión directa al terminal se habilita para poder monitorizar la tensión en el nodo de salida. Para que esta monitorización no afecte al comportamiento del circuito, se fuerza una corriente $I = 0$ en esa rama. Este esquema de testado se ha denominado en este trabajo como IR, debido a la carga lineal que se sitúa en el nodo de salida del espejo.

Lo primero que hay que destacar de este esquema es que todo lo mencionado en el esquema anterior IT sobre cómo la degradación del transistor de entrada cambia la tensión en dicho nodo de entrada y esto afecta provocando un cambio en las condiciones de estrés de ambos transistores, sigue ocurriendo en este esquema, ya que, al igual que en el caso anterior, se está forzando una corriente por la rama de entrada.

La diferencia fundamental se encuentra ahora en el nodo correspondiente al terminal de salida del espejo, que en este esquema puede variar su tensión. Esto se debe a que en este caso la tensión no está fijada en el terminal de salida y para que se pueda producir un cambio de corriente en la rama de salida, la carga lineal, fuerza un cambio en la tensión entre sus terminales. En este sentido, un aumento de la corriente implica a su vez una reducción de la tensión V_{SD}/V_{DS} del transistor de salida y consecuentemente, una reducción de la demanda en corriente en dicho transistor. La corriente de salida puede cambiar por un cambio en la tensión del nodo de entrada (puerta del transistor de salida) debido a la degradación del transistor de entrada, o bien, por la propia degradación del transistor de salida. En cualquier caso, en el esquema IR, la degradación de cualquiera de los transistores provocará un cambio en la tensión de salida del CUT, modificando sus condiciones de estrés y afectando específicamente al transistor de salida del espejo.

En definitiva, en este esquema, que es el más complejo y parecido al funcionamiento convencional de un espejo de corriente, la degradación de los dispositivos afecta a posibles cambios tanto en la tensión del nodo de entrada como en la tensión y corriente del nodo de salida, pudiendo estudiarse la degradación de los CUTs en presencia del *link* bidireccional completo entre condiciones de estrés y la degradación por envejecimiento de los espejos de corriente.

6.2.2. Medidas de caracterización

En general, el objetivo de las medidas de caracterización es observar la degradación que ha sufrido la corriente que circula por cada uno de los transistores, es decir, las corrientes de entrada y salida del CUT, y cómo esto afecta y varía el valor del factor de copia. En este sentido, sería equivalente emplear cualquiera de los esquemas presentados en el apartado anterior, ya que, teóricamente esta información puede ser extraída de cada uno de ellos y solo varía la perspectiva en que esta información es obtenida. Las medidas de caracterización realizadas de forma masiva siempre se realizan empleando el esquema de testado TT por ser el más simple e intuitivo. En este esquema, se fijan las tensiones en los terminales del espejo y se miden las corrientes de entrada y salida del mismo para determinar el CF. En las medidas de caracterización del CUT envejecido, la diferencia

entre la caracterización estática y dinámica consiste en el tiempo durante el que se están midiendo estas corrientes. En el caso de la caracterización estática, la medida se realiza durante 10 segundos porque lo que interesa es promediar un valor de corriente para el cálculo de la prestación. En el caso de la caracterización dinámica, llevada a cabo justo después del estrés, las corrientes se miden durante 120 segundos, ya que lo que interesa en este caso es observar en la mayor ventana experimental posible la variación de las corrientes y, por consiguiente, del CF en función de la dinámica de los defectos, esto es, según se producen los fenómenos de emisión y captura de carga en los defectos de los transistores. En este sentido, este valor de 120 segundos es el máximo tiempo de laboratorio que se ha considerado asumible para llevar a cabo estas medidas.

Respecto a la polarización empleada cuando se utiliza el esquema TT, ésta consiste en aplicar tanto en el nodo de entrada como en el de salida el mismo valor de tensión. Debe recordarse que en todos los espejos la relación de aspectos es 1:1. Esto significa que, de forma ideal, para transistores idénticos y en ausencia de variabilidad TZV y TDV, circulará por ellos la misma corriente, resultando en un CF ideal de valor 1. Siguiendo este razonamiento, cualquier desviación de este valor presente en las medidas se deberá precisamente al impacto de la TZV y de la TDV. El impacto de la TZV será evaluado sobre la caracterización en fresco de los CUTs mientras que el impacto conjunto de ambas fuentes de variabilidad se extraerá de la caracterización envejecida de los CUTs después del proceso de degradación.

Experimentalmente, se han escogido distintos valores de tensión para realizar la caracterización de los CUTs, ya que el valor del CF dependerá del punto de polarización del circuito porque éste fija las caídas de tensión en los transistores del espejo. Concretamente, en los CUTs caracterizados de forma masiva se han empleado unas tensiones de polarización $V_{SG} = V_{SD}$ (o $V_{GS} = V_{DS}$) de 0.6V y de 0.9V. El hecho de emplear al menos dos valores de tensión permite conocer si la polarización del circuito afecta al cambio de sus prestaciones de forma significativa ante una misma degradación, ya que situaría al circuito en unas condiciones de operación relativamente diferentes. Sin embargo, en los experimentos llevados a cabo durante esta tesis en términos de un estudio de degradación, pese a que evidentemente ésta es diferente en términos cuantitativos en función del punto de polarización empleado, no se aprecian diferencias en lo que respecta a las conclusiones que pueden extraerse de los resultados obtenidos caracterizando los CUTs con una u otra tensión. Por esta razón, para no extender la memoria de la tesis con resultados y conclusiones repetitivos, se presentarán únicamente los resultados obtenidos cuando la tensión de caracterización utilizada es de 0.6V. Éste es un valor lo suficientemente alto para asegurar que en la ventana experimental ninguno de los transistores se encuentre en corte, pero a su vez, resultará en valores de corriente relativamente bajos que permitirán apreciar con mayor facilidad el impacto de la degradación, incluso si se trata de la contribución de un único fenómeno de captura o emisión de carga, por lo que es un nivel de tensión adecuado para realizar la caracterización dinámica.

Para el estudio fenomenológico llevado a cabo en el apartado 6.3.2.1, se han realizado de forma particular algunas medidas de caracterización dinámica empleando los esquemas IT e IR. En estos casos, en función del esquema de testado empleado, en cada uno de los terminales se aplicará tensión y se medirá corriente o se aplicará una corriente y se medirá

la tensión en el nodo. Posteriormente, con la información obtenida se calculará el factor de copia o *CF* del espejo y se evaluará el cambio producido en las condiciones de estrés.

6.2.3. Proceso de degradación del CUT

El conjunto de condiciones de estrés y los esquemas de testado empleados durante el proceso de degradación en los CUTs tipo espejos de corriente simples pueden encontrarse en la Figura 6-5. Pueden distinguirse nuevamente 3 dimensiones: el tiempo de estrés, la tensión de estrés y el esquema de testado empleado. Las razones de por qué emplear tiempos de estrés de 100 y 1000 segundos y tensiones de estrés de 2.0V y 2.5V son las mismas que se explicaron en el capítulo 5 para el caso de los inversores. Además, para cada una de estas condiciones se realizarán experimentos empleando durante la degradación los esquemas TT, IT e IR, para poder observar y estudiar cómo cambia la degradación cuando se permite o no un cambio en las condiciones de estrés. Cabe recordar también que a estas condiciones se les podrían añadir dos dimensiones adicionales como serían el tipo de espejo de corriente, en función de que sus transistores fueran del tipo PMOS o NMOS, y el diseño de los mismos, habiendo un total de 3 tamaños diferentes para cada tipo, por lo que, en definitiva, el número total de tipos de test de degradación realizados sería de 72.

Debe notarse que, a diferencia del capítulo 5, no se aplicarán condiciones de estrés AC sobre los CUTs, sino que se utilizará una polarización constante en el circuito durante la degradación. De esta forma, los valores de tensión de 2.0V y 2.5V son los valores DC que se aplicarán directamente en los terminales de entrada y salida del espejo. Con respecto a esto, es conveniente aclarar que cuando el esquema de testado aplicado es el esquema TT, en principio bastará con forzar directamente los valores de tensión deseados (2.0V o 2.5V) en los terminales de los espejos de corriente. En el caso de que se quiera utilizar el esquema IT o IR, será necesario conocer la corriente que debe aplicarse a la entrada, concretamente, la corriente que debe aplicarse para que el nodo de entrada se sitúe a la tensión de estrés deseada de 2.0V o 2.5V. En este sentido, cuando en este trabajo se hable de estrés aplicado de 2.0V o 2.5V, pero se esté utilizando uno de estos esquemas, debe entenderse que no se está aplicando tensión, sino que se está aplicando la corriente equivalente para que el nodo alcance dicha tensión.

Ahora bien, esta corriente será, evidentemente, diferente en función del tipo de espejo (NMOS y PMOS) y de las dimensiones de éste, por lo que será necesario averiguar los 6 valores de corriente equivalente para cada uno de los casos. De hecho, el verdadero problema es que dicha corriente será diferente incluso para espejos de un mismo tipo y tamaño debido a la inherente TZV de los dispositivos. Se podría pensar que una forma de

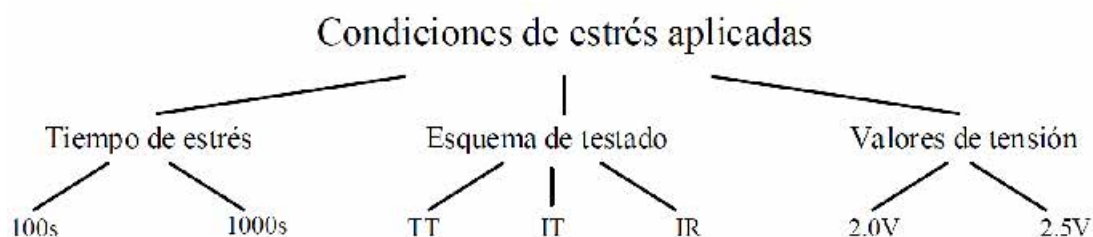


Figura 6-5, Condiciones de estrés y configuraciones aplicadas a los espejos de corriente simple en los experimentos de degradación.

averiguar este valor de corriente para cada dispositivo sería la de aplicar por un pequeño instante de tiempo la tensión de sobre-estrés y medir la corriente equivalente pero realmente esto no es adecuado, ya que en ese proceso precisamente debido al sobre-estrés, el transistor ya habría sufrido algo de degradación. La opción final por la que se ha optado es la de realizar, en primer lugar, los esquemas de testado con la configuración TT para cada tipo y dimensión de espejo. De estas medidas se ha promediado la corriente de entrada que se ha obtenido en cada caso y se ha escogido este promedio como el valor de corriente a aplicar en los esquemas IT e IR. La Tabla 6-1 muestra los valores que se han empleado como corrientes equivalentes a cada uno de los dos valores de tensión de estrés evaluados para cada tipo y dimensión de espejo de corriente simple. Estos valores han sido calculados a partir de las medidas realizadas sobre todos los CUTs de cada dimensión y para cada condición en tres chips de KIPT. La información sobre la desviación estándar mostrada en la Tabla 6-1, da una idea de la dispersión entre las corrientes que producen el valor deseado en los CUTs medidos y, desde la perspectiva inversa, de cuál es el error que se puede cometer al polarizar la entrada de los CUTs con los esquemas IT e IR con el valor de corriente promedio para cada tensión.

Tabla 6-1. Valores de corrientes equivalentes (promedios y desviación estándar) para cada tipo de espejo, dimensionamiento y tensión de estrés.

Tensión estrés	2.5V		2.0V	
Corriente (A)	Valor medio	desv.estándar	Valor medio	desv.estándar
SCMNS1	2.144e-4	7.648e-6	1.627e-4	6.257e-6
SCMNS2	3.978e-4	1.157e-5	2.996e-4	9.488e-6
SCMNS3	2.451e-4	3.685e-6	1.813e-4	3.893e-6
SCMPS1	1.823e-4	4.254e-6	1.288e-4	3.670e-6
SCMPS2	3.468e-4	8.047e-6	2.416e-4	5.487e-6
SCMPS3	1.875e-4	2.582e-6	1.284e-4	2.075e-6

Algo similar ocurre con el esquema IR a la hora de ajustar el potenciómetro para que en el nodo situado entre el terminal de salida del espejo y la carga se sitúe la tensión equivalente deseada. El procedimiento seguido en este caso ha sido el de emplear algunos dispositivos para la calibración de este valor. Para ello se han empleado esquemas como los que se muestran en la Figura 6-6 para cada dimensionamiento, donde se ha forzado la tensión al otro lado de la carga lineal y se ha buscado en un proceso de iteración manual, partiendo de un valor inicial del potenciómetro calculado mediante simulación, el valor del potenciómetro real para el cual, teniendo en cuenta todos los dispositivos de calibración empleados, se ha obtenido en promedio el valor de tensión deseado en el nodo de salida del espejo. La Tabla 6-2 muestra los valores a los que debe ajustarse el potenciómetro en cada caso.

Evidentemente, tanto en el caso del esquema IT como del IR, pese a emplear estos valores de corriente de entrada y, en su caso, del potenciómetro, con la intención de situar de inicio los nodos de los terminales del espejo a la tensión deseada, con el tiempo y la degradación, la tensión en estos nodos irá variando, siendo justamente eso lo que se pretende estudiar, el cambio en las condiciones de estrés y cómo afecta éste a la degradación.



Figura 6-6. Esquema empleado para ajustar los valores de los potenciómetros en la salida de los espejos de corriente.

Tabla 6-2. Valores del potenciómetro simulado (inicial) y real para cada tipo de espejo, dimensionamiento y tensión de estrés.

Tensión estrés	2.5V		2.0V	
	Potenciómetro (Ω)	Simulado	Real	Simulado
SCMNS1	525.2	525.2	4.049K	4.049K
SCMNS2	127.0	67	2.024K	1.888K
SCMNS3	649.1	644.3	3.532K	3.532K
SCMPS1	2.459K	1.355K	6.431K	5.820K
SCMPS2	1.203K	1.203K	3.330K	2.937K
SCMPS3	2.815K	2.815K	6.732K	5.823K

Es importante destacar en este punto que, independientemente del test de degradación utilizado, por la propia estructura de los espejos de corriente, ambos transistores se encontrarán operando en general tanto con una tensión V_{DS}/V_{SD} como con una tensión V_{GS}/V_{SG} elevada. Por tanto, los transistores se encuentran en las peores condiciones de degradación posibles, estando sometidos simultáneamente a los efectos de HCI y BTI.

6.3. Resultados.

En este apartado se presentan los resultados obtenidos a partir de las medidas realizadas. En primer lugar, en el apartado 6.3.1 se estudia el impacto de la TZV. En el apartado 6.3.2 se incluye un estudio fenomenológico de los espejos y en el apartado 6.3.3 se muestran los resultados de la caracterización estática.

6.3.1. Estudio de la TZV

De forma parecida al procedimiento realizado en el capítulo anterior, la primera parte de este apartado consistirá en comparar los resultados obtenidos de la caracterización en fresco de las distribuciones de TZV de cada chip de KIPT empleado en los experimentos realizados sobre los CUTs tipo espejos de corriente simples. En segundo lugar, se agruparán todas las medidas realizadas en los diferentes chips, tratándolas como provenientes de una única distribución de TZV. Se presentarán los valores característicos de la distribución obtenida, esto es, el valor promedio y la desviación estándar, así como un histograma de la distribución resultante para cada tipo y dimensionamiento de los espejos de corriente.

Para el estudio mostrado en este apartado se han empleado en total 6 chips diferentes, los cuales han sido degradados posteriormente bajo distintos esquemas y condiciones de estrés. Debe recordarse que el chip KIPT incluye 6 tipos de espejos de corriente simples, 3 de tipo NMOS y 3 de tipo PMOS, cuyas dimensiones se recogen en la Tabla 4-5. La

caracterización en fresco utilizada en este apartado, como se ha descrito en el apartado 6.2.2, se ha realizado polarizando los espejos de corriente forzando una tensión del mismo valor a la entrada y la salida (esquema TT) de 0.6V, midiendo el valor de las corrientes de entrada y salida y determinando a partir de éstos el valor del factor de copia.

En primer lugar, se mostrará para cada tipo y dimensionamiento de los espejos de corriente simples, los valores de corriente de entrada y salida, así como el factor de copia obtenidos para cada CUT en cada chip. En este sentido, la Figura 6-7 muestra dichas corrientes para los diseños de espejos simples de tipo NMOS y la Figura 6-8 para los CUTs de tipo PMOS. Por su parte, la Figura 6-9, muestra los factores de copia para los 6 diseños de espejos de corriente. Acompañando a cada figura, se muestran una serie de tablas (desde la Tabla 6-3 hasta la Tabla 6-8) con el valor promedio y la desviación estándar de las corrientes de entrada y salida, así como del factor de copia para cada tipo de CUT.

A la luz de los resultados, aunque evidentemente es posible apreciar ciertas diferencias entre las medidas de los distintos chips, se puede considerar que, en términos generales, los valores promedios obtenidos en cada chip para cada uno de los parámetros mostrados son relativamente similares entre sí en relación a la dispersión de las medidas. También, esta dispersión de las medidas de cada uno de los chips se mantiene en un orden similar.

En definitiva, de los datos empíricos se puede concluir que no es posible establecer una correlación clara de los resultados obtenidos en función del chip del que provengan. De hecho, conforme el número de CUTs medidos por cada chip va aumentando, se ha comprobado que las posibles diferencias se reducen, por lo que es posible que, si se pudiera aumentar la resolución, esto es, si se pudiera aumentar el número de CUTs medidos en cada chip, las distribuciones obtenidas serían aún más parecidas. Desde otra perspectiva, el hecho de que las posibles diferencias entre las distribuciones de los CUTs de diferentes chips queden enmascaradas por la propia variabilidad de las distribuciones, se puede interpretar como que la variabilidad TZV del espejo está dominada por la variabilidad *intradie*, algo que sería esperable. En este sentido, la variabilidad entre distintos chips sería despreciable.

Bajo esta premisa, es posible asumir que todas las medidas obtenidas de los distintos chips pueden agruparse como medidas obtenidas de una única distribución de TZV. Por tanto, asumiendo a continuación que todas las muestras obtenidas provienen de una única distribución de TZV y, por tanto, agrupando todos los valores obtenidos, es posible representar los histogramas de dicha distribución TZV.

En este sentido, la Figura 6-10 muestra los histogramas de las corrientes de entrada y salida de los espejos de corriente simple tipo PMOS, la Figura 6-11 hace lo propio para los dispositivos NMOS, y la Figura 6-12 muestra los histogramas del factor de copia obtenidos en los 6 tipos de espejos de corriente. Los valores característicos de las distribuciones TZV para cada tipo y dimensionamiento de CUT, considerando todas las muestras como una distribución única para cada caso, se muestran en la Tabla 6-9.

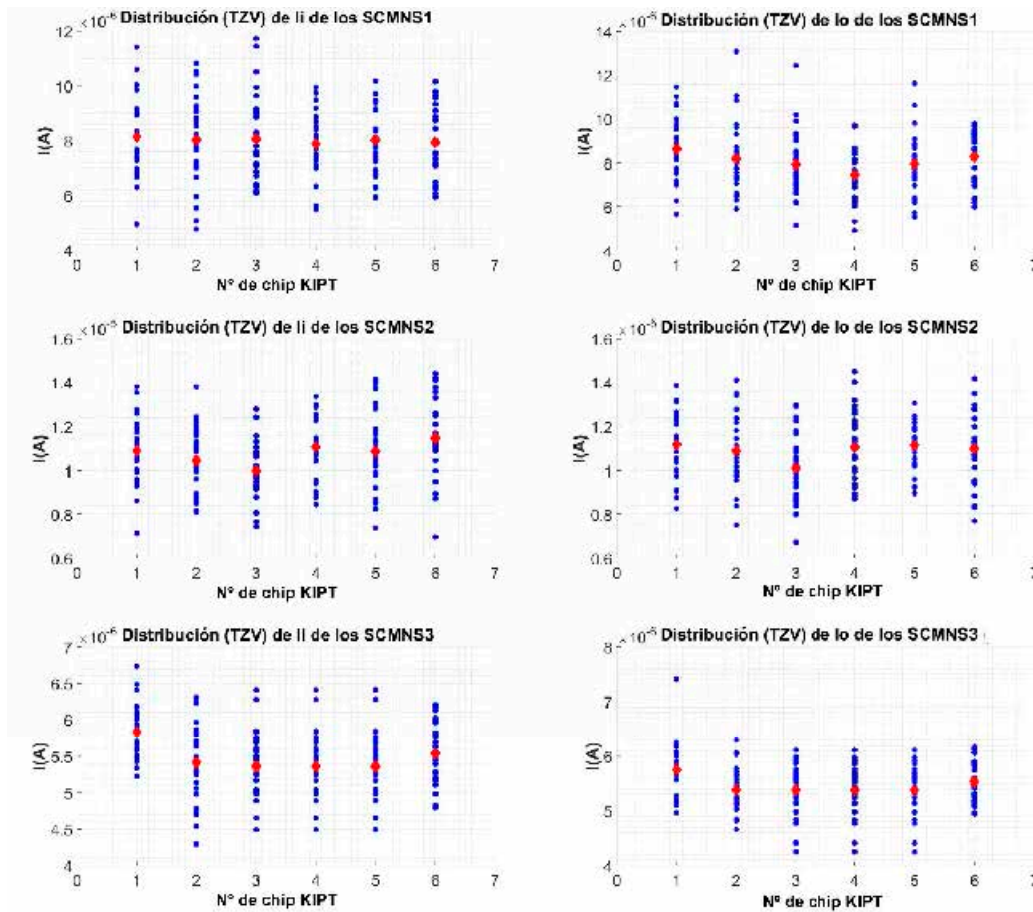


Figura 6-7. Distribución de las corrientes de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los espejos de corriente simple NMOS para cada chip KIPT (numerados del 1-6 en el eje de abscisas). Cada fila representa las corrientes de un dimensionamiento (S1-S3). Los valores de corriente obtenidos para cada CUT se muestran como puntos azules y el valor promedio para ese chip como un rombo rojo.

Tabla 6-3. Valor medio y desviación estándar de la corriente de entrada en espejos NMOS.

Chip KIPT	SCMNS1		SCMNS2		SCMNS3	
	Valor medio (A)	desviación estándar (A)	Valor medio (A)	desviación estándar (A)	Valor medio (A)	desviación estándar (A)
Chip 1	8.141e-6	1.520e-6	1.090e-5	1.508e-6	5.833e-6	3.537e-7
Chip 2	8.018e-6	1.609e-6	1.047e-5	1.483e-6	5.411e-6	5.160e-7
Chip 3	7.770e-6	1.436e-6	1.043e-5	1.358e-6	5.358e-6	4.447e-7
Chip 4	7.878e-6	1.097e-6	1.107e-5	1.396e-6	5.740e-6	5.093e-7
Chip 5	8.137e-6	1.038e-6	1.111e-5	1.831e-6	5.527e-6	5.416e-7
Chip 6	7.882e-6	1.202e-6	1.127e-5	1.528e-6	5.536e-6	4.032e-7

Tabla 6-4. Valor medio y desviación estándar de la corriente de salida en espejos NMOS.

Chip KIPT	SCMNS1		SCMNS2		SCMNS3	
	Valor medio (A)	desviación estándar (A)	Valor medio (A)	desviación estándar (A)	Valor medio (A)	desviación estándar (A)
Chip 1	8.630e-6	1.389e-6	1.119e-5	1.478e-6	5.750e-6	5.162e-7
Chip 2	6.832e-6	1.684e-6	1.090e-5	1.632e-6	5.383e-6	3.813e-7
Chip 3	7.571e-6	1.377e-6	1.052e-5	1.647e-6	5.382e-6	4.478e-7
Chip 4	7.465e-6	1.119e-6	1.106e-5	1.358e-6	5.605e-6	4.426e-7
Chip 5	7.963e-6	1.482e-6	1.129e-5	1.218e-6	5.534e-6	3.888e-7
Chip 6	8.186e-6	1.345e-6	1.097e-5	1.573e-6	5.543e-6	3.584e-7

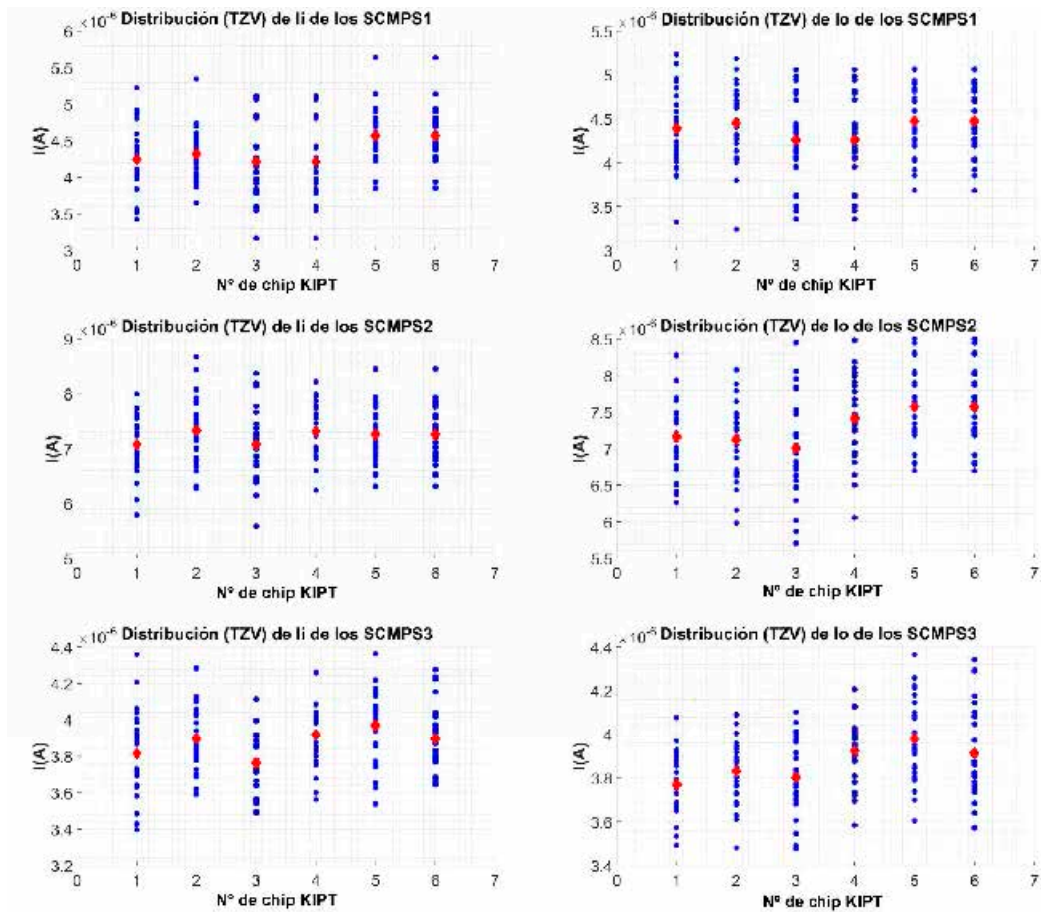


Figura 6-8. Distribución de las corrientes de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los espejos de corriente simple PMOS para cada chip KIPT (numerados del 1-6 en el eje de abscisas). Cada fila representa las corrientes de un dimensionamiento (S1-S3). Los valores de corriente obtenidos para cada CUT se muestran como puntos azules y el valor promedio para ese chip como un rombo rojo.

Tabla 6-5. Valor medio y desviación estándar de la corriente de entrada en espejos PMOS.

Chip KIPT	SCMPS1		SCMPS2		SCMPS3	
	Valor medio (A)	desviación estándar (A)	Valor medio (A)	desviación estándar (A)	Valor medio (A)	desviación estándar (A)
Chip 1	4.249e-6	4.479e-7	7.076e-6	5.720e-7	3.814e-6	2.225e-7
Chip 2	4.321e-6	3.482e-7	7.331e-6	5.835e-7	3.895e-6	1.716e-7
Chip 3	4.149e-6	4.355e-7	6.995e-6	5.351e-7	3.761e-6	1.572e-7
Chip 4	4.473e-6	4.032e-7	7.315e-6	4.906e-7	3.917e-6	1.679e-7
Chip 5	4.545e-6	4.022e-7	7.302e-6	6.190e-7	3.969e-6	1.883e-7
Chip 6	4.486e-6	5.071e-7	7.307e-6	4.836e-7	3.896e-6	1.809e-7

Tabla 6-6. Valor medio y desviación estándar de la corriente de salida en espejos PMOS.

Chip KIPT	SCMPS1		SCMPS2		SCMPS3	
	Valor medio (A)	desviación estándar (A)	Valor medio (A)	desviación estándar (A)	Valor medio (A)	desviación estándar (A)
Chip 1	4.391e-6	4.536e-7	7.162e-6	5.296e-7	3.769e-6	1.392e-7
Chip 2	4.451e-6	4.246e-7	7.123e-6	5.335e-7	3.832e-6	1.443e-7
Chip 3	4.207e-6	4.746e-7	6.924e-6	6.161e-7	3.802e-6	1.638e-7
Chip 4	4.519e-6	5.168e-7	7.414e-6	5.459e-7	3.925e-6	1.346e-7
Chip 5	4.589e-6	4.788e-7	7.442e-6	5.341e-7	3.979e-6	1.852e-7
Chip 6	4.451e-6	4.515e-7	7.420e-6	4.978e-7	3.915e-6	2.076e-7

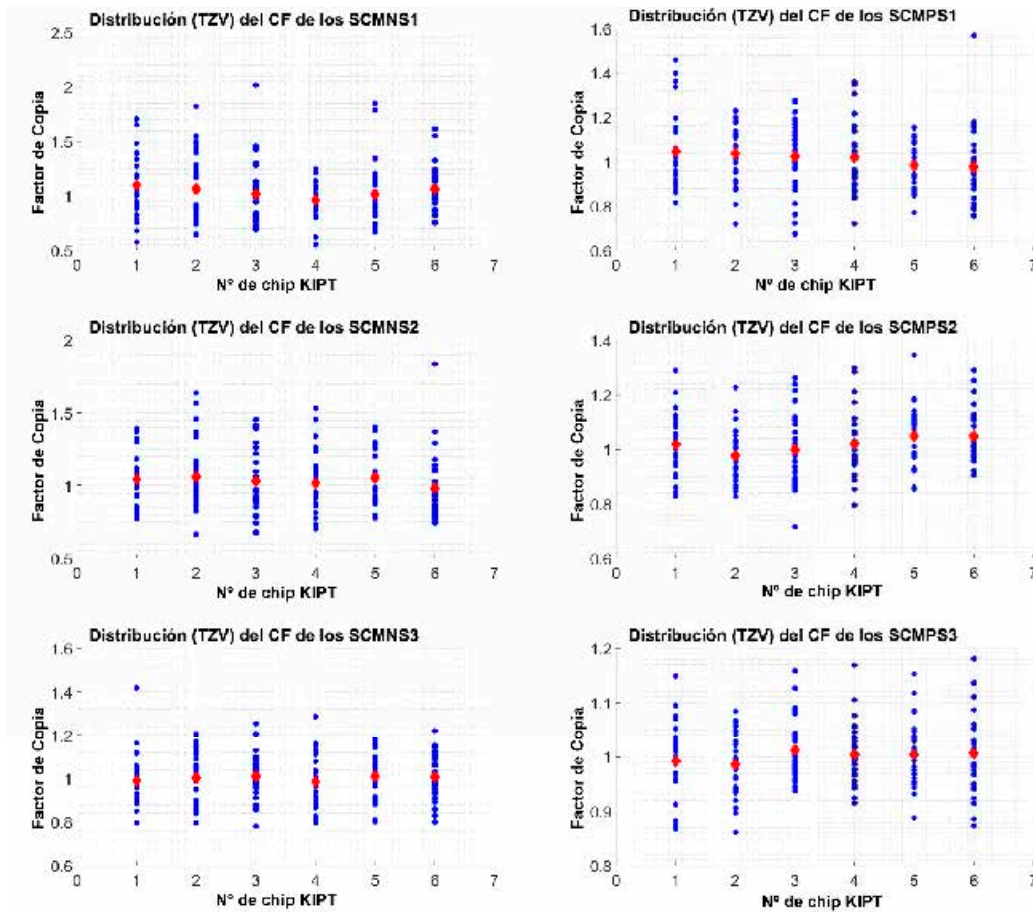


Figura 6-9. Distribución del factor de copia de los espejos de corriente simple NMOS (gráficas de la izquierda) y PMOS (gráficas de la derecha) para cada chip KIPT (numerados del 1-6 en el eje de abscisas). Cada fila representa los CFs de un dimensionamiento (S1-S3). Los valores de CF obtenidos para cada CUT se muestran como puntos azules y el valor promedio para ese chip como un rombo rojo.

Tabla 6-7. Valor medio y desviación estándar del factor de copia en espejos NMOS.

Chip KIPT	SCMNS1		SCMNS2		SCMNS3	
	Valor medio	desviación estándar	Valor medio	desviación estándar	Valor medio	desviación estándar
Chip 1	1.0974	0.2733	1.0457	0.2018	0.9902	0.1191
Chip 2	1.0635	0.3003	1.0617	0.2304	1.0035	0.1146
Chip 3	1.0177	0.2867	1.0323	0.2239	1.0092	0.1019
Chip 4	0.9600	0.1590	1.0175	0.2181	0.9842	0.1207
Chip 5	1.0150	0.2796	1.0543	0.2027	1.0093	0.1082
Chip 6	1.0634	0.2112	0.9808	0.2323	1.0076	0.1103

Tabla 6-8. Valor medio y desviación estándar del factor de copia en espejos PMOS.

Chip KIPT	SCMPS1		SCMPS2		SCMPS3	
	Valor medio	desviación estándar	Valor medio	desviación estándar	Valor medio	desviación estándar
Chip 1	1.0455	0.1686	1.0180	0.1056	0.9916	0.0693
Chip 2	1.0365	0.1272	0.9764	0.0960	0.9858	0.0594
Chip 3	1.0240	0.1593	0.9983	0.1333	1.0124	0.0553
Chip 4	1.0198	0.1614	1.0192	0.1175	1.0040	0.0561
Chip 5	0.9833	0.1030	1.0483	0.1084	1.0042	0.0593
Chip 6	0.9768	0.1753	1.0473	0.1017	1.0073	0.0757

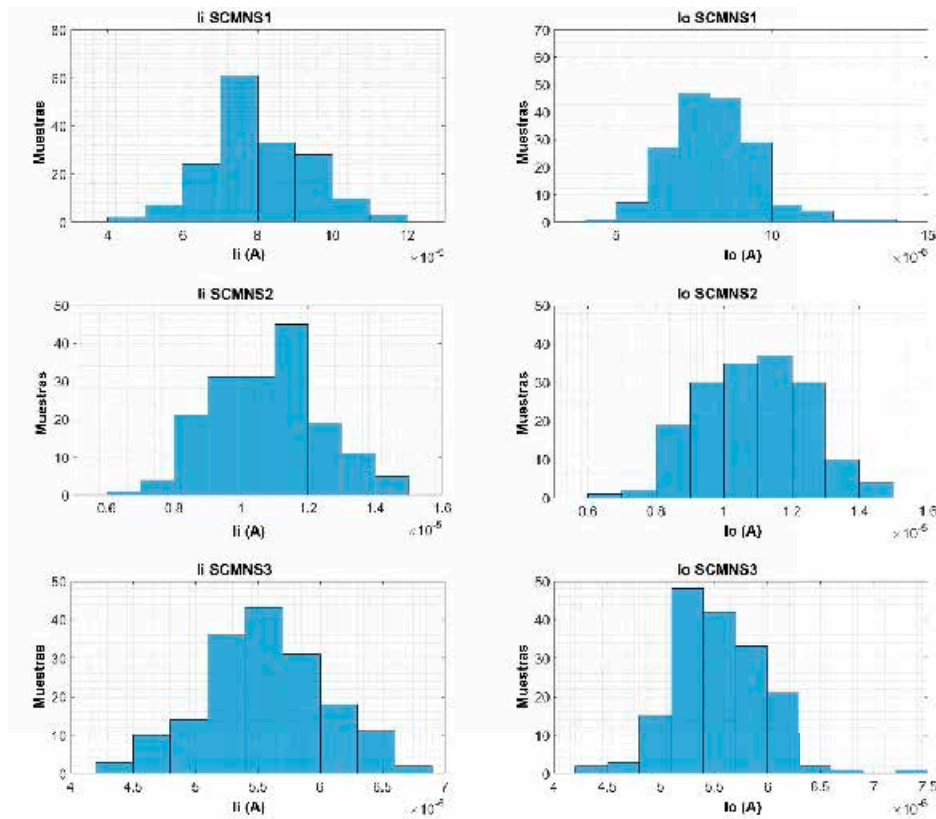


Figura 6-10. Histograma de las medidas de corriente de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los transistores NMOS. Cada fila representa uno de los dimensionamientos (S1-S3).

Como era de esperar, en todos los casos, para todos los dimensionamientos de cada tipo, la distribución del factor de copia se conforma aproximadamente en torno al valor ideal de 1. En este sentido, se puede observar que los histogramas de las distribuciones de las corrientes de entrada y salida de cada tipo y dimensionamiento de los espejos de corriente son similares y, del mismo modo, los valores promedios y de la desviación estándar que se observan en la Tabla 6-9, dan lugar a valores relativamente similares para las corrientes de entrada y salida en cada caso.

Puede notarse también que los valores promedios calculados sobre las distribuciones totales son a su vez similares a los obtenidos para cada una de las distribuciones individuales de cada chip. En este sentido, parece que la distribución conjunta representa razonablemente bien a cada una de las distribuciones de cada chip, pero, además, lo hace con una mayor resolución al disponer de un mayor número de muestras. Por esta razón, puede asumirse que la distribución TZV determinada de forma conjunta es la caracterización más precisa y representativa.

Por último, como también cabría esperar, puede observarse que conforme aumentan las dimensiones de los dispositivos utilizados en los CUTs, se reduce la variabilidad que presenta la TZV. También puede apreciarse una diferencia entre los espejos de tipo PMOS y NMOS, siendo el rango de la dispersión debido a la TZV sensiblemente mayor en los dispositivos NMOS.

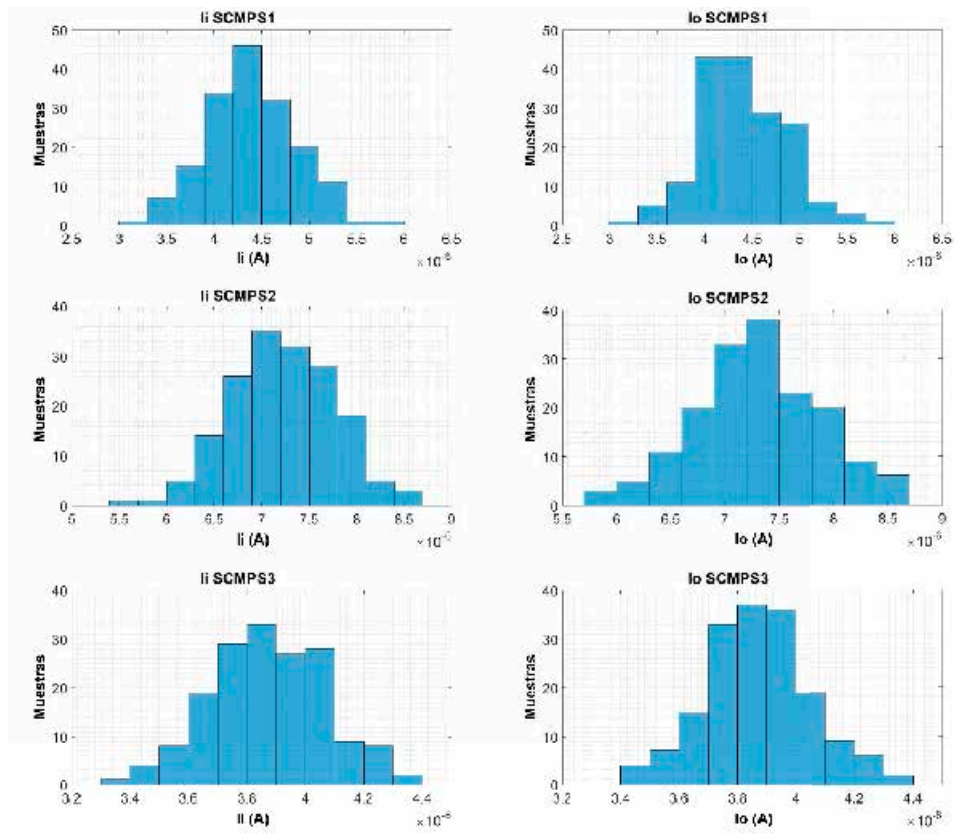


Figura 6-11. Histograma de las medidas de corriente de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los transistores PMOS. Cada fila representa uno de los dimensionamientos (S1-S3).

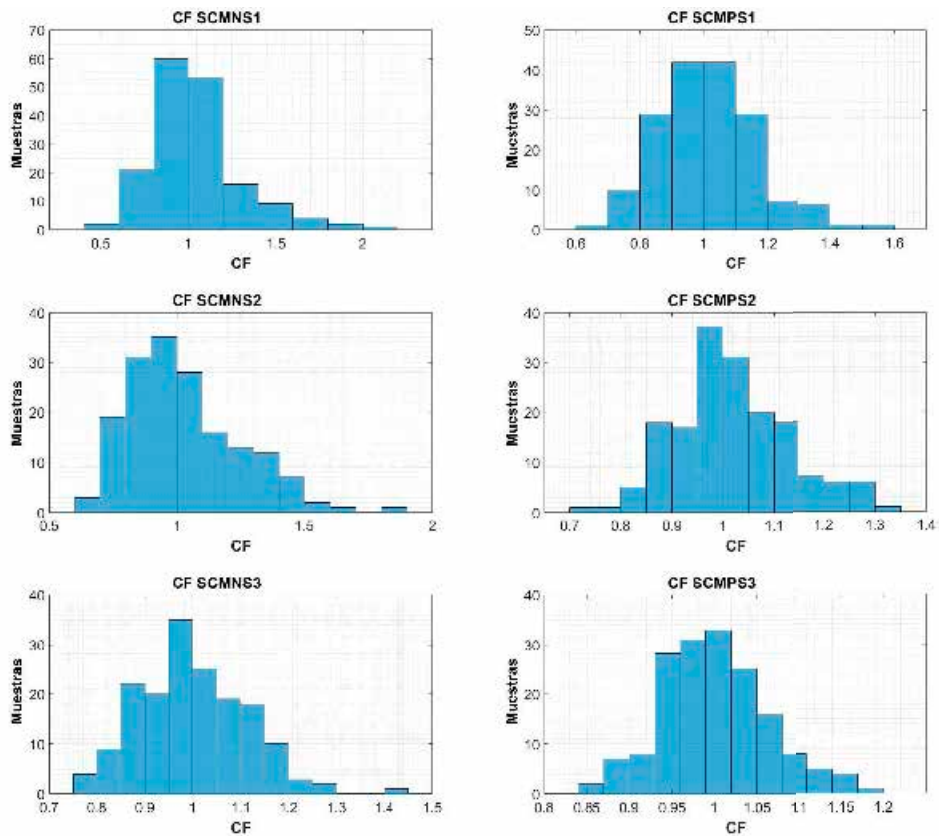


Figura 6-12. Histogramas del valor del CF para todas las medidas de caracterización realizadas en los transistores NMOS (Izquierda) y PMOS (derecha). Cada fila representa uno de los dimensionamientos (S1-S3).

Tabla 6-9. Valor medio y desviación estándar de la corriente de entrada, la corriente de salida y el factor de copia para las distribuciones completas de TZV agrupando todas las muestras medidas.

CUT	I_i		I_o		CF	
	Valor medio (A)	desviación estándar(A)	Valor medio (A)	desviación estándar(A)	Valor medio	desviación estándar
SCMNS1	8.009e-6	1.346e-6	8.076e-6	1.409e-6	1.0362	0.2566
SCMNS2	1.079e-5	1.624e-6	1.090e-5	1.555e-6	1.0321	0.2170
SCMNS3	5.567e-6	4.895e-7	5.328e-7	4.385e-7	1.0007	0.1114
SCMPS1	4.397e-6	4.578e-7	4.412e-6	4.611e-7	1.0143	0.1512
SCMPS2	7.219e-6	5.459e-7	7.307e-6	5.824e-7	1.0179	0.1124
SCMPS3	3.875e-6	1.926e-7	3.870e-6	1.784e-7	1.0009	0.0627

6.3.2. Estudio fenomenológico de la degradación por envejecimiento.

Este apartado tiene el objetivo de presentar dos desarrollos diferentes. En primer lugar, se realizará un estudio enfocado en la caracterización dinámica de los defectos con el objeto de comprobar experimentalmente cómo afectan los fenómenos de degradación/recuperación al circuito y cómo repercute esto en el cambio de las condiciones de estrés en función del tipo de configuración de testado utilizada. En segundo lugar, se explicará el criterio seguido para evaluar la degradación del factor de copia y se presentarán los datos de degradación de la caracterización estática de un pequeño conjunto de CUTs individuales, para facilitar la interpretación de los resultados obtenidos y presentados en los próximos apartados.

6.3.2.1. Estudio fenomenológico de la caracterización dinámica de los defectos

En este sub-apartado se pretende comprobar experimentalmente las consideraciones realizadas en el apartado 6.2.1 en lo que respecta a la degradación de los espejos de corriente en función del esquema de testado utilizado. Para ello, se muestran a modo de ejemplo los resultados obtenidos en la caracterización envejecida dinámica de distintos CUTs en los que se han empleado los diferentes esquemas de testado durante la caracterización, como son el esquema TT, IT e IR. En este caso, como se pretenden observar los fenómenos de recuperación en la caracterización dinámica, el esquema utilizado para la degradación de los espejos de corriente es irrelevante. Por simplicidad, todos los CUTs mostrados en este sub-apartado han sido degradados empleando el esquema de testado TT. Nuevamente, sin pérdida de generalidad, el tipo de CUT empleado para ilustrar los ejemplos de este sub-apartado son los espejos de corriente simples PMOS de menores dimensiones, los SCMPS1. Evidentemente, al observar la dinámica de los defectos en condiciones de estrés relativamente bajas, justo después de haber sometido a los CUTs a unas condiciones de sobre-estrés, los fenómenos más observados son los de recuperación, esto es, de emisión de carga previamente capturada por los defectos presentes en la interfaz de los dispositivos. No obstante, todas las conclusiones que puedan realizarse sobre el impacto de los fenómenos de emisión de carga son también aplicables en sentido inverso al fenómeno de captura de carga por dichos defectos.

El primer esquema de caracterización dinámica empleado es el esquema TT (Figura 6-2). En este esquema, se fija la tensión a la entrada y la salida, concretamente, para que exista una tensión $V_{SG} = V_{SD} = 0.6V$. Para ello, teniendo en cuenta que los terminales de fuente de los espejos de corriente PMOS se encuentran conectados al anillo interno del chip

KIPT a una tensión de valor $V_{DDA} = 3.3V$, los valores de tensión fijados a la entrada y la salida de los espejos son de $2.7V$. Al estar las tensiones en dichos terminales de entrada y salida forzadas, todo fenómeno de degradación/recuperación debe reflejarse como un cambio en la corriente de los dispositivos, tal como se explicó en el apartado 6.2.1.1. Sabiendo además que el factor de copia se calcula siguiendo la expresión mostrada en Ec. 6-1, cada cambio instantáneo producido en cada una de las corrientes se reflejará a su vez como un cambio en el valor del factor de copia. Si se produce un efecto de recuperación en el transistor de entrada, la corriente de éste (en valor absoluto) aumentará, por lo que el CF se verá reducido. Si el efecto de recuperación se produce en el transistor de salida, aumentando la corriente del mismo, el valor del CF aumentará. Si en lugar de efectos de recuperación se produjesen fenómenos de degradación, los efectos observados serían justamente los contrarios a los comentados por razones análogas. Evidentemente, si en un intervalo determinado el cambio que se ha producido en ambas corrientes tiene la misma magnitud y sentido, el CF no cambiaría.

En la Figura 6-13 se muestran los valores de corriente de entrada y salida y el valor del factor de copia de la caracterización de un dispositivo empleando el esquema de testado TT justo después de haber sometido al CUT a condiciones de sobre-estrés. En la izquierda se muestra la caracterización completa durante los 120 segundos medidos, mientras que en la parte derecha se muestra una zona concreta de dicha característica donde pueden apreciarse tanto fenómenos de recuperación del transistor de entrada del espejo de corriente (eventos indicados con el color rojo) como del transistor de salida (eventos indicados con el color morado). Asociadas a estas recuperaciones, se puede apreciar el consecuente cambio del factor de copia que, ciertamente, sigue a los cambios en corriente. Como se ha comentado, se recuerda que en este esquema no existe realimentación o *link*,

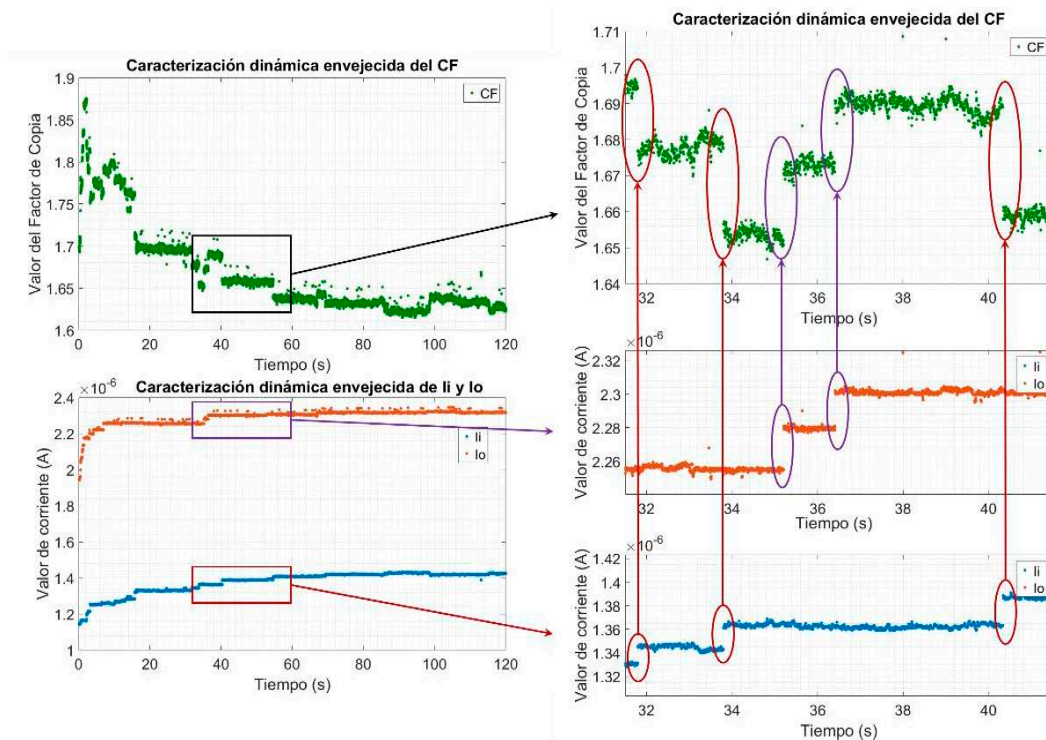


Figura 6-13. Caracterización dinámica empleando el esquema de testado TT.

ya que las tensiones se mantienen siempre a la tensión de 2.7V y las recuperaciones del transistor de entrada no afectan de ninguna forma al transistor de salida y viceversa.

En el caso de emplear el esquema de testado IT para la caracterización dinámica, tal como se explicó en el apartado 6.2.1.2, lo que se fija es una corriente a la entrada de los espejos y la tensión a la salida. Esto se hace con la intención de permitir el *link* bidireccional entre la degradación del transistor de entrada y las condiciones de estrés (en este caso, cambios en la tensión de entrada). En este esquema, la corriente de entrada aplicada, fija en promedio una tensión deseada equivalente en el nodo de entrada. Tal como puede observarse en la Figura 6-14, si en este caso el transistor de entrada se degrada (eventos indicados con el color rojo), será necesario aumentar las caídas de tensión V_{SG} y V_{SD} para que dicho transistor mantenga el nivel de corriente forzado, o lo que es lo mismo, la tensión en el nodo de entrada (tratándose del caso de PMOS) debe reducirse (para aumentar la caída de tensión respecto a 3.3V). Estos cambios de tensión en el nodo de entrada, no obstante, no afectan sólo a las condiciones de estrés del transistor de entrada sino que cambian la caída de tensión V_{SG} del transistor de salida. En dicho transistor, como la tensión V_{SD} no puede cambiar porque se está forzando una tensión fija en el nodo de salida, el cambio producido en la tensión V_{SG} debido a la recuperación (o en su caso la degradación) del transistor de entrada, se traduce en una reducción de la corriente del transistor de salida (o en su caso un aumento).

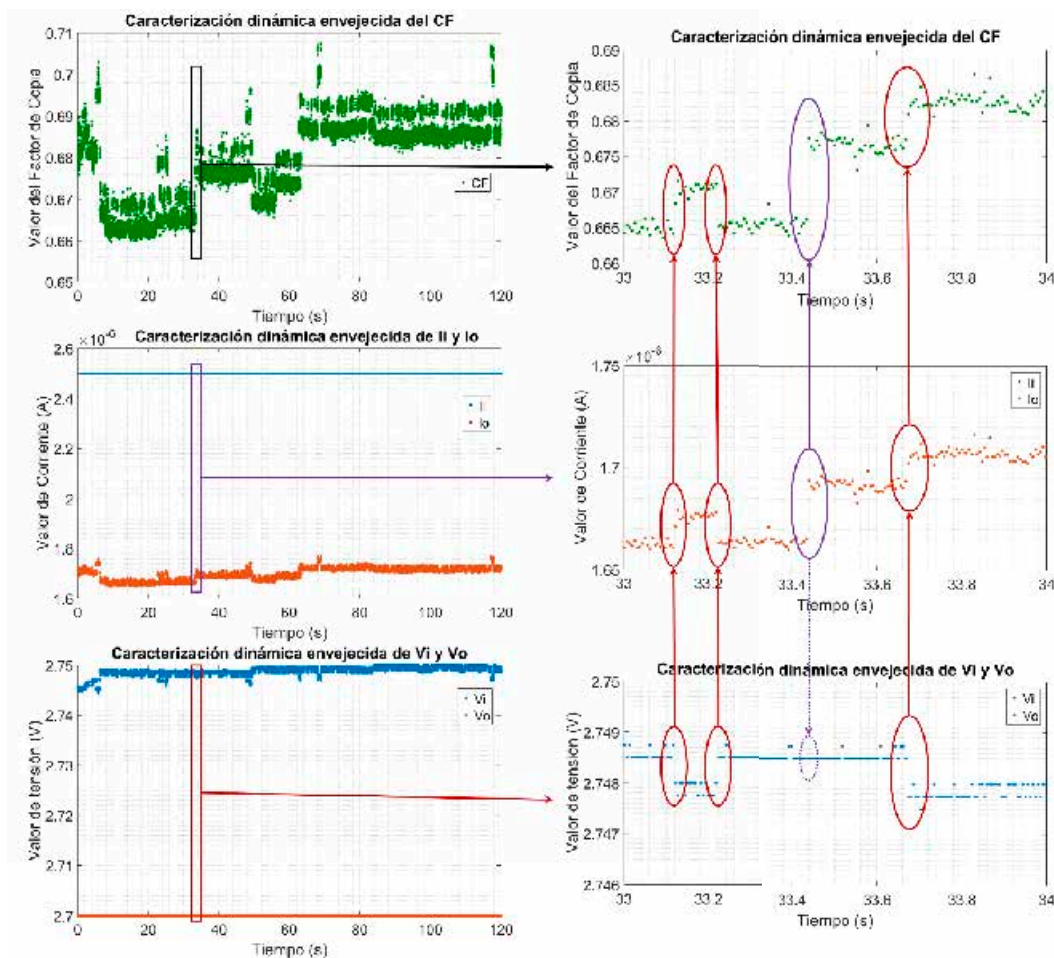


Figura 6-14. Caracterización dinámica empleando el esquema de testado IT.

La corriente de salida también puede aumentar/reducirse si se produce directamente una recuperación/degradación en el transistor de salida (evento indicado con el color morado), ya que, al igual que ocurría en el esquema TT, al estar la tensión de salida fijada, una recuperación/degradación en el transistor de salida se refleja directamente como un aumento/reducción de su corriente. Por su parte, el factor de copia sigue a cualquier cambio que se produzca en cualquiera de las corrientes, pero como en este caso, la corriente de entrada está siempre forzada y no varía, el factor de copia sigue a los cambios que se produzcan a la corriente de salida. En definitiva, en el esquema IT la recuperación/degradación del transistor de entrada cambia las condiciones de estrés de dicho transistor y las del transistor de salida, mientras que la recuperación/degradación del transistor de salida, se refleja como un cambio en corriente, pero no cambia en ningún caso las condiciones de estrés en tensión. En este sentido, para saber si los cambios producidos en la corriente del transistor de salida se deben a la recuperación/degradación del propio transistor o se deben a un cambio de condiciones de estrés debido a que la recuperación/degradación se produjo en el transistor de entrada, es necesario monitorizar la tensión de entrada y comprobar si el origen del cambio de corriente proviene de una variación de la misma.

En la parte derecha de la Figura 6-14, de los 4 fenómenos destacados, 3 de ellos, indicados en rojo, tienen su origen en efectos que se producen en el transistor de entrada, mientras que uno de ellos, indicado en morado, lo tiene en el de salida. Se puede observar que los dos primeros, probablemente, se correspondan con un fenómeno de RTN del transistor de entrada. Se sabe que se ha producido en el transistor de entrada porque se producen cambios en la tensión de entrada (V_i) y se asume que se trata de RTN, porque se trata de un fenómeno transitorio donde un defecto que durante ese intervalo se encuentra en las mismas condiciones de estrés, captura carga y posteriormente la libera, siendo las contribuciones o saltos observados del mismo nivel en ambos casos, asumiendo así, que se trata del mismo defecto. El cuarto efecto destacado, también se produce probablemente debido a RTN y, observando los niveles de la contribución en tensión/corriente, probablemente sea debido al mismo defecto que el de los dos primeros eventos, aunque en este caso, en la ventana seleccionada, sólo es posible observar el fenómeno de captura de carga, en el que la tensión de entrada cae y, por tanto, la V_{SG} y V_{SD} del transistor de entrada aumentan y se mantiene el nivel de corriente. Se puede observar que estos cambios de tensión producen un aumento en la corriente de salida que a su vez se reflejan en un cambio del factor de copia. Por su parte, en el tercer evento destacado en morado, se puede apreciar un aumento de la corriente de salida, con su correspondiente cambio en el factor de copia, sin embargo, en el caso de este efecto no se observan cambios en la tensión de entrada, por lo que puede concluirse que dicho cambio en corriente se produce debido a una recuperación producida en el transistor de salida.

Finalmente, en el esquema IR, también se fuerza una corriente en la entrada de los espejos de corriente, siendo equivalente a este respecto todo lo comentado en el esquema anterior. Por tanto, cualquier fenómeno de recuperación o degradación en el transistor de entrada, puede observarse como un cambio en la tensión de entrada del espejo que cambia tanto las condiciones de estrés de este transistor, como las condiciones de estrés del transistor de salida. Lo diferente en este esquema, es que, debido a la presencia del potenciómetro como carga del espejo, se establece una relación lineal entre la corriente que circula por

la rama de salida y la tensión a la salida del espejo de corriente. Por tanto, esto implica que cualquier cambio que se produzca en la corriente de salida, por ejemplo, debido a un cambio en la tensión de entrada del espejo o, equivalentemente, a un cambio en la V_{SG} del transistor de salida, vendrá a su vez acompañado de un cambio en la tensión de salida del espejo, o lo que es lo mismo, en la V_{SD} del transistor de salida.

La Figura 6-15 muestra los valores del factor de copia y las corrientes y tensiones de entrada y salida de un CUT en el que se ha utilizado el esquema de testado IR para la caracterización dinámica. En la parte de la derecha de la figura, donde se muestra una zona aumentada de la captura completa, se destacan dos defectos. El primero de ellos, indicado en rojo, se debe a un fenómeno de recuperación en el transistor de entrada, que hace que la tensión de entrada del espejo aumente, ya que será necesario reducir la caída de tensión V_{SG} para mantener el mismo nivel de corriente. Este cambio a su vez cambia la corriente y la tensión de salida del espejo, ambas relacionadas linealmente a través del potenciómetro, por lo que la forma de ambas trazas es la misma. Al igual que en el esquema IT, la corriente de entrada no varía, por lo que la traza del CF sigue a la traza de la corriente de salida. En el caso del primer defecto, la recuperación que se produce en el transistor de entrada reduce el valor de la corriente de salida y, por tanto, se observa una reducción del factor de copia. El segundo defecto destacado, indicado en morado, se debe a una recuperación del transistor de salida. Esto se sabe porque no se producen cambios en la tensión de entrada. A diferencia de los esquemas anteriores, esta recuperación, no se traduce sólo como un aumento de corriente, sino que también cambia, por la relación

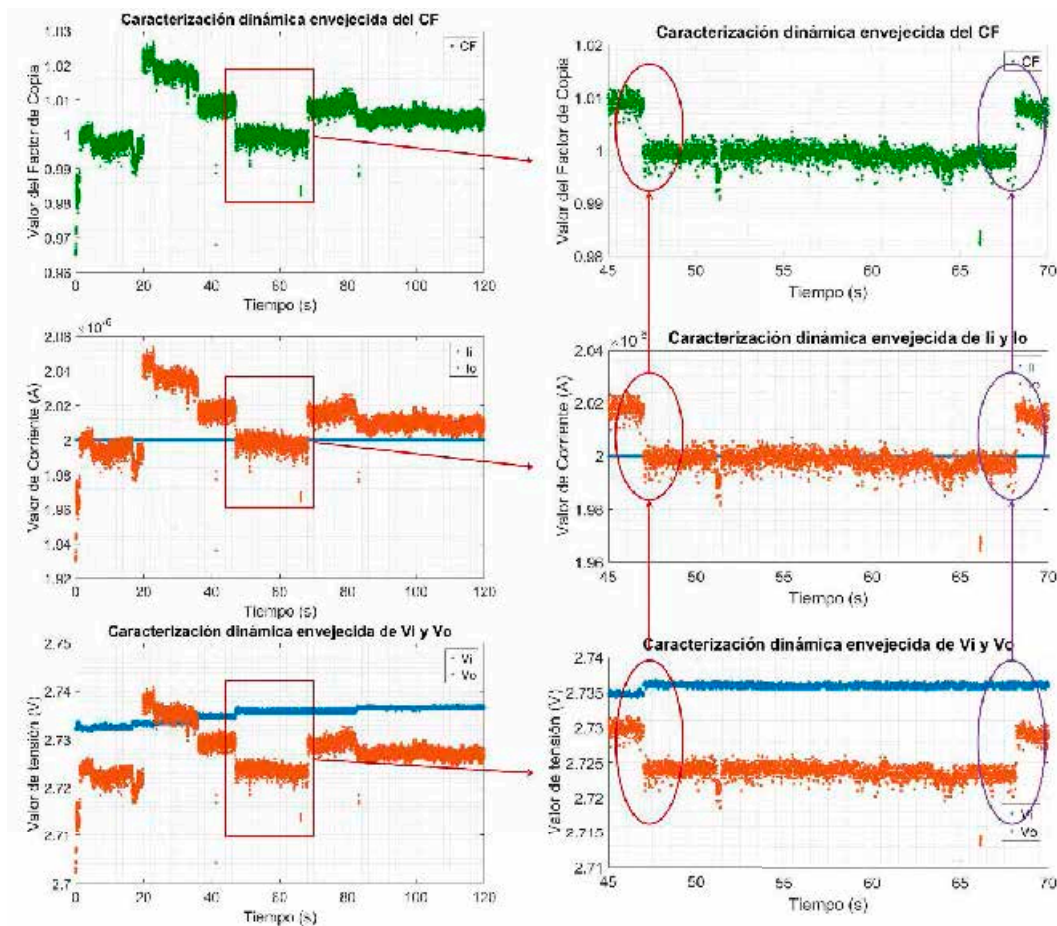


Figura 6-15. Caracterización dinámica empleando el esquema de testado IR.

lineal, la tensión de salida y, por tanto, las condiciones de estrés del transistor de salida del espejo. Este hecho, unido a lo ya comentado sobre el transistor de entrada en el esquema anterior (IT), y que sigue siendo válido en este esquema, hace que en el esquema IR, tanto la degradación del transistor de entrada como de salida, cambien las condiciones de estrés. Respecto al factor de copia, la recuperación del transistor de salida, que produce un aumento en la corriente de dicho transistor, se refleja como un aumento del factor de copia del espejo.

6.3.2.2. Variación del factor de copia en función de la degradación de las corrientes.

El objetivo de este sub-apartado es mejorar la interpretación y comprensión de los resultados de caracterización estática que se presentarán en el próximo apartado. Tal como se comentó en el apartado 6.2.1, lo que se mide en los espejos de corriente es la corriente de entrada y salida de los mismos. Esto se hace sobre los CUTs en fresco, justo después del periodo de estrés para la caracterización dinámica y de nuevo tras dejar reposar los CUTs una semana para tratar de evaluar la degradación permanente de los mismos. La prestación evaluada es siempre el factor de copia que se obtiene empleando los valores de las corrientes de entradas y salida medidas mediante el cálculo simple mostrado en la Ec. 6-1.

En función de la degradación que se produzca en las corrientes, el factor de copia variará. Dicha variación vendrá determinada por el cambio que se produzca entre el CF fresco y envejecido, que en este trabajo viene definido por la siguiente expresión:

$$CF^{fresh} = \frac{I_o^{fresh}}{I_i^{fresh}}, \quad CF^{aged} = \frac{I_o^{aged}}{I_i^{aged}}, \quad \Delta CF = CF^{aged} - CF^{fresh} \quad \text{Ec. 6-2}$$

En el caso de la caracterización estática, si tras la degradación del CUT y de dejar al mismo en reposo, el factor de copia ha aumentado, la variación del factor de copia (ΔCF) será positiva, y negativa en caso contrario. Si se desarrolla la expresión de la ΔCF se tiene que:

$$\Delta CF = \frac{I_o^{aged}}{I_i^{aged}} - \frac{I_o^{fresh}}{I_i^{fresh}} = \frac{I_o^{aged} \cdot I_i^{fresh} - I_o^{fresh} \cdot I_i^{aged}}{I_i^{aged} \cdot I_i^{fresh}} \quad \text{Ec. 6-3}$$

Por lo que el signo o sentido de la variación dependerá de la expresión que aparece en el numerador de Ec. 6-3. Esta expresión puede reescribirse si ambos factores se normalizan dividiendo por el producto de las corrientes de entrada y salida en fresco, como muestra la siguiente expresión:

$$\frac{I_o^{aged} \cdot I_i^{fresh}}{I_o^{fresh} \cdot I_i^{fresh}} - \frac{I_o^{fresh} \cdot I_i^{aged}}{I_o^{fresh} \cdot I_i^{fresh}} = \frac{I_o^{aged}}{I_o^{fresh}} - \frac{I_i^{aged}}{I_i^{fresh}} \quad \text{Ec. 6-4}$$

Si se definen la degradación de la corriente de entrada $-\Delta I_i$ y la degradación de la corriente de salida $-\Delta I_o$ como la diferencia entre los valores en fresco de dichas corrientes y su valor envejecido, tal como se muestra en la siguiente expresión:

$$-\Delta I_i = I_i^{fresh} - I_i^{aged}, \quad -\Delta I_o = I_o^{fresh} - I_o^{aged} \quad \text{Ec. 6-5}$$

La expresión final mostrada en la expresión Ec. 6-4 puede reescribirse nuevamente como:

$$\frac{\Delta I_o + I_o^{fresh}}{I_o^{fresh}} - \frac{\Delta I_i + I_i^{fresh}}{I_i^{fresh}} = \frac{\Delta I_o}{I_o^{fresh}} + 1 - \frac{\Delta I_i}{I_i^{fresh}} - 1 = \frac{-\Delta I_i}{I_i^{fresh}} - \frac{-\Delta I_o}{I_o^{fresh}} \quad \text{Ec. 6-6}$$

Por lo que, en definitiva, el signo o sentido de la variación del factor de copia no depende propiamente de la degradación de las corrientes en términos absolutos, sino de forma más precisa, del valor de sendas degradaciones de las corrientes de entrada y salida divididos por sus respectivos valores de corriente en fresco. Estas expresiones serán definidas en el marco de esta tesis como la degradación relativa de las corrientes de entrada y salida respectivamente, siguiendo las expresiones:

$$-\Delta I_i^{REL} = \frac{-\Delta I_i}{I_i^{fresh}}, \quad -\Delta I_o^{REL} = \frac{-\Delta I_o}{I_o^{fresh}} \quad \text{Ec. 6-7}$$

De esta forma, siguiendo la expresión final mostrada en Ec. 6-6, si la degradación relativa de la corriente de entrada es mayor que la degradación relativa de la corriente de salida, el factor de copia envejecido habrá aumentado respecto al valor en fresco. En el caso contrario, disminuirá. En general, los valores de degradación relativa de corriente en este trabajo serán presentados como porcentajes.

Para ilustrar este hecho sobre un ejemplo concreto, se han seleccionado tres CUTs correspondientes a los espejos de corriente PMOS de menor dimensión (SCMPS1). Estos CUTs han sido estresados empleando el esquema de testado TT, a una tensión de estrés de 2.5V y durante un tiempo de estrés de 1000 segundos. La caracterización estática se ha llevado a cabo empleando también el esquema de testado TT con tensión de polarización de 0.6V.

La Tabla 6-10 muestra los valores en fresco y de degradación permanente del factor de copia y de las corrientes de entrada y salida de cada CUT. Así mismo, en la Tabla 6-11 se muestran los valores de degradación de corriente tanto en términos absolutos como en términos relativos como un % del valor de la corriente en fresco. También se muestra la variación que presenta el factor de copia con respecto a su valor en fresco.

Puede comprobarse que, en el caso del CUT 44, tanto en términos absolutos como en términos relativos, la degradación de la corriente de entrada es superior a la degradación de la corriente de la rama de salida. Esto provoca que el factor de copia aumente con

Tabla 6-10. Valores en fresco y de degradación permanente del factor de copia y de las corrientes de los CUTs

CUT	Corriente de entrada(A)		Corriente de salida(A)		Factor de Copia	
	Fresca	Envejecida	Fresca	Envejecida	Fresco	Envejecido
CUT 44	4.326e-6	3.752e-6	3.860e-6	3.428e-6	0.8923	0.9135
CUT 46	3.515e-6	2.957e-6	5.126e-6	4.378e-6	1.458	1.480
CUT 48	3.835e-6	3.499e-6	3.933e-6	3.489e06	1.025	0.9974

Tabla 6-11. Degradación en términos absolutos y relativos de las corrientes y variación del CF de los CUTs

CUT	Corriente de entrada		Corriente de salida		Factor de Copia
	$-\Delta I_i$ (A)	$-\Delta I_i^{REL}$ (%)	$-\Delta I_o$ (A)	$-\Delta I_o^{REL}$ (%)	ΔCF
CUT 44	5.731e-7	13.25%	4.318e-7	11.19%	2.120e-2
CUT 46	5.576e-7	15.86%	7.474e-7	14.58%	2.226e-2
CUT 48	3.367e-7	8.779%	4.438e-7	11.28%	-2.811e-2

respecto a su valor en fresco. Contrariamente, en el caso del CUT 48, tanto en términos absolutos como relativos, la degradación de la corriente de salida es superior a la que se produce en la rama de entrada. Como consecuencia, el factor de copia resultante reduce su valor con respecto al calculado para el CUT en fresco. Por último, como ejemplo del desarrollo realizado en este apartado, puede comprobarse cómo, en términos absolutos de degradación, en el CUT 46, la corriente de salida ha sufrido una mayor degradación que la corriente de la rama de entrada. Sin embargo, con respecto a las corrientes en fresco, que para el caso de la rama de salida era mucho mayor que la de entrada, la degradación relativa es superior en la corriente de entrada que en la de salida, resultando finalmente en un aumento del factor de copia con respecto a su valor en fresco para este CUT.

Como conclusión a lo mostrado, en el próximo apartado, cuando se representen las degradaciones en corriente de los CUTs, se hará en términos relativos con respecto al valor de la corriente en fresco. La razón es que estos valores de degradación relativa de las corrientes serán el indicativo directo de cómo se ve afectado el factor de copia en los espejos de corriente.

6.3.3. Procesado y análisis de las medidas sobre las prestaciones de los circuitos.

El objetivo de este sub-apartado es mostrar los resultados obtenidos tras procesar las medidas de caracterización estática realizadas para estudiar la degradación. Concretamente, el estudio se centra en analizar la diferencia en la degradación o daño permanente de los CUTs cuando se está teniendo en cuenta o no, el *link* bidireccional entre el *aging* y las condiciones de estrés, o lo que es lo mismo, cuando se está permitiendo físicamente o no su existencia en función del esquema de testado empleado durante la degradación de los CUTs. En este sub-apartado, además de evaluar la degradación de los CUTs en términos de la degradación de la corriente de entrada y salida y del impacto de dicha degradación sobre el factor de copia de los espejos, también se proporcionará información de cómo varían las condiciones de estrés.

Para mostrar los resultados de las medidas se procederá de forma similar a como se hizo en el capítulo anterior. En primer lugar, se mostrarán los resultados obtenidos CUT a CUT para cada uno de los esquemas de testado empleado en la degradación cuando las condiciones de estrés aplicadas son las más exigentes. Posteriormente se pasará a mostrar de forma global los resultados de degradación promedio obtenidos para cada esquema de testado, pero en este caso, para todas las condiciones de estrés empleadas. Al final del apartado, se recogen en una serie de tablas los valores característicos de las distribuciones de datos obtenidas de los experimentos realizados para cada esquema y condición de estrés, tanto en términos de degradación como de cambio de las condiciones de estrés.

6.3.3.1. Impacto sobre las prestaciones en función del tipo de esquema de testado aplicado durante el estrés.

En los resultados empleados en este sub-apartado, todos los CUTs han sido estresados aplicando una tensión de estrés de 2.5V (o dependiendo del esquema de testado, la corriente equivalente) y un tiempo de estrés de 1000 segundos. Por su parte, la caracterización estática se ha realizado empleando el esquema de testado TT aplicando una tensión de polarización de 0.6V.

En primer lugar, para cada uno de los esquemas de testado empleado en la degradación de los dispositivos, TT, IT e IR, se representarán dos tipos de figuras. En la primera de ellas, se mostrará la degradación de la corriente de entrada y de salida CUT a CUT, representando tanto el valor en fresco como el valor degradado de las mismas, para cada uno de los dimensionamientos de espejo de corriente, teniendo así una referencia de cuál es la degradación en términos absolutos. Además, el observar los resultados CUT a CUT ofrece una perspectiva visual de la variabilidad o dispersión de las medidas realizadas.

En el segundo tipo de figuras, se representa la degradación relativa de ambas corrientes con respecto al valor nominal de las mismas y la variación del factor de copia, mostrando tanto su valor en fresco como su valor degradado. La razón por la que se incluye este tipo de gráficas es debido a que del apartado 6.3.2.2 se conoce que, observando la degradación relativa de las corrientes con respecto a su valor nominal, se puede conocer el sentido de la variación del factor de copia.

Conociendo estas consideraciones, desde la Figura 6-16 hasta la Figura 6-19, se representan los resultados obtenidos de los experimentos en los que se ha empleado el esquema de testado TT durante la degradación de los CUTs, tanto de tipo PMOS como NMOS y para cada uno de los dimensionamientos (Tabla 4-5). Cuatro figuras análogas se muestran para el caso de haber utilizado el esquema de degradación IT (desde la Figura 6-20 hasta la Figura 6-23). De la misma forma, desde la Figura 6-24 hasta la Figura 6-27 se muestran los resultados obtenidos cuando el esquema de testado empleado en la degradación de los CUTs es el esquema IR.

Existe toda una serie de apreciaciones que pueden hacerse sobre esta colección de figuras. En primer lugar, algunas de estas observaciones pueden hacerse independientemente del esquema de testado utilizado durante el estrés de los CUTs. Por un lado, tanto para el caso de espejos de corriente tipo PMOS y NMOS, la degradación relativa de las corrientes en los dimensionamientos S1 y S2 se mantiene en un orden de magnitud similar en los dispositivos. Sin embargo, esta degradación decae severamente hasta hacerse ínfima para los diseños S3. Esto se debe probablemente a que el efecto dominante de la degradación permanente es el HCI, cuyo impacto decae fuertemente conforme crece la longitud del canal de los transistores, algo que justamente ocurre para el dimensionamiento S3.

Por razones similares, para el caso de las dimensiones S1 y S2, los espejos de corriente de tipo NMOS presentan una mayor degradación relativa que los espejos de tipo PMOS. Se aprecia que, de forma muy aproximada, los CUTs de tipo NMOS presentan en torno al doble de degradación que los de tipo PMOS. Esto probablemente es debido a que el impacto del HCI, efecto dominante en el daño permanente, es más severo sobre este tipo de CUTs.

Por otro lado, con respecto a las diferencias entre los resultados obtenidos en función del esquema de testado utilizado durante la degradación, la Tabla 6-12 indica el número de veces que la corriente de entrada se degrada, en términos relativos, más que la corriente de salida y viceversa. Debido a que la degradación observada difiere en su comportamiento para los CUTs de dimensionamiento S3 (debido a que el impacto del HCI es inapreciable), la Tabla 6-12 muestra los resultados obtenidos contabilizando conjuntamente todos los dispositivos de todos los dimensionamientos y los dimensionamientos S1 y S2 por separado.

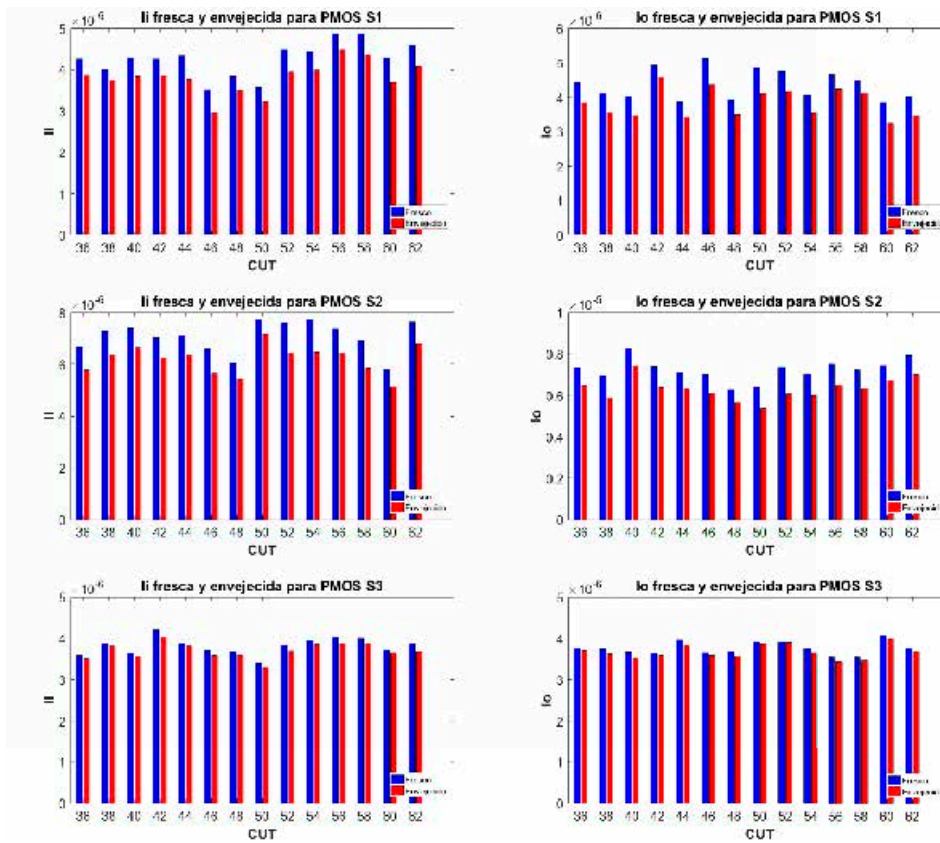


Figura 6-16. Valores en fresco y envejecido de las corrientes de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los CUTs PMOS empleando el esquema TT.

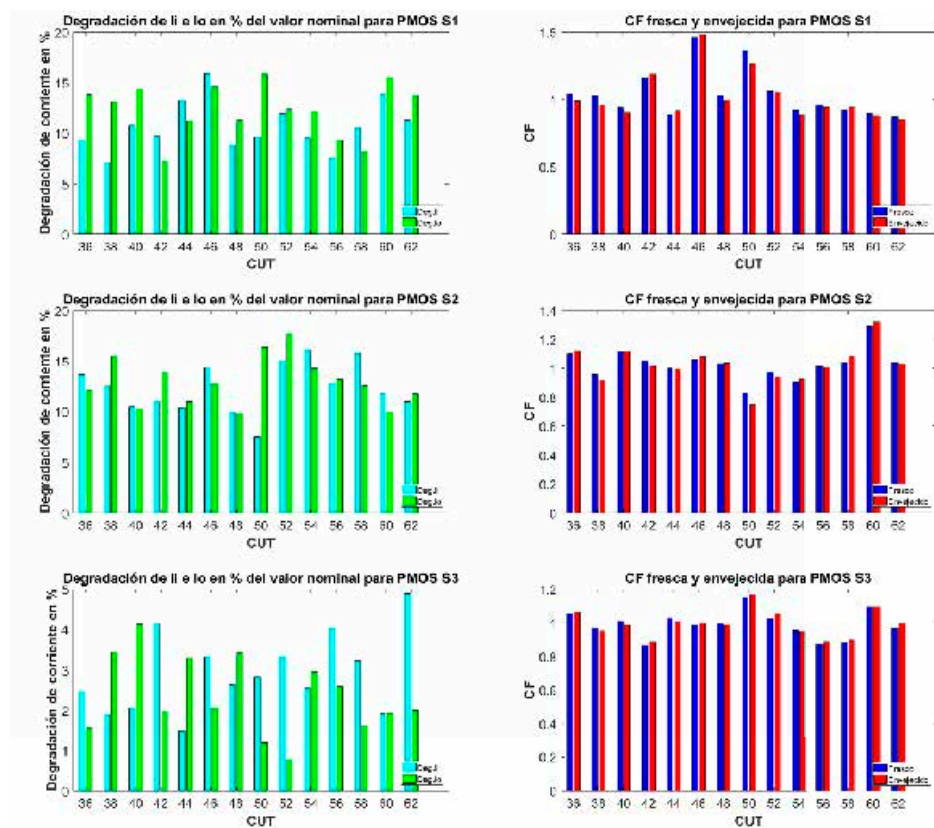


Figura 6-17. Degradación relativa de las corrientes de entrada y salida (gráficas de la izquierda) y valores frescos y envejecidos del CF (gráficas de la derecha) de los CUTs PMOS empleando el esquema TT.

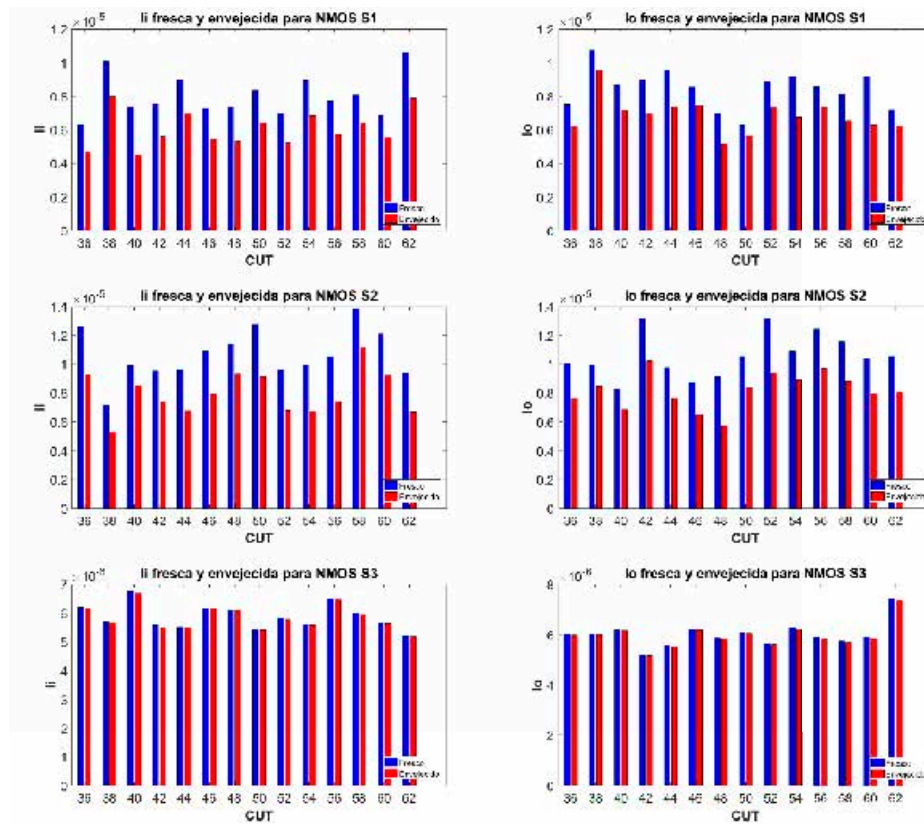


Figura 6-18. Valores en fresco y envejecido de las corrientes de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los CUTs NMOS empleando el esquema TT.

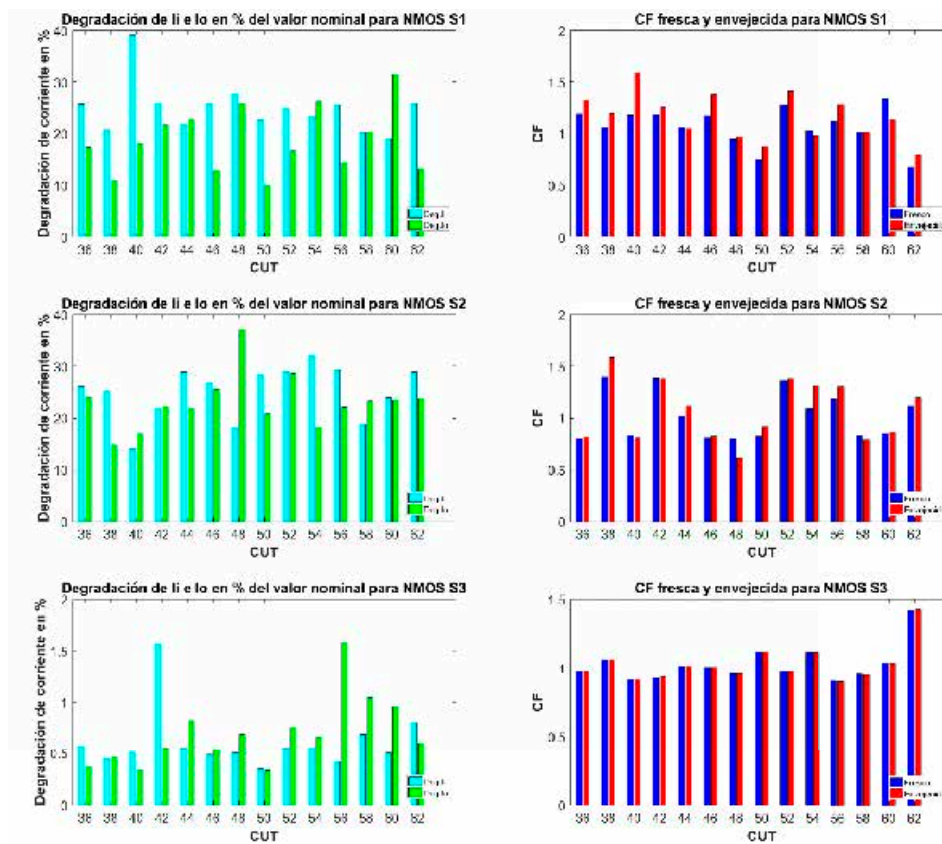


Figura 6-19. Degradación relativa de las corrientes de entrada y salida (gráficas de la izquierda) y valores frescos y envejecidos del CF (gráficas de la derecha) de los CUTs NMOS empleando el esquema TT.

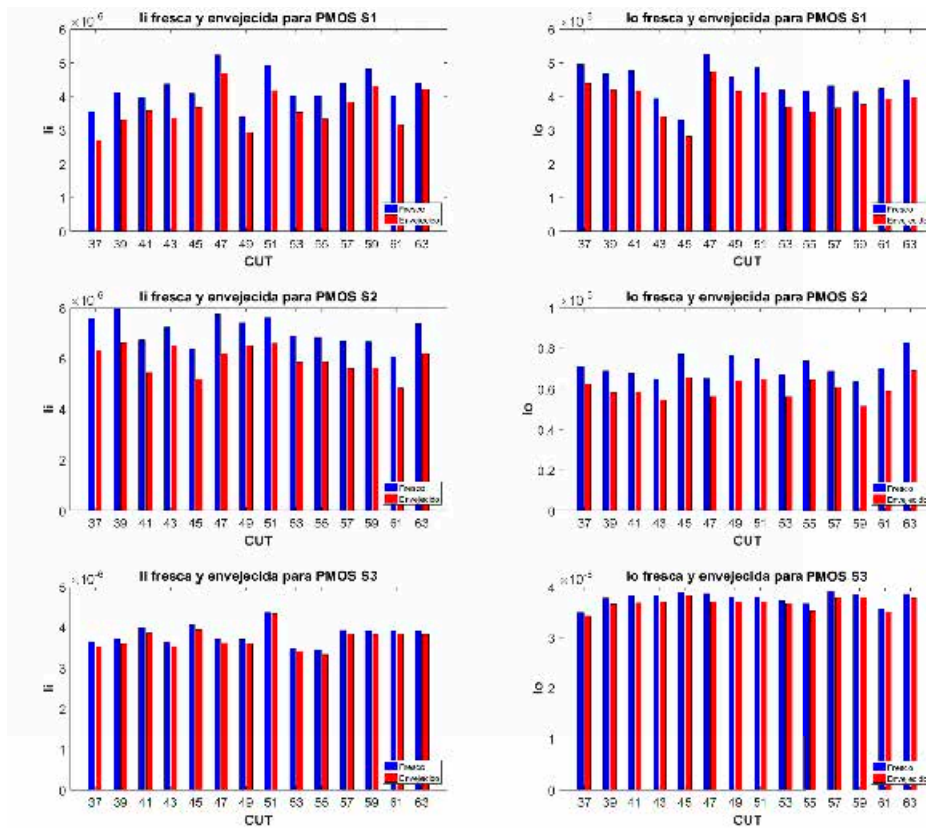


Figura 6-20. Valores en fresco y envejecido de las corrientes de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los CUTs PMOS empleando el esquema IT.

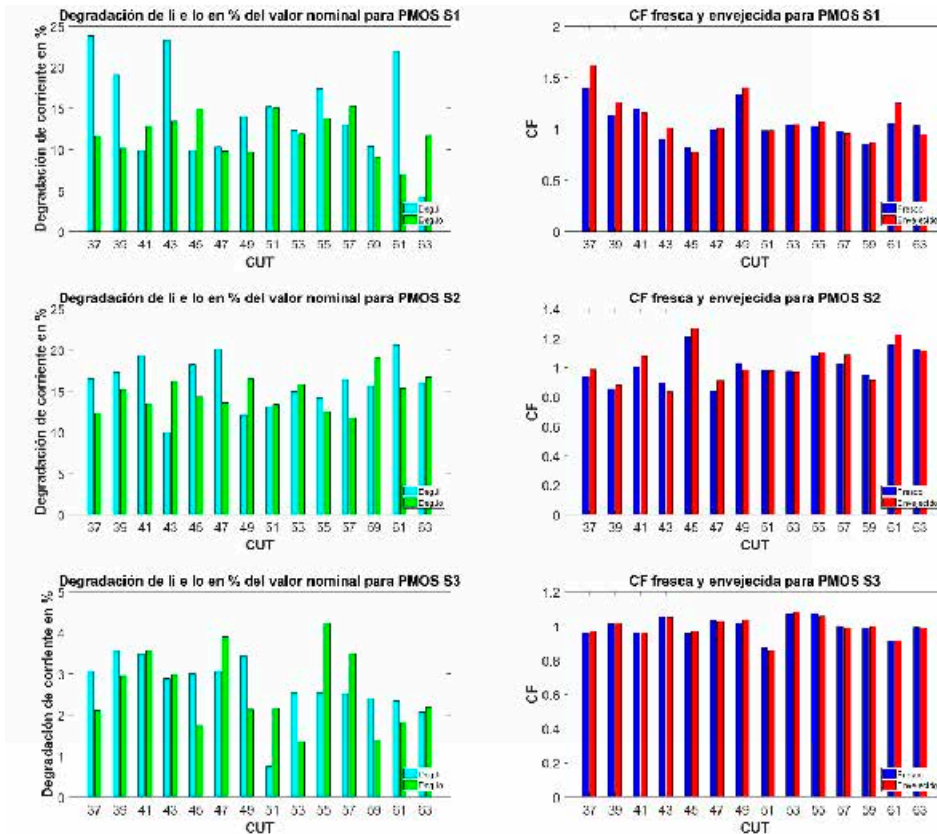


Figura 6-21. Degradación relativa de las corrientes de entrada y salida (gráficas de la izquierda) y valores frescos y envejecidos del CF (gráficas de la derecha) de los CUTs PMOS empleando el esquema IT.

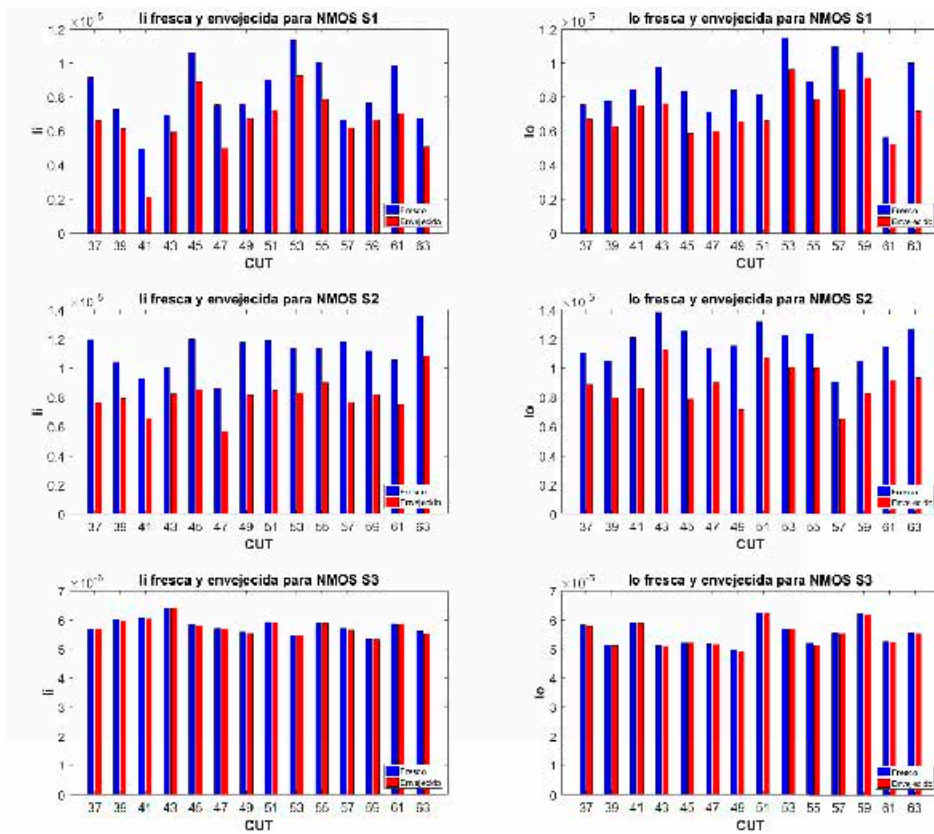


Figura 6-22. Valores en fresco y envejecido de las corrientes de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los CUTs NMOS empleando el esquema IT.

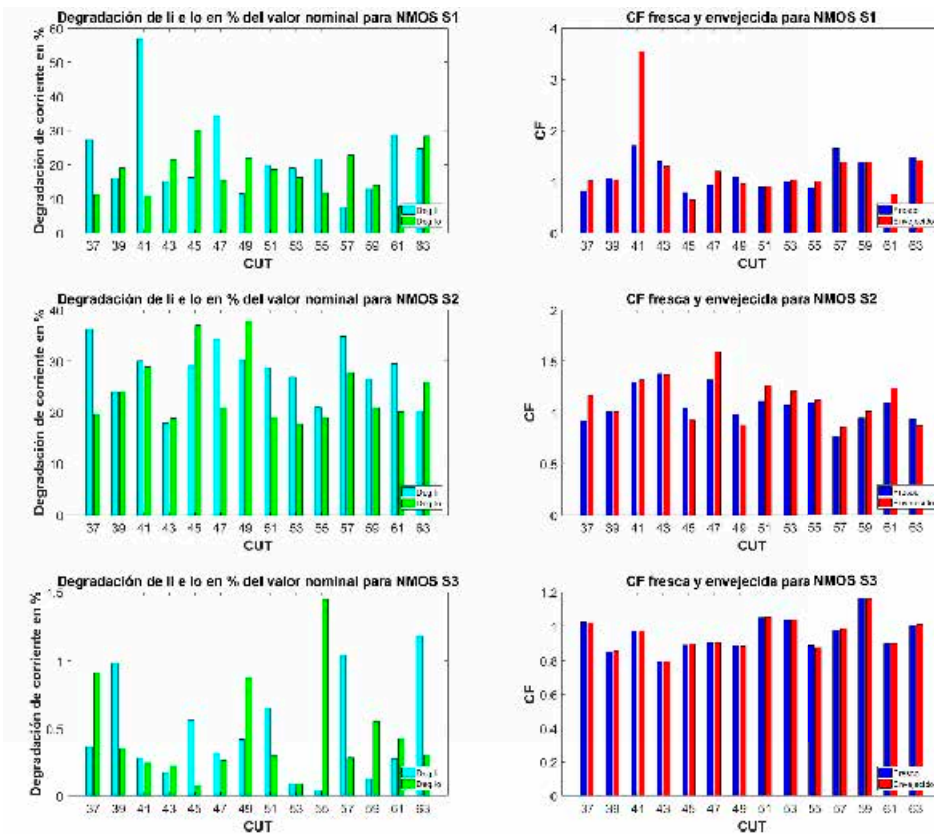


Figura 6-23. Degradación relativa de las corrientes de entrada y salida (gráficas de la izquierda) y valores frescos y envejecidos del CF (gráficas de la derecha) de los CUTs NMOS empleando el esquema IT.

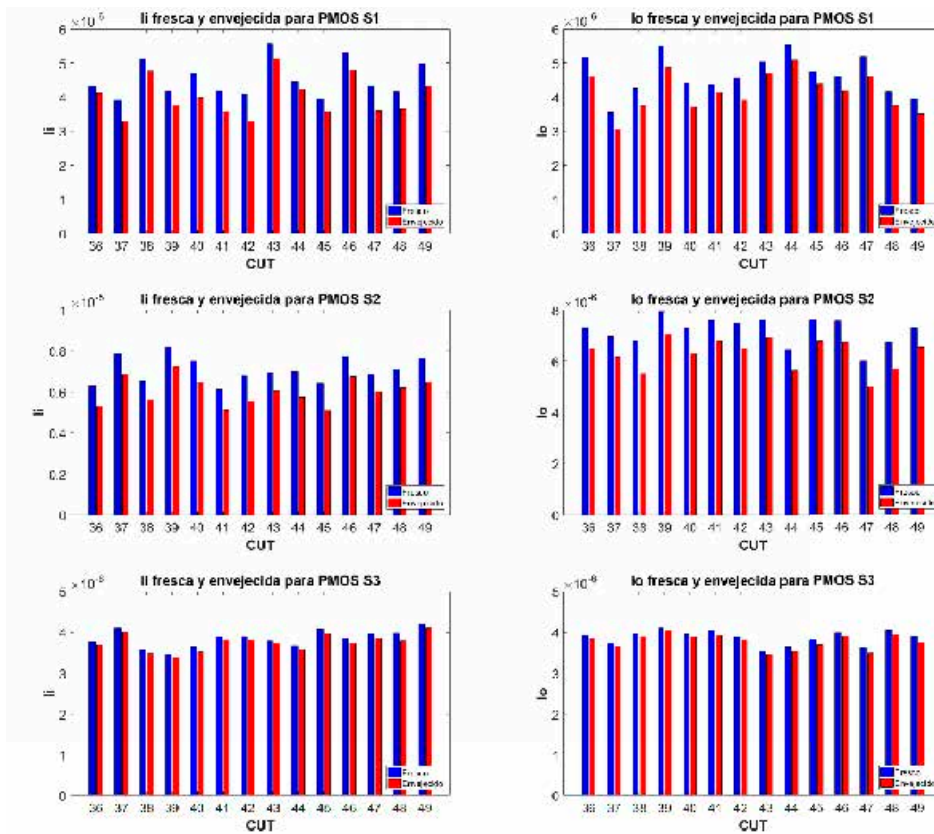


Figura 6-24. Valores en fresco y envejecido de las corrientes de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los CUTs PMOS empleando el esquema IR.

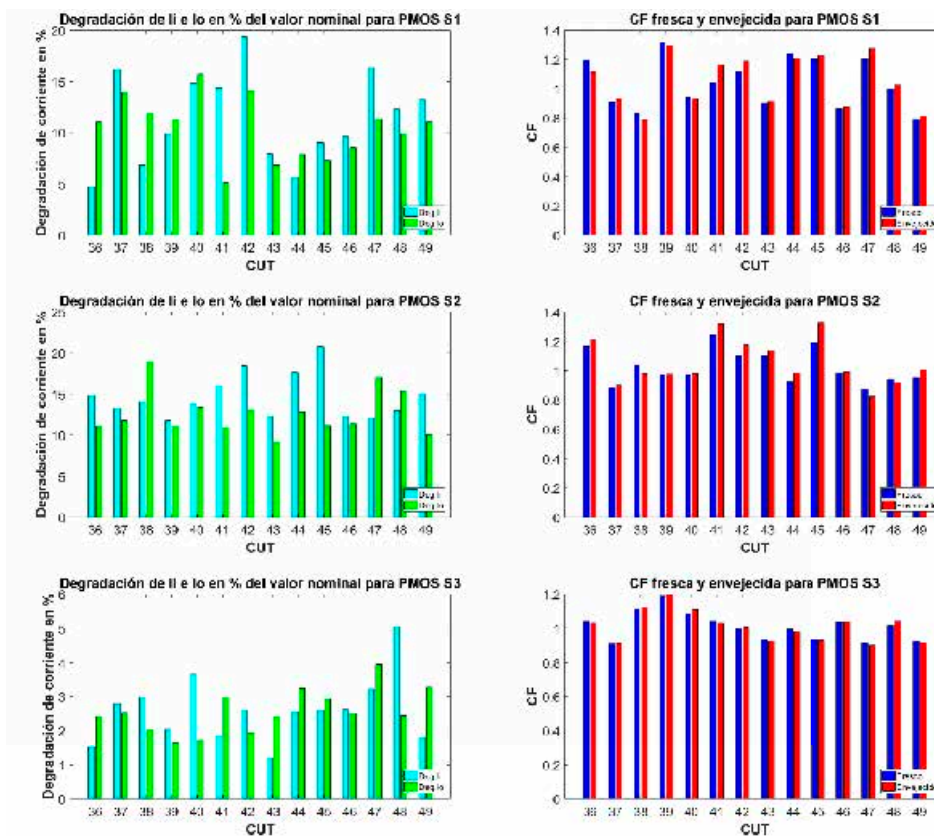


Figura 6-25. Degradación relativa de las corrientes de entrada y salida (gráficas de la izquierda) y valores frescos y envejecidos del CF (gráficas de la derecha) de los CUTs PMOS empleando el esquema IR.

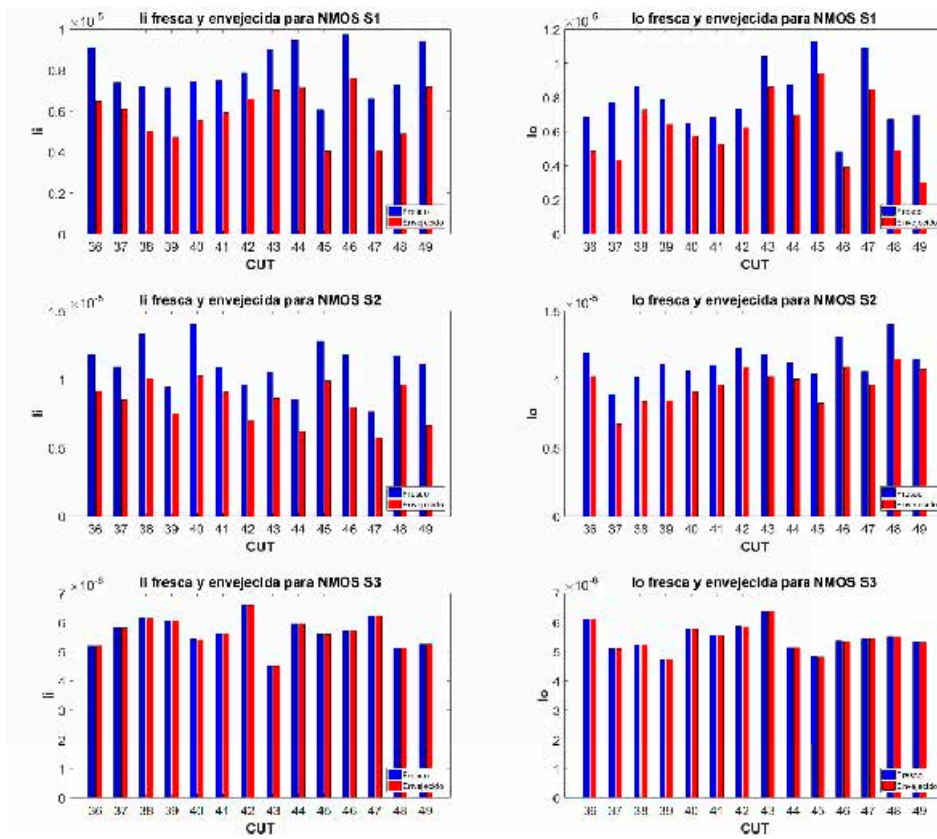


Figura 6-26. Valores en fresco y envejecido de las corrientes de entrada (gráficas de la izquierda) y salida (gráficas de la derecha) de los CUTs NMOS empleando el esquema IR.

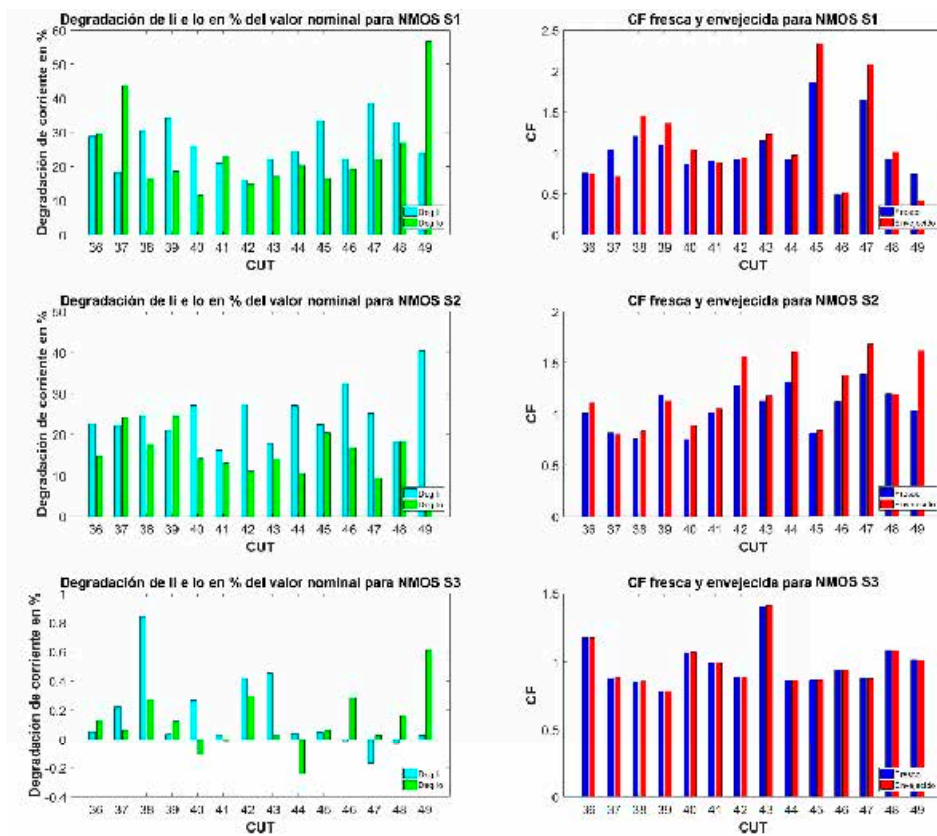


Figura 6-27. Degradación relativa de las corrientes de entrada y salida (gráficas de la izquierda) y valores frescos y envejecidos del CF (gráficas de la derecha) de los CUTs NMOS empleando el esquema IR.

Tabla 6-12. Proporción de veces en que la degradación relativa de la corriente de entrada es superior a la de la corriente de salida y viceversa.

Mayor degradación en corriente considerando S1, S2 y S3	en CUTs PMOS		en CUTs NMOS		en todos los CUTs	
	Ii	Io	Ii	Io	Ii	Io
Esquema TT	47.6%	52.4%	59.5%	40.5%	53.6%	46.4%
Esquema IT	57.1%	42.9%	59.5%	40.5%	58.3%	41.7%
Esquema IR	64.3%	35.7%	69.1%	30.9%	66.7%	33.3%
Mayor degradación en corriente considerando S1 y S2	en CUTs PMOS		en CUTs NMOS		en todos los CUTs	
	Ii	Io	Ii	Io	Ii	Io
Esquema TT	39.3%	60.7%	71.4%	28.6%	55.3%	44.7%
Esquema IT	60.7%	39.3%	60.7%	39.3%	60.7%	39.3%
Esquema IR	71.4%	28.5%	78.6%	21.4%	75.0%	25.0%

En general, el porcentaje de CUTs en los que la degradación de la corriente de entrada ha sido superior a la degradación de la corriente de salida, es superior cuando se emplean los esquemas IT e IR que cuando se emplea el esquema TT. Este porcentaje también es superior cuando se emplea el esquema IR en vez del esquema IT. Esto tiene sentido si se tienen en cuenta las características de los diferentes esquemas.

En el esquema TT las condiciones de estrés en tensión no varían y, como tanto en el nodo de entrada como en el de salida del espejo se está fijando el mismo nivel de tensión, los dos transistores que conforman el CUT están sometidos a las mismas condiciones de estrés durante todo el tiempo de estrés. Dicho de otro modo, se está aplicando un estrés simétrico sobre ambos transistores. En dichas condiciones, si la degradación se comportase de forma determinista y en ausencia de TZV, ambos dispositivos se degradarían de igual forma siempre, pero, debido a la variabilidad presente en el proceso de degradación por envejecimiento, esto no ocurrirá, sino que envejecerán de forma diferente.

En definitiva, en el esquema TT ambos transistores están sometidos a un estrés simétrico y no hay razones para que uno de los transistores se degrade más que otro, salvo la propia variabilidad en la degradación de los dos transistores, por tanto, es de esperar que, si se observan un número elevado de muestras, el porcentaje de veces que la degradación de la corriente de entrada sea superior a la de la corriente de salida se encuentre en torno al 50%.

En el caso del esquema IT, ambos empiezan idealmente con condiciones de estrés simétricas, sin embargo, conforme el transistor de entrada se degrada, debido a la existencia del *link* bidireccional, las condiciones de estrés cambian y la tensión en el nodo de entrada del espejo varía. A partir de ese momento, las condiciones de estrés de ambos transistores del espejo empiezan a ser asimétricas. El transistor de entrada sufre un aumento en las caídas de tensión V_{SG}/V_{GS} y V_{SD}/V_{DS} entre sus terminales, mientras que el transistor de salida, en este esquema, sólo sufre un aumento de su V_{SG}/V_{GS} . Conforme

aumenta la degradación a lo largo del tiempo, el cambio de las condiciones de estrés también aumentará, por lo que el estrés se irá haciendo cada vez más asimétrico conforme avance el tiempo. En definitiva, la caída de tensión V_{SD}/V_{DS} es más alta en el transistor de entrada que en el de salida y, por tanto, el transistor de entrada está sometido a peores condiciones de estrés. Nuevamente, si la TDV fuera determinista, bajo estas condiciones, la degradación del transistor de entrada siempre sería superior al de salida. Sin embargo, debido, por un lado, a que los transistores parten de una TZV diferente y, por otro lado, a la propia variabilidad de la degradación por TDV, es evidentemente posible encontrar casos donde la degradación de la corriente de la rama de salida sea superior a la de entrada.

En cualquier caso, el hecho de que las condiciones de estrés a lo largo del tiempo empeoren para el transistor de entrada, debe dar lugar para un número elevado de muestras, a un mayor número de CUTs en los que la degradación de la corriente de la rama de entrada sea superior a la de la rama de salida.

Por último, todo lo mencionado respecto a la existencia del *link* entre las condiciones de estrés y el *aging* con respecto a la variación de la tensión de entrada en el espejo conforme aumenta la degradación en el transistor de entrada, es también aplicable en el esquema IR. Esto significa que las caídas de tensión a las que está sometida el transistor de entrada, tanto en V_{SG}/V_{GS} como en V_{SD}/V_{DS} empeoran a lo largo del tiempo mientras que, en el transistor de salida, sólo empeora la condición de estrés relativa a la caída de tensión V_{SG}/V_{GS} . El cambio en la tensión de entrada provoca el aumento de la corriente en el transistor de salida debido al aumento de V_{SG}/V_{GS} , pero a diferencia de lo que ocurría en el esquema IT, este cambio influye a su vez en la tensión del terminal de drenador de dicho transistor, debido a la carga lineal presente en el esquema IR. En este sentido, si bien la caída de tensión V_{SG}/V_{GS} aumenta en el transistor de salida, tendiendo a aumentar la corriente que circula por él, este aumento de corriente exige por la ley de Ohm que la caída de tensión en la carga lineal deba aumentar, pero esto a su vez, implica necesariamente un cambio en la tensión de drenador del transistor de salida del espejo. Este cambio será un aumento de tensión en el nodo, en el caso de que el tipo de CUT sea PMOS, y una reducción en el caso de que el tipo de CUT sea NMOS, lo que en definitiva significa que la caída de tensión V_{SD}/V_{DS} en el transistor de salida se reduce, implicando que en lo que respecta a esta caída de tensión, las condiciones de estrés se relajan. Por otro lado, si la degradación se produce en el transistor de salida, éste tenderá a reducir su corriente, lo que implicaría por razones análogas a lo anteriormente explicado, una reducción en la caída de tensión en la carga lineal y como consecuencia un aumento en la V_{SD}/V_{DS} del transistor de salida.

En definitiva, las condiciones de estrés en el esquema IR se vuelven también, como ocurriera en el esquema IT, cada vez más asimétricas, porque el transistor de entrada siempre tiene cada vez peores condiciones de estrés por el aumento de tensión en sus terminales de puerta y drenador. Además, conforme más se degrade el transistor de entrada, que es el que peores condiciones tiene, este esquema será más asimétrico que el esquema IT, ya que la condición de estrés relativa a la caída de tensión V_{SD}/V_{DS} del transistor de salida mejorará. Nuevamente, si la TDV fuera determinista, la degradación en el transistor de entrada siempre sería superior que en el de salida, pero en este esquema, la diferencia sería todavía mayor que en el caso anterior del esquema IT. Con una TDV comportándose de manera estocástica, nuevamente es posible encontrar casos donde el

transistor de salida se degrade más que el de entrada, pero, para un número elevado de muestras, es de esperar que haya un mayor número de CUTs donde la corriente de la rama de entrada se haya degradado más que la de la rama de salida y, además, que lo haga en una mayor proporción que en el caso del esquema IT.

Todas estas consideraciones concuerdan por tanto con los resultados observados en la Tabla 6-12 y la colección de figuras previamente mostradas. Para avalar con mayor respaldo estos comentarios, en el siguiente sub-apartado se va a analizar cómo evolucionan las condiciones de estrés durante el tiempo de estrés en el que se degradan los dispositivos.

6.3.3.2. Cambio en las condiciones de estrés según el tipo de esquema aplicado durante el estrés.

El objetivo de este sub-apartado es determinar el cambio en las condiciones de estrés que se produce en los terminales de entrada y salida de los CUTs cuando éstos han sido estresados bajo las mismas condiciones que en el apartado anterior, esto es, una tensión de estrés de 2.5V (que se fija en el transistor de salida del esquema IT y se ajusta inicialmente con el potenciómetro en el esquema IR), o la corriente de estrés equivalente (que se aplica en el terminal de entrada tanto del esquema IT como IR), y un tiempo de estrés de 1000 segundos.

En primer lugar, se muestra en la Figura 6-28, la evolución temporal (a lo largo del tiempo de estrés) de las condiciones de estrés en tensión (tensiones de los nodos de entrada y salida del espejo de corriente) para cuatro CUTs de dimensionamiento S1 (un par de tipo PMOS y otro par de tipo NMOS) en los que se ha empleado el esquema de testado IR durante el estrés. Evidentemente, las condiciones de estrés en tensión en el esquema TT no cambian y la tensión de entrada de los espejos varía de la misma forma empleando el esquema IT que el IR. Se muestran por tanto ejemplos del esquema IR porque se puede

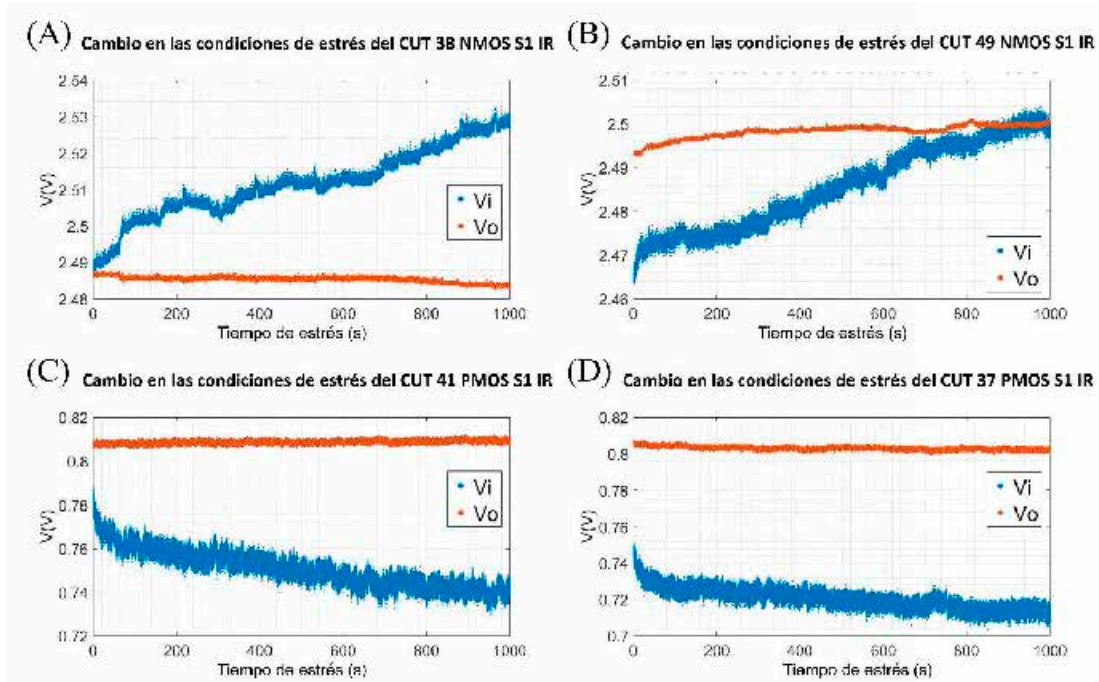


Figura 6-28. Evolución de las condiciones de estrés en CUTs envejecidos con el esquema de testado IR.

observar el cambio en las condiciones de estrés no solo en la tensión de entrada del espejo sino también en la tensión de salida.

Lo primero que se debe destacar de la Figura 6-28 es que el cambio que se produce en la tensión de entrada del espejo es mucho más significativo que el que se produce en la tensión de salida del mismo. Además, este cambio siempre aumentará la tensión en el nodo de entrada para los espejos NMOS, aumentando las caídas de tensión V_{GS} y V_{DS} del transistor de entrada y la V_{GS} del de salida. En el caso de los espejos PMOS, siempre la degradación provoca una reducción en la tensión del nodo de entrada, lo que supone un aumento de la caída de tensión V_{SG} y V_{SD} del transistor de entrada y la V_{SG} del de salida.

El cambio en la tensión de salida del espejo y por tanto, de las caídas de tensión V_{DS} / V_{SD} del transistor de salida, dependerá, tal como se ha comentado más arriba, de la evolución en la degradación de ambos transistores. Si el transistor de entrada se degrada, la tensión de salida evolucionará en el sentido contrario a la tensión de entrada, esto es, se reducirá para espejos tipo NMOS y aumentará para espejos tipo PMOS. Si la degradación ocurre en el transistor de salida, la evolución de la tensión del nodo de salida será la contraria, aumentando en el caso de los NMOS y reduciéndose en el caso PMOS. La Figura 6-28A, muestra el caso de un espejo NMOS en el que la tensión en el nodo de salida ha evolucionado durante el estrés hasta una tensión de menor valor, lo que supone una reducción en la V_{DS} del transistor de salida. Por su parte, la Figura 6-28B muestra el caso también de un CUT tipo NMOS, pero en el que la tensión de salida del espejo al final de la fase de estrés ha aumentado respecto al punto de partida, lo que empeora la condición de estrés en relación a la V_{DS} del transistor de salida. La Figura 6-28C y la Figura 6-28D, muestran casos análogos pero para CUTs de tipo PMOS. En el caso de la Figura 6-28C, la tensión de salida del espejo aumenta, por lo que la V_{SD} del transistor de salida se reduce, mientras que en el caso de la Figura 6-28D, la tensión de salida del espejo se reduce, por lo que la V_{SD} del transistor de salida se aumenta, empeorando las condiciones de estrés.

Otro aspecto a comentar es que como todos los espejos se polarizan aplicando la misma corriente de estrés a la entrada, debido a la TZV, empiezan en tensiones de polarización diferentes. En el caso de la Figura 6-28A y la Figura 6-28B se muestran dos CUTs de tipo NMOS. En la Figura 6-28A, la tensión inicial del nodo de entrada es superior a la tensión del nodo de salida, por lo que en ese momento, las condiciones de estrés en tensión que sufre el transistor de entrada son peores que la del transistor de salida. Justo lo contrario ocurre en el caso de la Figura 6-28B. Esto podría explicar que el transistor de entrada acabase degradándose más/menos que el de salida en dichos experimentos, por lo que en consecuencia también el valor final de la evolución de la tensión de salida se reduciría/aumentaría.

Sin embargo, esto no siempre es así, porque la propia variabilidad de la TDV puede hacer que un transistor que parte de mejores/peores condiciones de estrés, se degrade más/menos que el otro transistor. Esto se muestra en los casos de la Figura 6-28C y la Figura 6-28D, donde en ambos casos las condiciones de estrés de partida son peores para el transistor de entrada y, sin embargo, en el primer caso la Figura 6-28C la tensión del nodo de salida sí que acaba aumentando, pero en el segundo caso (Figura 6-28D), la tensión del nodo de salida se acaba reduciendo. En cualquier caso, el hecho de que los cambios de las condiciones de estrés sean más significativos en el nodo de entrada, hace

pensar que en general y a largo plazo, las condiciones de estrés empeorarán más para el transistor de entrada que para el de salida. Eso es lo que ocurre en los esquemas IT e IR que tienen en cuenta el *link* bidireccional y son más realistas en lo que a la operación de los espejos de corriente se refiere. Desde la perspectiva de las herramientas de simulación, esto demuestra la importancia de actualizar de forma eficiente las condiciones de estrés como requisito para un cálculo preciso de la degradación.

Una vez explicados los posibles casos particulares, para tener una apreciación general de cómo cambian las condiciones de estrés durante la fase de estrés de los CUTs medidos, se presentan a continuación tres figuras (Figura 6-29 - Figura 6-31) donde se representan el cambio total de las condiciones de estrés durante la fase de degradación para cada tipo y dimensionamiento de CUT.

De forma parecida a lo que ocurría en la degradación, las condiciones de estrés varían en el mismo orden de magnitud para los dimensionamientos S1 y S2, mientras que para el dimensionamiento S3, lo hacen aproximadamente en un orden de magnitud inferior. Por otro lado, las figuras muestran que las variaciones en las tensiones de los nodos de los CUTs son similares para el caso PMOS y NMOS, mientras que, en términos de degradación, se comentó que los CUTs de tipo NMOS superaban a los de tipo PMOS. Esto se debe a la mayor sensibilidad que presentan los transistores de tipo NMOS frente al efecto de HCI. En este sentido, ante una variación del mismo orden de las condiciones de estrés en tensión, puede asumirse que estos cambios afectarán de forma más significativa a los espejos de corriente de tipo NMOS.

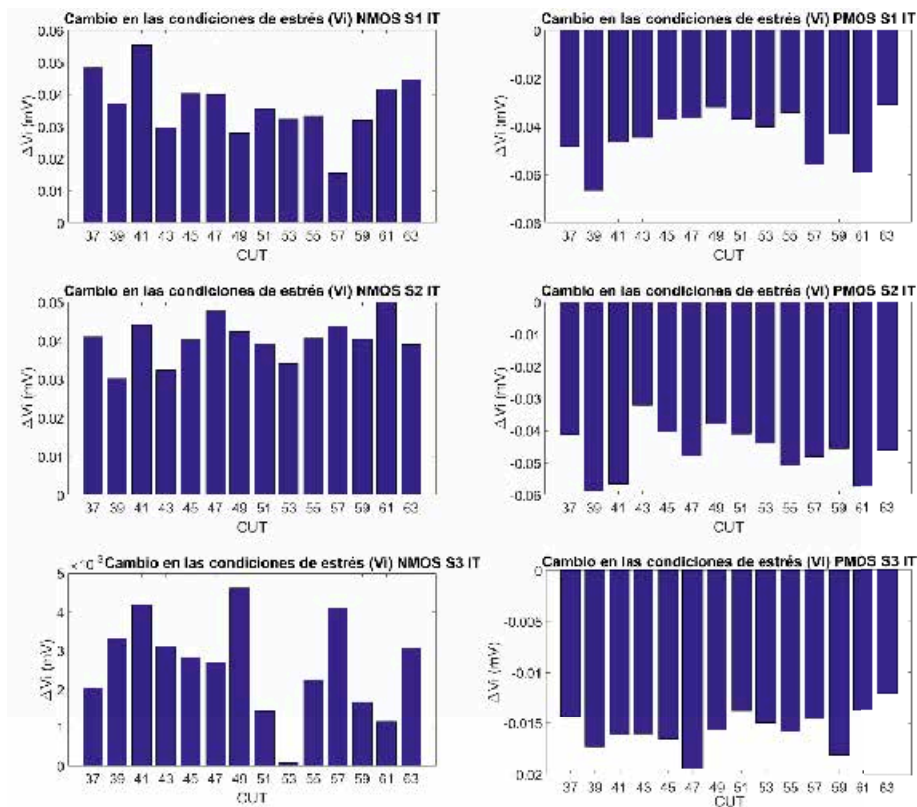


Figura 6-29. Cambio en la tensión de entrada en la fase de estrés para los CUTs NMOS (gráficas de la izquierda) y PMOS (gráficas de la derecha) estresados con el esquema IT. Cada fila corresponde a un dimensionamiento.

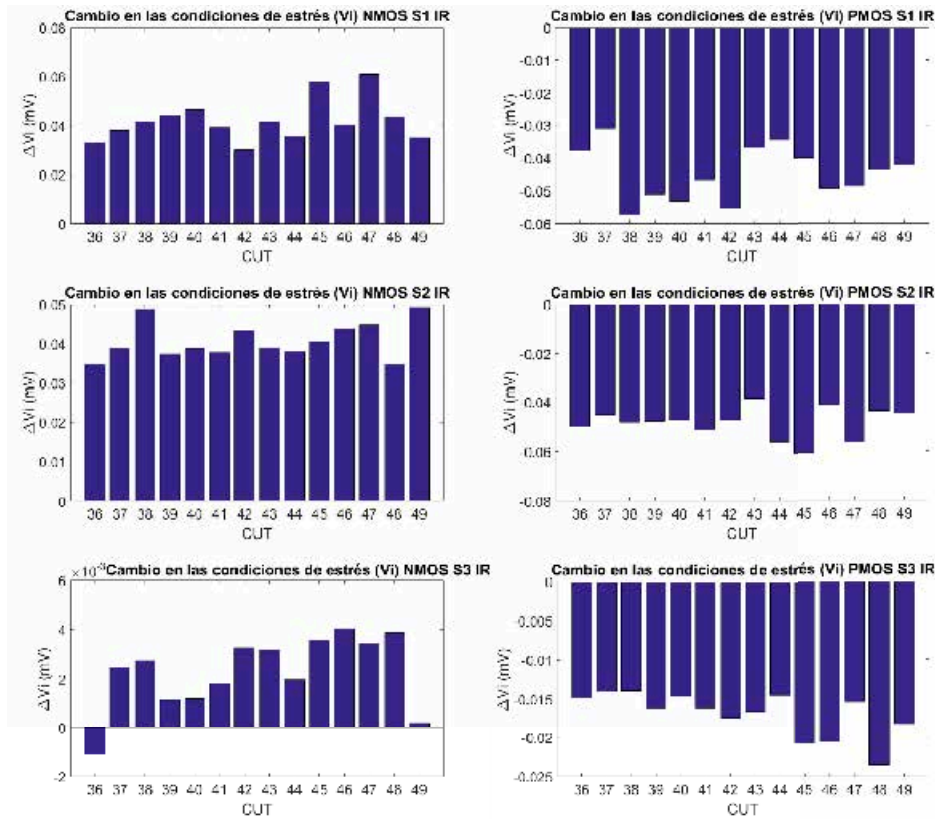


Figura 6-30. Cambio en la tensión de entrada en la fase de estrés para los CUTs NMOS (gráficas de la izquierda) y PMOS (gráficas de la derecha) estresados con el esquema IR. Cada fila corresponde a un dimensionamiento.

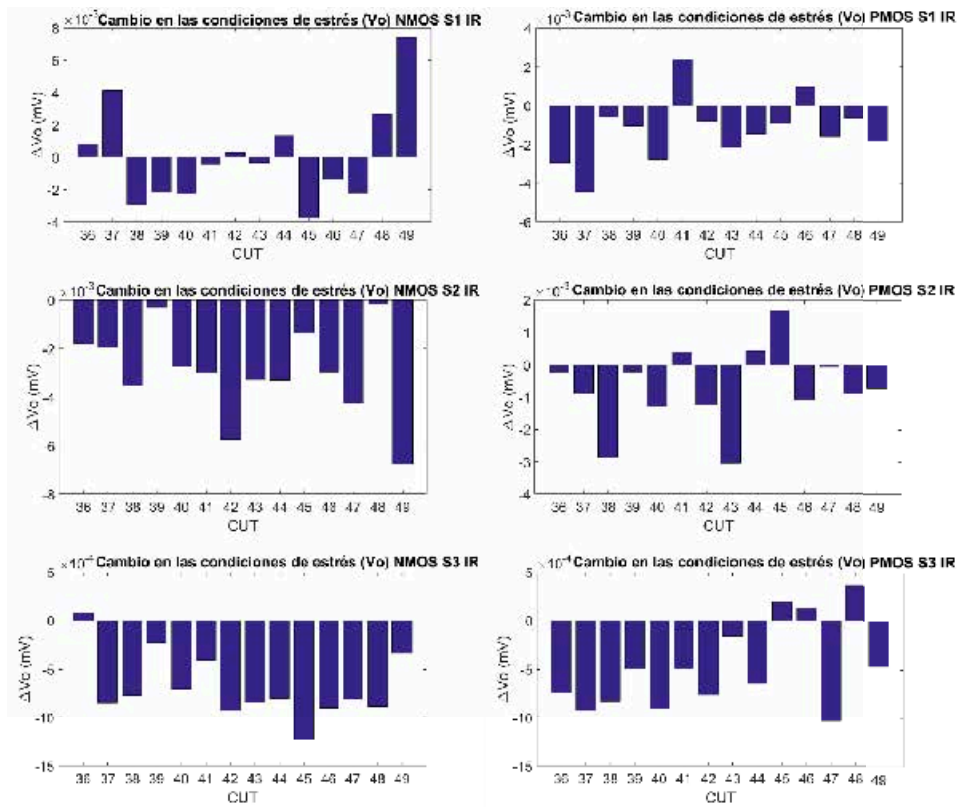


Figura 6-31. Cambio en la tensión de salida en la fase de estrés para los CUTs NMOS (gráficas de la izquierda) y PMOS (gráficas de la derecha) estresados con el esquema IR. Cada fila corresponde a un dimensionamiento.

Respecto al cambio total que sufre la tensión de salida de los CUTs estresados con el esquema IR, se puede confirmar que los cambios de dicha tensión son aproximadamente de un orden de magnitud inferior a los que sufre la tensión de entrada, justificando en cualquier caso que tanto en el esquema IT como IR, conforme avanza el tiempo durante la degradación de los CUTs, las condiciones empeorarán generalmente más para el transistor de entrada que para el transistor de salida.

Nótese también que se observa que, en la mayoría de espejos de corriente tipo NMOS, la tensión de entrada se reduce, por lo que las condiciones de estrés se relajan para los transistores de salida, mientras que en el caso PMOS, la mayoría de las veces la tensión en el nodo también se reduce, por lo que, para este caso, las condiciones de estrés del transistor de salida empeorarían. Este resultado refuerza el hecho de que en la Tabla 6-12, el porcentaje de CUTs donde la degradación en la corriente de entrada es superior a la de la corriente de salida es superior en los CUTs de tipo NMOS que en los de tipo PMOS para el esquema de testado IR.

6.3.3.3. Impacto sobre las prestaciones en función de la tensión de estrés y del tiempo de estrés aplicados.

El siguiente paso y objetivo de este sub-apartado es comparar los valores promedio tanto de la degradación como del cambio en las condiciones de estrés, pero en lugar de hacerlo solo para la peor condición de estrés posible (tensión de estrés de 2.5V y tiempo de estrés 1000 segundos) como hasta ahora, se mostrarán los resultados obtenidos también para el resto de condiciones. Con dicho propósito, las siguientes figuras representan los valores promedios de degradación de corriente relativa a la entrada y salida de los CUTs, así como la variación del factor de copia para cada una de los esquemas y condiciones de estrés utilizados. Cada una de las figuras, desde la Figura 6-32 hasta la Figura 6-37, representa los resultados para un tipo (PMOS o NMOS) y dimensionamiento (S1-S3) de CUT.

Adicionalmente, para incluir una referencia en relación a la variabilidad o dispersión de los resultados obtenidos, se incluyen una serie de tablas que muestran el valor promedio y la desviación estándar de las distribuciones de las medidas para cada tipo de experimento realizado (tensión de estrés, tiempo de estrés y esquema de testado empleado durante la degradación). Las cuatro primeras tablas (Tabla 6-13 - Tabla 6-16) muestran los resultados para los CUTs de tipo PMOS y las cuatro siguientes (Tabla 6-17 - Tabla 6-20) para los CUTs tipo NMOS.

Para los dimensionamientos S1 y S2 tanto de los CUTs NMOS como PMOS, en los casos en que la tensión de estrés aplicada es de 2.5V, puede observarse que cuando se han utilizado los esquemas de testado IT o IR, el promedio de la degradación de la corriente de entrada (I_i) es significativamente superior al de la degradación de la corriente de salida (I_o). Esto resulta en que el promedio de la variación del factor de copia de los CUTs (CF) es positivo, es decir, que el valor promedio del CF ha aumentado después de la degradación. Esto probablemente se deba a que en la mayoría de CUTs, se dé la circunstancia de que la degradación de I_i sea mayor que la de I_o . La razón de que esto ocurra siempre para el caso en que la tensión de estrés aplicada es mayor, es porque en estos dimensionamientos de CUT y bajo estas condiciones de estrés, la degradación es más significativa. Cuando la degradación es más significativa, debido a la presencia de

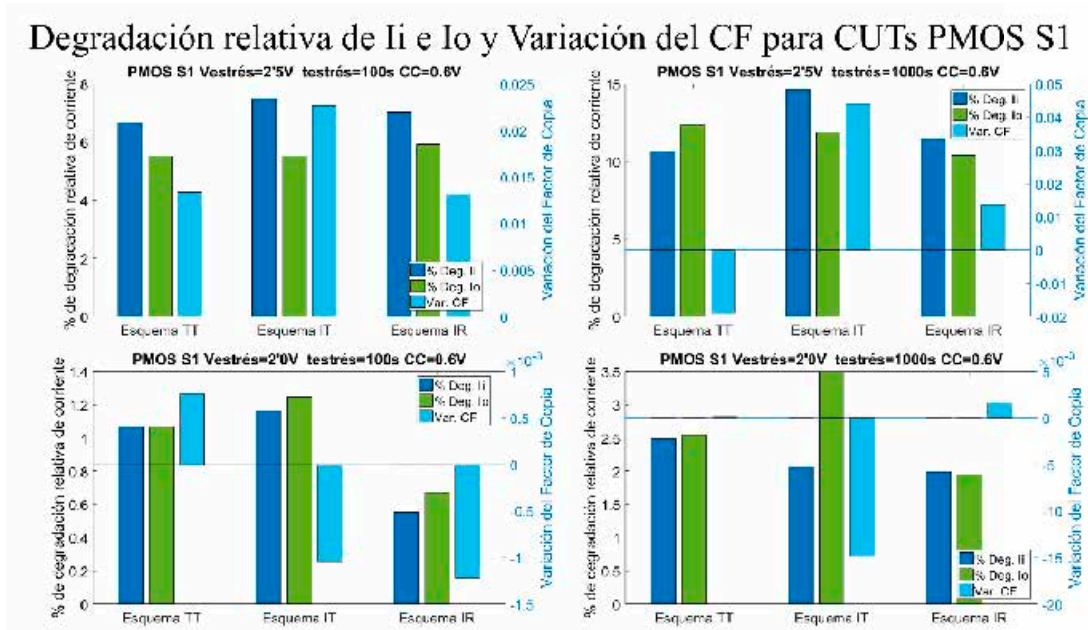


Figura 6-32. Degradación relativa de las corrientes de entrada y salida y variación del factor de copia para los CUTs de tipo PMOS y dimensionamiento S1. Cada gráfica representa los resultados obtenidos para cada tipo de esquema y unas condiciones de estrés concretas. La gráfica inferior izquierda se corresponde con una tensión de estrés de 2.0V y un tiempo de estrés de 100s. La gráfica inferior derecha con una tensión de estrés de 2.0V y un tiempo de estrés de 1000s. La gráfica superior izquierda con una tensión de estrés de 2.5V y un tiempo de estrés de 100s. La gráfica superior derecha con una tensión de estrés de 2.5V y un tiempo de estrés de 1000s.

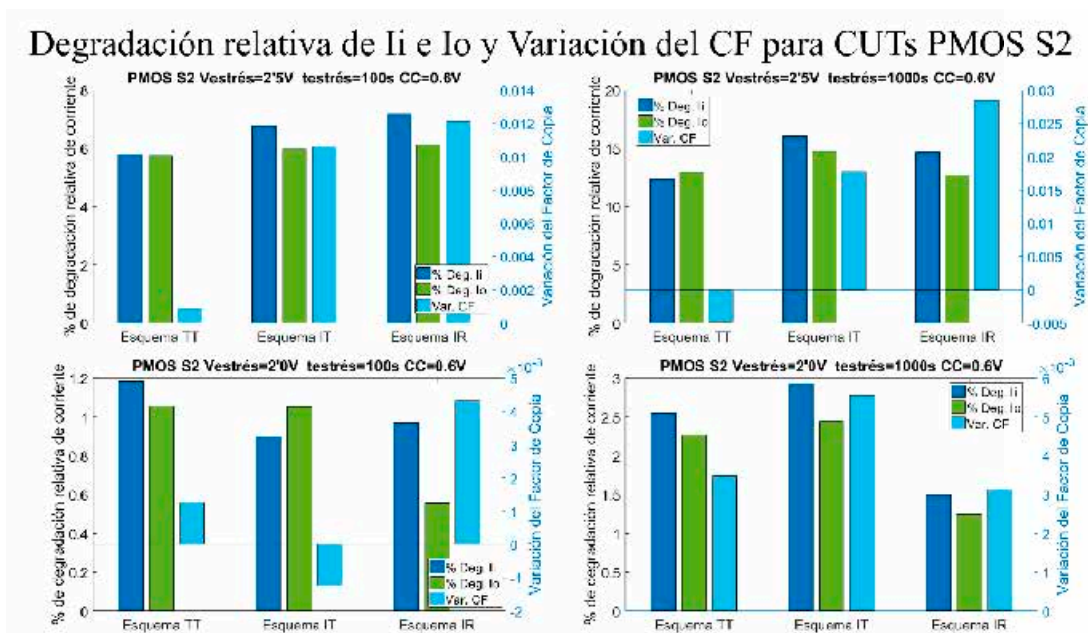


Figura 6-33. Degradación relativa de las corrientes de entrada y salida y variación del factor de copia para los CUTs de tipo PMOS y dimensionamiento S2. Cada gráfica representa los resultados obtenidos para cada tipo de esquema y unas condiciones de estrés concretas. La gráfica inferior izquierda se corresponde con una tensión de estrés de 2.0V y un tiempo de estrés de 100s. La gráfica inferior derecha con una tensión de estrés de 2.0V y un tiempo de estrés de 1000s. La gráfica superior izquierda con una tensión de estrés de 2.5V y un tiempo de estrés de 100s. La gráfica superior derecha con una tensión de estrés de 2.5V y un tiempo de estrés de 1000s.

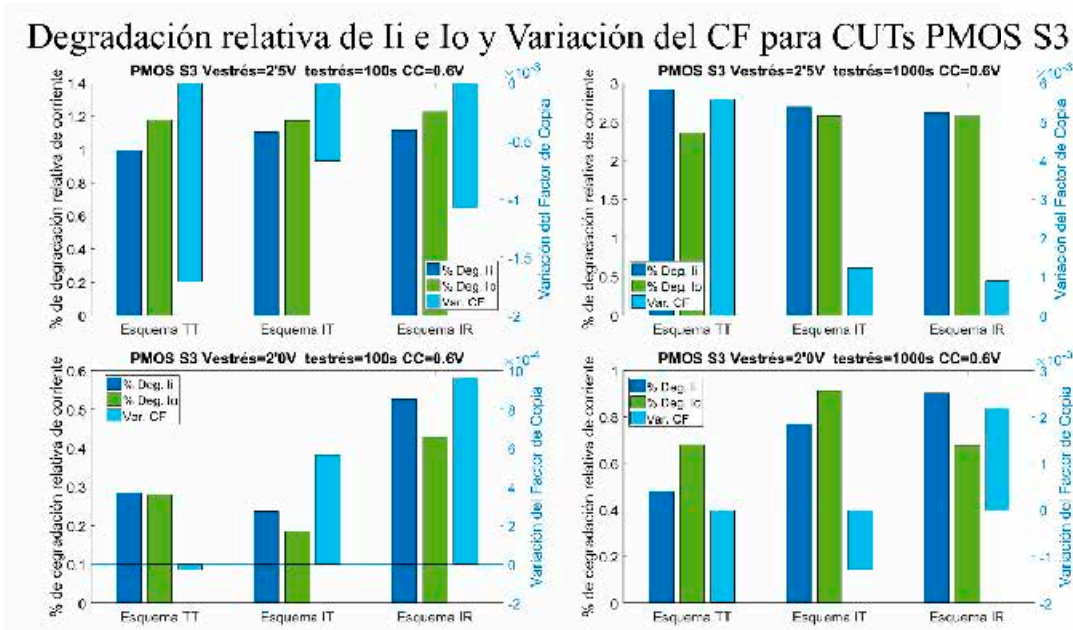


Figura 6-34. Degradación relativa de las corrientes de entrada y salida y variación del factor de copia para los CUTs de tipo PMOS y dimensionamiento S3. Cada gráfica representa los resultados obtenidos para cada tipo de esquema y unas condiciones de estrés concretas. La gráfica inferior izquierda se corresponde con una tensión de estrés de 2.0V y un tiempo de estrés de 100s. La gráfica inferior derecha con una tensión de estrés de 2.0V y un tiempo de estrés de 1000s. La gráfica superior izquierda con una tensión de estrés de 2.5V y un tiempo de estrés de 100s. La gráfica superior derecha con una tensión de estrés de 2.5V y un tiempo de estrés de 1000s.

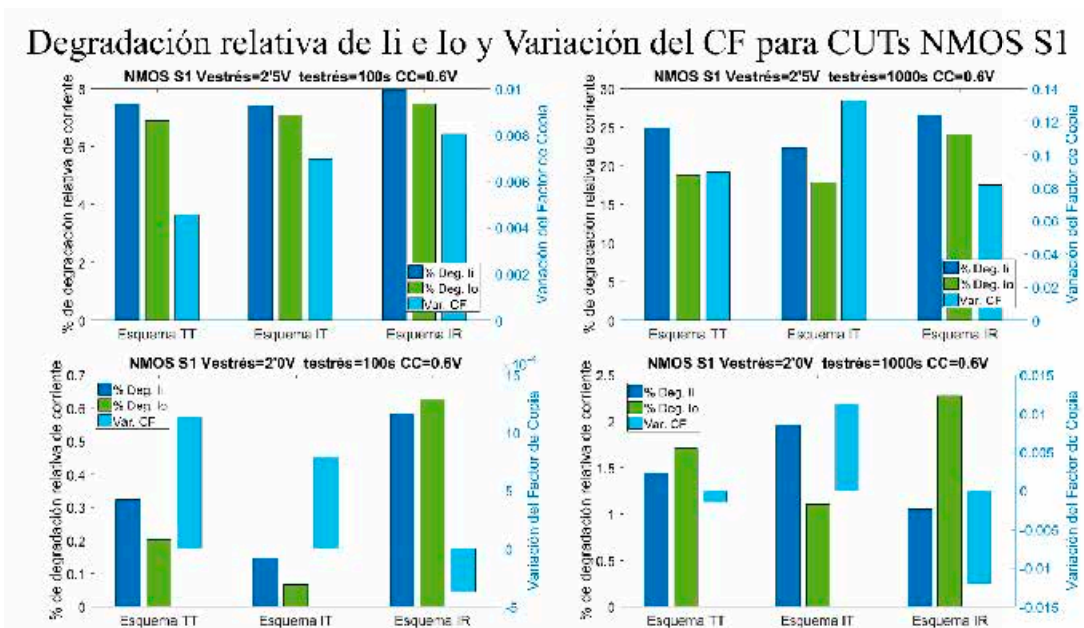


Figura 6-35. Degradación relativa de las corrientes de entrada y salida y variación del factor de copia para los CUTs de tipo NMOS y dimensionamiento S1. Cada gráfica representa los resultados obtenidos para cada tipo de esquema y unas condiciones de estrés concretas. La gráfica inferior izquierda se corresponde con una tensión de estrés de 2.0V y un tiempo de estrés de 100s. La gráfica inferior derecha con una tensión de estrés de 2.0V y un tiempo de estrés de 1000s. La gráfica superior izquierda con una tensión de estrés de 2.5V y un tiempo de estrés de 100s. La gráfica superior derecha con una tensión de estrés de 2.5V y un tiempo de estrés de 1000s.

Degradación relativa de Ii e Io y Variación del CF para CUTs NMOS S2

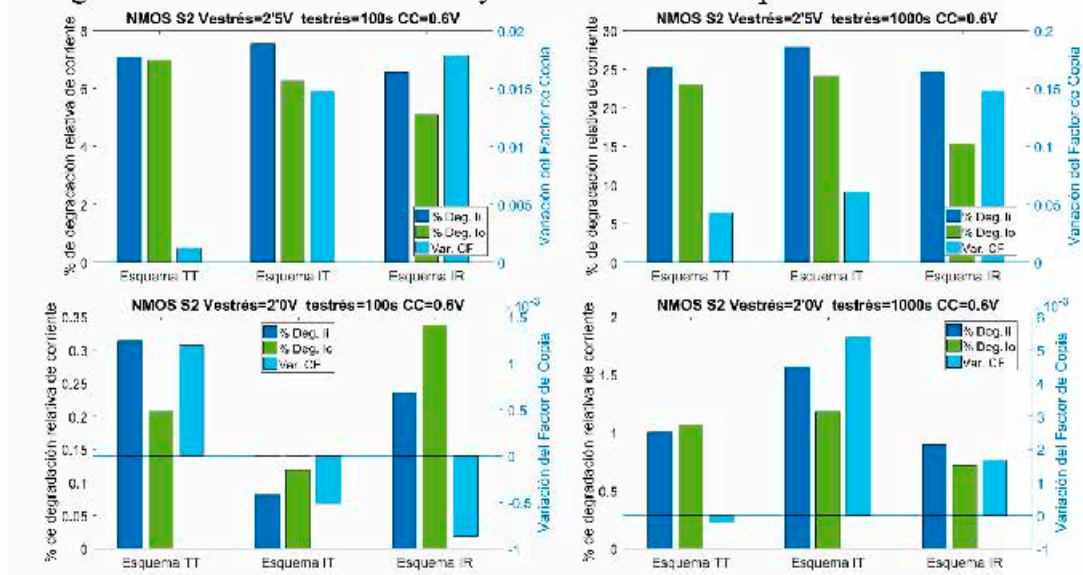


Figura 6-36. Degradación relativa de las corrientes de entrada y salida y variación del factor de copia para los CUTs de tipo NMOS y dimensionamiento S2. Cada gráfica representa los resultados obtenidos para cada tipo de esquema y unas condiciones de estrés concretas. La gráfica inferior izquierda se corresponde con una tensión de estrés de 2.0V y un tiempo de estrés de 100s. La gráfica inferior derecha con una tensión de estrés de 2.0V y un tiempo de estrés de 1000s. La gráfica superior izquierda con una tensión de estrés de 2.5V y un tiempo de estrés de 100s. La gráfica superior derecha con una tensión de estrés de 2.5V y un tiempo de estrés de 1000s.

Degradación relativa de Ii e Io y Variación del CF para CUTs NMOS S3

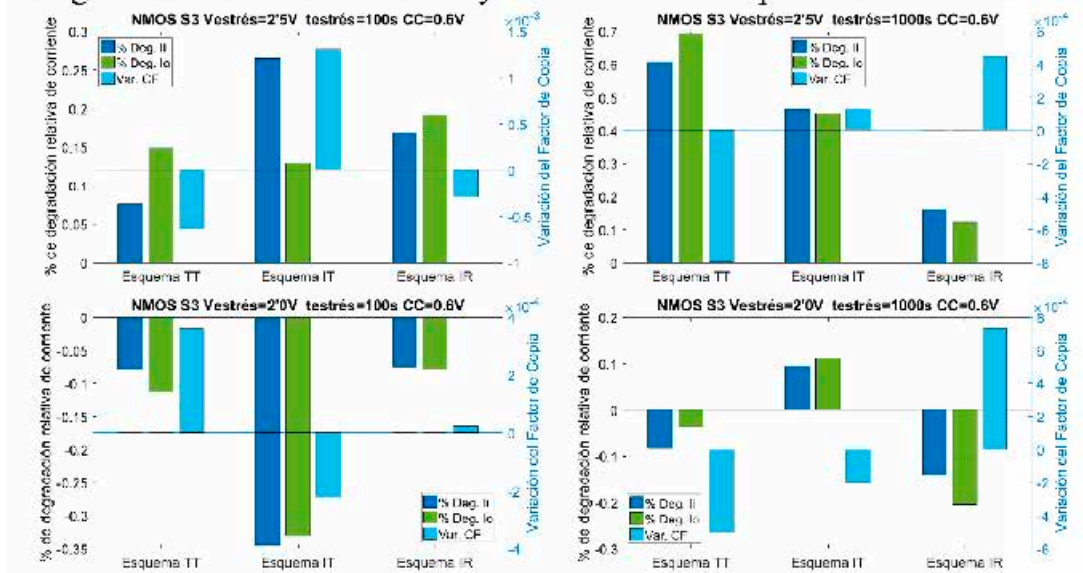


Figura 6-37. Degradación relativa de las corrientes de entrada y salida y variación del factor de copia para los CUTs de tipo NMOS y dimensionamiento S3. Cada gráfica representa los resultados obtenidos para cada tipo de esquema y unas condiciones de estrés concretas. La gráfica inferior izquierda se corresponde con una tensión de estrés de 2.0V y un tiempo de estrés de 100s. La gráfica inferior derecha con una tensión de estrés de 2.0V y un tiempo de estrés de 1000s. La gráfica superior izquierda con una tensión de estrés de 2.5V y un tiempo de estrés de 100s. La gráfica superior derecha con una tensión de estrés de 2.5V y un tiempo de estrés de 1000s.

Tabla 6-13. Resultados globales CUTs PMOS, tensión de estrés 2.0V y tiempo de estrés 100s.

CUTs tipo PMOS. Tensión de estrés 2.0V. Tiempo de estrés 100 segundos.						
Dimensión S1	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	1.07	1.27	1.07	1.15	7.573e-4	1.923e-2
Esquema IT	1.16	1.46	1.25	1.12	-1.040e-3	1.835e-2
Esquema IR	0.55	0.94	0.67	1.55	-1.219e-3	1.902e-2
Dimensión S2	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	1.18	0.91	1.05	1.07	1.269e-3	1.271e-2
Esquema IT	0.90	0.78	1.05	0.95	-1.236e-3	1.237e-2
Esquema IR	0.97	1.10	0.56	1.12	4.304e-3	1.327e-2
Dimensión S3	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	0.28	0.42	0.28	0.28	-2.749e-5	5.279e-3
Esquema IT	0.24	0.32	0.19	0.28	5.652e-4	4.248e-3
Esquema IR	0.53	0.46	0.43	0.24	9.649e-4	5.912e-3

Tabla 6-14. Resultados globales CUTs PMOS, tensión de estrés 2.0V y tiempo de estrés 1000s.

CUTs tipo PMOS. Tensión de estrés 2.0V. Tiempo de estrés 1000 segundos.						
Dimensión S1	% degradación Ii		% degradación Io		% variación CF	
	desv. están.	Promedio	desv. están.	desv. están.	Promedio	desv. están.
Esquema TT	2.48	2.02	2.55	1.77	1.717e-4	3.015e-2
Esquema IT	2.07	1.47	3.48	2.54	-1.489e-2	2.727e-2
Esquema IR	1.99	2.13	1.94	1.60	1.597e-3	2.673e-2
Dimensión S2	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	2.55	1.40	2.27	1.16	3.473e-3	1.503e-2
Esquema IT	2.93	1.38	2.44	1.15	5.557e-3	2.150e-2
Esquema IR	1.50	1.22	1.25	1.09	3.133e-3	2.217e-2
Dimensión S3	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	0.48	0.42	0.68	0.49	-1.982e-3	6.757e-3
Esquema IT	0.77	0.41	0.91	0.38	-1.271e-3	6.691e-3
Esquema IR	0.90	0.42	0.68	0.40	2.191e-3	4.527e-3

Tabla 6-15. Resultados globales CUTs PMOS, tensión de estrés 2.5V y tiempo de estrés 100s.

CUTs tipo PMOS. Tensión de estrés 2.5V. Tiempo de estrés 100 segundos.						
Dimensión S1	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	6.67	2.74	5.52	2.18	1.331e-2	3.246e-2
Esquema IT	7.51	2.83	5.52	1.99	2.264e-2	3.389e-2
Esquema IR	7.03	3.00	5.91	3.15	1.316e-2	5.956e-2
Dimensión S2	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	5.79	2.01	5.75	2.05	8.631e-4	3.422e-2
Esquema IT	6.77	2.26	5.97	1.64	1.060e-2	2.840e-2
Esquema IR	7.18	1.82	6.11	1.40	1.211e-2	2.535e-2
Dimensión S3	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	1.00	0.47	1.18	0.64	-1.707e-3	5.454e-3
Esquema IT	1.10	0.36	1.17	0.54	-6.717e-4	7.577e-3
Esquema IR	1.12	0.56	1.23	0.67	-1.074e-3	8.619e-3

Tabla 6-16. Resultados globales CUTs PMOS, tensión de estrés 2.5V y tiempo de estrés 1000s.

CUTs tipo PMOS. Tensión de estrés 2.5V. Tiempo de estrés 1000 segundos.						
Dimensión S1	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	10.65	2.43	12.32	2.63	-1.904e-2	3.639e-2
Esquema IT	14.64	5.80	11.87	2.51	4.395e-2	9.217e-2
Esquema IR	11.46	4.46	10.42	3.04	1.376e-2	5.057e-2
Dimensión S2	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	12.32	2.47	12.95	2.41	-4.844e-3	3.131e-2
Esquema IT	16.04	3.05	14.73	2.04	1.777e-2	4.757e-2
Esquema IR	14.69	2.70	12.67	2.73	2.842e-2	5.368e-2
Dimensión S3	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	2.91	0.97	2.36	0.97	5.578e-3	1.684e-2
Esquema IT	2.69	0.73	2.58	0.94	1.215e-3	1.053e-2
Esquema IR	2.61	0.97	2.57	0.65	9.013e-4	1.271e-2

Tabla 6-17. Resultados globales CUTs NMOS, tensión de estrés 2.0V y tiempo de estrés 100s.

CUTs tipo NMOS. Tensión de estrés 2.0V. Tiempo de estrés 100 segundos.						
Dimensión S1	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	0.32	0.36	0.20	0.30	1.134e-3	4.409e-3
Esquema IT	0.15	0.35	0.07	0.23	7.919e-4	4.309e-3
Esquema IR	0.58	0.43	0.63	0.45	-3.734e-4	6.035e-3
Dimensión S2	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	0.31	0.52	0.21	0.30	1.196e-3	7.153e-3
Esquema IT	0.08	0.35	0.12	0.77	-5.149e-4	8.075e-3
Esquema IR	0.24	0.34	0.34	0.70	-8.574e-4	6.369e-3
Dimensión S3	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	-0.08	0.10	-0.11	0.16	3.595e-4	1.920e-3
Esquema IT	-0.34	0.10	-0.33	0.15	-2.220e-4	1.612e-3
Esquema IR	-0.08	0.06	-0.08	0.07	2.390e-5	1.065e-3

Tabla 6-18. Resultados globales CUTs NMOS, tensión de estrés 2.0V y tiempo de estrés 1000s.

CUTs tipo NMOS. Tensión de estrés 2.0V. Tiempo de estrés 1000 segundos.						
Dimensión S1	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	1.44	1.03	1.70	1.68	-1.443e-3	1.893e-2
Esquema IT	1.96	1.17	1.10	1.10	1.127e-2	1.414e-2
Esquema IR	1.06	0.93	2.28	2.96	-1.205e-2	2.971e-2
Dimensión S2	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	1.01	0.82	1.07	0.89	-2.258e-4	1.301e-2
Esquema IT	1.57	1.06	1.19	0.82	5.408e-3	1.429e-2
Esquema IR	0.90	0.57	0.72	0.68	1.688e-3	8.022e-3
Dimensión S3	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	0.08	0.07	0.04	0.17	-5.009e-4	1.780e-3
Esquema IT	0.09	0.13	0.11	0.12	-2.019e-4	1.991e-3
Esquema IR	-0.14	0.13	-0.20	0.09	7.317e-4	1.782e-3

Tabla 6-19. Resultados globales CUTs NMOS, tensión de estrés 2.5V y tiempo de estrés 100s.

CUTs tipo NMOS. Tensión de estrés 2.5V. Tiempo de estrés 100 segundos.						
Dimensión S1	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	7.48	2.93	6.88	2.98	4.568e-3	5.039e-2
Esquema IT	7.43	3.18	7.08	2.70	6.940e-3	5.005e-2
Esquema IR	7.94	3.50	7.48	3.54	8.044e-3	6.800e-2
Dimensión S2	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	7.10	3.01	6.98	2.07	1.279e-3	4.049e-2
Esquema IT	7.54	2.65	6.26	2.47	1.479e-2	3.519e-2
Esquema IR	6.56	2.19	5.11	2.52	1.789e-2	3.395e-2
Dimensión S3	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	0.08	0.17	0.15	0.30	-6.303e-4	3.486e-3
Esquema IT	0.26	0.26	0.13	0.12	1.303e-3	2.350e-3
Esquema IR	0.17	0.13	0.19	0.23	-2.870e-4	2.892e-3

Tabla 6-20. Resultados globales CUTs NMOS, tensión de estrés 2.5V y tiempo de estrés 1000s.

CUTs tipo NMOS. Tensión de estrés 2.5V. Tiempo de estrés 1000 segundos.						
Dimensión S1	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	24.90	4.84	18.74	6.33	8.973e-2	1.403e-1
Esquema IT	22.30	12.40	17.83	6.62	1.328e-1	5.130e-1
Esquema IR	26.61	6.60	24.07	12.35	8.171e-2	2.314e-1
Dimensión S2	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	25.18	5.17	23.08	5.33	4.277e-2	1.038e-1
Esquema IT	27.90	5.51	24.15	6.63	6.057e-2	1.196e-1
Esquema IR	24.63	6.31	15.38	5.29	1.476e-1	1.760e-1
Dimensión S3	% degradación Ii		% degradación Io		% variación CF	
	Promedio	desv. están.	Promedio	desv. están.	Promedio	desv. están.
Esquema TT	0.61	0.30	0.69	0.34	-7.949e-4	4.496e-3
Esquema IT	0.46	0.37	0.45	0.38	1.284e-4	5.727e-3
Esquema IR	0.16	0.26	0.12	0.20	4.463e-4	3.216e-3

link bidireccional en estos esquemas, también será mayor el cambio en las condiciones de estrés. Esto llevará a los CUTs a condiciones de estrés notablemente asimétricas donde, exista un mayor porcentaje de CUTs en que el transistor de entrada se degrade más que el de salida. El caso justamente contrario, es decir, cuando el promedio de la variación del factor de copia sea negativo, será debido a que probablemente en la mayoría de casos, la degradación relativa de la corriente de salida sea superior a la de la corriente de entrada. En esta circunstancia, será normal que el promedio de la degradación de la corriente de salida también sea superior al de la degradación de entrada. Un ejemplo de esta situación se observa para el caso de haber aplicado el esquema TT, con tensión de estrés 2.5V y 1000 segundos de tiempo de estrés para CUTs PMOS del primer dimensionamiento (S1).

En los casos en que los promedios de degradación de las corrientes sean similares, probablemente se deba a que no existe una mayoría significativa de CUTs donde la degradación de la corriente de entrada o salida es superior a la otra. Esto suele reflejarse globalmente como una variación promedio baja del CF , cuyo sentido dependerá de los resultados individuales de los CUTs.

Con respecto a las diferencias observadas al aplicar las diferentes condiciones de estrés en tiempo y tensión, como era de esperar, una primera conclusión es que la degradación parece escalar de forma mucho más determinante con la tensión que con el tiempo. En la mayoría de los CUTs estresados a 2.0V durante 100 segundos, la degradación permanente observada es muy pequeña, mientras que para el caso de 2.5V y 1000 segundos, el daño permanente observado es importante, al menos en las dimensiones S1 y S2. Para los dispositivos del tercer dimensionamiento (S3), tanto para CUTs PMOS como NMOS, la degradación permanente es relativamente muy baja incluso en la condición más severa de estrés, debido probablemente a la fuerte influencia que tiene la longitud de canal en el impacto del efecto de HCI. Otro aspecto que queda de manifiesto al observar los valores promedios de la degradación en los dimensionamientos S1 y S2, es que los CUTs de tipo NMOS presentan mayor daño permanente que los PMOS, sobre todo en los casos en los que las condiciones de estrés son más severas. Esto se debe, como se ha comentado a lo largo de la tesis, a la mayor sensibilidad de este tipo de transistores al efecto de HCI.

Respecto a la variabilidad de las distribuciones obtenidas en las medidas, se puede concluir que, tal como era de esperar, conforme se reducen las dimensiones de los CUTs, las medidas presentan una mayor dispersión. En aquellas medidas que se han llevado a cabo con condiciones de estrés relativamente menores y/o sobre los dispositivos de dimensionamiento S3, la dispersión de las mismas se encuentra en el orden de los valores promedios de degradación obtenidos, por lo que puede considerarse que, en estos casos, la resolución puede no ser suficiente y habría que aumentar el número de CUTs medidos para que los resultados y tendencias obtenidos sean tan fiables como los casos donde la degradación es más significativa.

Por último, es muy importante destacar una vez más que, en aquellos experimentos donde la degradación es importante, es decir, principalmente en los esquemas S1 y S2 para las condiciones de estrés más exigentes y, sobre todo, para los CUTs de tipo NMOS, se puede observar como la degradación de la corriente de entrada que presentan los esquemas con *link* IT e IR es generalmente superior a la que presenta el esquema TT. Esto se debe a que, por el propio *link* bidireccional, será justamente en los casos en los que haya mayor

degradación en los que más varíen las condiciones de estrés y, consecuentemente, el mayor cambio de las condiciones de estrés (empeorando siempre las condiciones para el transistor de entrada) favorecerá a su vez que haya una mayor degradación. Por razones similares, en estas medidas realizadas sobre los experimentos con mayor cambio en las condiciones de estrés, el esquema de testado IR suele presentar una menor degradación en su corriente de salida que el esquema IT, ya que, las condiciones de estrés del transistor de salida de los CUTs pueden mejorar debido al *link*.

Por estos argumentos, observando las tablas se puede concluir que el esquema que tiene mayor variación del *CF* es el esquema IR. Esto tiene sentido porque es el esquema que en promedio presenta la mayor diferencia entre la degradación de la corriente de entrada y de salida. La razón es que, en promedio, en el esquema IR el transistor de entrada presenta mayor degradación que en el esquema TT y el transistor de salida presenta menor degradación que en el esquema IT. Esto es significativo porque debe recordarse que el esquema IR es el que presenta las condiciones de operación más similares a las que los CUTs operaran generalmente en la realidad. Por tanto, si se utilizan para el cálculo del impacto sobre las prestaciones, herramientas que no consideren el *link* bidireccional o no actualicen correctamente las condiciones de estrés, es de asumir que estarán subestimando la degradación por envejecimiento de los espejos de corriente.

Por último, para apoyar las conclusiones realizadas, se muestran en la Tabla 6-21 los valores promedios y la desviación estándar de la variación de las condiciones de estrés para cada esquema, condición y tipo de CUT. Como se ha comentado, para un mismo tipo de CUT, los experimentos en los que se ha producido una mayor degradación son, como cabría esperar, en aquellos donde se ha producido un mayor cambio en las condiciones de estrés y viceversa. Sin embargo, debe notarse que la Tabla 6-21 refleja un cambio ligeramente superior en las condiciones de estrés en el nodo de entrada en los CUTs de tipo PMOS cuando en realidad los CUTs de tipo NMOS presentan una mayor degradación. Esto en realidad no hace sino reafirmar el hecho de que los dispositivos de tipo NMOS son más sensibles a la degradación permanente provocada por el efecto de HCI que los dispositivos PMOS. Los resultados promedio que se producen en el nodo de salida son, por un lado, mucho menores que los obtenidos en el nodo de entrada porque como se ha visto anteriormente, el cambio que se produce en dicho nodo CUT a CUT es menor, pero también, porque el cambio de tensión promedio que sufre cada CUT puede ir en un sentido u otro dependiendo de que transistor del espejo de corriente sufra mayor degradación, lo que provoca que las distintas contribuciones se contrarresten en el cálculo del valor promedio.

En este sentido, que los CUTs tipo NMOS vean, por lo general, una reducción en la tensión del nodo de entrada supone que las condiciones de estrés del transistor de salida mejoraran. El valor negativo que aparece mayormente en los transistores PMOS indicaría un aumento en la caída de tensión entre los terminales de fuente y drenador del transistor de salida, empeorando sus condiciones de estrés.

En definitiva, comparando los resultados obtenidos en degradación con los cambios en las condiciones de estrés mostrados en la Tabla 6-21 para los nodos de entrada y salida, se puede tener una mayor comprensión de los resultados obtenidos siempre teniendo en cuenta la propia variabilidad de la TDV.

Tabla 6-21. Valores promedio y desviación estándar del cambio en las condiciones de estrés.

Cambio en las condiciones de estrés en el nodo de entrada de los CUTs							
Esquema IT		NMOS S1		NMOS S2		NMOS S3	
Tensión	Tiempo	μ (mV)	σ (mV)	μ (mV)	σ (mV)	μ (mV)	σ (mV)
2.5V	1000	36.7	9.7	40.3	5.4	2.6	1.27
2.5V	100	13.9	4.4	14.2	3	1.7	0.85
2.0V	1000	4.9	2.4	4.7	2.5	0.4	0.49
2.0V	100	1.9	1.3	1.8	1.3	0.5	0.41
Esquema IR		NMOS S1		NMOS S2		NMOS S3	
Tensión	Tiempo	μ (mV)	σ (mV)	μ (mV)	σ (mV)	μ (mV)	σ (mV)
2.5V	1000	41.9	8.6	40.8	4.7	2.3	1.5
2.5V	100	15.6	6	12.4	3	0.98	0.67
2.0V	1000	4	2.2	4	1.3	1.1	0.78
2.0V	100	2.1	1.6	1.4	0.85	0.31	0.55
Esquema IT		PMOS S1		PMOS S2		PMOS S3	
Tensión	Tiempo	μ (mV)	σ (mV)	μ (mV)	σ (mV)	μ (mV)	σ (mV)
2.5V	1000	-43.7	10.6	-46.3	7.7	-15.6	1.9
2.5V	100	-26.8	5.2	-26.5	4.4	-10.5	2.1
2.0V	1000	-14.6	5.1	-13.1	2.9	-7.1	2
2.0V	100	-8.9	4.3	-8.4	2.1	5	1.2
Esquema IR		PMOS S1		PMOS S2		PMOS S3	
Tensión	Tiempo	μ (mV)	σ (mV)	μ (mV)	σ (mV)	μ (mV)	σ (mV)
2.5V	1000	-44.8	8.2	-48.3	6.12.	-16.2	2.9
2.5V	100	-24.4	6.1	-27.8	4.2	-10.6	1.4
2.0V	1000	-14	3.6	-13.5	2.4	-8	1.6
2.0V	100	-9.1	4.2	-7.9	2.4	-4.9	1.6
Cambio en las condiciones de estrés en el nodo de salida de los CUTs							
Esquema IR		NMOS S1		NMOS S2		NMOS S3	
Tensión	Tiempo	μ (mV)	σ (mV)	μ (mV)	σ (mV)	μ (mV)	σ (mV)
2.5V	1000	0.08	3.04	-2.9	1.8	-0.69	0.34
2.5V	100	-0.28	1.1	-0.82	0.73	-0.27	0.15
2.0V	1000	0.5	1.6	-0.23	0.75	-0.32	0.4
2.0V	100	0.04	1	-0.02	0.52	-0.21	0.21
Esquema IR		PMOS S1		PMOS S2		PMOS S3	
Tensión	Tiempo	μ (mV)	σ (mV)	μ (mV)	σ (mV)	μ (mV)	σ (mV)
2.5V	1000	-1.3	1.7	-0.72	1.7	-0.49	0.45
2.5V	100	-0.78	1.2	-0.81	1.1	-0.33	0.43
2.0V	1000	-1.3	2.9	-1.7	2.5	-0.4	1.5
2.0V	100	-1.1	3.4	-1.2	2.6	-0.26	0.93

6.4. Espejos de corriente Wilson mejorados.

Los espejos de corriente Wilson mejorados son una versión mejorada y más compleja de los espejos de corriente simples. En general, todo el desarrollo y los análisis realizados a lo largo del capítulo para los espejos de corriente simple son también aplicables a los espejos de corriente Wilson mejorados. No obstante, un aspecto fundamental que debe tenerse en cuenta si se quiere estudiar este tipo de CUTs es que el número de transistores que conforman este tipo de circuitos se duplica con respecto al de los espejos simples. También se debe considerar que, además de los nodos de entrada y salida del espejo, existen dos nodos internos adicionales, tal como se puede observar en la Figura 6-38. Esto implica que el estudio del *link* bidireccional se complica ligeramente ya que la degradación de cada uno de los transistores, además de afectar a sus propias condiciones, podría llegar a afectar al resto de dispositivos modificando las tensiones del resto de nodos.

Para el caso de estos CUTs no es posible acceder a los nodos internos (NI1, NI2) en las medidas realizadas en el laboratorio, debido a que dichos nodos no son accesibles desde los pines de KIPT, por lo que la variación de las tensiones internas no puede ser observada empíricamente, pero sí puede razonarse o estudiarse mediante simulación.

Si se piensa en el esquema de testado TT, donde las tensiones aplicadas sobre los nodos de entrada y salida son fijas, una degradación que se produzca, por ejemplo, sobre el transistor de la rama de entrada M1 provocará que se reduzca la corriente que circula por dicha rama. La diferencia con el espejo simple es que, en esta situación, un cambio en la tensión del nodo interno permite compensar al transistor degradado, mitigando la reducción de corriente y, por tanto, compensando la degradación. Por ejemplo, en el caso descrito y tomando como ejemplo el espejo de tipo PMOS, si M1 se degrada, es posible que aumente la tensión en el nodo interno NI1 para mantener el nivel de corriente. Como contrapartida, esto reducirá la V_{SD} del transistor M3, reduciendo la corriente máxima que puede circular por el mismo. Sin embargo, esta reducción puede a su vez ser compensada si se reduce la tensión del nodo interno NI2 para que aumente la corriente de M3, lo que a su vez modificaría la V_{SG} del transistor M4 y la V_{SD} del transistor M2 cambiando la corriente que circula por la rama de salida. En definitiva, la degradación de M1 implicará

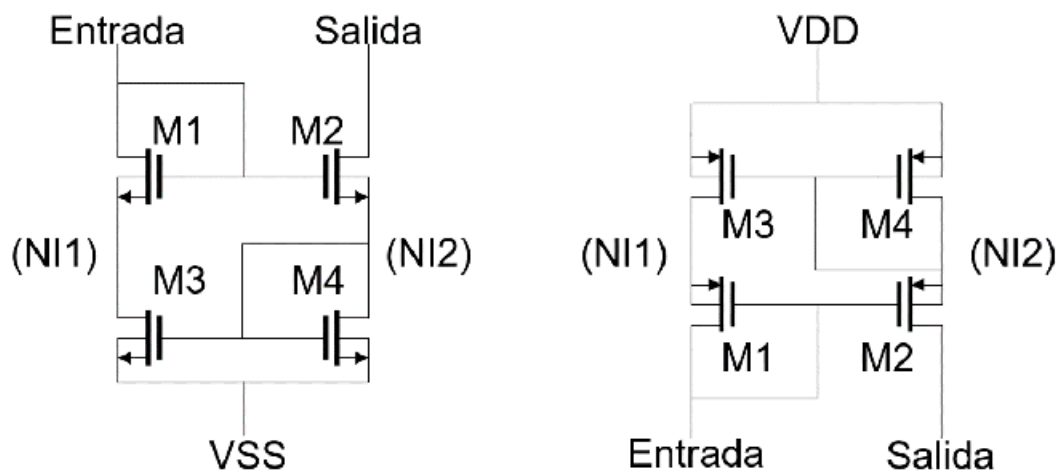


Figura 6-38. Esquemático de los espejos de corriente Wilson mejorados.

cambios de tensión en todos los nodos del circuito donde ésta no está siendo forzada, en este caso, en los nodos internos NI1 y NI2.

Otro posible ejemplo, sería el caso más realista en el que se emplearía el esquema de testado IR donde en el nodo de entrada se fija una corriente, pero la tensión no está fijada y donde el nodo de salida ataca a una carga, en este caso, lineal. En la situación que plantea el esquema IR, una degradación que se produjese sobre el transistor M1 de la rama de entrada implicaría que este transistor deba aumentar las caídas de tensión entre sus terminales (i.e. sus condiciones de estrés) para poder mantener la demanda de corriente. Si se piensa en un aumento de la V_{DS}/V_{SD} y V_{GS}/V_{SG} de este transistor, debido a un cambio en la tensión del nodo de entrada, esto implica también un aumento de la V_{GS}/V_{SG} del transistor M2. Este cambio aumentaría la corriente que circula por M2, pero a este cambio se opondría por un lado la carga lineal, que modificaría también la tensión en el nodo de salida y, dependiendo de que transistor esté limitando la corriente en el nodo de salida (M2 o M4), también podría haber un cambio en la tensión NI2, pero esto a su vez implica un cambio en las condiciones de estrés de M3 ya que su V_{GS}/V_{SG} cambiaría. Como la corriente de la rama de entrada está siendo forzada, el cambio de la V_{GS}/V_{SG} de M3, que modifica su corriente, implica necesariamente un cambio en la tensión del nodo interno NI1. En definitiva, independientemente del camino seguido en el razonamiento, la degradación del transistor M1 implica cambios de tensión en todos los nodos del circuito lo que modifica las condiciones de estrés de todos los transistores.

La conclusión final que puede obtenerse si se siguen analizando (razonando o por simulación), todas las opciones posibles de esquemas de testado y considerando la degradación de cada uno de los transistores, es que la propia estructura de los espejos de corriente Wilson mejorados, responde ante la degradación de cualquiera de los transistores tratando de compensar la degradación de corriente modificando ligeramente la polarización del circuito y manteniendo los niveles de corriente de entrada y salida lo más igualados posibles. Esto hace a este tipo de espejos más robustos frente a la degradación por envejecimiento. Por otro lado, en la evaluación de la degradación de este tipo de estructuras mediante el uso de herramientas de simulación, es también crítico considerar de forma precisa el cambio en las condiciones de estrés debido al *link* bidireccional. Además, esto debe hacerse de forma eficiente ya que, al ser el circuito más complejo en este caso, es necesario tener en cuenta la evolución de las condiciones de estrés en un número mayor de nodos.

Respecto a las medidas llevadas a cabo en el laboratorio debe tenerse en cuenta que, además de que la propia estructura se presenta más robusta respecto al *aging*, en este tipo de circuitos se encuentran dos transistores en una misma rama. En este sentido, incluso para la condición de estrés más elevada aplicada sobre los CUTs (hasta este momento 2.5V durante 1000 segundos), y suponiendo un reparto simétrico en la caída de tensión máxima que sufren individualmente los transistores de los CUTs, la tensión V_{DS}/V_{SD} aplicada a los mismos es de 1.25V, tensión que está sólo un poco por encima de la tensión nominal. Como consecuencia, los resultados obtenidos de los experimentos realizados sobre estas estructuras no muestran degradación permanente porque los tiempos de estrés son muy cortos para estas condiciones. Incluso si se piensa en aumentar esta tensión hasta el límite de la tensión soportada por el chip KIPT de 3.3V, la tensión máxima aproximada que se espera que soporten individualmente los transistores será de 1.65V, que si bien es

una tensión de sobre-estrés notoria, es bastante más baja que la tensión de 2V en la que los espejos de corriente simples ya mostraban muy poca degradación dentro de las ventanas de tiempo experimentales que se están empleando. En definitiva, pese a que estas estructuras pueden ser interesantes ya que se puede observar un *link* bidireccional más complejo, un estudio empírico de degradación sobre estos CUTs requeriría aumentar de forma muy significativa el tiempo de estrés de los experimentos de testado. Esto no era compatible con la planificación y desarrollo de esta tesis y, por tanto, se ha decidido plantear como un plan de trabajo futuro.

6.5. Conclusiones del capítulo.

En este capítulo se ha analizado el impacto de la variabilidad en los espejos de corriente. El estudio se ha centrado en la importancia de considerar la realimentación o *link* bidireccional entre la degradación por envejecimiento y las condiciones de estrés. En este sentido, para poder evaluar cómo afectaba el mismo a la degradación de los espejos de corriente de forma empírica, se han empleado distintos esquemas de testado en los que se permitía o no la existencia de dicho *link*. Se ha observado tanto el cambio que se producía en las condiciones de estrés como la diferencia en la degradación de los CUTs según se han estresado éstos empleando uno u otro esquema. La conclusión que puede extraerse de las observaciones realizadas es que efectivamente el cambio en las condiciones de estrés provocado por la existencia del *link* bidireccional es crítico para determinar de forma precisa la degradación. Por tanto, es necesario que herramientas como la presentada en el capítulo 3 tengan en cuenta este hecho y sean capaces de considerar de forma precisa la evolución de las condiciones de estrés. Además, sobre este tipo de CUT concreto, se han mostrado también las diferentes dependencias de la variabilidad TZV y TDV con los dimensionamientos de los CUTs y en el caso de la TDV, con la tensión de estrés y el tiempo de estrés aplicados en los experimentos. En este sentido es muy importante destacar, como se ha observado empíricamente, que un aumento en la longitud de canal de los transistores reduce de forma muy significativa el daño por HCI.

En el siguiente capítulo se estudiarán el último tipo de CUT analizado en esta tesis. Las etapas amplificadoras simples.

Capítulo 7: Etapas amplificadoras simples.

7.1. Introducción.

El objetivo del presente capítulo consiste en presentar los resultados obtenidos en las medidas realizadas sobre las etapas amplificadoras simples incluidas en el chip KIPT. La organización del capítulo es análoga a la de los capítulos anteriores que mostraban los resultados de otros circuitos. En el apartado 7.2 se describen el tipo de experimentos realizados sobre este tipo de CUTs, describiendo tanto las medidas de caracterización llevadas a cabo como las condiciones de estrés acelerado empleadas para degradarlos. Por su parte, el apartado 7.3 presenta los resultados obtenidos del impacto de la variabilidad sobre las prestaciones evaluadas. Finalmente, en el apartado 7.4 se presentan las conclusiones del capítulo.

7.2. Medidas realizadas.

Los CUTs tipo etapas amplificadoras simples fueron presentados en el apartado 4.4.4 del capítulo 4. En dicho apartado puede encontrarse la descripción y las principales características de las *Unity Cells* de estos CUTs. Por su parte, en la Tabla 4-6 pueden encontrarse los 4 dimensionamientos de este tipo de CUT incluidos en los chips. Nuevamente, el proceso general de medida llevado a cabo en este tipo de CUT es similar al de la Figura 4-3, con la salvedad de que sobre los CUTs envejecidos se ha decidido llevar a cabo únicamente una caracterización estática, después de una semana de terminar el estrés acelerado, para evaluar el daño permanente sobre la etapa amplificadora. En este sentido, la Figura 7-1 muestra el proceso particular de los experimentos llevados a cabo sobre los CUTs etapas amplificadoras simples.

Las prestaciones que serán evaluadas sobre este tipo de CUTs serán la ganancia de la etapa amplificadora y el punto de polarización de la misma. La información de ambas prestaciones puede ser extraída de la curva característica V_{OUTPUT}/V_{INPUT} . La definición de las curvas características IDVSG e IDVGS, son las mismas que fueron descritas en la caracterización del inversor en el apartado 5.2.1.2 del capítulo 5. Estas curvas IDVGS e IDVSG permiten visualizar la degradación individual de cada uno de los transistores de la etapa amplificadora simple. Esta información será empleada en el apartado 7.3.2.2 para

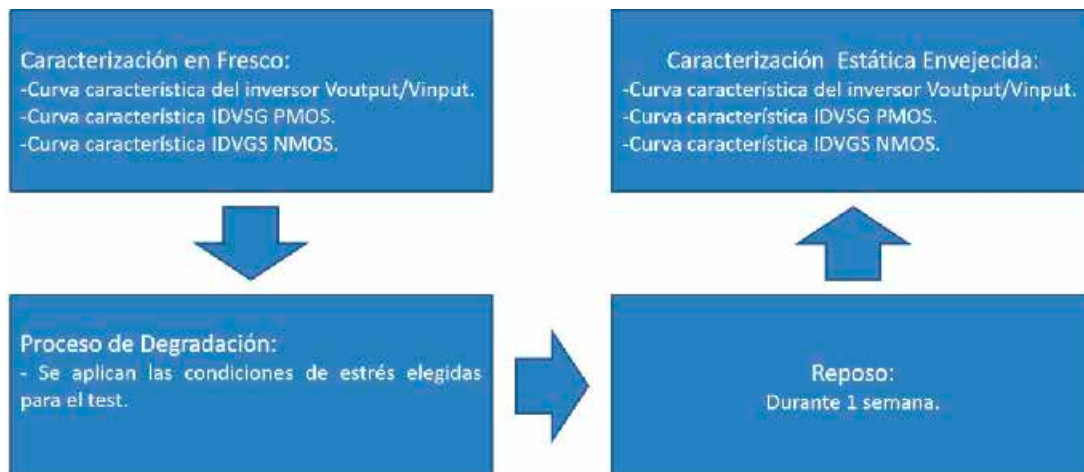


Figura 7-1. Proceso de medida de los CUTs tipo etapas amplificadoras simples.

tratar de relacionar la degradación de los dispositivos con la degradación observada sobre las prestaciones.

Un aspecto importante a considerar sobre este tipo de CUTs es que, en el funcionamiento de las etapas amplificadoras simples de fuente común, uno de los transistores (el NMOS o el PMOS), tendrá el rol de ejercer propiamente como la etapa amplificadora mientras que el otro funcionará como carga de la etapa (para mejorar la ganancia de la misma). En general, en estas etapas el dimensionamiento de los transistores se realiza según su rol, para optimizar las prestaciones de la etapa. Dicho de otro modo, los roles de los transistores para cada diseño de etapa estarían determinados. No obstante, en esta tesis, cuyo objetivo es estudiar la variabilidad espacial y la degradación, se ha decidido emplear cada uno de los cuatro diseños disponibles jugando en cada caso los transistores ambos roles. Dicho de otro modo, cada dimensionamiento S1-S4 puede ser caracterizado tomando como entrada de la etapa el transistor NMOS o el transistor PMOS. Procediendo de esta forma es posible “duplicar” el número de estructuras bajo estudio, teniendo cuatro estructuras amplificadoras con entrada PMOS y cuatro con entrada NMOS.

De hecho, la caracterización en fresco de los CUTs, al no sufrir éstos degradación, puede realizarse tomando en primer lugar como entrada de la etapa uno de los transistores y posteriormente realizar una segunda caracterización tomando como entrada el otro. Esto será útil para aumentar la información disponible para el análisis del impacto de la TZV realizado en el apartado 7.3.1. Por su parte, en la caracterización de los CUTs envejecidos, se tomará como entrada de la etapa amplificadora el mismo transistor que fue tomado como entrada en el proceso de degradación del CUT, siendo por coherencia los resultados de estos experimentos los que se presentan en este capítulo. No obstante, nada impide técnicamente caracterizar también la entrada contraria a la que se utilizó durante la degradación.

A continuación, en el siguiente apartado (7.2.1) se explica el procedimiento llevado a cabo para realizar las medidas de caracterización. Posteriormente, en el apartado 7.2.2 se describen las distintas condiciones de estrés y el tipo de experimentos realizados en el proceso de degradación de los CUTs.

7.2.1. Medidas de caracterización.

7.2.1.1. Caracterización de las prestaciones a nivel de circuito: punto de polarización y valor de ganancia de la etapa.

El estudio llevado a cabo en esta tesis sobre el impacto de la variabilidad en las etapas amplificadoras a nivel de circuito se centra en evaluar la degradación de la ganancia de las mismas. Sin embargo, la valoración de esta prestación no consistirá sólo en determinar el valor o magnitud de dicha ganancia en el punto de operación o de polarización designado para el circuito, sino que puede resultar incluso más interesante comprobar en los CUTs degradados cómo ha cambiado el punto de operación con respecto a su valor en fresco o, enfocándolo desde otra perspectiva, cómo debería modificarse la polarización del circuito envejecido para volver a situar al circuito en el nuevo punto de operación deseado.

En este sentido, conviene abordar varios aspectos básicos de las etapas amplificadoras simples y mostrar el criterio y la nomenclatura seguida en este capítulo. La ganancia en

tensión (en pequeña señal) de la etapa amplificadora, puede calcularse a partir de la curva característica V_{OUTPUT}/V_{INPUT} siguiendo la expresión:

$$\frac{dV_{OUTPUT}}{dV_{INPUT}} \quad \text{Ec. 7-1}$$

Por otra parte, el objetivo de la polarización de las etapas amplificadoras seguido en esta tesis será, que cuando se aplique sobre la entrada de la etapa una señal AC de pequeño rango sobre el valor de polarización (V_{ASIN}), ésta se vea amplificada en el terminal de salida aprovechando lo máximo posible todo el rango de tensión. Esto se ilustra conceptualmente en la Figura 7-2. En este sentido, será necesario fijar una tensión DC en el nodo VDD, en el nodo de la puerta del transistor que se emplee como carga y también, en el de la puerta del transistor que se vaya a emplear como entrada a la etapa. La tensión asignada al terminal VDD siempre será la tensión más elevada del rango que se está empleando, la cual, en el caso de las medidas de caracterización será de 1.2V. Los valores de las tensiones DC aplicadas en los terminales de puerta de los transistores (V_{IP} y V_{IN}), serán aquellos que, situando la señal de salida del amplificador en el centro del rango de tensiones, proporcionen la mayor ganancia a la etapa amplificadora. Es decir, existirá un conjunto de valores V_{IP} y V_{IN} que sitúen la señal de salida a $V_{DD}/2$, pero de todos ellos, la tupla de valores escogidos como polarización de la etapa será aquella que proporcione a la etapa amplificadora un mayor valor de ganancia. En definitiva, para una polarización

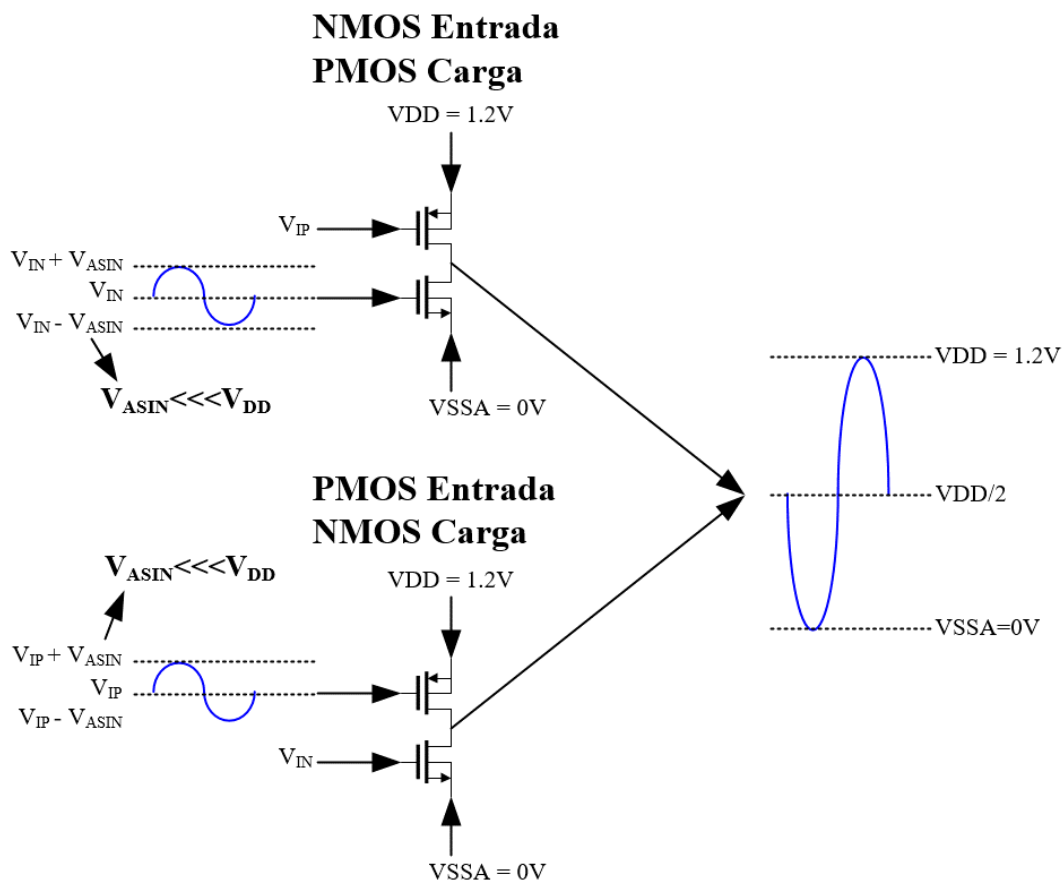


Figura 7-2. Esquema conceptual básico del funcionamiento de las etapas amplificadoras simples de fuente común.

dada de V_{IP} y V_{IN} , el valor de la magnitud de la ganancia g_V evaluado en los CUTs, vendrá determinado por:

$$g_V = \left. \frac{dV_{OUTPUT}}{dV_{INPUT}} \right|_{V_{OUTPUT}(V_{INPUT}, V_{IP}, V_{IN})=V_{DD}/2} \quad EC 7-2$$

cuando las entradas de los transistores están polarizadas respectivamente a V_{IP} y V_{IN} .

En el trabajo realizado en este capítulo se ha decidido determinar estos valores de polarización mediante simulación, utilizando el diseño nominal de cada CUT. La razón es que de esta forma es posible evaluar el impacto de la TZV en la ganancia cuando los CUTs sean caracterizados en fresco empíricamente. Evidentemente, tras la degradación de los CUTs, las prestaciones podrán evaluarse también bajo el impacto conjunto de la TZV y la TDV.

Los valores de polarización serán diferentes para cada dimensionamiento de CUT y según se emplee uno u otro transistor como entrada. Los valores calculados y empleados en cada uno de los casos se muestran en la Tabla 7-1. En dicha tabla, se muestran también como referencia los valores de ganancia obtenidos por simulación cuando $V_{OUTPUT}(V_{INPUT}, V_{IP}, V_{IN}) = V_{DD}/2$.

Tabla 7-1. Valores de polarización V_{IP} y V_{IN} empleados para la caracterización de los dispositivos y valores de ganancia obtenidos mediante simulación.

Caracterización (0V-1.2V)	Transistor de entrada	V_{IP} (V)	V_{IN} (V)	g_V (dB)
Dimensionamiento				
S1	PMOS	0.85	0.33	14.16
S1	NMOS	0.74	0.43	14.87
S2	PMOS	0.91	0.23	15.84
S2	NMOS	0.72	0.40	16.95
S3	PMOS	0.98	0.12	19.98
S3	NMOS	0.75	0.34	19.50
S4	PMOS	0.88	0.27	21.34
S4	NMOS	1.01	0.16	22.87

Respecto a las medidas de las prestaciones de los CUTs en el laboratorio, el procedimiento es similar al llevado a cabo sobre los inversores, el cual fue explicado en el apartado 5.2.1.1 del capítulo 5. A nivel de estructura, la diferencia de las etapas amplificadoras con los CUTs de tipo inversor es que, en este caso, el terminal de puerta de cada uno de los transistores es accesible de forma independiente. Para obtener la curva característica V_{OUTPUT}/V_{INPUT} , del mismo modo a como se hacía en los inversores, se fija VDD a 1.2V y se fuerza una corriente I=0A en el nodo de salida mientras se mide la tensión en dicho nodo. Sin embargo, como muestra la Figura 7-3, en esta ocasión, se fija adicionalmente la tensión de polarización (determinada por simulación) sobre el transistor que va a ejercer como carga (V_{IP} o V_{IN} según el caso) y es sobre el terminal de entrada del otro transistor, el que se toma como entrada de la etapa, sobre el que se hace un barrido DC de la tensión (de entrada de la etapa). Como se ha comentado, un post-procesado

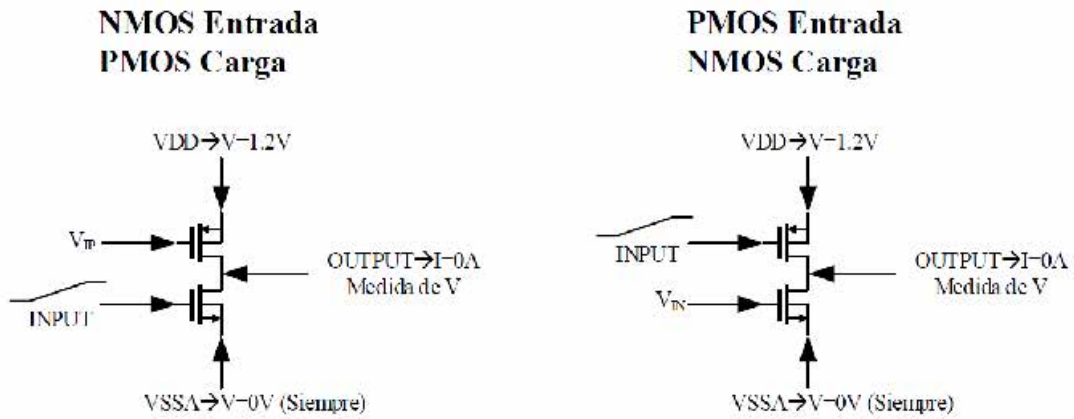


Figura 7-3. Esquemas de caracterización de las etapas amplificadoras simples según el rol de los transistores.

simple de la curva V_{OUTPUT}/V_{INPUT} medida experimentalmente, permite conocer tanto el valor de tensión de entrada que sitúa la tensión de salida a 0.6V, como obtener la curva de ganancia y el valor de ganancia para el punto de operación establecido. En la Figura 7-4 se muestra gráficamente, a modo de ejemplo conceptual, cómo se determinan las prestaciones de los CUTs a partir de la curva característica V_{OUTPUT}/V_{INPUT} .

7.2.1.2. Caracterización a nivel de dispositivo: Curvas características $IDVSG$ e $IDVGS$.

Nuevamente, de forma muy similar a como se hacía en los inversores, se realizará una caracterización individual de las curvas $IDVGS/IDVSG$ de los transistores NMOS y PMOS tanto sobre los CUTs en fresco como sobre éstos cuando están envejecidos o degradados. Esto ayudará a relacionar cómo influye la degradación individual de cada uno de los transistores del circuito en la degradación de las prestaciones observadas. La implementación en el laboratorio para llevar a cabo este tipo de medidas es análoga a la explicada para los CUTs de tipo inversor. Básicamente, para llevar a cabo la medida de la curva característica sobre uno de los transistores, lo que se hace es asegurar mediante la apropiada polarización que el otro dispositivo no conduce corriente. Una explicación detallada de esta medida se puede encontrar en el apartado 5.2.1.2.

7.2.2. Proceso de degradación de los CUTs.

La Figura 7-5 recoge el conjunto de diferentes condiciones de estrés aplicadas a los CUTs de tipo etapas amplificadoras simples. Además de escoger dos valores posibles para el

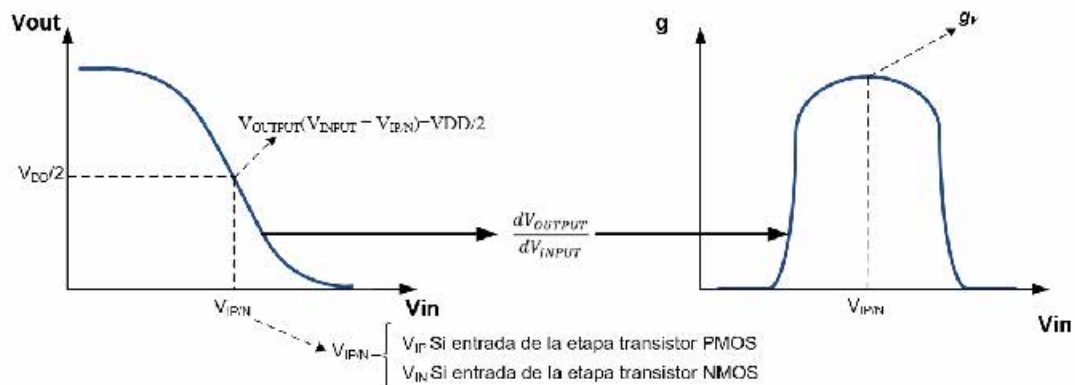


Figura 7-4. Ilustración gráfica de las prestaciones evaluadas a nivel de circuito.



Figura 7-5. Condiciones de estrés aplicadas a las etapas amplificadoras simples durante la fase de degradación.

tiempo de estrés, de 100 y 1000 segundos, y dos posibles rangos de tensión de estrés, de 2.8V y de 3.3V, existe la posibilidad de emplear como transistor de entrada de la etapa durante la degradación el transistor PMOS o bien, el transistor NMOS. Por otro lado, se emplearán tres tipos de estímulos de degradación, DC, AC con una frecuencia de 1kHz y AC con una frecuencia de 10kHz. Si a todas estas posibilidades, se le agrega la consideración de que existen cuatro dimensionamientos diferentes para este tipo de CUT, puede concluirse que se han llevado a cabo un total de 96 tipos de experimentos de degradación diferentes.

La forma de llevar a cabo en el laboratorio la degradación de los dispositivos comparte características con lo explicado en el apartado 7.2.1.1 sobre la caracterización de las prestaciones a nivel de circuito. En primer lugar, será necesario establecer una polarización sobre los CUTs. Esta polarización será propiamente las tensiones establecidas en los terminales de los CUTs en el caso de que se haya optado por aplicar un estrés DC sobre los circuitos.

Sin embargo, la problemática de establecer unas condiciones de sobre-estrés o estrés acelerado con señales AC sobre las etapas amplificadoras no es baladí. Inicialmente, puede pensarse que las tensiones de polarización pueden ajustarse por simulación de la misma forma que se hizo para el caso de las medidas de caracterización y, sobre esta polarización, aplicar los pequeños estímulos AC en la entrada (adecuados para cada tipo de entrada elegida, rango de tensiones y dimensionamiento), de forma que la salida empiece a oscilar entre el valor máximo y mínimo del rango de tensión de sobre-estrés escogido. Sin embargo, debe tenerse en cuenta que los modelos de los simuladores eléctricos pierden precisión cuando se hace trabajar a los dispositivos en tensiones muy por encima del rango nominal de operación, como son las condiciones de estrés acelerado, por lo que los valores de polarización calculados pueden no ser tan acertados como resultaron para el caso de la caracterización a 1.2V.

Adicionalmente, el aumento de la ganancia cuando sobre los CUTs se aplican tensiones más elevadas, hace que la respuesta de la etapa sea más sensible ante cualquier imprecisión. Por tanto, los errores cometidos por la falta de precisión del modelo a estas tensiones podrían provocar que el comportamiento del CUT no fuera el esperado. A esto hay que sumarle el que posiblemente sea un factor determinante: la TZV existente y diferente para cada CUT que hace que la polarización teórica, incluso si estuviera calculada de forma ideal y sin error, no se corresponda de forma individual con la de cada CUT en la práctica. Debido nuevamente al aumento de sensibilidad del CUT a las posibles variaciones en estas condiciones de operación de estrés acelerado, resulta complicado

garantizar que el estrés al que se están sometiendo todos los CUTs es razonablemente similar.

Para considerar estos razonamientos imagínese, por ejemplo, que determinados CUTs bajo una polarización establecida y ante una pequeña variación de la señal de entrada tengan un comportamiento razonablemente parecido al esperado, donde la señal de salida oscile en torno al punto medio del rango de polarización y recorriendo casi todo el rango de tensiones. En esta situación los CUTs se estarían degradando de la forma correcta con los transistores del mismo operando en su región correcta de funcionamiento y sometidos a los efectos de *aging* correspondientes. Sin embargo, en otros casos, debido a las razones mencionadas, la señal de salida saturará rápidamente a uno u otro de los raíles de polarización permaneciendo en el mismo durante todo el proceso de degradación, siendo equivalentes estas condiciones a un estrés forzado de tipo DC. En otras ocasiones, es posible que exista oscilación entre los raíles de polarización, pero que la señal permanezca más tiempo en uno de ellos que en el otro. Otra posibilidad es que, debido al impacto de la TZV, en estas condiciones de polarización uno de los dispositivos salga de su región correcta de operación, por ejemplo, llevando a alguno de los transistores al estado de corte. En cualquiera de estas circunstancias, las condiciones de estrés que estarían siendo aplicadas sobre los CUTs serían notablemente diferentes para cada uno de ellos. Esto es contrario a lo que se persigue en este capítulo y en los estudios llevados a cabo en esta tesis, donde se pretende que el estrés aplicado sobre todos los CUTs del mismo tipo sea idéntico, para poder realizar un estudio estadístico de la degradación.

En definitiva, es necesario establecer una metodología que permita controlar en mayor medida el proceso de degradación llevado a cabo sobre los CUTs, para que el mismo se realice siempre de la forma más uniforme posible y la agrupación o comparación de las diferentes medidas realizadas pueda hacerse de forma fiable. En este sentido, la solución por la que se ha optado se centra en dos aspectos importantes que se describen a continuación.

Primero, que en la polarización del circuito (donde se establecen las tensiones DC), los transistores se encuentren operando en la región de operación correcta y, equivalentemente, que los efectos que deban estar degradando al CUT sean los esperados. Básicamente, este paso consiste en establecer unos valores de tensión V_{IP} y V_{IN} que, por un lado, establezcan unas caídas de tensión V_{SG} (PMOS) y V_{GS} (NMOS) relativamente bajas, asegurando que $V_{SD} \gg V_{SG} - V_{th}^{PMOS}$ (PMOS) y $V_{DS} \gg V_{GS} - V_{th}^{NMOS}$ (NMOS) y, por tanto, que ambos transistores se encuentran operando profundamente en saturación. No obstante, debe comprobarse experimentalmente, empleando una serie de CUTs con este fin, que dichos valores de V_{IP} y V_{IN} no sitúan a los transistores en estado de corte. Por otro lado, debe comprobarse también experimentalmente, que los valores de tensión de polarización V_{IP} y V_{IN} sitúan en promedio, para un número determinado de CUTs, el valor de la tensión de salida V_{OUTPUT} en un valor de tensión razonablemente cercano al valor medio del rango de tensiones de estrés acelerado que se esté empleando.

El procedimiento seguido en la práctica ha sido calcular inicialmente los valores de polarización mediante simulación, para tener un punto de partida de referencia. Sabiendo que las simulaciones en este rango de tensiones pueden no ser lo suficiente precisas, posteriormente, para cada tipo de entrada, dimensionamiento de los CUTs y rango de

polarizaciones de estrés empleado, dichos valores se han ajustado experimentalmente mediante un proceso iterativo, con el fin de asegurar que se cumplan las condiciones previamente mencionadas. Evidentemente, debido a la TZV, el valor de polarización óptimo real será diferente para cada CUT, pero ante la imposibilidad de calcularlos individualmente para cada uno de ellos sin degradarlos, en el proceso de degradación para cada condición se ha decidido realizar este ajuste sobre un grupo de CUTs de cada tipo, estableciendo para todos los CUTs unos valores representativos. Esta es también la forma de hacer que las condiciones de estrés en DC que ven los transistores individuales en todos los CUTs del mismo tipo sean las mismas. Los valores de polarización aplicados en cada caso son los mostrados en la Tabla 7-2.

Tabla 7-2. Valores de polarización V_{IP} y V_{IN} empleados para la degradación de los dispositivos y valores de ganancia obtenidos mediante simulación para una tensión de estrés máxima de 2.8V.

Dimensionamiento	Transistor de entrada	Rango de polarización 0V-2.8V		Rango de polarización 0V-3.3V	
		V_{IP} (V)	V_{IN} (V)	V_{IP} (V)	V_{IN} (V)
S1	PMOS	2.36	0.39	2.84	0.4
S1	NMOS	2.12	0.22	3.07	0.2
S2	PMOS	2.43	0.29	2.90	0.31
S2	NMOS	2.02	0.28	2.98	0.25
S3	PMOS	2.47	0.17	2.90	0.21
S3	NMOS	1.96	0.26	2.83	0.26
S4	PMOS	2.46	0.33	2.95	0.35
S4	NMOS	2.26	0.14	3.12	0.2

El segundo aspecto que se pretende asegurar con la solución adoptada es que la señal de salida oscile en torno al valor medio del rango de polarización de las tensiones de estrés acelerado. Esto es importante porque en la operación convencional de estos CUTs como etapas amplificadoras, es normal tratar de aprovechar todo el rango de señal disponible. En este sentido, es en el terminal de salida de los CUTs donde más cambian las condiciones de operación a lo largo del tiempo y donde más interesante para el estudio es mantener esta condición.

Para llevar a cabo este aspecto en la práctica, por un lado, se ha omitido la señal AC de baja magnitud que se inyecta por la entrada de la etapa amplificadora. La razón es que al tratarse de un estímulo AC de pequeña señal, los cambios que puede producir sobre las condiciones de estrés del CUT y, en particular, del transistor de entrada de la etapa, son en proporción e importancia menores que los que pueda provocar la oscilación de la señal de salida del mismo. Por otro lado, la forma de conseguir que la salida oscile en todo el rango de tensión en torno al valor medio de dicho rango de tensiones es forzar directamente esta oscilación sobre el nodo de salida. De esta forma, se asegura el comportamiento deseado en estrés de forma forzada y se asegura el hecho de que todos los CUTs sean sometidos a las mismas condiciones de estrés.

En definitiva, la Figura 7-6 muestra los esquemas de testado aplicados en el laboratorio. En la parte izquierda de la figura se muestra el caso de aplicar un estrés de tipo DC a los CUTs. En este caso, bastaría con polarizar el CUT con los valores de tensión V_{IP} y V_{IN} de la Tabla 7-2, aplicar la máxima tensión del rango (2.8V o 3.3V según el caso) en VDD y establecer el nodo de salida en alta impedancia (específicamente, forzando una corriente $I = 0$). Por su parte, tal como muestra la parte derecha de la Figura 7-6, para llevar a cabo los estreses AC, también se aplican los valores de tensión V_{IP} y V_{IN} de la Tabla 7-2 y se sitúa VDD al máximo valor del rango de tensiones. Sin embargo, en esta ocasión se fuerza en la salida una señal sinusoidal, centrada a mitad de rango y con una amplitud de pico a pico de todo el rango de tensiones.

Finalmente es necesario analizar brevemente los efectos de degradación que se espera que afecten a los transistores de los CUTs en función de las condiciones de estrés a las que estén siendo sometidos. El caso más sencillo de analizar es el de los estreses tipo DC. De forma general, para cualquiera de los casos de polarización de la Tabla 7-2, tal como se muestra en la parte superior de la Figura 7-7, las tensiones V_{SG} y V_{GS} del transistor PMOS y NMOS respectivamente serán relativamente bajas, mientras que las tensiones V_{SD} y V_{DS} tendrán, debido a la polarización empleada, un valor aproximado de $V_{SD} \cong V_{DS} \cong VDD/2$. Bajo estas condiciones de operación, se puede asumir que ambos dispositivos estarán operando bajo el efecto combinado de BTI+HCI. No obstante, dado que V_{SG}/V_{GS} es baja, se espera que la contribución al daño del efecto BTI será menor. Por su parte, la caída de tensión V_{SD}/V_{DS} es algo más alta, pero no tanto como en otros experimentos que se han realizado a lo largo de esta tesis. Debe tenerse en cuenta que, aunque el rango de tensiones de estrés es amplio (2.8V o 3.3V), esta caída sólo alcanza la mitad del valor máximo de la tensión de estrés. Por tanto, la contribución esperada del efecto de HCI será en principio media. En cualquier caso, no se debe olvidar a la hora de analizar los resultados, que el HCI es sensible a la longitud de canal de los transistores.

Respecto al caso en que se estén empleando estreses AC, las tensiones V_{IP} y V_{IN} no variarán, por lo que las caídas de tensión V_{SG} y V_{GS} seguirán siendo relativamente bajas todo el tiempo y, aunque existirá cierto BTI, se sigue esperando que la contribución del mismo al daño sea baja. Los cambios más importantes en las condiciones de estrés se producirán en la tensión de salida. En este caso, cuando la señal que se hace oscilar en la salida se encuentre en su punto medio, las condiciones de estrés serán las mismas que

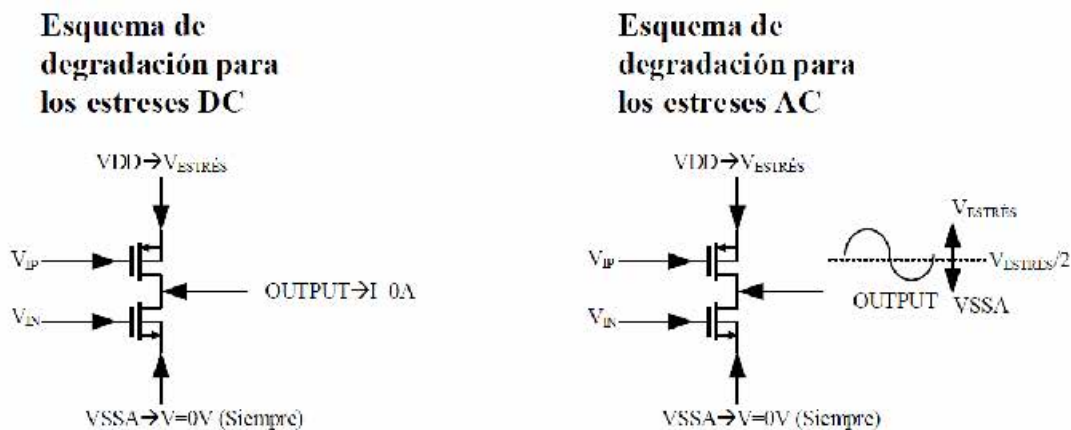
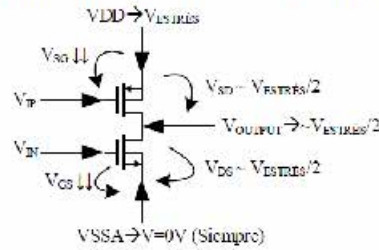
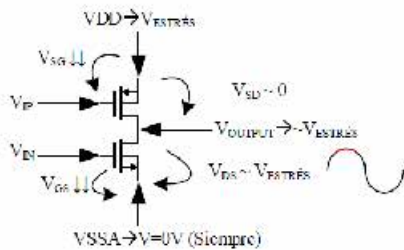


Figura 7-6. Esquemas de degradación empleados en las etapas amplificadoras simples.

Condiciones de estrés para los estreses DC y para AC cuando la salida se sitúa en el punto medio del rango de tensiones



Condiciones de estrés para los estreses AC cuando la salida se sitúa en la zona del rail superior del rango de tensiones



Condiciones de estrés para los estreses AC cuando la salida se sitúa en la zona del rail inferior del rango de tensiones

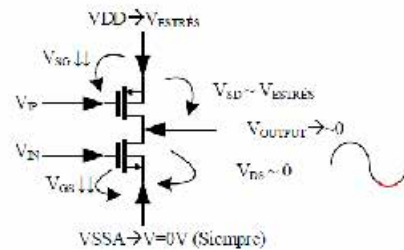


Figura 7-7. Condiciones de estrés sobre los transistores individuales de las etapas amplificadoras simples.

para el caso DC, es decir, ambos transistores se encontrarán principalmente bajo el impacto de HCI con una V_{SD}/V_{DS} de valor igual a la mitad del rango de tensiones de estrés. Como se indica en la parte inferior izquierda de la Figura 7-7, cuando la señal de salida se encuentre en la zona cercana al rail superior de polarización, la tensión V_{SD} del transistor PMOS se aproximará o será igual a 0, por lo que el efecto HCI se reducirá drásticamente. Contrariamente, la V_{DS} del transistor NMOS se acercará al valor de la tensión máxima de estrés, viendo una caída total de valor V_{DD} (todo el rango de tensiones), lo que hace que el impacto del HCI en este momento se vea fuertemente incrementado. Como se puede apreciar en la parte inferior derecha de la Figura 7-7, el caso justamente contrario al descrito ocurre cuando la señal de salida se acerca al rail inferior de la polarización. En esta situación, es el transistor PMOS el que sufre un HCI tremendamente severo, mientras el impacto sobre el transistor NMOS se ve fuertemente reducido. En definitiva, durante los estreses de tipo AC, ambos dispositivos se verán afectados de forma débil por el efecto de BTI en todo momento, mientras que el impacto del HCI oscilará periódicamente desde unas condiciones en las que se puede considerar inexistente hasta otras en las que el daño esperado será relativamente elevado.

7.3.Resultados.

En este apartado se presentan los resultados obtenidos a partir de los experimentos realizados sobre los CUTs. En el apartado 7.3.1 se realiza un estudio de la caracterización en fresco de las etapas amplificadoras y se evalúa el impacto de la TZV sobre los CUTs. El apartado 7.3.2 se muestran los resultados de la caracterización estática realizada sobre los CUTs envejecidos en función de los distintos tipos de estrés aplicados, las distintas condiciones de estrés establecidas y los diferentes dimensionamientos de los CUTs.

7.3.1. Estudio de la TZV.

El objetivo de este apartado es realizar un análisis de las medidas de caracterización realizadas sobre los CUTs en fresco, de forma que quede caracterizada la distribución de los mismos debido al impacto de la TZV.

De forma análoga al procedimiento seguido en los capítulos anteriores, en primer lugar, se mostrarán los resultados obtenidos para cada uno de los chips de KIPT empleados en los experimentos. Se han utilizado un total de 6 chips diferentes. En cada uno de ellos, la caracterización estática en fresco (rango 1.2V) llevada a cabo para cada uno de los cuatro tipos de dimensionamiento, se ha realizado utilizando como entrada de la etapa amplificadora tanto el dispositivo de tipo NMOS como PMOS.

Por cada dimensionamiento, han sido caracterizados los 28 CUTs disponibles. Sin embargo, cabe destacar que a diferencia de los tipos de CUTs mostrados en los capítulos anteriores, no ha sido posible determinar el valor de las prestaciones para todos los CUTs medidos. La razón es que el propio impacto de la TZV hace que algunos CUTs no se encuentren operando en la zona correcta de funcionamiento cuando se emplea la polarización establecida en la Tabla 7-1. Esto se debe a que, en aras de maximizar el valor de ganancia de la etapa, los valores de tensión de polarización V_{IP} o V_{IN} , escogidos según el caso para el transistor que ejerce como carga de la etapa, establecen unas caídas de tensión V_{SG} o V_{GS} relativamente bajas. Debido a que la TZV modifica los parámetros eléctricos de los transistores y, concretamente, su tensión umbral V_{th} , se encuentran casos donde los valores de polarización V_{SG} o V_{GS} no son lo suficientemente elevados para que los transistores del CUT salgan del estado de corte.

Una posible solución sería modificar los valores de polarización de caracterización escogidos, estableciendo unos valores de V_{IP} y V_{IN} más conservadores, aunque esto suponga reducir la ganancia de la etapa. Sin embargo, en el estudio llevado a cabo en este capítulo, se ha decidido dejar la polarización nominal óptima, porque de esta forma puede evaluarse precisamente, cómo puede perjudicar la variabilidad (TZV y TDV) a los CUTs. En el caso concreto de los amplificadores presentados en este capítulo, esta variabilidad no sólo hace que sus prestaciones se degraden, sino que éstos dejen de operar.

En definitiva, un aspecto que debe quedar claro a la luz de esta reflexión es la importancia de tener en cuenta la TZV y la TDV a la hora de realizar un diseño y la importancia que pueden tener estas consideraciones de variabilidad a la hora de establecer la polarización de los circuitos. Además, cabe destacar que, normalmente, los circuitos que operan de forma analógica suelen requerir de un criterio de polarización más exigente que el de los circuitos digitales para funcionar de forma eficiente. También, estos circuitos suelen ser más sensibles a perturbaciones sobre la polarización.

En las tablas mostradas a continuación (Tabla 7-3 - Tabla 7-6), se muestran los valores promedios y la desviación estándar de la tensión de polarización del transistor de entrada de la etapa que sitúa la tensión de salida a $V_{DD}/2$ y, en dicho punto, la ganancia de la etapa en decibelios (dB). Los datos se muestran para cada dimensión, tipo de dispositivo empleado como entrada y para cada chip empleado. Para cada caso, se muestra también el número de CUTs cuyas prestaciones han podido determinarse. Este valor sirve como referencia para conocer la proporción de CUTs que han sido afectados por la TZV de forma catastrófica y también, para conocer el número de CUTs que han sido utilizados

Tabla 7-3. Valores característicos de las distribuciones TZV de los CUTs de dimensionamiento S1.

Dimensionamiento S1					
Transistor de entrada de la etapa NMOS					
Chip KIPT	V_{IN} (V)		g_V (dB)		N° CUTs medidos
	Valor medio	desviación estándar	Valor medio	desviación estándar	
Chip 1	0.382	0.039	15.83	1.03	28
Chip 2	0.384	0.037	15.74	0.79	28
Chip 3	0.401	0.035	15.42	1.19	28
Chip 4	0.386	0.029	15.15	3.10	27
Chip 5	0.392	0.032	15.55	1.09	28
Chip 6	0.387	0.028	15.37	1.12	28
Transistor de entrada de la etapa PMOS					
Chip KIPT	V_{IP} (V)		g_V (dB)		N° CUTs medidos
	Valor medio	desviación estándar	Valor medio	desviación estándar	
Chip 1	0.802	0.046	14.60	1.02	28
Chip 2	0.799	0.041	15.27	0.98	28
Chip 3	0.819	0.038	14.61	1.26	28
Chip 4	0.797	0.030	16.08	1.06	28
Chip 5	0.806	0.035	15.36	1.06	28
Chip 6	0.802	0.030	15.02	0.89	28

Tabla 7-4. Valores característicos de las distribuciones TZV de los CUTs de dimensionamiento S2.

Dimensionamiento S2					
Transistor de entrada de la etapa NMOS					
Chip KIPT	V_{IN} (V)		g_V (dB)		N° CUTs medidos
	Valor medio	desviación estándar	Valor medio	desviación estándar	
Chip 1	0.371	0.051	16.96	1.18	28
Chip 2	0.351	0.044	16.33	1.86	26
Chip 3	0.396	0.050	16.88	1.39	28
Chip 4	0.391	0.050	17.35	1.32	28
Chip 5	0.398	0.040	16.61	1.50	28
Chip 6	0.372	0.038	16.78	1.50	28
Transistor de entrada de la etapa PMOS					
Chip KIPT	V_{IP} (V)		g_V (dB)		N° CUTs medidos
	Valor medio	desviación estándar	Valor medio	desviación estándar	
Chip 1	0.881	0.067	11.40	4.20	16
Chip 2	0.864	0.054	14.69	2.40	27
Chip 3	0.906	0.052	14.15	1.65	26
Chip 4	0.885	0.039	17.94	1.18	27
Chip 5	0.911	0.043	13.92	2.02	23
Chip 6	0.888	0.042	15.00	1.71	28

Tabla 7-5. Valores característicos de las distribuciones TZV de los CUTs de dimensionamiento S3.

Dimensionamiento S3					
Transistor de entrada de la etapa NMOS					
Chip KIPT	V_{IN} (V)		g_V (dB)		N° CUTs medidos
	Valor medio	desviación estándar	Valor medio	desviación estándar	
Chip 1	0.300	0.029	19.64	1.17	26
Chip 2	0.291	0.030	18.95	1.65	25
Chip 3	0.298	0.024	19.09	0.97	27
Chip 4	0.293	0.030	19.84	1.29	26
Chip 5	0.295	0.034	19.65	1.10	26
Chip 6	0.302	0.030	19.56	1.54	25
Transistor de entrada de la etapa PMOS					
Chip KIPT	V_{IP} (V)		g_V (dB)		N° CUTs medidos
	Valor medio	desviación estándar	Valor medio	desviación estándar	
Chip 1	0.759	0.072	12.66	2.28	28
Chip 2	0.740	0.060	13.67	2.18	28
Chip 3	0.758	0.039	14.38	1.29	28
Chip 4	0.748	0.046	16.15	1.96	27
Chip 5	0.757	0.062	14.59	1.56	28
Chip 6	0.767	0.049	15.40	2.45	28

Tabla 7-6. Valores característicos de las distribuciones TZV de los CUTs de dimensionamiento S4.

Dimensionamiento S4					
Transistor de entrada de la etapa NMOS					
Chip KIPT	V_{IN} (V)		g_V (dB)		N° CUTs medidos
	Valor medio	desviación estándar	Valor medio	desviación estándar	
Chip 1	0.288	0.028	28.72	1.02	12
Chip 2	0.243	0.016	25.19	0.73	14
Chip 3	0.235	0.008	24.14	1.19	19
Chip 4	0.213	0.001	29.18	0.56	8
Chip 5	0.254	0.018	24.51	1.46	12
Chip 6	0.240	0.013	23.74	1.94	18
Transistor de entrada de la etapa PMOS					
Chip KIPT	V_{IP} (V)		g_V (dB)		N° CUTs medidos
	Valor medio	desviación estándar	Valor medio	desviación estándar	
Chip 1	0.914	0.038	18.03	2.60	19
Chip 2	0.902	0.042	20.36	1.51	26
Chip 3	0.898	0.026	18.41	5.60	24
Chip 4	0.886	0.027	20.83	1.89	20
Chip 5	0.925	0.044	19.36	1.87	24
Chip 6	0.915	0.028	20.29	1.50	25

para calcular los valores estadísticos de las prestaciones (en cuyo cálculo sólo se han tenido en cuenta los CUTs que se encontraban operando correctamente).

De los valores expuestos en las tablas, podría concluirse que la dimensión S4 es la que sufre de forma más severa el impacto de la TZV para las polarizaciones asignadas, especialmente cuando se utiliza como entrada de la etapa el transistor NMOS. Para este caso, el número de CUTs caracterizados que se encontraba operando de forma correcta es especialmente bajo. Concretamente, teniendo en cuenta todos los CUTs posibles de todos los chips, el número total de CUTs que operan correctamente se encuentra en torno a la mitad, determinando que el impacto de la TZV resulta catastrófico para estos CUTs. En el caso de emplear la entrada PMOS para la dimensión S4, el número de CUTs promedio que han podido caracterizarse de forma correcta se encuentra en torno a 23 CUTs, siendo este promedio superior para el resto de casos. Por tanto, puede concluirse que, para la mayoría de casos, sólo para unos pocos CUTs la variabilidad TZV provoca un mal funcionamiento de la etapa amplificadora.

El CUT S4 es el más afectado por la TZV de cara a establecer a los transistores del CUT en su región correcta de funcionamiento debido a la polarización escogida para la caracterización. Por ejemplo, para el caso más afectado, cuando se emplea como entrada el transistor NMOS, si se consulta la Tabla 7-1, el valor de tensión V_{IP} escogido para polarizar el transistor PMOS que ejerce como carga de la etapa, es el más alto de todas las dimensiones. Esto significa que por la polarización escogida en estos CUTs, los transistores de tipo PMOS son los que están operando con una V_{SG} menor, o lo que es equivalente, se encuentran operando más cerca de la región de corte del transistor. Por esta razón, son los más propensos a que una variación de la tensión umbral debido a la TZV sitúe a estos transistores en corte.

Como conclusión, nuevamente se manifiesta la importancia de considerar a la hora de ajustar la polarización de un diseño, cómo la variación de los parámetros eléctricos de los dispositivos puede afectar a la región de operación de los mismos, haciendo que los circuitos no operen de la forma esperada.

Respecto a la diferencia entre los valores característicos medidos en chips distintos, pueden hacerse varias apreciaciones. Por un lado, parece que se pueden apreciar ciertas diferencias entre los distintos chips, al menos en mayor medida que para los CUTs de tipo inversor y espejos de corriente caracterizados en capítulos previos. En este sentido, es posible concluir que estos CUTs, para estos dimensionamientos y para la polarización escogida en cada caso, muestran en esta ocasión una mayor sensibilidad a la variabilidad de proceso.

Si se tiene en cuenta la dispersión que presentan las medidas, puede determinarse que estas diferencias no son igual de significativas para todas las dimensiones. En el caso de los dimensionamientos S1 y S3, los resultados obtenidos entre los distintos chips son razonablemente similares entre sí. Por tanto, al igual que en capítulos previos, se podría asumir que todas las muestras pueden ser agrupadas en una única distribución de TZV. En el caso de los dimensionamientos S2 y S4, parece que estas diferencias son un poco más significativas. Por un lado, para el dimensionamiento S4 se aprecian las mayores diferencias, sobre todo para el caso de que se emplee como entrada el transistor NMOS. Éstas pueden deberse a que el número de CUTs medidos (el número de muestras para un

cálculo estadístico) es especialmente bajo, pudiendo presentar falta de precisión en los resultados por falta de resolución. En el caso del dimensionamiento S2, las diferencias se pueden deber también a falta de resolución, pero en este caso, no porque se hayan medido menos CUTs que en los dimensionamientos S1 y S3, sino porque la variabilidad que presentan estas medidas es superior. Esto puede deberse a que el dimensionamiento S2 es el que emplea los transistores de menor área, resultando en el CUT de menores dimensiones. En este sentido, los dispositivos de menores dimensiones suelen reflejar mayor variabilidad, por lo que, en definitiva, para tener el mismo nivel de precisión en este dimensionamiento, sería necesario aumentar el número de CUTs medidos.

En cualquier caso, pese a las diferencias apreciadas, se considera que éstas no son determinadamente significativas, por lo que se ha considerado válido, al igual que en los capítulos previos, agrupar todas las medidas realizadas sobre un mismo tipo de dimensionamiento (y tipo de transistor de entrada) en una única distribución de TZV. De esta forma, se pueden visualizar los objetivos desde una perspectiva más global de forma sencilla. La Tabla 7-7 muestra los valores característicos obtenidos para cada dimensionamiento cuando se han agrupado todas las medidas en una única distribución. Estos resultados se muestran tanto para el caso en que se ha tomado como entrada de la etapa el transistor de tipo NMOS como cuando se ha tomado el de tipo PMOS.

Además de los resultados mostrados en las tablas, para tener una perspectiva adicional de las distribuciones resultantes y su dispersión, se muestran a continuación los histogramas de las distribuciones resultantes al agrupar todas las muestras en una única distribución (Figura 7-8 - Figura 7-15). En las figuras representadas, se muestra a la izquierda el histograma de la tensión de polarización a la entrada que sitúa la tensión de salida a $V_{DD}/2$, y a la derecha, el histograma de la ganancia en tensión en decibelios.

Al igual que en otros capítulos y teniendo en cuenta todas las consideraciones previas de este apartado, se puede concluir que las distribuciones de TZV unificadas parecen

Tabla 7-7. Valores característicos de las distribuciones TZV para cada dimensionamiento cuando todas las muestras son agrupadas en una única distribución.

Transistor de entrada de la etapa NMOS					
Dimensionamiento	V_{IN} (V)		g_V (dB)		N° CUTs medidos
	Valor medio	desviación estándar	Valor medio	desviación estándar	
S1	0.389	0.033	15.61	1.03	167
S2	0.380	0.048	16.82	1.48	166
S3	0.297	0.029	19.45	1.32	155
S4	0.246	0.026	25.43	2.39	83
Transistor de entrada de la etapa PMOS					
Dimensionamiento	V_{IP} (V)		g_V (dB)		N° CUTs medidos
	Valor medio	desviación estándar	Valor medio	desviación estándar	
S1	0.804	0.037	15.16	1.15	168
S2	0.889	0.051	14.77	2.83	147
S3	0.755	0.056	14.47	2.27	167
S4	0.907	0.037	19.85	1.97	138

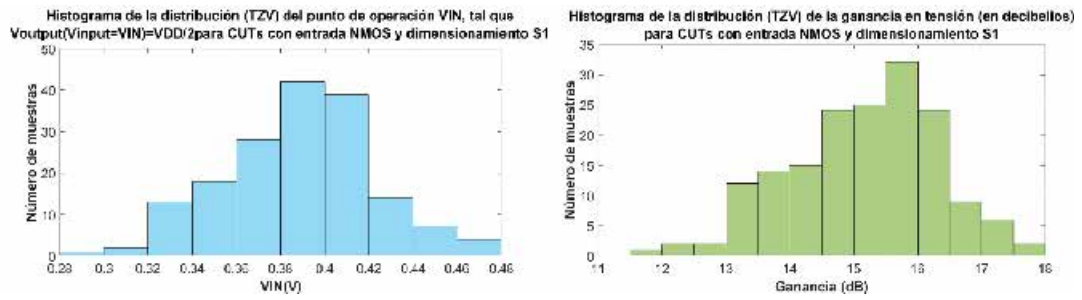


Figura 7-8. Histograma de la tensión de polarización a la entrada y ganancia del CUT para entrada NMOS S1.

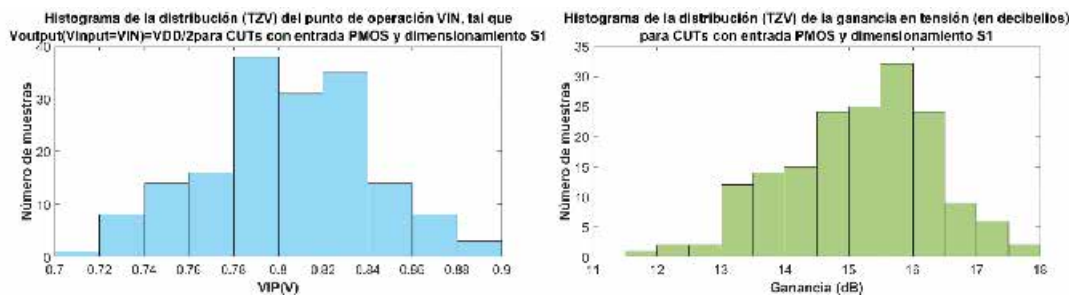


Figura 7-9. Histograma de la tensión de polarización a la entrada y ganancia del CUT para entrada PMOS S1.

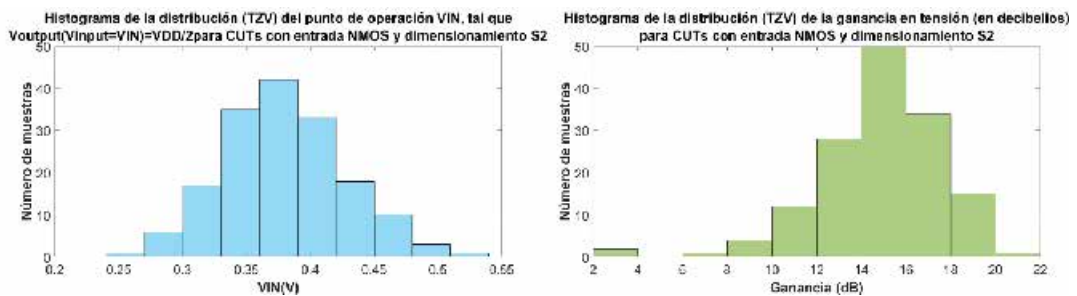


Figura 7-10. Histograma de la tensión de polarización a la entrada y ganancia del CUT para entrada NMOS S2.

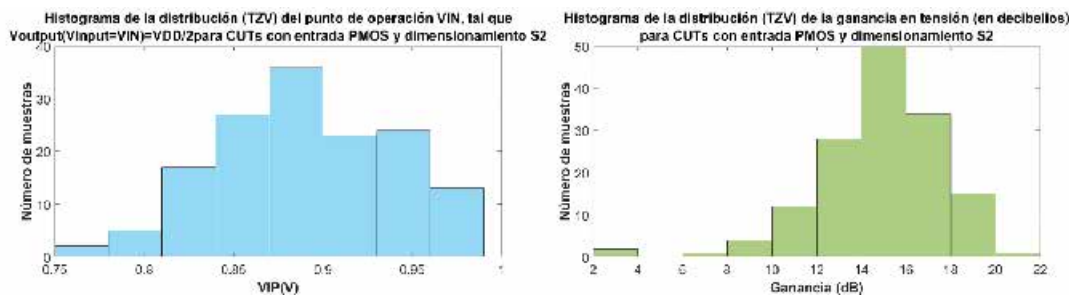


Figura 7-11. Histograma de la tensión de polarización a la entrada y ganancia del CUT para entrada PMOS S2.

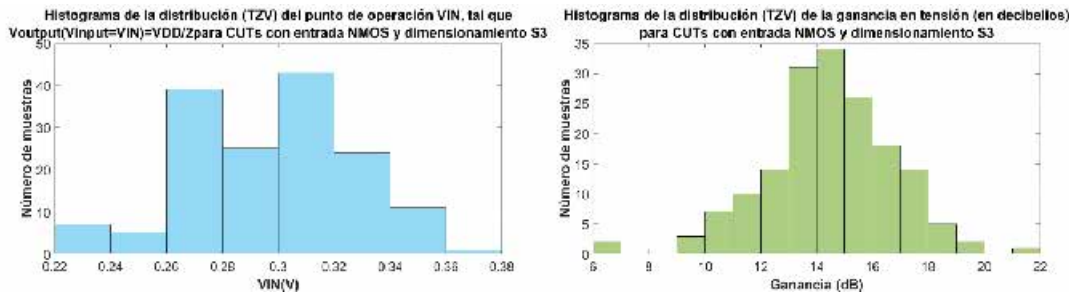


Figura 7-12. Histograma de la tensión de polarización a la entrada y ganancia del CUT para entrada NMOS S3.

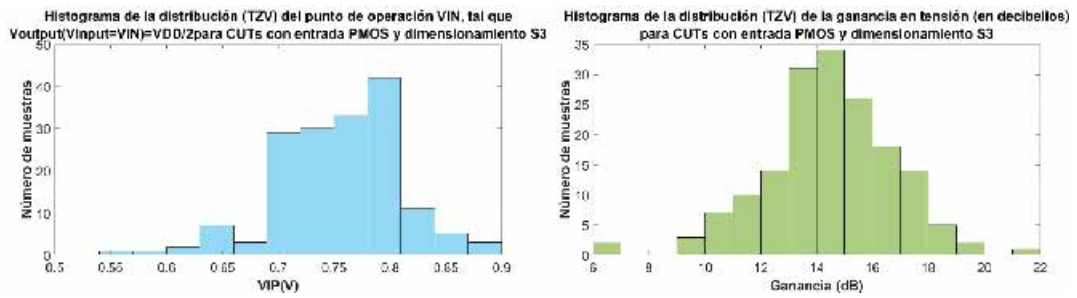


Figura 7-13. Histograma de la tensión de polarización a la entrada y ganancia del CUT para entrada PMOS S3.

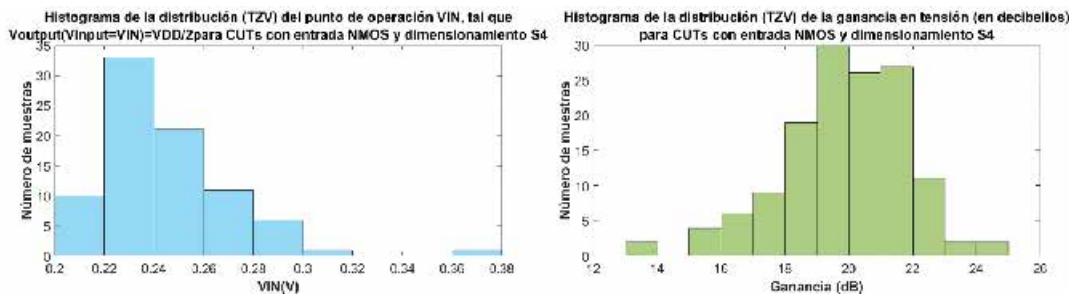


Figura 7-14. Histograma de la tensión de polarización a la entrada y ganancia del CUT para entrada NMOS S4.

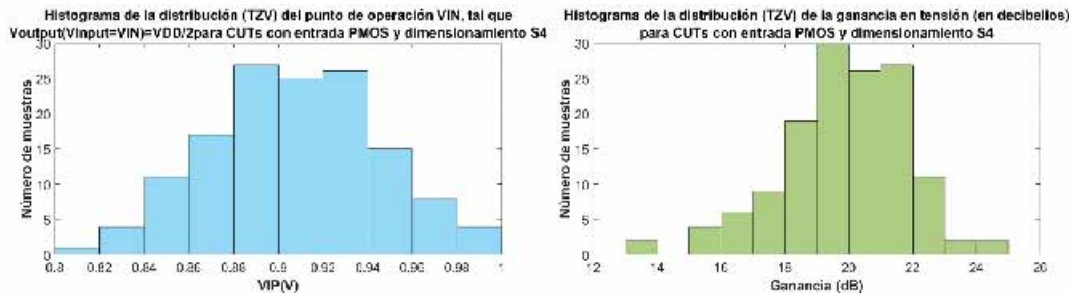


Figura 7-15. Histograma de la tensión de polarización a la entrada y ganancia del CUT para entrada PMOS S4.

representar razonablemente bien a las de cada chip por separado. El dimensionamiento S1, donde ambos transistores tienen la longitud de canal mínima, pero una anchura de canal relativamente elevada, muestran los resultados con menor variabilidad. Nuevamente, el dimensionamiento S2 de menores dimensiones es el que en general presenta una mayor dispersión (mayor rango en las muestras y una desviación estándar relativamente elevada en relación al valor medio). Por otro lado, se puede destacar que, teniendo en cuenta el número total de muestras utilizadas en cada caso (número de CUTs medidos), observando los histogramas y los valores característicos de las distribuciones mostrados en la Tabla 7-7, se puede concluir que los histogramas se ajustan razonablemente bien a muestras obtenidas de distribuciones gaussianas.

A modo de conclusión hay que remarcar la importancia de la sensibilidad a la polarización de las estructuras analógicas, la cual debe tenerse en consideración en conjunto con el impacto de la variabilidad para poder realizar diseños robustos.

7.3.2. Estudio fenomenológico de la degradación por envejecimiento.

En este apartado se realiza en primer lugar (sub-apartado 7.3.2.1) un análisis del impacto de la variabilidad en las prestaciones evaluadas de los CUTs. El objetivo del mismo es facilitar la comprensión e interpretación de los resultados que serán presentados a lo largo del capítulo. En el sub-apartado 7.3.2.2, se muestran los resultados experimentales obtenidos sobre una serie de CUTs concretos. El objetivo en este caso es observar la degradación en función del tipo de estrés aplicado, del dimensionamiento del CUT y del transistor que se esté empleando como entrada de la etapa.

7.3.2.1. Análisis del impacto de la variabilidad en las prestaciones de los CUTs.

El estudio del impacto de la degradación en las etapas amplificadoras simples guarda similitudes con el llevado a cabo sobre los inversores en el capítulo 5. En primer lugar, debe considerarse que para una polarización dada y unas determinadas condiciones de estrés, la degradación de las etapas amplificadoras provocará un desplazamiento y una deformación en la curva característica V_{OUTPUT}/V_{INPUT} que dependerá de la degradación individual de los transistores PMOS y NMOS de la etapa amplificadora.

Ignorando en primer lugar la posible deformación de la curva, la parte izquierda de la Figura 7-16, muestra el posible desplazamiento de la curva característica. Si la contribución al desplazamiento debido a la degradación del transistor NMOS es superior, a la del transistor PMOS, este desplazamiento de la curva será hacia la derecha y, en caso contrario, será hacia la izquierda. Esto implicará a su vez que la tensión de polarización de la entrada de la etapa $V_{IP/N}$ (V_{IP} o V_{IN} según cual sea el transistor de entrada de la etapa), la cual sitúa en DC la tensión de salida en el centro del rango de tensiones, también se habrá desplazado hacia tensiones más altas o bajas.

Evidentemente, el desplazamiento de la curva característica V_{OUTPUT}/V_{INPUT} tiene como consecuencia que las curvas de ganancia también sufren un desplazamiento. Esto se ilustra en la parte derecha de la Figura 7-16. Que este desplazamiento afecte en mayor o menor medida al valor de la ganancia en el punto de polarización, dependerá tanto del valor del desplazamiento como de la forma de la curva de ganancia y su posible deformación debido a la degradación.

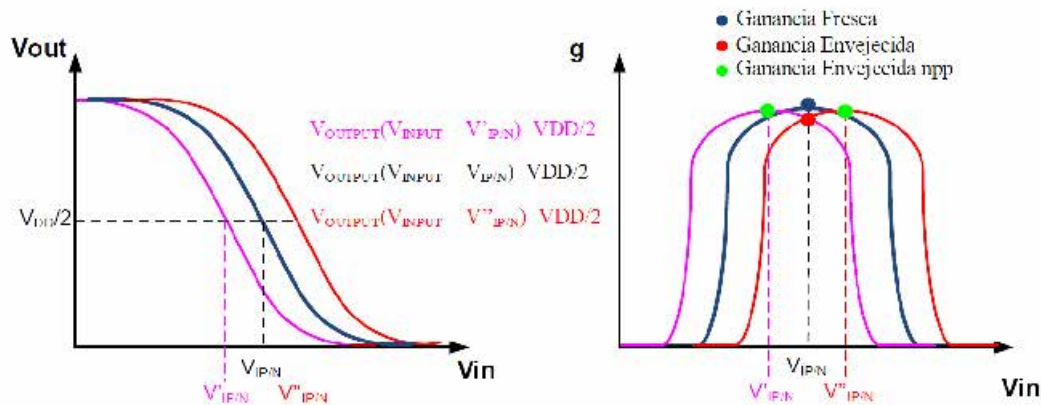


Figura 7-16. Desplazamiento de las curvas V_{OUTPUT}/V_{INPUT} y de ganancia debido al impacto de la variabilidad. Se muestran las curvas en fresco, envejecidas operando en el punto de polarización ajustado en fresco y envejecidas operando en el nuevo punto de polarización (npp) reajustado para el funcionamiento del CUT envejecido.

Normalmente, la polarización del circuito se ajustará para trabajar en el punto de operación deseado en fresco y se dejaría al circuito operando en ese punto de polarización por el resto de su tiempo de vida o *lifetime*. En un circuito operando normalmente, donde no existirá una técnica que reajuste el punto de operación, la diferencia entre el valor de la ganancia en fresco (indicada como un punto azul en la Figura 7-16) y la ganancia envejecida en el punto de polarización ajustado en fresco (indicado como un punto rojo) indicará la degradación del valor de ganancia en el circuito. En la Figura 7-16, se representa también (con unos puntos verdes) el valor de ganancia que tendría el circuito degradado, con sus nuevas características eléctricas, si la tensión de polarización de la entrada de la etapa se reajustara para hacer funcionar al circuito envejecido en su punto de máxima ganancia, centrando la señal de salida a la mitad del rango tensiones. La razón de incluir estos tres valores en los estudios realizados es la de poder disponer de una perspectiva más amplia a la hora de interpretar los resultados de degradación. El valor de ganancia del CUT envejecido en el nuevo punto de polarización (npp), será normalmente superior al valor de la ganancia envejecida en el punto de polarización ajustado en fresco. Esto permite analizar cuál es la degradación de la ganancia, no por la degradación o cambio de forma de la curva envejecida, sino por el hecho de que para las nuevas características eléctricas del CUT, no se esté trabajando en el punto de polarización óptimo. Por su parte, en función de cómo cambie la curva de ganancia después de la degradación, podrá encontrarse casos donde la ganancia en el nuevo punto de polarización reajustado sea inferior o superior al valor de la ganancia en fresco.

La forma de la curva de ganancia es otro aspecto importante que se debe tener en consideración. Sin tener en cuenta la deformación de la curva debido a la degradación, la Figura 7-17 muestra cómo un mismo desplazamiento de la curva de ganancia puede producir un impacto totalmente diferente en función de la forma de la curva de ganancia que, en principio, será diferente para cada dimensionamiento de CUT (y también, debido a la TZV, para cada CUT de cada dimensionamiento). En el caso de que la zona de alta ganancia de la curva sea relativamente ancha es posible que, pese a un desplazamiento de la curva de ganancia debido a la degradación, el CUT envejecido siga operando en la zona de alta ganancia en el punto de polarización en fresco. Este podría considerarse un caso en el que el CUT es robusto a la degradación en lo que respecta a la magnitud de la

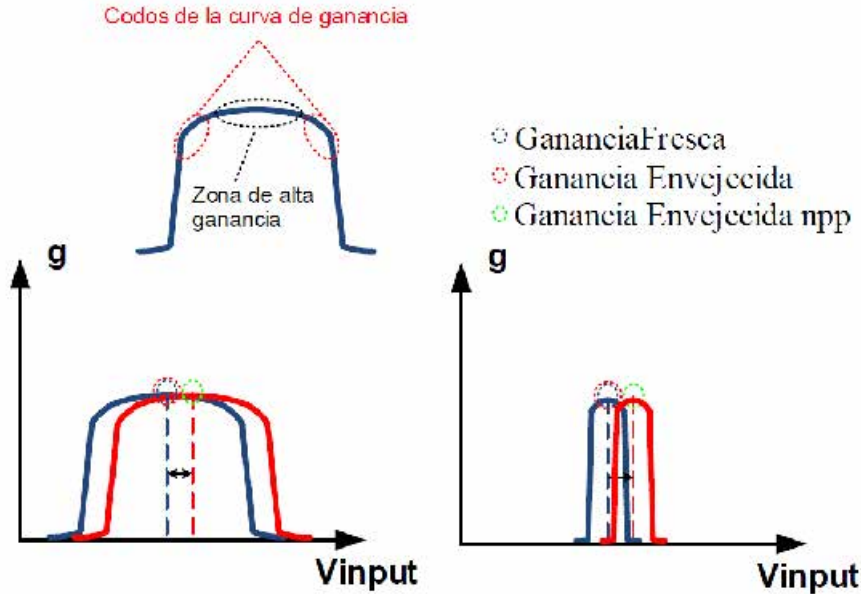


Figura 7-17. Imagen ilustrativa de la importancia de la forma de la curva de ganancia.

ganancia. No obstante, incluso en este caso puede que el CUT deje de operar de forma correcta si el punto de operación se ha desplazado significativamente, porque esto implicaría que la señal de salida ya no oscilará en torno al centro del rango de tensiones. En la parte derecha de la Figura 7-17, se muestra el caso para otro CUT con una curva de ganancia “más estrecha”. En este caso, incluso un desplazamiento leve podría suponer que el punto de polarización en fresco se sitúe fuera de la zona de alta ganancia de la curva, en los codos de la misma, o incluso más allá. En este caso, el impacto de la degradación sobre la magnitud de ganancia sería más que notorio, incluso si no se ha producido un cambio significativo del punto de operación del circuito.

Además de lo comentado, la forma de las curvas características también puede deformarse con la degradación. En este sentido tal como muestra la Figura 7-18, un “ensanchamiento” de la curva de ganancia envejecida podría ser beneficioso, ya que habría más opciones de que el CUT permaneciese en la zona de alta ganancia. Por el contrario, un

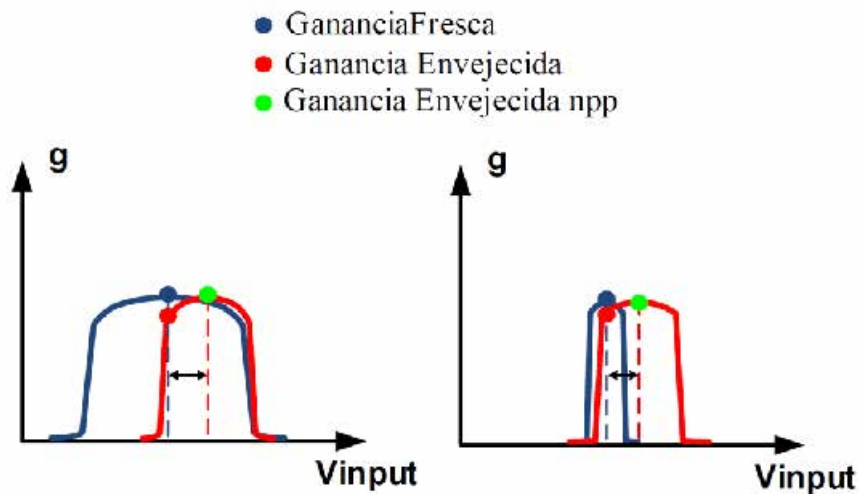


Figura 7-18. Imagen ilustrativa de la posible deformación de la curva envejecida: estrechamiento y ensanchamiento.

“estrechamiento” produciría el efecto inverso. Adicionalmente, el valor de la zona de alta ganancia de la curva (la “altura” de la curva) también puede variar. Debe tenerse en cuenta que, en los experimentos llevados a cabo, se ha hecho operar a todos los CUTs en el mismo punto de operación, pero existirá una variabilidad en la respuesta de cada uno de ellos debido a la presencia de la TZV. Esto significa que, eventualmente, tiempos largos de estrés siempre resultarán en la degradación de los CUTs (normalmente reduciendo el valor máximo de la curva o el valor de la misma en la zona de alta ganancia). Sin embargo, para unas condiciones de estrés determinadas (de tiempo y tensión), un desplazamiento y cambio de la curva de ganancia puede dar como resultado unas prestaciones superiores del CUT envejecido respecto a las que se tenían en fresco. Para ilustrar este hecho la Figura 7-19 muestra una serie de posibles casos diferentes que pueden darse en los experimentos de degradación realizados.

En el caso representado en la izquierda, la degradación provoca que, en todo caso, la ganancia del CUT degradado sea inferior a la del CUT en fresco, tanto en el punto de operación ajustado en fresco como si se reajustase nuevamente el punto de polarización. Éste será el resultado esperado cuando los CUTs hayan sufrido una degradación severa.

Por otro lado, en el caso representado en el centro de la figura, la curva de ganancia envejecida alcanza valores superiores al de la curva de ganancia en fresco, por lo que incluso en el punto de polarización en fresco, el valor de la ganancia del CUT envejecido puede resultar superior al de la ganancia en fresco. Esto puede ocurrir si ha existido poca degradación, ya que no sólo existe una mejora de la curva de ganancia por el cambio de propiedades eléctricas del CUT y del nuevo punto de polarización, sino que el desplazamiento respecto al punto de operación en fresco es lo suficientemente pequeño, para que éste se encuentre dentro de la zona de alta ganancia de la curva envejecida. Experimentalmente, este caso se corresponderá normalmente con una situación donde la TZV ha empeorado las prestaciones del CUT en fresco para la polarización escogida, por lo que ante una leve degradación de TDV, las características del CUT envejecido mejoran. Esto ocurrirá especialmente si la degradación produce un desplazamiento de los parámetros eléctricos que contrarresten la variación inicial de la TZV, acercando al CUT a los parámetros de su diseño nominal para el que fue ajustada inicialmente la polarización.

En el último caso de la Figura 7-19, representado a la derecha, la curva de ganancia envejecida vuelve a ser superior a la curva de ganancia en fresco, sin embargo, en el punto

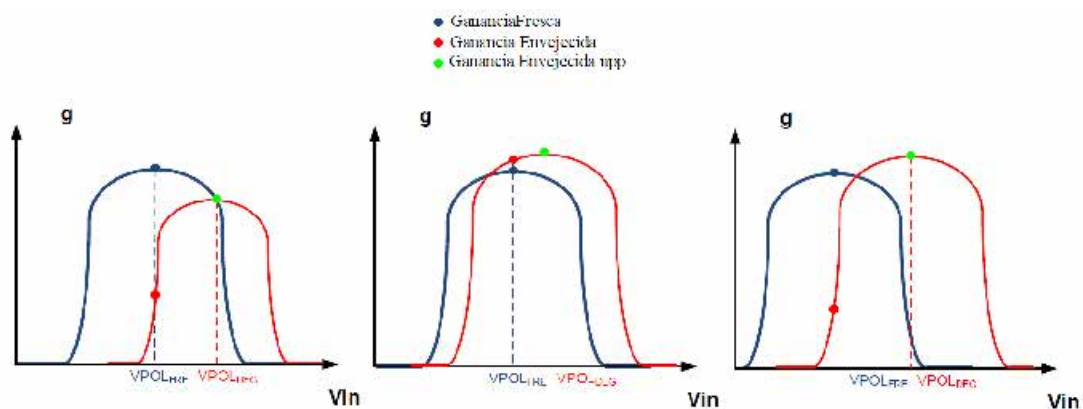


Figura 7-19. Posible casuística de la degradación de ganancia de los CUTs.

de polarización en fresco del CUT, la ganancia del CUT en fresco es superior a la del CUT degradado, por lo que para este punto de polarización ha existido una degradación de la ganancia. Este caso se produce cuando, debido a la degradación, el desplazamiento de las curvas degradadas es lo suficientemente grande para que el punto de operación en fresco se encuentre en una zona lo suficientemente lejana de la zona de alta ganancia de la curva envejecida.

Por último, no debe olvidarse que la degradación de los CUTs varía a lo largo del tiempo. En este sentido, diferentes situaciones de las previamente descritas podrían sucederse a lo largo del tiempo si se observase la evolución de la degradación en un CUT. Por ejemplo, podría darse el caso de que inicialmente un CUT afectado por su TZV, empiece a mejorar cuando empieza a degradarse (segundo caso de la Figura 7-19), porque inicialmente el impacto de la TZV y la TDV se contrarresten. Sin embargo, si el CUT continúa degradándose, es posible que se alcance la situación donde, pese a que la curva de ganancia aún no se haya deformado especialmente, el desplazamiento del punto de polarización sea lo suficientemente grande para que la degradación de la ganancia sea significativa (segundo caso de la Figura 7-19). Finalmente, si el CUT continúa degradándose, posiblemente se llegue a una situación donde la curva de ganancia no sólo se haya desplazado sino que se haya deformado de forma significativa (tercer caso de la Figura 7-19). Desde otra perspectiva, cuando se comparen CUTs que han sido sometidos al mismo tiempo de estrés, que los resultados reflejen una u otra situación indicará si la degradación ha resultado más o menos significativa.

En conclusión, para evaluar la degradación de los CUTs con etapas amplificadoras simples, será necesario considerar cuánto se desplazan las curvas características V_{OUTPUT}/V_{INPUT} y de ganancia de las etapas. La primera de ellas determinará cuánto ha variado la tensión de entrada que sitúa a la etapa a mitad del rango de polarización y la segunda de ellas, teniendo en cuenta no sólo su desplazamiento sino su forma tras la degradación (con una posible deformación) determinará como se ha degradado la magnitud de la ganancia. Debido a la casuística comentada, se han decidido medir en los experimentos realizados los tres valores mencionados en las figuras donde se representan las ganancias. Es cierto que la degradación del CUT se evaluará, en condiciones normales, como la diferencia de la ganancia fresca y envejecida en el punto de polarización en fresco, tal y como se ha mencionado anteriormente, pero la inclusión del valor de ganancia envejecida si se reajusta el punto de polarización, permite ampliar la perspectiva y mejorar la comprensión de lo que está ocurriendo y puede dar explicación a por qué en un determinado experimento la ganancia experimenta una mejora en lugar de una degradación. En este sentido, la diferencia entre los valores de ganancia envejecida, en su nuevo punto de polarización deseado (reajustado) y el valor de la ganancia envejecida en el punto de polarización ajustado en fresco, da una idea de la pérdida de ganancia que se produce debido al desplazamiento de la curva (desplazamiento del punto de polarización deseado) independiente de las características eléctricas del CUT envejecido.

7.3.2.2. Estudio experimental de la degradación en función del tipo de estrés aplicado y del dimensionamiento del CUT.

En este sub-apartado se presentan una serie de experimentos realizados sobre CUTs de distintas dimensiones, con el objetivo de evaluar la diferencia de los resultados empíricos obtenidos cuando el tipo de estrés aplicado es DC o AC. En este sentido, también es

importante observar las posibles diferencias obtenidas cuando se está utilizando como entrada de la etapa uno u otro tipo de transistor. En lo que respecta al tiempo y la tensión de estrés, en todos los experimentos mostrados en este sub-apartado se ha empleado una tensión de estrés de 3.3V y un tiempo de estrés de 1000 segundos, por ser las condiciones de estrés más exigentes y donde se espera observar una mayor degradación. La polarización empleada para polarizar a los CUTs en estrés es la mostrada en la Tabla 7-2.

Respecto a las dimensiones de los CUTs, las cuales puede consultarse en la Tabla 4-6, cabe recordar que los CUTs de dimensionamiento S1 y S2 tienen tanto para el transistor PMOS como NMOS una longitud de canal mínima de 60nm, siendo la diferencia entre ellos que la anchura del canal de ambos transistores es mayor en S1. Por su parte en S3 se incrementa significativamente la longitud de canal del transistor PMOS dejando las mismas dimensiones para el transistor NMOS que se empleó en S1, mientras que en S4, la longitud de canal se aumenta para el transistor NMOS dejando el mismo dimensionamiento en el transistor PMOS que el utilizado en S2. En definitiva, podría decirse que, en términos de la capacidad de conducir corriente, los transistores de las etapas S1 y S2 están más compensadas mientras que las etapas S3 y S4 presentan mayor descompensación entre sus dispositivos.

En primer lugar, se analizará la degradación de los CUTs cuando éstos son sometidos a estreses DC. Concretamente, el primer resultado, mostrado en la Figura 7-20, se corresponde con un CUT de dimensionamiento S1 en el que se está empleando como entrada de la etapa el transistor PMOS. Por su parte, la Figura 7-21 muestra también un CUT de dimensionamiento S1 pero donde se está empleando como entrada un transistor NMOS.

En general, para los dimensionamientos S1 y S2 sometidos a un estrés de tipo DC e independientemente del transistor usado como entrada de la etapa, se produce un ligero desplazamiento de la curva característica V_{OUTPUT}/V_{INPUT} que desplaza ligeramente la tensión de polarización para la cual $V_{OUTPUT}(V_{INPUT_POL}) = VDD/2$. Esto puede apreciarse en la gráfica superior izquierda de la Figura 7-20 y la Figura 7-21, donde la

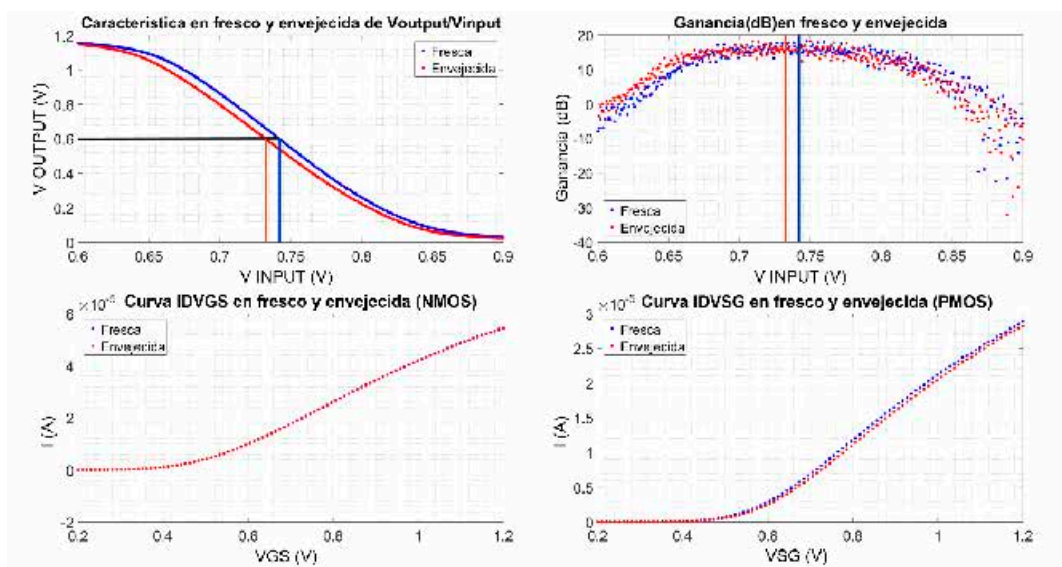


Figura 7-20. Medidas en fresco y envejecidas de un CUT S1 cuando se ha empleado un estrés DC (entrada PMOS).

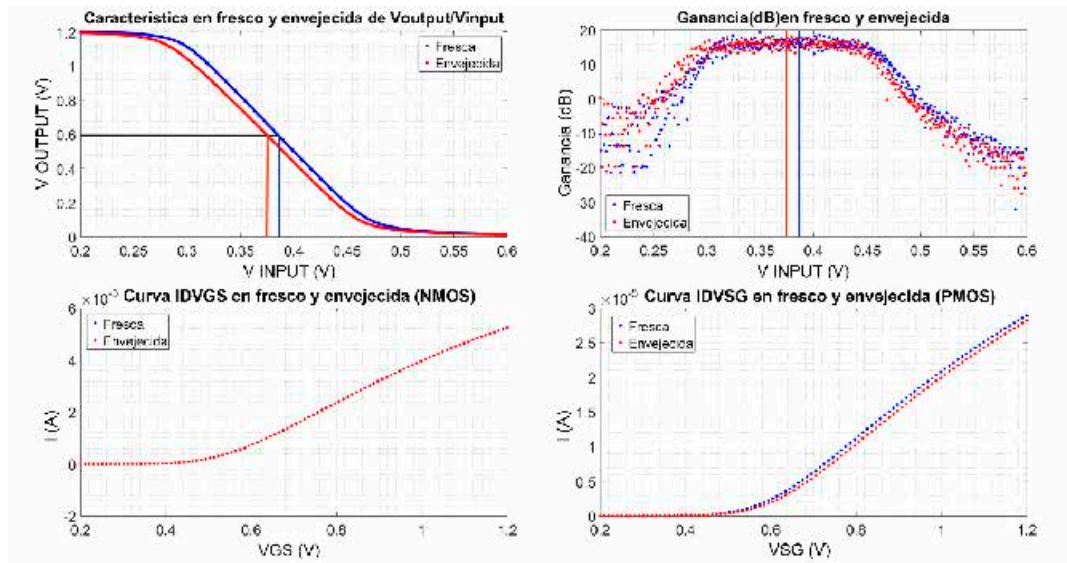


Figura 7-21. Medidas en fresco y envejecidas de un CUT S1 cuando se ha empleado un estrés DC (entrada NMOS).

curva envejecida se ha desplazado un poco hacia la izquierda (hacia tensiones más bajas de la tensión de entrada). La gráfica de la parte superior derecha de ambas figuras muestra la ganancia del CUT, tanto en fresco como envejecida, calculada como una derivada aproximada de la curva V_{OUTPUT}/V_{INPUT} . Para el caso de los CUTs S1 y S2, la degradación DC no provoca cambios perceptibles en la curva de ganancia y el ligero desplazamiento de la curva no es suficiente para que el valor de la ganancia envejecida del CUT ajustado en fresco se vea perturbado.

En la parte inferior de ambas figuras se muestran respectivamente las curvas características IDVGS e IDVSG de los transistores NMOS y PMOS de los respectivos CUTs, tanto en fresco como en envejecido. A la luz de los resultados, parece que el estrés aplicado no ha sido suficiente para dañar de forma permanente el transistor NMOS y tan sólo el dispositivo PMOS ha sido dañado de forma relativamente leve. Siguiendo la misma explicación que ya se desarrolló profundamente durante el capítulo 5, la mayor degradación del transistor PMOS frente al NMOS es lo que provoca que la curva característica V_{OUTPUT}/V_{INPUT} envejecida se desplace hacia la izquierda.

El resultado obtenido para la dimensión S3 es muy similar al de los casos S1 y S2. Sigue sin apreciarse degradación sobre el transistor NMOS y, en este caso, la degradación que se observa sobre el transistor PMOS es aún menor que para los casos S1 y S2, por lo que la diferencia entre las curvas de ganancia frescas y envejecidas es también menos apreciable. A modo de ejemplo, la Figura 7-22 muestra las curvas características de un CUT de dimensionamiento S3 cuando la entrada empleada es el transistor NMOS.

Respecto al dimensionamiento S4, de forma similar a como ocurriese en el estudio realizado sobre la TZV, parece ser que el hecho de que para este dimensionamiento la polarización escogida de los transistores sitúe a los mismos tan cerca de la región de corte (con valores de V_{SG} y V_{GS} cercanos a las tensiones umbrales de los transistores), provoca que los CUTs sean especialmente sensibles a la degradación. En este sentido, pese a que las degradaciones observadas en las curvas IDVGS e IDVSG de los transistores muestran también una degradación relativamente pequeña de los transistores, el impacto que estas

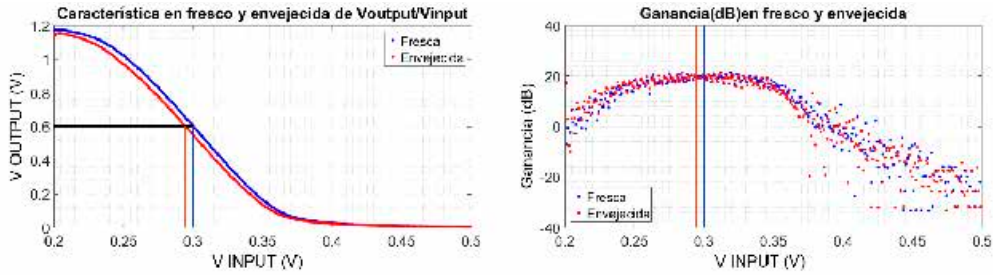


Figura 7-22. Medidas en fresco y envejecidas de un CUT S3 cuando se ha empleado un estrés DC (entrada NMOS).

variaciones tienen sobre las prestaciones es muy significativo. La Figura 7-23 muestra el resultado para un CUT de dimensionamiento S4 cuando se emplea como entrada el transistor PMOS. En este caso, puede apreciarse no sólo un importante desplazamiento de las curvas característica, sino también la deformación de las mismas. En el caso concreto de la Figura 7-23, puede observarse que el cambio de la curva de ganancia debido a la degradación provoca que ésta aumentase su valor máximo si se modificase la polarización de la etapa a un nuevo punto de polarización óptimo para la curva envejecida. Sin embargo, incluso si el valor máximo de la curva aumenta con la degradación, puede verse cómo el impacto conjunto del desplazamiento y deformación de la curva resulta en que el valor de la magnitud de la ganancia envejecida en el punto de polarización en fresco se vea reducido.

Como también ocurría cuando se analizó el impacto de la variabilidad TZV en los CUTs, el peor caso de degradación para estreses DC ocurre para el dimensionamiento S4 cuando la entrada empleada es el transistor NMOS. Tal como se muestra en la Figura 7-24, se puede observar un mayor desplazamiento de las curvas características de que se veía para el resto de casos, y una deformación extrema de las mismas, lo que resulta catastrófico en lo que respecta a las prestaciones del CUT.

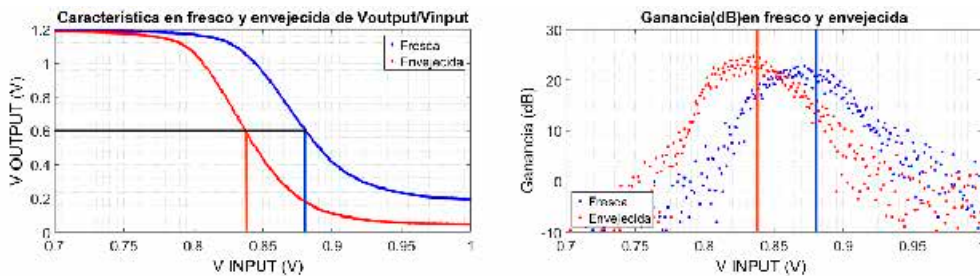


Figura 7-23. Medidas en fresco y envejecidas de un CUT S4 cuando se ha empleado un estrés DC (entrada PMOS).

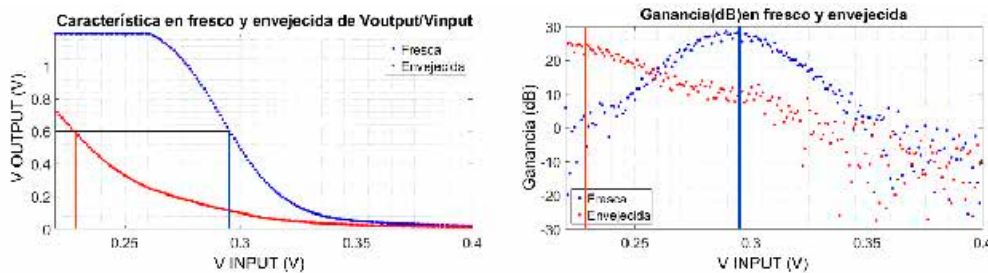


Figura 7-24. Medidas en fresco y envejecidas de un CUT S4 cuando se ha empleado un estrés DC (entrada NMOS).

A continuación, se presentarán los resultados cuando el estrés aplicado es AC, empezando por el caso en el que la frecuencia de la señal sea de 1kHz. La Figura 7-25 muestra los resultados de las medidas obtenidos cuando el CUT pertenece al dimensionamiento S1 y se emplea como entrada el transistor PMOS. La Figura 7-26 muestra el caso en el que la entrada empleada es un transistor NMOS. En primer lugar, hay que destacar que el desplazamiento observado en las curvas características se produce en el sentido contrario a cuando el estrés aplicado era de tipo DC. La explicación es que, en este caso, la contribución al desplazamiento de la degradación del transistor NMOS supera a la del transistor PMOS. En la parte inferior de ambas figuras se muestran las curvas IDVGS e IDVSG. En ellas puede observarse que, si bien el daño permanente que presenta el transistor PMOS está en el mismo orden que cuando se aplica un estrés DC, el daño que

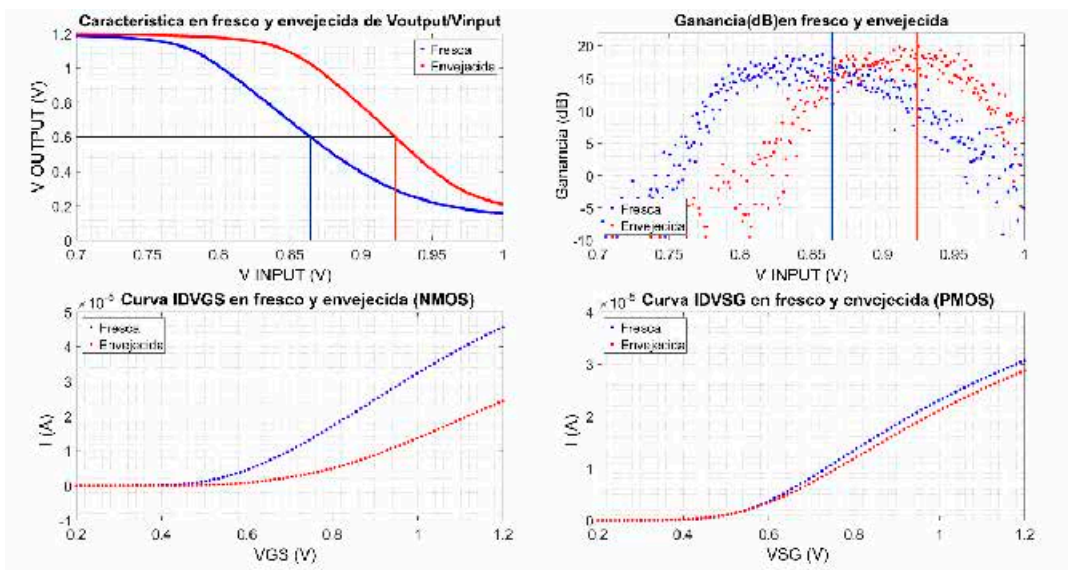


Figura 7-25. Medidas en fresco y envejecidas de un CUT S1 cuando se ha empleado un estrés AC (entrada PMOS).

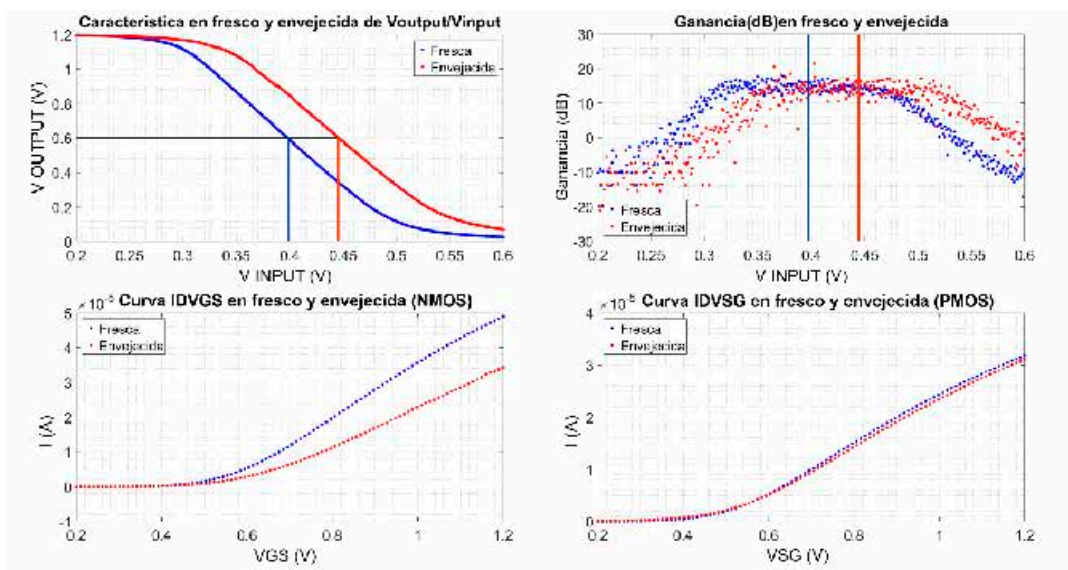


Figura 7-26. Medidas en fresco y envejecidas de un CUT S1 cuando se ha empleado un estrés AC (entrada NMOS).

presentan los transistores NMOS es muy severo (a diferencia del caso DC donde no se apreciaba degradación para este tipo de transistor).

Del apartado 7.2.2 puede recordarse que, en lo que respecta a los efectos de degradación, si se aplica un estrés de tipo DC, los transistores del CUT permanecen en una situación donde el daño por HCI se mantenía para unas condiciones de estrés constantes con unas caídas de tensión $V_{SD} \cong V_{DS} \cong VDD/2$. En el caso de los estreses AC, estas condiciones de estrés eran cambiantes (debido a la oscilación de la señal de salida) y oscilaban entre los valores de $V_{SD} \cong V_{DS} \cong 0$ y $V_{SD} \cong V_{DS} \cong VDD$. En este sentido, el que los transistores NMOS, más sensibles al daño por HCI, muestren mucha más degradación frente a estreses AC que DC, implica que, para estos transistores, el daño recibido es superior por alcanzar condiciones de estrés más extremas, incluso si lo hacen por un periodo de tiempo menor. La explicación a este razonamiento, considerando todo lo explicado hasta el momento, se debe al agresivo escalado de la degradación por envejecimiento con la tensión. En definitiva, los transistores NMOS reciben un daño mucho más significativo y severo en presencia de señales AC. Esto es importante, porque en su operación normal, estas estructuras operaran con este tipo de estímulos. Por lo tanto, será fundamental que, para ser preciso en el cálculo de la degradación en presencia de condiciones de estrés que incluyan señales AC, se incluya en las herramientas de fiabilidad mecanismos capaces de actualizar dichas condiciones de estrés cambiantes de forma precisa y eficiente.

Este comportamiento mostrado para los CUTs de dimensionamiento S1, es a grandes rasgos el mismo para los dimensionamientos S2 y S3, con la diferencia nuevamente de que para el dimensionamiento S3, el daño que presentan los transistores PMOS es aún menos significativo que para S1 y S2, lo que puede resultar en que el desplazamiento de las curvas sea aún más severo. Esto probablemente es debido a que la longitud de canal de los transistores PMOS en este dimensionamiento es muy elevada y el posible daño permanente que se generase en estos CUTs debido al HCI sea prácticamente nulo. A modo de ejemplo ilustrativo, se muestran la Figura 7-27 y la Figura 7-28. La primera de ellas muestra los resultados de un CUT de dimensionamiento S2 en el que se ha empleado como entrada el transistor PMOS mientras que la segunda, muestra los resultados obtenidos para un CUT S3 en el que se ha empleado como entrada el transistor NMOS.

En el caso de la dimensión S4, como muestra la Figura 7-29, si se emplea como entrada el transistor PMOS, las curvas envejecidas también se desplazan hacia la derecha. Sin embargo, en el caso de emplear como entrada el transistor NMOS, los resultados difieren del resto de casos y, tal como se muestra en la Figura 7-30, las curvas se desplazan hacia la izquierda. La explicación a este resultado se debe a un conjunto de factores. Por un lado, la longitud de canal de los transistores NMOS de este dimensionamiento es muy

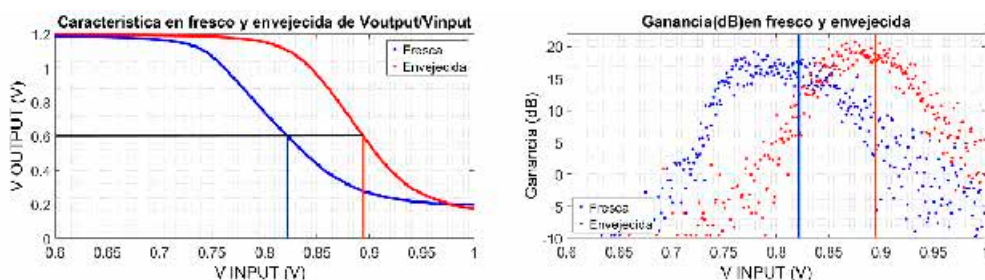


Figura 7-27. Medidas en fresco y envejecidas de un CUT S2 cuando se ha empleado un estrés AC (entrada PMOS).

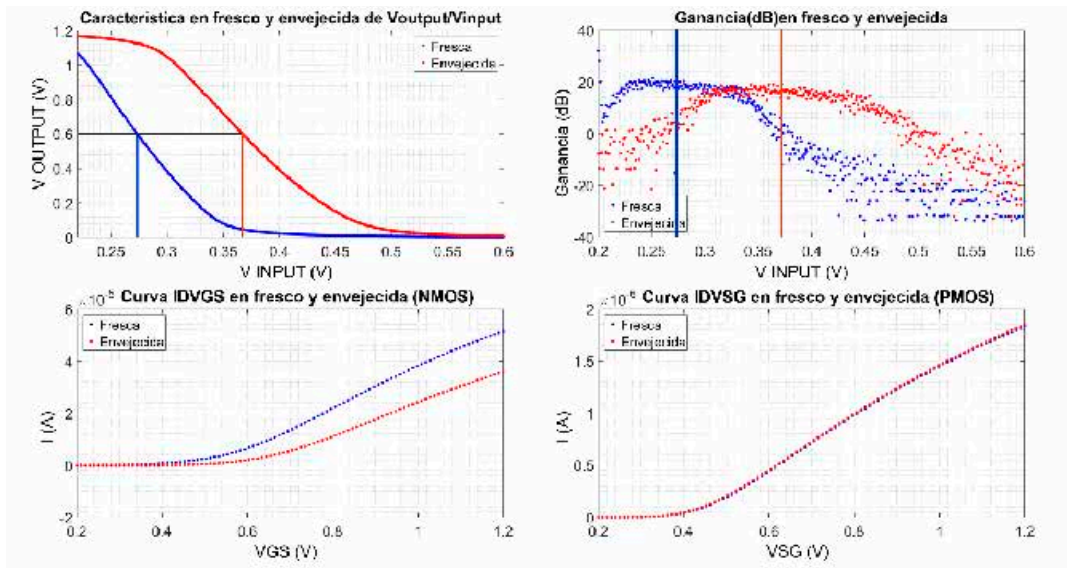


Figura 7-28. Medidas en fresco y envejecidas de un CUT S3 cuando se ha empleado un estrés AC (entrada NMOS).

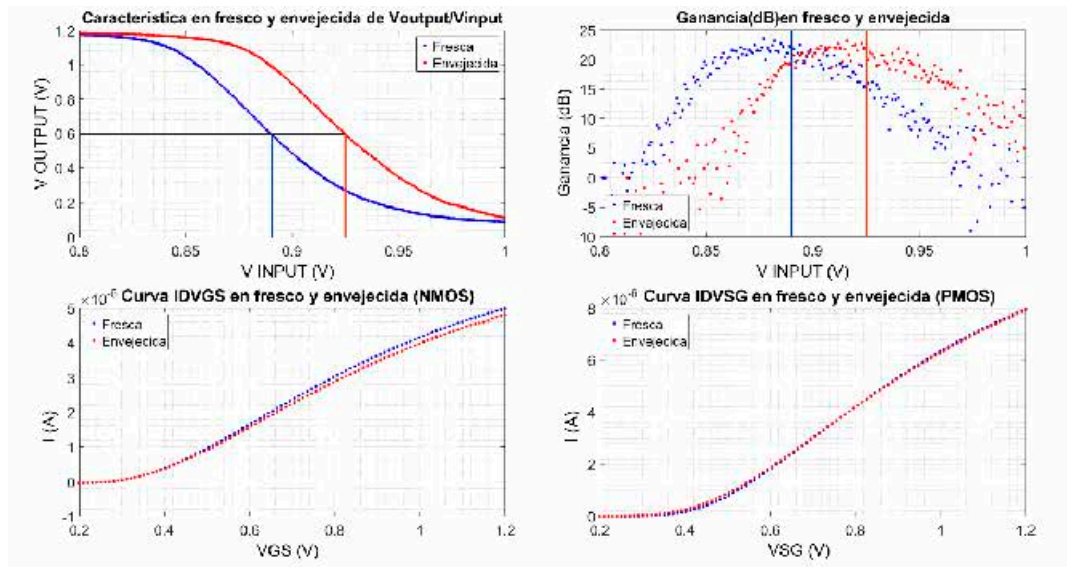


Figura 7-29. Medidas en fresco y envejecidas de un CUT S4 cuando se ha empleado un estrés AC (entrada PMOS).

alta, lo que reduce en gran medida el daño debido a HCI, al menos en comparación con los otros dimensionamientos. Como consecuencia, aunque la degradación presente en el transistor PMOS es leve, para la polarización empleada cuando se utiliza como entrada el transistor NMOS, el daño permanente del transistor PMOS siempre resulta ligeramente superior al del transistor NMOS, por lo que las curvas envejecidas de V_{OUTPUT}/V_{INPUT} y de la ganancia se desplazan hacia la izquierda, del mismo modo que ocurría en el caso de aplicar estreses DC. En el caso de aplicar la polarización utilizada cuando se emplea como entrada el transistor PMOS, aunque la degradación vuelve a ser leve en ambos transistores, en este caso resulta siempre ligeramente superior para el transistor NMOS que para el PMOS. La razón es que la polarización que se aplica en este caso establece unas caídas de tensión V_{GS} y V_{SG} más elevadas en los transistores que para el caso en el

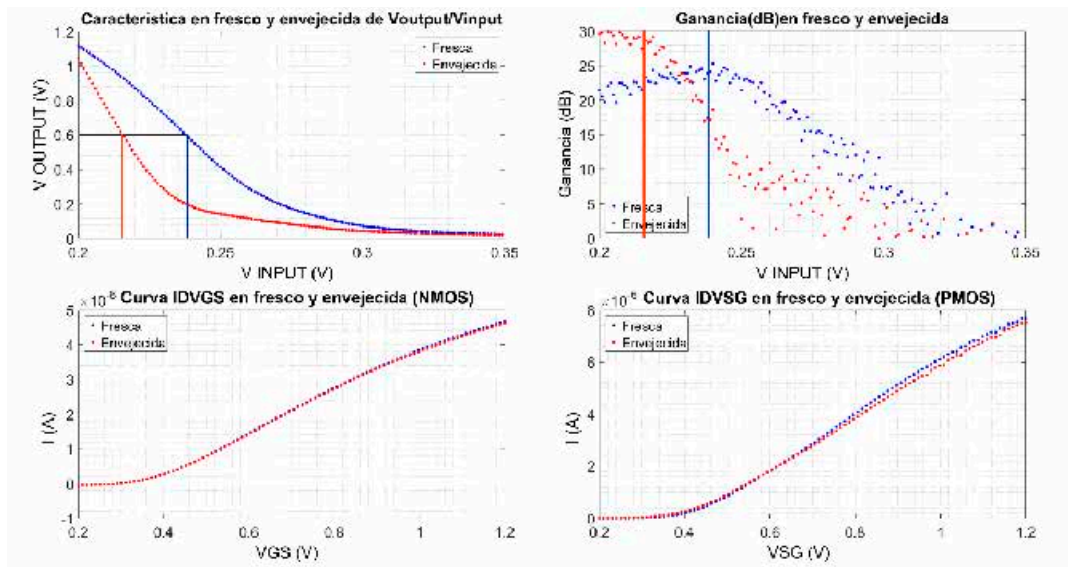


Figura 7-30. Medidas en fresco y envejecidas de un CUT S4 cuando se ha empleado un estrés AC (entrada NMOS).

que se utiliza como entrada el transistor NMOS. En esta circunstancia, ambos transistores operan más alejados de la tensión umbral, permitiendo un mayor paso de corriente por el canal. Esto favorece la aparición del efecto HCI, el cual al ser especialmente dañino para los transistores NMOS, hace que estos transistores sufran un mayor daño que los transistores PMOS (aunque debido a la longitud de canal este sigue siendo relativamente bajo). Pese a que, en cualquiera de los dos casos expuestos, la degradación de ambos transistores es pequeña, el hecho de trabajar en un punto de polarización tan sensible a la degradación hace que el daño reflejado en uno u otro sentido sobre las prestaciones sea más que notorio.

En definitiva, este es un gran ejemplo que permite destacar una vez más la importancia de considerar de forma conjunta la polarización de un circuito y su degradación. En una estructura analógica sensible al punto de polarización, dependiendo de la polarización escogida, los CUTs pueden degradarse de forma más sensible o ser más robustos e incluso verse más o menos afectados por uno u otros efectos de degradación.

Cuando el estrés aplicado es de tipo AC, pero se emplee una frecuencia de 10kHz, las tendencias observadas son en general las mismas que para el caso en el que la frecuencia aplicada es de 1kHz. La diferencia entre ambos casos es que normalmente el daño causado es superior para el caso de 10kHz. Esto concuerda también con lo ya mencionado en el capítulo 5, donde se explicó que un aumento de la frecuencia en los estímulos o condiciones de estrés en los circuitos suponía un aumento de la degradación. La Figura 7-31, muestra a modo de ejemplo los resultados al aplicar un estrés AC a 10KHz sobre un CUT de tipo S1 empleando como entrada el transistor PMOS.

Un aspecto relevante para estas condiciones de estrés es que, para la frecuencia de 10KHz, incluso para el dimensionamiento S4 cuando se emplea como entrada el transistor NMOS, el desplazamiento de las curvas envejecidas se produce hacia la derecha (en lugar de hacia la izquierda como ocurría para el caso de 1KHz). La explicación es que el daño producido por el efecto HCI aumenta con la frecuencia, por lo que, incluso para la polarización de

este caso y las condiciones previamente explicadas, la degradación del transistor NMOS (pese a seguir siendo leve), supera para estas condiciones de estrés a la del transistor PMOS. Un ejemplo de las curvas envejecidas para un CUT de tipo S4 empleando como entrada el transistor NMOS al que se le ha aplicado un estrés AC a 10KHz se puede observar en la Figura 7-32.

La conclusión en relación a la degradación de los CUTs, es que debe considerarse, por un lado, el desplazamiento de las curvas de degradación y la diferencia entre del punto de polarización adecuado del circuito en fresco y degradados, cuando los CUTs son sometidos a un estrés de tipo DC (desplazamiento generalmente hacia la izquierda o hacia tensiones de entrada más bajas) o de tipo AC (desplazamiento generalmente hacia la derecha o hacia tensiones de entrada más altas). Incluso si la magnitud de la ganancia no se ha visto especialmente degradada, un desplazamiento excesivo del punto de operación puede llevar a un mal funcionamiento del CUT, ya que la señal de salida no oscilaría centrada en el rango de tensiones y entre los raíles del mismo. Por otro lado, hay que considerar que la degradación de los transistores de los CUTs dependerá especialmente de la longitud de canal de los mismos, reduciéndose de forma importante el daño producido por el efecto HCI cuando ésta aumenta. No obstante, este daño debe ser evaluado de forma conjunta con la polarización del circuito, ya que ésta afecta a la sensibilidad de las prestaciones con respecto a la variación de los parámetros eléctricos

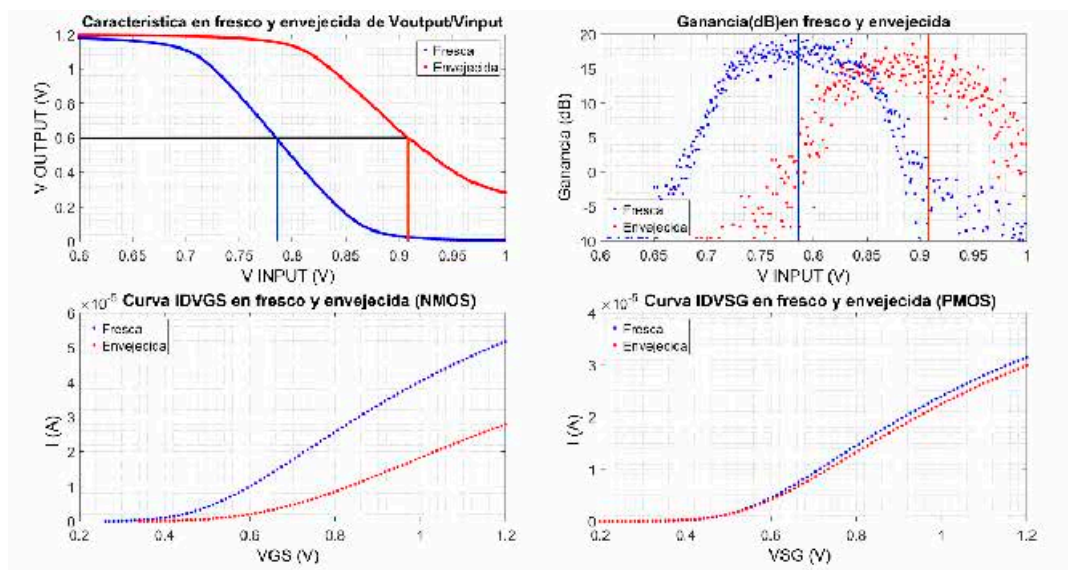


Figura 7-31. Medidas de un CUT S1 cuando se ha empleado un estrés AC de 10KHz (entrada PMOS).

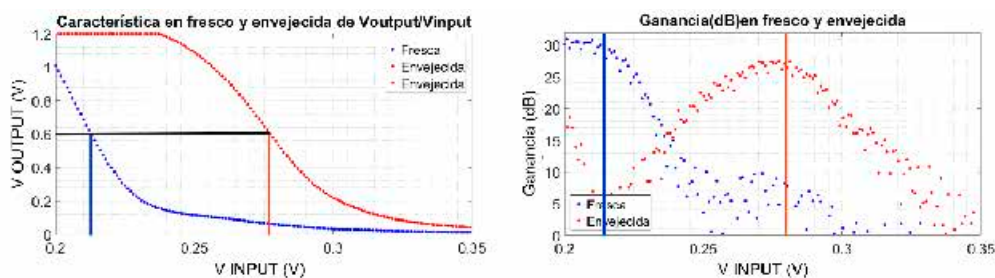


Figura 7-32. Medidas de un CUT S4 cuando se ha empleado un estrés AC de 10KHz (entrada NMOS).

de los dispositivos. Por otro lado, salvo para el caso del dimensionamiento S4 bajo ciertas condiciones de estrés, no se detectan diferencias en la degradación en la elección de uno u otro transistor como entrada de la etapa, e incluso en estos casos, más que a la propia elección del transistor de entrada, los cambios se deben a la diferente polarización. En definitiva, debe tenerse en cuenta que la degradación de las prestaciones que sufrirán los CUTs serán debidas al impacto conjunto de la degradación del valor de ganancia, que afectará al valor pico a pico de la señal de salida, y al desplazamiento del punto de operación, el cual cambiará el punto medio sobre el que oscilará la onda de salida.

7.4. Procesado y análisis de las medidas sobre las prestaciones del circuito.

En este sub-apartado, el objetivo es mostrar cuantitativamente los resultados de degradación permanente obtenidos en las etapas amplificadoras simples. De forma similar a como se ha procedido en capítulos anteriores, en primer lugar, se van a mostrar los resultados obtenidos CUT a CUT para los distintos tipos de estrés (DC y AC) cuando se están aplicando las condiciones de estrés más severas (tensión de estrés 3.3V y tiempo de estrés 1000 segundos). Sin pérdida de generalidad, se van a mostrar los resultados obtenidos para el CUT de dimensionamiento S1. Posteriormente, se mostrarán los valores promedio de degradación para el resto de dimensionamientos y de condiciones de estrés. Como se ha explicado en el apartado 7.3.2.2, las condiciones de estrés que afectan al CUT y los resultados obtenidos son similares independientemente de que se emplee como entrada de la etapa el transistor PMOS o NMOS; por tanto, para evitar que el desarrollo se vuelva engorroso y repetitivo, se ha decidido mostrar los resultados obtenidos cuando se emplea como entrada de la etapa el transistor PMOS.

Primeramente, en la Figura 7-33 se muestran los resultados para el caso en que se ha aplicado un estrés de tipo DC. La gráfica superior de la figura representa, tanto para el CUT en fresco como degradado, el valor de tensión de entrada de la etapa que sitúa la señal de salida a mitad del rango de tensiones ($V_{DD}/2$). La diferencia entre estos dos valores mostrados para cada CUT representa el desplazamiento del punto de polarización o, desde otra perspectiva, el valor del reajuste necesario en la tensión de la entrada para hacer que el CUT envejecido opera en el punto de polarización deseado. Por su parte, en la gráfica inferior de la figura se muestran los valores de ganancia de la etapa en las circunstancias explicadas en el apartado 7.3.2.1. El primero de ellos es el valor de la ganancia del CUT en fresco en el punto de polarización ajustado en fresco. El segundo, es el valor de la ganancia del CUT degradado o envejecido en el punto de operación ajustado en fresco y el tercero, el valor de la ganancia envejecida en el nuevo punto de polarización (npp) si se reajusta éste para que el CUT envejecido opera en su zona óptima de funcionamiento.

Con estas consideraciones, puede observarse que la degradación producida es baja, tal como indica el pequeño desplazamiento del punto de operación a la entrada para todos los CUTs. En estos resultados puede observarse como para, por ejemplo, en el CUT 44 la ganancia en fresco es superior a la ganancia envejecida, tanto en el punto de polarización en fresco como si éste se reajusta al CUT degradado, lo cual, aunque para una degradación leve, se corresponde con el primer caso comentado de la Figura 7-19 del apartado 7.3.2.1. Un ejemplo del segundo caso de dicha figura se observa en el CUT 43. En este caso, la

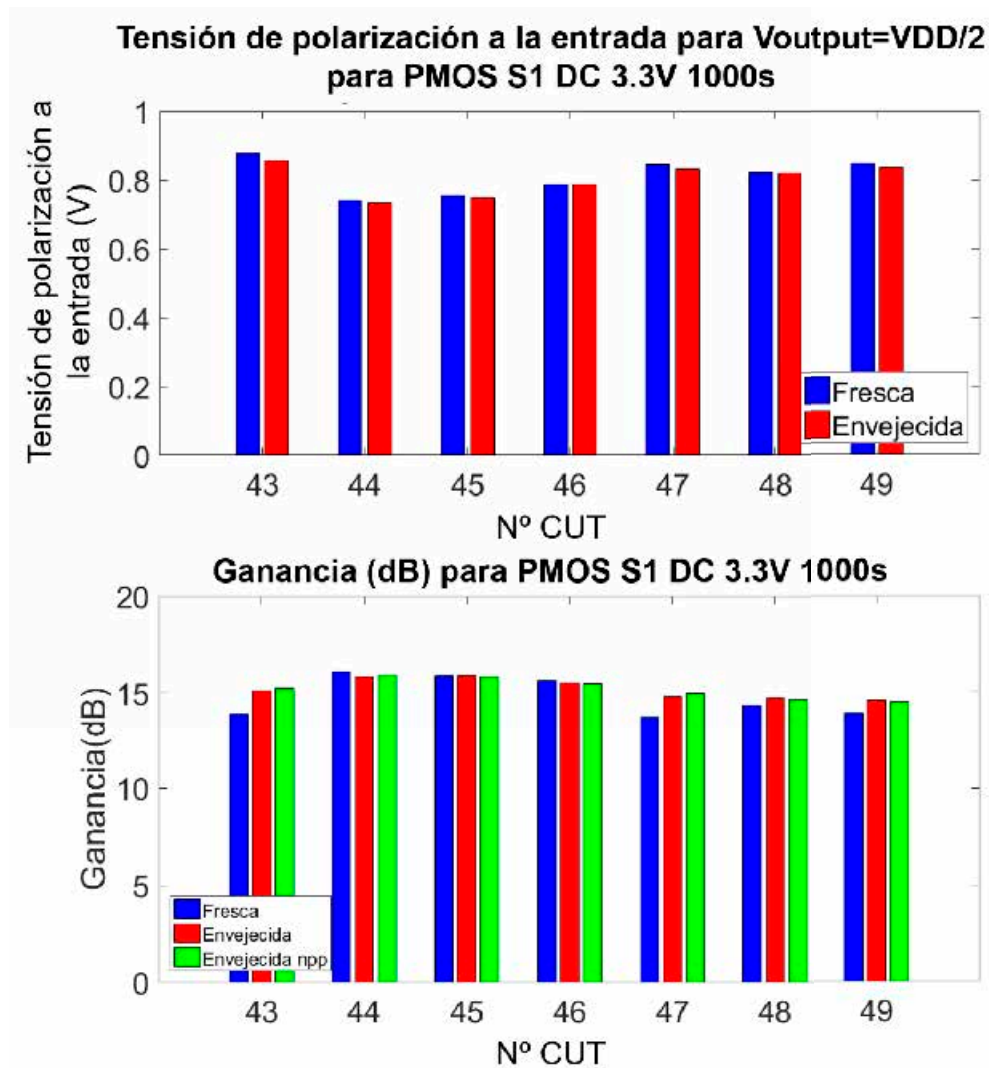


Figura 7-33. Resultados CUT a CUT cuando se ha aplicado un estrés de tipo DC (3.3V, 1000s) y se ha empleado como entrada el transistor PMOS de la etapa amplificadora.

ganancia envejecida, una vez reajustado el punto de polarización, aumenta notablemente respecto a la ganancia en fresco. En esta circunstancia, aunque la ganancia envejecida en el punto de polarización en fresco original no es tan alta como si se reajusta la polarización, sigue siendo más elevada que en el caso del CUT en fresco. Cabe destacar que debido a que el desplazamiento del punto de operación es pequeño, la ganancia envejecida en ambos puntos de polarización es muy similar porque el punto de polarización deseado en fresco y el punto de polarización envejecido están muy próximos. Esta es la principal razón por la que no aparecen aquí ejemplos del tercer tipo de los mencionados previamente en la Figura 7-19.

A continuación, prosiguiendo con el caso en que se ha aplicado un estrés AC de 1kHz, los resultados obtenidos se muestran en la Figura 7-34. Estos resultados reflejan que el desplazamiento del punto de polarización es sensiblemente superior en magnitud al caso del estrés DC y de sentido contrario. Esto implica, por un lado, que el desplazamiento de la curva de ganancia se ha producido hacia la derecha en lugar de hacia la izquierda del eje, o lo que es lo mismo, hacia tensiones más altas en lugar de hacia tensiones más bajas. Por otro lado, la degradación provocada en la forma de la curva de ganancia no es grande,

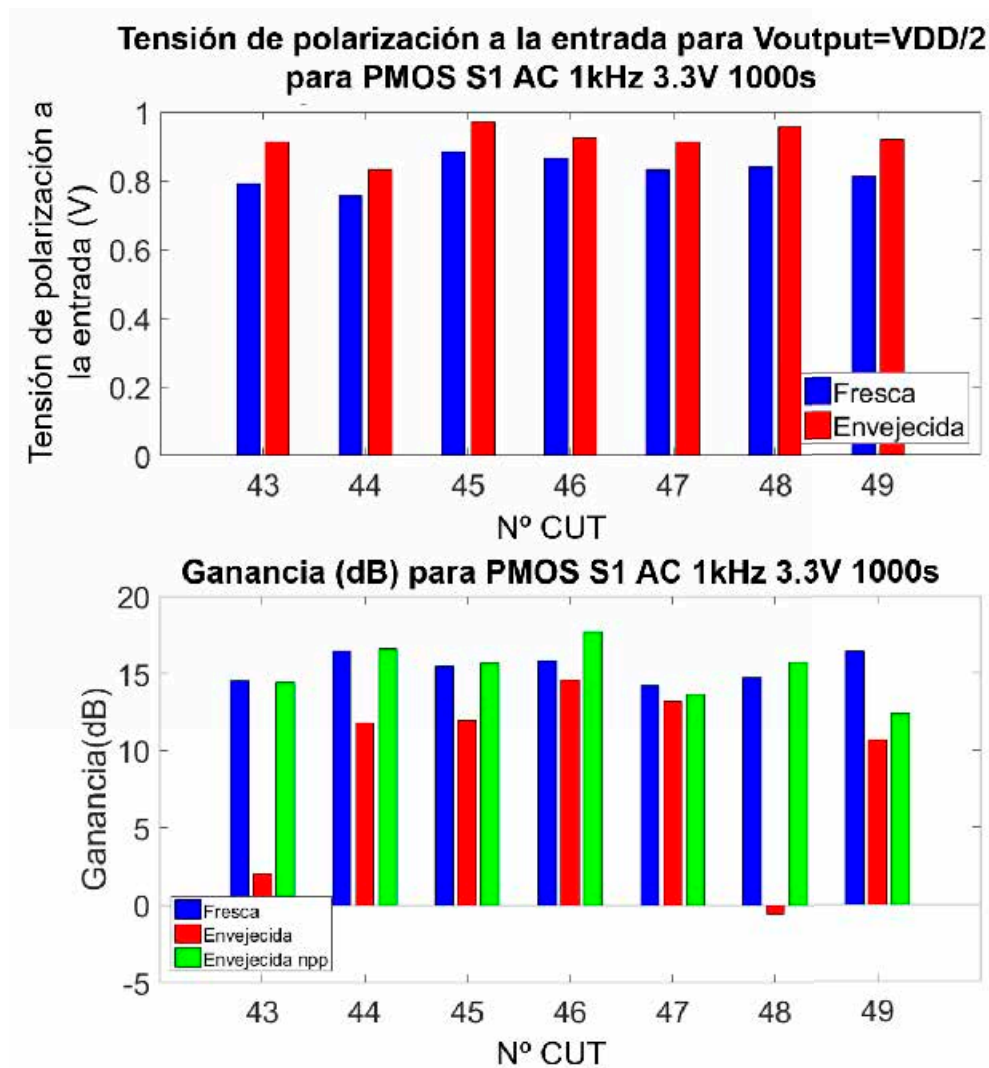


Figura 7-34. Resultados CUT a CUT cuando se ha aplicado un estrés de tipo AC a 1KHz (3.3V, 1000s) y se ha empleado como entrada el transistor PMOS de la etapa amplificadora.

ya que, en la mayoría de casos si se reajusta el punto de polarización a los CUTs envejecidos, el valor de ganancia de los CUTs envejecidos en ese nuevo punto de polarización (barras verdes) sería similar o superior al valor de la ganancia del CUT en fresco (barras azules). No obstante, en este caso el desplazamiento de las curvas de ganancia sí es lo suficientemente amplio para hacer que la ganancia del CUT envejecido en el punto de polarización en fresco presente una importante degradación, llegando a ser extrema para algunos CUTs. En definitiva, para la mayoría de casos representados se está dando la tercera situación expuesta en la Figura 7-19 (caso mostrado más a la derecha).

Profundizando un poco más sobre este hecho, se puede ver que el desplazamiento de las curvas de ganancia que se produce en todos los CUTs es de un orden similar. Sin embargo, se pueden apreciar importantes diferencias en la degradación de la ganancia, sobre todo si se tiene en cuenta la ganancia de los CUTs degradados en el punto de operación ajustado en fresco. Esto es debido a la forma de la curva de ganancia de cada CUT, ya que dependiendo de dónde se sitúe la zona de alta ganancia y los codos de la curva, el valor de esta prestación en el punto de polarización puede variar significativamente. En este sentido si la caída de la zona de alta ganancia de dicha curva

es abrupta y varía ligeramente para cada CUT, un desplazamiento del mismo orden entre la curva fresca y envejecida de distintos CUTs puede dar lugar a resultados notablemente distintos. A modo de ejemplo para ilustrar este hecho, en la Figura 7-35 se representan las curvas de ganancia fresca y envejecida para los CUTs 46 (izquierda) y 48 (derecha) que son los que presentan una menor y mayor degradación respectivamente para estas condiciones. Puede observarse cómo, efectivamente, en el caso del CUT 46, en el punto de polarización en fresco indicado como una recta vertical azul, la curva de ganancia envejecida todavía se encuentra muy cerca de la zona de alta ganancia de la curva, concretamente en el codo de la misma, por lo que la degradación en ganancia para dicho punto de polarización no es severa. Por el contrario, en el caso del CUT 48, en el punto de polarización en fresco, la curva de ganancia envejecida cruza en una zona donde el CUT no debería operar porque la ganancia del mismo se encuentra incluso por debajo de los 0dB. En definitiva, el impacto de la degradación en las prestaciones del CUT en ese punto de operación es nefasto.

En caso de que el estrés aplicado sea AC, pero con una frecuencia de 10kHz, los resultados obtenidos son los que se muestran en la Figura 7-36. La principal diferencia con respecto al caso anterior de menor frecuencia es que, en este caso, se observa que la degradación es tan severa que para todos los CUTs, la curva de ganancia envejecida proporciona menores valores de ganancia incluso si se reajusta la polarización. En otras palabras, la degradación ya no sólo produce un desplazamiento del punto de operación óptimo, sino que deforma severamente la curva de ganancia, reduciendo notablemente el valor de las prestaciones, incluso si se reajusta la etapa al mejor punto de operación posible. En definitiva, los resultados observados se corresponden de forma clara con el primer tipo de casos expuestos en la Figura 7-19. Nuevamente, los desplazamientos de las curvas de ganancia tienen un orden similar para todos los CUTs, pero los valores de la ganancia cuando los CUTs envejecidos operan en el punto de polarización ajustado en fresco, pueden ser bastante diferentes dependiendo de la forma de la curva de ganancia de cada uno de ellos. La Figura 7-37 presenta, a modo de ejemplo para estas condiciones, las curvas de ganancia en fresco y envejecida de los CUTs 43 (izquierda) y 49 (derecha). Como se muestra en la figura, el valor máximo de la ganancia envejecida con respecto a la fresca cae en un orden similar en ambos casos. Sin embargo, el ajuste concreto de la polarización en fresco afecta mucho más al CUT 49 que al CUT 43. Esto es debido a que, nuevamente, en las curvas envejecidas el punto de polarización en fresco se sitúa para el CUT 43 cercano al codo de la curva de ganancia, mientras que para el caso del CUT 49, este punto de operación se sitúa alejado de la zona de alta ganancia de la curva.

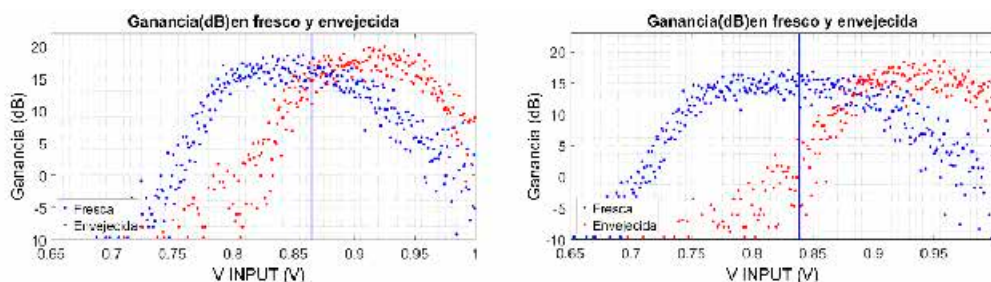


Figura 7-35. Curvas de ganancia fresca y envejecida de los CUTs 46 y 48 cuando se ha aplicado un estrés AC.

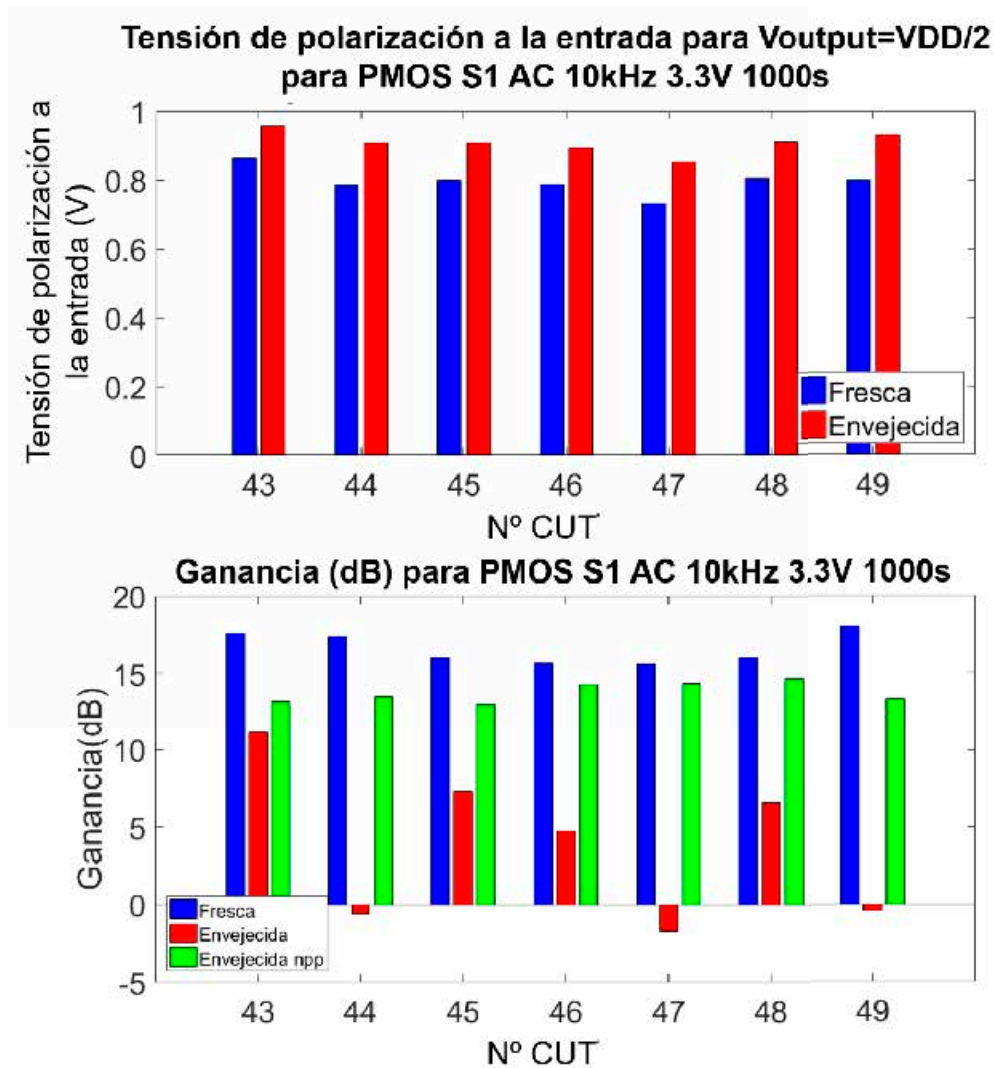


Figura 7-36. Resultados CUT a CUT cuando se ha aplicado un estrés de tipo AC a 10KHz (3.3V, 1000s) y se ha empleado como entrada el transistor PMOS de la etapa amplificadora.

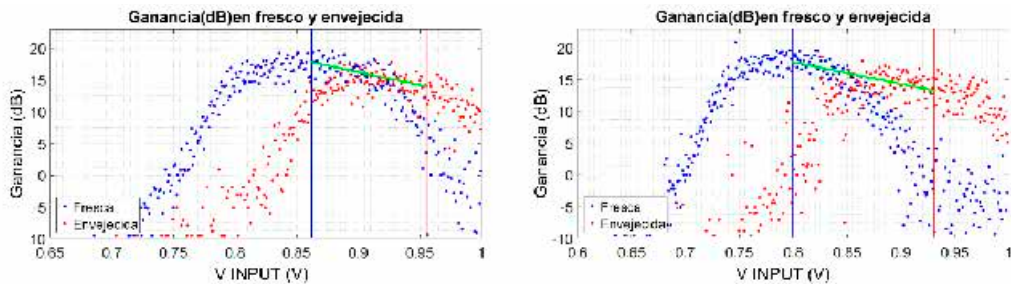


Figura 7-37. Curvas de ganancia de los CUTs 43 y 49 cuando se ha aplicado un estrés AC 10KHz.

Una vez que los resultados para el dimensionamiento S1 han sido presentados para el caso de aplicar una tensión de estrés de 3.3V y un tiempo de estrés de 1000 segundos, es necesario mostrar los resultados para el resto de condiciones de estrés y de dimensionamientos. Con el objetivo de representar los resultados de una forma global y poco engorrosa, se han incluido la Figura 7-38 y la Figura 7-39. Por un lado, la Figura 7-38 muestra la variación promedio del punto de polarización para que la tensión DC a la

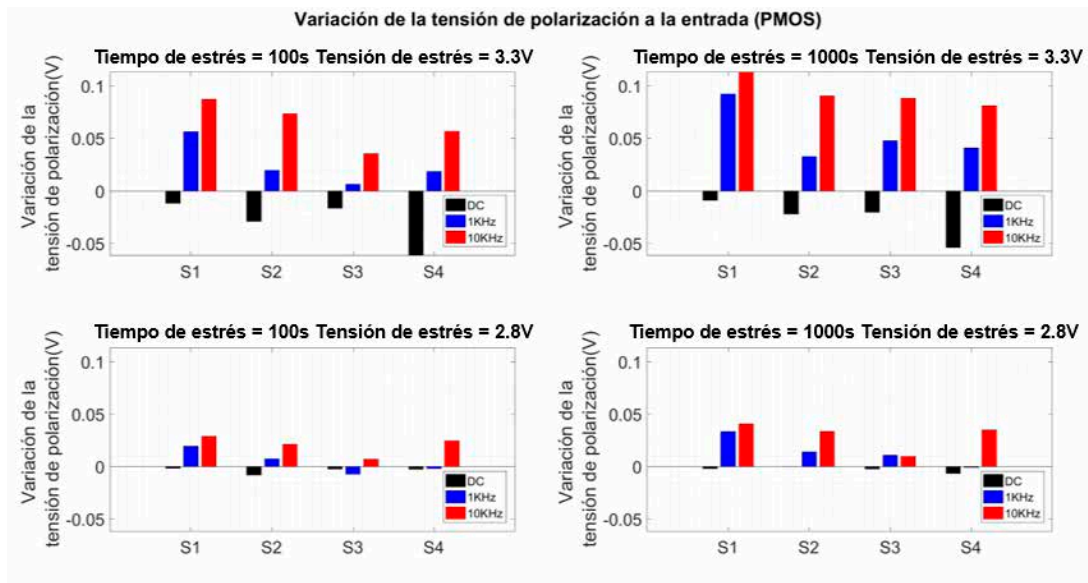


Figura 7-38. Resultados globales de la variación de la tensión de polarización a la entrada de la etapa para los diferentes dimensionamientos y condiciones de estrés.

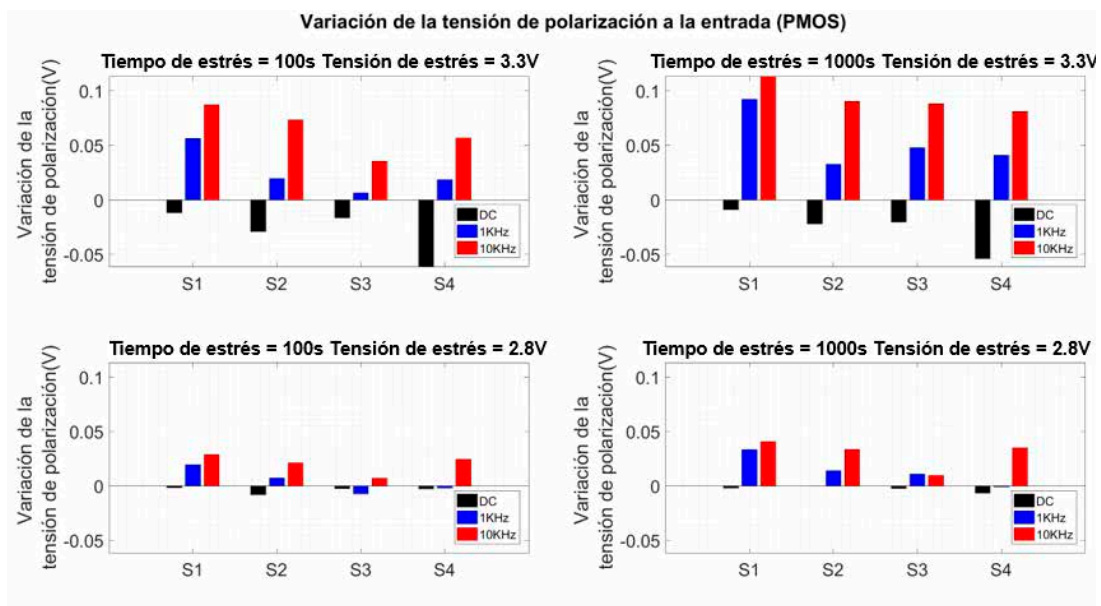


Figura 7-39. Resultados globales de la degradación de la ganancia en el punto de operación ajustado en fresco para los diferentes dimensionamientos y condiciones de estrés.

entrada de la etapa sitúe la salida a $V_{DD}/2$. Es decir, muestra la diferencia entre los puntos de polarización de la caracterización fresca y envejecida. Desde otra perspectiva, estos valores indican la magnitud y el sentido de los desplazamientos que sufren tanto la curva V_{OUTPUT}/V_{INPUT} como la curva de ganancia debido a la degradación. Cada una de las 4 gráficas de la Figura 7-38 presenta los resultados para cada uno de los dimensionamientos (S1-S4), teniendo en cuenta el tipo de estrés aplicado: DC (barra negra), AC a 1KHz (barra azul) o AC a 10KHz (barra roja). Por su parte, cada gráfica se corresponde con experimentos en los que se han empleado distintas condiciones de estrés. Las gráficas de la izquierda se corresponden con el caso en el que se ha empleado un tiempo de estrés de 100 segundos y las de la derecha con un tiempo de estrés de 1000 segundos. Las dos

gráficas de abajo representan a su vez los casos en que se ha empleado una tensión de estrés $VDD=2.8V$ mientras que en las gráficas superiores se ha aplicado un estrés en tensión de valor $VDD=3.3V$. Adicionalmente, es importante destacar que, para estos experimentos, sólo han podido ser testados para cada condición un número muy pequeño de CUTs, concretamente 7.

Respecto a los resultados obtenidos, puede apreciarse que, en general, prácticamente para todas las condiciones, el estrés DC y el estrés AC producen efectos contrarios, siendo más notorio cuanto más exigentes son las condiciones de estrés y, por tanto, existe una mayor degradación. Estos resultados muestran una vez más en esta tesis que la degradación escala en tensión de forma significativamente más agresiva que con el tiempo. También los resultados muestran una mayor degradación cuando se aumenta la frecuencia de trabajo de los CUTs, tal como era de esperar por todo lo comentado al respecto en el apartado 7.3.2.2. En cuanto a los diferentes dimensionamientos, los resultados indican que las conclusiones que pueden extraerse para todos los casos son similares a las comentadas para el dimensionamiento S1. Si bien, por los resultados obtenidos, parece que el dimensionamiento S1 es el que presenta mayor robustez al estrés DC, pero a su vez, mayor sensibilidad al estrés AC. Esto tiene sentido ya que recordando la Tabla 4-6, los transistores del dimensionamiento S1 tienen una longitud de canal mínima siendo propensos a degradarse por el efecto HCI (además, por ellos circula un valor de corriente más elevado que por los del dimensionamiento S2 por tener una mayor anchura de canal). En el caso de los dimensionamientos S2 y S3, el estrés AC también produce un daño significativamente superior al DC. En el dimensionamiento S2, la longitud de canal de ambos transistores es mínima, siendo también el CUT propenso al daño por HCI. Por su parte, el transistor PMOS del dimensionamiento S3 tiene una longitud de canal bastante mayor que los dimensionamientos S1 y S2, pero su transistor NMOS, también tiene una longitud de canal mínima. Al ser los dispositivos NMOS más sensibles al daño por HCI, el resultado final es que este CUT también resulta seriamente dañado por el estrés AC. El caso contrario lo refleja el dimensionamiento S4, al que parece que el estrés DC cuando la tensión de estrés es elevada, le puede infringir un daño similar al de los estreses AC. Como se ha comentado a lo largo del capítulo, esto se debe a que, pese a que para esta dimensión la degradación individual de ambos transistores es baja, la degradación del transistor PMOS contribuye más a la degradación que la del NMOS. La razón de por qué este dimensionamiento es más robusto a los estreses AC es que la longitud de canal del transistor NMOS es relativamente muy alta.

Por su parte, la Figura 7-39 muestra la degradación promedio de la ganancia en el punto de polarización ajustado en fresco para las diferentes condiciones de estrés y para cada uno de los dimensionamientos. La distribución de las gráficas de la figura y su contenido es análogo al de la Figura 7-38. También, muchas de las apreciaciones realizadas sobre la variación del punto de polarización son aplicables al caso de la ganancia. Nuevamente, salvo para el caso del dimensionamiento S4, para la mayor parte de CUTs y condiciones, el impacto del estrés DC es muy inferior al del estrés AC. En algunos casos, ese pequeño desplazamiento de la curva de ganancia producidos por el estrés DC puede producir una mejora en lugar de una degradación (degradación de valor negativo en las figuras). Como se ha explicado anteriormente, el impacto sobre la ganancia para cada CUT depende de cómo la curva de ganancia envejecida se ajuste al punto de polarización establecido en fresco, existiendo una importante diferencia en el impacto para distintos CUTs sometidos

a las mismas condiciones en un mismo experimento. En otras palabras, el valor de la ganancia puede ser bastante sensible a pequeñas variaciones, produciendo una elevada variabilidad en los resultados. Esta elevada variabilidad (debido al impacto conjunto de TZV+TDV para la polarización establecida) exigiría aumentar significativamente el número de CUTs testados para poder sacar conclusiones cuantitativas definitivas de los promedios de ganancia mostrados, sin embargo, cualitativamente parece que nuevamente el daño producido aumenta de forma drástica con la frecuencia y que el estrés AC afecta especialmente al dimensionamiento S1, mientras que el DC afecta principalmente al S4.

Finalmente, se muestran a continuación una serie de tablas donde se reflejan no sólo los valores promedio de los resultados obtenidos de los experimentos, sino también su desviación estándar. Esta aportación permite aumentar la perspectiva de los resultados presentados ya que, adicionalmente, aportan información de la dispersión de las distribuciones obtenidas de las medidas realizadas.

En primer lugar, la Tabla 7-8 muestra los valores de tensión de polarización en fresco y envejecida en la entrada de la etapa para el dimensionamiento S1 y todas las condiciones de estrés posible. Por su parte, la Tabla 7-9 muestra para los mismos casos los valores de ganancia en fresco, ganancia envejecida en el punto de polarización en fresco y de ganancia envejecida si se reajusta el punto de polarización. A continuación, para añadir una referencia sobre estos parámetros para el resto de dimensionamientos, la Tabla 7-10 muestra los valores de tensión de polarización y la Tabla 7-11 de ganancia, pero en este caso, para los dimensionamientos S2, S3 y S4 para la condición de estrés más exigente (tensión de estrés 3.3V y tiempo de estrés 1000 segundos).

Seguidamente, para mostrar no sólo información sobre el promedio y la dispersión de las medidas realizadas, sino también sobre los promedios y la dispersión de las variaciones del punto de operación y de las degradaciones de ganancia (CUT a CUT), se incluyen las siguientes tablas. La Tabla 7-12 y la Tabla 7-13 muestran respectivamente la variación del punto de operación y de la degradación de la ganancia para el caso del

Tabla 7-8. Tensión de polarización en fresco y envejecida a la entrada de la etapa para todos los dispositivos con dimensionamiento S1.

Tipo de estrés	Tensión de estrés	Tiempo de estrés	Tensión de polarización en fresco a la entrada		Tensión de polarización envejecida a la entrada	
			Valor medio	desv. estándar	Valor medio	desv. estándar
DC	2.8V	100s	8.07e-1	3.97e-2	8.05e-1	3.93e-2
DC	2.8V	1000s	7.95e-1	4.30e-2	7.93e-1	4.12e-2
DC	3.3V	100s	8.06e-1	5.46e-2	7.94e-1	5.20e-2
DC	3.3V	1000s	8.10e-1	5.13e-2	8.01e-1	4.67e-2
AC 1kHz	2.8V	100s	8.14e-1	4.28e-2	8.34e-1	3.84e-2
AC 1kHz	2.8V	1000s	8.19e-1	2.50e-2	8.52e-1	1.83e-2
AC 1kHz	3.3V	100s	8.16e-1	3.92e-2	8.73e-1	4.29e-2
AC 1kHz	3.3V	1000s	8.25e-1	4.43e-2	9.18e-1	4.45e-2
AC 10kHz	2.8V	100s	7.98e-1	3.69e-2	8.27e-1	4.12e-2
AC 10kHz	2.8V	1000s	8.09e-1	2.84e-2	8.50e-1	2.67e-2
AC 10kHz	3.3V	100s	8.03e-1	1.83e-2	8.90e-1	2.15e-2
AC 10kHz	3.3V	1000s	7.95e-1	3.89e-2	9.08e-1	3.20e-2

Tabla 7-9. Ganancia en fresco, envejecida en el punto de polarización en fresco y envejecida reajustando el punto de polarización para todos los dispositivos con dimensionamiento S1.

Tipo de estrés	Tensión de estrés	Tiempo de estrés	Ganancia en fresco		Ganancia envejecida en el punto de polarización en fresco		Ganancia envejecida reajustando el punto de polarización	
			Valor medio	desv. estándar	Valor medio	desv. estándar	Valor medio	desv. estándar
DC	2.8V	100s	1.45e+1	1.13e+0	1.45e+1	1.08e+0	1.45e+1	1.10e+0
DC	2.8V	1000s	1.57e+1	6.09e-1	1.57e+1	7.55e-1	1.57e+1	7.75e-1
DC	3.3V	100s	1.47e+1	8.14e-1	1.52e+1	6.42e-1	1.54e+1	6.69e-1
DC	3.3V	1000s	1.48e+1	1.04e+0	1.52e+1	5.37e-1	1.52e+1	5.45e-1
AC 1kHz	2.8V	100s	1.50e+1	8.04e-1	1.51e+1	7.96e-1	1.51e+1	8.36e-1
AC 1kHz	2.8V	1000s	1.55e+1	1.00e+0	1.46e+1	1.83e+0	1.55e+1	8.98e-1
AC 1kHz	3.3V	100s	1.49e+1	1.32e+0	1.31e+1	2.78e+0	1.49e+1	1.20e+0
AC 1kHz	3.3V	1000s	1.54e+1	9.21e-1	9.10e+0	5.89e+0	1.52e+1	1.81e+0
AC 10kHz	2.8V	100s	1.47e+1	1.08e+0	1.38e+1	1.57e+0	1.43e+1	1.49e+0
AC 10kHz	2.8V	1000s	1.54e+1	7.99e-1	1.43e+1	3.45e-1	1.43e+1	9.75e-1
AC 10kHz	3.3V	100s	1.55e+1	1.24e+0	1.19e+1	1.97e+0	1.29e+1	1.14e+0
AC 10kHz	3.3V	1000s	1.66e+1	1.00e+0	3.86e+0	4.85e+0	1.38e+1	6.59e-1

Tabla 7-10. Tensión de polarización fresca y envejecida a la entrada de la etapa para todos los dispositivos con los dimensionamientos S2-S4, tensión de estrés 3.3V y tiempo de estrés 1000 segundos.

Tipo de estrés	Tensión de polarización en fresco a la entrada		Tensión de polarización envejecida a la entrada	
	Valor medio	desv. estándar	Valor medio	desv. estándar
Dimensionamiento S2				
DC	8.64e-1	6.68e-2	8.51e-1	5.68e-2
AC 1kHz	8.90e-1	6.79e-2	9.22e-1	4.13e-2
AC 10kHz	8.86e-1	4.04e-2	9.37e-1	2.23e-2
Dimensionamiento S3				
DC	7.51e-1	1.07e-1	7.30e-1	9.32e-2
AC 1kHz	7.43e-1	3.48e-2	7.91e-1	1.88e-2
AC 10kHz	7.43e-1	5.66e-2	8.31e-1	5.44e-2
Dimensionamiento S4				
DC	9.33e-1	3.15e-2	8.99e-1	1.88e-2
AC 1kHz	8.94e-1	3.06e-2	9.32e-1	3.95e-2
AC 10kHz	8.61e-1	2.36e-2	9.46e-1	2.38e-2

dimensionamiento S1 y todas las condiciones de estrés posible. En la Tabla 7-13 el primer resultado presentado muestra la degradación de ganancia cuando ésta se mide tanto en el CUT en fresco como en el CUT envejecido, en el punto de polarización ajustado en fresco. El segundo resultado refleja la diferencia entre el valor de la ganancia envejecida cuando se ha reajustado el punto de polarización y el valor de la ganancia en fresco.

Por razones análogas a las comentadas previamente, la Tabla 7-14 y la Tabla 7-15, incluyen, respectivamente, la misma información, pero para el resto de dimensionamientos y para el caso en el que se ha aplicado un estrés de 3.3V de tensión de estrés y 1000 segundos de tiempo de estrés.

Se puede comprobar que en lo que respecta a los valores promedios de degradación, todos los resultados presentados en las tablas son coherentes con los resultados que se han ido

Tabla 7-11. Ganancia en fresco, envejecida en el punto de polarización en fresco y envejecida reajustando el punto de polarización para para todos los dispositivos con los dimensionamientos S2-S4, tensión de estrés 3.3V y tiempo de estrés 1000 segundos.

Tipo de estrés	Ganancia en fresco		Ganancia envejecida en el punto de polarización en fresco		Ganancia envejecida reajustando el punto de polarización	
	Valor medio	desv. estándar	Valor medio	desv. estándar	Valor medio	desv. estándar
Dimensionamiento S2						
DC	1.31e+1	2.40e+0	1.44e+1	1.11e+0	1.54e+1	7.16e-1
AC 1kHz	1.42e+1	1.30e+0	1.29e+1	4.64e+0	1.63e+1	1.94e+0
AC 10kHz	1.81e+1	9.71e-1	7.95e+0	7.75e+0	1.33e+1	2.61e+0
Dimensionamiento S3						
DC	1.20e+1	3.38e+0	1.30e+1	2.89e+0	1.42e+1	2.42e+0
AC 1kHz	1.39e+1	1.06e+0	1.38e+1	2.47e+0	1.66e+1	1.18e+0
AC 10kHz	1.64e+1	1.49e+0	1.04e+1	6.30e+0	1.44e+1	5.95e-1
Dimensionamiento S4						
DC	1.81e+1	2.18e+0	1.26e+1	2.98e+0	2.02e+1	1.58e+0
AC 1kHz	2.11e+1	1.32e+0	1.72e+1	3.12e+0	1.97e+1	1.23e+0
AC 10kHz	2.22e+1	1.35e+0	5.72e+0	2.41e+0	1.84e+1	1.43e+0

Tabla 7-12. Variación de la tensión de polarización a la entrada de la etapa para para todos los dispositivos con dimensionamiento S1.

Tipo de estrés	Tensión de estrés	Tiempo de estrés	Variación de la tensión de polarización	
			Valor medio	desv. estándar
DC	2.8V	100s	-1.43e-3	1.27e-3
DC	2.8V	1000s	-1.91e-3	2.85e-3
DC	3.3V	100s	-1.17e-2	6.71e-3
DC	3.3V	1000s	-8.89e-3	7.49e-3
AC 1kHz	2.8V	100s	1.93e-2	1.10e-2
AC 1kHz	2.8V	1000s	3.32e-2	1.81e-2
AC 1kHz	3.3V	100s	5.64e-2	2.54e-2
AC 1kHz	3.3V	1000s	9.22e-2	2.34e-2
AC 10kHz	2.8V	100s	2.88e-2	8.45e-3
AC 10kHz	2.8V	1000s	4.08e-2	1.11e-2
AC 10kHz	3.3V	100s	8.72e-2	1.50e-2
AC 10kHz	3.3V	1000s	1.13e-1	1.30e-2

mostrando en este apartado. Respecto a la dispersión de las medidas pueden realizarse algunos comentarios adicionales.

Por un lado, desde la Tabla 7-8 hasta la Tabla 7-11, donde se muestra tanto la caracterización en fresco como envejecida de las prestaciones, lo más relevante es ver cómo varía la dispersión de las distribuciones con la degradación. En general, puede observarse que, para todas las dimensiones, la dispersión aumenta conforme mayor es el valor promedio de las degradaciones. En general, cuando el impacto de la TDV es bajo, lo que normalmente se corresponde con los casos donde se aplica un estrés DC (y en ocasiones para un estrés AC, pero con una tensión de estrés de 2.8V), la dispersión de la distribución afectada por TZV+TDV suele mantenerse en el orden de la dispersión de la

Tabla 7-13. Degradación de ganancia para para todos los dispositivos con dimensionamiento S1.

Tipo de estrés	Tensión de estrés	Tiempo de estrés	Degradación de ganancia en el punto de polarización en fresco		Degradación de ganancia si se reajusta la polarización para la curva envejecida	
			Valor medio	desv. estándar	Valor medio	desv. estándar
DC	2.8V	100s	-2.12e-2	9.03e-2	-3.22e-2	1.17e-1
DC	2.8V	1000s	4.51e-2	1.84e-1	5.84e-2	2.06e-1
DC	3.3V	100s	-4.20e-1	4.45e-1	-7.15e-1	7.32e-1
DC	3.3V	1000s	-4.29e-1	5.83e-1	-4.46e-1	6.46e-1
AC 1kHz	2.8V	100s	-5.25e-2	5.04e-1	-1.17e-1	4.71e-1
AC 1kHz	2.8V	1000s	8.52e-1	1.04e+0	3.02e-2	5.05e-1
AC 1kHz	3.3V	100s	1.77e+0	1.96e+0	-2.13e-2	4.41e-1
AC 1kHz	3.3V	1000s	6.29e+0	5.53e+0	2.13e-1	1.86e+0
AC 10kHz	2.8V	100s	8.17e-1	9.81e-1	3.49e-1	7.42e-1
AC 10kHz	2.8V	1000s	1.04e+0	7.62e-1	1.03e+0	7.04e-1
AC 10kHz	3.3V	100s	3.57e+0	1.44e+0	2.62e+0	1.19e+0
AC 10kHz	3.3V	1000s	1.28e+1	4.99e+0	2.85e+0	1.50e+0

Tabla 7-14. Variación de la tensión de polarización a la entrada de la etapa para para todos los dispositivos con los dimensionamientos S2-S4, tensión de estrés 3.3V y tiempo de estrés 1000 segundos.

Tipo de estrés	Variación de la tensión de polarización	
	Valor medio	desv. estándar
Dimensionamiento S2		
DC	-2.20e-2	1.28e-2
AC 1kHz	3.28e-2	4.63e-2
AC 10kHz	9.06e-2	6.58e-3
Dimensionamiento S3		
DC	-2.03e-2	1.67e-2
AC 1kHz	4.78e-2	2.12e-2
AC 10kHz	8.83e-2	4.14e-2
Dimensionamiento S4		
DC	-5.40e-2	1.12e-2
AC 1kHz	4.10e-2	1.35e-2
AC 10kHz	8.11e-2	7.64e-3

distribución TZV. En estos casos, también es posible que la dispersión se reduzca levemente. Esto sería debido a que, si la degradación por TDV es baja e impacta contrarrestando el sentido de la variabilidad TZV, la distribución resultante afectada por TZV+TDV podría ser más compacta que la distribución TZV. El razonamiento es análogo a por qué cuando el impacto de la degradación TDV es bajo y en el sentido contrario a TZV, el valor de las prestaciones puede mejorar. Es decir, en definitiva, esta mejora se produciría tanto en valor promedio como en la dispersión de la distribución de las prestaciones.

Sin embargo, si la degradación TDV es relevante, lo que ocurrirá en tiempos cortos para condiciones de estrés agresivas o si se aumenta el tiempo en el que los CUTs están sometidos a condiciones de estrés más laxas, la dispersión de las distribuciones aumentará conforme mayor sea la degradación. En este sentido, la degradación de la distribución de los CUTs no sólo empeora el valor promedio de las prestaciones sino también la dispersión de la degradación. Esto es importante y se alinea con lo explicado en esta tesis.

Tabla 7-15. Degradación de ganancia para para todos los dispositivos con los dimensionamientos S2-S4, tensión de estrés 3.3V y tiempo de estrés 1000 segundos.

Tipo de estrés	Degradación de ganancia en el punto de polarización en fresco		Degradación de ganancia si se reajusta la polarización para la curva envejecida	
	Valor medio	desv. estándar	Valor medio	desv. estándar
Dimensionamiento S2				
DC	-1.31e+0	1.36e+0	-2.05e+0	2.52e+0
AC 1kHz	1.35e+0	5.15e+0	-2.09e+0	1.21e+0
AC 10kHz	9.65e+0	7.31e+0	4.72e+0	1.29e+0
Dimensionamiento S3				
DC	-9.76e-1	1.23e+0	-2.20e+0	2.81e+0
AC 1kHz	1.31e-1	2.39e+0	-2.69e+0	1.04e+0
AC 10kHz	6.01e+0	5.40e+0	1.95e+0	1.98e+0
Dimensionamiento S4				
DC	5.54e+0	2.99e+0	-2.66e+0	1.06e+0
AC 1kHz	3.92e+0	2.39e+0	1.18e+0	7.64e-1
AC 10kHz	1.58e+1	3.86e+0	3.90e+0	1.83e+0

La correcta evaluación de la dispersión de las distribuciones requiere emplear en las herramientas de simulación de fiabilidad modelos estocásticos de TDV para calcular de forma precisa la degradación. En este sentido, puede observarse como, en general, la dispersión medida en los CUTs envejecidos en casos que se corresponden con estreses AC y tensiones de estrés de 3.3V, ha aumentado con respecto a la dispersión de la distribución TZV.

Una reflexión similar puede realizarse sobre las distribuciones obtenidas de las tablas que reflejan la variabilidad de las degradaciones calculadas CUT a CUT (Tabla 7-12 - Tabla 7-15). En general la dispersión que se observa cuando los estreses aplicados son de tipo AC, donde se ha producido una degradación más notoria, son superiores a la dispersión de las distribuciones cuando el estrés aplicado es DC.

7.5. Conclusiones del capítulo.

En este capítulo se ha analizado el impacto de la variabilidad en las etapas amplificadoras simples, el último tipo de CUT evaluado de forma experimental en esta tesis. A lo largo del capítulo ha quedado de manifiesto la importancia de considerar la polarización de los circuitos de cara a la elaboración de diseños robustos por la influencia de la misma en la degradación, especialmente para aquellos que operan de forma analógica. La razón es que los circuitos pueden llegar a ser muy sensibles ante los cambios de polarización producidos por la degradación. Esto es otro argumento que refuerza la importancia de que las herramientas de simulación tengan en cuenta cómo las condiciones de estrés varían a lo largo del tiempo y, debido a la existencia del *link* bidireccional, cómo estos cambios pueden modificar la forma en que se degradan los circuitos. En cualquier caso, un aspecto clave que debe destacarse es que el análisis de fiabilidad sobre este tipo de estructuras requiere considerar de forma conjunta el impacto de la variabilidad (TZV+TDV) con la polarización.

También, en este capítulo se ha sometido a los CUTs a diferentes tipos de condiciones de estrés. Pueden destacarse las diferencias encontradas en la degradación de los mismos en función de si el tipo de estrés aplicado era DC o AC. Nuevamente, los resultados experimentales avalan que el daño producido por los estreses AC debido al efecto de HCI

es crítico, sobre todo para dispositivos de tipo NMOS. Esto ha demostrado ser así, salvo en los casos donde el valor de la longitud de canal de los dispositivos es relativamente elevado. La explicación es que los transistores NMOS, más sensibles al HCI, sufren una degradación severa cuando operan con V_{DS}/V_{SD} cercanas al rango de la señal, aunque sea durante un periodo de tiempo relativamente corto. Esto significa una vez más que el correcto seguimiento de las condiciones de estrés por las herramientas de simulación es fundamental.

Por último, el análisis realizado revela la importancia de evaluar la degradación de los circuitos no de forma determinista, sino teniendo en cuenta que se está trabajando con distribuciones. En este sentido, se debe destacar que la degradación no afecta únicamente al valor medio de las prestaciones, sino que también impacta sobre la dispersión de las mismas. Ambos aspectos deben ser evaluados en un análisis de fiabilidad, por lo que las herramientas de simulación, tal como se describió en el capítulo 3, deben aportar resultados estadísticos.

Capítulo 8: Conclusiones.

Las contribuciones realizadas en esta tesis están orientadas a estudiar y abordar el problema de la variabilidad dependiente del tiempo en el diseño de circuitos integrados, especialmente en tecnologías de escala nanométrica, considerando su efecto junto al de la variabilidad a tiempo cero. El impacto negativo que ambas fuentes de variabilidad tienen sobre las prestaciones de los circuitos hace que éstas deban ser consideradas desde las fases iniciales de diseño. Con este fin, en el trabajo presentado, se aborda el estudio del impacto conjunto de ambas fuentes de variabilidad (TZV+TDV) a nivel de modelado, simulación y caracterización experimental.

A nivel de modelado de los efectos producidos por la degradación por envejecimiento, en esta tesis, se demuestra experimentalmente la necesidad de reemplazar los modelos deterministas de TDV por modelos estocásticos que tengan en cuenta la naturaleza del *aging* en la escala nanométrica. El modelo de TDV mostrado en este trabajo, consiste en un modelo estocástico que incluye dos de los principales efectos de degradación: el Bias Temperature Instability (BTI) y el Hot Carrier Injection (HCI). El daño que estos efectos producen sobre los circuitos depende de las condiciones de estrés (tensión, temperatura, tiempo) a la que los mismos estén sometidos. El modelo tiene en cuenta tanto los mecanismos de degradación como de recuperación por la captura y emisión de carga en los defectos de la interfaz de los dispositivos y, también, el daño permanente que produce la degradación.

A nivel de simulación de fiabilidad, se han realizado diversas propuestas que se han incorporado a CASE, la herramienta de simulación de fiabilidad, para solucionar el problema computacional de la integración y evaluación conjunta del impacto de TZV y TDV cuando ambas son fuentes estocásticas, lo que permite evaluar los resultados de forma estadística. Esto es importante porque de forma similar a cómo se evalúa el *yield* paramétrico a tiempo cero debido al impacto de la TZV, puede evaluarse el *yield* a lo largo del tiempo o TDY. Para mejorar la precisión en el cálculo de la degradación, lo que requiere considerar la existencia del *link* bidireccional entre las condiciones de estrés y la degradación por envejecimiento, se emplea un algoritmo de salto adaptativo que permite la actualización precisa y eficiente (en tiempos de computo) de las condiciones de estrés. Por último, se provee también de un método para el cálculo eficiente del tiempo de vida de un circuito empleando el simulador de fiabilidad estocástico. Este método está basado en el uso de análisis de Monte-Carlo y la evaluación inteligente del TDY.

En paralelo al desarrollo del modelo y la herramienta de simulación de fiabilidad, se ha realizado un estudio empírico del impacto de la variabilidad a nivel de circuito. Para ello se ha diseñado y fabricado KIPT, un chip en el que se incluyen matrices donde se repiten diferentes bloques o circuitos básicos. Las técnicas de diseño utilizadas en KIPT permiten la selección individual de cada elemento o circuito del *array*, la polarización precisa de cada uno de sus terminales, así como la posibilidad de realizar medidas con condiciones de estrés por encima de las condiciones de operación nominal. Esto ha permitido realizar un estudio estadístico del envejecimiento para los diferentes tipos de circuitos: inversores digitales, espejos de corriente y etapas amplificadoras simples. Este estudio se ha realizado bajo diferentes esquemas de testado y condiciones de operación y ha permitido obtener las siguientes conclusiones:

- Se han podido confirmar experimentalmente los principios o axiomas empleados en el desarrollo de la herramienta CASE como, por ejemplo, el impacto conjunto de TZV y TDV, la estocasticidad de las prestaciones medidas tras la degradación, o el impacto del *link* bidireccional.
- Para cada uno de los circuitos, se ha demostrado la relevancia de los dimensionamientos y del tipo de transistores empleados en el diseño de los mismos y como esto se relaciona con la degradación en función de las condiciones de estrés aplicadas. En estreses AC, los transistores PMOS que son más sensibles al BTI, alternaran períodos de degradación y recuperación. Los transistores NMOS, más sensibles al HCI, sufren una degradación severa cuando operan con V_{DS}/V_{SD} cercanas al rango de la señal, aunque sea durante un periodo de tiempo relativamente corto (dependerá de la forma de onda de la señal AC). Asociado a esto, se demuestra que el daño aumenta con la frecuencia.
- Se ha comprobado que una parte importante del daño se recupera y la ventana temporal de esta recuperación es amplia. Los efectos de recuperación tienen mayor ocurrencia cuando puede asociarse la degradación ocurrida al efecto de BTI. Asimismo, si las condiciones de estrés son severas, sobre todo en términos de la caída de tensión V_{DS}/V_{SD} de los dispositivos, se ha comprobado que una parte importante del daño permanece después de dejar a los circuitos en reposo durante una semana. Este daño permanente aparece en mayor medida y magnitud cuando la degradación puede asociarse al efecto de HCI.

Como conclusiones finales destacar, por un lado, las importantes diferencias en los resultados del estudio empírico al emplear distintos esquemas y condiciones de estrés sobre los circuitos, y como éstos afectan a la degradación y al cambio producido en las condiciones de estrés. Esto confirma la necesidad de que las herramientas de simulación de fiabilidad sean capaces de considerar de forma precisa y eficiente, la evolución de las condiciones de estrés (considerando la presencia del *link* bidireccional). Por otro lado, las degradaciones observadas son claramente estocásticas. La degradación del circuito no afecta únicamente al valor medio de las prestaciones, sino que también impacta sobre la dispersión de éstas. El aumento de la dispersión de las distribuciones tras la degradación, confirma la necesidad de que las herramientas de simulación de fiabilidad evalúen la degradación de los circuitos con una aproximación estocástica, lo que implica definitivamente reemplazar los modelos deterministas de TDV por modelos estocásticos e integrar a los mismos en las herramientas de simulación de fiabilidad.

Aunque esta tesis representa un avance importante en la investigación del problema de la variabilidad dependiente del tiempo a nivel de circuito, aún quedan puntos por resolver en el futuro. En los futuros estudios empíricos, debe aumentarse el número de medidas realizadas sobre algunos tipos de circuitos y condiciones, para aumentar la significancia estadística de la información. También es necesaria la evaluación de nuevas condiciones de estrés, siendo especialmente importante caracterizar la dependencia de la degradación con la temperatura. En el modelo de TDV debe completarse la dependencia de la degradación con las caídas de tensión V_{SB}/V_{BS} . También, la variación de la movilidad por el impacto de la TDV, debe caracterizarse e integrarse en el simulador de fiabilidad para mejorar la precisión de las simulaciones. Por otro lado, se puede avanzar en la integración del simulador de fiabilidad en herramientas o metodologías más complejas, lo que permitirá abordar eficientemente el diseño de circuitos complejos y sistemas que sean robustos en el tiempo.

Bibliografía.

- [1] J. Martin-Martinez *et al.*, “Probabilistic defect occupancy model for NBTI,” *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 920–925, 2011.
- [2] N. Ayala, J. Martin-Martinez, R. Rodriguez, M. Nafria, and X. Aymerich, “Unified characterization of RTN and BTI for circuit performance and variability simulation,” *Eur. Solid-State Device Res. Conf.*, no. c, pp. 266–269, 2012.
- [3] B. Kaczer, P. J. Roussel, T. Grasser, and G. Groeseneken, “Statistics of multiple trapped charges in the gate oxide of deeply scaled MOSFET devices application to NBTI,” *IEEE Electron Device Lett.*, vol. 31, no. 5, pp. 411–413, 2010.
- [4] M. Conti, P. Grippa, S. Orcioni, and C. Turchetti, “Parametric yield formulation of MOS IC’s affected by mismatch effect,” *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 18, no. 5, pp. 582–596, 1999.
- [5] A. A. Mutlu and M. Rahman, “Statistical methods for the estimation of process variation effects on circuit operation,” *IEEE Trans. Electron. Packag. Manuf.*, vol. 28, no. 4, pp. 364–375, 2005.
- [6] R. R. Rao, A. Devgan, S. Member, D. Blaauw, and D. Sylvester, “Analytical Yield Prediction Considering Leakage/Performance Correlation,” *Comput. Des.*, vol. 25, no. 9, pp. 1685–1695, 2006.
- [7] G. Cijan, T. Tuma, and A. Burmen, “Modeling and simulation of MOS transistor mismatch,” *Proc. 6th Eurosim*, no. December, 2007, [Online]. Available: http://pdf.aminer.org/000/282/116/measurement_and_modeling_of_mos_transistor_current_mismatch_in_analog.pdf.
- [8] W. Zhao *et al.*, “Rigorous extraction of process variations for 65-nm CMOS design,” *IEEE Trans. Semicond. Manuf.*, vol. 22, no. 1, pp. 196–203, 2009.
- [9] S. R. Nassif, “Technology modeling and characterization beyond the 45nm node,” in *Proceedings of the Asia and South Pacific Design Automation Conference, ASP-DAC*, 2008, p. 219.
- [10] S. K. Saha, “Compact MOSFET modeling for process variability-aware VLSI circuit design,” *IEEE Access*, vol. 2, pp. 104–115, 2014.
- [11] Y. Miura and Y. Matukura, “Investigation of Silicon-Silicon Dioxide Interface Using MOS Structure,” *Japanese J. Appl. Physics, Part 1 Regul. Pap. Short Notes Rev. Pap.*, vol. 5, no. 2, p. 180, 1966.
- [12] P. E. Cottrell, R. R. Troutman, and T. H. Ning, “Hot-Electron Emission in N-Channel IGFET’s,” *IEEE J. Solid-State Circuits*, vol. 14, no. 2, pp. 442–455, 1979.
- [13] E. Takeda, N. Suzuki, and T. Hagiwara, “Device Performance Degradation Due to Hot-Carrier Injection at Energies Below The Si-SiO₂ Energy Barrier,” *Tech. Dig. - Int. Electron Devices Meet.*, pp. 396–399, 1983.
- [14] S. Tam, P. K. Ko, and C. Hu, “Lucky-Electron Model of Channel Hot-Electron Injection in MOSFET’s,” *IEEE Trans. Electron Devices*, vol. 31, no. 9, pp. 1116–1125, 1984.
- [15] S. Ogawa and N. Shiono, “Generalized diffusion-reaction model for the low-field

- charge-buildup instability at the Si-SiO₂ interface,” *Phys. Rev. B*, vol. 51, pp. 4218–4230, 1995.
- [16] A. Acovic, G. La Rosa, and Y. C. Sun, “A review of hot-carrier degradation mechanisms in MOSFETs,” *Microelectron. Reliab.*, vol. 36, no. 7-8 SPEC. ISS., pp. 845–869, 1996.
- [17] J. H. Stathis, “Percolation models for gate oxide breakdown,” *J. Appl. Phys.*, vol. 86, no. 10, pp. 5757–5766, 1999.
- [18] D. J. DiMaria, “Defect generation in field-effect transistors under channel-hot-electron stress,” *J. Appl. Phys.*, vol. 87, no. 12, pp. 8707–8715, 2000.
- [19] J. H. Stathis and S. Zafar, “The negative bias temperature instability in MOS devices: A review,” *Microelectron. Reliab.*, vol. 46, no. 2–4, pp. 270–286, 2006.
- [20] B. Kaczer *et al.*, “Ubiquitous relaxation in BTI stressing—new evaluation and insights,” in *International Reliability Physics Symposium*, 2008, pp. 20–27.
- [21] G. Gielen *et al.*, “Emerging yield and reliability challenges in nanometer CMOS technologies,” *Proc. -Design, Autom. Test Eur. DATE*, pp. 1322–1327, 2008.
- [22] E. Maricau, P. De Wit, and G. Gielen, “An analytical model for hot carrier degradation in nanoscale CMOS suitable for the simulation of degradation in analog IC applications,” *Microelectron. Reliab.*, vol. 48, no. 8–9, pp. 1576–1580, 2008.
- [23] S. Pae *et al.*, “Reliability characterization of 32nm high-K and metal-gate logic transistor technology,” *IEEE Int. Reliab. Phys. Symp. Proc.*, no. 11, pp. 287–292, 2010.
- [24] T. Grasser *et al.*, “Characterization and modeling of charge trapping: From single defects to devices,” *ICICDT 2014 - IEEE Int. Conf. Integr. Circuit Des. Technol.*, 2014.
- [25] J. Diaz-Fortuny *et al.*, “A versatile CMOS transistor array IC for the statistical characterization of time-zero variability, RTN, BTI, and HCI,” *IEEE J. Solid-State Circuits*, vol. 54, no. 2, pp. 476–488, 2019.
- [26] J. Diaz-Fortuny *et al.*, “Flexible Setup for the Measurement of CMOS Time-Dependent Variability with Array-Based Integrated Circuits,” *IEEE Trans. Instrum. Meas.*, vol. 69, no. 3, pp. 853–864, 2020.
- [27] J. Diaz-Fortuny *et al.*, “A Model Parameter Extraction Methodology Including Time-Dependent Variability for Circuit Reliability Simulation,” *SMACD 2018 - 15th Int. Conf. Synth. Model. Anal. Simul. Methods Appl. to Circuit Des.*, pp. 53–56, 2018.
- [28] P. Saraza-Canflanca *et al.*, “Automated Massive RTN Characterization Using a Transistor Array Chip,” *SMACD 2018 - 15th Int. Conf. Synth. Model. Anal. Simul. Methods Appl. to Circuit Des.*, pp. 29–32, 2018.
- [29] P. Saraza-Canflanca *et al.*, “New method for the automated massive characterization of Bias Temperature Instability in CMOS transistors,” *Proc. 2019 Des. Autom. Test Eur. Conf. Exhib. DATE 2019*, pp. 150–155, 2019.
- [30] G. Pedreira *et al.*, “A New Time Efficient Methodology for the Massive

- Characterization of RTN in CMOS Devices,” *IEEE Int. Reliab. Phys. Symp. Proc.*, vol. 2019-March, pp. 1–5, 2019.
- [31] A. Toro-Frias *et al.*, “Generation of Lifetime-Aware Pareto-Optimal Fronts Using a Stochastic Reliability Simulator,” *2019 Des. Autom. Test Eur. Conf. Exhib.*, pp. 78–83, 2019.
- [32] P. Saraza-Canflanca *et al.*, “Design Considerations of an SRAM Array for the Statistical Validation of Time-Dependent Variability Models,” *SMACD 2018 - 15th Int. Conf. Synth. Model. Anal. Simul. Methods Appl. to Circuit Des.*, pp. 73–76, 2018.
- [33] J. Nuñez *et al.*, “Experimental Characterization of Time-Dependent Variability in Ring Oscillators,” *SMACD 2019 - 16th Int. Conf. Synth. Model. Anal. Simul. Methods Appl. to Circuit Des. Proc.*, pp. 229–232, 2019.
- [34] P. Saraza-Canflanca, H. Carrasco-Lopez, P. Brox, R. Castro-Lopez, E. Roca, and F. V. Fernandez, “Improving the reliability of SRAM-based PUFs in the presence of aging,” *Proc. - 2020 15th IEEE Int. Conf. Des. Technol. Integr. Syst. Nanoscale Era, DTIS 2020*, 2020.
- [35] H. Yaegashi, K. Oyama, A. Hara, S. Natori, and S. Yamauchi, “Overview: continuous evolution on double-patterning process,” *Adv. Resist Mater. Process. Technol. XXIX*, vol. 8325, p. 83250B, 2012.
- [36] L.-T. Pang, “Measurements and Analysis of Process Variability in 90 nm CMOS,” *Solid-State Circuits*, vol. 44, no. 5, pp. 1655–1663, 2009.
- [37] G. Cijan, T. Tuma, and A. Burmen, “Modeling and simulation of MOS transistor mismatch,” *Proc. 6th Eurosim*, no. January 2007, 2007, [Online]. Available: http://pdf.aminer.org/000/282/116/measurement_and_modeling_of_mos_transistor_current_mismatch_in_analog.pdf.
- [38] L. L. Lewyn, T. Ytterdal, C. Wulff, and K. Martin, “Analog circuit design in nanoscale CMOS technologies,” *Proc. IEEE*, vol. 97, no. 10, pp. 1687–1714, 2009.
- [39] A. R. Brown, G. Roy, and A. Asenov, “Poly-Si-gate-related variability in decananometer MOSFETs with conventional architecture,” *IEEE Trans. Electron Devices*, vol. 54, no. 11, pp. 3056–3063, 2007.
- [40] K. J. Kuhn, “Reducing variation in advanced logic technologies: Approaches to process and design for manufacturability of nanoscale CMOS,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 471–474, 2007.
- [41] K. Takeuchi *et al.*, “Understanding random threshold voltage fluctuation by comparing multiple fabs and technologies,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 467–470, 2007.
- [42] W. Lii, “Modeling of Delay Variability Due to Random Dopant Fluctuation in nano-scale CMOS Inverter,” in *International Conference on Information Science, Electronics and Electrical Engineering*, 2014, pp. 168–171.
- [43] A. Gnudi, S. Reggiani, E. Gnani, and G. Baccarani, “Analysis of threshold voltage variability due to random dopant fluctuations in junctionless FETs,” *IEEE Electron Device Lett.*, vol. 33, no. 3, pp. 336–338, 2012.

- [44] H. S. Wong and Y. Taur, "Three-dimensional 'atomistic' simulation of discrete random dopant distribution effects in sub-0.1 μm MOSFET's," *Tech. Dig. - Int. Electron Devices Meet.*, no. 1, pp. 705–708, 1993.
- [45] A. Afzalian and D. Flandre, "Discrete random dopant fluctuation impact on nanoscale dopant-segregated schottky-barrier nanowires," *IEEE Electron Device Lett.*, vol. 33, no. 9, pp. 1228–1230, 2012.
- [46] A. Asenov, "3D Statistical Simulation of Intrinsic Fluctuations in Decanano MOSFETs Introduced by Discrete Dopants, Oxide Thickness Fluctuations and LER," in *International Conference on Simulation of Semiconductor Processes and Devices*, 2001, no. January 2001, pp. 162–169.
- [47] Y. Ye, F. Liu, M. Chen, S. Nassif, and Y. Cao, "Statistical modeling and simulation of threshold variation under random dopant fluctuations and line-edge roughness," *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 19, no. 6, pp. 987–996, 2011.
- [48] S. M. Goodnick, D. K. Ferry, C. W. Wilmsen, Z. Liliental, D. Fathy, and O. L. Krivanek, "Surface roughness at the Si(100)-SiO₂ interface," *Phys. Rev. B*, vol. 32, no. 12, pp. 8171–8186, 1985.
- [49] S. M. Goodnick *et al.*, "SURFACE ROUGHNESS SCATTERING AT THE Si-SiO₂ INTERFACE.," *J. Vac. Sci. Technol. B Microelectron. Nanom. Struct.*, vol. 1, no. 3, pp. 803–808, 1983.
- [50] A. Asenov, S. Kaya, and J. H. Davies, "Intrinsic threshold voltage fluctuations in decanano MOSFETs due to local oxide thickness variations," *IEEE Trans. Electron Devices*, vol. 49, no. 1, pp. 112–119, 2002.
- [51] A. T. Putra, T. Tsunomura, A. Nishida, S. Kamohara, K. Takeuchi, and T. Hiramoto, "Impact of atomic oxide roughness and local gate depletion on V_{th} variation in MOSFETs," 2008.
- [52] A. R. Brown, N. M. Idris, J. R. Watling, and A. Asenov, "Impact of metal gate granularity on threshold voltage variability: A full-scale three-dimensional statistical simulation study," *IEEE Electron Device Lett.*, vol. 31, no. 11, pp. 1199–1201, 2010.
- [53] M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, "Matching Properties of MOS Transistors," *IEEE J. Solid-State Circuits*, vol. 24, no. 5, pp. 1433–1439, 1989.
- [54] F. Hong, B. Cheng, S. Roy, and D. Cumming, "An analytical mismatch model of nano-CMOS device under impact of intrinsic device variability," *Proc. - IEEE Int. Symp. Circuits Syst.*, no. Mc, pp. 2257–2260, 2011.
- [55] C. Forzan and D. Pandini, "Statistical static timing analysis: A survey," *Integr. VLSI J.*, vol. 42, no. 3, pp. 409–435, 2009.
- [56] T. Karnik, P. Hazucha, and J. Patel, "Characterization of soft errors caused by single event upsets in CMOS processes," *IEEE Trans. Dependable Secur. Comput.*, vol. 1, no. 2, pp. 128–143, 2004.
- [57] K. Kim and A. A. Iliadis, "Latch-up effects in CMOS inverters due to high power pulsed electromagnetic interference," *Solid. State. Electron.*, vol. 52, no. 10, pp. 1589–1593, 2008.

- [58] A. Maheshwari, W. Burleson, and R. Tessier, "Trading Off Transient Fault Tolerance and Power Consumption in Deep Submicron (DSM) VLSI Circuits," *IEEE Trans. Very Large Scale Integr. Syst.*, vol. 12, no. 3, pp. 299–311, 2004.
- [59] A. Toro, "Diseño de circuitos analógicos y de señal mixta con consideraciones de diseño físico y variabilidad," Universidad de Sevilla, 2017.
- [60] E. Afacan, "Analog circuit design automation against process variations and aging phenomena," Bogaziçi University, 2011.
- [61] E. Maricau and G. Gielen, *Analog IC reliability in nanometer CMOS*. Springer, New York, NY, 2013.
- [62] A. Toro-Frias *et al.*, "Reliability simulation for analog ICs: Goals, solutions, and challenges," *Integr. VLSI J.*, vol. 55, pp. 341–348, 2016, [Online]. Available: <http://dx.doi.org/10.1016/j.vlsi.2016.05.002>.
- [63] E. Afacan, G. Berkol, G. Dundar, A. E. Pusane, and F. Baskaya, "A lifetime-aware analog circuit sizing tool," *Integration*, vol. 55, pp. 349–356, 2016.
- [64] A. Toro-Frias *et al.*, "Including a stochastic model of aging in a reliability simulation flow," *SMACD 2017 - 14th Int. Conf. Synth. Model. Anal. Simul. Methods Appl. to Circuit Des.*, pp. 3–6, 2017.
- [65] J. Martin Martínez, "Modelado de los efectos de la ruptura dieléctrica, BTI y variabilidad en MOSFETs ultraescalados para la simulación de circuitos.," Universitat Autònoma de Barcelona, 2009.
- [66] H. Cai, "Reliability of Analog-to-Digital Sigma-Delta Converters," Télécom ParisTech, 2015.
- [67] J. R. Black, "Electromigration—A Brief Survey and Some Recent Results," *IEEE Trans. Electron Devices*, vol. 16, no. 4, pp. 338–347, 1969.
- [68] O. Kraft, J. E. Sanchez, M. Bauer, and E. Arzt, "Quantitative analysis of electromigration damage in Al-based conductor lines," *J. Mater. Res.*, vol. 12, no. 8, pp. 2027–2037, 1997.
- [69] K. N. Tu, "Recent advances on electromigration in very-large-scale-integration of interconnects," *J. Appl. Phys.*, vol. 94, no. 9, pp. 5451–5473, 2003.
- [70] A. H. Fischer, A. Abel, M. Lepper, A. E. Zitzelsberger, and A. Von Glasow, "Modeling bimodal electromigration failure distributions," *Microelectron. Reliab.*, vol. 41, no. 3, pp. 445–453, 2001.
- [71] S. Zafar, A. Kumar, E. Gusev, and E. Cartier, "Threshold voltage instabilities in high- κ gate dielectric stacks," *IEEE Trans. Device Mater. Reliab.*, vol. 5, no. 1, pp. 45–64, 2005.
- [72] S. Zafar *et al.*, "A comparative study of NBTI and PBTI (Charge Trapping) in SiO₂/HfO₂ stacks with FUSI, TiN, Re gates," *Dig. Tech. Pap. - Symp. VLSI Technol.*, vol. 9298, no. 2005, pp. 23–25, 2006.
- [73] A. W. Strong *et al.*, *Reliability Wearout Mechanisms in Advanced CMOS Technologies*. 2009.
- [74] M. A. Alam, "A Critical Examination of the Mechanics of Dynamic NBTI for

- PMOSFETs,” *Tech. Dig. - Int. Electron Devices Meet.*, pp. 345–348, 2003.
- [75] D. Varghese, D. Saha, S. Mahapatra, K. Ahmed, F. Nouri, and M. Alam, “On the dispersive versus arrhenius temperature activation of NBTI time evolution in plasma nitrided gate oxides: Measurements, theory, and implications,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 2005, no. D, pp. 683–687, 2005.
- [76] A. T. Krishnan *et al.*, “Material dependence of hydrogen diffusion: Implications for NBTI degradation,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, vol. 2005, no. c, pp. 688–691, 2005.
- [77] R. Vattikonda, W. Wang, and Y. Cao, “Modeling and minimization of PMOS NBTI effect for robust nanometer design,” *Proc. - Des. Autom. Conf.*, pp. 1047–1052, 2006.
- [78] D. S. Ang and S. Wang, “Recovery of the NBTI-stressed ultrathin gate p-MOSFET: The role of deep-level hole traps,” *IEEE Electron Device Lett.*, vol. 27, no. 11, pp. 914–916, 2006.
- [79] H. Reisinger, T. Grasser, K. Ermisch, H. Nielen, W. Gustin, and C. Schlunder, “Understanding and modeling AC BTI,” *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 597–604, 2011.
- [80] D. K. Schroder and J. A. Babcock, “Negative bias temperature instability: Road to cross in deep submicron silicon semiconductor manufacturing,” *J. Appl. Phys.*, vol. 94, no. 1, pp. 1–18, 2003.
- [81] T. Grasser and B. Kaczer, “Evidence that two tightly coupled mechanisms are responsible for negative bias temperature instability in oxynitride MOSFETs,” *IEEE Trans. Electron Devices*, vol. 56, no. 5, pp. 1056–1062, 2009.
- [82] M. A. Alam and S. Mahapatra, “A comprehensive model of PMOS NBTI degradation,” *Microelectron. Reliab.*, vol. 45, no. 1, pp. 71–81, 2005.
- [83] M. A. Alam, H. Kufluoglu, D. Varghese, and S. Mahapatra, “A comprehensive model for PMOS NBTI degradation: Recent progress,” *Microelectron. Reliab.*, vol. 47, no. 6, pp. 853–862, 2007.
- [84] V. Huard, M. Denais, and C. Parthasarathy, “NBTI degradation: From physical mechanisms to modelling,” *Microelectron. Reliab.*, vol. 46, no. 1, pp. 1–23, 2006.
- [85] B. Kaczer *et al.*, “Recent trends in bias temperature instability,” *J. Vac. Sci. Technol. B, Nanotechnol. Microelectron. Mater. Process. Meas. Phenom.*, vol. 29, no. 1, p. 01AB01, 2011.
- [86] F. Crupi, C. Pace, G. Cocorullo, G. Groeseneken, M. Aoulaiche, and M. Houssa, “Positive bias temperature instability in nMOSFETs with ultra-thin Hf-silicate gate dielectrics,” *Microelectron. Eng.*, vol. 80, pp. 130–133, 2005.
- [87] D. P. Ioannou, S. Mittl, and G. La Rosa, “Positive bias temperature instability effects in nMOSFETs with HfO₂/TiN gate stacks,” *IEEE Trans. Device Mater. Reliab.*, vol. 9, no. 2, pp. 128–134, 2009.
- [88] R. Degraeve *et al.*, “Review of reliability issues in high-k/metal gate stacks,” *Proc. Int. Symp. Phys. Fail. Anal. Integr. Circuits, IPFA*, no. 1, 2008.
- [89] K. Chang, F. M. Chang, and J. Ruzyllo, “Charge trapping in HfO₂ and HfSiO₄

- MOS gate dielectrics,” *Solid. State. Electron.*, vol. 50, no. 9–10, pp. 1670–1672, 2006.
- [90] K. Zhao, J. H. Stathis, B. P. Linder, E. Cartier, and A. Kerber, “PBTI under dynamic stress: From a single defect point of view,” *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 372–380, 2011.
- [91] R. Fernández *et al.*, “AC NBTI studied in the 1 Hz - 2 GHz range on dedicated on-chip CMOS circuits,” *Tech. Dig. - Int. Electron Devices Meet. IEDM*, pp. 0–3, 2006.
- [92] T. Grasser *et al.*, “The ‘permanent’ component of NBTI: Composition and annealing,” *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 605–613, 2011.
- [93] A. Goetzberger, N. J. Murray Hill, and H. E. Nigh, “Surface charge after annealing of al-sio₂-si structures under bias,” in *Int. J. Electronics*, 1971, vol. 31, pp. 629–635.
- [94] S. Chakravarthi, A. T. Krishnan, V. Reddy, C. F. Machala, and S. Krishnan, “A comprehensive framework for predictive modeling of negative bias temperature instability,” *IEEE Int. Reliab. Phys. Symp. Proc.*, vol. 2004-Janua, no. January, pp. 273–282, 2004.
- [95] M. Ershov *et al.*, “Dynamic recovery of negative bias temperature instability in p-type metal-oxide-semiconductor field-effect transistors,” *Appl. Phys. Lett.*, vol. 83, no. 8, pp. 1647–1649, 2003.
- [96] B. Kaczer, T. Grasser, R. Fernandez, and G. Groeseneken, “Toward Understanding the Wide Distribution of Time Scales in Negative Bias Temperature Instability,” vol. 6, no. 3, pp. 265–281, 2007.
- [97] V. Huard, “Two independent components modeling for Negative Bias Temperature Instability,” *IEEE Int. Reliab. Phys. Symp. Proc.*, vol. 33, no. 0, pp. 33–42, 2010.
- [98] T. Aichinger, M. Nelhiebel, S. Decker, and T. Grasser, “Energetic distribution of oxide traps created under negative bias temperature stress and their relation to hydrogen,” *Appl. Phys. Lett.*, vol. 96, no. 13, 2010.
- [99] B. Kaczer, V. Arkhipov, R. Degraeve, N. Collaert, G. Groeseneken, and M. Goodwin, “Disorder-controlled-kinetics model for negative bias temperature instability and its experimental verification,” *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 381–387, 2005.
- [100] T. Grasser, W. Göös, and B. Kaczer, “Dispersive transport and negative bias temperature instability: Boundary conditions, initial conditions, and transport models,” *IEEE Trans. Device Mater. Reliab.*, vol. 8, no. 1, pp. 79–96, 2008.
- [101] T. Grasser *et al.*, “Simultaneous Extraction of Recoverable and Permanent Components Contributing to Bias-Temperature Instability,” 2007.
- [102] T. Grasser and B. Kaczer, “Negative bias temperature instability: Recoverable versus permanent degradation,” *ESSDERC 2007 - Proc. 37th Eur. Solid-State Device Res. Conf.*, vol. 2007, pp. 127–130, 2007.
- [103] D. Ielmini, M. Manigrasso, F. Gattel, and G. Valentini, “A unified model for

- permanent and recoverable NBTI based on hole trapping and structure relaxation,” *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 26–32, 2009.
- [104] E. Maricau and G. Gielen, “Computer-aided analog circuit design for reliability in nanometer CMOS,” *IEEE J. Emerg. Sel. Top. Circuits Syst.*, vol. 1, no. 1, pp. 50–58, 2011.
- [105] W. Wang, V. Reddy, A. T. Krishnan, R. Vattikonda, S. Krishnan, and Y. Cao, “Compact modeling and simulation of circuit reliability for 65-nm CMOS technology,” *IEEE Trans. Device Mater. Reliab.*, vol. 7, no. 4, pp. 509–517, 2007.
- [106] B. Kaczer *et al.*, “Atomistic approach to variability of bias-temperature instability in circuit simulations,” *IEEE Int. Reliab. Phys. Symp. Proc.*, no. c, pp. 915–919, 2011.
- [107] H. Reisinger, T. Grasser, W. Gustin, and C. Schlünder, “The statistical analysis of individual defects constituting NBTI and its implications for modeling DC- and AC-stress,” *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 7–15, 2010.
- [108] G. Gielen, E. Maricau, and P. De Wit, “Analog circuit reliability in sub-32 nanometer CMOS: Analysis and mitigation,” *Proc. -Design, Autom. Test Eur. DATE*, pp. 1474–1479, 2011.
- [109] G. Groeseneken, R. Degraeve, B. Kaczer, and P. Roussel, “Recent trends in reliability assessment of advanced CMOS technologies,” *IEEE Int. Conf. Microelectron. Test Struct.*, vol. 18, no. April, pp. 81–88, 2005.
- [110] I. Crupi, “Hot carrier effects in n-MOSFETs with SiO₂/HfO₂/HfSiO gate stack and TaN metal gate,” *Microelectron. Eng.*, vol. 86, no. 1, pp. 1–3, 2009, [Online]. Available: <http://dx.doi.org/10.1016/j.mee.2008.08.009>.
- [111] E. Amat *et al.*, “Channel Hot-Carrier degradation under static stress in short channel transistors with high-k/metal gate stacks,” in *Ultimate Integration of Silicon, 2008. ULIS*, pp. 103–106.
- [112] M. M. Lunenburg, “MOSFET hot-carrier degradation - Failure mechanisms and models for reliability circuit simulation,” University of Twente, 1996.
- [113] C. R. Parthasarathy *et al.*, “Designing in reliability in advanced CMOS technologies,” *Microelectron. Reliab.*, vol. 46, no. 9–11, pp. 1464–1471, 2006.
- [114] F. R. Chouard, “Device Aging in Analog Circuits for Nanoelectronic CMOS Technologies,” Technical University of Munich, 2012.
- [115] P. K. Ko, C. Hu, and S. Tam, “Lucky-Electron Model of Channel Hot-Electron Injection in MOSFET’s,” *IEEE Trans. Electron Devices*, vol. 31, no. 9, pp. 1116–1125, 1984.
- [116] C. Hu, S. C. Tam, F. C. Hsu, P. K. Ko, T. Y. Chan, and K. W. Terrill, “Hot-Electron-Induced MOSFET Degradation—Model, Monitor, and Improvement,” *IEEE Trans. Electron Devices*, vol. 32, no. 2, pp. 375–385, 1985.
- [117] S. E. Rauch, G. La Rosa, and F. J. Guarin, “Role of e-e scattering in the enhancement of channel hot carrier degradation of deep sub-micron NMOSFETs at high VGS conditions,” *IEEE Int. Reliab. Phys. Symp. Proc.*, vol. 2001-Janua, pp. 399–405, 2001.

- [118] E. Amat *et al.*, “Gate voltage influence on the channel hot-carrier degradation of high- κ -Based Devices,” *IEEE Trans. Device Mater. Reliab.*, vol. 11, no. 1, pp. 92–97, 2011.
- [119] Y. Wang, K. P. Cheung, A. Qates, and P. Mason, “Ballistic phonon enhanced NBTI,” *Annu. Proc. - Reliab. Phys.*, pp. 258–263, 2007.
- [120] S. E. Rauch, F. Guarin, and G. La Rosa, “High-VGS PFET DC Hot-Carrier Mechanism and Its Relation to AC Degradation,” *IEEE Trans. Device Mater. Reliab.*, vol. 10, no. 1, pp. 40–46, 2010.
- [121] S. E. Rauch and G. La Rosa, “The energy-driven paradigm of NMOSFET hot-carrier effects,” *IEEE Trans. Device Mater. Reliab.*, vol. 5, no. 4, pp. 701–705, 2005.
- [122] C. Guérin, V. Huard, and A. Bravaix, “The energy-driven hot-carrier degradation modes of nMOSFETs,” *IEEE Trans. Device Mater. Reliab.*, vol. 7, no. 2, pp. 225–234, 2007.
- [123] A. Bravaix, C. Guerin, V. Huard, D. Roy, J. M. Roux, and E. Vincent, “Hot-carrier acceleration factors for low power management in DC-AC stressed 40nm NMOS node at high temperature,” *IEEE Int. Reliab. Phys. Symp. Proc.*, no. May 2014, pp. 531–548, 2009.
- [124] C. R. Parthasarathy, M. Denais, V. Huard, G. Ribes, E. Vincent, and A. Bravaix, “New insights into recovery characteristics during PMOS NBTI and CHC degradation,” *IEEE Trans. Device Mater. Reliab.*, vol. 7, no. 1, pp. 130–137, 2007.
- [125] J. H. Sim, B. H. Lee, R. Choi, S. C. Song, and G. Bersuker, “Hot carrier degradation of HfSiON gate dielectrics with TiN electrode,” *IEEE Trans. Device Mater. Reliab.*, vol. 5, no. 2, pp. 177–182, 2005.
- [126] N. Hellwege, “Aging-Aware Design Methods for Reliable Analog Integrated Circuits using Operating Point-Dependent Degradation,” Universität Bremen, 2015.
- [127] H. Kufluoglu and M. A. Alam, “A geometrical unification of the theories of NBTI and HCI time-exponents and its implications for ultra-scaled planar and surround-gate MOSFETs,” *Int. Electron Devices Meet.*, vol. 4, pp. 113–116, 2004.
- [128] P. Magnone *et al.*, “Impact of hot carriers on nMOSFET variability in 45- and 65-nm CMOS technologies,” *IEEE Trans. Electron Devices*, vol. 58, no. 8, pp. 2347–2353, 2011.
- [129] J. P. Campbell *et al.*, “Random telegraph noise in highly scaled nMOSFETs,” *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 382–388, 2009.
- [130] K. Ito, T. Matsumoto, S. Nishizawa, H. Sunagawa, K. Kobayashi, and H. Onodera, “The impact of RTN on performance fluctuation in CMOS logic circuits,” *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 710–713, 2011.
- [131] N. Tega *et al.*, “Impact of threshold voltage fluctuation due to random telegraph noise on scaled-down SRAM,” *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 541–546, 2008.
- [132] S. M. Amoroso, A. Ghetti, A. R. Brown, A. Mauri, C. Monzio Compagnoni, and

- A. Asenov, "Impact of cell shape on random telegraph noise in decananometer flash memories," *IEEE Trans. Electron Devices*, vol. 59, no. 10, pp. 2774–2779, 2012.
- [133] T. Grasser, K. Rott, H. Reisinger, M. Wautl, J. Franco, and B. Kaczer, "A unified perspective of RTN and BTI," *IEEE Int. Reliab. Phys. Symp. Proc.*, no. i, pp. 1–7, 2014.
- [134] J. Martin-Martinez, J. Diaz, R. Rodriguez, M. Nafria, and X. Aymerich, "New weighted time lag method for the analysis of random telegraph signals," *IEEE Electron Device Lett.*, vol. 35, no. 4, pp. 479–481, 2014.
- [135] J. Martin-Martinez *et al.*, "Statistical characterization and modeling of random telegraph noise effects in 65nm SRAMs cells," *SMACD 2017 - 14th Int. Conf. Synth. Model. Anal. Simul. Methods Appl. to Circuit Des.*, pp. 2–5, 2017.
- [136] Synopsys, "Aurora User's manual." 2002.
- [137] F. A. Velarde Gonzalez, "Integration of Transistor Aging Models Across Different EDA Environments," Instituto Tecnológico y de Estudios Superiores de Occidente, 2019.
- [138] A. Lange, F. A. V. Gonzalez, and S. Crocoll, "Comparison of modeling approaches for transistor degradation : model card adaptations vs subcircuits," *ESSDERC 2019 - 49th Eur. Solid-State Device Res. Conf.*, pp. 186–189, 2019.
- [139] F. A. V. Gonzalez *et al.*, "NBTI and HCI models for circuit level aging simulations in different EDA environments NBTI and HCI models for circuit level aging simulations in different EDA environments."
- [140] K. Sutaria, "Modeling and simulation tools for aging effects in scaled CMOS design," Arizona State University, 2015.
- [141] "Predictive Technology Model," *Nanoscale Integration and Modeling (NIMO) Group at Arizona State University (ASU)*. <http://ptm.asu.edu/>.
- [142] W. Zhao and Y. Cao, "New Generation of Predictive Technology Model for Sub-45nm Design Exploration," *IEEE TED*, vol. 53, no. 11, pp. 2816–2823, 2006.
- [143] Rui Zheng, "Aging Predictive Models and Simulation Methods for Analog and Mixed-Signal Circuits," 2011.
- [144] N. K. Jha, P. S. Reddy, D. K. Sharma, and V. R. Rao, "NBTI degradation and its impact for analog circuit reliability," *IEEE Trans. Electron Devices*, vol. 52, no. 12, pp. 2609–2615, 2005.
- [145] B. Yan, J. Qin, J. Dai, Q. Fan, and J. B. Bernstein, "Reliability simulation and circuit-failure analysis in analog and mixed-signal applications," *IEEE Trans. Device Mater. Reliab.*, vol. 9, no. 3, pp. 339–347, 2009.
- [146] S. More, "Aging Degradation and Countermeasures in Deep-submicrometer Analog and Mixed Signal Integrated Circuits," Lehrstuhl für Technische Elektronik der Technischen Universität München, 2012.
- [147] E. Afacan, G. Dündar, A. E. Pusane, and F. Başkaya, "Semi-empirical aging model development via accelerated aging test," *2016 13th Int. Conf. Synth. Model. Anal. Simul. Methods Appl. to Circuit Des. SMACD 2016*, 2016.

- [148] J. Martin-Martinez, R. Rodriguez, M. Nafria, X. Aymerich, B. Kaczer, and G. Groeseneken, "An equivalent circuit model for the recovery component of BTI," *ESSDERC 2008 - Proc. 38th Eur. Solid-State Device Res. Conf.*, pp. 55–58, 2008.
- [149] E. Maricau and G. Gielen, "Stochastic circuit reliability analysis," *Proc. -Design, Autom. Test Eur. DATE*, pp. 1285–1290, 2011.
- [150] Cadence, "Legato Reliability Solution," *Legato Reliability Solution*, 2020. https://www.cadence.com/en_US/home/tools/custom-ic-analog-rf-design/custom-ic-analog-rf-flows/legato-reliability-solution.html.
- [151] "Virtuoso® RelXpert Reference, Cadence Design Systems." 2011.
- [152] Mentor Graphics, "Eldo User's Manual," 2005.
- [153] "HSIMplus Reference Manual, Synopsys." 2009, [Online]. Available: www.synopsys.com.
- [154] B. Tudor *et al.*, "MOSRA : An Efficient and Versatile MOS Aging Modeling and Reliability Analysis Solution for 45nm and Below," in *10th IEEE International Conference on Solid-State and Integrated Circuit Technology*, 2010, pp. 1645–1647.
- [155] T. C. Ong, P. K. Ko, and C. Hu, "Hot-Carrier Current Modeling and Device Degradation in Surface-Channel p-MOSFET's," *IEEE Trans. Electron Devices*, vol. 37, no. 7, pp. 1658–1666, 1990.
- [156] A. Bravaix, C. Guerin, V. Huard, D. Roy, J. M. Roux, and E. Vincent, "Hot-carrier acceleration factors for low power management in DC-AC stressed 40nm NMOS node at high temperature," *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 531–548, 2009.
- [157] A. Bravaix *et al.*, "Off state incorporation into the 3 energy mode device lifetime modeling for advanced 40nm CMOS node," *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 55–64, 2010.
- [158] G. Gielen and E. Maricau, "Stochastic degradation modeling and simulation for analog integrated circuits in nanometer CMOS," *Proc. -Design, Autom. Test Eur. DATE*, no. 1, pp. 326–331, 2013.
- [159] G. Rzepa, W. Goes, B. Kaczer, and T. Grasser, "Characterization and modeling of reliability issues in nanoscale devices," *Proc. - IEEE Int. Symp. Circuits Syst.*, vol. 2015-July, pp. 2445–2448, 2015.
- [160] F. Crupi, L. Magnelli, P. Falbo, M. Lanuzza, M. Nafria, and R. Rodríguez, "Performance and reliability of ultra-thin oxide nMOSFETs under variable body bias," *Microelectron. Eng.*, vol. 84, no. 9–10, pp. 1947–1950, 2007.
- [161] H. Mostafa, M. Anis, and M. Elmasry, "Adaptive body bias for reducing the impacts of NBTI and process variations on 6T SRAM cells," *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 58, no. 12, pp. 2859–2871, 2011.
- [162] J. Díaz Fortuny, "A versatile framework for the statistical characterization of CMOS time-zero and time-dependent variability with array-based ICs," Universitat Autònoma de Barcelona, 2019.
- [163] S. Rangan, N. Mielke, and E. C. C. Yeh, "Universal Recovery Behavior of

- Negative Bias Temperature Instability,” *Tech. Dig. - Int. Electron Devices Meet.*, pp. 341–344, 2003.
- [164] H. Reisinger, O. Blank, W. Heinrigs, A. Mühlhoff, W. Gustin, and C. Schlünder, “Analysis of NBTI degradation- and recovery-behavior based on ultra fast VT - measurements,” *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 448–453, 2006.
- [165] V. Velayudhan *et al.*, “Threshold voltage and on-current Variability related to interface traps spatial distribution,” *Eur. Solid-State Device Res. Conf.*, vol. 2015-Novem, no. 10, pp. 230–233, 2015.
- [166] A. Avellán, D. Schroeder, and W. Krautschneider, “Modeling random telegraph signals in the gate current of metal-oxide-semiconductor field effect transistors after oxide breakdown,” *J. Appl. Phys.*, vol. 94, no. 1, pp. 703–708, 2003.
- [167] S. E. Rauch, “Review and reexamination of reliability effects related to NBTI-induced statistical variations,” *IEEE Trans. Device Mater. Reliab.*, vol. 7, no. 4, pp. 524–530, 2007, doi: 10.1109/TDMR.2007.910437.
- [168] C. Couso, J. Martin-Martinez, M. Porti, M. Nafria, and X. Aymerich, “Efficient methodology to extract interface traps parameters for TCAD simulations,” *Microelectron. Eng.*, vol. 178, pp. 66–70, 2017, doi: 10.1016/j.mee.2017.04.036.
- [169] T. Grasser, H. Reisinger, P. J. Wagner, F. Schanovsky, W. Goes, and B. Kaczer, “The time dependent defect spectroscopy (TDDS) for the characterization of the bias temperature instability,” *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 16–25, 2010.
- [170] E. Maricau and G. Gielen, “Efficient variability-aware NBTI and hot carrier circuit reliability analysis,” *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 29, no. 12, pp. 1884–1893, 2010.
- [171] A. Toro-Frías *et al.*, “Reliability simulation for analog ICs: Goals, solutions, and challenges,” *Integr. VLSI J.*, vol. 55, no. 2, pp. 341–348, 2016.
- [172] P. Martin-Lloret *et al.*, “A size-adaptive time-step algorithm for accurate simulation of aging in analog ICs,” *Proc. - IEEE Int. Symp. Circuits Syst.*, pp. 2–5, 2017.
- [173] K. B. Sutaria, J. B. Velamala, and Y. Cao, “Multi-level reliability simulation for IC design,” *2012 IEEE 11th Int. Conf. Solid-State Integr. Circuit Technol.*, pp. 1–4, 2012.
- [174] E. Afacan, G. Berkol, G. Dundar, A. E. Pusane, and F. Baskaya, “A deterministic aging simulator and an analog circuit sizing tool robust to aging phenomena,” *2015 Int. Conf. Synth. Model. Anal. Simul. Methods Appl. to Circuit Des. SMACD 2015*, 2015.
- [175] P. Martin-Lloret *et al.*, “CASE: A reliability simulation tool for analog ICs,” *SMACD 2017 - 14th Int. Conf. Synth. Model. Anal. Simul. Methods Appl. to Circuit Des.*, pp. 1–4, 2017.
- [176] A. Toro-Frías *et al.*, “Lifetime Calculation Using a Stochastic Reliability Simulator for Analog ICs,” *SMACD 2018 - 15th Int. Conf. Synth. Model. Anal. Simul. Methods Appl. to Circuit Des.*, pp. 61–64, 2018.

- [177] B. J. Sheu, W. J. Hsu, and B. W. Lee, "An Integrated-Circuit Reliability Simulator—Rely," *IEEE J. Solid-State Circuits*, vol. 24, no. 2, pp. 473–477, 1989.
- [178] X. Xuan, A. Chatterjee, A. D. Singh, N. P. Kim, and M. T. Chisa, "IC reliability simulator ARET and its application in design-for-reliability," *Proc. Asian Test Symp.*, vol. 2003-Janua, pp. 18–21, 2003.
- [179] S. Aur, D. Hocevar, and P. Yang, "Circuit hot electron effect simulation," *Int. Electron Devices Meet*, vol. 33, pp. 498–501, 1987.
- [180] C. Hu, "The Berkeley reliability simulator BERT: an IC reliability simulator," *Microelectronics J.*, vol. 23, no. 2, pp. 97–102, 1992.
- [181] "Eldo® User's Manual, Mentor Graphics." 2005.
- [182] A. Schaldenbrand, W. Hartong, A. Bajaj, and V. Zivkovic, "Improving Test Coverage and Eliminating Test Escapes Using Analog Defect Analysis," 2019.
- [183] "Addressing IC Reliability Issues Using Eldo, Mentor a Siemens Business. 2019," 2019.
- [184] M. Karam, W. Fikry, H. Haddara, H. Ragai, and M. Graphics, "Implementation of hot-carrier reliability simulation in Eldo," *ISCAS 2001. 2001 IEEE Int. Symp. Circuits Syst.*, vol. 5, no. 202, pp. 515–518, 2001.
- [185] Bogdan Tudor, J. Wang, W. Liu, H. Elhak, and Synopsys, "MOS Device Aging Analysis with HSPICE and CustomSim," 2011.
- [186] S. Liao *et al.*, "New Generation Reliability Model," 2016.
- [187] "OpenMI Association," 2018. <https://www.openmi.org/dashboard2> (accessed Sep. 01, 2020).
- [188] W. R. Davis, C. Shaw, and A. R. Hassan, "How to write a compact reliability model with the Open Model Interface (OMI)," *2020 IEEE Int. Reliab. Phys. Symp. (IRPS), Dallas, TX, USA*, pp. 1–2, 2020.
- [189] K. B. Sutaria, J. B. Velamala, C. H. Kim, T. Sato, and Y. Cao, "Aging Statistics Based on Trapping / Detrapping : Compact Modeling and Silicon Validation," *IEEE Trans. Device Mater. Reliab.*, vol. 14, no. 2, pp. 607–615, 2014.
- [190] J. B. Velamala *et al.*, "Compact Modeling of Statistical BTI under Trapping / Detrapping," *IEEE Trans. Electron Devices*, vol. 60, no. 11, pp. 3645–3654, 2013.
- [191] J. B. Velamala, K. Sutaria, T. Sato, and Y. Cao, "Physics Matters : Statistical Aging Prediction under Trapping / Detrapping," *DAC Des. Autom. Conf. 2012*, pp. 139–144, 2012.
- [192] J. B. Velamala, K. B. Sutaria, H. Shimuzu, and H. Awano, "Logarithmic Modeling of BTI under Dynamic Circuit Operation : Static , Dynamic and Long-term Prediction," *IEEE Int. Reliab. Phys. Symp.*, pp. 1–5, 2013.
- [193] C. Bestory, F. Marc, and H. Levi, "Statistical analysis during the reliability simulation," *Microelectron. Reliab.*, vol. 47, no. 9-11 SPEC. ISS., pp. 1353–1357, 2007.
- [194] F. Marc, B. Mongellaz, and Y. Danto, "Reliability Simulation of Electronic

- Circuits with VHDL-AMS,” *Lang. Syst. Specif.*, pp. 217–228, 2006.
- [195] C. Bestory, F. Marc, H. Levi, and Y. Danto, “Multi-level Modeling of hot carrier injection for reliability simulation using VHDL-AMS,” *Forum Specif. Des. Lang.*, no. Germany, p. pp.61-67, 2006.
- [196] H. Awano, M. Hiromoto, and T. Sato, “BTIarray: A time-overlapping transistor array for efficient statistical characterization of bias temperature instability,” *IEEE Trans. Device Mater. Reliab.*, vol. 14, no. 3, pp. 833–843, 2014.
- [197] M. B. Da Silva, B. Kaczer, G. Van Der Plas, G. I. Wirth, and G. Groeseneken, “On-chip circuit for massively parallel BTI characterization,” *IEEE Int. Integr. Reliab. Work. Final Rep.*, pp. 90–93, 2011.
- [198] E. Bury *et al.*, “Statistical assessment of the full VG/VD degradation space using dedicated device arrays,” *IEEE Int. Reliab. Phys. Symp. Proc.*, pp. 2D5.1-2D5.6, 2017.
- [199] F. R. Chouard, S. More, M. Fulde, and D. Schmitt-Landsiedel, “An analog perspective on device reliability in 32nm high-k metal gate technology,” *Proc. 2011 IEEE Symp. Des. Diagnostics Electron. Circuits Syst. DDECS 2011*, pp. 65–70, 2011.
- [200] T. Fischer, E. Amirante, K. Hofmann, M. Ostermayr, P. Huber, and D. Schmitt-Landsiedel, “A 65nm test structure for the analysis of NBTI induced statistical variation in SRAM transistors,” *ESSDERC 2008 - Proc. 38th Eur. Solid-State Device Res. Conf.*, pp. 51–54, 2008.
- [201] A. Chenouf, B. Djeddar, A. Benabedelmoumene, and H. Tahi, “Does PMOS V_{th} shift wholly capture the degradation of CMOS inverter circuit under DC NBTI?,” *IEEE Int. Integr. Reliab. Work. Final Rep.*, pp. 191–194, 2012.
- [202] R. Fernández, B. Kaczer, J. Gago, R. Rodriguez, and M. Nafria, “Experimental characterization of NBTI effect on pMOSFET and CMOS inverter,” *Proc. 2009 Spanish Conf. Electron Devices, CDE’09*, vol. 00, no. C, pp. 231–233, 2009.
- [203] P. Martin-Lloret *et al.*, “An IC Array for the Statistical Characterization of Time-Dependent Variability of Basic Circuit Blocks,” *SMACD 2019 - 16th Int. Conf. Synth. Model. Anal. Simul. Methods Appl. to Circuit Des. Proc.*, pp. 241–244, 2019.
- [204] D. Sengupta and S. S. Sapatnekar, “Estimating Circuit Aging Due to BTI and HCI Using Ring-Oscillator-Based Sensors,” *IEEE Trans. Comput. Des. Integr. Circuits Syst.*, vol. 36, no. 10, pp. 1688–1701, 2017.