

Trabajo Fin de Grado
Grado en Ingeniería de las Tecnologías de
Telecomunicación

Diseño de un receptor integrado para comunicación
mediante ultrasonidos en canal metálico

Autor: Carlos Javier Velasco Muñoz

Tutores: Enrique López Morillo, Clara Isabel Luján Martínez

**Departamento de Ingeniería Electrónica
Escuela Técnica Superior de Ingeniería
Universidad de Sevilla**

Sevilla, 2016



Trabajo Fin de Grado
Grado en Ingeniería de las Tecnologías de Telecomunicación

Diseño de un receptor integrado para comunicación mediante ultrasonidos en canal metálico

Autor:

Carlos Javier Velasco Muñoz

Tutores:

Enrique López Morillo

Clara Isabel Luján Martínez

Departamento de Ingeniería Electrónica

Escuela Técnica Superior de Ingeniería

Universidad de Sevilla

Sevilla, 2016

Trabajo Fin de Grado: Diseño de un receptor integrado para comunicación mediante ultrasonidos en canal metálico

Autor: Carlos Javier Velasco Muñoz

Tutor: Enrique López Morillo, Clara Isabel Luján Martínez

El tribunal nombrado para juzgar el Proyecto arriba indicado, compuesto por los siguientes miembros:

Presidente:

Vocales:

Secretario:

Acuerdan otorgarle la calificación de:

Sevilla, 2016

El Secretario del Tribunal

A mi familia

A mis maestros

A mis amigos

Agradecimientos

En primer lugar, me gustaría dar las gracias a mis padres, ellos han sido los artífices de que yo esté ahora redactando este Trabajo de Fin de Grado. Han estado apoyándome durante estos años y han sido un sustento imprescindible sin el cual no podría haber conseguido llegar aquí. Gracias.

También quiero mostrar mis más sinceros agradecimientos a mis tutores Enrique López Morillo y Clara Isabel Luján Martínez por darme la oportunidad de realizar este proyecto, por la paciencia que han tenido conmigo y por la gran ayuda que me han prestado durante la realización del mismo.

Por último, a mis amigos y compañeros Chema y Jorge, con los que un día empecé esta aventura llamada “Teleco” y que me han acompañado a lo largo de ella.

Carlos Javier Velasco Muñoz

Sevilla, 2016

Resumen

Este proyecto aborda el diseño de un bloque analógico para la adaptación de la señal proveniente de un sensor de ultrasonidos. Para ello, se caracterizará en el laboratorio dicho sensor mediante un test de medidas con componentes discretos. Posteriormente, a partir de los datos obtenidos en la caracterización, se modelará en Verilog-A dicho sensor para su posterior uso en el entorno de trabajo Cadence, y, por último, se diseñará el circuito de recepción, tanto a nivel de esquemático como de layout, en una tecnología CMOS estándar de 180 nm y se realizarán todos los análisis necesarios para verificar su correcto funcionamiento

Abstract

This project approaches the design of an analog block for adaptation of the signal coming from an ultrasonic sensor. First, this sensor will be characterized in the laboratory by test measurements with discrete components. Subsequently, from the data obtained in the characterization, it will be modeled in Verilog-A language for later use in the work environment Cadence, and finally, part of the receiver circuit will be designed at both schematic and layout level, in a standard CMOS 180nm technology including all necessary analyzes to verify proper operation.

Índice

Agradecimientos	ix
Resumen	xi
Abstract	xiii
Índice	xv
Índice de Tablas	xviii
Índice de Figuras	xx
Notación	xxiii
1 Introducción	1
1.1 <i>Antecedentes</i>	1
1.2 <i>Estado del arte</i>	2
1.3 <i>Objetivos y alcance</i>	2
1.4 <i>Organización del documento</i>	3
2 Caracterización del sensor propuesto	5
2.1 <i>Introducción</i>	5
2.2 <i>Sensor propuesto</i>	5
2.3 <i>Caracterización</i>	6
2.4 <i>Especificaciones y consideraciones de diseño</i>	9
3 Modelado en Verilog-A del sensor de carga	12
4 Diseño del amplificador de carga	17
4.1 <i>Introducción</i>	17
4.2 <i>Elección de la topología</i>	17
4.3 <i>Diseño del amplificador operacional</i>	18
4.3.1 <i>Diseño del amplificador</i>	18
4.3.2 <i>Diseño del bloque de polarización</i>	19
4.3.3 <i>Caracterización</i>	20
4.4 <i>Diseño del bloque de realimentación</i>	23

4.5	<i>Caracterización del amplificador de carga</i>	24
4.5.1	Análisis DC	25
4.5.2	Análisis frecuencial	26
4.5.3	Análisis transitorio	26
4.5.4	Análisis de ruido	27
4.5.5	Análisis de funcionamiento en las esquinas	28
5	Diseño del layout	30
5.1	<i>Introducción</i>	30
5.2	<i>Floorplanning</i>	30
5.3	<i>Layout de los distintos componentes</i>	31
5.3.1	Layout de la resistencia de realimentación (Rf)	31
5.3.2	Layout de la capacidad de realimentación (Cf)	32
5.3.3	Layout del amplificador operacional	32
5.4	<i>Layout del circuito completo</i>	36
5.5	<i>Comparativa a nivel de esquemático y layout</i>	36
6	Conclusiones y trabajo futuro	39
	Referencias	41
	Glosario	44
	Anexos	46
	Anexo A: Documentación del sensor de ultrasonidos 400EP250	48
	Anexo B: Datasheet del OPAMP LMC6001	61

ÍNDICE DE TABLAS

Tabla 2-1. Resultados obtenidos tras la caracterización	9
Tabla 2-2. Especificaciones del amplificador de carga	9
Tabla 2-3. Especificaciones del amplificador operacional	10
Tabla 2-4. Consideraciones tomadas por el diseñador	10
Tabla 4-1. Dimensionamiento de los transistores.	18
Tabla 4-2. Dimensionamiento de los transistores tras la modificación.	18
Tabla 4-3. Valor tras el análisis DC de las tensiones más relevantes.	21
Tabla 4-4. Análisis de funcionamiento del OPAMP en esquinas a -25°C	22
Tabla 4-5. Análisis de funcionamiento del OPAMP en esquinas a 27°C	23
Tabla 4-6. Análisis de funcionamiento del OPAMP en esquinas a 75°C	23
Tabla 4-7. Valores elegidos para la resistencia (R_f) y la capacidad (C_f) de realimentación.	24
Tabla 4-8. Valor tras el análisis DC de las tensiones más relevantes.	25
Tabla 4-9. Análisis de funcionamiento del amplificador de carga en esquinas a -25°C	28
Tabla 4-10. Análisis de funcionamiento del amplificador de carga en esquinas a 27°C	28
Tabla 4-11. Análisis de funcionamiento del amplificador de carga en esquinas a 75°C	28
Tabla 5-1. Parámetros de la resistencia de realimentación (R_f)	31
Tabla 5-2. Parámetros de la capacidad de realimentación (C_f).	32
Tabla 5-3. Dimensiones de los transistores NMOS.	33
Tabla 5-4. Dimensiones de los transistores PMOS.	33

ÍNDICE DE FIGURAS

Figura 2-1. Sensor de ultrasonidos propuesto (400EP250) [9].	5
Figura 2-2. Patrón típico de radiación de potencia, Anexo A.	6
Figura 2-3. Respuesta típica del sensor junto con el amplificador de carga [10].	7
Figura 2-4. Amplificador de carga, incluyendo modelo parásito del sensor [10].	8
Figura 2-5. Representación del montaje empleado para la caracterización realizada en laboratorio.	8
Figura 3-1. Sensor de carga y alternativa equivalente con fuente de carga [10].	12
Figura 3-2. Alternativa del sensor de carga con fuente de carga y fuente de corriente [10].	13
Figura 3-3. Símbolo correspondiente al modelo del sensor.	13
Figura 4-1. Amplificador operacional cascodo con salida single-ended [11].	17
Figura 4-2. Esquemático del amplificador operacional cascodo.	19
Figura 4-3. Esquemático del bloque de polarización.	20
Figura 4-4. Circuito para simulación en bucle abierto del amplificador.	20
Figura 4-5. Magnitud y fase de la salida del amplificador operacional tras el análisis AC.	21
Figura 4-6. Señal senoidal de la tensión a la salida al realizar el análisis transitorio.	22
Figura 4-7. Circuito para simulación del amplificador de carga, incluyendo modelo parásito del sensor.	24
Figura 4-8. Contenido del símbolo del amplificador de carga.	25
Figura 4-9. Resultado de la salida del amplificador de carga tras el análisis frecuencial.	26
Figura 4-10. Señal senoidal de tensión a la salida del amplificador de carga.	26
Figura 4-11. Resultados tras el análisis de ruido realizado en el amplificador de carga.	27
Figura 5-1. Floorplanning de los elementos del layout del amplificador de carga.	31
Figura 5-2. Layout de la resistencia de realimentación (R_f).	32

Figura 5-3. Layout de la capacidad de realimentación (C_f).	32
Figura 5-4. Vista layout de un transistor NMOS.	34
Figura 5-5. Vista layout de un transistor PMOS.	35
Figura 5-6. Vista layout del amplificador operacional cascode.	35
Figura 5-7. Vista layout del amplificador de carga.	36
Figura 5-8. Comparativa en frecuencia entre esquemático y extracted a la salida del amplificador.	37
Figura 5-9. Comparativa, entre esquemático y layout, de la tensión a la salida del amplificador.	37

Notación

\arcsen	Función arcoseno
\cos	Función coseno
\approx	Aproximadamente igual
\geq	Mayor o igual
\leq	Menor o igual
$\&\&$	Operador lógico AND
$\ \ $	Operado lógico OR
\neq	Operador lógico “Distinto de”
\equiv	Operador lógico “Igual a”
Log	Logaritmo en base 10
\pm	Signo más/menos
$\%$	Signo de tanto por ciento

1 INTRODUCCIÓN

El comienzo es la parte más importante de la obra

- Platón -

1.1 Antecedentes

En un mundo donde la mayoría de los aparatos electrónicos están conectados por cables surge la necesidad cada vez mayor de ir sustituyendo estas conexiones por conexiones inalámbricas por varias razones que se detallan a continuación.

En primer lugar, realizar una instalación cableada es costosa, debido que a se tiene que realizar un estudio de la instalación, se necesitan conectores, cables, protección para esos cables (canaletas) y un mantenimiento adecuado para asegurar el correcto funcionamiento y estado de esos cables. En segundo lugar, el acceso físico es otro problema común dentro de las redes cableadas debido a que no es sencillo acceder a ciertos lugares donde es necesario perforar paredes o metales. Por último, tenemos dificultad a la hora de aumentar el número de aparatos electrónicos conectados, ya que deberemos de introducir nuevos cables y eso conlleva un aumento del costo, sin embargo, en redes inalámbricas, como, por ejemplo, una red wifi, los nuevos usuarios se pueden conectar sin la necesidad de implementar nuevas conexiones físicas [1].

Dentro de los protocolos de comunicación inalámbricos podemos encontrar bastantes alternativas como bluetooth, wifi o infrarrojos, pero éstos, no son capaces de actuar cuando nos encontramos antes una jaula de Faraday. El funcionamiento de una jaula de Faraday se basa en las propiedades de un conductor en equilibrio electrostático, es decir, cuando una caja metálica se encuentra en presencia de un campo eléctrico externo, los electrones y protones de ésta actúan de tal forma que el campo eléctrico en el interior de la caja es nulo [2].

Es en el caso anterior donde tienen especial interés los ultrasonidos, ya que sin tener que perforar un material como puede ser el casco de un submarino, el fuselaje de un avión o un contenedor marítimo podemos transmitir la información hacia dentro o hacia fuera utilizando el propio metal de ese fuselaje o casco como canal de comunicación evitando así perforaciones que pueden invalidar el aislamiento de ese entorno, por lo que queda patente que es de gran importancia el desarrollo de este tipo de conexión.

1.2 Estado del arte

Empezando a finales de la década de 1990, varios grupos de investigadores propusieron usar señales ultrasónicas para la transmisión de datos a través de canales metálicos, incluyendo sus respectivas patentes.

Uno de los primeros sistemas sobre transmisión de datos mediante ultrasonidos sobre canal metálico aparece en la patente de R. Welle en 1999 [3]. El sistema consiste en la comunicación entre un controlador externo y un sensor/actuador incorporado en un medio de acoplamiento acústico, sin embargo, en la patente no se muestra información sobre modulaciones usadas, logros con respecto a la tasa de bits o detalles de cómo se ha implementado dicho sistema [4].

Posteriormente, en 2006, apareció en Saulnier et al., [5], la primera publicación con respecto a la transmisión de ultrasonidos en canal metálico revisada por expertos en la materia. Este estudio se centraba en la transmisión de datos mediante ultrasonidos a través una barra de acero de con hasta 6 pulgadas de grosor, lo que equivaldría a unos 15 cm. En este caso, los datos se envían desde el interior de un contenedor metálico sellado hacia el exterior donde encontramos un relé [4].

El objetivo de este proyecto era el de fabricar un receptor que tuviera una baja complejidad de forma que los requisitos de energía se minimizaran haciendo posible su uso mediante baterías. Varios diseños fueron implementados utilizando tanto modulaciones por pulso como modulaciones de ondas continuas de datos entre el transmisor y el receptor. En todos los casos, el factor que limitaba el rendimiento del sistema era el eco acústico en el metal, de forma que se optó por reducir la tasa de bits para que los ecos de canal fuesen insignificantes, resultando el límite de la tasa de bits en 450 bps [4].

En otros proyectos se habla de reducir la complejidad del receptor, pero en este caso, éste se encuentra en el interior del contenedor metálico sellado. Este sistema es posible gracias al uso de la técnica “harvesting” de manera que se extrae potencia desde la onda ultrasónica que proviene del exterior para alimentar el transductor interior sin la necesidad de hacer uso de ningún tipo de alimentación adicional. Este tipo de sistema es muy aconsejado para contenedores sellados donde el interior queda inaccesible por grandes periodos de tiempo. En resultados experimentales se llegaron a obtener tasa de bits sobre los 55 kbps y 1 KHz y transferencias de potencia de 0.25 W y 30 mW respectivamente, pero obteniendo una baja SNR [6][7].

Recientemente, en el año 2011, un grupo de investigadores del Instituto Politécnico Rensselaer de Estados Unidos liderado por el estudiante de doctorado Tristan Lawry, ha conseguido transmitir información y energía de forma independiente usando dos canales ultrasónicos, consiguiendo transmitir de forma continuada 50 vatios de energía y 12 megabytes por segundo de información a través de una plancha de acero de 6 centímetros de grosor [8]. La limitación de este sistema es un alto costo y un alto consumo de potencia en perspectiva a los otros sistemas ante mencionados, sin embargo, es el mejor sistema si trabaja en un ambiente sin limitaciones de potencia como por ejemplo un submarino.

Los sistemas que se han presentado anteriormente se diferencian en la velocidad de transmisión de bits y en el consumo de potencia, donde no se llega conseguir buenos resultados en ambos factores a la vez, por tanto, sería ideal crear un sistema que tuviese una alta velocidad de transmisión de bits y un bajo consumo, y, además, que fuese capaz de transmitir potencia para que el receptor no necesitase baterías, que tuviese una buena SNR y que su coste fuese relativamente bajo.

1.3 Objetivos y alcance

El objetivo de este trabajo es diseñar un circuito integrado para la recepción de información en forma de ultrasonidos que provienen de un canal metálico. Para cumplir dicho objetivo se ha caracterizado en el laboratorio el sensor elegido mediante un test de medidas con componentes discretos y una plancha metálica

equivalente a la que se utilizará en la aplicación propuesta. A partir de los datos obtenidos de las pruebas anteriores se ha preparado un modelo en Verilog-A de dicho sensor y posteriormente se ha diseñado el circuito de recepción en una tecnología CMOS estándar de 180 nm.

1.4 Organización del documento

La presente memoria detallará el diseño del receptor de ultrasonidos realizado.

En primer lugar, y posterior a esta introducción, se expondrá cómo se ha caracterizado el sensor elegido en el laboratorio, las pruebas realizadas y los datos obtenidos. Posteriormente se hará uso de esos datos para su modelado en Verilog-A.

En segundo lugar, se expondrán las especificaciones del receptor a diseñar derivadas de la anterior caracterización y las consideraciones tomadas para la elección de la topología donde se explicarán las decisiones tomadas.

En tercer lugar, se explicará cómo se ha diseñado el circuito tanto a nivel de esquemático como de layout.

Por último, se realizará una comparativa de la caracterización del diseño realizado en su versión de esquemático y layout, se expondrán las conclusiones obtenidas y se propondrán varias tareas a modo de trabajo futuro.

2 CARACTERIZACIÓN DEL SENSOR PROPUESTO

2.1 Introducción

En este capítulo se va a proceder a explicar las principales características del sensor de ultrasonidos propuesto, así como su caracterización en el laboratorio y los problemas encontrados durante la misma. Posteriormente, se hará una valoración de los resultados obtenidos y se extraerán una serie de especificaciones para el diseño de nuestro amplificador de carga.

2.2 Sensor propuesto

Para la realización este trabajo se nos ha propuesto la utilización del sensor de ultrasonidos 400EP250 de la marca Pro-Wave Electronics Corp. por sus buenos resultados en anteriores proyectos desarrollados por el departamento de electrónica de la Escuela Superior de Ingenieros. Es un transductor cerámico de 25 milímetros de diámetro, cubierto por una capa de aluminio, con una frecuencia central de trabajo de 40 KHz y una impedancia nominal de 300Ω .

En la transmisión, este transductor de ultrasonidos está diseñado para tener una baja impedancia a la frecuencia resonante de forma que se obtenga una alta eficiencia mecánica. Sin embargo, en la recepción, está diseñado para maximizar la impedancia en las zonas anti-resonantes de forma que se proporciona una alta eficiencia eléctrica [A].

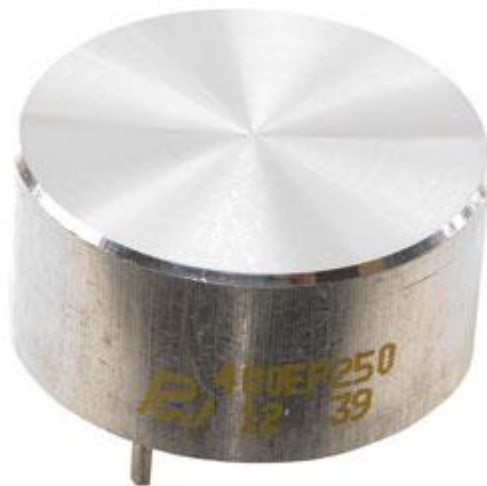


Figura 2-1. Sensor de ultrasonidos propuesto (400EP250) [9].

Es importante ser consciente de los principios de la propagación del sonido. Como éste es un fenómeno ondulatorio, su propagación y directividad están relacionadas con su longitud de onda (λ). El patrón de potencia de radiación de este sensor, ya sea para el generador o el receptor de ondas es el que se muestra en la Figura 2-2. Debido a la reciprocidad de transmisión y recepción, el gráfico muestra la potencia radiada a lo largo de una dirección dada y la sensibilidad a lo largo de dicha dirección [A].

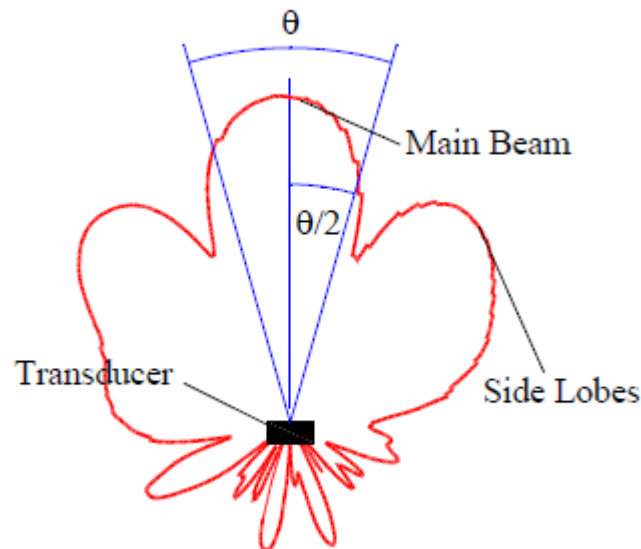


Figura 2-2. Patrón típico de radiación de potencia, Anexo A.

$$\frac{\theta}{2} = \arcsen \left(0.51 \cdot \frac{\lambda}{D} \right) \text{ para } -3 \text{ dB} \quad (2-1)$$

$$\frac{\theta}{2} = \arcsen \left(0.7 \cdot \frac{\lambda}{D} \right) \text{ para } -6 \text{ dB} \quad (2-2)$$

Teniendo en cuenta las ecuaciones 2-1 y 2-2 donde “D” es el diámetro efectivo del diagrama de flexión, “ λ ” es la longitud de onda, “c” la velocidad del sonido (344 m/s), y “f” la frecuencia de funcionamiento, se puede concluir que para obtener haces estrechos y con una alta directividad, el diámetro efectivo del diagrama de flexión “D” tiene que ser mayor que la longitud de onda “ λ ” [A].

2.3 Caracterización

Debido a que en el datasheet no se incluía cierta información indispensable para la realización del proyecto, ha sido necesario realizar la caracterización de algunas de sus prestaciones.

En primer lugar, se ha analizado si el sensor transducía carga o corriente. Esta cuestión era de vital importancia para determinar la adaptación de señal necesaria y para saber si nos encontrábamos ante un amplificador de carga o un amplificador convencional.

En segundo lugar, esta caracterización se ha realizado para conocer de forma exacta la frecuencia de resonancia del sensor. Dicho dato es importante para conocer la frecuencia a la que el sensor transmite con máxima potencia y, por tanto, para saber a la frecuencia, en torno a la cual, se diseñará nuestro amplificador.

Por último, era necesario conocer la cantidad de carga, de ser ese el caso, que recibiremos a la entrada de nuestro amplificador, ya que así, podremos determinar la ganancia necesaria que tendrá que tener éste.

Para verificar que el amplificador estaba amplificando carga, se hicieron diversas pruebas para comprobar que la respuesta en frecuencia de la salida de éste se aproximaba a la gráfica de la Figura 2-3, que es la respuesta en

frecuencia típica de un amplificador de este tipo. En esas pruebas se transmitió sobre la frecuencia de la señal transmitida, es decir, se transmitió en frecuencias por debajo de la frecuencia de corte y pudimos comprobar cómo la amplitud de la señal disminuía en función de lo alejada que estuviese de la frecuencia de corte.

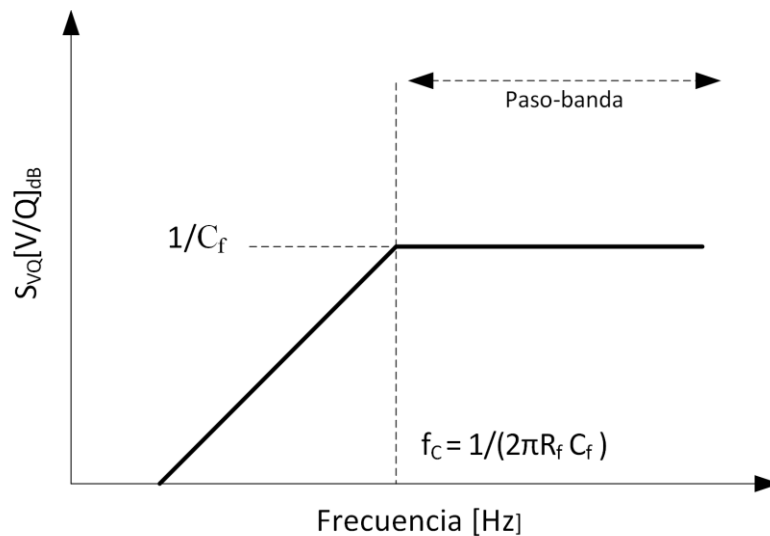


Figura 2-3. Respuesta típica del sensor junto con el amplificador de carga [10].

Por otro lado, también se transmitió en frecuencias que correspondían al paso de banda, en concreto, en los sucesivos armónicos, para intentar encontrar la frecuencia de resonancia, pero, aunque notamos que en el paso banda encontrábamos nuestra señal amplificada no pudimos comprobar el patrón de distribución de los armónicos ni tampoco encontrar una frecuencia de resonancia.

Ambos problemas son atribuidos a la plancha que se nos facilitó por el departamento de electrónica. Ésta, de 2 cm de espesor, era rugosa por una de sus caras, lo que dio lugar a rebotes y reflexiones de la señal, lo que unido a la atenuación que sufre la señal a su paso por el canal hace que la señal recibida no sea buena y no se pueda realizar una buena caracterización.

Sin embargo, pudimos comprobar que en efecto se estaba amplificando carga y no corriente ya que el efecto que apreciamos era el de un filtro paso-alta y que la señal que nos llegaba antes de la amplificación se encontraba en torno a 1 pC.

El montaje de amplificador de carga utilizado para esta caracterización ha sido el mostrado en la Figura 2-4. Se puede apreciar en la parte superior la red de realimentación compuesta por una resistencia (R_f) y una capacidad (C_f) en paralelo y en la izquierda el modelo parásito del sensor que incluye capacidad (C_t) y resistencia (R_t) parásita en paralelo con una fuente de corriente que actúa como derivada con respecto al tiempo de la carga.

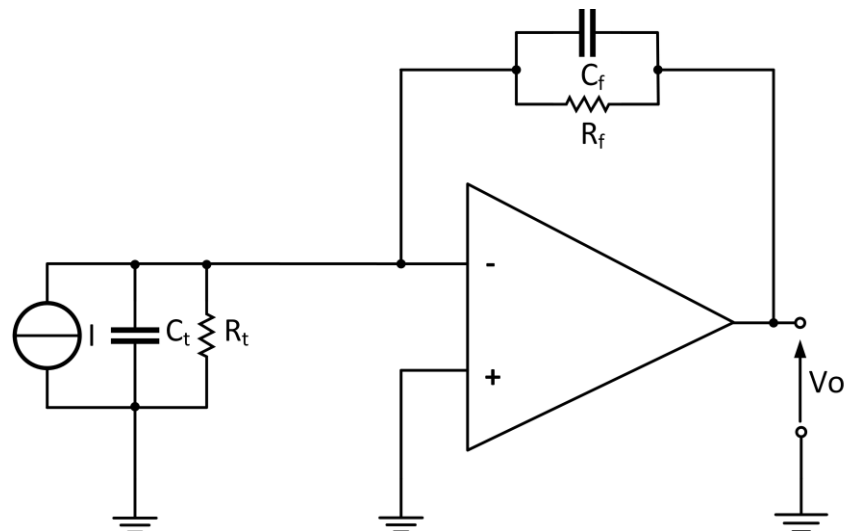


Figura 2-4. Amplificador de carga, incluyendo modelo parásito del sensor [10].

En el laboratorio hemos implementado nuestro amplificador de carga con componentes discretos. Para el amplificador operacional hemos usado el LMC6001 de Texas Instruments que tiene la particularidad de aceptar una corriente muy baja a la entrada soportando intensidades de 25 fA, lo cual, es necesario, ya que como se ha dicho anteriormente, la carga que nos llega es del orden de los pico Culombios.

Para la resistencia (R_f) y capacidad (C_f) de la red de realimentación se han usado valores de 560 K Ω y 10 pF respectivamente, fijando el polo del filtro paso-alta, que se indica en la Figura 2-3, sobre los 30 KHz.

El montaje queda como vemos en la Figura 2-5 donde ambos transductores quedan enfrentados de la forma más directa posible a través de la plancha metálica.

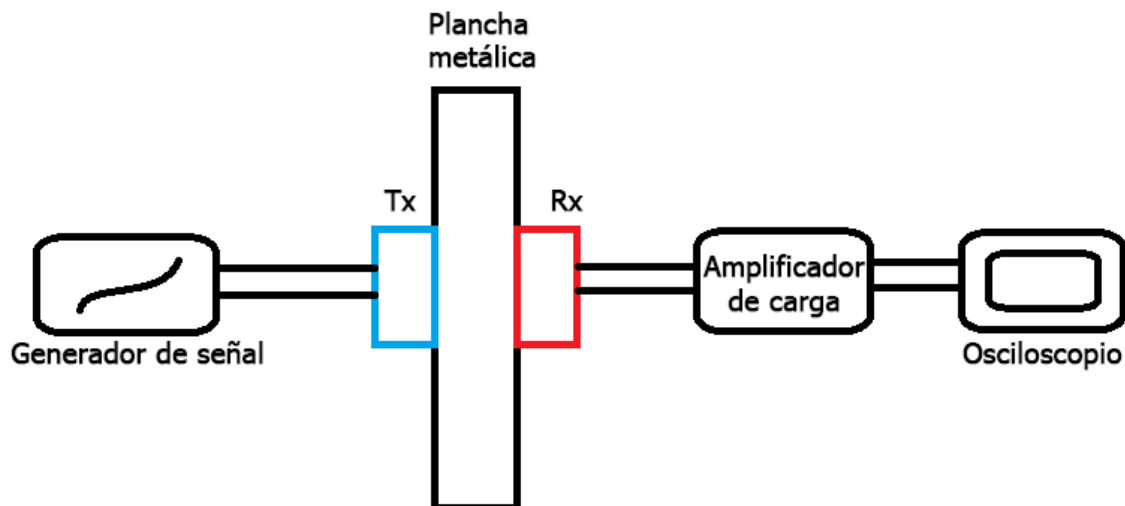


Figura 2-5. Representación del montaje empleado para la caracterización realizada en laboratorio.

Al término de la caracterización, pudimos verificar que nuestro amplificador estaba amplificando carga y que la señal que nos llegaba a través del canal metálico se encontraba en torno a 1 pC, que como luego se indicará es la carga máxima que podemos recibir. Aun así, todavía teníamos incógnitas como la SNR o la frecuencia de resonancia, sin embargo, un grupo de investigadores del departamento de electrónica de la Escuela Superior de Ingenieros ha estado realizando una investigación paralela utilizando modulaciones más robustas (OFDM),

una plancha metálica más fina y con una superficie más plana que la nuestra, llegando a obtener una repuesta más homogénea y mejores resultados.

En su trabajo han llegado a la conclusión de que la potencia de la señal es mayor en 360 KHz que nos situaría en el noveno armónico. También han comprobado mediante diversas pruebas que para una modulación OFDM de 32 bits, la SNR mínima que podríamos tener sería de 32 dB. Por tanto, y teniendo en cuenta que sus resultados son más exactos que los que teníamos, hemos creído conveniente para el diseño de nuestro amplificador de carga que la frecuencia de transmisión sea de 360 KHz y la SNR mínima de 32 dB. A modo de conclusión, en la Tabla 2-1 se muestran los resultados obtenidos, que a su vez serán las especificaciones de diseño que seguiremos para diseñar nuestro amplificador de carga.

Tabla 2-1. Resultados obtenidos tras la caracterización

Incógnitas	Resultados
Frecuencia de resonancia	360 KHz
Propiedad que transduce	Carga
SNR	≥ 32 dB
Carga a la entrada máxima	≈ 1 pC

2.4 Especificaciones y consideraciones de diseño

Una vez caracterizado el sensor llegamos a la conclusión de que nuestro amplificador de carga deberá tener las especificaciones que aparecen en la Tabla 2-2.

Tabla 2-2. Especificaciones del amplificador de carga

Especificaciones	Valor requerido
Respuesta plana (f)	$360 \text{ KHz} \pm 16 \text{ K}$
SNR	≥ 32 dB
Sensibilidad	≤ 228 dB V/C
Vdd	0.9 V
Vss	-0.9 V
Vout máxima	0.5 Vpp
Vout mínima	20 mVpp
Co	1 pF

Tanto el rango de respuesta plana en frecuencia como la SNR se han obtenido de la caracterización anterior y tanto la Vout máxima como la Vout mínima como la capacidad de carga (Co) vienen impuestas por la etapa que sigue a este receptor. En cuanto a las tensiones de alimentación positiva (Vdd) y negativa (Vss), vienen impuestas por la tecnología.

Nótese que la sensibilidad para un amplificador de carga es equivalente a la ganancia tensión-carga (salida-entrada) del mismo. Se ha escogido el valor de la tabla 2-2 para asegurar un nivel de señal aceptable a la salida ante una entrada de amplitud sobre el pico culombio en modulación OFDM.

A partir de lo anterior podemos obtener las especificaciones del amplificador operacional.

Tabla 2-3. Especificaciones del amplificador operacional

Especificaciones	Valor requerido
BW	500 KHz
Ganancia	≥ 50 dB
Vdd	0.9 V
Vss	-0.9 V
Vout máxima	0.5 Vpp
Vout mínima	20 mVpp
Co	1 pF

Se ha escogido un ancho de banda de 500 KHz y 50 dB debido a que mediante simulaciones se ha podido comprobar que dicho ancho de banda y ganancia son suficientes para que la respuesta en frecuencia del amplificador de carga a su salida, tenga una región plana en torno a los 360 KHz y además tenga suficiente sensibilidad.

La SNR viene impuesta tras la caracterización del sensor, la carga viene impuesta por la etapa que sigue al amplificador de carga y la tensión de salida máxima y mínima se derivan de las especificaciones del amplificador de carga.

Posteriormente se han tomado varias consideraciones de diseño que se exponen en la Tabla 2-4

Tabla 2-4. Consideraciones tomadas por el diseñador

Consideraciones	Valor
Idp	10 μ A
Ib	200 μ A
Veff	150 mV

Idp es la corriente de polarización que se ha escogido de 10 μ A para minimizar el consumo de dicho bloque e Ib es la corriente de cola del par diferencial, la cual, se ha escogido de 200 μ A para conseguir el ancho de banda necesario con el mínimo consumo, por último, Veff se refiere a la tensión efectiva de cada transistor que se ha escogido de 150 mV para asegurar la polarización en inversión fuerte de éstos.

3 MODELADO EN VERILOG-A DEL SENSOR DE CARGA

Para emular el comportamiento del sensor, de forma que podamos trabajar con él en el entorno de trabajo Cadence, optamos por modelarlo en el lenguaje Verilog-A.

Verilog-A es un lenguaje de descripción hardware multidisciplinar, por lo que podemos modelar sistemas eléctricos, mecánicos o termodinámicos, por ejemplo. Está enfocado al modelado de circuitos analógicos y está integrado en el entorno de trabajo Cadence, incluyendo herramientas de compilación y simulación.

Los sensores de carga generan una carga proporcional a una magnitud física externa. Independientemente de la variable a ser medida, dicha carga debe ser generada en un punto donde se pueda transformar directamente en un voltaje o corriente, evitando la cancelación con carga de signo opuesto.

Normalmente, los sensores de tipo carga tienen una naturaleza capacitiva en combinación con una resistencia alta, lo que reduce corrientes de fuga a un nivel aceptable. En nuestro modelo se ha usado una R_s de 100 K Ω y una C_s de 100 pF [10].

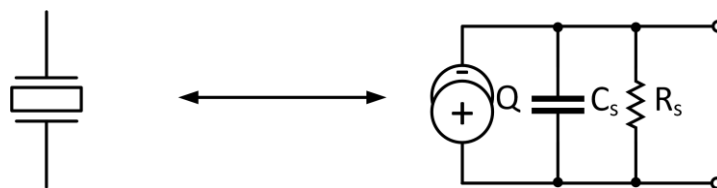


Figura 3-1. Sensor de carga y alternativa equivalente con fuente de carga [10].

En nuestro caso, se ha modelado una entrada senoidal en tensión a una frecuencia de 360 KHz con una amplitud de 1 pV, lo que equivale a una carga de 1 pC. Luego se ha derivado en el tiempo para obtener la corriente, y por último se ha conectado en paralelo la capacidad y la resistencia parásita, lo cual, es equivalente al circuito señalado en rojo en la Figura 3-2.

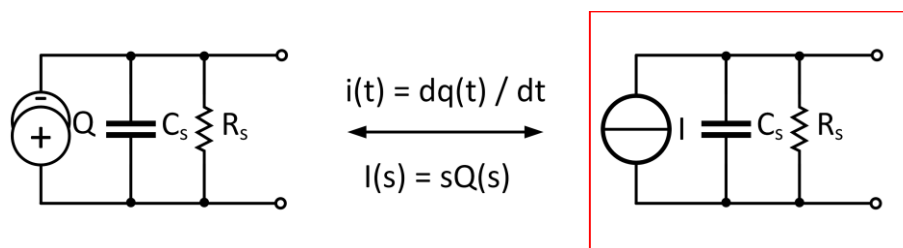


Figura 3-2. Alternativa del sensor de carga con fuente de carga y fuente de corriente [10].

En la figura 3-3 podemos ver el símbolo correspondiente al modelo del sensor que se encuentra en circuito de test del amplificador de carga. Como se puede apreciar, y al igual que en el modelo parásito, sólo tiene un par de conexiones. Una de ellas va al terminal de entrada negativo del amplificador y la otra está conectada a tierra.

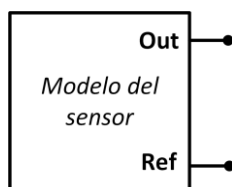


Figura 3-3. Símbolo correspondiente al modelo del sensor.

A continuación, se expone el código, en lenguaje Verilog-A, que se ha programado para el sensor.

```
// VerilogA for prueba_miller_20, sensor_completo, veriloga

`include "constants.vams"
`include "disciplines.vams"

// Módulo sensor_completo: en este módulo se definen las conexiones de
// salida del sensor (out, ref), se definen los parámetros necesarios para el
// sensor como son la capacidad (Cs) y la resistencia (Rs) parásita y se
// define el comportamiento interno de éste. Dicho comportamiento consiste en
// la generación de una tensión senoidal a través de una fuente de tensión,
// luego se deriva dicha tensión respecto al tiempo obteniendo corriente, y
// por último, se hace pasar dicha corriente tanto por la capacidad (Cs) como
// por la resistencia (Rs) parásita, obteniendo así, la salida (out) que
// estamos buscando
module sensor_completo(out, ref);

  inout out, ref; // Terminales
  electrical out, ref;

  // Rama interna entre la fuente senoidal de tensión y el bloque de derivación
  // de la tensión
  electrical n1;

  parameter real Cs = 100f; // Capacidad parásita
  parameter real Rs = 100k; // Resistencia parásita

  Vsine Vs(n1, ref); //Fuente de tensión

  analog begin
    // Derivada de la tensión con respecto al tiempo
    I(out, ref) <+ ddt(V(n1, ref));
  end
endmodule
```

```

// Contribuición a la corriente por parte de la resistencia parásita
I(out,ref) <+ V(out,ref)/Rs;

// Contribuición a la corriente por parte de la capacidad parásita
I(out,ref) <+ Cs * ddt(V(out,ref));
end

endmodule

// Módulo Vsine: este módulo emula a una fuente senoidal de tensión. Se
// utiliza para crear una señal senoidal de tensión que equivaldría a la
// señal de carga que nos llega del transmisor. Para ello, en este módulo se
// genera una señal senoidal de 1 pV con una frecuencia de 360 KHz.

module Vsine (p, n);

inout p, n; // Terminales
electrical p, n;

//Parámetros

parameter dc = 0.0; // DC
parameter mag = 1.0; // Magnitud
parameter phase = 0.0; // Fase
parameter offset = 0.0; // Offset
parameter ampl = 1p from (0:inf); // Amplitud
parameter freq = 360000 from (0:inf); // Frecuencia
parameter sinephase = -1.57; // Fase del seno

// Variables con las que luego se trabajará
real dc_val, sin_freq, sin_ampl;

analog begin

    @(initial_step) begin

        sin_freq = freq;
        sin_ampl = ampl;

// Introducción de offset y Dc si éstos no se especifican
        if ((dc == 0.0) && ((offset != 0.0) || (sinephase != 0.0)))
            dc_val = offset + ampl * cos(sinephase);
        else
            dc_val = dc;

    end

// La siguiente línea se evalúa en caso de que se realice un análisis
// frecuencial
V(p, n) <+ ac_stim("ac", mag, phase);

// El siguiente bloque "if" se evalúa en caso de que se realice un análisis
// DC, en caso contrario, se evalúa el bloque "else", lo que quiere decir
// que se está realizando un análisis transitorio.
if (analysis("dc"))
    V(p, n) <+ dc_val;

else if (analysis("tran")) begin

    // Se genera un seno según los parámetros indicados
    V(p, n) <+ offset + sin_ampl * cos(2 * `M_PI * sin_freq * ($abstime - td)
+ sinephase);
end
end

```

```
end  
end  
endmodule // Vsine
```


El uso de cascos tiene la ventaja de que mejora el aislamiento entre la entrada y la salida ya que no hay acoplamiento directo de la salida a la entrada y por tanto se elimina el efecto Miller contribuyendo a un ancho de banda mucho mayor. También ofrecen una alta ganancia, clave para nuestro proyecto, una alta velocidad de respuesta, bajo consumo, alta estabilidad y una alta impedancia de entrada [12] [13]. Sin embargo, esta topología tiene una desventaja y es que el rango de salida del circuito se ve significativamente limitado, lo cual, en nuestra aplicación, no sería un problema ya que tenemos un rango de salida máximo de 0.5 Vpp.

4.3 Diseño del amplificador operacional

4.3.1 Diseño del amplificador

Dependiendo de la corriente deseada de cada transistor, se dimensionarán variando su anchura (W) de forma que todos se encuentren en saturación e inversión fuerte, siendo el largo (L) igual al doble del mínimo de la tecnología (180 nm). De esta forma, en la Tabla 4-1, podemos ver el dimensionamiento para cada transistor.

Tabla 4-1. Dimensionamiento de los transistores.

Transistor	Ancho (W)	Largo (L)
TN10	14.4 μm	360 nm
TN7, TN9, TN11, TN12	6.4 μm	360 nm
TP0, TP1, TP7, TP6	42 μm	360 nm

Durante el diseño se ha tenido que reducir la V_{eff} (tensión efectiva) de los transistores de entrada (TN7 y TN12), siendo $V_{\text{eff}} = V_{\text{gs}} - V_{\text{th}}$. Para realizar dicha reducción se ha aumentado su ancho (W) provocando una disminución de sus V_{eff} , ya que con una V_{eff} de 150 mV la fuente de corriente de NMOS quedaba cerca de la zona óhmica con lo que en régimen senoidal permanente o ante cualquier desviación producida en el proceso de fabricación podría cambiar el estado de la fuente de corriente NMOS a óhmica e invalidar el funcionamiento del circuito.

Tras la modificación, el ancho de los transistores de entrada queda como aparece en la Tabla 4-2 y la V_{eff} de ambos se ve reducida 75 mV que aún asegura que estén polarizados en inversión fuerte.

Tabla 4-2. Dimensionamiento de los transistores tras la modificación.

Transistor	Ancho (W)	Largo (L)
TN10	14.4 μm	360 nm
TN9, TN11	6.4 μm	360 nm
TN7, TN12	22 μm	360 nm
TP0, TP1, TP7, TP6	42 μm	360 nm

En la Figura 4-2 podemos ver la disposición de los transistores.

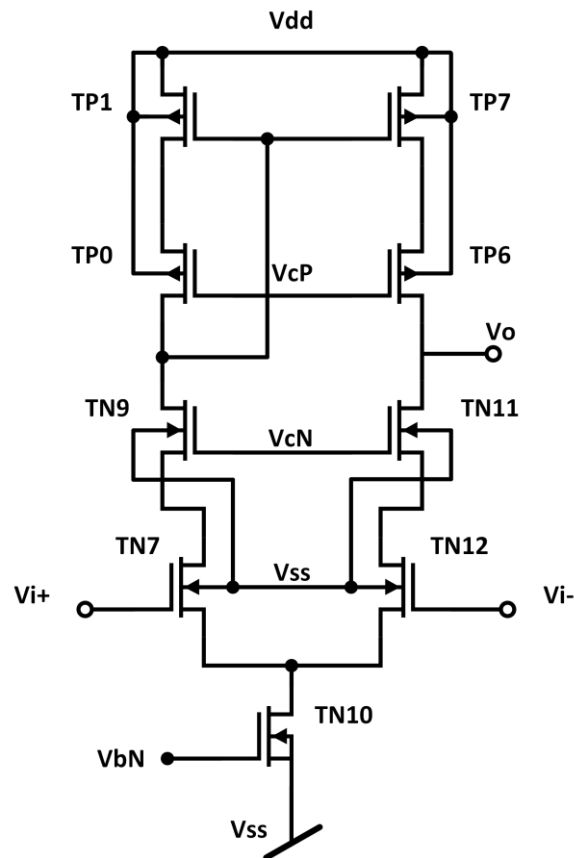


Figura 4-2. Esquemático del amplificador operacional cascado.

Destacar que todos los transistores tipo N tienen su sustrato conectado directamente a la oblea (subc) y los transistores tipo P tienen su sustrato conectado a la alimentación positiva (Vdd). Los transistores tipo P se han conectado de tal forma debido a que el efecto de cuerpo no era relevante al no limitar el rango de señal y para facilitar el diseño del posterior layout.

Las tensiones cascode V_{cN} y V_{cP} , así como la tensión de puerta de la fuente de corriente, V_{bN} , se generan en el bloque de polarización que luego se explicará detalladamente.

4.3.2 Diseño del bloque de polarización

El bloque de polarización sirve para generar las tensiones de la puerta de la fuente de corriente y los cascos a partir de una misma corriente de polarización.

De forma que partiendo de la corriente de referencia de $10\ \mu\text{A}$ se genera en la primera rama la tensión de la fuente de corriente NMOS y a través del espejo NMOS se copia la intensidad a la tercera rama para generar la tensión cascode de los transistores PMOS del amplificador llamada V_{cP} .

También se copia la corriente de la primera rama a la segunda a través del espejo PMOS para generar la tensión de cascode V_{cN} . Se ha optado por el bloque de polarización con cascos de la Figura 4-3 para hacer una copia de corriente de calidad, encontrándose todos los transistores de dicho bloque dimensionados para soportar una corriente de $10\ \mu\text{A}$.

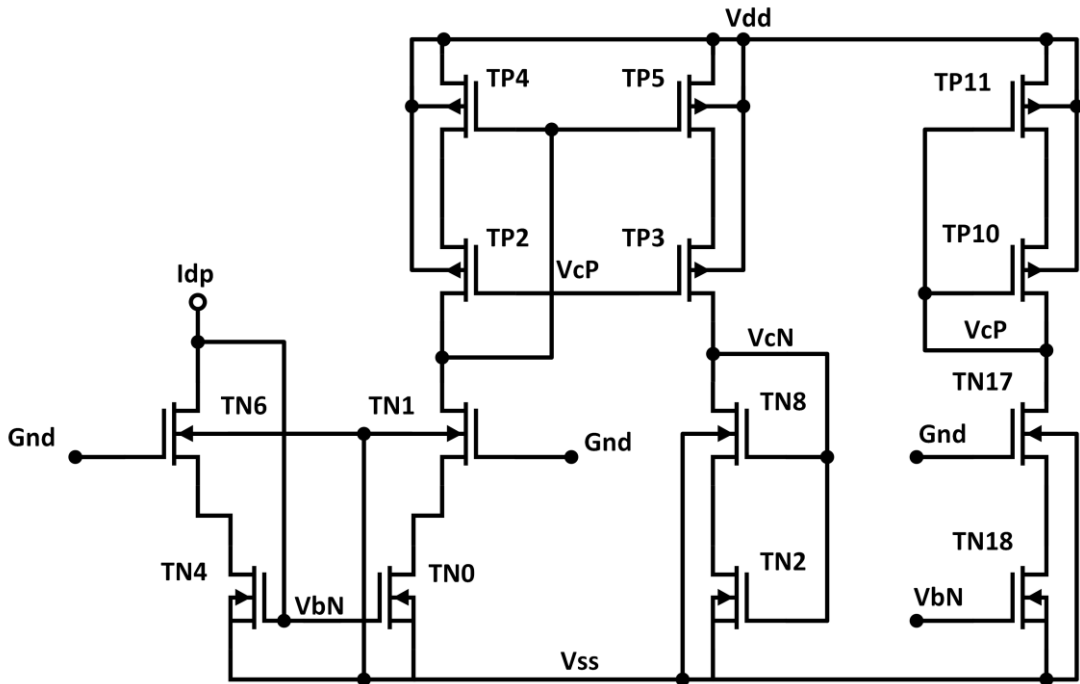


Figura 4-3. Esquemático del bloque de polarización.

4.3.3 Caracterización

En este apartado se van a realizar los análisis necesarios para verificar que el amplificador cumple con su propósito y funciona según lo esperado. Para realizar dichos análisis se ha usado el montaje de la Figura 4-4 en el que analizaremos el amplificador en bucle abierto. En dicho montaje se usa una resistencia (R) de 10 GΩ en la realimentación, una capacidad (C) de 1 F y una carga (Co) de 1 pF.

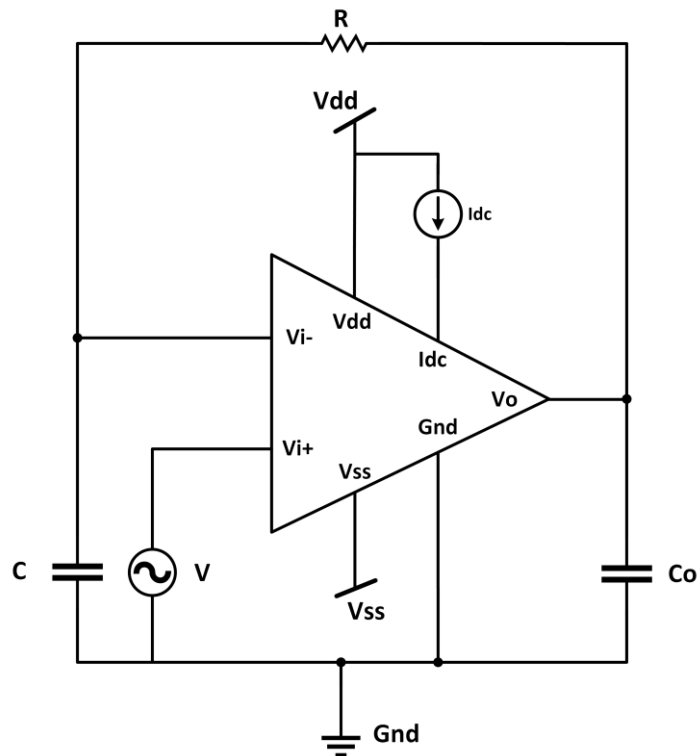


Figura 4-4. Circuito para simulación en bucle abierto del amplificador.

4.3.3.1 Análisis DC

Al realizar el análisis DC, para una señal de entrada con un DC igual a 0 V, se ha evaluado el funcionamiento del circuito y se ha comprobado que el circuito consigue las tensiones deseadas, las cuales, quedan reflejadas en la Tabla 4-3.

Tabla 4-3. Valor tras el análisis DC de las tensiones más relevantes.

Tensión	Valor
VcN	300.7 mV
VcP	-28.17 mV
VbN	-275.8 mV
Vi-	618.6 μ V
Vout	618.6 μ V

Con respecto a las tensiones cascode VcN y VcP se ha decidido generar 300 mV y ≈ 0 mV respectivamente para que el rango de salida sea superior a 0.5 Vpp y para que en el caso de que el circuito sufra desviaciones a la hora de fabricarlo, los transistores de esa rama tengan holgura suficiente y no entren en zona óhmica.

El offset no es 0, debido a que no nos encontramos ante un amplificador ideal, pero dicho offset no es muy significativo porque se puede eliminar en las posteriores etapas del sistema.

4.3.3.2 Análisis frecuencial

En la Figura 4-5 podemos ver magnitud y fase de la salida del amplificador diseñado ante una carga de 1 pF, donde queda reflejado que el ancho de banda calculado donde la ganancia cae 3 dB, es de 536 KHz y el margen de fase es de 74.68°, debido a que el segundo polo se encuentra en torno a los 7 GHz mientras que el GBW se encuentra en 197 MHz. También se puede observar una alta ganancia de 51.38 dB como cabría esperar en este tipo de topología y como se requería en las especificaciones.

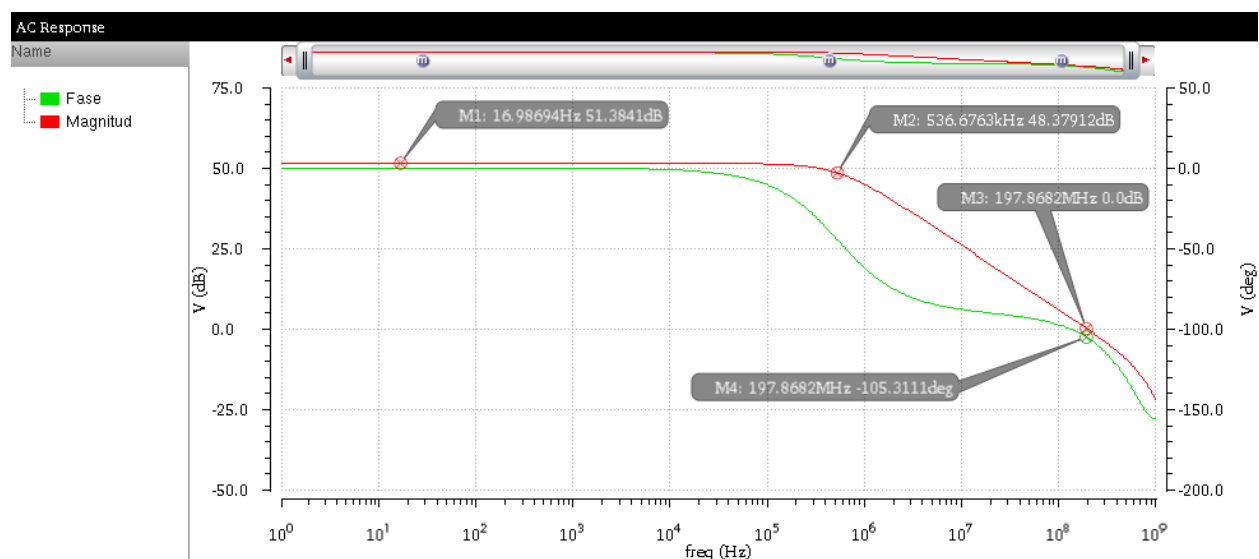


Figura 4-5. Magnitud y fase de la salida del amplificador operacional tras el análisis AC.

4.3.3.3 Análisis transitorio

Para realizar este análisis transitorio se ha introducido a la entrada una señal senoidal de amplitud igual a $27 \mu\text{V}$, que corresponde a la señal de entrada necesaria para obtener a la salida una señal de 20 mVpp que sería la señal mínima de salida que se indica en las especificaciones y que será la usada para realizar los análisis de ruido y determinar la SNR. No se representa la señal de entrada por su escasa amplitud con respecto a la salida. En la Figura 4-6 podemos ver lo anteriormente explicado.

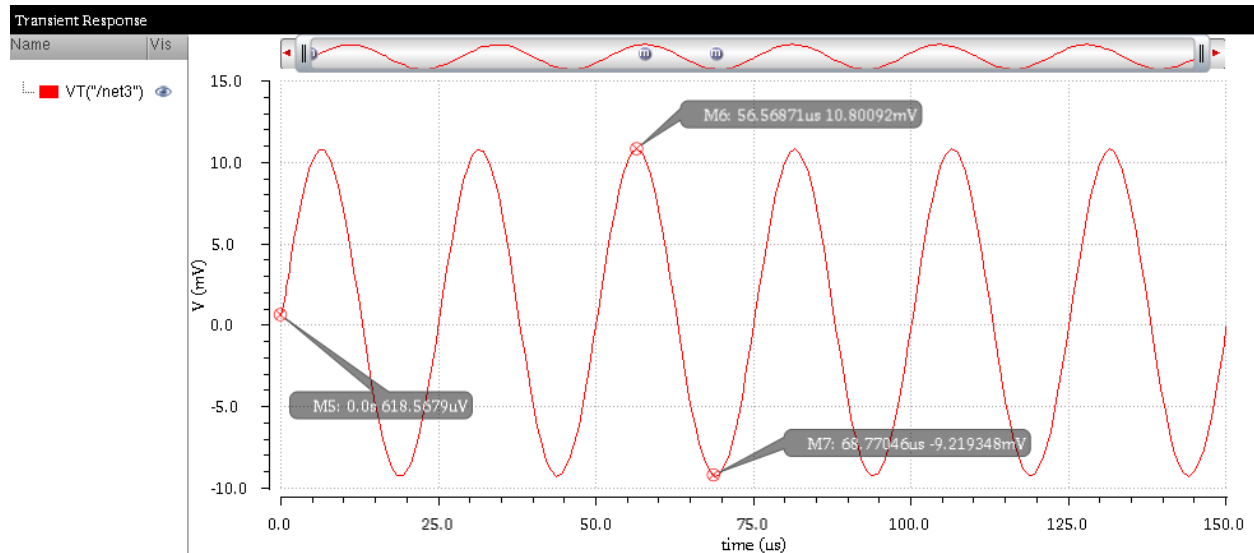


Figura 4-6. Señal senoidal de la tensión a la salida al realizar el análisis transitorio.

4.3.3.4 Análisis de funcionamiento en las esquinas

En este apartado se va a realizar un análisis del funcionamiento del amplificador operacional en las esquinas.

- Temperatura: -25°C

Tabla 4-4. Análisis de funcionamiento del OPAMP en esquinas a -25°C

Medida	TT	FS	SF	FF	SS
Ganancia	51.85 dB	44.80 dB	54.84 dB	40.92 dB	55.26 dB
Margen de fase	76°	79°	75°	81°	74°
BW	557.23 KHz	1.05 MHz	413.81 KHz	1.45 MHz	391.68 KHz
Offset (entrada)	$602.8 \mu\text{V}$	1.202 mV	$472.4 \mu\text{V}$	2.358 mV	$357.3 \mu\text{V}$

- Temperatura: 27°C

Tabla 4-5. Análisis de funcionamiento del OPAMP en esquinas a 27°C

Medida	TT	FS	SF	FF	SS
Ganancia	51.38 dB	48.17 dB	52.88 dB	46.11 dB	52.93 dB
Margen de fase	75°	76°	75°	78°	74°
BW	536.06 KHz	732.10 KHz	461.07 KHz	898.02 KHz	463.69 KHz
Offset (entrada)	616.6 μV	827.8 μV	555 μV	1.27 mV	450.4 μV

- Temperatura: 75°C

Tabla 4-6. Análisis de funcionamiento del OPAMP en esquinas a 75°C

Medida	TT	FS	SF	FF	SS
Ganancia	48.87 dB	47.56 dB	49.43 dB	46.72 dB	49.14 dB
Margen de fase	75°	75°	75°	77°	74°
BW	655.99 KHz	743.09 KHz	622.72 KHz	814.47 KHz	626.28 KHz
Offset (entrada)	752.7 μV	851 μV	725.1 μV	1.125 mV	627.5 μV

A la vista de los resultados podemos concluir que el margen de fase no sufre grandes cambios, sin embargo, no es así para la ganancia, el ancho de banda o el offset. Sin embargo, veremos cómo estas variaciones no afectarán significativamente a las prestaciones del amplificador de carga.

4.4 Diseño del bloque de realimentación

Como ya se explicó en el capítulo 2, el montaje de amplificador de carga que se va a llevar a cabo es el de la Figura 2-4 y la frecuencia de trabajo será de 360 KHz, por tanto, siguiendo las ecuaciones 4-1 y 4-2 se ha optado por los valores que aparecen en la Tabla 4-4.

$$S_{VQ}(dB V/C) = 20 \cdot \log \frac{1}{C_f} \quad (4-1)$$

$$f_c(Hz) = \frac{1}{2 \cdot \pi \cdot R_f \cdot C_f} \quad (4-2)$$

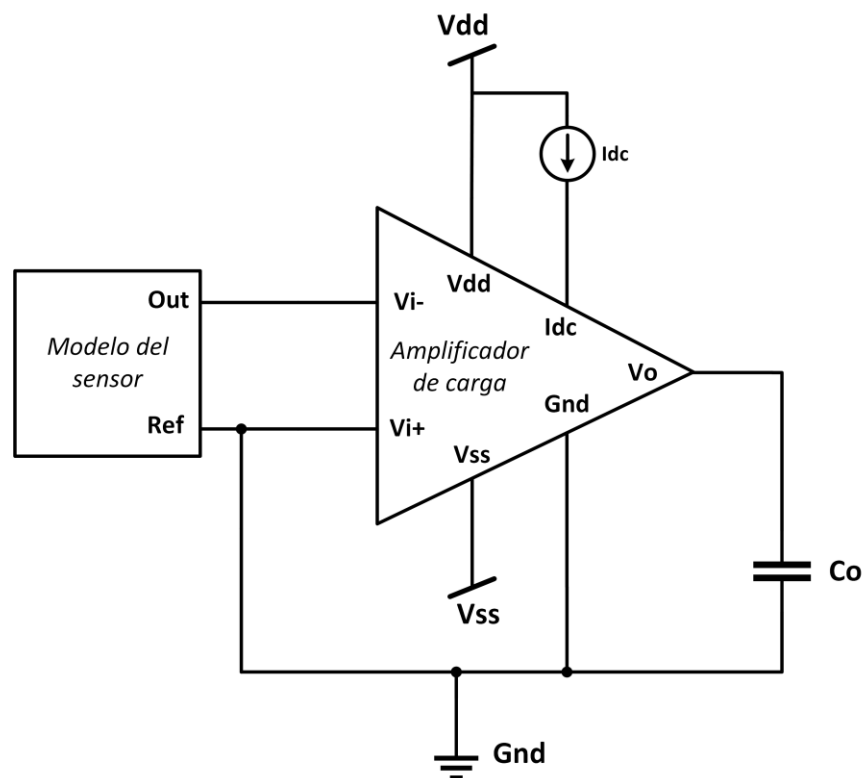
Tabla 4-7. Valores elegidos para la resistencia (R_f) y la capacidad (C_f) de realimentación.

Componente	Valor
Resistencia (R_f)	1 M Ω
Capacidad (C_f)	4 pF

Se ha optado por una resistencia de 1 M Ω para minimizar el ruido y se ha elegido dicha capacidad para obtener una alta sensibilidad que estaría, según la ecuación 4-1, sobre 227.95 dB V/C. También se ha elegido esa capacidad para generar un polo sobre los 40 KHz, según la ecuación 4-2, de forma que en 360 KHz \pm 16 KHz, la respuesta en frecuencia de la salida sea plana.

4.5 Caracterización del amplificador de carga

En este apartado se van a realizar los análisis necesarios para comprobar el correcto funcionamiento del amplificador de carga diseñado. Para realizar esto se va a utilizar el circuito de test de la Figura 4-7.

**Figura 4-7.** Circuito para simulación del amplificador de carga, incluyendo modelo parásito del sensor.

En la Figura 4-7 se puede ver a la izquierda, el modelo en Verilog-A del sensor propuesto explicado en el capítulo 3 y en el centro, un símbolo que representa el amplificador de carga y cuyo interior podemos ver en la Figura 4-8.

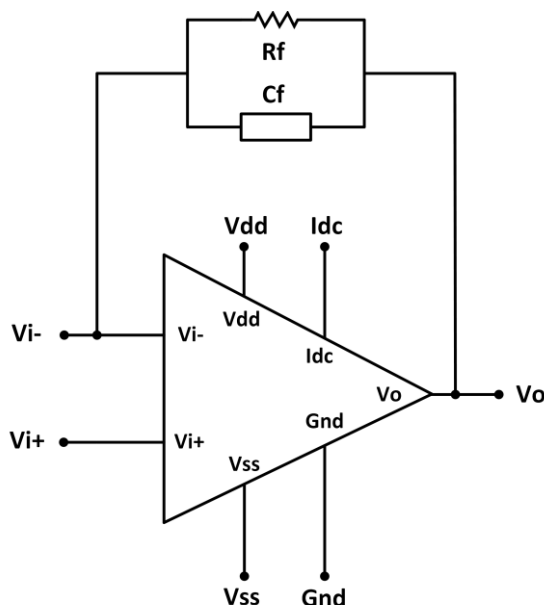


Figura 4-8. Contenido del símbolo del amplificador de carga.

En la parte superior de la Figura 4-8 se puede apreciar el bloque de realimentación compuesto por una resistencia $1\text{ M}\Omega$ de la librería CMRF7SF y debajo se encuentra un símbolo que representa a cuatro capacidades de 1 pF conectadas en paralelo y que pertenecen también a la librería CMRF7SF.

4.5.1 Análisis DC

El circuito de test propuesto es el mostrado en la Figura 4-7 e incluye una realimentación capacitiva donde se encuentra una resistencia (R_f) que establece un camino de realimentación DC que garantiza la estabilidad y evita la saturación a largo plazo por cualquier corriente de fuga en la carga del condensador. En este caso tenemos un offset a la salida 6.5 mV , el cual, es lógico debido a que tenemos una resistencia de realimentación (R_f) de $1\text{ M}\Omega$ que unida a la resistencia parásita del sensor hace que circule una corriente en DC por el camino de la realimentación. Por otro lado, también tenemos un offset a la entrada debido a que nuestro amplificador de carga no es ideal y por tanto su ganancia no es infinita.

Tabla 4-8. Valor tras el análisis DC de las tensiones más relevantes.

Tensión	Valor
V_{cN}	300.7 mV
V_{cP}	-28.17 mV
V_{bN}	-275.8 mV
V_{i-}	$598.1\text{ }\mu\text{V}$
V_{out}	6.565 mV

4.5.2 Análisis frecuencial

Como se esperaba, al realizar el análisis frecuencial en el amplificador de carga, nos encontramos con un paso de alta, con el polo sobre los 40 KHz, una sensibilidad de 227.81 dB y una respuesta en frecuencia plana más que suficiente para nuestra aplicación ya que nosotros trabajaremos entre $360 \text{ KHz} \pm 16 \text{ KHz}$. Todo esto se puede comprobar en la Figura 4-10.

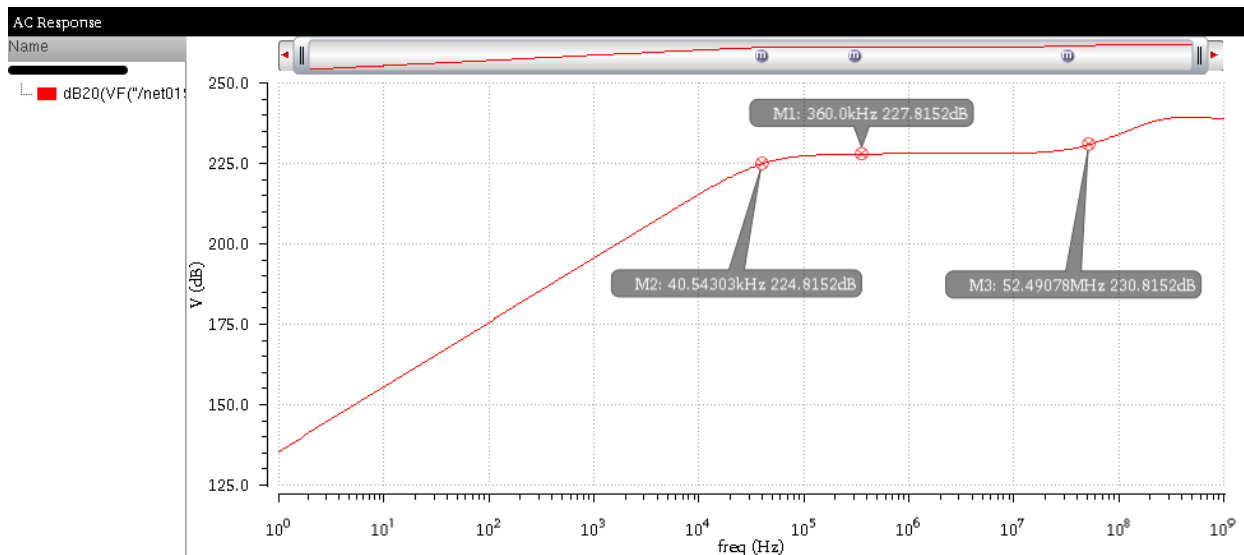


Figura 4-9. Resultado de la salida del amplificador de carga tras el análisis frecuencial.

4.5.3 Análisis transitorio

Para realizar este análisis transitorio se ha emulado a través del sensor de ultrasonidos modelado en Verilog-A una carga de 1 pC en forma de señal senoidal, obteniendo a la salida una señal de 488 mVpp. En la Figura 4-11 se puede apreciar lo anteriormente explicado.

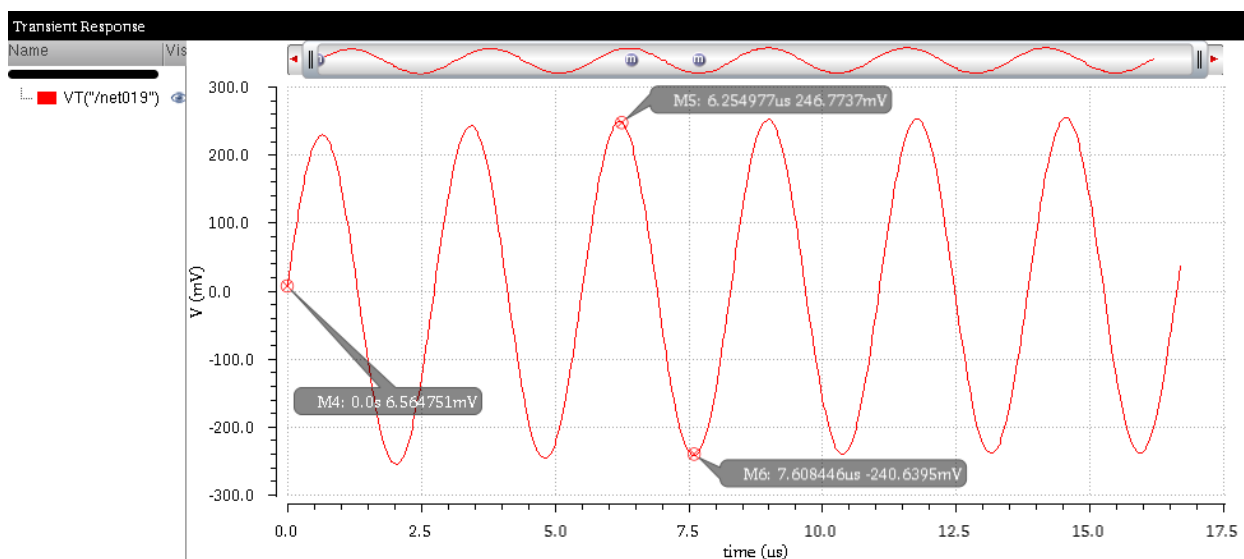


Figura 4-10. Señal senoidal de tensión a la salida del amplificador de carga.

4.5.4 Análisis de ruido

En este apartado se ha medido la SNR a la salida de nuestro amplificador de carga. El análisis de ruido se ha realizado en nuestra zona de interés que se sitúa en $360 \text{ KHz} \pm 16 \text{ KHz}$, es decir, en la banda entre 344 KHz y 376 KHz y con una señal a la salida de 20 mVpp, que sería nuestra señal de salida en el peor caso. Los resultados son los siguientes:

Device	Param	Noise Contribution	% Of Total
/I20/I1/TN7	fn	1.45176e-11	38.58
/I20/I1/TN12	fn	1.40258e-11	37.27
I20.RRR0.rma	rn	3.20171e-12	8.51
I20.RRR0.rmb	rn	3.18962e-12	8.48
/I20/I1/TN12	id	5.43771e-13	1.45
/I20/I1/TN7	id	5.36139e-13	1.42
/I20/I1/TP7	id	4.96474e-13	1.32
/I20/I1/TP1	id	4.95612e-13	1.32
/I20/I1/TN9	fn	1.42657e-13	0.38
/I20/I1/TP7	fn	1.26771e-13	0.34
/I20/I1/TP1	fn	1.26142e-13	0.34
/I20/I1/TN11	fn	1.16189e-13	0.31
/I20/I1/TN0	fn	5.03421e-14	0.13
/I20/I1/TN4	fn	9.32819e-15	0.02
I20.I1.TP7.rgate	rn	5.27925e-15	0.01

Integrated Noise Summary (in V²) Sorted By Noise Contributors
 Total Summarized Noise = 3.76301e-11
 No input referred noise available
 The above noise summary info is for noise data

Figura 4-11. Resultados tras el análisis de ruido realizado en el amplificador de carga.

En la Figura 4-11 podemos ver que los transistores que más ruido introducen son los transistores de entrada (TN7 y TN12) y mediante la ecuación 4-3 se realizará el cálculo de la SNR.

$$\begin{aligned}
 SNR_{salida}(dB) &= 10 * \log \frac{P_{s|out}}{P_{n|out}} = 10 * \log \frac{\frac{(A_{out})^2}{2}}{Total\ Summarized\ Noise} = \\
 &= 10 * \log \frac{\frac{(10\ mV)^2}{2}}{3.76301 \cdot 10^{-11}} = 61.23\ dB
 \end{aligned} \tag{4-3}$$

Como podemos comprobar, la SNR a la salida de nuestro circuito es de 61.23 dB, superando con creces los 32 dB que venían impuestos por las especificaciones.

4.5.5 Análisis de funcionamiento en las esquinas

En este apartado se va a realizar un análisis del funcionamiento del amplificador de carga en las esquinas.

- Temperatura: -25°C

Tabla 4-9. Análisis de funcionamiento del amplificador de carga en esquinas a -25°C

Medida	TT	FS	SF	FF	SS
Sensibilidad	227.84 dB V/C	227.79 dB V/C	227.85 dB V/C	227.74 dB V/C	227.85 dB V/C
Offset (salida)	6.856 mV	13.21 mV	5.417 mV	25.12 mV	4.081 mV
SNR	61.71 dB	61.25 dB	61.37 dB	59.05 dB	61.19 dB

- Temperatura: 27°C

Tabla 4-10. Análisis de funcionamiento del amplificador de carga en esquinas a 27°C

Medida	TT	FS	SF	FF	SS
Sensibilidad	227.95 dB V/C	227.79 dB V/C	227.82 dB V/C	227.78 dB V/C	227.82 dB V/C
Offset (salida)	6.565 mV	8.691 mV	5.915 mV	13.24 mV	4.778 mV
SNR	61.23 dB	61.48 dB	60.90 dB	61.39 dB	60.74 dB

- Temperatura: 75°C

Tabla 4-11. Análisis de funcionamiento del amplificador de carga en esquinas a 75°C

Medida	TT	FS	SF	FF	SS
Sensibilidad	227.78 dB V/C	227.77 dB V/C	227.78 dB V/C	227.77 dB V/C	227.78 dB V/C
Offset (salida)	7.521 mV	8.458 mV	7.261 mV	11.18 mV	6.24 mV
SNR	61.04 dB	61.27 dB	60.72 dB	61.40 dB	60.57 dB

A la vista de los resultados podemos concluir que ni la SNR ni la sensibilidad experimentan cambios notables, sin embargo, el offset a la salida en el caso de FF sufre una subida de hasta 25 mV en el peor caso, lo cual no es un problema ya que nuestro rango de salida tiene holgura suficiente para soportar esa variación.

5 DISEÑO DEL LAYOUT

5.1 Introducción

En este capítulo se va a proceder a explicar cómo se ha diseñado el layout, se explicará el porqué de la ubicación y la elección de los distintos componentes, el dimensionamiento de los transistores, las técnicas usadas para machearlos y se realizará una comparativa de resultados entre esquemático y layout.

5.2 Floorplanning

La realización de un Floorplanning es de bastante importancia a la hora de diseñar el layout de un circuito porque podremos situar los componentes, decidir las formas que tendrán y el área que ocuparán.

Para la realización de nuestro Floorplanning se han seguido los siguientes pasos.

En primer lugar, el área. Se ha intentado que el circuito quede lo más cuadrado y pequeño posible para ahorrar área en la oblea de silicio ya que como se sabe, es lo más costoso. En segundo lugar, se han marcado los ejes de simetría, se han señalado los transistores que se debían machear y se ha diseñado, en la medida de lo posible, para que el ancho de los transistores que componen una fila sea el mismo. Se ha usado un patrón de interdigitalización siguiendo un patrón de simetría inverso.

En tercer lugar, se han agrupado los grupos de transistores del mismo tipo, NMOS o PMOS, en la misma región. Por último, se ha situado la resistencia (R_f) y la capacidad (C_f) de realimentación en un área de bajo stress para que evitar problemas de ruido o calentamiento.

Siguiendo todos estos pasos se ha realizado el Floorplanning de la Figura 5-1.

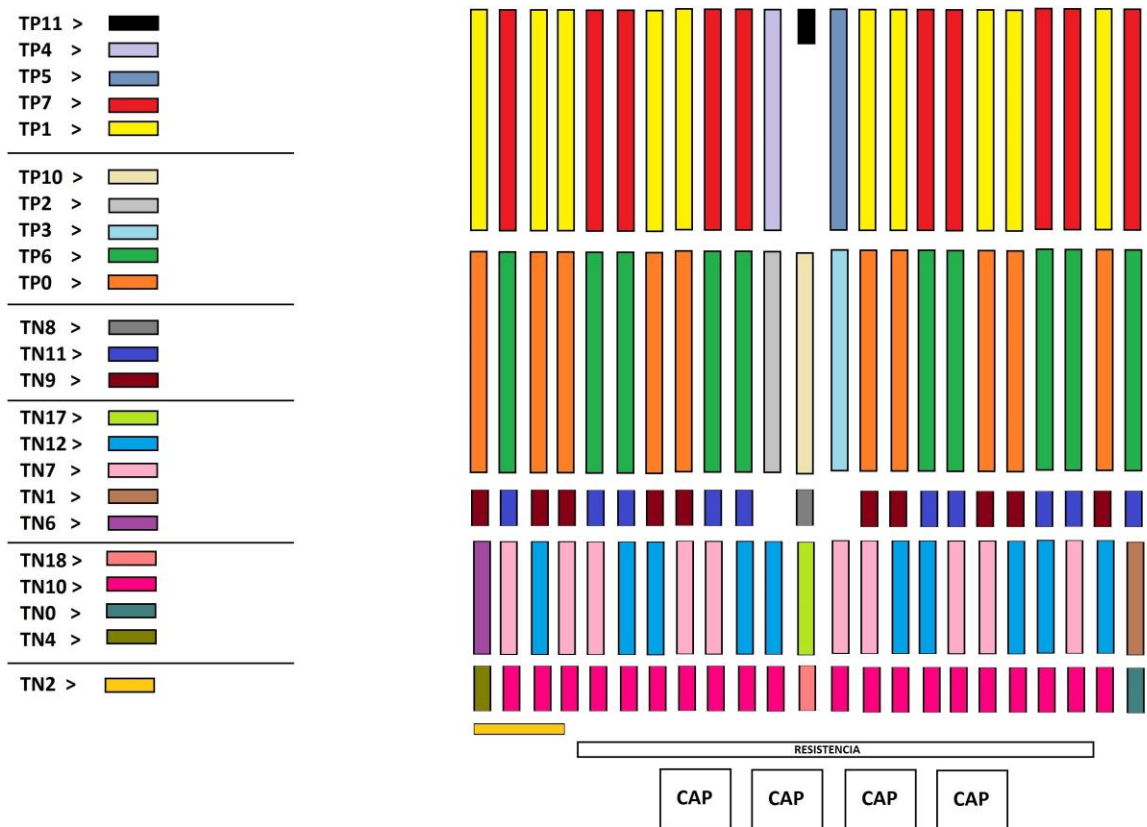


Figura 5-1. Floorplanning de los elementos del layout del amplificador de carga.

5.3 Layout de los distintos componentes

5.3.1 Layout de la resistencia de realimentación (Rf)

Para realizar el layout de la resistencia de realimentación (Rf) se ha usado la resistencia oprpresx de la librería propia de la tecnología, CMRF7SF ya que ofrece una alta resistividad por cuadro permitiendo integrar resistencias de $M\Omega$ en áreas de pocos cientos de μm^2 . En la Tabla 5-1 podemos ver los parámetros más importantes que se han elegido para crearla.

Tabla 5-1. Parámetros de la resistencia de realimentación (Rf)

Parámetro	Valor
Resistencia (Total)	1.00033 $M\Omega$
Resistencia	333.444 $k\Omega$
Ancho	500 nm
Largo	98.7 μm
Número de barras en serie	3

Debido al alto valor resistivo, se ha optado por una resistencia compuesta por 3 resistencias de 333.444 k Ω en serie, como podemos apreciar en la Figura 5-2.

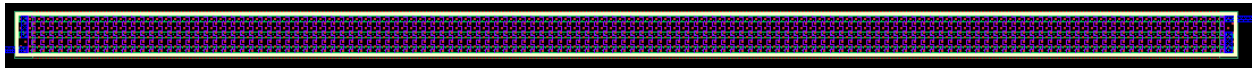


Figura 5-2. Layout de la resistencia de realimentación (Rf).

5.3.2 Layout de la capacidad de realimentación (Cf)

Para realizar la capacidad de realimentación (Cf) se ha usado la capacidad mimx de la librería propia de la tecnología, CMRF7SF. En este caso, para crear una capacidad de 4 pF se ha optado por conectar en paralelo 4 capacidades de 1 pF por razones de área. En la Tabla 5-2 podemos ver los parámetros más importantes que se han elegido para crear una capacidad de 1 pF.

Tabla 5-2. Parámetros de la capacidad de realimentación (Cf).

Parámetro	Valor
Capacitancia (efectiva)	999.4716 fF
Largo	22 μm
Ancho	22.35 μm

Cabe destacar dos curiosidades acerca del layout de este tipo de capacidad. En primer lugar, para poder conectar este tipo de capacidades es necesario subir hasta la capa de metal AM, es decir, la última de las 7 capas de metales de las que consta esta tecnología (RX – M1 – M2 – M3 – M4 – MT – AM), y, en segundo lugar, para poder conectar el terminal negativo, que se encuentra en la capa MT, es necesario subir hacia la capa AM y volver a bajar hacia la MT. En la Figura 5-3 se puede apreciar lo anteriormente comentado y también se puede ver el aspecto final de las 4 capacidades de 1 pF conectadas en paralelo.

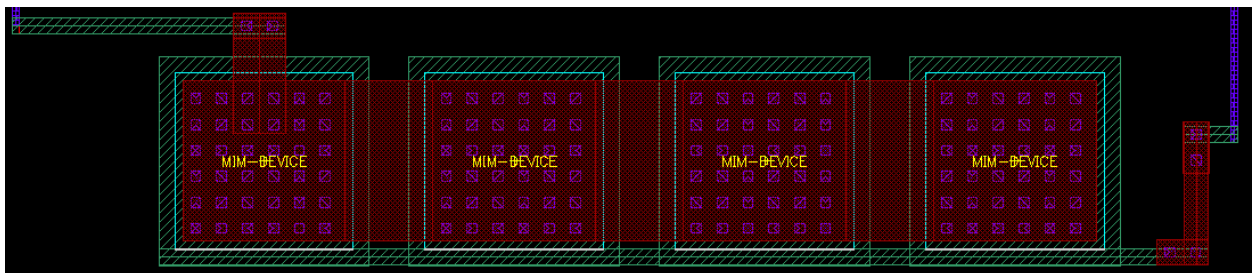


Figura 5-3. Layout de la capacidad de realimentación (Cf).

5.3.3 Layout del amplificador operacional

Para poder hacer un buen layout del amplificador ha sido necesario dividir los transistores de forma que se pueda aplicar el patrón de interdigitalización que se propuso en el Floorplanning. En las Tablas 5-3 y 5-4 se indica el ancho, el largo y el multiplier de cada transistor NMOS y PMOS respectivamente.

Tabla 5-3. Dimensiones de los transistores NMOS.

NMOS	Multiplier	Ancho	Largo
TN6 – TN1 – TN17	1	2.2 μm	360 nm
TN7 – TN12	10	2.2 μm	360 nm
TN8	1	640 nm	360 nm
TN9 – TN11	10	640 nm	360 nm
TN4 – TN0 – TN18	1	720 nm	360 nm
TN10	20	720 nm	360 nm
TN2	1	450 nm	3.21 μm

Tabla 5-4. Dimensiones de los transistores PMOS.

PMOS	Multiplier	Ancho	Largo
TP4 – TP5	1	4.2 μm	360 nm
TP11	1	620 nm	360 nm
TP1 – TP7	10	4.2 μm	360 nm
TP2 – TP3 – TP10	1	4.2 μm	360 nm
TP0 – TP6	10	4.2 μm	360 nm

A la hora de diseñar el layout de un transistor se han tenido en cuenta varios aspectos.

En primer lugar, los óxidos de las puertas de los transistores están sujetos a daños por carga durante el proceso de fabricación de la oblea. Procesos energéticos como el grabado de iones negativos y la deposición de plasma pueden conducir a una acumulación de carga en la puerta con relación al sustrato de la oblea. Si la carga en la puerta tiene el potencial suficiente, el óxido de la puerta se romperá. Para evitar esto, se proporciona un camino de descarga alternativo desde el nodo de puerta al sustrato, utilizando un diodo de sustrato [15].

En nuestro caso, a cada puerta de cada transistor se ha conectado un diodo nTiedown en el caso de los NMOS y pTiedown en el caso de los PMOS a través de metal 1. Dichos diodos se pueden encontrar en la librería propia de la tecnología, CMRF7SF.

Y, en segundo lugar, se debe de hablar sobre los anillos de guarda. El principio de un anillo de guarda es rodear al transistor con conductores que puedan capturar las corrientes espurias que circulan por el sustrato y, al mismo tiempo, mantener entre el anillo y el transistor, la menor diferencia de potencia posible [14]. En nuestro caso se ha optado por rodear cada transistor NMOS o PMOS con dos anillos de guarda, uno conectado al potencial más positivo (V_{dd}) y el otro conectado al potencial más negativo (V_{ss}), según proceda. También es necesario, por la misma razón que se ha explicado anteriormente, tener conectado un diodo nTiedown en el anillo interior de los PMOS.

En la Figura 5-4 podemos ver el layout de un transistor NMOS. Vemos como la puerta se encuentra conectada

al diodo nTiedown y, como se ha explicado antes, tenemos dos anillos de guarda. En este caso el anillo interior, de material P+, va conectado a Vss y el exterior, de material NW/P+, a Vdd.

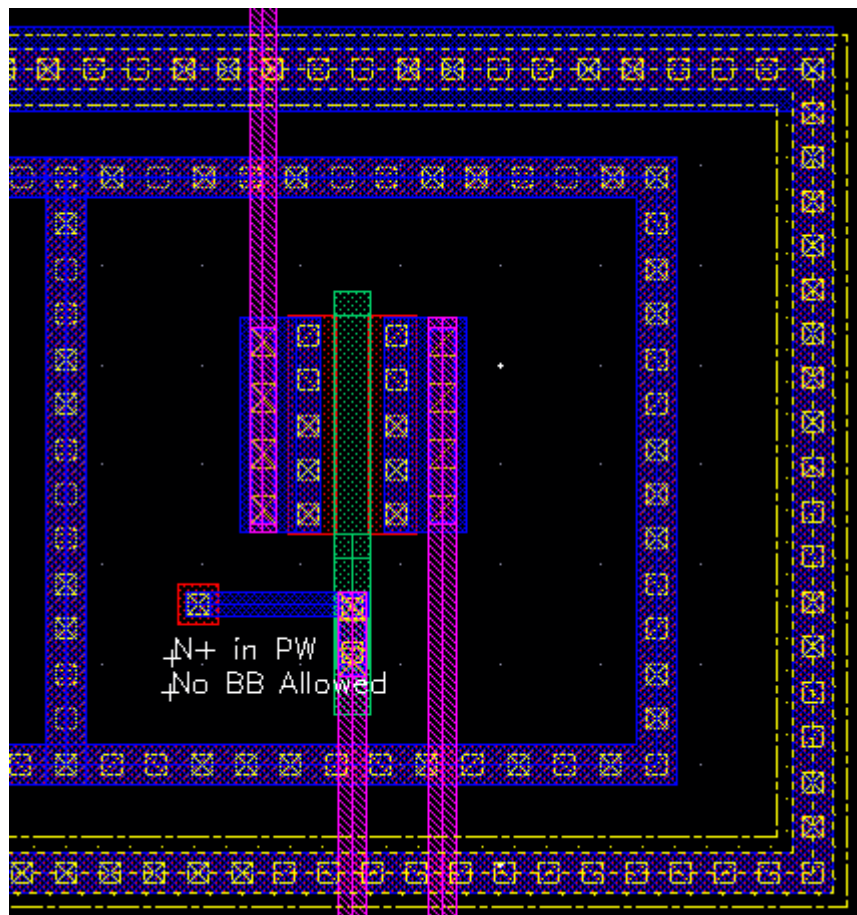


Figura 5-4. Vista layout de un transistor NMOS.

En la Figura 5-5 podemos ver el layout de un transistor PMOS. Vemos como la puerta se encuentra conectada al diodo pTiedown y, como se ha explicado antes, tenemos dos anillos de guarda. En este caso el anillo interior, de material NW/P+, va conectado a Vdd y está conectado también a un diodo nTiedown para evitar problema de puerta flotante y antena, y, el anillo exterior, de material P+, va conectado a Vss. Cabe destacar también el de material NW que se ha conectado entre el anillo de guarda interior (NW/P+) y la oblea para que el PMOS este sobre un pozo de tipo N.

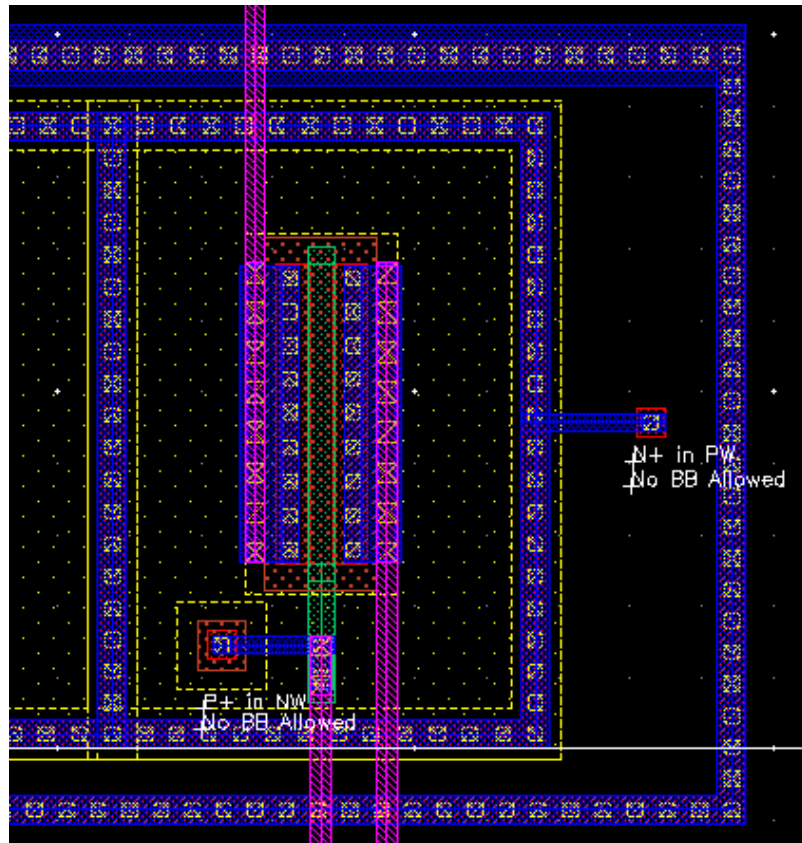


Figura 5-5. Vista layout de un transistor PMOS.

Por último, en la Figura 5-6 se muestra el layout del amplificador operacional. Se ha utilizado metal 1 en horizontal y los demás metales se han ido alternando entre vertical y horizontal.

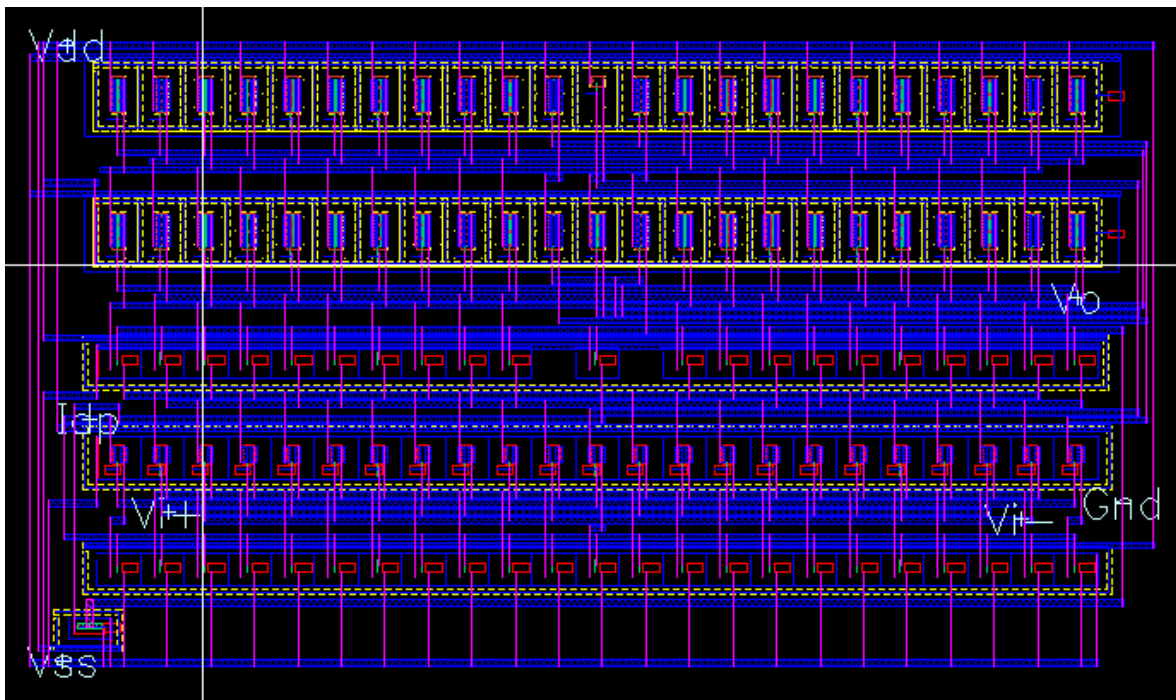


Figura 5-6. Vista layout del amplificador operacional cascode.

5.4 Layout del circuito completo

Por último, se va a presentar el layout del amplificador de carga, donde se realiza la unión de la resistencia de realimentación (R_f), la capacidad de realimentación (C_f) y el amplificador operacional, quedando como se puede ver en la Figura 5-7. Finalmente, nuestro amplificador de carga tiene unas medidas de $124 \times 159.5 \mu\text{m}$, lo que equivale a 19.778 mm^2 .

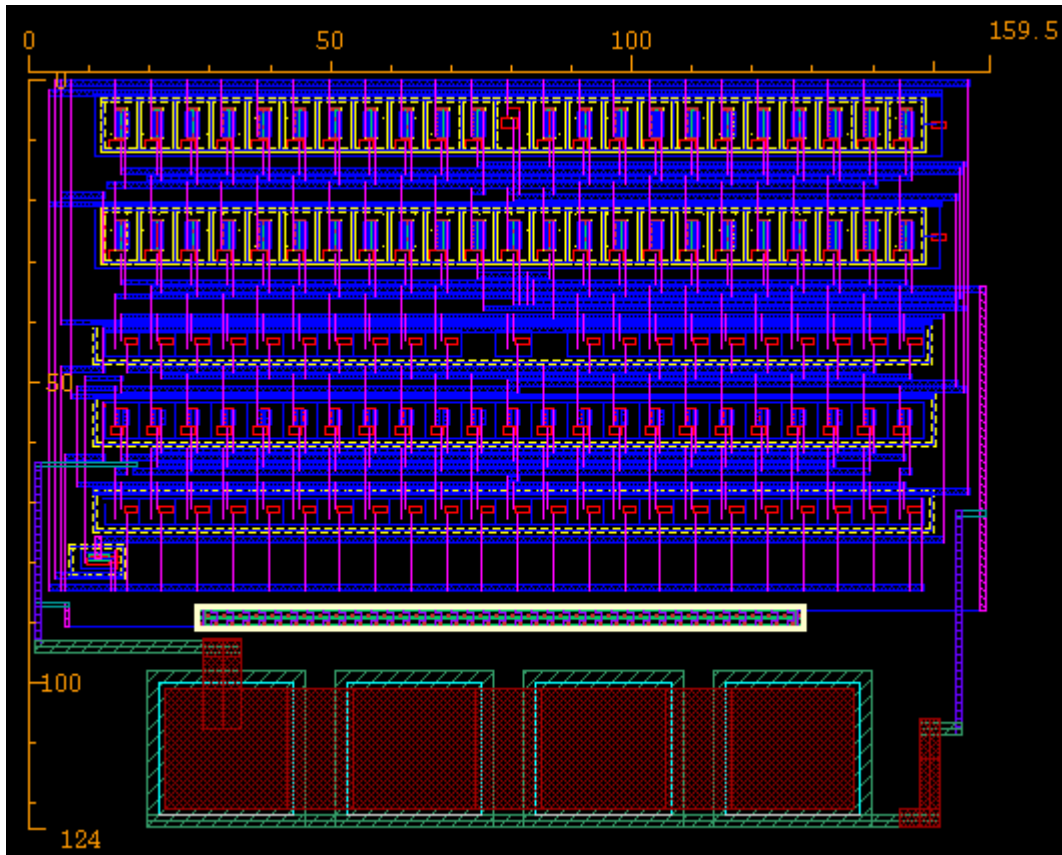


Figura 5-7. Vista layout del amplificador de carga.

5.5 Comparativa a nivel de esquemático y layout

Una vez diseñado el amplificador de carga a nivel de layout, y superadas todas las pruebas de DRC y LVS, se procederá a comprobar que el funcionamiento del circuito a nivel de esquemático es similar al funcionamiento a nivel de layout. Para ello se ha realizado análisis con la vista extracted y con la vista esquemático, y se han comparado. Para verificar el funcionamiento de ambos, se han realizado análisis DC, frecuencial y transitorios, obteniendo los siguientes resultados.

En primer lugar, al realizar el DC, comprobamos que el offset a la salida aumenta $18 \mu\text{V}$ cambiando de 6.565 mV a 6.583 mV , por lo que prácticamente no varía.

En segundo lugar, se ha realizado un análisis frecuencial. En la Figura 5-8 tenemos la comparación entre esquemático y extracted. Como podemos comprobar, se empiezan a notar cambios a partir de $10 \text{ M}\Omega$, lo cual, no nos importa en exceso porque nuestra banda de interés está en torno a los $360 \text{ k}\Omega$.

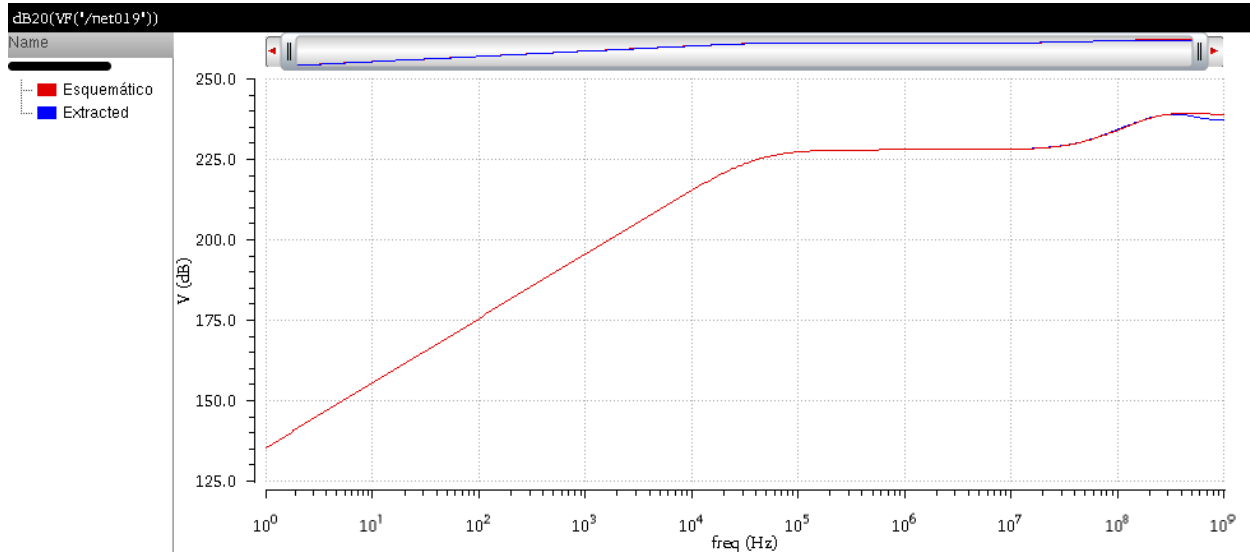


Figura 5-8. Comparativa en frecuencia entre esquemático y extracted a la salida del amplificador.

Por último, se ha realizado un análisis transitorio. Se ha introducido una señal de carga senoidal de 1 pC a la frecuencia de 360 k Ω y se han representado 6 periodos de la misma. En la Figura 5-9 podemos comprobar que prácticamente no existen diferencias entre las vistas esquemático y extracted.

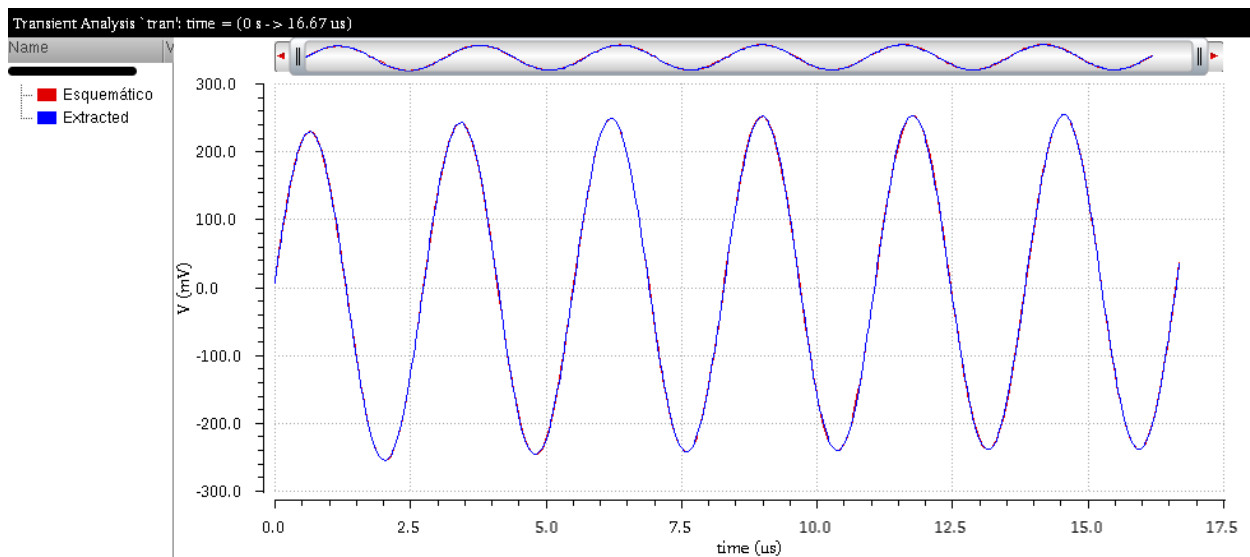


Figura 5-9. Comparativa, entre esquemático y layout, de la tensión a la salida del amplificador.

A la vista de los resultados podemos concluir que el trabajo realizado en el layout ha sido satisfactorio.

6 CONCLUSIONES Y TRABAJO FUTURO

Este trabajo fin de grado he tenido como objetivo la caracterización de un sensor de ultrasonidos en laboratorio, el modelado en Verilog-A de dicho sensor y el diseño en una tecnología CMOS estándar de 180 nm, tanto a nivel de esquemático como de layout, de un amplificador de carga necesario.

Teniendo en cuenta los resultados obtenidos podemos concluir que, si no existen problemas derivados del canal de comunicación que hasta ahora no se hayan contemplado y que atenúen de forma brusca la amplitud de la señal transmitida, el amplificador de carga será capaz de trabajar con cargas de hasta 1 pC.

Por otro lado, debido a que tenemos un margen de fase de 74° , se podría haber reducido el consumo si hubiésemos reducido el margen de fase en torno a 60° , reduciendo la corriente de cola del par diferencial.

Con respecto al trabajo futuro, son varios los temas a abordar.

En primer lugar, sería necesario desarrollar las siguientes etapas de las que consta un sistema de recepción de datos. Una vez recibida y amplificada la señal sería necesario diseñar un ADC para transformar la salida de nuestro amplificador, que es una onda senoidal, en ceros y unos y, luego, habría que demodular la señal que nos queda en forma de información binaria para obtener información que podamos entender.

En segundo lugar, sería interesante realizar pruebas con otro tipo de sensores de ultrasonidos para comprobar el rendimiento de éstos y compararlos con los sensores que se han usado en este proyecto ya que puede que el funcionamiento sea más eficaz o el consumo sea menor.

Por último, con respecto al aspecto comercial, hay dos temas importantes. Primero, que el sistema pudiera desarrollarse usando un canal metálico de mayor grosor, entre 6 y 15 cm, ya que, son varias las aplicaciones, de carácter civil y militar, en las que el grosor del metal oscila entre los valores antes indicados. Y, segundo, que se creara un sistema que englobase al receptor y al transmisor para poder tener un producto cerrado que poder ofrecer al mercado.

REFERENCIAS

- [1] «Jimdo,» [En línea]. Disponible en: <http://jamgmanenimiento.jimdo.com/redes/redes-cableadas/>.
- [2] «Wikipedia,» [En línea]. Disponible en: https://es.wikipedia.org/wiki/Jaula_de_Faraday.
- [3] R. Welle, "Ultrasonic data communication system," Nov. 9 1999, US Patent 5,982,297.
- [4] «Drexel.edu,» [En línea]. Disponible en: https://idea.library.drexel.edu/islandora/object/idea%3A3343/datastream/OBJ/download/High_bit-rate_digital_communication_through_metal_channels.pdf.
- [5] G. J. Saulnier, H. A. Scarton, A. J. Gavens, D. A. Shoudy, T. L. Murphy, M. Wetzel, S. Bard, S. Roa-Prada, y P. Das, "P1g-4 through-wall communication of low-rate digital data using ultrasound," en *Ultrasonics Symposium*, 2006. IEEE, oct. 2006, pp. 1385-1389.
- [6] D. Shoudy, G. Saulnier, H. A. Scarton, P. Das, S. Roa-Prada, J. Ashdown y A. Gavens, "P3f-5 an ultrasonic through-wall communication system with power harvesting," en *Ultrasonic Symposium*, 2007. IEEE, oct. 2007, pp. 1848-1853.
- [7] M. Kluge, T. Becker, J. Schalk, y T. Otterpohl, "Remote acoustic powering and data transmission for sensors inside of conductive envelopes," en *Sensors*, 2008 IEEE, oct. 2008, pp. 41-44.
- [8] «Quecomoquien,» [En línea]. Disponible en: <http://quecomoquien.republica.com/ciencia/enviar-energia-y-datos-sin-cables-mediante-ultrasonidos.html>.
- [9] «Rapidonline,» [En línea]. Disponible en: <https://www.rapidonline.com/prowave-400ep250-40KHz-plastic-ultrasonic-transceiver-enclosed-type-35-1775>.
- [10] A. Carlosena, A. J. López-Martín y M. Massarotto, "Charge Amplifiers," en *Encyclopedia of Sensors*, 2006, pp 1-13.

-
- [11] B. Razavi, "Operational Amplifiers", en *Design of Analog CMOS Integrated Circuits*, 2001, pp. 291-336
- [12] «Wikipedia,» [En línea]. Disponible en: <https://en.wikipedia.org/wiki/Cascode>
- [13] «Prezi,» [En línea]. Disponible en: <https://prezi.com/dgvay3n0ndbr/amplificadores-cascode/>
- [14] L. Veraguas y J. Pere, en *Compatibilidad electromagnética y seguridad funcional en sistemas electrónicos*, 2010.
- [15] *Design Kit and Technology Training CMOS7RF (CMRF7SF) V1800*, IBM Microelectronics.

GLOSARIO

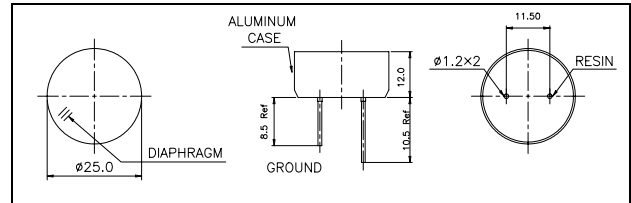
CMOS: Complementary Metal Oxide Semiconductor	2
SNR: Signal to Noise Ratio	2
OFDM: Orthogonal Frequency Division Multiplexing	9
NMOS: Negative channel Metal Oxide Semiconductor	18
PMOS: P-channel Metal Oxide Semiconductor	19
DC: Direct Current	21
GBW: Gain Bandwidth Product	22
OPAMP: Amplificador operacional	23
DRC: Design Rule Checking	40
LVS: Layout Versus Schematic	40
ADC: Analog to Digital Converter	43

ANEXOS

ANEXO A: DOCUMENTACIÓN DEL SENSOR DE ULTRASONIDOS 400EP250

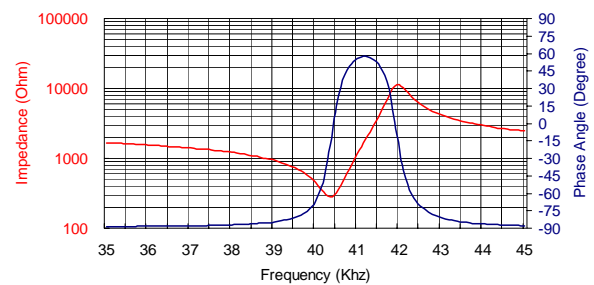


Dimensions: dimensions are in mm



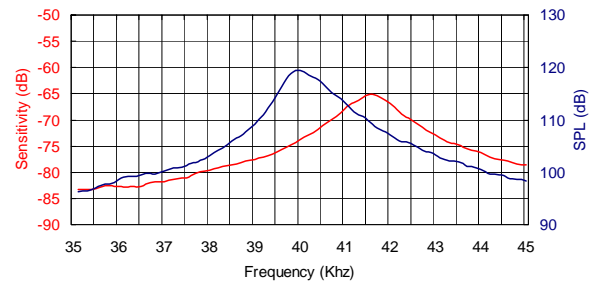
Impedance/Phase Angle vs. Frequency

Tested under 1Vrms Oscillation Level

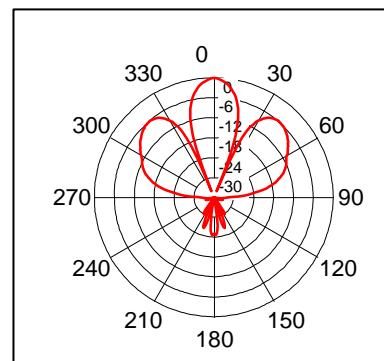


Sensitivity/Sound Pressure Level

Tested under 10Vrms @30cm



Beam Angle: Tested at 40.0Khz frequency



Specification

400EP250	Transceiver
Center Frequency	40.0±1.0Khz
Bandwidth (-6dB) 400EP250	2.0Khz(FOM)
Transmitting Sound Pressure Level	113dB min.
at resonant frequency; 0dB re 0.0002μbar per 10Vrms at 30cm	
Receiving Sensitivity	-72dB min.
at resonant frequency 0dB = 1 volt/μbar	
Nominal Impedance (Ohm)	300
Ring. (ms)	1.2 max.
Capacitance at 1Khz ±20%	2400 pF
Temperature Compensated Type	4800 pF
Max. Driving Voltage (cont.)	20Vrms
Total Beam Angle -6dB	30° typical
Operation Temperature	-30 to 80°C
Storage Temperature	-40 to 85°C

All specification taken typical at 25°C
 Closer frequency tolerance, shorter ringing, wider bandwidth and temperature compensated models can be supplied upon request.

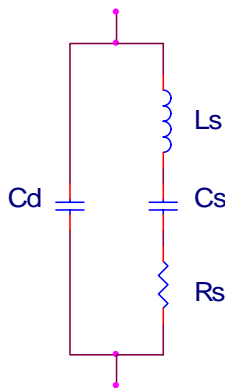
Model available:

1	400EP250	Aluminum Housing
2	400EP25B	Black Al. Housing

APPLICATION NOTE – AP050913

Equivalent Circuit of Ultrasonic Transducers

The equivalent circuit of piezoelectric ceramic ultrasonic transducer is similar as the well-known crystal, which is composed of a series branch of L_s , C_s and R_s and a parallel branch of C_d .



The values can be simply obtained from calculation of the impedance data.

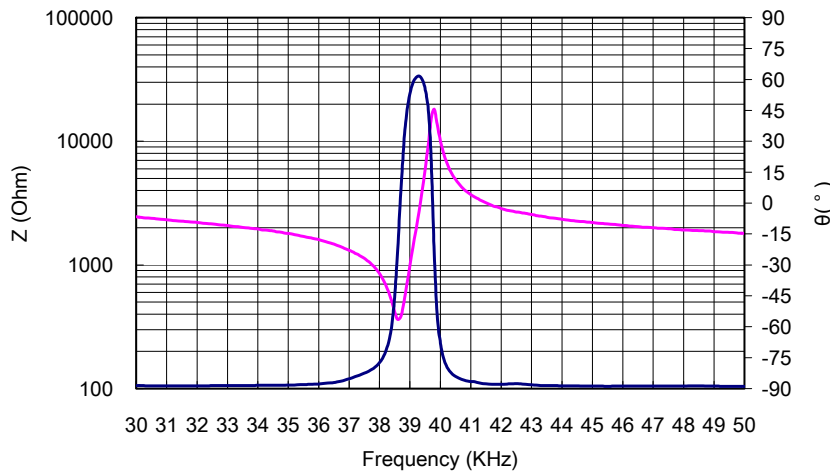
C_d : Clamping Capacity, measured at the frequency far away from resonant frequency, which approximates to static capacity.

L_s : Equivalent Inductor = $1/(4 \pi^2 f_s^2 C_s)$

C_s : Equivalent Capacity = $C_d * [(f_p^2/f_s^2)-1]$

R_s : Real part of the impedance at resonant frequency

A transducer of model 400ER250 has impedance characters shown as below.



- $f_s = 38.6 \text{ KHz}$
- $f_p = 39.8 \text{ KHz}$
- $Z_{f_s} = 362 \text{ Ohm}$
- $\theta_s = -22.8^\circ$
- $Z_{f_p} = 18200 \text{ Ohm}$
- $C_d = 2430 \text{ pF}$

Impedance (Z) at resonant frequency of 38.6 KHz is 362 (-22.8°) .

$$C_s = 2430 * [(39.8^2/38.6^2)-1] = 153.4 \text{ pF}$$

$$L_s = 1/[4 * 3.142 * 38600^2 * (153.4/1000000000000)] = 6.99 \text{ mH}$$

$$R_s = 362 * \cos(-22.8^\circ) = 333.7 \text{ Ohm}$$

APPLICATION NOTE – AP050830

Selection and use of Ultrasonic Ceramic Transducers

The purpose of this application note is to aid the user in the selection and application of the Ultrasonic ceramic transducers.

The general transducer design features a piezo ceramic disc bender that is resonant at a nominal frequency of 20 – 60 KHz and radiates or receives ultrasonic energy. They are distinguished from the piezo ceramic audio transducer in that they produce sound waves above 20 KHz that are inaudible to humans and the ultrasonic energy is radiated or received in a relatively narrow beam. The “open” type ultrasonic transducer design exposes the piezo bender bonded with a metal conical cone behind a protective screen. The “enclosed” type transducer design has the piezo bender mounted directly on the underside of the top of the case which is then machined to resonant at the desired frequency. The “PT and EP” type transducer has more internal damper for minimizing “ringing”, which usually operates as a transceiver – oscillating in a short period and then switching to receiving mode.

Comparative Characteristics

When compared to the enclosed transducer, the open type receiver will develop more electrical output at a given sound pressure level (high sensitivity) and exhibit less reduction in output as the operating frequency deviates from normal resonant frequency (greater bandwidth).

The open type transmitter will produce more output for a specific drive level (more efficient).

The enclosed type transducer is designed for very dusty or outdoor applications. The face of the transducer must be kept clean and free of damage to prevent losses.

The transmitter is designed to have low impedance at the resonant frequency to obtain high mechanical efficiency. The receiver is constructed to maximize the impedance at the specified anti-resonant frequency to provide high electrical efficiency.

Sound Propagation

In order to properly select a transducer for a given application, it is important to be aware of the principles of sound propagation. Since sound is a wave phenomenon, its propagation and directivity are related to its wavelength (λ). A typical radiation power pattern for either a generator or receiver of waves is shown in Figure 1. Due to the reciprocity of transmission and reception, the graph portrays both power radiated along a given direction (in case of wave production), and the sensitivity along a given direction (in case of wave reception).

The angular, half-width ($\theta/2$) of the main beam is given by:

$$\theta/2 = \sin^{-1} (0.51 \lambda / D) \text{ for } -3\text{dB}$$

$$\theta/2 = \sin^{-1} (0.7 \lambda / D) \text{ for } -6\text{dB}$$

$$\lambda = c / f$$

Where “D” is the effective diameter of the flexure diaphragm, “ λ ” is the wavelength, “c” the velocity of sound (344 meter/second in air at 20° C), and “f” is the operating frequency. The above relationship applies if $\lambda < D$. For $\lambda > D$, the power pattern tends to become spherical in form. Thus, narrow beams and high directivity are achieved by selecting “D” large in relation to λ .

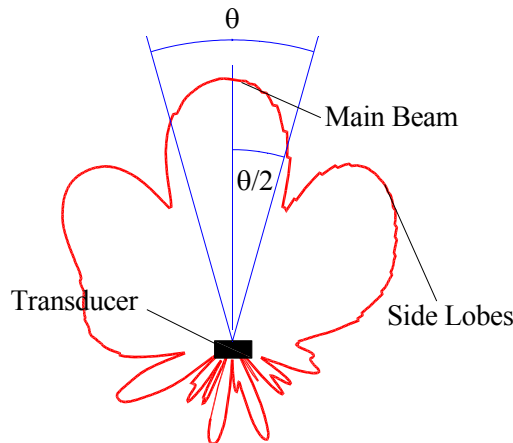


Figure 1

As an example of a typical situation, a transducer of 400ET250 has an effective diameter of 23 mm (1mm wall thickness) will produce a main beam (-6dB) with full width of 30° at a frequency of 40 KHz. For open type transducers, the beam is decided by the angular and diameter of conical cone attached on the bender inside of housing and the opening diameter so it can not be simply calculated by the diameter of the housing.

The intensity of sound waves decrease with the distance from the sound source, as might be expected for any wave phenomenon. This decrease is principal a combination of two effects. The first is the inverse square law or spherical divergence in which the intensity drop 6dB per distance doubled. This rate is common to all wave phenomena regardless of frequency.

The second effect causing the intensity to decrease is the absorption of the wave by the air (see figure 2). Absorption effects vary with humidity and dust content of the air and most importantly, they vary with frequency of the wave. Absorption at 20 KHz is about 0.02dB/30 cm. It is clear that lower frequencies are better suited for long range propagation. Of course, the selection of a lower frequency will result in less directivity (for a given diameter of source or receiver).

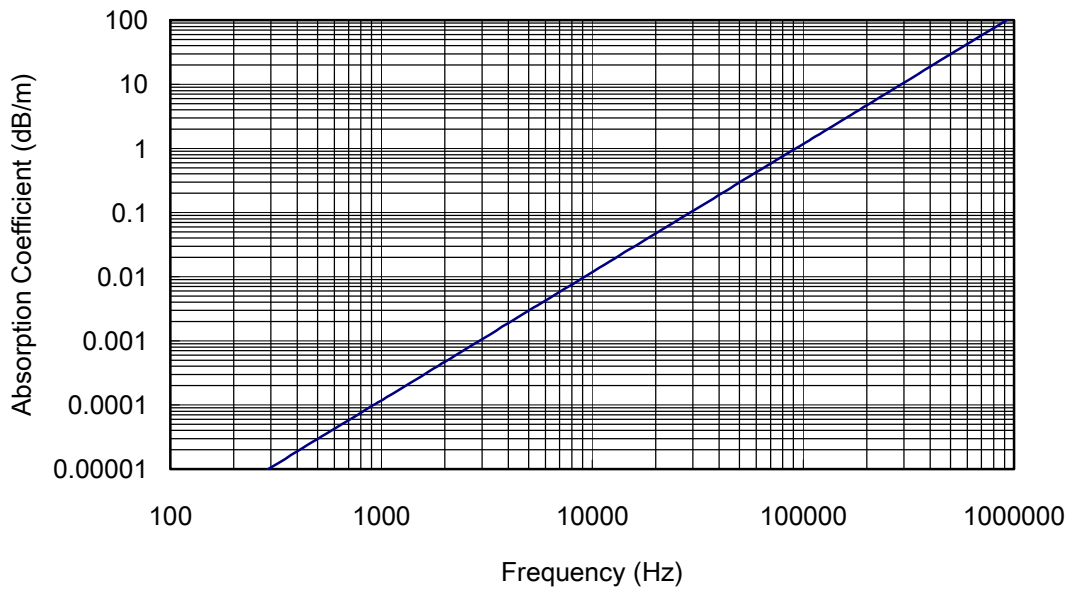


Figure 2

Transmitter Drive Considerations

The ultrasonic transmitters can dissipate 200 mw rms continually. Assuming a typical minimum series impedance of 500 ohms, the driver must source 20 mA at 10 V rms. A sine wave drive should be used to minimize harmonics that may excite the transducer in an overtone mode (vibrate at a multiple of the resonant frequency). For most models the maximum amplitude of the drive waveform should be limited to 50 V pp. The transmitter dissipation must be limited to an effective or average level of 200 mW by reducing the duty cycle when the transmitter is dissipating more than 200 mW.

There are several oscillator circuits suitable for driving our ultrasonic transmitter, which have been widely used on security systems, remote control and other applications. Please bear in mind that the circuits we suggest sometimes need to be modified according to the different characters of impedance, phase angle and resonant frequency while driving different type of transmitters. Please refer to “Impedance Characteristics” carefully.

Suggestion Oscillating Circuits:

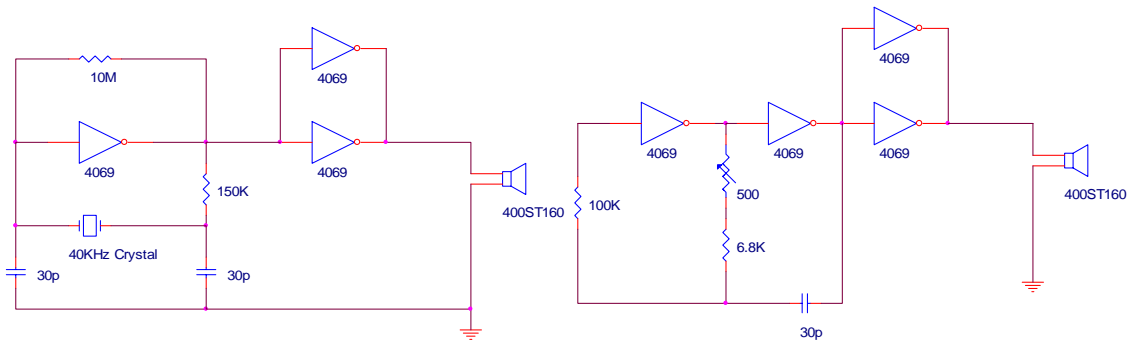


Figure 3

Figure 4

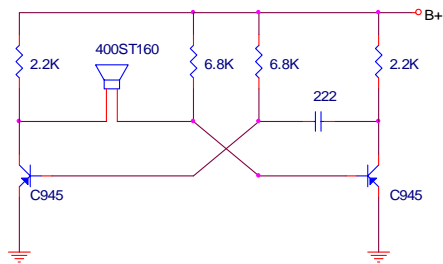


Figure 5

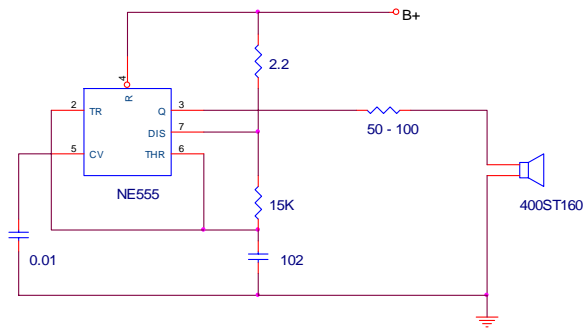


Figure 6

The ultrasonic transmitters may also be driven with a pulse waveform. Application of a DC Pulse of 10 – 20 volts will cause the transducer to “ring” at the selected resonant frequency. The ultrasonic output will be a damped ringing waveform as illustrated in the figure as follow.

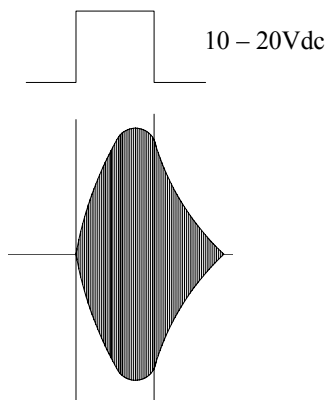


Figure 7

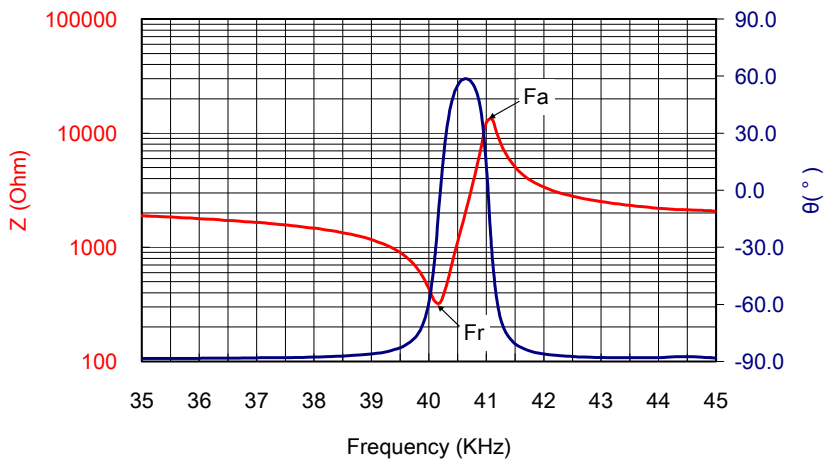
Impedance Characteristic

Ultrasonic transmitter impedance characteristics vary with operating frequency and temperature in complex manner that is different for each construction.

In general, for frequencies approximately 0.1 octave on either side of the resonant frequency, the transmitter looks like a capacitor. The current through the transmitter will lead the voltage developed across the transmitter by 90 degrees.

As the resonant frequency is approached, the voltage drop across the transmitter will decrease to a minimum at the resonant frequency (minimum series impedance) and the current will increase proportionally. The phase lead to this current relative to the voltage will decrease to zero near the resonant frequency and the transmitter will then appear to be a pure resistance.

As the frequency is increased above the resonant point, the current may now lag the voltage by an increasing amount (maximum of 90 degrees) as the voltage across the transmitter climbs to a peak which is defined as the anti-resonant frequency. During this transition, the transmitter appears to have an inductive characteristic.



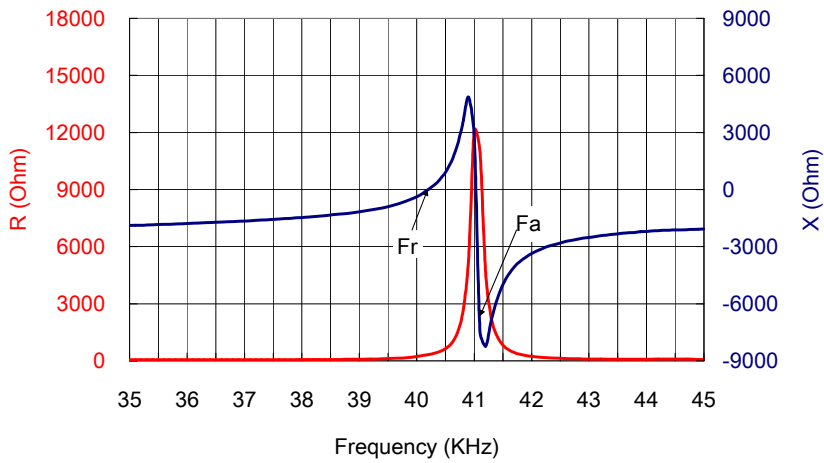
Impedance at resonant frequency (Fr):

$$Z = 329 -j0.5^\circ$$

Impedance at anti-resonant frequency (Fa):

$$Z = 13300 -j34^\circ$$

Figure 8



Impedance at resonant frequency (Fr):

$$R+jX = 329-j3$$

Impedance at anti-resonant frequency (Fa):

$$R+jX = 11026-j7437$$

Figure 9

Increasing temperature will lower the resonant frequency and thus the point at which the phase changes will occur

The test circuit shown as below may be used to measure the resonant, anti-resonant frequencies and impedance characteristics of our piezo ceramic type ultrasonic transducers.

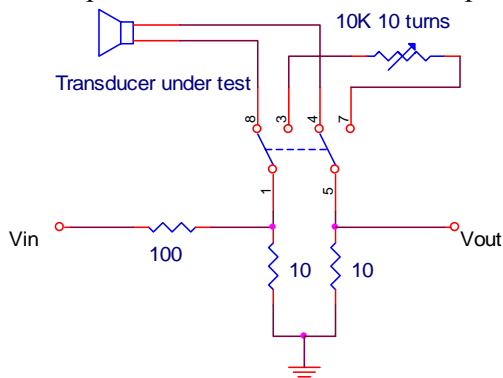


Figure 10

Adjust input frequency to obtain maximum V_{out} , Switch in variable resistor and adjust to obtain same voltage output. The value of variable resistor now equals to the minimum series impedance.

Adjust frequency to obtain minimum V_{out} . Switch in variable resistor and adjust to obtain same voltage output. The value of variable resistor now equals to the maximum series impedance at the anti-resonant frequency.

The resistor values of voltage divider, 100 and 10 ohms, probably need to be modified for better V_{out} resolution while measuring anti-resonant impedance.

How Far the transducer could reach?

One of the most frequently asked questions is “How far the transducer could reach?”. This question can be answered by a simple calculation that is based on the published specifications in the Ultrasonic Ceramic Transducer Data Sheets.

The basic procedure is to first determine the minimum sound pressure level developed at the front end of the receiver for a specific transmitter driving voltage and distance between the transmitter and receiver (transceiver has double distance between reflect target). This SPL must then be converted “Pa” (Pascal) or “μbar” (microbar) units.

The sensitivity of the receiver must then be converted from a dB reference to an absolute mV/Pa or μbar level present to obtain the final output.

Assume a 400ST160 transmitter is driven at a level of 20Vrms and a 400SR160 receiver is located 5 meters from the transmitter and loaded with a 3.9K Ohm resistor (loaded resistor value varies receiver sensitivity, please see “Acoustic Performance” of transducer data sheet).

Data sheet of 400ST/R160 shows:

Transmitting Sound Pressure Level at 40.0Khz; 120dB min.

0dB re 0.0002μbar per 10Vrms at 30cm

Receiving Sensitivity at 40.0Khz 0dB = 1 volt/μbar -65dB min.

Determining SPL at the front end of Receiver

SPL Gain for 20Vrms driving voltage = $20 * \log (20V / 10V) = 6 \text{ dB}$
SPL Reduction at 5 meters = $20 * \log (30 \text{ cm} / 500 \text{ cm}) = -24.4 \text{ dB}$
Wave absorption (refer to Figure 2) = $0.1886 \text{ dB/m} * 5 = 0.94 \text{ dB}$
The SPL at 5 meters becomes = $120 + 6 - 24.4 - 0.94 = 100.6 \text{ dB}$

Converting SPL to μbar:

$$100.6 \text{ dB} = 20 * \log (X / 0.0002 \text{ μbar})$$
$$X = 21.4 \text{ μbar}$$

Determining Receiver Sensitivity in Volts/μbar

Converting Sensitivity to Volt/μbar:

$$-65 \text{ dB} = 20 * \log (X / 1 \text{ Volt/μbar})$$
$$X = 0.56 \text{ mV/μbar}$$

Voltage generated under 21.4 μbar = $0.56 * 21.4 = 11.98 \text{ mV}$

This is the calculated voltage developed under the assumed conditions. The actual voltage output will be varied depending on the environmental conditions and absorption or reflection characteristics of target materials in or near the emanating beam. Users, then, have to judge whether this receiving voltage level is large enough for electronic processing.

The analysis is necessary to the fundamental understanding of the principals of sound wave propagation and detection but it is tedious. The figure 10 below is a graphical representation of previous analysis which may be used once in the SPL at the receiver is determined. Enter the graph from the SPL axis and proceed upward to an intersection with $-dB$ sensitivity level of the receiver using the $1V/\mu\text{bar}$ referenced data. Follow a horizontal line to the “Y” axis to obtain the receiver output in μV .

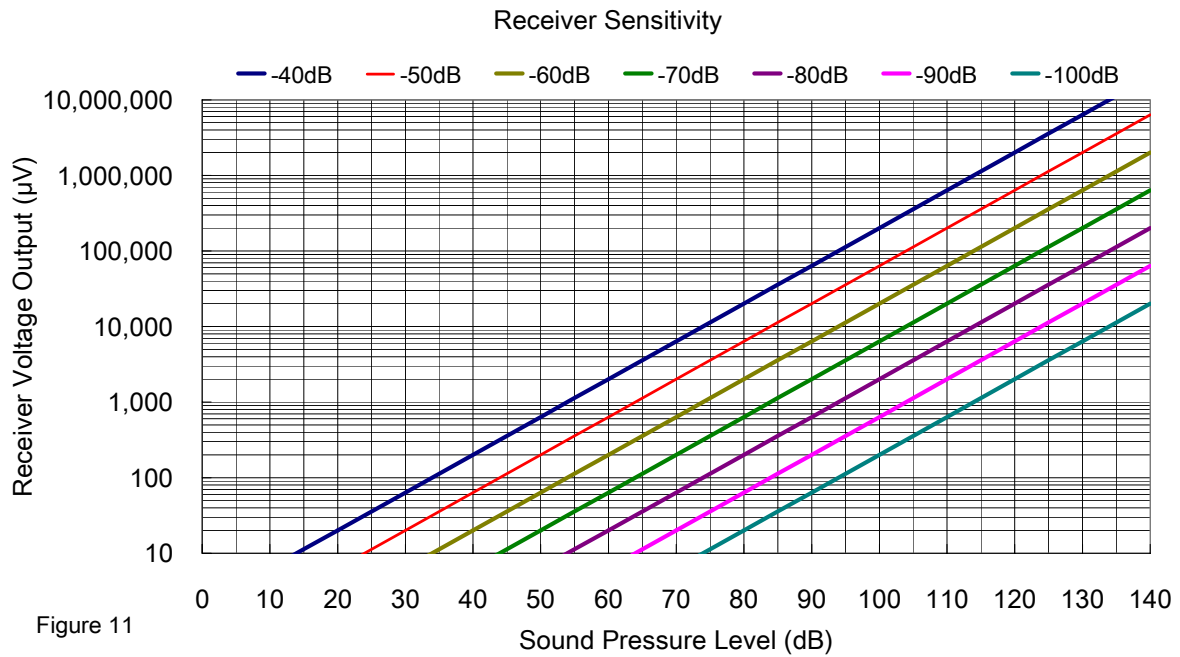


Figure 11

Ultrasonic Echo Ranging

Ultrasonic ranging systems are used to determine the distance to an object by measuring the time required for an ultrasonic wave to travel to the object and return to the source. This technique is frequently referred to as “echo ranging”.

The distance to the object may be related to the time it will take for an ultrasonic pulse to propagate the distance to the object and return to the source by dividing the total distance by the speed of sound which is 344 meters/second or 13.54 inches/millisecond.

Below is a block diagram that illustrates the basic design concept and functional elements in a typical ranging system.

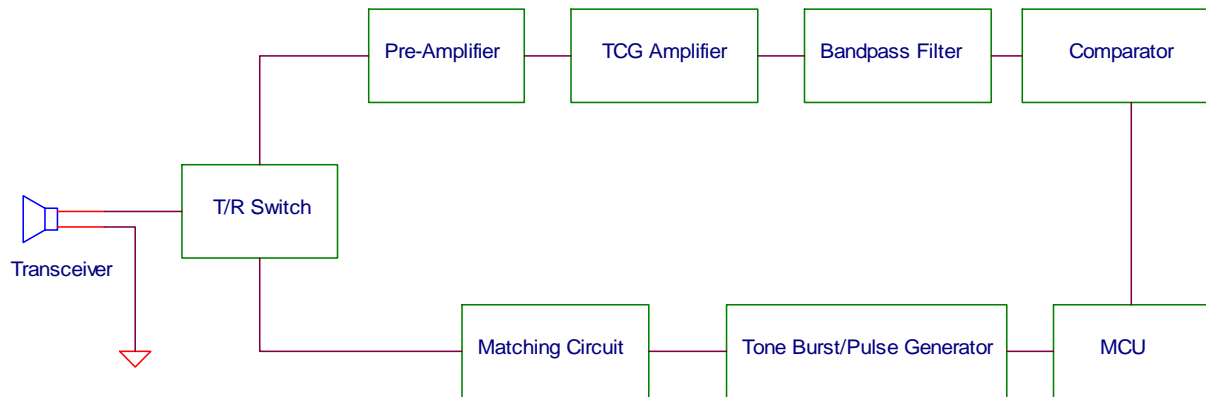


Figure 12

The driving signal can be either a tone burst of suitable burst number, which depends on the rising time of transceiver, or a pulse that will result in the transmission of a few cycles of ultrasonic energy. MCU starts a counter when tone burst starting, which is stopped by the detected returning echo. The count is thus directly proportional to the propagation time of the ultrasonic wave.

The matching circuit tunes out the imaginary part of transceiver and also plays as an impedance matching bridge for maximizing energy transfer.

The returning ultrasonic echo is usually very weak and the key to designing a good ranging system is to utilize a high “Q” tuned frequency amplifier stage that will significantly amplify any signal at the frequency of the ultrasonic echo while rejecting all other higher or lower frequencies.

Another useful technique is to make the gain of the echo amplifier increase with time such that the amplifier gain compensates for the proportional decrease in the signal strength with distance or time. This amplifier is called as TGC (Time Controlled Gain) Amplifier.

For more detail information of Ultrasonic Echo Ranging please refer to the data sheet of our Sonar Ranging IC, PW-0268 and other recommend circuit diagrams.

ANEXO B: DATASHEET DEL OPAMP LMC6001

LMC6001 Ultra Ultra-Low Input Current Amplifier

 Check for Samples: [LMC6001](#)

FEATURES

- (Max Limit, 25°C Unless Otherwise Noted)
- Input Current (100% Tested): 25 fA
- Input Current Over Temp.: 2 pA
- Low Power: 750 μ A
- Low V_{OS} : 350 μ V
- Low Noise: 22 nV/ $\sqrt{\text{Hz}}$ @1 kHz Typ.

APPLICATIONS

- Electrometer Amplifier
- Photodiode Preamplifier
- Ion Detector
- A.T.E. Leakage Testing

DESCRIPTION

Featuring 100% tested input currents of 25 fA max., low operating power, and ESD protection of 2000V, the LMC6001 achieves a new industry benchmark for low input current operational amplifiers. By tightly controlling the molding compound, Texas Instruments is able to offer this ultra-low input current in a lower cost molded package.

To avoid long turn-on settling times common in other low input current opamps, the LMC6001A is tested 3 times in the first minute of operation. Even units that meet the 25 fA limit are rejected if they drift.

Because of the ultra-low input current noise of 0.13 fA/ $\sqrt{\text{Hz}}$, the LMC6001 can provide almost noiseless amplification of high resistance signal sources. Adding only 1 dB at 100 k Ω , 0.1 dB at 1 M Ω and 0.01 dB or less from 10 M Ω to 2,000 M Ω , the LMC6001 is an almost noiseless amplifier.

The LMC6001 is ideally suited for electrometer applications requiring ultra-low input leakage such as sensitive photodetection transimpedance amplifiers and sensor amplifiers. Since input referred noise is only 22 nV/ $\sqrt{\text{Hz}}$, the LMC6001 can achieve higher signal to noise ratio than JFET input type electrometer amplifiers. Other applications of the LMC6001 include long interval integrators, ultra-high input impedance instrumentation amplifiers, and sensitive electrical-field measurement circuits.

Connection Diagrams

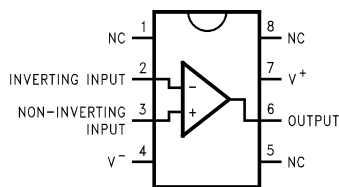


Figure 1. 8-Pin PDIP (Top View)
See P Package

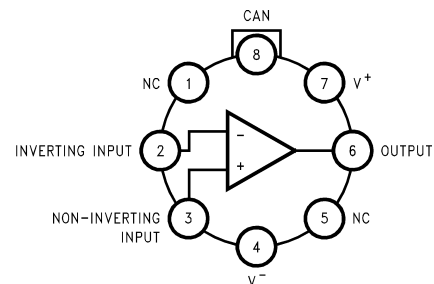


Figure 2. 8-Pin TO-99 (Top View)
See LMC Package



These devices have limited built-in ESD protection. The leads should be shorted together or the device placed in conductive foam during storage or handling to prevent electrostatic damage to the MOS gates.



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

All trademarks are the property of their respective owners.

Absolute Maximum Ratings⁽¹⁾⁽²⁾

Differential Input Voltage	±Supply Voltage
Voltage at Input/Output Pin	(V ⁺) + 0.3V, (V ⁻) - 0.3V
Supply Voltage (V ⁺ - V ⁻)	-0.3V to +16V
Output Short Circuit to V ⁺	See ⁽³⁾⁽⁴⁾
Output Short Circuit to V ⁻	See ⁽³⁾
(Soldering, 10 Sec.) Lead Temperature	260°C
Storage Temperature	-65°C to +150°C
Junction Temperature	150°C
Current at Input Pin	±10 mA
Current at Output Pin	±30 mA
Current at Power Supply Pin	40 mA
Power Dissipation	See ⁽⁵⁾
ESD Tolerance ⁽⁵⁾	2 kV

- (1) Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is intended to be functional but do not ensure specific performance limits. For ensured specifications and test conditions, see the Electrical Characteristics. The ensured specifications apply only for the test conditions listed.
- (2) If Military/Aerospace specified devices are required, please contact the Texas Instruments Sales Office/ Distributors for availability and specifications.
- (3) Applies to both single supply and split supply operation. Continuous short circuit operation at elevated ambient temperature can result in exceeding the maximum allowed junction temperature of 150°C. Output currents in excess of ±30 mA over long term may adversely affect reliability.
- (4) Do not connect the output to V⁺, when V⁺ is greater than 13V or reliability will be adversely affected.
- (5) Human body model, 1.5 kΩ in series with 100 pF.

Operating Ratings⁽¹⁾

Temperature Range (LMC6001AI, LMC6001BI, LMC6001CI)	-40°C ≤ T _J ≤ +85°C	
Supply Voltage	4.5V ≤ V ⁺ ≤ 15.5V	
Thermal Resistance ⁽²⁾	θ _{JA} , P Package	100°C/W
	θ _{JA} , LMC Package	145°C/W
	θ _{JC} , LMC Package	45°C/W
Power Dissipation	See ⁽³⁾	

- (1) Absolute Maximum Ratings indicate limits beyond which damage to the device may occur. Operating Ratings indicate conditions for which the device is intended to be functional but do not ensure specific performance limits. For ensured specifications and test conditions, see the Electrical Characteristics. The ensured specifications apply only for the test conditions listed.
- (2) All numbers apply for packages soldered directly into a printed circuit board.
- (3) For operating at elevated temperatures the device must be derated based on the thermal resistance θ_{JA} with P_D = (T_J - T_A)/θ_{JA}.

DC Electrical Characteristics

Limits in standard typeface ensured for $T_J = 25^\circ\text{C}$ and limits in **boldface type** apply at the temperature extremes. Unless otherwise specified, $V^+ = 5\text{V}$, $V^- = 0\text{V}$, $V_{CM} = 1.5\text{V}$, and $R_L > 1\text{M}$.

Symbol	Parameter	Conditions	Typical ⁽¹⁾	Limits ⁽²⁾			Units
				LMC6001AI	LMC6001BI	LMC6001CI	
I_B	Input Current	Either Input, $V_{CM} = 0\text{V}$, $V_S = \pm 5\text{V}$	10	25 2000	100 4000	1000 4000	fA
I_{OS}	Input Offset Current		5	1000	2000	2000	
V_{OS}	Input Offset Voltage			0.35 1.0	1.0 1.7	1.0 2.0	mV
		$V_S = \pm 5\text{V}$, $V_{CM} = 0\text{V}$		0.7 1.35	1.35 2.0	1.35	
TCV_{OS}	Input Offset Voltage Drift		2.5	10	10		$\mu\text{V}/^\circ\text{C}$
R_{IN}	Input Resistance		>1				Tera Ω
CMRR	Common Mode Rejection Ratio	$0\text{V} \leq V_{CM} \leq 7.5\text{V}$ $V^+ = 10\text{V}$	83	75 72	72 68	66 63	dB min
+PSRR	Positive Power Supply Rejection Ratio	$5\text{V} \leq V^+ \leq 15\text{V}$	83	73 70	66 63	66 63	
-PSRR	Negative Power Supply Rejection Ratio	$0\text{V} \geq V^- \geq -10\text{V}$	94	80 77	74 71	74 71	
A_V	Large Signal Voltage Gain	Sourcing, $R_L = 2\text{k}\Omega^{(3)}$	1400	400 300	300 200	300 200	V/mV min
		Sinking, $R_L = 2\text{k}\Omega^{(3)}$	350	180 100	90 60	90 60	
V_{CM}	Input Common-Mode Voltage	$V^+ = 5\text{V}$ and 15V For CMRR $\geq 60\text{ dB}$	-0.4	-0.1 0	-0.1 0	-0.1 0	V max
			$V^+ - 1.9$	$V^+ - 2.3$ $V^+ - 2.5$	$V^+ - 2.3$ $V^+ - 2.5$	$V^+ - 2.3$ $V^+ - 2.5$	V min
V_O	Output Swing	$V^+ = 5\text{V}$ $R_L = 2\text{k}\Omega$ to 2.5V	4.87	4.80 4.73	4.75 4.67	4.75 4.67	V min
			0.10	0.14 0.17	0.20 0.24	0.20 0.24	V max
		$V^+ = 15\text{V}$ $R_L = 2\text{k}\Omega$ to 7.5V	14.63	14.50 14.34	14.37 14.25	14.37 14.25	V min
			0.26	0.35 0.45	0.44 0.56	0.44 0.56	V max
I_O	Output Current	Sourcing, $V^+ = 5\text{V}$, $V_O = 0\text{V}$	22	16 10	13 8	13 8	mA min
		Sinking, $V^+ = 5\text{V}$, $V_O = 5\text{V}$	21	16 13	13 10	13 10	
		Sourcing, $V^+ = 15\text{V}$, $V_O = 0\text{V}$	30	28 22	23 18	23 18	
		Sinking, $V^+ = 15\text{V}$, $V_O = 13\text{V}^{(4)}$	34	28 22	23 18	23 18	

(1) Typical values represent the most likely parametric norm.

(2) All limits are specified by testing or statistical analysis.

(3) $V^+ = 15\text{V}$, $V_{CM} = 7.5\text{V}$ and R_L connected to 7.5V . For Sourcing tests, $7.5\text{V} \leq V_O \leq 11.5\text{V}$. For Sinking tests, $2.5\text{V} \leq V_O \leq 7.5\text{V}$.

(4) Do not connect the output to V^+ , when V^+ is greater than 13V or reliability will be adversely affected.

DC Electrical Characteristics (continued)

Limits in standard typeface ensured for $T_J = 25^\circ\text{C}$ and limits in **boldface type** apply at the temperature extremes. Unless otherwise specified, $V^+ = 5\text{V}$, $V^- = 0\text{V}$, $V_{\text{CM}} = 1.5\text{V}$, and $R_L > 1\text{M}$.

Symbol	Parameter	Conditions	Typical ⁽¹⁾	Limits ⁽²⁾			Units
				LMC6001AI	LMC6001BI	LMC6001CI	
I_S	Supply Current	$V^+ = 5\text{V}$, $V_O = 1.5\text{V}$	450	750 900	750 900	750 900	μA max
		$V^+ = 15\text{V}$, $V_O = 7.5\text{V}$	550	850 950	850 950	850 950	

AC Electrical Characteristics

Limits in standard typeface ensured for $T_J = 25^\circ\text{C}$ and limits in **boldface type** apply at the temperature extremes. Unless otherwise specified, $V^+ = 5\text{V}$, $V^- = 0\text{V}$, $V_{\text{CM}} = 1.5\text{V}$ and $R_L > 1\text{M}$.

Symbol	Parameter	Conditions	Typical ⁽¹⁾	Limits ⁽²⁾			Units
				LM6001AI	LM6001BI	LM6001CI	
SR	Slew Rate	See ⁽³⁾	1.5	0.8 0.6	0.8 0.6	0.8 0.6	$\text{V}/\mu\text{s}$ min
GBW	Gain-Bandwidth Product		1.3				MHz
ϕ_{m}	Phase Margin		50				Deg
G_M	Gain Margin		17				dB
e_n	Input-Referred Voltage Noise	$F = 1\text{ kHz}$	22				$\text{nV}/\sqrt{\text{Hz}}$
i_n	Input-Referred Current Noise	$F = 1\text{ kHz}$	0.13				$\text{fA}/\sqrt{\text{Hz}}$
THD	Total Harmonic Distortion	$F = 10\text{ kHz}$, $A_V = -10$, $R_L = 100\text{ k}\Omega$, $V_O = 8\text{ V}_{\text{PP}}$	0.01				%

(1) Typical values represent the most likely parametric norm.

(2) All limits are specified by testing or statistical analysis.

(3) $V^+ = 15\text{V}$. Connected as Voltage Follower with 10V step input. Limit specified is the lower of the positive and negative slew rates.

Typical Performance Characteristics

$V_S = \pm 7.5V$, $T_A = 25^\circ C$, unless otherwise specified

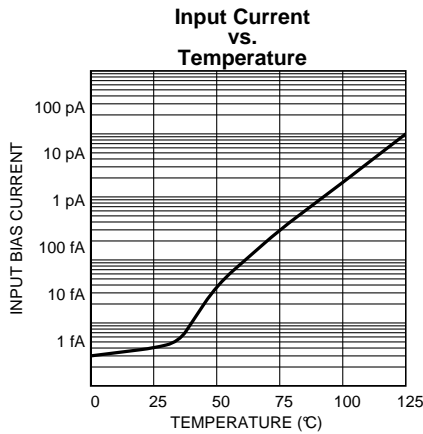


Figure 3.

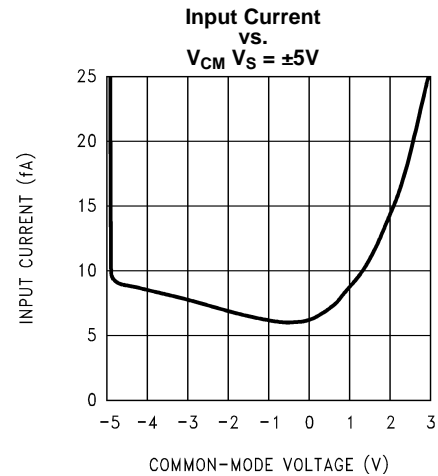


Figure 4.

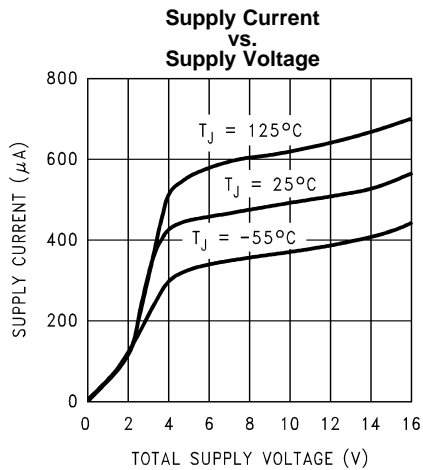


Figure 5.

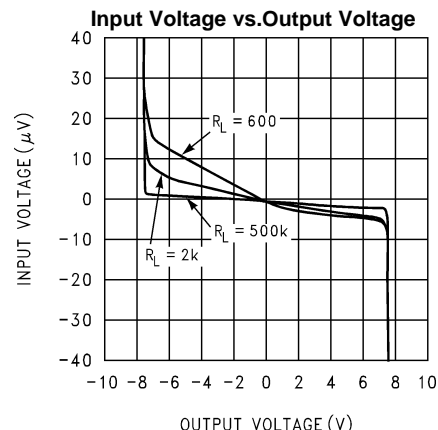


Figure 6.

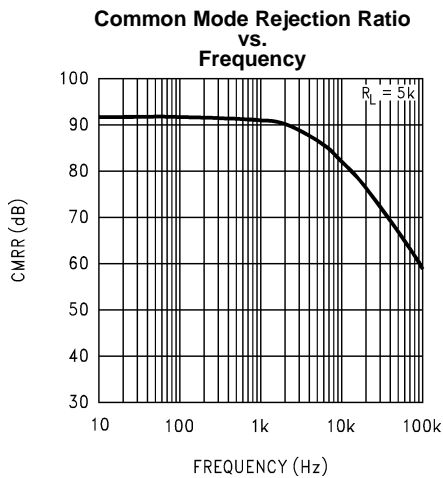


Figure 7.

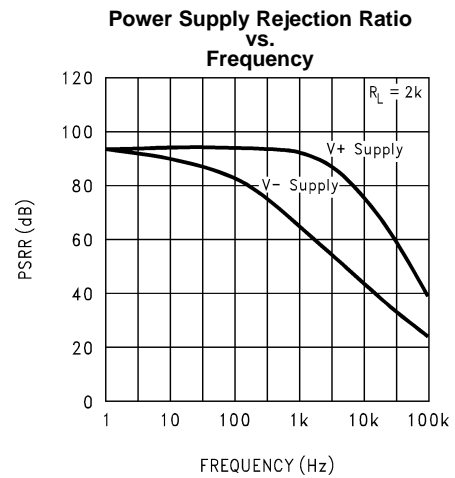


Figure 8.

Typical Performance Characteristics (continued)

$V_S = \pm 7.5V$, $T_A = 25^\circ C$, unless otherwise specified

Input Voltage Noise vs. Frequency

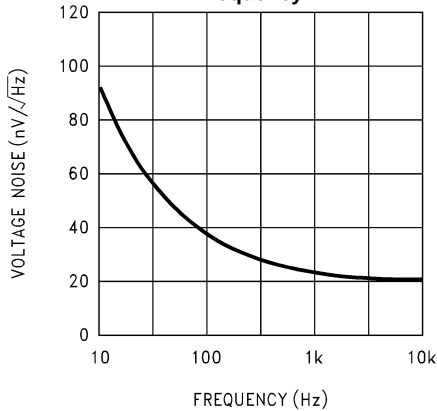


Figure 9.

Noise Figure vs. Source Resistance

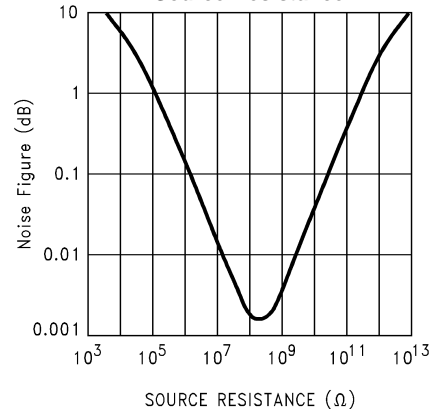


Figure 10.

Output Characteristics Sourcing Current

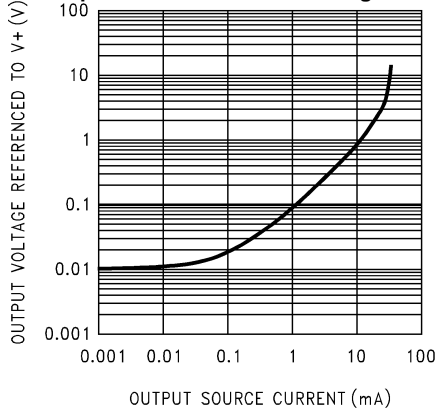


Figure 11.

Output Characteristics Sinking Current

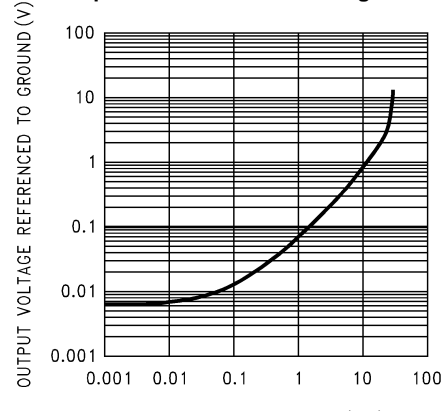


Figure 12.

Gain and Phase Response vs. Temperature (-55°C to +125°C)

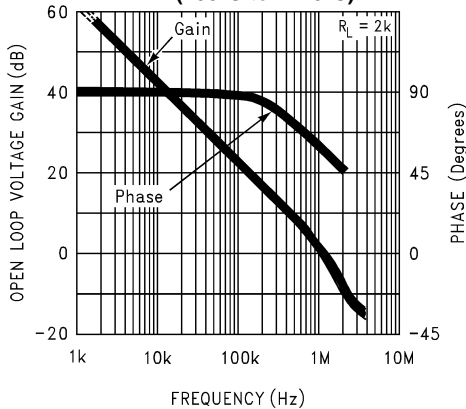


Figure 13.

Gain and Phase Response vs. Capacitive Load with $R_L = 500k\Omega$

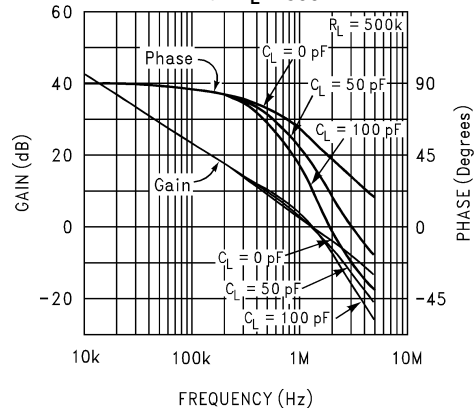
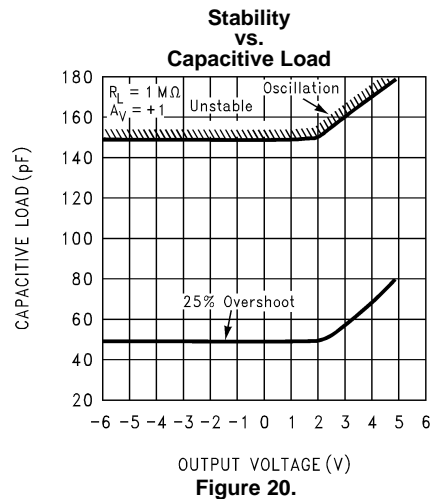
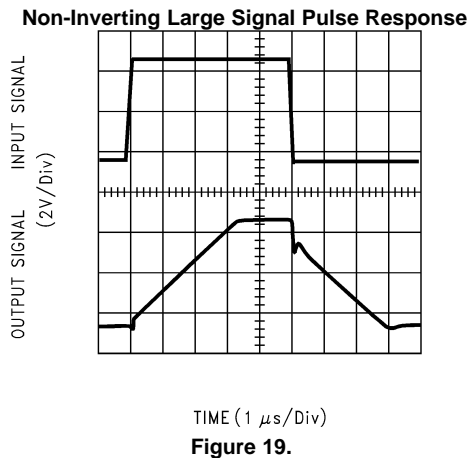
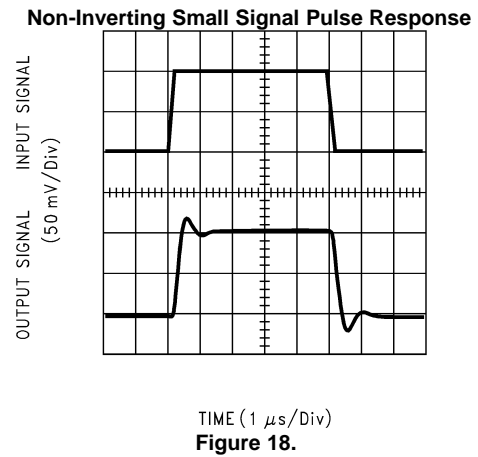
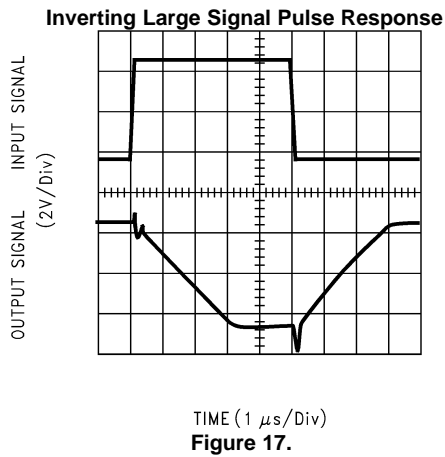
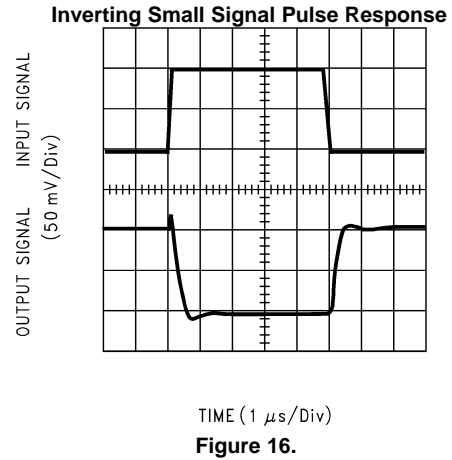
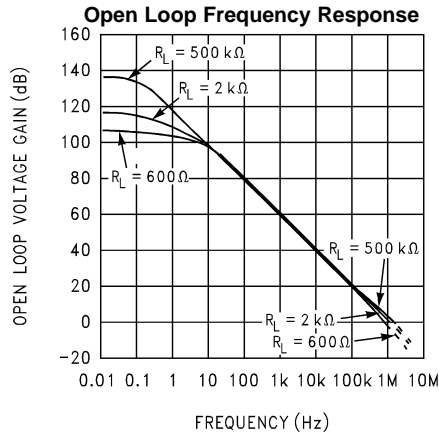


Figure 14.

Typical Performance Characteristics (continued)

$V_S = \pm 7.5V$, $T_A = 25^\circ C$, unless otherwise specified



APPLICATIONS HINTS

AMPLIFIER TOPOLOGY

The LMC6001 incorporates a novel op-amp design topology that enables it to maintain rail-to-rail output swing even when driving a large load. Instead of relying on a push-pull unity gain output buffer stage, the output stage is taken directly from the internal integrator, which provides both low output impedance and large gain. Special feed-forward compensation design techniques are incorporated to maintain stability over a wider range of operating conditions than traditional op-amps. These features make the LMC6001 both easier to design with, and provide higher speed than products typically found in this low power class.

COMPENSATING FOR INPUT CAPACITANCE

It is quite common to use large values of feedback resistance for amplifiers with ultra-low input current, like the LMC6001.

Although the LMC6001 is highly stable over a wide range of operating conditions, certain precautions must be met to achieve the desired pulse response when a large feedback resistor is used. Large feedback resistors with even small values of input capacitance, due to transducers, photodiodes, and circuit board parasitics, reduce phase margins.

When high input impedances are demanded, guarding of the LMC6001 is suggested. Guarding input lines will not only reduce leakage, but lowers stray input capacitance as well. See [PRINTED-CIRCUIT-BOARD LAYOUT FOR HIGH-IMPEDANCE WORK](#).

The effect of input capacitance can be compensated for by adding a capacitor, C_f , around the feedback resistors (as in [Figure 21](#)) such that:

$$\frac{1}{2\pi R_1 C_{IN}} \geq \frac{1}{2\pi R_2 C_f} \quad (1)$$

or

$$R_1 C_{IN} \leq R_2 C_f \quad (2)$$

Since it is often difficult to know the exact value of C_{IN} , C_f can be experimentally adjusted so that the desired pulse response is achieved. Refer to the LMC660 and LMC662 for a more detailed discussion on compensating for input capacitance.

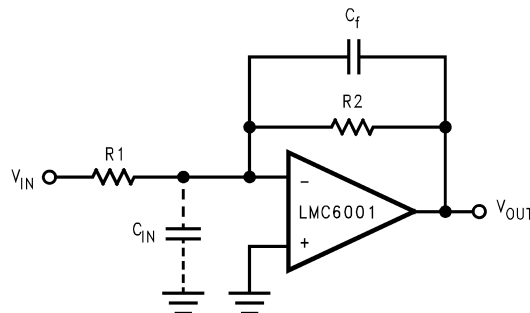


Figure 21. Cancelling the Effect of Input Capacitance

CAPACITIVE LOAD TOLERANCE

All rail-to-rail output swing operational amplifiers have voltage gain in the output stage. A compensation capacitor is normally included in this integrator stage. The frequency location of the dominant pole is affected by the resistive load on the amplifier. Capacitive load driving capability can be optimized by using an appropriate resistive load in parallel with the capacitive load. See [Typical Performance Characteristics](#).

Direct capacitive loading will reduce the phase margin of many op-amps. A pole in the feedback loop is created by the combination of the op-amp's output impedance and the capacitive load. This pole induces phase lag at the unity-gain crossover frequency of the amplifier resulting in either an oscillatory or underdamped pulse response. With a few external components, op amps can easily indirectly drive capacitive loads, as shown in [Figure 22](#).

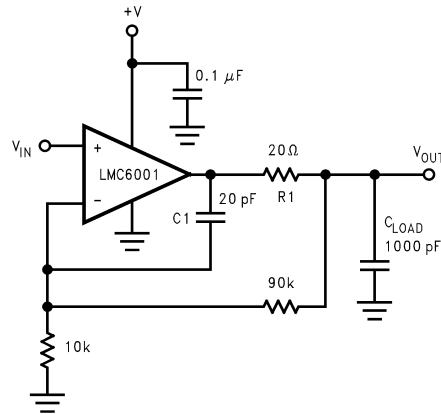


Figure 22. LMC6001 Noninverting Gain of 10 Amplifier, Compensated to Handle Capacitive Loads

In the circuit of [Figure 22](#), R1 and C1 serve to counteract the loss of phase margin by feeding the high frequency component of the output signal back to the amplifier's inverting input, thereby preserving phase margin in the overall feedback loop.

Capacitive load driving capability is enhanced by using a pullup resistor to V⁺ ([Figure 23](#)). Typically a pullup resistor conducting 500 μA or more will significantly improve capacitive load responses. The value of the pullup resistor must be determined based on the current sinking capability of the amplifier with respect to the desired output swing. Open loop gain of the amplifier can also be affected by the pullup resistor. See [DC Electrical Characteristics](#).

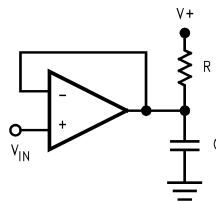


Figure 23. Compensating for Large Capacitive Loads with a Pullup Resistor

PRINTED-CIRCUIT-BOARD LAYOUT FOR HIGH-IMPEDANCE WORK

It is generally recognized that any circuit which must operate with less than 1000 pA of leakage current requires special layout of the PC board. When one wishes to take advantage of the ultra-low bias current of the LMC6001, typically less than 10 fA, it is essential to have an excellent layout. Fortunately, the techniques of obtaining low leakages are quite simple. First, the user must not ignore the surface leakage of the PC board, even though it may sometimes appear acceptably low, because under conditions of high humidity or dust or contamination, the surface leakage will be appreciable.

To minimize the effect of any surface leakage, lay out a ring of foil completely surrounding the LMC6001's inputs and the terminals of capacitors, diodes, conductors, resistors, relay terminals, etc., connected to the op-amp's inputs, as in [Figure 24](#). To have a significant effect, guard rings should be placed on both the top and bottom of the PC board. This PC foil must then be connected to a voltage which is at the same voltage as the amplifier inputs, since no leakage current can flow between two points at the same potential. For example, a PC board trace-to-pad resistance of $10^{12}\Omega$, which is normally considered a very large resistance, could leak 5 pA if the trace were a 5V bus adjacent to the pad of the input.

This would cause a 500 times degradation from the LMC6001's actual performance. If a guard ring is used and held within 1 mV of the inputs, then the same resistance of $10^{12}\Omega$ will only cause 10 fA of leakage current. Even this small amount of leakage will degrade the extremely low input current performance of the LMC6001. See [Figure 27](#) for typical connections of guard rings for standard op-amp configurations.

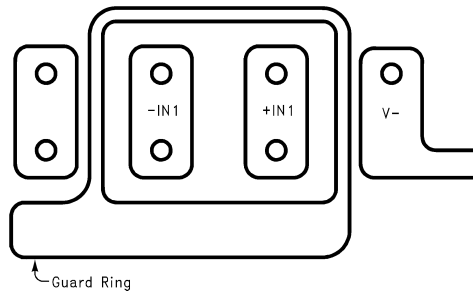


Figure 24. Examples of Guard Ring in PC Board Layout

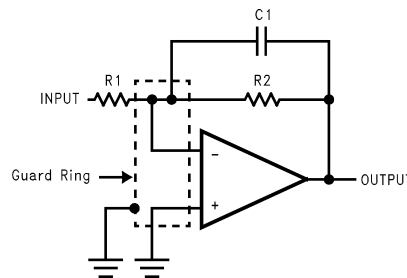


Figure 25. Inverting Amplifier

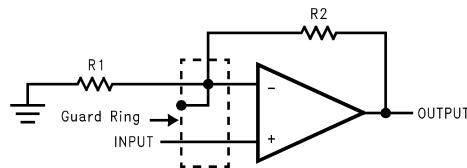


Figure 26. Non-Inverting Amplifier

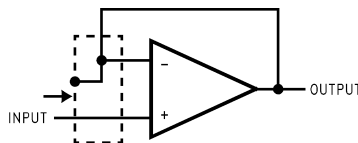
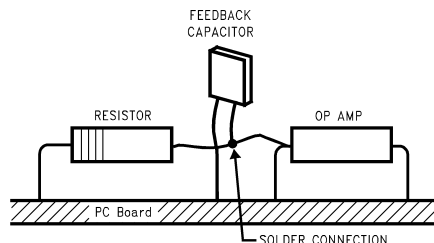


Figure 27. Typical Connections of Guard Rings

The designer should be aware that when it is inappropriate to lay out a PC board for the sake of just a few circuits, there is another technique which is even better than a guard ring on a PC board: Don't insert the amplifier's input pin into the board at all, but bend it up in the air and use only air as an insulator. Air is an excellent insulator. In this case you may have to forego some of the advantages of PC board construction, but the advantages are sometimes well worth the effort of using point-to-point up-in-the-air wiring. See [Figure 28](#).



(Input pins are lifted out of PC board and soldered directly to components. All other pins connected to PC board).

Figure 28. Air Wiring

Another potential source of leakage that might be overlooked is the device package. When the LMC6001 is manufactured, the device is always handled with conductive finger cots. This is to assure that salts and skin oils do not cause leakage paths on the surface of the package. We recommend that these same precautions be adhered to, during all phases of inspection, test and assembly.

LATCHUP

CMOS devices tend to be susceptible to latchup due to their internal parasitic SCR effects. The (I/O) input and output pins look similar to the gate of the SCR. There is a minimum current required to trigger the SCR gate lead. The LMC6001 is designed to withstand 100 mA surge current on the I/O pins. Some resistive method should be used to isolate any capacitance from supplying excess current to the I/O pins. In addition, like an SCR, there is a minimum holding current for any latchup mode. Limiting current to the supply pins will also inhibit latchup susceptibility.

Typical Applications

The extremely high input resistance, and low power consumption, of the LMC6001 make it ideal for applications that require battery-powered instrumentation amplifiers. Examples of these types of applications are hand-held pH probes, analytic medical instruments, electrostatic field detectors and gas chromatographs.

TWO OPAMP, TEMPERATURE COMPENSATED pH PROBE AMPLIFIER

The signal from a pH probe has a typical resistance between 10 M Ω and 1000 M Ω . Because of this high value, it is very important that the amplifier input currents be as small as possible. The LMC6001 with less than 25 fA input current is an ideal choice for this application.

The theoretical output of the standard Ag/AgCl pH probe is 59.16 mV/pH at 25°C with 0V out at a pH of 7.00. This output is proportional to absolute temperature. To compensate for this, a temperature compensating resistor, R1, is placed in the feedback loop. This cancels the temperature dependence of the probe. This resistor must be mounted where it will be at the same temperature as the liquid being measured.

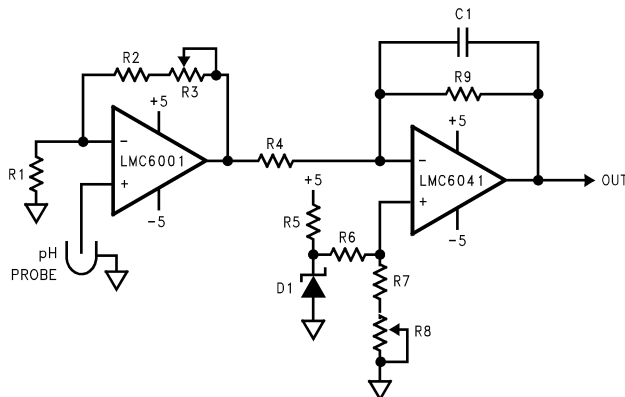
The LMC6001 amplifies the probe output providing a scaled voltage of ± 100 mV/pH from a pH of 7. The second opamp, a micropower LMC6041 provides phase inversion and offset so that the output is directly proportional to pH, over the full range of the probe. The pH reading can now be directly displayed on a low cost, low power digital panel meter. Total current consumption will be about 1 mA for the whole system.

The micropower dual operational amplifier, LMC6042, would optimize power consumption but not offer these advantages:

1. The LMC6001A ensures a 25 fA limit on input current at 25°C.
2. The input ESD protection diodes in the LMC6042 are only rated at 500V while the LMC6001 has much more robust protection that is rated at 2000V.

The setup and calibration is simple with no interactions to cause problems.

1. Disconnect the pH probe and with R3 set to about mid-range and the noninverting input of the LMC6001 grounded, adjust R8 until the output is 700 mV.
2. Apply -414.1 mV to the noninverting input of the LMC6001. Adjust R3 for an output of 1400 mV. This completes the calibration. As real pH probes may not perform exactly to theory, minor gain and offset adjustments should be made by trimming while measuring a precision buffer solution.



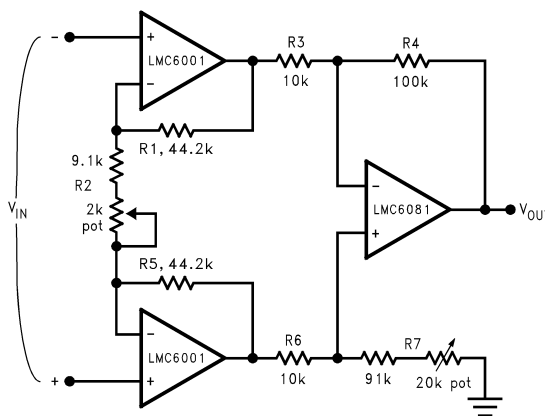
- R1 100k + 3500 ppm/°C
- R2 68.1k
- R3, 8 5k
- R4, 9 100k
- R5 36.5k
- R6 619k
- R7 97.6k
- D1 LM4040D1Z-2.5
- C1 2.2 μF

(1) Micro-ohm style 137 or similar

Figure 29. pH Probe Amplifier

ULTRA-LOW INPUT CURRENT INSTRUMENTATION AMPLIFIER

Figure 30 shows an instrumentation amplifier that features high differential and common mode input resistance (>10¹⁴Ω), 0.01% gain accuracy at A_V = 1000, excellent CMRR with 1 MΩ imbalance in source resistance. Input current is less than 20 fA and offset drift is less than 2.5 μV/°C. R₂ provides a simple means of adjusting gain over a wide range without degrading CMRR. R₇ is an initial trim used to maximize CMRR without using super precision matched resistors. For good CMRR over temperature, low drift resistors should be used.



If R₁ = R₅, R₃ = R₆, and R₄ = R₇; then

$$\frac{V_{OUT}}{V_{IN}} = \frac{R_2 + 2R_1}{R_2} \times \frac{R_4}{R_3}$$
 ∴ A_V ≈ 100 for circuit shown (R₂ = 9.85k).

Figure 30. Instrumentation Amplifier

REVISION HISTORY

Changes from Revision F (March 2013) to Revision H	Page
• Changed layout of National Data Sheet to TI format	12

IMPORTANT NOTICE

Texas Instruments Incorporated and its subsidiaries (TI) reserve the right to make corrections, enhancements, improvements and other changes to its semiconductor products and services per JESD46, latest issue, and to discontinue any product or service per JESD48, latest issue. Buyers should obtain the latest relevant information before placing orders and should verify that such information is current and complete. All semiconductor products (also referred to herein as "components") are sold subject to TI's terms and conditions of sale supplied at the time of order acknowledgment.

TI warrants performance of its components to the specifications applicable at the time of sale, in accordance with the warranty in TI's terms and conditions of sale of semiconductor products. Testing and other quality control techniques are used to the extent TI deems necessary to support this warranty. Except where mandated by applicable law, testing of all parameters of each component is not necessarily performed.

TI assumes no liability for applications assistance or the design of Buyers' products. Buyers are responsible for their products and applications using TI components. To minimize the risks associated with Buyers' products and applications, Buyers should provide adequate design and operating safeguards.

TI does not warrant or represent that any license, either express or implied, is granted under any patent right, copyright, mask work right, or other intellectual property right relating to any combination, machine, or process in which TI components or services are used. Information published by TI regarding third-party products or services does not constitute a license to use such products or services or a warranty or endorsement thereof. Use of such information may require a license from a third party under the patents or other intellectual property of the third party, or a license from TI under the patents or other intellectual property of TI.

Reproduction of significant portions of TI information in TI data books or data sheets is permissible only if reproduction is without alteration and is accompanied by all associated warranties, conditions, limitations, and notices. TI is not responsible or liable for such altered documentation. Information of third parties may be subject to additional restrictions.

Resale of TI components or services with statements different from or beyond the parameters stated by TI for that component or service voids all express and any implied warranties for the associated TI component or service and is an unfair and deceptive business practice. TI is not responsible or liable for any such statements.

Buyer acknowledges and agrees that it is solely responsible for compliance with all legal, regulatory and safety-related requirements concerning its products, and any use of TI components in its applications, notwithstanding any applications-related information or support that may be provided by TI. Buyer represents and agrees that it has all the necessary expertise to create and implement safeguards which anticipate dangerous consequences of failures, monitor failures and their consequences, lessen the likelihood of failures that might cause harm and take appropriate remedial actions. Buyer will fully indemnify TI and its representatives against any damages arising out of the use of any TI components in safety-critical applications.

In some cases, TI components may be promoted specifically to facilitate safety-related applications. With such components, TI's goal is to help enable customers to design and create their own end-product solutions that meet applicable functional safety standards and requirements. Nonetheless, such components are subject to these terms.

No TI components are authorized for use in FDA Class III (or similar life-critical medical equipment) unless authorized officers of the parties have executed a special agreement specifically governing such use.

Only those TI components which TI has specifically designated as military grade or "enhanced plastic" are designed and intended for use in military/aerospace applications or environments. Buyer acknowledges and agrees that any military or aerospace use of TI components which have **not** been so designated is solely at the Buyer's risk, and that Buyer is solely responsible for compliance with all legal and regulatory requirements in connection with such use.

TI has specifically designated certain components as meeting ISO/TS16949 requirements, mainly for automotive use. In any case of use of non-designated products, TI will not be responsible for any failure to meet ISO/TS16949.

Products

Audio	www.ti.com/audio
Amplifiers	amplifier.ti.com
Data Converters	dataconverter.ti.com
DLP® Products	www.dlp.com
DSP	dsp.ti.com
Clocks and Timers	www.ti.com/clocks
Interface	interface.ti.com
Logic	logic.ti.com
Power Mgmt	power.ti.com
Microcontrollers	microcontroller.ti.com
RFID	www.ti-rfid.com
OMAP Applications Processors	www.ti.com/omap
Wireless Connectivity	www.ti.com/wirelessconnectivity

Applications

Automotive and Transportation	www.ti.com/automotive
Communications and Telecom	www.ti.com/communications
Computers and Peripherals	www.ti.com/computers
Consumer Electronics	www.ti.com/consumer-apps
Energy and Lighting	www.ti.com/energy
Industrial	www.ti.com/industrial
Medical	www.ti.com/medical
Security	www.ti.com/security
Space, Avionics and Defense	www.ti.com/space-avionics-defense
Video and Imaging	www.ti.com/video

TI E2E Community

e2e.ti.com

