

SISTEMA DE AYUDA A LA ENSEÑANZA DEL CONTROL DIGITAL

P. Fortet Roura, D. García Ariza, A. Illanes Moreno,
M.A. Jiménez Soto y A. Santana Domínguez

E. U. Politécnica - Ingeniería Técnica Industrial
Departamento de Tecnología Electrónica
Universidad de Sevilla

Resumen

En la presente ponencia se describe la filosofía y estructura de un sistema apto para el desarrollo de prácticas sobre servocontroladores digitales. El sistema permite controlar un motor de c. c. mediante un modelo de controlador digital comandado desde un PC compatible.

Introducción

Es generalmente aceptada la idea de que la introducción de ayudas prácticas permite comprender y asimilar con mayor facilidad los conceptos teóricos impartidos durante la docencia tradicional, suponiendo una ayuda estimable tanto para el enseñante como para el alumno. Este trabajo pretende sugerir una contribución a dicha línea docente, concretamente a la enseñanza de los **sistemas de control digital**, mediante un diseño flexible y económico que ha intentado reutilizar todos los recursos a menudo disponibles en un departamento tipo de Tecnología Electrónica.

Antecedentes.

La base del presente trabajo es un diseño práctico contenido en el trabajo [1], que estudia comparativamente los sistemas analógicos y discretos de control. Tras exponer inicialmente el marco teórico, se diseñaba y ponía finalmente en funcionamiento un servocontrol digital básico, optimizando tanto la inversión económica a realizar como el uso de los recursos disponibles, pero sin renunciar por ello a su viabilidad real y a unas prestaciones aceptables.

Se ha intentado dotar a dicho sistema de la máxima flexibilidad, tanto en su estructura hardware como, y sobre todo, en su software de aplicación, con el objeto de permitir la programación de los parámetros básicos de funcionamiento.

Objetivos.

El objetivo final es, claro está, permitir la experimentación práctica directa de los conceptos teóricos esenciales en un servocontrolador real. Sin embargo también es posible, y de hecho se ha realizado, obtener el modelo teórico-matemático del sistema, lo que permite simular en ordenador su comportamiento por medio del software apropiado.

Dicho modelo teórico permite contrastar la respuesta teórica del sistema, obtenida por simulación, con su evolución real. Para ello deben obtenerse previamente -mediante los métodos apropiados- posibles diseños

teóricos del filtro digital (función de transferencia del compensador digital), añadirlos al modelo teórico, simular y analizar la respuesta. Posteriormente, mediante la programación directa de los parámetros del filtro digital en el servosistema, puede obtenerse la respuesta real del mismo ante ensayos típicos y compararla con la ofrecida por el software de simulación.

De esta forma se completa el ciclo de diseño-prueba-rediseño que permite asimilar intuitivamente los conceptos esenciales manejados.

Descripción funcional del sistema

1. HARDWARE.

El diseño elegido para la implementación física del servocontrolador no es sino uno más de los posibles dada la gran variedad de arquitecturas que podrían realizarse (ver [2] y [3]). Se ha optado por el modelo de procesador principal independiente de los controladores digitales, esquema tradicionalmente conocido como **control digital descentralizado**, sobre todo por disponerse habitualmente como recurso existente (con el consiguiente ahorro presupuestario) de un PC compatible que puede realizar perfectamente las tareas del primero. En nuestro caso únicamente existe una carga que controlar y por tanto un solo controlador, aunque la estructura del sistema es fácilmente adaptable a varios lazos de realimentación independientes, que incluso podrían convertirse -con el software apropiado- en interrelacionados, dando lugar a lo que usualmente se denomina un sistema multivariable.

El servocontrolador digital se estructura básicamente en tres bloques bien diferenciados, funcionalmente independientes, tal y como puede observarse en la figura 1:

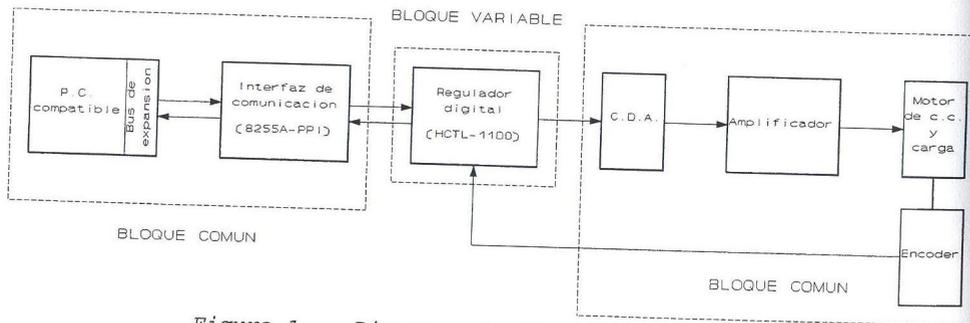


Figura 1.- Diagrama de bloques del sistema.

El **regulador digital** es el núcleo operativo del sistema y físicamente está implementado por el controlador HCTL-1100 de Hewlett Packard. Es el primer regulador que hemos utilizado con resultados satisfactorios, aunque no por ello la única opción viable. De hecho, la estructura del sistema fue concebida con la intención de permitir el empleo de otros modelos comerciales de controlador digital, a efectos de comparar sus respectivos rendimientos. Por tanto puede pensarse en este bloque del sistema como de naturaleza **variable**.

El **interfaz de comunicación** tiene por función interconectar al regulador digital con la CPU del PC compatible que actúa como procesador central. Evidentemente su estructura dependerá de cada modelo de regulador, pero en principio podría usarse la existente para un cierto número de casos, ya que básicamente se trata de un puerto paralelo de entrada-salida de propósito general.

Otro tanto podría decirse de la **etapa analógica** del sistema, compuesta en nuestro caso por un convertidor digital-analógico, un amplificador y el conjunto motor-carga-encoder. La función de los primeros es acondicionar la salida digital del regulador para que pueda excitar al motor de c.c. Su utilización puede

mantenerse para todos aquellos controladores cuya señal de salida se obtenga de un puerto paralelo de 8 bits. En los demás casos serán necesarias algunas modificaciones.

Estos dos bloques descritos constituyen la parte **común** del sistema para su posible uso con otros modelos de controlador digital.

Controlador digital.

Como ya hemos indicado, es el núcleo funcional del servosistema, y está compuesto por el **controlador de movimiento integrado HCTL-1100** junto con una circuitería adicional consistente en un generador de reloj para el mismo y unos dispositivos antiruido para minimizar la sensibilidad ante las perturbaciones electromagnéticas. En este bloque reside todo el software y el hardware del algoritmo de control digital.

Mediante el software general residente en el PC compatible se suministra la información de entrada para el controlador digital, que básicamente consiste en: parámetros de la función de transferencia del compensador (valores del polo, cero y ganancia), datos operativos del servosistema (frecuencias del reloj externo y de muestreo de la salida) y comandos de control u operación para el HCTL-1100. Esta información es procesada junto con la posición real realimentada de la carga, y el algoritmo de control digital genera un valor de salida cuyo objeto es siempre reducir a cero la diferencia existente entre la señal de entrada (que debe corresponderse con la posición teórica de

la carga) y la señal de salida (posición real). Dicha diferencia, como sabemos, se conoce como error de posición.

Tanto la filosofía de funcionamiento del sistema como la arquitectura del algoritmo de control (el tipo de función de transferencia del compensador digital), y por tanto los modos de control utilizables, son características del mismo heredadas de su núcleo operativo, que es el HCTL-1100. Es por ello que los límites de funcionamiento y las posibilidades extraíbles del sistema, mediante el software diseñado sobre el PC compatible, están directamente impuestos por las características técnicas intrínsecas del HCTL-1100 (ver [4]), que a continuación se exponen resumidamente.

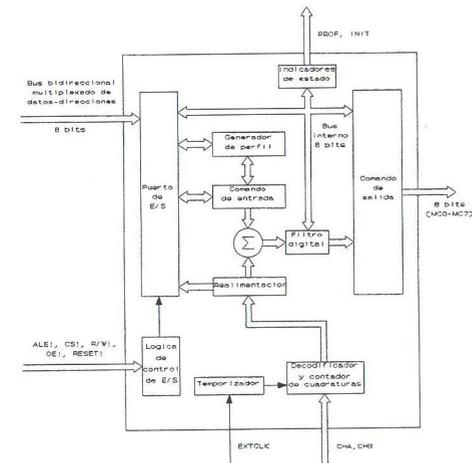


Figura 2.- Diagrama interno de bloques del HCTL-1100.

El **HCTL-1100**, cuyo diagrama interno de bloques -simplificado- se muestra en la figura 2, está implementado con tecnología CMOS, y recibe los comandos de entrada (parámetros de configuración y órdenes de control) de un procesador central (CPU 80286 de Intel a 12 MHz en nuestro caso), a través de un bus bidireccional de 8 bits, multiplexado para direcciones y datos. La realimentación de posición le es suministrada por un codificador incremental (encoder de 132 ranuras) en forma de dos salidas en cuadratura. EL comando

de control o salida digital está disponible exteriormente en un puerto paralelo de 8 bits -el usado en nuestro servo- o como señal PWM (impulso modulado en anchura).

Permite ejecutar uno de entre cuatro **algoritmos diferentes de control**, seleccionado por el usuario. Los tres modos que hemos contemplado son:

- Control de posición de la carga.
- Control de posición con perfil (trapezoidal) de velocidad prefijado.
- Control integral de velocidad de la carga, con perfil de aceleración prefijado.

Su **principio de funcionamiento** es el siguiente: tras cada instante de muestreo, el controlador compara la posición real (almacenada en tres registros de 8 bits) con la deseada (idem) y calcula el error de posición, que es la entrada del filtro digital programable, cuya salida (dato digital denominado señal compensada) se obtiene directamente en otro registro de 8 bits, que forma básicamente el puerto paralelo de salida. En los dos últimos modos de control, el generador de perfil de posición interno calcula, en función de las velocidades y aceleraciones programadas, el perfil de movimiento necesario.

El HCTL-1100 es un sistema digital de datos muestreados. Mientras que los comandos del procesador central son aceptados asincrónicamente respecto de las funciones de control, al comando de salida es calculado siguiendo una base de tiempos discreta, programable por el usuario.

El funcionamiento del controlador es dirigido por un conjunto de 64 **registros** de 8 bits, cuya dirección hardware coincide con su número. De ellos, 29 son registros auxiliares del procesador interno, y los otros 35 son accesibles por el usuario y contienen la información operativa y de configuración y los comandos procedentes del procesador central. Funcionalmente, cabe distinguir entre registros operativos (como el de indicadores o el contador de programa), registros de comando y respuesta (posición de entrada, posición real y comando de salida) y registros de configuración, mediante los cuales se programa el funcionamiento del sistema. Entre éstos últimos se encuentran los siguientes, de importancia fundamental:

- Los **registros del filtro digital programable**, que es usado por todos los modos de control para compensar la estabilidad del sistema a lazo cerrado. La función de transferencia genérica en el dominio de la variable discreta z de dicho filtro o compensador es de la forma:

$$D(z) = \frac{K}{4} \frac{(z - \frac{A}{256})}{(z + \frac{B}{256})}$$

donde K es la ganancia del filtro digital, A es el cero y B el polo. Los tres son valores escalares de 8 bits y pueden ser alterados a voluntad del usuario.

Como puede observarse, el compensador es un **filtro de adelanto de fase de primer orden**, y en combinación con el período de muestreo utilizado determinará la respuesta dinámica y la estabilidad del sistema de control.

- El **registro temporizador de muestreo**, cuyo contenido establece el período de tiempo con el que el HCTL-1100 va muestreando la posición actual de la carga a través del encoder. Dicho tiempo viene determinado por la expresión:

$$t = 16(T+1) \left(\frac{1}{f_{clk}} \right)$$

donde t es el período de muestreo en segundos, T es el valor contenido en el registro temporizador y f_{clk} es la frecuencia en Hz de la señal de reloj externa aplicada al HCTL.

El HCTL-1100 está en todo momento ejecutando una de entre tres rutinas operativas, denominadas modos de establecimiento, o bien está manteniendo uno de los modos de control anteriormente citados, en los que la salida estará de una u otra forma controlada.

Ante el procesador central el HCTL-1100 se comporta, por tanto, como un banco de registros de 8 bits (cuyos valores controlan su funcionamiento) que pueden ser escritos y/o leídos. El controlador tiene cuatro

entradas para el control de esta comunicación (ALE!, CS!, OE! y R/W!), con las cuales se implementa el protocolo de transferencia de datos. Hay tres configuraciones de tiempos diferentes entre las que hay que elegir una, lo que, a la vez que determina el funcionamiento del interfaz de comunicación, le dota de cierta flexibilidad.

Interfaz de comunicación.

Como ya se comentó, su función es la de permitir la comunicación entre el controlador HCTL-1100 y la CPU 80286 del PC compatible que actúa como procesador central. Funcionalmente esto significa que debe ser capaz no sólo de transmitir y recibir datos en paralelo por un único bus multiplexado de 8 bits, sino que simultáneamente y en todo momento debe poder controlar el estado de las señales de protocolo que controlan las operaciones de lectura y escritura en los registros del HCTL-1100. Tanto este requisito como la velocidad de transmisión necesaria -que permita el control en tiempo real del regulador digital y al mismo tiempo conocer su estado instantáneo- hacen que los puertos estándar de comunicaciones de todo PC hayan de ser descartados, y remiten al uso directo del bus de la CPU (a través del bus de expansión del PC) como única alternativa posible.

Las entradas a este bloque son, por tanto, los buses de datos, direcciones y control de la CPU, y sus salidas el bus multiplexado de 8 bits y las señales de protocolo ya mencionadas. El bloque está físicamente implementado en torno al **interfaz de periférico programable (PPI) 8255-A** de Intel, que es su elemento principal. Además consta de una circuitería adicional para decodificación de direcciones y generación de la señal de activación (CS!) del 8255-A, compuestos por un comparador octal y diversas puertas lógicas.

El 8255-A dispone de 24 terminales de entrada/salida (implementados en tres puertos de 8 bits asociados a otros tantos registros) que pueden ser individualmente programados en dos grupos de 12, y usados en tres modos diferentes de operación: e/s básica, e/s con protocolo asociado y bus bidireccional (también con protocolo asociado). Su configuración funcional se establece al programar el valor apropiado en el cuarto y último registro de 8 bits, denominado por ello registro de control.

Etapa analógica.

Se compone de cuatro partes funcionalmente diferenciadas, dos de las cuales forman una única entidad física: el **servomotor** con encoder acoplado. Se trata de un pequeño motor de c.c. de imanes permanentes, controlado por el inducido, con una tensión nominal de trabajo de 60 V, que mueve una carga constituida por un volante -solidario con su eje- que simula la inercia de un sistema físico. El conjunto motor-carga constituye el objeto de la acción del servocontrolador digital.

A la carcasa del motor va unido rígidamente un **codificador incremental** (encoder) que realiza la función de realimentación de la posición real de la salida (del eje del motor). Está compuesto por un disco ranurado (con 132 ranuras) solidario al eje del motor cuya magnitud de giro es traducida por unos optoacopladores a impulsos eléctricos que, convenientemente tratados, se llevan hasta las entradas de realimentación del HCTL-1100.

El **convertidor digital-analógico** (DAC-08 de Analog Devices) convierte la salida del regulador digital (dato de 8 bits en paralelo) en una corriente producto de éste por la intensidad de referencia de entrada.

Esta corriente es convertida en tensión y adaptada en impedancia por dos operacionales (LF356 y LM324). Otros dos operacionales (LM324) en configuraciones inversor y no-inversor doblan el rango de tensión con objeto de optimizar el uso de la zona lineal de trabajo del motor. Cada uno de ellos ataca a su respectiva etapa de potencia con transistores complementarios, las cuales excitan directamente el motor. Todos estos elementos constituyen la **etapa amplificadora** de potencia.

2. SOFTWARE.

La característica fundamental de los controladores digitales con arquitectura descentralizada es, en cuanto al software se refiere (ver [5]), que el procesador central realiza las funciones de alto y medio nivel, mientras que el algoritmo de control propiamente dicho reside en los modelos concretos de regulador digital que se usen, uno por cada lazo de realimentación. Es por ello que tanto el rendimiento obtenido de dichos reguladores como la calidad del interfaz hombre-máquina ofrecido al usuario dependen directamente de la eficacia del software operativo diseñado.

El lenguaje elegido en nuestro caso como soporte de dicho software ha sido el C, tanto por su condición de lenguaje sencillamente estructurado como por la flexibilidad y versatilidad que facilita al programador. El programa realizado se compone de varios bloques funcionalmente diferenciados, que se comentan a continuación.

El software de comunicaciones tiene por función permitir la interconexión entre el procesador central (CPU 80286) y el regulador digital (HCTL-1100), y ello implica la ejecución de, entre otras, las siguientes tareas:

- Programar el comando de configuración adecuado en el registro de control del 8255A-PPI.
- Controlar el estado (activando y desactivando secuencialmente y en el orden preciso) de las cuatro señales de la lógica de e/s del HCTL, de tal forma que se cumplan los protocolos establecidos para completar las operaciones de lectura y escritura de registros. Ello implica también el manejo del bus bidireccional del 8255A y de su propio protocolo asociado.

A partir del software de más bajo nivel que permite la lectura y escritura en los registros del HCTL, el software de control se ocupa del nivel inmediatamente superior, con operaciones tales como inicializar el controlador, ir cargando los registros del HCTL con los valores calculados de los parámetros, enviar los comandos de operación en la forma y momento apropiados para conducir al servo al modo de control deseado, y captar información tanto sobre el estado del regulador como de las variables de salida.

El software de introducción de datos consiste en una serie de pantallas diseñadas específicamente para la introducción de los parámetros de configuración del regulador, que son la posición inicial, la frecuencia o período de muestreo de la salida y los parámetros del filtro digital (cero, polo y ganancia). La selección de la operación que se desea realizar (introducir un parámetro concreto, ejecutar un cierto modo de control o visualizar el resultado del mismo) es posible mediante una barra de menú desplegable organizada en bloques funcionales.

El software gráfico y de visualización tiene por función permitir el análisis y valoración de las medidas reales muestreadas durante la ejecución de un modo de control, mediante la exposición de los resultados numéricos obtenidos o su representación gráfica temporal.

3. DISEÑO DEL COMPENSADOR DIGITAL.

La exposición detallada de los fundamentos teóricos que sustentan el método utilizado para diseñar matemáticamente el regulador digital excede obviamente de las posibilidades de este texto (ver [6] y [7]). Nos limitaremos por ello a resumir que está basado en la manipulación de polinomios característicos del sistema, por lo que se precisa comenzar determinando la expresión analítica de la dinámica del sistema, y que es necesario exigir al final condiciones para la existencia de soluciones concretas a los parámetros a determinar que son, como es evidente, el período de muestreo del sistema y los elementos de la función de transferencia del regulador (cero, polo y ganancia).

La idea fundamental consiste en comenzar con un regulador lineal y determinar sus parámetros para que el sistema a lazo cerrado tenga las propiedades deseadas. Para ello se introducen restricciones tales como que el sistema posea alta ganancia de lazo a determinadas frecuencias y baja a otras frecuencias. El proceso de solución conduce a la resolución de un conjunto de ecuaciones polinómicas lineales, de las que se obtienen los valores requeridos.

Discusión de resultados

Como se comentó anteriormente, la obtención de la dinámica del proceso, es decir, de la expresión matemática que define al sistema, se presenta como el primer paso a completar. La figura 3 representa el diagrama de bloques del servocontrolador digital completo -a estos efectos-, en el que se han incluido las perturbaciones en la carga (v), incertidumbres en la planta (N) y errores de medida (e), que es preciso considerar.

Tras especificar las funciones de transferencia del mantenedor de orden cero (bloqueador incluido en el HCTL-1100), actuador (conjunto de convertidor D/A y amplificador), servomotor (obteniendo por ensayos prácticos sus parámetros y características) y transductor (encoder), la f.t. del proceso, expresada en función de la variable continua s , es la siguiente:

$$H(s) = K_A G(s) E = \frac{165,9106}{s(0,5062s+1)} = b_1 \frac{a_1}{s(s+a_1)}$$

siendo $b_1 = 165,9196$ y $a_1 = 1,98958$.

El siguiente paso consiste en discretizar dicha función de transferencia, expresándola en el dominio de la variable discreta z . Se obtiene entonces que:

$$H(z) = \frac{K(z-b)}{(z-1)(z-a)}$$

donde

$$K = b_1 \left(\frac{a_1 \cdot h + e^{-a_1 \cdot h} - 1}{a_1} \right)$$

$$b = \frac{a_1 \cdot h \cdot e^{-a_1 \cdot h} + e^{-a_1 \cdot h} - 1}{a_1 \cdot h + e^{-a_1 \cdot h} - 1} \quad a = e^{-a_1 \cdot h}$$

siendo h el período de muestreo del sistema. Para el cálculo de dicho período es preciso determinar antes dos parámetros característicos de la planta, que son el amortiguamiento relativo ξ (que como sabemos informa sobre la duración de la respuesta del sistema) y la frecuencia natural ω (que informa sobre la velocidad de dicha respuesta). Teniendo que en cuenta que, referido a nuestro sistema, sus valores son 0,05475 y 18,16842 respectivamente, concluimos que:

$$h = \frac{2\pi}{200\omega\sqrt{1-\xi^2}} \approx 0,002$$

que es el valor del período de muestreo (en segundos) para el sistema no compensado, es decir, sin ninguna influencia del regulador digital.

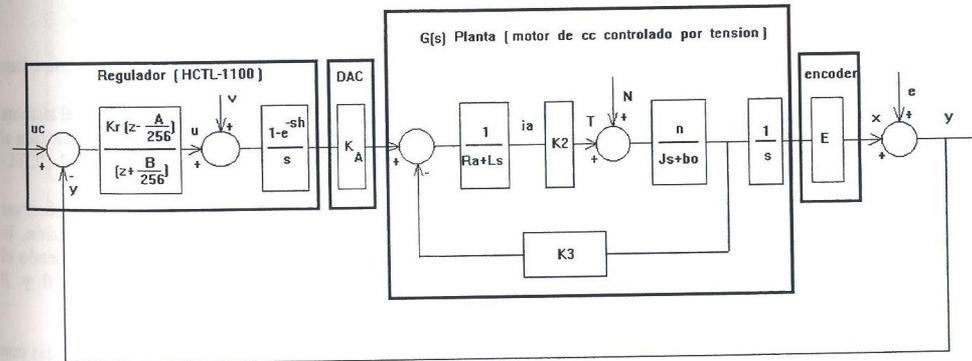


Figura 3.- Diagrama de bloques del sistema.

El método de diseño del regulador digital anteriormente citado culmina con la obtención de la ley de control del sistema, o ecuación de diseño del mismo. Desde un punto de vista práctico, interesa que los coeficientes de dicha ecuación estén en función de parámetros más intuitivos y medibles que ξ y ω . Es por ello que éstos suelen expresarse en términos de resultados obtenidos ante ensayos tipo, como es la respuesta temporal del sistema -a lazo cerrado- ante una señal escalón unitario. Los parámetros elegidos son, por tanto, el tiempo de establecimiento t_s (en segundos) y el sobreimpulso máximo M_p (en tanto por ciento). Siendo la relación entre ξ y ω por una parte, y t_s y M_p por la otra, la siguiente:

$$t_s = \frac{4}{\xi \omega}$$

$$M_p = 100 e^{-\frac{\xi}{\sqrt{1-\xi^2}} \pi}$$

En función de éstos, la ecuación de diseño del sistema puede escribirse como:

$$(z-1)(z-a)(z+r_1) + K(z-b)(s_0 \cdot z + s_1) = z^3 + p_1 \cdot z^2 + p_2 \cdot z$$

donde r_1 , s_0 y s_1 son las expresiones:

$$r_1 = -b + \frac{b(b^2 + p_1 \cdot b + p_2)}{(b-1)(b-a)}$$

$$s_0 = \frac{(1+p_1+p_2)(a-b) - (a^3+p_1 \cdot a^2+p_2 \cdot a)}{(a-b)(1-a)(1-b)K}$$

$$s_1 = \frac{(a^3+p_1 \cdot a^2+p_2 \cdot a)(1-b) - (1+p_1+p_2)(a-b)a}{(a-b)(1-a)(1-b)K}$$

Y los coeficientes p_1 , p_2 y h , son expresiones en función del tiempo de establecimiento t_s y del sobreimpulso máximo M_p :

$$h = \frac{t_s \cdot \ln\left(\frac{100}{M_p}\right)}{400}$$

$$p_2 = e^{-\frac{8 \cdot h}{t_s}}$$

$$p_1 = -2 \cdot e^{-\frac{4 \cdot h}{t_s}} \cdot \cos\left(\frac{4 \cdot \pi \cdot h}{t_s \cdot \ln\left(\frac{100}{M_p}\right)}\right)$$

Teniendo en cuenta la forma genérica de la función de transferencia del regulador digital HCTL-1100 ya citada, los valores prácticos a cargar en los registros correspondientes son:

$$K_r = 4 \cdot s_0 \quad B = 256 \cdot r_1 \quad A = \frac{-256 \cdot s_1}{s_0}$$

UN CASO PRACTICO.

Supongamos que fijamos las especificaciones de la respuesta en régimen transitorio del sistema a lazo cerrado, ante una señal escalón unitario, en los siguientes términos: $t_s = 0,3$ s y $M_p = 5$ %.

Aplicando las correspondientes ecuaciones anteriores se obtiene un período de muestreo para el sistema compensado $h = 0,00225$ s, y teniendo en cuenta que la frecuencia de la señal de reloj externo conectada al HCTL-1100 es de 1 Mhz, se obtienen los siguientes valores a cargar en los respectivos registros del HCTL-1100: $T = 139$, $K_r = 135$, $A = 248$ y $B = 7$.

El comportamiento del sistema compensado con estos valores habrá de contrastarse, si se desea observar la estabilidad, rendimiento y otras características del mismo, con el del mismo sistema sin compensación, lo cual se consigue haciendo que la función de transferencia del regulador digital sea unitaria (manteniendo el período de muestreo del sistema), programando los siguientes valores: $T = 139$, $K_r = 4$, $A = 0$ y $B = 0$.

Las siguientes representaciones gráficas ilustran el comportamiento del sistema y están realizadas con un programa comercial de control y simulación relativamente conocido llamado CC. La figura 4 representa la respuesta temporal simulada del sistema discretizado ante una entrada consistente en un giro de 90° (132 c.c.) aplicado en forma de señal escalón. Las unidades utilizadas para medir la salida del sistema son heredadas del HCTL-1100, y se denominan cuentas de cuadratura. Su equivalencia en grados depende del número de ranuras del encoder, y en nuestro caso es 1 c.c. = 0,68°. Dicha respuesta se aproxima tanto más a la del sistema continuo cuanto menor sea el período de muestreo elegido, con el inconveniente de que con ello se aumenta la sensibilidad ante las perturbaciones. La figura 6 representa la respuesta frecuencial de este mismo sistema (diagrama de Bode) a lazo abierto, observándose unos márgenes de fase y ganancia bajos, que sitúan al sistema cerca de la inestabilidad.

Las figuras 5 y 7 ilustran las respuestas temporal y frecuencial del sistema compensado con los valores mencionados anteriormente. Se comprueba fácilmente la mejora obtenida en la dinámica del sistema, que cumple las especificaciones fijadas para el régimen transitorio ($t_s = 0,3$ s y $M_p = 5$ %), así como en la estabilidad, con un margen de fase de 63° y de ganancia de 31 dB.

En cuanto a la precisión estacionaria, para una señal de consigna tipo escalón el error en régimen permanente es nulo, ya que se trata de un sistema de tipo uno. Sin embargo, dicho error existe si la señal de entrada es de tipo rampa. Puede disminuirse el error estacionario aumentando la ganancia del sistema, pero esta solución puede ocasionar efectos desestabilizadores, por lo que es preciso llegar a un compromiso entre una buena respuesta permanente (error estacionario pequeño) y una estabilidad aceptable (buena respuesta transitoria).

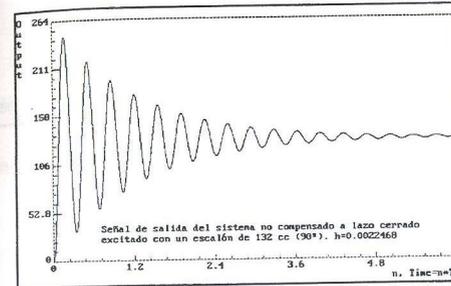


Figura 4.- Respuesta simulada del sistema sin compensar.

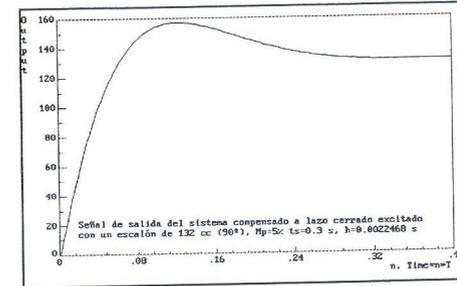


Figura 5.- Respuesta simulada del sistema compensado.

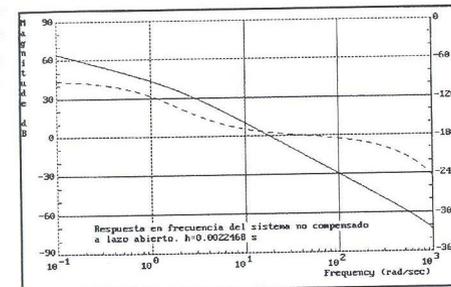


Figura 6.- Respuesta en frecuencia simulada del sistema sin compensar.

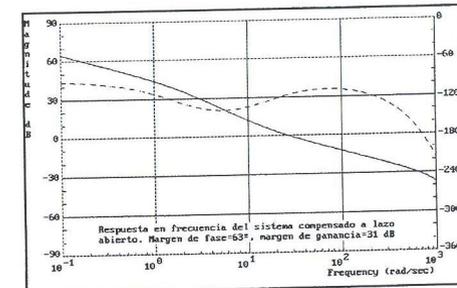


Figura 7.- Respuesta en frecuencia simulada del sistema compensado.

Las figuras 8 y 9 corresponden a sendas pantallas de visualización de resultados del programa de aplicación desarrollado. Son, por tanto, representaciones gráficas de datos reales muestreados de la salida del sistema (posición angular del eje del motor) durante la ejecución de operaciones del regulador digital, concretamente en su modo de control de posición, en el que no se limitan la velocidad ni la aceleración del movimiento (es necesario no imponer estas restricciones para poder comparar los resultados con los del modelo teórico). Puede comprobarse su similitud con las respuestas simuladas del modelo teórico (figuras 4 y 5), aunque también se observan diferencias entre ambas, debidas casi exclusivamente a alinealidades del sistema real no contempladas en el modelo teórico.

La principal es la zona muerta del motor (el actuador no gira para tensiones inferiores a 4 V aproximadamente), que se manifiesta en la suspensión de la oscilación de la salida en las proximidades del valor de consigna. También debe destacarse la saturación de la salida digital del regulador (limitada a 256 valores al ser un puerto paralelo de 8 bits), que se nota principalmente porque dicha señal parte de su valor máximo -que no puede superar-, por lo que su comportamiento no coincide con la simulación teórica (en la que la salida no tiene esta limitación).

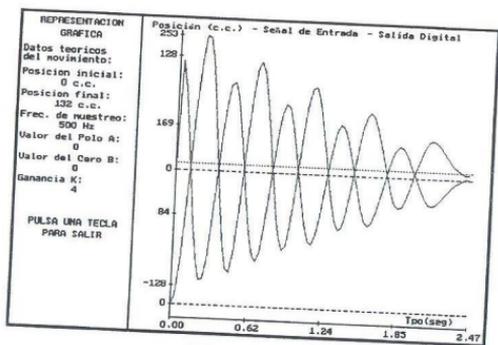


Figura 8.- Respuesta real del sistema sin compensar.

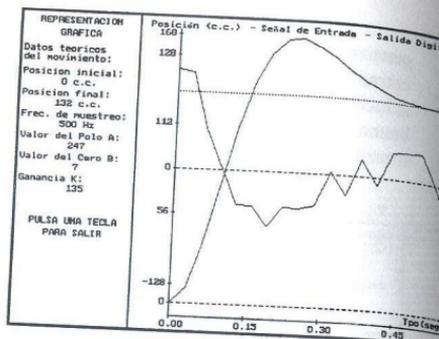


Figura 9.- Respuesta real del sistema compensado.

Conclusiones

El sistema desarrollado, con una modesta inversión económica y un aprovechamiento intenso de los recursos habituales de un laboratorio de Tecnología Electrónica, facilita al alumno una mejor y más intuitiva comprensión de los conceptos esenciales de los sistemas de control -particularmente de aquellos basados en reguladores digitales-, tales como estabilidad, respuestas temporal y frecuencial, método y criterios de diseño, etc, al permitirle monitorizar respuestas reales del servocontrolador y alterar las mismas modificando su configuración. La posibilidad de adaptar el software desarrollado sobre el PC compatible y la de ampliar el control a varios motores simultáneamente dotan al sistema de apreciable flexibilidad y capacidad de desarrollo.

Bibliografía

- [1] Ingeniería de Control Moderna. Sistemas Analógicos y Discretos de Control. E.U. Politécnica, Sevilla, Octubre-1995. Proyecto Fin de Carrera. D. García Ariza, A. Illanes Moreno, M.A. Jiménez Soto y A. Santana Domínguez.
- [2] Sistemas discretos de control. J. Aracil Santoja, E. Fernández Camacho. Publicaciones de la E.T.S.I.I. Sevilla.
- [3] Ingeniería de control moderna. K. Ogata. Editorial Prentice Hall, 1990.
- [4] General Purpose Motion Control IC. Technical Data. Hewlett Packard. Cupertino, California. 1990.
- [5] Introducción al control de procesos con ordenador. J. Corominas Viñas. Editorial Marcombo, 1976.
- [6] Sistemas controlados por computador. Karl J. Åström, Björn Wittenmark. Editorial Paraninfo, 1988
- [7] Sistemas de control digital. Análisis y diseño. Charles L. Phillips, H. Troy Nagle. Editorial Gustavo Gili, 1987.