

Controladores Digitales Estocásticos

J.M.Quero and L.G.Franquelo

Dpto. de Ingeniería de Sistemas y Automática
Escuela Superior de Ingenieros
Avda. Reina Mercedes s/n
41012 Sevilla

Resumen.

En este artículo se presenta la realización de controladores clásicos basados en el procesamiento lógico estocástico. Se aporta una descripción de las operaciones aritméticas básicas -suma, resta, multiplicación e integración. El objetivo de esta arquitectura es proporcionar un conjunto de circuitos simples que permitan realizar estas operaciones con circuitos digitales simples. Como resultado de ello se pueden sintetizar controladores empleando dispositivos lógicos programables (FPGA). El circuito desarrollado es aplicado a un sistema real con el uso de un convertidor analógico estocástico (ASC).

1. Introducción.

En el procesamiento estocástico, los valores son codificados en una manera especial. Cada señal es representada por una secuencia de pulsos digitales que toman valores 0 y 1 aleatoriamente. La probabilidad de que el pulso tome un nivel alto es el valor de la señal.

La multiplicación de dos secuencias estocásticas se lleva a cabo mediante un simple puerta AND, dado que la probabilidad de que su salida esté a uno es el producto de probabilidades de las señales de entrada, siempre que los trenes de pulsos sean independientes. La suma de cantidades estocásticas también puede ser realizada mediante circuitos simples [1].

El uso de lógica estocástica reduce significativamente la cantidad de circuitería necesaria, y por ello su realización puede ser llevada a cabo mediante circuitos lógicos programables [2].

El uso del procesamiento estocástico de señales en campos tan variados como sistemas de control y filtros digitales aumentan el interés en este tipo de computación, donde

es necesario llevar a cabo un elevado número de productos y sumas. El procesamiento de señales estocásticas ha sido también empleada con éxito en la realización de redes neuronales artificiales [3], [4], [5].

En este artículo se presentan los bloques básicos de los sistemas lógicos estocásticos. Primero se introducen los pulsos estocásticos con signo que permiten representar magnitudes comprendidas en el intervalo $[-1, 1]$ empleando un tren de pulsos aleatorios. Posteriormente se presenta la suma y la multiplicación de estos trenes de pulsos usando simplemente puertas OR y XNOR respectivamente.

En base a los bloques anteriores se define el integrador estocástico. Este dispositivo incorpora un comportamiento dinámico que es función de la frecuencia de trabajo del sistema.

Con objeto de poder conectar los controladores digitales estocásticos resultantes directamente al entorno digital se describen los convertidores correspondientes.

El conjunto de convertidores y controladores estocásticos se ha aplicado al control de un sistema de primer orden para comparar sus prestaciones ante controladores analógicos convencionales.

2. Aritmética Estocástica.

La codificación de magnitudes reales comprendidas en el intervalo $[0, 1]$ se realiza mediante el empleo de un tren de pulsos estocásticos, cuyo valor medio (número de pulsos con valor lógico 1 dividido por el número total de pulsos) represente la magnitud deseada (ver Fig 1). La codificación de magnitudes con signo, es decir pertenecientes al intervalo $[-1, 1]$ se produce de igual manera, sin más que considerar la traslación correspondiente en la inter-

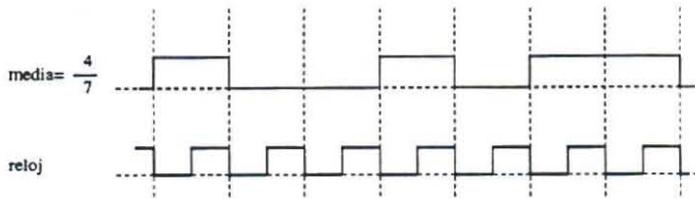


Figura 1: Representación estocásticas de magnitudes reales.

pretación del valor codificado. A lo largo de lo expuesto en este artículo se empleará esta segunda codificación.

Bajo estas condiciones los circuitos para realizar las operaciones de suma y producto se muestran en Fig 2.

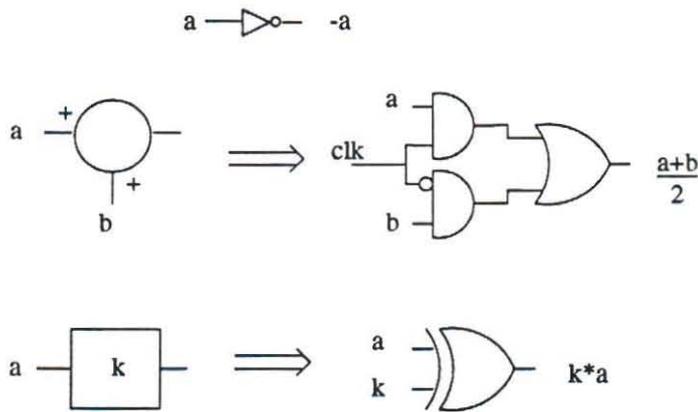


Figura 2: Circuitos aritméticos estocásticos básicos

La adición de señales estocásticas se realiza mediante la combinación de ambos pulsos de entrada mediante una puerta OR. Obviamente el resultado obtenido es dividido por dos. Este esquema, aunque ha sido utilizado con anterioridad, presenta una fuerte correlación respecto a los pulsos de entrada si se emplea un reloj para efectuar dicha multiplexión. En este artículo se efectúa la multiplexión con la ayuda de un tren de pulsos estocásticos de valor medio 0.5. El cambio de signo de una magnitud estocástica se consigue mediante una simple puerta inversora, por lo que la resta es inmediata a partir de la suma.

La multiplicación de magnitudes estocásticas con signo se efectúa directamente con la ayuda de una puerta XOR.

Obviamente las limitaciones que presentan estos esquemas empleados es el de la saturación inherente al sistema de representación. Para soslayar este problema se debe efectuar un escalado apropiado de las magnitudes de entrada.

3. Integrador Estocástico.

El integrador estocástico está compuesto por un contador que se incrementa o decrementa acorde con la diferencia entre el valor estocástico de entrada y el valor que contiene. El esquema propuesto se muestra en Fig. 3.

La conversión digital estocástica del valor acumulado en el contador se consigue a partir de la comparación de dicho valor digital con un valor digital pseudo-aleatorio generado a partir de un registro de desplazamiento realimentado (LFSR) ??.

La constante de tiempo de integración depende del número de bits del contador, como se muestra en la ecuación 1, donde T es el periodo de reloj del sistema.

$$K_I = \frac{2}{(2^n - 1)T} \quad (1)$$

Las respuestas de las realizaciones digital y estocástica del integrador se muestran en la Fig. 4. Puede observarse el ruido inherente superpuesto en la salida estocástica del integrador. Este valor de ruido puede ser limitado aumentando el tamaño del contador (ver Fig. 3)

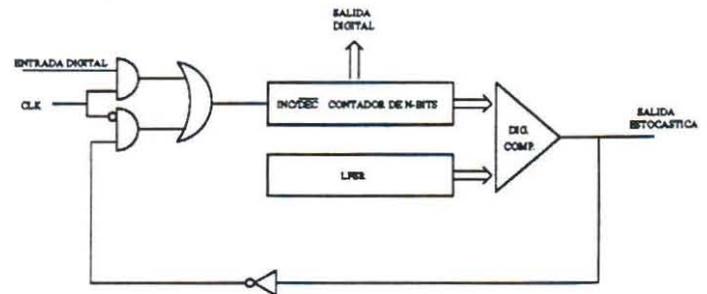


Figura 3: Diagrama de Bloques del Integrador Estocástico

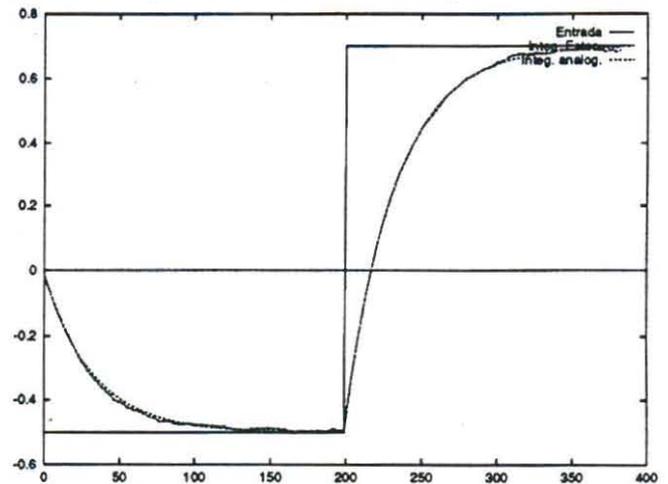


Figura 4: Respuesta del integrador estocástico.

Es de destacar que el comportamiento del sistema digital es muy similar al de su homónimo analógico, dado que

el periodo del reloj del sistema estocástico es mucho menor que la constante de tiempo del integrador. Este hecho es de destacar dado que va a permitir sintetizar los controladores analógicos convencionales sin necesidad de emplear técnicas digitales, como es el caso de la representación en variables discretas.

4. Circuitos de Conversión.

Otra de las ventajas más relevantes del empleo del procesamiento estocástico es la ausencia de circuitos muestreadores, imprescindibles en los sistemas de control puramente digitales. Sólo es preciso efectuar la conversión de las señales analógicas a estocásticas y viceversa de manera continua.

4.1. Conversión estocástica-analógica

La conversión estocástica-analógica se realiza simplemente con un filtro RC paso bajo, sin más que determinar la precisión de la conversión en base al ruido superpuesto al valor medio resultante. La expresión del espectro de un pulso estocástico ha sido obtenida en [6] y viene dada por la ecuación 2.

$$|S(\omega)| = 2\pi p^2 \delta(\omega) + 2pqT \frac{1 - \cos(\omega T)}{(\omega T)^2} \quad (2)$$

y está representada en Fig 5.

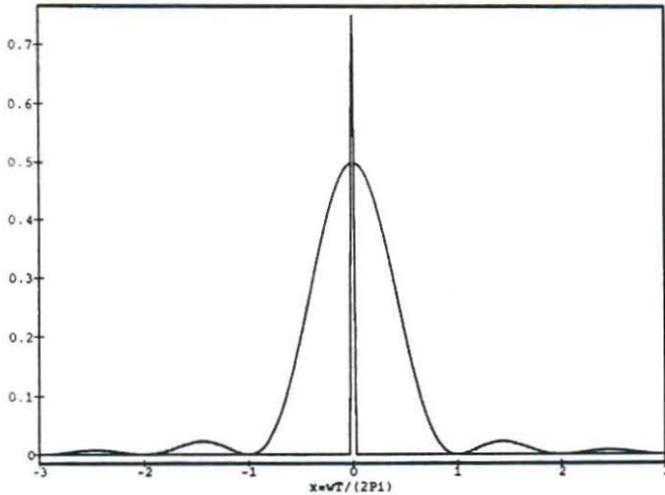


Figura 5: Espectro de potencia de una señal estocástica.

En la misma referencia bibliográfica se demuestra que

el filtro paso bajo debe cumplir

$$\omega_{max} < 2^{-2(n-1)} \omega_{clk} \quad (3)$$

donde ω_{max} define el filtro ideal, ω_{clk} es la frecuencia del reloj del sistema y n es el número de bits empleado para la codificación digital del número analógico de mayor precisión posible con la conversión planteada.

4.2. Conversión analógica-estocástica

La conversión estocástica-analógica ha sido ampliamente estudiada en [7]. El esquema mostrado en Fig 6 consta de un generador de números aleatorios basado en un LFSR, el cual permite generar valores analógicos aleatorios. Dichos valores son comparados con el valor analógico a convertir para producir el tren estocástico correspondiente.

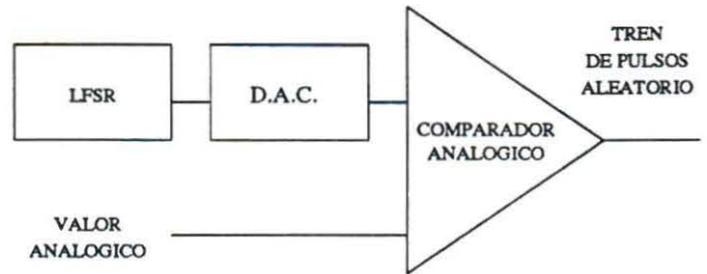


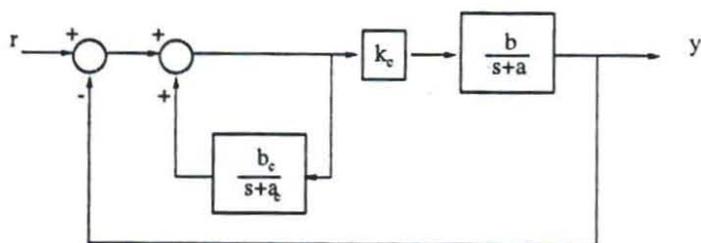
Figura 6: Convertidor analógico estocástico

5. Ejemplo de Aplicación: controlador PI estocástico

En base a los bloques estocásticos desarrollados en la secciones 2 y 3 y de los interfaces de la sección 4, se puede desarrollar cualquier arquitectura pertenecientes a controladores analógicos clásicos. Como ejemplo se ha elegido un controlador PI convencional. En la Fig 7 se muestran el diagrama de bloques y los parametros del sistema y el controlador elegidos.

Fig 8 presenta la realización del controlador empleando lógica estocástica y los convertidores empleados.

El controlador estocástico se ha sintetizado empleando una FPGA 1020A de Texas Instruments. la frecuencia del reloj del sistema es 26Khz. Dicha frecuencia esta limitada por las necesidades del convertidor analógico estocástico, implementado con dispositivos discretos. Sin embargo es suficiente rápido para permitir la síntesis del controlador en variables continuas. El integrador posee un contador reversible de 18 bits, al igual que el generador de números aleatorios.



sistema: $a=0.1$ $b=0.1$
 controlador: $a_c=0.1$ $b_c=0.1$ $k_c=0.1$

Figura 7: Diagrama de bloques del sistema y del controlador.

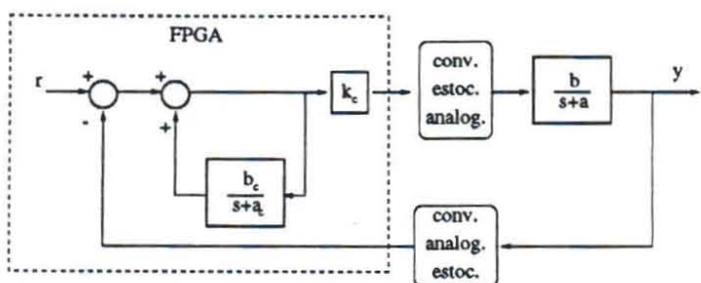


Figura 8: Diagrama de bloques de la aplicación.

El esquema propuesto ha sido comparado con su realización analógica correspondiente, obteniendo las respuestas representadas en Fig 9.

6. Conclusiones

Se ha desarrollado un controlador estocástico basado puramente en circuitería digital. La cantidad reducida de puertas lógicas necesaria permite su realización empleando dispositivos FPGAs. El ejemplo mostrado, a pesar de su simplicidad, pone de manifiesto la posibilidad de diseñar controladores más complejos con la ayuda de los bloques de computación estocástica introducidos en este artículo. Las características más destacadas de estas realizaciones son su fácil configuración a partir del cálculo analógico, inherente inmunidad al ruido, su programabilidad y simplicidad en cuanto a realización electrónica.

Los resultados experimentales no solo confirman la validez de esta aproximación, sino que también sugiere el uso de arquitecturas estocásticas para controladores más complejos, como es el caso de redes neuronales y lógica borrosa.

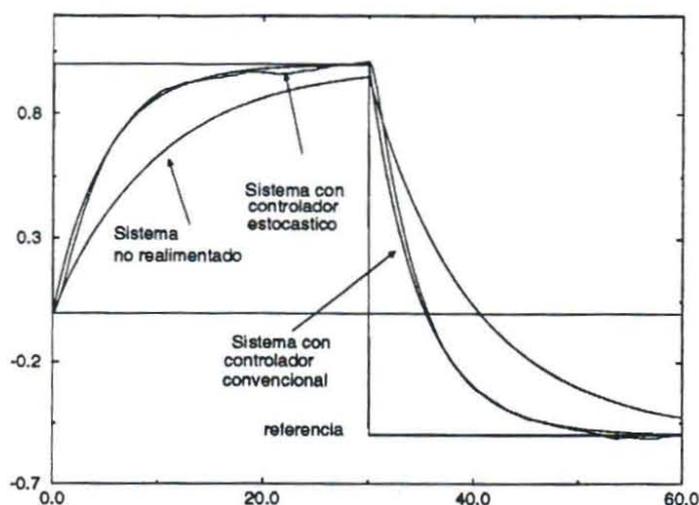


Figura 9: Respuesta del controlador estocástico y del controlador convencional

BIBLIOGRAFÍA

- [1] C.L. Janer, J.M. Quero and L.G. Franquelo. Fully Parallel Summation in a New Stochastic Neural Network Architecture. *IEEE Int. Conf. on Neural Networks*, San Francisco, pp. 1498-1503. 1993.
- [2] Max van Daalen, Peter Jeavons and John Shawe-Taylor. A Stochastic Neural Architecture that Exploits Dynamically Reconfigurable FPGAs. *Proc. of the IEEE NAPA Conf. on FPGAs*, pp. 202-211. 1993.
- [3] Y. Kondo and Y. Sawada. Functional Abilities of a Stochastic Logic Neural Networks *IEEE Trans. on Neural Networks*, vol.3, pp. 434-443, 1992.
- [4] D.E. Van den Bout and T.K. Miller III. A Digital Architecture Employing Stochasticism for the Simulation of Hopfield Neural Nets. *IEEE Trans. on Circuit and Systems*, vol.36, pp. 732-738. 1989.
- [5] W. Wike, D.E. Van den Bout and T.K. Miller III. The VLSI Implementation of STONN. *IEEE Int. Joint Conf. on Neural Networks*, vol.2, pp. 593-598, 1990.
- [6] J.G.Ortega, C.L. Janer, J.M.Quero and L.G.Franquelo. *Analog to Digital and Digital to Analog Conversion Based on Stochastic Logic*. IEEE Industrial Electronic Conference, Orlando, 1995
- [7] J.G.Ortega, J.M.Quero, C.L.Janer and L.G.Franquelo. *Interfaces to Stochastic Logic: Application to Stochastic Neural Network*. First Int.

- Conf. on Electronics, Circuits and Systems, Cairo, 1994.
- [8] W.W. Stifler . *High Speed Computing Devices*. McGraw-Hill, New York. 1950.
- [9] W.J. Poppelbaum. Statistical Processors. *Advances in Computers. Academic Press*, vol. 17, pp. 187-230. 1976
- [10] W.J. Poppelbaum, A.Dollas, J.B. Glickman and C. O'Toole. Unary Processing. *Advances in Computers. Academic Press*. 1987
- [11] J.M. Quero, J.G. Ortega, C.L. Janer and L.G. Franquelo. VLSI Implementation of a Fully Parallel New Stochastic Neural Network. *IEEE Int. Conf. on Neural Networks*, vol. 4, pp. 2040-2045, 1994.
- [12] B.R.Gaines, Stochastic Computing Systems. *Advances in Information Systems Science*, 2 , pp. 37-172, 1969.
- [13] J.G.Ortega, J.M.Quero, C.L.Janer y L.G.Franquelo. " Synaptic Weight Generation in VLSI Stochastic Neural Networks: A Novel Approach." *IWANN'95*. Torremolinos (Spain),1995.
- [14] W. Peterson. *Error Correcting Codes*. MIT Press. 1972.