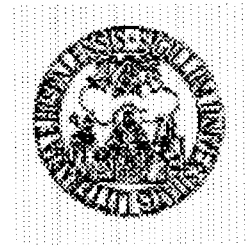


TESIS DOCTORAL



**ANALISIS Y SINTESIS DE CIRCUITOS
DIGITALES ESTOCASTICOS PARA LA
REALIZACION DE SISTEMAS ANALOGICOS**

por

Sergio L. Toral Marín

Ingeniero Industrial por la E.S. de Ingenieros
de la Universidad de Sevilla

Presentada en la

Escuela Superior de Ingenieros

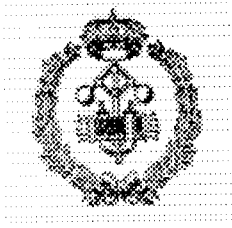
de la

Universidad de Sevilla

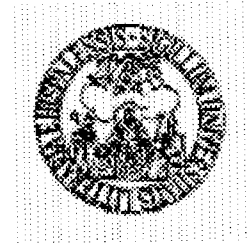
para la obtención del

Grado de Doctor Ingeniero Industrial

Sevilla, Septiembre de 1999



TESIS DOCTORAL




**ANALISIS Y SINTESIS DE CIRCUITOS
DIGITALES ESTOCASTICOS PARA LA
REALIZACION DE SISTEMAS
ANALOGICOS**

Autor: Sergio L. Toral Marín

A handwritten signature in black ink, appearing to read "Sergio L. Toral Marín", is positioned to the right of the author's name.

Director: José Manuel Quero Reboul

A handwritten signature in black ink, appearing to read "José Manuel Quero Reboul", is positioned to the right of the director's name.



“La piedra de toque de una inteligencia de primera clase es la aptitud para mantener dos ideas opuestas en la mente y conservar al mismo tiempo la capacidad para actuar”
F. Scott Fitzgerald

Agradecimientos

Quiero expresar mi agradecimiento a todas aquellas personas que han colaborado en el desarrollo de esta Tesis Doctoral. En primer lugar quiero citar a mi Director de Tesis, **D. José M. Quero Reboul** por la constante supervisión del trabajo que estaba realizando, su aportación personal en muchas de las ideas que se exponen y por las muchas horas que ha dedicado a discutir conmigo infinidad de detalles.

Quiero agradecer también al Director del Grupo de Tecnología Electrónica, **D. Leopoldo García Franquelo**, la ayuda prestada durante la realización de la Tesis.

También hago extensivos los agradecimientos a todos mis compañeros del Grupo de Tecnología Electrónica que, en mayor o menor medida, han servido de estímulo en los momentos de mayor desorientación y que con sus comentarios han ayudado a aclarar las ideas en numerosas ocasiones.

Finalmente, quiero agradecer a mi familia y a Rocío su apoyo y ánimo constante.

Sevilla, 5 de Septiembre de 1999.

Resumen de la Tesis

El procesamiento estocástico constituye una de las líneas de investigación del **Grupo de Tecnología Electrónica (GTE)**. Los sistemas estocásticos se encuentran caracterizados porque la información se representa mediante un conjunto de trenes de pulsos aleatorios síncronos. El valor de una variable real perteneciente al intervalo $[0,1]$ se codifica de una manera muy especial: es la probabilidad de que, en un ciclo de reloj dado, el tren de pulsos asociado a la señal tome un valor lógico alto. Aprovechando las similitudes entre el álgebra de probabilidades y el álgebra de Boole, es posible desarrollar circuitos electrónicos digitales capaces de implementar, de una manera muy simple, operaciones aritméticas básicas. En particular, la suma y el producto son las operaciones más profundamente estudiadas por dos motivos: son las operaciones mayoritariamente involucradas en cualquier cálculo aritmético y además se encuentran especialmente presentes en las redes neuronales, que es una de las aplicaciones donde el procesamiento estocástico ha encontrado mayor eco. La implementación hardware de redes neuronales es un problema no resuelto de manera definitiva, y que ha sido extensamente tratado en tesis precedentes realizadas dentro del Grupo. Otras aportaciones de estos trabajos dentro del campo del procesamiento estocástico son convertidores entre los dominios analógico y estocástico y estudios sobre las posibilidades de la lógica estocástica como plataforma de implementación de controladores borrosos. Como continuación de tesis doctorales anteriores, esta Tesis pretende estudiar las posibilidades de la lógica estocástica para implementar sistemas analógicos. La idea es volver al concepto de lo que significa una codificación mediante trenes de pulsos aleatorios: se trata de una codificación que es cuantizada en cuanto a su forma de representación (señal bipolar, como en los diseños digitales) pero no en cuanto a la interpretación del valor codificado, que es continuo, pues se trata de la esperanza matemática de tener un valor lógico a nivel alto, es decir, de una probabilidad. Dado que la codificación estocástica es intrínsecamente bipolar, todos los circuitos propuestos son totalmente digitales. Frente a otras alternativas de implementación del procesamiento estocástico mediante una circuitería analógica o mixta, propuesta en otros grupos de investigación, se ha optado por una implementación digital por un motivo muy simple: los circuitos digitales resultan año a año más potentes y baratos con unas escalas de integración y velocidades que se duplican cada 18 meses y unos precios que bajan proporcionalmente. Además, los sistemas

de desarrollo de los circuitos digitales se encuentran mucho más avanzados que los analógicos, permitiendo el desarrollo e implementación de sistemas complejos. Los circuitos y aplicaciones propuestos en la Tesis tienen en los dispositivos programables digitales su medio natural de implementación.

Visto desde el punto de vista contrario, los dispositivos programables digitales tienen en el procesamiento estocástico propuesto una puerta de acceso a una funcionalidad digital integrada dentro del propio dispositivo.

La Tesis doctoral se encuentra dividida en dos partes claramente diferenciadas, como se desprende del título:

- Una primera de análisis. donde se definen los bloques constructivos básicos que implementan funciones analógicas utilizadas habitualmente: sistemas de primer orden, integradores, circuitos de cálculo de divisiones y raíces cuadradas. Se propone una extensión de la aritmética tradicional estocástica, basada en productos y sumas, como medio de implementar sistemas analógicos complejos. Asimismo, se estudian las interfases adecuadas entre los dominios analógico, digital y estocástico para llegar a un sistema de procesamiento cerrado.
- Una segunda de síntesis donde se proponen tres aplicaciones que conjuguen los bloques previamente analizados.

Tras un capítulo introductorio donde se introducen el concepto, la aritmética básica y aplicaciones generales del procesamiento estocástico, se pasa a caracterizar los bloques constructivos básicos que se utilizarán posteriormente. En primer lugar, se presenta un bloque constructivo básico consistente en un sistema de primer orden. Este bloque constructivo se caracteriza como si de un sistema analógico se tratase, es decir, mediante la atenuación y el desfase de la señal de salida con respecto a la de entrada. Como circuito de aplicación inmediato se propone un circuito detector de envolvente, basado en un circuito seguidor que actúa sobre un contador que incrementa de manera mucho más rápida que decremента, de forma análoga a un circuito típico analógico detector de envolvente, donde la constante de carga del condensador es mucho más pequeña que la de descarga.

Este bloque se denomina básico porque sobre él se introducen varias generalizaciones:

- Conexión en cascada, para lograr sistemas de orden superior
- Introducción de ceros
- Introducción de un factor de ganancia

Esta última generalización permite desarrollar circuitos que implementan funciones no lineales como son los circuitos de cálculo de divisiones y de raíces cuadradas.

Finalmente, se presenta un circuito integrador que permite la resolución de ecuaciones diferenciales, como se verá en una de las aplicaciones. Como ejemplo de aplicación, se propone un circuito desfasador de 90° .

Todos los circuitos anteriores forman, junto a la suma y el producto, los elementos básicos que se van a utilizar en las aplicaciones propuestas a continuación y constituyen el procesamiento estocástico propiamente dicho. No obstante, para disponer de un sistema cerrado es preciso disponer de unas interfases adecuados entre los dominios analógico, digital y estocástico. De este modo, dadas unas variables de entrada al problema, bien analógicas, bien digitales, son convertidas a trenes de pulsos aleatorios, procesados mediante los bloques constructivos anteriores para recuperar finalmente las señales analógicas o digitales que constituyen las señales de salida.

En este sentido, para las variables de entrada se definen:

- Conversión digital-estocástica.
Realizada base de unos generadores de números pseudo-aleatorios, consistentes en registros de desplazamiento realimentados linealmente (LF-SR), estudiados ampliamente en la bibliografía.
- Conversión analógica-estocástica.
Existen algunos esquemas definidos en la bibliografía, pero tienen el inconveniente de que su ancho de banda es demasiado limitado para las aplicaciones que se pretenden realizar. Aprovechando los esquemas típicos de convertidores sobremuestreados, se propone una realización mixta, con una pequeña circuitería analógica externa, que mejora las prestaciones de los esquemas existentes.

Por su parte, para las variables de salida se definen:

- Conversión estocástica-digital.
No consiste más que en un contador que estima la probabilidad a partir de la frecuencia relativa de valores lógicos a nivel alto en una secuencia relativamente larga.
- Conversión estocástica-analógica.
Similar a la anterior pero con una red RC. Aprovechando las posibilidades de redundancia en la información del cálculo estocástico y el carácter pseudo-aleatorio de los LFSRs, se propone un esquema que mejora las prestaciones del anterior.

En la segunda parte de la Tesis, dedicada a aplicaciones, se sintetizan los bloques definidos en tres ejemplos de aplicación, que pretenden demostrar las posibilidades del cálculo estocástico para implementar sistemas analógicos. La caracterización de los bloques constructivos de los capítulos II y III ha detallado para cada uno de ellos sus parámetros de diseño y sus limitaciones. En base a ello, se propone un método general de diseño que se utilizará en las aplicaciones.

En general, las dinámicas que se pueden procesar son varios órdenes de magnitud inferiores a la frecuencia de trabajo digital, por lo que, cuanto más rápidos sean los dispositivos digitales (tendencia que crece año tras año) proporcionalmente aumenta el ancho de banda que la lógica estocástica puede soportar.

La primera de las aplicaciones propuestas es la realización de filtros de orden n , conectando en cascada varios de los sistemas de primer orden. Con las interfases de entrada y salida es posible contar con un sistema digital, sobre un dispositivo programable, con una señal analógica de entrada y la correspondiente señal filtrada a la salida.

La segunda aplicación se refiere a la realización de un medidor de potencia, capaz de suministrar los parámetros típicos de un sistema de potencia: energía y potencia activa y reactiva, factor de potencia, potencia aparente y valores máximos y eficaces. En este caso, las variables de entrada son la intensidad y la tensión, y los de salida se proporcionan digitalmente.

La última de las aplicaciones es un control integral y por pasividad de un convertidor serie resonante. En definitiva, se trata de resolver un conjunto de ecuaciones diferenciales, mucho más complejo en el caso del control por pasividad. Las variables de entrada son la referencia y la salida de la fuente, mientras que la de salida es una señal PWM que actúa sobre el convertidor.

Como se desprende de las aplicaciones propuestas, se ha elegido el campo de la electrónica de potencia para dos de ellas. Esto se debe a que, en primer lugar, la electrónica de potencia proporciona un elevado número de aplicaciones donde no se requieren dinámicas excesivamente elevadas. A esto hay que unir la experiencia existente en el Grupo de Tecnología Electrónica en este campo para justificar su utilización.

En general, se puede pensar en una gran multitud de aplicaciones en las que no se requieren dinámicas muy elevadas y donde el cálculo estocástico representa una alternativa de bajo coste, eficiente en área, frente a otras opciones como procesadores de propósito general.

Índice General

1	Introducción	1
1.1	Consideraciones previas	1
1.2	Procesamiento estocástico	2
1.3	Aritmética estocástica	3
1.3.1	Producto	3
1.3.2	Suma	5
1.4	Generación de trenes de pulsos estocásticos	9
1.4.1	Métodos digitales de generación de trenes de pulsos estocásticos	9
1.4.2	Métodos analógicos de generación de trenes de pulsos estocásticos	12
1.5	Aplicaciones	13
1.6	Objetivos	15
2	Realizaciones estocásticas de sistemas continuos	18
2.1	Consideraciones previas	18
2.2	Realización digital de un sistema de primer orden	19
2.2.1	Descripción del bloque básico	19
2.2.2	Suma con signo	21
2.2.3	Caracterización	22
2.2.4	Respuesta en frecuencia	24
2.2.5	Aplicación: circuito estocástico detector de pico	26
2.3	Introducción de un factor de ganancia	28
2.4	Extensión a sistemas de orden n	32
2.5	Introducción de ceros	35
2.6	Circuitos de cálculo de funciones no lineales	36
2.6.1	Circuito de cálculo de divisiones	36
2.6.2	Circuito de cálculo de raíces cuadradas	37
2.7	Circuito integrador	38
2.7.1	Aplicación: circuito desfasador	40
3	Conversión analógica-digital-estocástica	42
3.1	Introducción	42
3.2	Conversión estocástica digital	45

3.3	Conversión analógica estocástica	47
3.3.1	Realización física	51
3.4	Conversión Estocástica Analógica	56
4	Aplicaciones	60
4.1	Introducción	60
4.1.1	Método de diseño	62
4.2	Realizaciones digitales de filtros analógicos	63
4.3	Medidas de potencia	70
4.3.1	Medidas de potencia activa	71
4.3.2	Medidas de potencia reactiva	72
4.3.3	Circuitos estocásticos básicos	75
4.3.4	Integración de los circuitos estocásticos	75
4.3.5	Realización física	87
4.4	Aplicación del cálculo estocástico a la realización digital de sistemas analógicos complejos	89
4.4.1	Introducción	89
4.4.2	Control de un convertidor resonante serie	89
4.4.3	Formulación del problema	91
4.4.4	Implementación estocástica de un control integral	91
4.4.5	Implementación estocástica de un control por pasividad	96
5	Conclusiones y futuras líneas	103

Capítulo 1

Introducción

1.1 Consideraciones previas

El procesamiento de señales aleatorias fue presentado por primera vez por von Neumann en 1956 [1]. En sus trabajos, von Neumann trataba de explicar algunos fenómenos del sistema nervioso siguiendo principios estadísticos. Su intención no era tanto modelar comportamientos neurofisiológicos sino demostrar que a partir de una representación inexacta de la información y mediante unidades de procesamiento muy sencillas, era posible llegar a resultados precisos aprovechando la redundancia de la información. Hacia finales de los años 60, la proliferación de trabajos en este campo fue muy abundante. La mayoría se centraban en buscar realizaciones hardware capaces de resolver ecuaciones diferenciales o de imitar el comportamiento del sistema nervioso. A este respecto, hay que destacar los trabajos de Gaines [2], [3] y Ribeiro [4], que ya proponen algunas arquitecturas para la realización de computadores estocásticos. La idea de emplear la probabilidad de un tren de pulsos digitales como una cantidad analógica era utilizada para simular elementos típicos de computadoras analógicas: multiplicadores, sumadores, inversores, integradores . . . De esta manera se introducía la nueva aproximación de computadoras estocásticas como una vía alternativa a las tradicionales realizaciones analógicas, digitales o incluso mixtas. El principal inconveniente del procesamiento estocástico estaba en la limitación tecnológica en cuanto al ancho de banda que los computadores estocásticos eran capaces de procesar. Hay que tener en cuenta que el hecho de representar una cantidad analógica como una probabilidad supone implícitamente la necesidad de que ésta se manifieste como una frecuencia relativa en una secuencia lo suficientemente larga. En consecuencia, la velocidad de procesamiento estocástico deberá ser mucho mayor que la dinámica de la señal analógica que queremos procesar. Como resultado de lo anterior, las aplicaciones de la lógica estocástica se dirigieron fundamentalmente al campo de procesamiento paralelo de la información, en particular, redes neuronales. Interés que llega hasta fechas actuales, como demuestran

recientes trabajos en esta línea [5], [6], [7], [8]. El avance de la tecnología, sobre todo en lo que se refiere a dispositivos programables, cuyas velocidades y tamaños aumentan a pasos agigantados, permite retomar aquellas ideas de los años 60 para llegar a implementaciones que, siendo totalmente digitales, permiten un procesamiento, en determinados casos, mucho más simple y eficientes que el cálculo tradicional [9]-[11].

1.2 Procesamiento estocástico

El procesamiento de señales binarias pseudo aleatorias se basa en codificar un valor digital o analógico como un tren de pulsos aleatorios en el que la información viene representada por la media de ese tren de pulsos (figura 1.1). Dicho de otra forma, la probabilidad de que aparezca un pulso a un nivel lógico alto es el valor que se ha codificado. Una probabilidad no puede ser

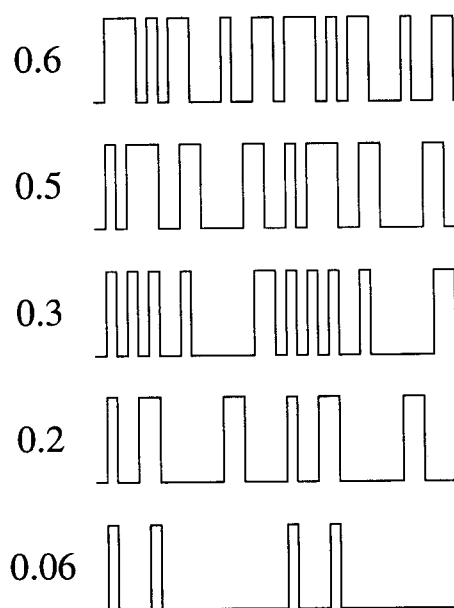


Figura 1.1: Codificación estocástica de la información

medida exactamente. Tan sólo puede ser estimada por la frecuencia relativa de eventos "valores lógicos a nivel alto" en una secuencia lo suficientemente larga. En consecuencia, el procesamiento estocástico va a introducir errores en la forma de desviaciones típicas al intentar estimar la probabilidad de una secuencia finita. Nótese que la probabilidad es una variable continua que no va a estar sujeta a errores de redondeo o discretización, sino a un error estadístico en la forma de una desviación típica.

Estadísticamente, la secuencia de valores lógicos que codifican un valor es un proceso estocástico discreto [12], formado por una sucesión de variables aleatorias de Bernoulli. Si consideramos una secuencia formada por N bits en

la que k de ellos son valores lógicos altos, diremos que el valor codificado por esa secuencia es $\hat{p} = k/N$, con una desviación típica asociada a la estimación de la probabilidad de $\sigma(\hat{p}) = \sqrt{p(1-p)}/N$, siendo p la probabilidad de un valor alto. La precisión en la estimación de la media con la frecuencia relativa aumenta con la raíz cuadrada de la longitud N de la secuencia. De acuerdo con la expresión matemática de la varianza, el caso más desfavorable desde el punto de vista de la precisión ocurre para $p=1/2$. Se puede demostrar fácilmente [13] que, en este caso, la longitud de la secuencia necesaria para llegar a una precisión de n bits viene dada por $N = 2^{2n-2}$, siendo N la longitud de la secuencia.

1.3 Aritmética estocástica

La analogía que existe entre el álgebra de probabilidades y el álgebra de Boole es aprovechada para obtener unas unidades de procesamiento muy simples. Las dos operaciones básicas descritas en la literatura son la suma y el producto. El motivo es que son las operaciones fundamentales involucradas en las redes neuronales, que es una de las aplicaciones donde ha encontrado mayor resultado una codificación estocástica de la información.

1.3.1 Producto

El álgebra elemental de probabilidades establece que si dos eventos son estadísticamente independientes, la probabilidad de la intersección de ambos eventos es igual al producto de las probabilidades de cada uno de ellos.

Electrónicamente, dados dos trenes de pulsos estocásticos, una puerta AND realiza el producto de ambos (figura 1.2). La probabilidad de tener un "1" lógico a la salida será igual al producto de las probabilidades de los trenes de pulsos de entrada, puesto que sólo cuando coincidan dos "1" lógicos a la entrada aparecerá éste a la salida. La única condición imprescindible es que ambas codificaciones sean estadísticamente incorreladas. La incorrelación deberá ser además espacial y temporal. La incorrelación espacial garantiza obtener a la salida un tren de pulsos cuya probabilidad de tener un valor lógico alto es el producto de las probabilidades de los trenes de entrada. La incorrelación temporal permite obtener a la salida una secuencia con buenas propiedades estadísticas para continuar su posterior procesamiento estocástico. El resultado anterior es extensible al producto de n trenes de pulsos estocásticos utilizando una puerta AND de n entradas.

Para realizar una aritmética con signo, existen tres posibilidades diferentes:

- La primera consiste en tratar el signo como un bit aparte, de modo que para codificar una señal con signo harían falta dos líneas: el tren de pulsos y el signo. La aritmética del signo en el producto sería una puerta XOR.

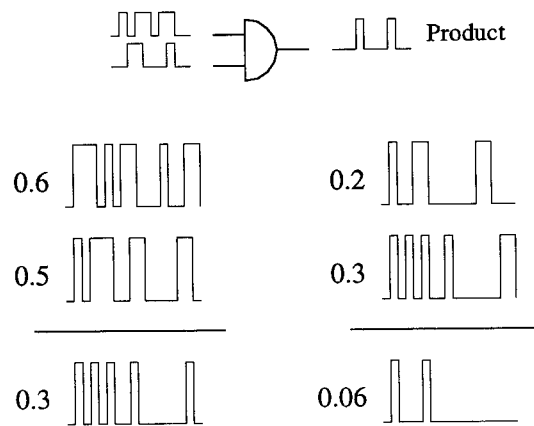


Figura 1.2: Aritmética estocástica: producto

- La segunda opción fue propuesta por Gaines [3] y consiste en utilizar dos trenes de pulsos, uno que codifique la parte positiva y otro la negativa, de modo que el valor codificado viene dado por la diferencia de ambos. El máximo valor positivo vendría dado por el tren positivo siempre a nivel alto y el negativo a cero. El valor cero vendría codificado por ambos trenes a nivel bajo, o bien con la misma probabilidad. El producto de dos trenes con signo sería igual a dos trenes, el positivo σ^+ y el negativo σ^- :

$$\begin{aligned} \sigma^+ &= a^+b^+ + a^-b^- \\ \sigma^- &= a^+b^- + a^-b^+ \end{aligned} \tag{1.1}$$

- La última posibilidad es llevar el signo implícito en el propio tren de pulsos [11]. Considérense dos trenes de pulsos v_1 y v_2 comprendidos en el intervalo $[-1,1]$. Dado que no es posible codificar densidades de pulsos negativas, se codifican estocásticamente las cantidades p_1 y p_2 definidas como:

$$\begin{aligned} p_1 &= \frac{v_1 + 1}{2} \\ p_2 &= \frac{v_2 + 1}{2} \end{aligned} \tag{1.2}$$

La operación se lleva a cabo mediante una puerta XOR. A la salida se obtiene un tren de pulsos con una probabilidad:

$$p_0 = p_1(1 - p_2) + p_2(1 - p_1)$$

Poniendo esta expresión en función de v_1 y v_2 :

$$p_0 = \frac{1}{2} - \frac{1}{2}v_1v_2$$

Aplicando la transformación inversa, esto es, $v_0 = 2p_0 - 1$, resulta:

$$v_0 = -v_1v_2 \tag{1.3}$$

La principal ventaja que tiene este esquema es que los signos de los términos a multiplicar vienen codificados implícitamente en el propio tren de pulsos. El inconveniente es que sólo se pueden multiplicar dos términos.

1.3.2 Suma

La suma es una operación más compleja de realizar estocásticamente. La forma más simple, que sería una puerta OR, presenta problemas de saturación con densidades de pulsos elevadas, por lo que en la bibliografía se han introducido otras técnicas basadas en multiplexores, contadores reversibles o en la transformación exponencial.

Puertas OR

Supóngase que se tienen dos trenes de pulsos aleatorios que se desean sumar. Si se utiliza una puerta OR [14], a la salida tendremos un tren de pulsos con una probabilidad que, en general, será inferior a la suma de las probabilidades de los pulsos de entrada (figura 1.3). La razón es que, cuando se produce un solape en los trenes de pulsos de entrada, esto es, cuando ambos están simultáneamente a nivel alto, a la salida tan sólo se genera un pulso a nivel alto y no dos. Cuanto mayor sea la densidad de pulsos en las entradas de la puerta OR, mayor será la probabilidad de solape y, en consecuencia, mayor el error en la suma. Para encontrar la relación que existe entre la probabilidad

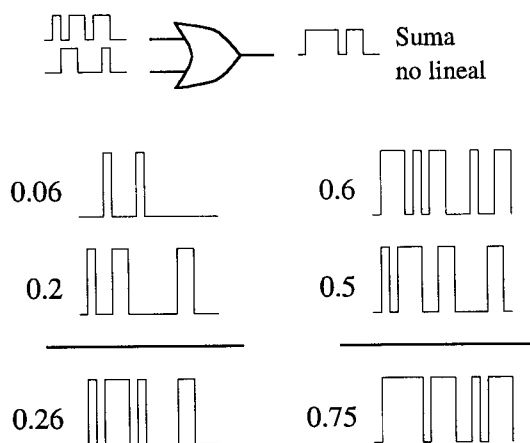


Figura 1.3: Aritmética estocástica: suma mediante puerta OR

de salida de la puerta OR en función de las probabilidades de los términos de entrada, consideremos n procesos estocásticos de Bernoulli que constituyen las n entradas de la puerta OR. Sean a_i , con $i=1 \dots n$ las probabilidades de estos n trenes de pulsos aleatorios. La probabilidad de que en un instante de

tiempo una o más de las entradas se encuentre a nivel alto es:

$$P(1 \text{ o mas pulsos } ON) = \sum_{k=1}^n \binom{n}{k} \left(\frac{\sum_i a_i}{n} \right)^k \left(1 - \frac{\sum_i a_i}{n} \right)^{n-k} \quad (1.4)$$

donde k representa el número de entradas a nivel alto y $(\sum_i a_i/n)$ es la probabilidad media de que cualquier entrada esté a nivel alto.

Esta ecuación no es sencilla de evaluar. Sin embargo, mediante la aproximación límite del teorema de Poisson tenemos:

$$\begin{aligned} P(1 \text{ o mas pulsos } ON) &= \sum_{k=1}^{\infty} \frac{e^{-\sum_i a_i} (\sum_i a_i)^k}{k!} = \\ &= 1 - \frac{e^{-\sum_i a_i} (\sum_i a_i)^0}{0!} = 1 - e^{-\sum_i a_i} \end{aligned} \quad (1.5)$$

La ecuación 1.5 se representa en la figura 1.4. Como puede observarse, la curva tiene la forma de la mitad superior de una función sigmoideal, por lo que esta forma de realizar la suma resulta ideal en aplicaciones relativas a redes neuronales, donde se usa la función sigmoideal como función de activación.

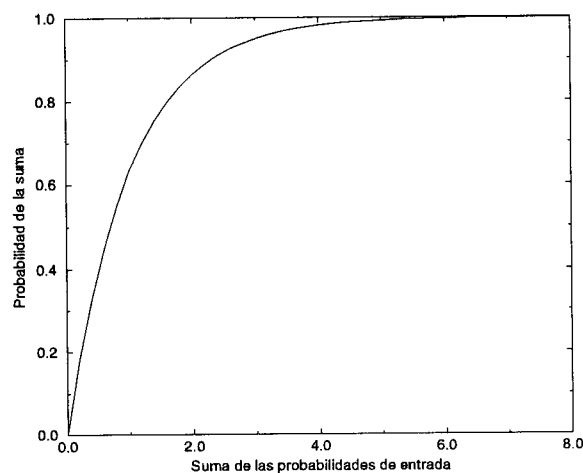


Figura 1.4: Saturación de la suma estocástica mediante una puerta OR

Suma multiplexada

Una alternativa que permite evitar la saturación de la puerta OR es realizar una suma multiplexando los trenes de pulsos de entrada. En este caso la suma no satura, pero la información se reduce a la mitad. En consecuencia, el resultado será la mitad del valor de la suma. Como señal de selección del multiplexor puede utilizarse una secuencia de bits pseudoaleatoria, de

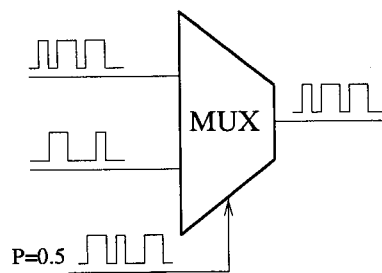


Figura 1.5: Aritmética estocástica: suma multiplexada

probabilidad 0.5, lo que reduce la correlación en el tren de pulsos aleatorios resultante [15]. En general, dados n trenes de pulsos estocásticos de entrada, la técnica de multiplexación permite obtener la n -ésima parte del valor de la suma.

Contadores reversibles

La suma estocástica también puede evaluarse utilizando un contador reversible [16], aunque esta técnica tiene el inconveniente de que la suma no se calcula en paralelo. Se fija un horizonte temporal durante el que se va a evaluar la influencia de cada uno de los sumandos. Secuencialmente se va teniendo en cuenta el valor de cada sumando: si el sumando es positivo, cada vez que haya un valor lógico alto, el contador se incrementa en una unidad. Si, en cambio, es negativo, el contador se decrementará en una unidad cuando exista un valor lógico alto en ese sumando. De este modo, una vez que se han tenido en cuenta a todos los sumandos en ese horizonte de tiempo, en el contador habrá un valor representativo de la suma.

Transformación exponencial

Dado que el producto es una operación elemental cuando se trabaja con trenes de pulsos estocásticos, resulta interesante la idea de buscar algún tipo de transformación capaz de convertir las sumas en productos [17], [18]. Esta transformación es la exponencial:

$$\prod_{i=1}^n e^{-x_i} = e^{\sum_{i=1}^n -x_i} \quad (1.6)$$

donde los términos x_i se suponen positivos. En consecuencia, si se calcula estocásticamente la función exponencial cambiándoles previamente el signo y se multiplican, a la salida tendremos un tren de pulsos representativo de la suma. Los términos positivos y negativos se calculan separadamente y después se combinan para calcular la suma total.

Esta técnica se ha aplicado con éxito en la realización física de redes neuronales artificiales con signo, donde no es necesario calcular el valor de la suma

sino tan sólo su signo. De este modo, la suma final de los términos positivos y negativos se reduce a averiguar cuál de los dos trenes de pulsos es más denso. La transformación exponencial se realiza acudiendo a diferentes aproximaciones de la función exponencial, según se incluyan más o menos términos de su desarrollo en serie (figura 1.6).

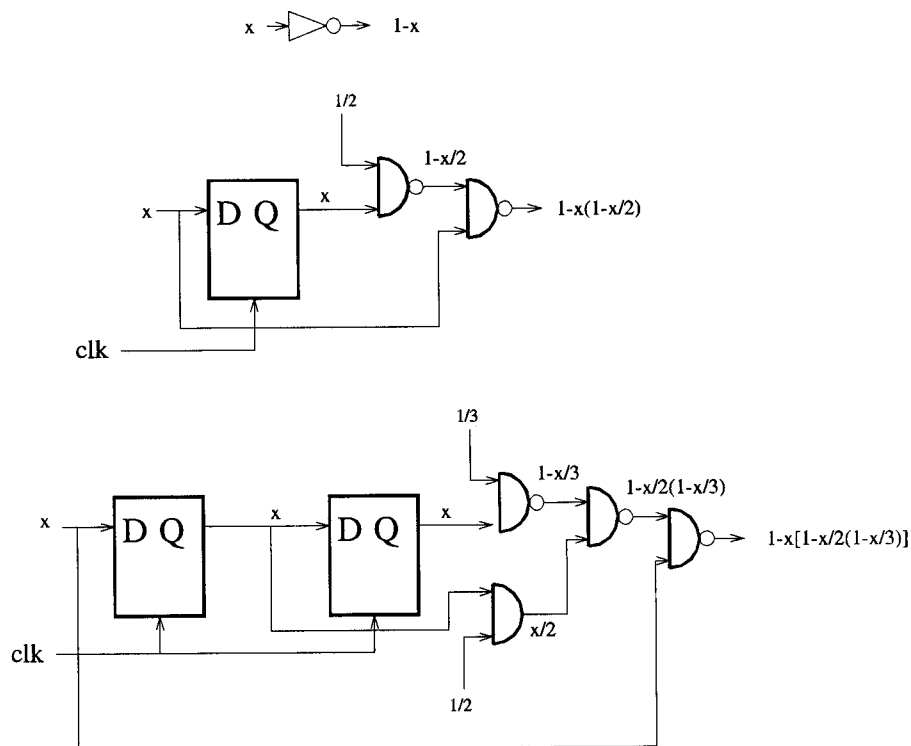


Figura 1.6: Aproximaciones de la función exponencial

Codificación estocástica basada en la razón de pulsos a nivel alto y bajo

Una alternativa a la codificación estocástica tradicional consiste en codificar el valor de la señal, no como el número de pulsos a nivel alto en una secuencia lo suficientemente larga, sino como la razón entre los pulsos a nivel alto y los pulsos a nivel bajo en dicha secuencia [19]. En [20] se proponen diversos circuitos que realizan las operaciones aritméticas básicas, entre ellas la suma, siguiendo esta forma alternativa de interpretación de un tren de pulsos estocásticos.

La principal ventaja de esta forma de codificación reside en que es posible codificar valores analógicos en todo el rango positivo numérico, sin limitarnos únicamente al intervalo $[0,1]$, como ocurre con la codificación tradicional. Es decir, no es necesario escalar previamente todos los valores con los que se va a trabajar, siendo posible además sumar trenes de pulsos cuyo resultado

supere la unidad. En teoría, cabría pensar en la posibilidad de realizar una suma lineal. No obstante, los circuitos propuestos en [20] no resuelven el solapamiento de los trenes de pulsos sumandos, produciéndose nuevamente las saturaciones a la salida.

1.4 Generación de trenes de pulsos estocásticos

Los circuitos encargados de generar los trenes de pulsos estocásticos pueden ser digitales ó analógicos.

1.4.1 Métodos digitales de generación de trenes de pulsos estocásticos

Digitalmente, la forma más simple de generar los trenes de pulsos consiste en utilizar un generador de números pseudo-aleatorios y un comparador. El número aleatorio se compara con nuestro valor codificado digitalmente. Si queda por debajo, generamos un "1" lógico a la salida del comparador. Si queda por encima, generamos un "0" lógico. Dado que la distribución de los números aleatorios es uniforme, la probabilidad de que a la salida del comparador digital haya un nivel lógico alto es proporcional al número cuya codificación por pulsos se está obteniendo. En la figura 1.7 se indica cómo se generarían los trenes de pulsos estocásticos asociado a los valores R_1, R_2, \dots, R_n . Un esquema alternativo puede encontrarse en [13].

Digitalmente tan sólo podemos generar secuencias de números pseudo-aleatorios, ya que el carácter determinista de la computación digital provoca que, antes o después, se acabe repitiendo cíclicamente la misma secuencia de números. Por pseudo-aleatorio entendemos que la secuencia de números tenga "apariencia" de aleatoriedad. La teoría estadística nos proporciona una medida cuantitativa de aleatoriedad a modo de "test", como por ejemplo, el test Chi-cuadrado, el test de frecuencia o el de correlación. No obstante, ninguno de ellos es definitivo: una secuencia que se comporte aleatoriamente respecto a los tests T_1, T_2, \dots, T_n , puede fallar con otro test T_{n+1} . En la práctica, si la secuencia pasa con éxito los test más adecuados, se considera como pseudo-aleatoria. Para una completa descripción de los tests estadísticos, [21] es una consulta obligada.

Desde el punto de vista de la computación estocástica, las propiedades más deseables que debe tener un generador de números pseudo-aleatorios son las siguientes:

- **Incorrelación:** la secuencia de números deberá ser incorrelada. Cualquier subsecuencia de números aleatorios no deberá estar correlada con cualquier otra subsecuencia.

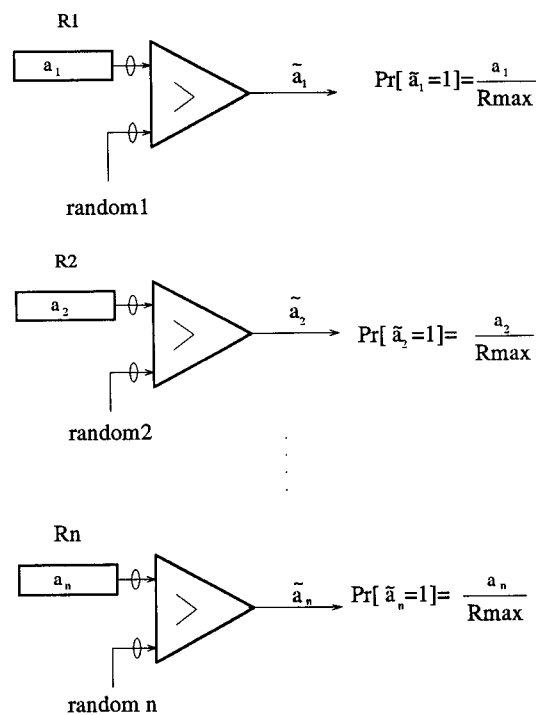


Figura 1.7: Generación digital de trenes de pulsos

- Longitud máxima: la longitud de la secuencia que se repite cíclicamente deberá ser la máxima posible. Si se generan números aleatorios entre 0 y N, el generador de números pseudo-aleatorios deberá recorrer todos los valores intermedios dentro del intervalo [0,N].
- Uniformidad: la secuencia de números debe encontrarse uniformemente repartida en todo el rango de posibles valores. Cualquier subsecuencia de números debe “caer” en intervalos uniformemente repartidos en todo el rango de valores.
- Eficiencia: el generador de números aleatorios debe ser eficiente en área para su implementación digital.

En la bibliografía pueden encontrarse multitud de generadores de números pseudo-aleatorios [22]. No obstante, el más utilizado en el procesamiento estocástico, sobre todo por motivos de eficiencia, es el registro de desplazamiento con realimentación lineal (LFSR).

Un LFSR consiste, básicamente, en un registro de desplazamiento cuyo bit más significativo se realimenta, a partir de algunos de los restantes bits, mediante puertas XOR (figura 1.8). Para un registro de n bits, realimentando de una manera adecuada y partiendo de una semilla inicial distinta de cero, el sistema recorre, sin repetición, todos los números comprendidos entre 1 y $2^n - 1$, repitiendo cíclicamente esa misma secuencia. Evidentemente, entre dos números consecutivos existe una cierta correlación, ya que cada número

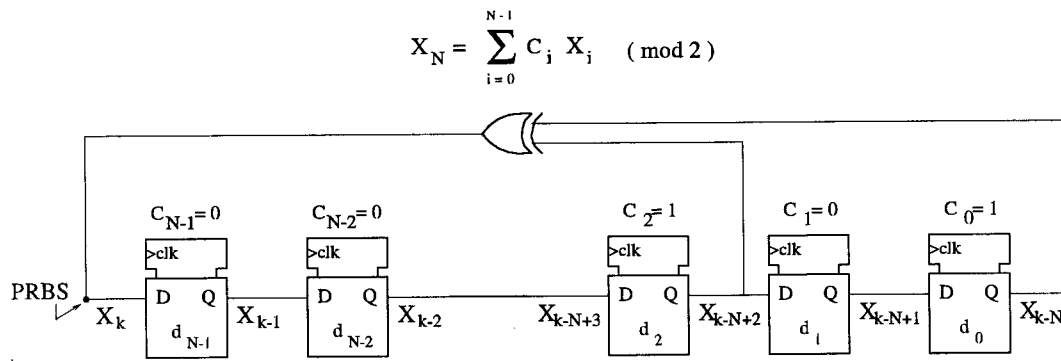


Figura 1.8: Generador de números pseudoaleatorios

se obtiene a partir del anterior dividiendo por dos y sumando 2^{n-1} si el bit más significativo recibe un "1" lógico o sumando cero si el bit más significativo recibe un "0" lógico. No obstante, a medida que tomamos dos subsecuencias más distanciadas, la correlación se va haciendo menor, de tal manera que para retrasos del orden del tamaño del LFSR, la correlación es muy pequeña. Esta característica puede aprovecharse para, a partir de un único LFSR, obtener varias subsecuencias de números aleatorios incorreladas, que puedan aprovecharse para la codificación estocástica. A partir de un bloque lógico hecho a base de puertas XOR [23], [24] se puede obtener una subsecuencia suficientemente alejada dentro del ciclo de repetición. En [25] pueden encontrarse tabulados LFSRs de tamaños hasta 45 bits. Otros estudios sobre características y propiedades de los LFSRs pueden encontrarse en [26], [27] y [28].

La utilización de un generador de números pseudo-aleatorio como el LFSR presenta el inconveniente de que la secuencia de pulsos no es claramente independiente, ya que un LFSR de n bits genera enteros entre 1 y $2^n - 1$ tales que un determinado valor aparece únicamente una vez en todo el período. En consecuencia, la distribución de trenes de pulsos estocásticos no debería ser modelada con una función de probabilidad de Bernouilli, sino como una hipergeométrica [29]. Supongamos que queremos generar un tren de pulsos estocásticos representativo del valor $x=l/N$, donde l es un entero entre 0 y N , y N es el período del LFSR, esto es, $2^n - 1$. Si X es una variable aleatoria discreta que indica el número de pulsos que ocurren en una secuencia, su función de probabilidad en m ciclos de reloj vendrá dada por la ecuación (1.7).

$$P(X = k) = \frac{\binom{l}{k} \binom{N-l}{m-k}}{\binom{N}{m}} \tag{1.7}$$

La información del valor digital viene dada por la variable aleatoria discreta $\hat{x} = X/m$, que nos da el valor digital como una probabilidad entre 0 y 1. Su media y desviación típicas vienen dadas por la ecuaciones (1.8) y (1.9), respec-

tivamente.

$$E(\hat{x}) = \frac{E(X)}{n} = \frac{1}{m} \sum_{k=0}^m NkP(X = k) = \frac{m}{m} l/N = l/N = x \quad (1.8)$$

$$Var(\hat{x}) = \frac{1}{m^2} Var(X) = \frac{1}{m^2} E(X^2) - E(X)^2 = \frac{x(1-x)}{m} \frac{N-m}{N-1} \quad (1.9)$$

De esta expresión se extraen dos propiedades importantes cuando se trabaja con generadores como los LFSRs:

- Para valores grandes de N (LFSR de período largo), la distribución hipergeométrica se puede aproximar por una binomial
- Cuando $m=N$, la varianza se hace cero

Esta última conclusión es bastante importante, pues significa que, gracias precisamente al carácter pseudoaleatorio del LFSR, es posible obtener una representación del valor digital con una precisión de n bits, procesando únicamente $2^n - 1$ ciclos de reloj, en lugar de 2^{2n-2} , como predice la estadística caso de usar un verdadero generador de números aleatorios.

1.4.2 Métodos analógicos de generación de trenes de pulsos estocásticos

La generación de trenes de pulsos estocásticos también es posible realizarla desde una aproximación analógica. La figura 1.9 muestra el esquema básico de un convertidor analógico-estocástico [30]. La señal analógica de entrada V

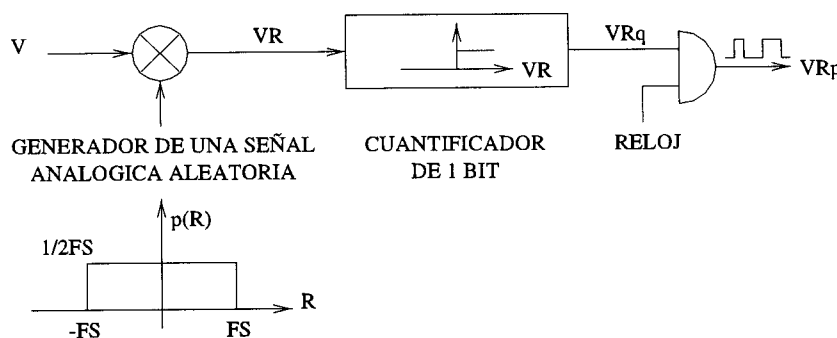


Figura 1.9: Generador analógico de un tren de pulsos estocástico

es mezclada con una señal analógica aleatoria uniformemente distribuida entre +FS y -FS. La señal analógica VR a la salida se encuentra uniformemente distribuida en torno al valor V. Esta señal es cuantificada en un bit para producir un tren de pulsos aleatorios VRq, que toma el valor "1" si $VR \geq 0$ ó "-1" si $VR < 0$. Finalmente, los pulsos son sincronizados con la señal de reloj del

sistema digital. La media del tren de pulsos estocástico a la salida viene dado por la ecuación (1.10).

$$E(VRp) = 1 \cdot p(VR \geq 0) + (-1) \cdot p(VR < 0) = \frac{FS + V}{2 \cdot FS} - \frac{FS - V}{2 \cdot FS} = \frac{V}{FS} \quad (1.10)$$

Existen distintas técnicas para generar señales analógicas aleatorias:

- Latch en estado metastable [31]. Consiste en diseñar un latch en el que la evolución a cualquiera de los dos estados sea equiprobable. El inconveniente principal son las restricciones que hay que imponer al diseño: el circuito debe ser totalmente simétrico, hay que forzar exactamente el estado metastable y las cargas a la salida deben ser idénticas.
- Corriente inversa de saturación de una unión p-n [32]. Se trata de aprovechar el ruido asociado a la corriente inversa de saturación de una unión p-n para generar secuencias de bits aleatorios. Normalmente, estas señales deben ser amplificadas y comparadas con una referencia para obtener bits aleatorios. En [33] se propone utilizar el efecto avalancha de diodos Zener como fuente de ruido. El principal inconveniente es que requiere de procesos de fabricación caros, con varias capas de dopado.
- Evolución de sistemas caóticos [34]. Son osciladores cuya fase evoluciona caóticamente. Si el sistema caótico se muestrea a intervalos de tiempo mayores que el tiempo crítico de evolución del sistema, el resultado es impredecible. En [35] se propone una técnica para generar ruido utilizando caos Hamiltoniano.

1.5 Aplicaciones

Históricamente, las principales aplicaciones de la computación estocástica se centran en el campo de las redes neuronales, como plataforma alternativa para llevar a cabo una realización física eficiente. El principal punto a favor de la computación estocástica estriba en su capacidad para realizar un procesamiento paralelo de la información gracias a utilizar unas unidades de procesamiento muy simples. Los primeros intentos de aplicar la codificación estocástica en el campo de las redes neuronales pueden encontrarse en [36], [37]. En estos trabajos ya se apunta la posibilidad de utilizar la codificación estocástica como una forma de representar una información analógica, pero con la ventaja de tratarse de señales puramente digitales. Desde entonces, la profusión de trabajos encaminados a llegar a realizaciones físicas de redes neuronales ha sido bastante abundante. [16] y [38] proponen arquitecturas digitales que implementan redes de Hopfield. En este caso, existe una serialización parcial, al utilizarse contadores reversibles para llevar a cabo la suma. En la bibliografía pueden encontrarse arquitecturas puramente digitales, [10], [39], [40], [29], analógicas, [37], [41] e incluso mixtas [5], [42].

Dentro de las distintas posibilidades que existen en la codificación de señales mediante trenes de pulsos [43], la única red neuronal comercial implementada es precisamente mediante trenes de pulsos estocásticos [44] (RN-200, de Ricoh).

Otras aplicaciones interesantes de la codificación estocástica se centran en la implementación física de filtros digitales. En [10] y [15] pueden encontrarse realizaciones estocásticas totalmente digitales de filtros de respuesta impulsional finita. En el primer caso se utiliza la transformación exponencial para llevar a cabo la suma, en tanto que en el segundo se utiliza la técnica de multiplexación.

El cálculo estocástico se ha utilizado también en el campo de la electrónica de potencia. Así, por ejemplo, se ha utilizado para realizar controladores clásicos de motores. En [45] se describe un controlador proporcional integral para regular la velocidad de un motor de continua. El propio tren comanda al circuito troceador, sustituyendo a una señal PWM. Cuanto mayor sea la densidad de los pulsos, mayor será la velocidad del motor. En [46] se describe un sistema de control vectorial de la velocidad de un motor de inducción, donde nuevamente se sustituye una señal PWM por un tren de pulsos, para reducir la componente de armónicos indeseables de la señal PWM.

Finalmente, otros problemas resueltos recientemente mediante lógica estocástica se refieren a temas de posicionamiento de alta precisión [47] o separación de fuentes [48].

Todas estas aplicaciones descritas tienen en común la utilización de la lógica estocástica como una herramienta de cálculo. Dados unos valores analógicos o digitales que requieren un procesamiento hardware complejo, se llega a una aproximación estocástica como técnica capaz de realizar ese procesamiento con un coste en área pequeño y una precisión razonable. No obstante, en ningún momento se aprovecha la capacidad de la lógica estocástica para representar una información analógica variable en el tiempo. Esta información puede ser procesada, mediante circuitos puramente digitales, como si de una señal analógica se tratase, con unas dinámicas que pueden ser caracterizadas como sistemas continuos en el tiempo. Así pues, la representación estocástica de la información se puede encuadrar como una técnica de procesamiento intermedia, capaz de aprovechar las ventajas tanto del procesamiento analógico como del procesamiento digital. La únicas limitaciones intrínsecas al procesamiento estocástico de la información son dos:

1. El procesamiento estocástico requiere unas velocidades de procesamiento mayores que las dinámicas de las señales que se desean procesar. A mayor velocidad, mayor precisión.
2. El procesamiento estocástico requiere un escalado completo de todo el problema a valores comprendidos entre 0 y 1.

1.6 Objetivos

El objetivo de la tesis consiste en aportar circuitos electrónicos basados en lógica estocástica que permitan procesar la información analógica contenida en la probabilidad de tener un valor lógico alto en un tren de pulsos estocástico. Este procesamiento incluye las conversiones desde el dominio analógico al estocástico y viceversa, así como el procesamiento interno propiamente dicho, dando lugar al sistema cerrado de la figura 1.10. En el capítulo II se definen

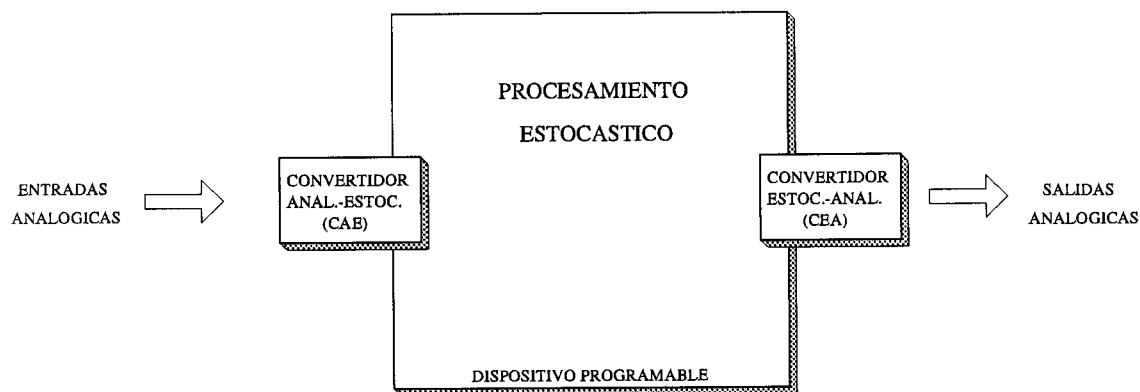


Figura 1.10: Diagrama de bloques del procesamiento estocástico

los elementos que forman parte del bloque central de la figura 1.10. Dado un tren de pulsos estocástico cuya probabilidad puede variar en el tiempo, se define un bloque constructivo básico que se caracteriza en términos de un sistema continuo, como si se trabajase en el dominio analógico. La salida de este bloque es otro tren de pulsos estocástico cuya probabilidad, variable en el tiempo, se comporta con una dinámica definida por una función de transferencia con respecto a la probabilidad del tren de entrada. La figura 1.11 ilustra esta idea. El conjunto se caracteriza con una función de transferencia en $G(s)$, siendo el procesamiento interno totalmente estocástico. Además de este bloque se definen otras operaciones no lineales que amplían el álgebra tradicionalmente utilizada en la computación estocástica. En el capítulo III

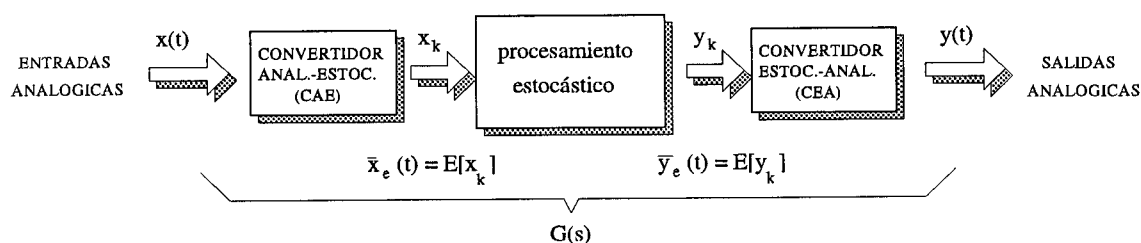


Figura 1.11: Procesamiento estocástico con entradas y salidas analógicas

se analizan los otros dos bloques presentes en las figuras 1.10 y 1.11, es decir, los que se refieren a una conversión entre el dominio analógico y el estocástico.

Para la conversión analógica estocástica se aprovechan los esquemas de convertidores sobremuestreados puesto que, en definitiva, el cálculo estocástico se basa en trabajar con trenes de pulsos de frecuencias mucho mayores que las dinámicas de las señales a procesar. Por lo que respecta a la conversión estocástica analógica, ya tratada en trabajos previos [9], [10], se propone una mejora utilizando las posibilidades de redundancia en la información codificada en un tren de pulsos y el carácter pseudo-aleatorio de los LFSRs.

El análisis de los bloques constructivos desarrollados en los capítulos II y III se plasma en tres aplicaciones propuestas en el capítulo IV. Los distintos bloques caracterizados se sintetizan en un sistema capaz de resolver unas expresiones matemáticas dadas, como si de una realización analógica se tratase (figura 1.12). Salvo una pequeña circuitería externa necesaria para la conver-

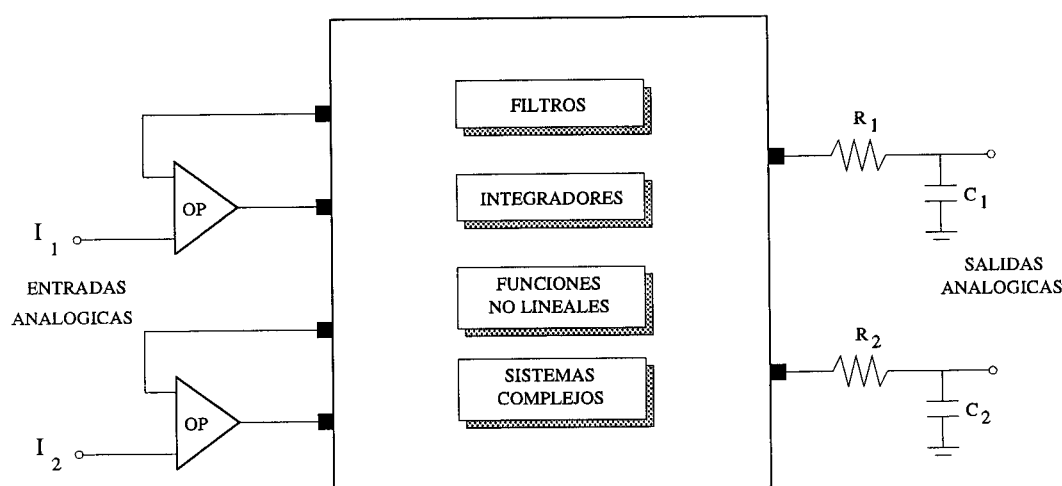


Figura 1.12: Sistema estocástico

sión analógico estocástico y estocástico analógico, el resto del procesamiento es totalmente digital y, en consecuencia, implementable en dispositivos digitales como FPGAs o CPLDs. Existen trabajos [49], [50], [51] donde se propone una implementación analógica de los circuitos que soportan el procesamiento estocástico. Esta alternativa presenta la ventaja de no requerir una señal de reloj y de permitir utilizar verdaderos generadores de números aleatorios. Frente a estas ventajas, una implementación digital de los circuitos de procesamiento estocástico aprovecha las crecientes escalas de integración de los dispositivos digitales, completos sistemas de desarrollo, síntesis automática desde descripciones en alto nivel, portabilidad de diseños ... lo que permite orientar el procesamiento estocástico hacia aplicaciones más complejas de las que se pueden implementar desde una implementación analógica. Este es el motivo por el que se ha optado por los circuitos digitales como plataforma óptima de implementación de los circuitos propuestos en la Tesis.

Las aplicaciones propuestas en el capítulo IV son las siguientes:

- Realización de filtros analógicos

En base a los circuitos descritos en el capítulo II, se propone la realización de filtros paso bajo y paso alto con un procesamiento totalmente digital.

- **Medidas de potencia**
Partiendo de los circuitos básicos descritos en el capítulo II se desarrollarán circuitos estocásticos capaces de medir los parámetros típicos de potencia: energía activa y reactiva, potencia activa y reactiva, potencia aparente, valores de pico y RMS y factor de potencia.
- **Control integral y por pasividad de un convertidor serie resonante**
Se desarrollarán circuitos estocásticos capaces de resolver un conjunto de ecuaciones diferenciales que definen el controlador.

En particular, el campo de la electrónica de potencia presenta la ventaja de no requerir de unas dinámicas excesivamente elevadas, lo que lo convierte en un terreno ideal para la codificación y posterior procesamiento estocástico. En general, cualquier proceso con unas dinámicas varios órdenes de magnitud inferior a la frecuencia de trabajo digital se puede abordar mediante un procesamiento estocástico. Como plataforma de trabajo se van a utilizar dispositivos electrónicos programables de bajo coste, en lugar de procesadores digitales genéricos, microcontroladores o circuitos integrados de aplicación específica. Finalmente, el capítulo V está dedicado a las conclusiones y futuras líneas de investigación.

Capítulo 2

Realizaciones estocásticas de sistemas continuos

2.1 Consideraciones previas

La representación de la información mediante un tren de pulsos estocástico no es solamente un método de codificación que permite un procesamiento digital de bajo coste [52], sino que esta idea puede generalizarse a la realización de sistemas continuos en el tiempo, con unas dinámicas perfectamente definidas en función de parámetros internos del circuito. El concepto fundamental es que a través de secuencias binarias estamos representando una variable aleatoria con una probabilidad que puede variar de forma continua en el tiempo. El objetivo de la tesis consiste en llegar a realizaciones que, siendo totalmente digitales, permitan realizar un procesamiento de la información como si se tratasen de sistemas analógicos. Para ello se introducirán una serie de bloques constructivos básicos que amplían la aritmética tradicional empleada en el cálculo estocástico. Al tratarse de un procesamiento totalmente digital, se aprovechan todas las ventajas del mismo: inmunidad al ruido, programabilidad, entornos de desarrollo fáciles de usar, tiempos de diseño menores, etc.

La aproximación estocástica puede encuadrarse como una vía intermedia entre el procesamiento digital y el analógico. Frente al analógico presenta la ventaja de que la información se representa como un tren de pulsos estocásticos que es, en definitiva, una secuencia binaria. Frente al procesamiento digital presenta la ventaja de permitir trabajar con bloques constructivos definidos por una función de transferencia.

Circuitos de medida y control que trabajan con señales continuas en el tiempo tienen en el procesamiento estocástico una plataforma de implementación hardware óptima.

A continuación definiremos el bloque básico, que no es más que la realización digital de un sistema continuo de primer orden. Una vez caracterizado, realizaremos su extensión a sistemas de orden n , acabando el capítulo con circuitos

electrónicos de aplicación, como filtros y otros circuitos de cálculo.

2.2 Realización digital de un sistema de primer orden

2.2.1 Descripción del bloque básico

La figura 2.1 muestra el esquema de un sistema de primer orden. El tren de pulsos x_k a la entrada es la representación estocástica de una señal analógica cualquiera. La entrada se compara con la salida y_k mediante un bloque sumador con signo (bloque *SUMADOR*), generando un error e_k que se integra mediante un contador. El valor digital del contador se convierte a un tren estocástico mediante un LFSR, que nos proporciona la salida y_k del bloque. Al tratarse de una estructura realimentada, la salida tiende a parecerse a la entrada buscando un error nulo. En un instante de tiempo k , el valor alma-

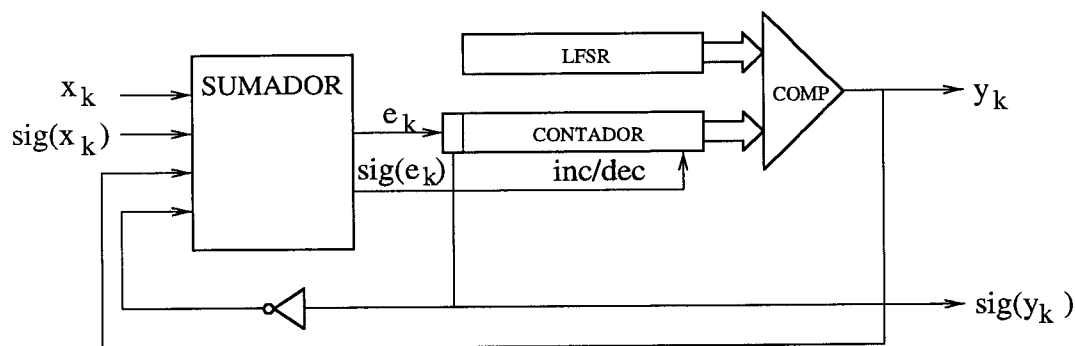


Figura 2.1: Sistema de primer orden

cenado en el contador dependerá de su valor anterior y del resultado de la diferencia entre el tren de pulsos de entrada y el tren de pulsos generado a partir del valor del propio contador

$$y_k = y_{k-1} + \frac{1}{2^n} (x_k - y_{k-1}) = y_{k-1} + (1 - \alpha)(x_k - y_{k-1}) \quad (2.1)$$

donde x_k e y_k son las probabilidades de los trenes de pulsos en el instante k , n es el número de bits del contador y $\alpha = 1 - 1/2^n$. Esta es la ecuación característica de un promediado exponencial [53]. En efecto, la ecuación (2.1) puede reescribirse como:

$$y_k = (1 - \alpha)x_k + \alpha y_{k-1} = (1 - \alpha)x_k + \alpha \{ (1 - \alpha)x_{k-1} + \alpha(1 - \alpha)x_{k-2} + \dots \} = \sum_{i=0}^k \alpha^i x_{k-i} \quad (2.2)$$

donde

$$\begin{aligned} a_0 &= 1 - \alpha \\ a_1 &= \alpha(1 - \alpha) \\ a_2 &= \alpha^2(1 - \alpha) \\ &\vdots \\ a_k &= \alpha^k(1 - \alpha) \end{aligned} \quad (2.3)$$

La entrada se promedia con unos coeficientes a_i , $i=1 \dots k$ que siguen una progresión geométrica, y que dependen del valor del contador a través de la constante α . Para tener un promediado de la señal de entrada es necesario que la suma de los coeficientes de la función de peso sea la unidad. La suma de una progresión geométrica resulta:

$$\sum_{i=0}^k a_i = (1 - \alpha) \frac{1 - \alpha^k}{1 - \alpha} = 1 - \alpha^k \quad (2.4)$$

Tomando límite para $k \rightarrow \infty$

$$\lim_{k \rightarrow \infty} \left(\sum_{i=0}^k a_i \right) = 1 \quad (2.5)$$

En consecuencia, nuestro esquema de primer orden realiza un promediado exponencial de la señal de entrada, con un "factor de olvido α ", que depende de la dimensión del contador, y por medio del cual seguimos a la entrada.

En definitiva, introducimos una dinámica en la señal de salida con respecto a la entrada, dinámica que depende de dos parámetros:

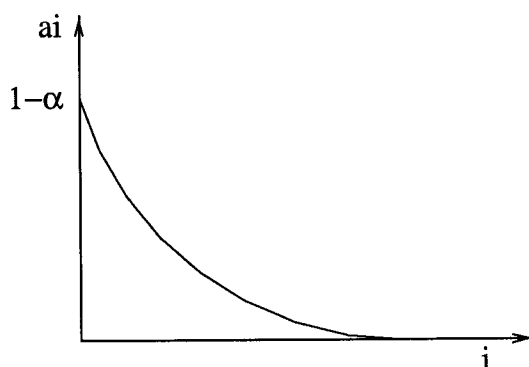


Figura 2.2: Coeficientes de la función de peso

- La frecuencia de reloj con que trabaja nuestro sistema digital, que es la velocidad de procesamiento estocástico.
- La dimensión del contador donde se efectúa la integral.

Ajustando la relación entre estos dos parámetros, tendremos una constante de tiempo característica del sistema, que define el comportamiento dinámico del mismo. Gráficamente, la función de peso en un promediado exponencial es de la forma indicada por la figura 2.2.

Otras funciones de promediado pueden encontrarse en [54] y [55]. No obstante, la exponencial es la más fácilmente implementable desde un punto de vista electrónico.

2.2.2 Suma con signo

El bloque *SUMADOR* de la figura 2.3 se encarga de calcular el error entre la referencia y la salida.

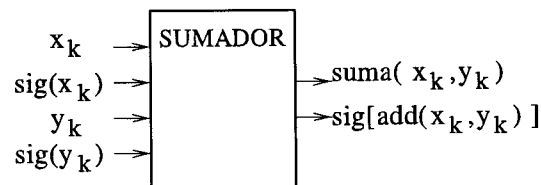


Figura 2.3: Bloque sumador con signo

bloque <i>SUMADOR</i>					
x	sx	y	sy	xmy	sxmy
0	0	0	0	0	-
0	0	0	1	0	-
0	0	1	0	1	0
0	0	1	1	1	1
0	1	0	0	0	-
0	1	0	1	0	-
0	1	1	0	1	0
0	1	1	1	1	1
1	0	0	0	1	0
1	0	0	1	1	0
1	0	1	0	1	0
1	0	1	1	0	-
1	1	0	0	1	1
1	1	0	1	1	1
1	1	1	0	0	-
1	1	1	1	1	1

Tabla 2.1: Tabla de verdad del bloque sumador con signo

Se trata de un sumador con signo. Dado que la salida de este bloque es una señal de error, la densidad del tren de pulsos a la salida será baja, y por tanto,

la técnica de la suma mediante una puerta OR se encuentra totalmente justificada. Básicamente, el bloque *SUMADOR* implementa una suma mediante una puerta OR, pero teniendo en cuenta los signos de los trenes estocásticos de entrada. Es un bloque totalmente combinacional, que implementa las siguientes ecuaciones lógicas (2.6).

$$\begin{aligned} add(x_k, y_k) &= x_k \oplus y_k + x_k \overline{sig(x_k) \oplus sig(y_k)} \\ sig[add(x_k, y_k)] &= x_k sig(x_k) + y_k sig(y_k) \end{aligned} \quad (2.6)$$

La salida puede ser un "1" ó un "0" lógico con signo positivo o negativo. La codificación del signo es la siguiente: un signo cero es positivo y un signo a uno es negativo. La suma se realiza de una manera totalmente simétrica, tal y como se observa en la tabla de verdad (2.1).

El solape de la información se producirá únicamente en dos casos: al sumar dos "1" positivos o al restar dos "1" negativos. Como las señales de entrada son próximas y de signo opuesto, la probabilidad de que se produzca ese solape es pequeña y, en consecuencia, la suma se realiza con suficiente exactitud.

2.2.3 Caracterización

La constante de tiempo del sistema viene fijada por el contador, en función de su tamaño y de la frecuencia a la que trabaje. Si T es el período de la señal de reloj y n el número de bits del contador, de la ecuación (2.1) se tiene que la constante de tiempo del circuito de la figura 2.1 es [56]:

$$\tau = 2^n T = \frac{2^n}{F_{clk}} \quad (2.7)$$

siendo F_{clk} la frecuencia de la señal de reloj. Este resultado también puede obtenerse utilizando la aproximación de Euler. La probabilidad del tren de pulsos estocástico de salida en el instante k es igual a:

$$y_k = \frac{c_k}{2^n} \quad (2.8)$$

donde c_k es el valor del contador en el instante k . Por su parte, el contador integra el tren de pulsos estocástico resultado de restarle la salida a la entrada:

$$c_k = \sum_{j=1}^k (x_j - y_{j-1}) \quad (2.9)$$

De las ecuaciones (2.8) y (2.9) se tiene que:

$$2^n y_k = \sum_{j=1}^k (x_j - y_{j-1}) \quad (2.10)$$

Multiplicando y dividiendo por el período de reloj T :

$$y_k = \frac{F_{clk}}{2^n} \sum_{j=1}^k (x_j - y_{j-1})T \quad (2.11)$$

que es la integral por Euler de la diferencia de la entrada y la salida con una constante de tiempo de $2^n/F_{clk}$.

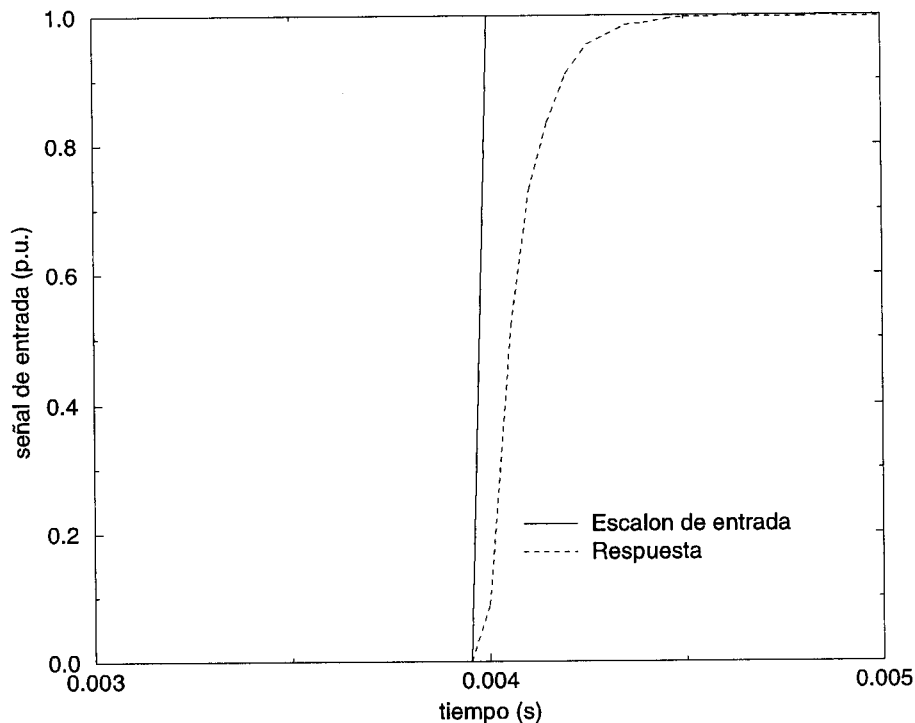


Figura 2.4: Respuesta a un escalón. $n=10$, $F_{clk}=12$ MHz

La figura 2.4 muestra la respuesta a un escalón de un sistema estocástico de primer orden, para una frecuencia de reloj de 12 MHz y un contador de 10 bits. Gráficamente, el valor de la constante de tiempo puede calcularse como el tiempo en que la respuesta del sistema tarda en alcanzar 0.632 veces la referencia. Se obtiene un valor de $8.5 \cdot 10^{-5}$ s, que coincide con el valor teórico dado por la ecuación 2.12

$$\tau_{10bits,12MHz} = \frac{2^{10}}{12 \cdot 10^6} = 8.53 \cdot 10^{-5} \quad (2.12)$$

Como la frecuencia e trabajo de la lógica estocástica es varios órdenes de magnitud la frecuencia de las señales variables en el tiempo que estamos procesando, se puede modelar el sistema estocástico de primer orden por una función de transferencia continua de la forma de la ecuación (2.13).

$$G_e(s) = \frac{1}{1 + \tau s} \quad (2.13)$$

En consecuencia, dado un tren de pulsos de entrada de probabilidad x_k variable en el tiempo, el sistema de primer orden definido suministra a la salida un tren de pulsos y_k , también variable en el tiempo, cuya dinámica viene modelada por la función de transferencia $G_e(s)$. Si codificamos la señal analógica de entrada como una probabilidad en una secuencia binaria y extraemos la probabilidad de la secuencia binaria de salida a partir de la frecuencia relativa, dispondremos de un sistema completo de procesamiento estocástico, implementable digitalmente, y con el que podemos realizar una función analógica como la indicada por la función de transferencia G_e . La figura 2.5 ilustra es-

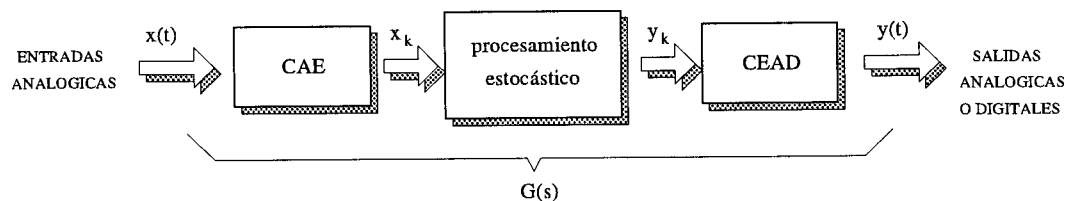


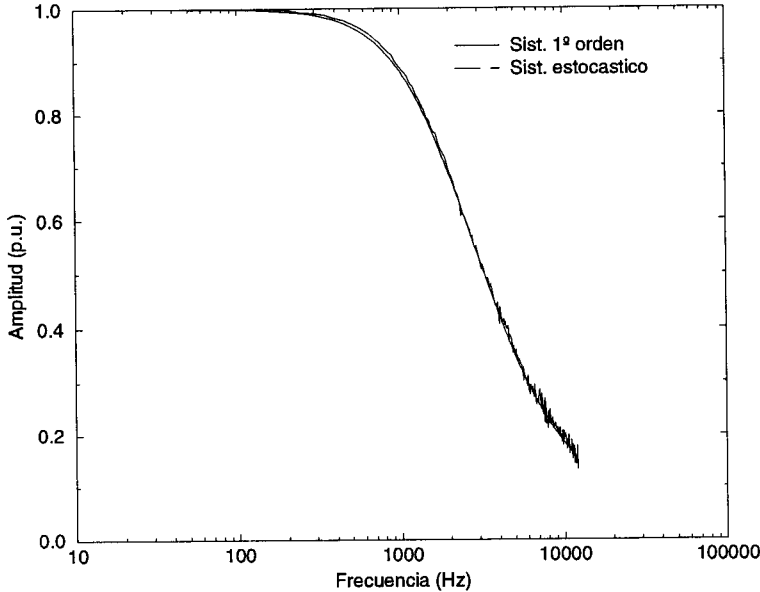
Figura 2.5: Sistema de procesamiento estocástico

ta idea. Las referencias CAE y CEAD son los bloques de conversión entre el dominio analógico y estocástico y el estocástico con el analógico/digital, respectivamente, que serán detallados en el capítulo siguiente.

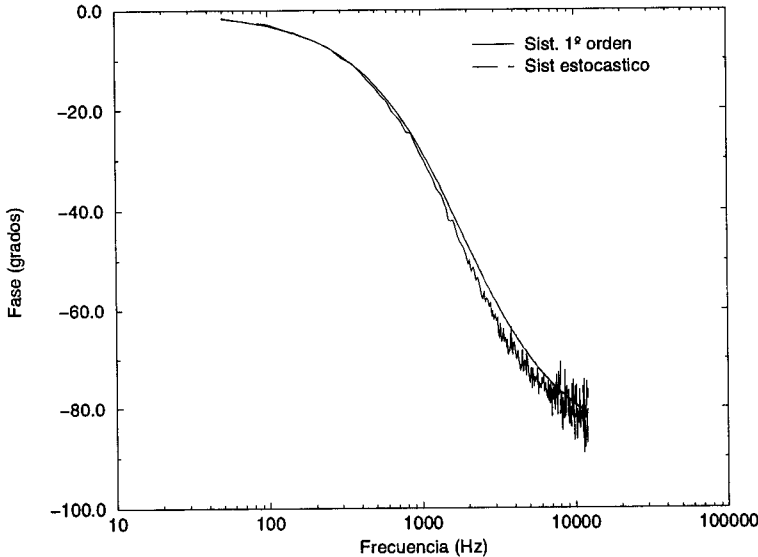
2.2.4 Respuesta en frecuencia

Siguiendo la idea de la figura 2.5 podemos comparar la aproximación estocástica con un sistema analógico utilizando el diagrama de BODE. En general, un sistema de primer orden se caracteriza dinámicamente en función de la atenuación y el desfase que produce sobre una señal senoidal de entrada, al variar la frecuencia. Utilizando los bloques de conversión de la figura 2.5, se ha obtenido el diagrama de BODE de la figura 2.6 para la amplitud y la fase. Este diagrama ha sido obtenido para una frecuencia de trabajo de 12 MHz, con un contador de 10 bits, lo que supone una frecuencia de corte de aproximadamente, 1865 Hz. Para esta frecuencia se puede observar que se tiene una ganancia de, aproximadamente, 0.707 y un desfase de unos 45° .

En general, para frecuencias por debajo de la frecuencia de corte, el comportamiento se aproxima bastante al sistema teórico. Para frecuencias mayores, aparecen unas oscilaciones fundamentalmente en la fase. Estas oscilaciones se deben a que estas frecuencias son del orden de las frecuencias de repetición de los generadores de números aleatorios utilizados. Los períodos de las senoides de entrada se reducen tanto que sólo damos muy pocas vueltas al LFSR.



(a) Amplitud



(b) Fase

Figura 2.6: Diagrama de Bode de un sistema de primer orden, $F_{clk}=12$ MHz, 10 bits.

En consecuencia, el valor obtenido para la fase se vuelve dependiente de la semilla inicial. En cualquier caso, ese ruido es filtrado al recuperar el valor analógico o digital del tren de pulsos de salida. Variando el número de bits del contador y la frecuencia de trabajo, podemos obtener la frecuencia de corte en el rango deseado.

2.2.5 Aplicación: circuito estocástico detector de pico

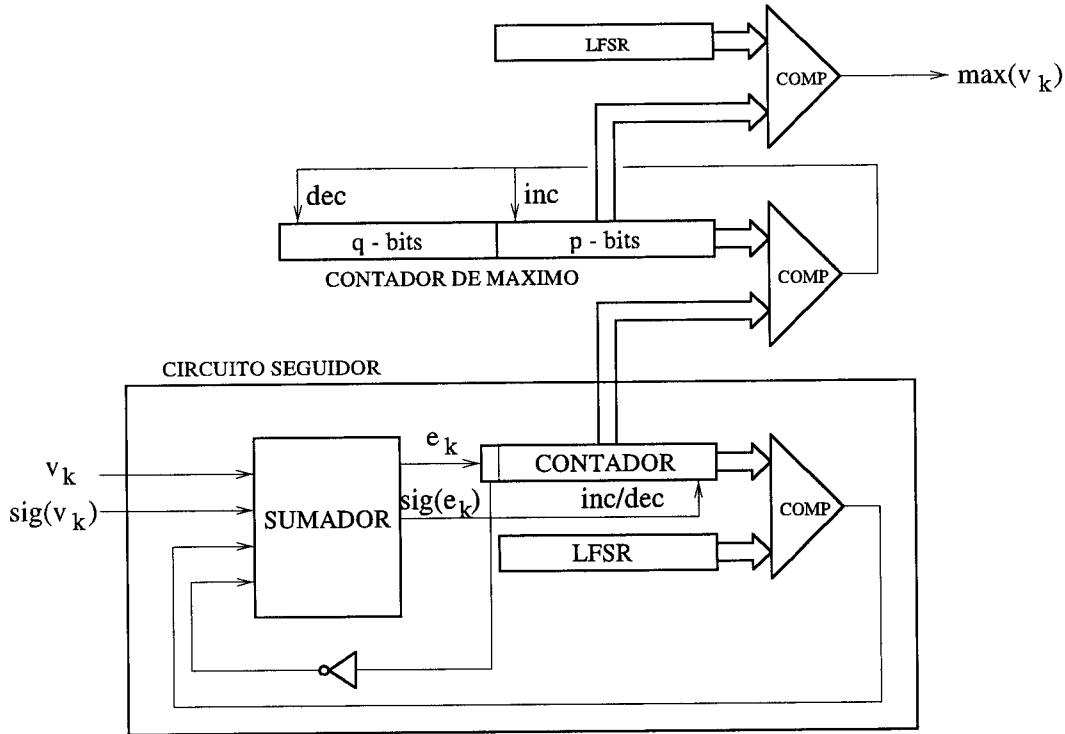
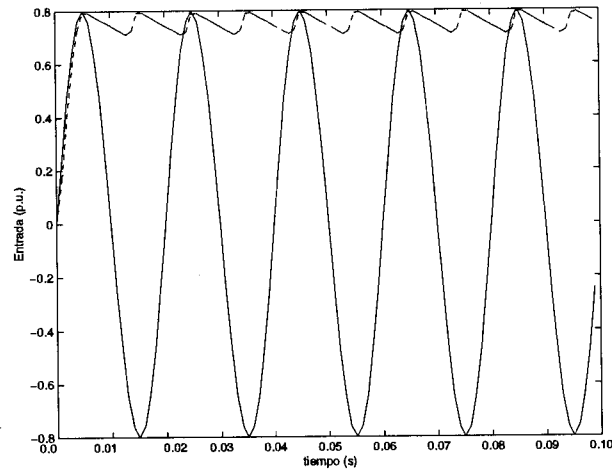
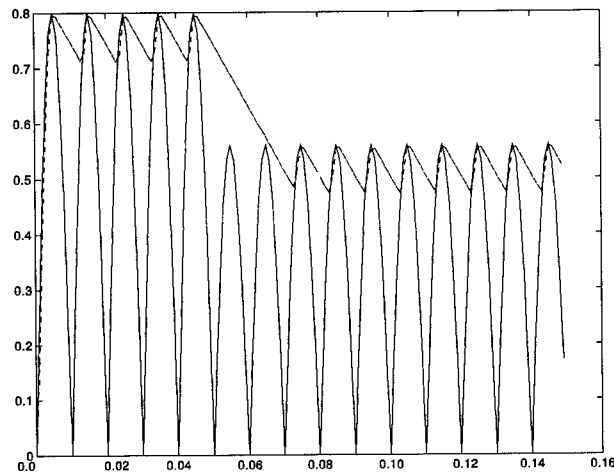


Figura 2.7: Circuito detector de pico

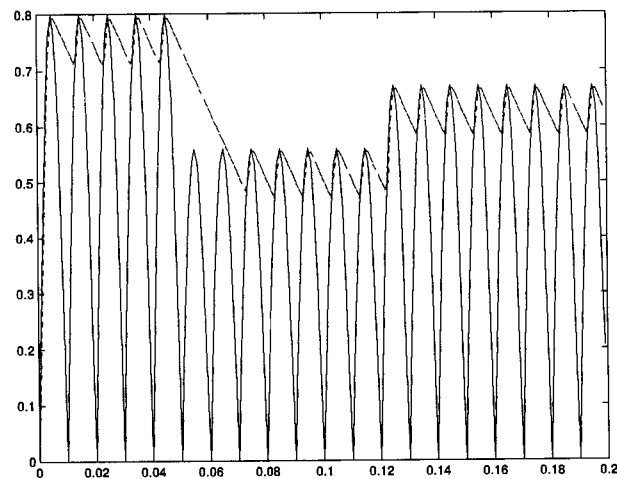
En la figura 2.7 se detalla el circuito detector de pico. Se basa en un circuito seguidor (recuadrado en la figura) más un contador de $p+q$ bits. Este contador incrementa la palabra constituida por los p bits más significativos siempre que su valor se encuentre por debajo del circuito seguidor y decrementa la palabra constituida por los q bits menos significativos cuando su valor esté por debajo del contador del circuito seguidor. Dicho de otra forma, cuando la señal de entrada se incrementa, el contador de máximo sigue a la señal de entrada, pero cuando ésta decrece, el contador de máximo se decrementa con un factor de 2^{-q} . El comportamiento es similar al de un detector de envolvente analógico, donde la constante de tiempo de carga es mucho mayor que la de descarga del condensador.



(a) Señal de entrada de amplitud constante



(b) Señal de entrada de amplitud variable



(c) Señal de entrada de amplitud constante

Figura 2.8: Resultado de la detección del valor máximo

El circuito seguidor debe ser diseñado para ser capaz de seguir la dinámica de la señal de entrada. La figura 2.8(a) es la respuesta del circuito detector ante una entrada senoidal, con unos valores de 12 y 8 para p y q , respectivamente. El circuito seguidor tiene una frecuencia de corte de 466 Hz. La figuras 2.8(b) y 2.8(c) constituyen el resultado obtenido para una señal de entrada variable en amplitud.

2.3 Introducción de un factor de ganancia

Una de las restricciones básicas del cálculo estocástico estriba en que el rango de trabajo se encuentra entre 0 y 1. Esto significa que cualquier problema a resolver debe ser escalado en este rango de actuación. No obstante, en muchas aplicaciones puede resultar interesante (y, a veces, indispensable) disponer de una manera de introducir un factor de ganancia mayor que la unidad. Como ya hemos visto, un factor de ganancia menor que uno se obtiene fácilmente sin más que multiplicar con una puerta AND por un tren estocástico que represente el factor de atenuación. Sin embargo, multiplicar por una cantidad mayor que uno no es trivial. Una primera aproximación al problema podría

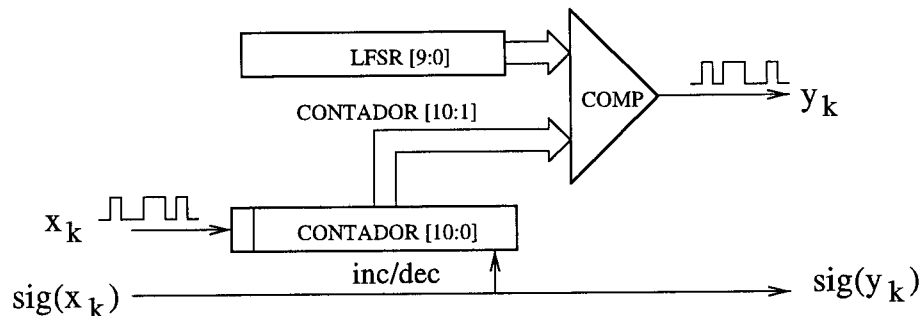


Figura 2.9: Introducción de un factor de ganancia doble

ser integrar mediante un contador y efectuar una multiplicación digital para, posteriormente, convertir de nuevo ese contador en un tren estocástico. En el caso más simple de multiplicar por dos, bastaría con desplazar el contador hacia la izquierda (figura 2.9).

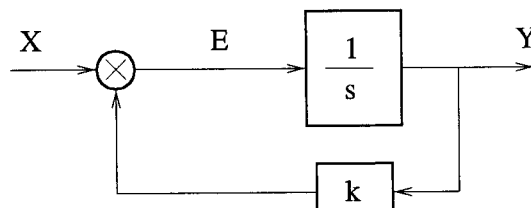
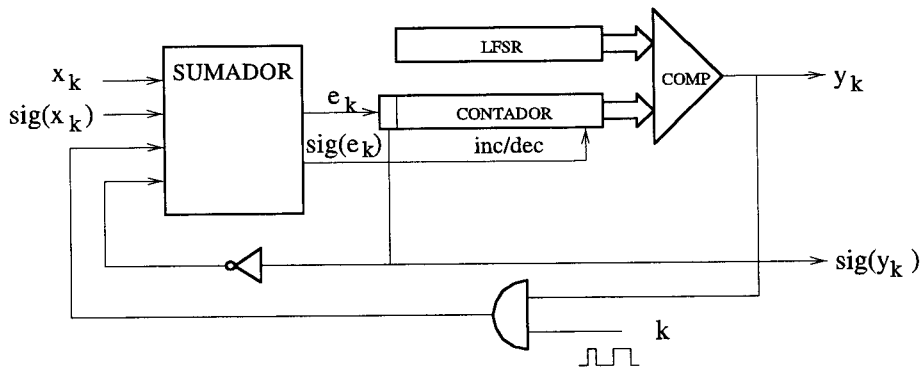
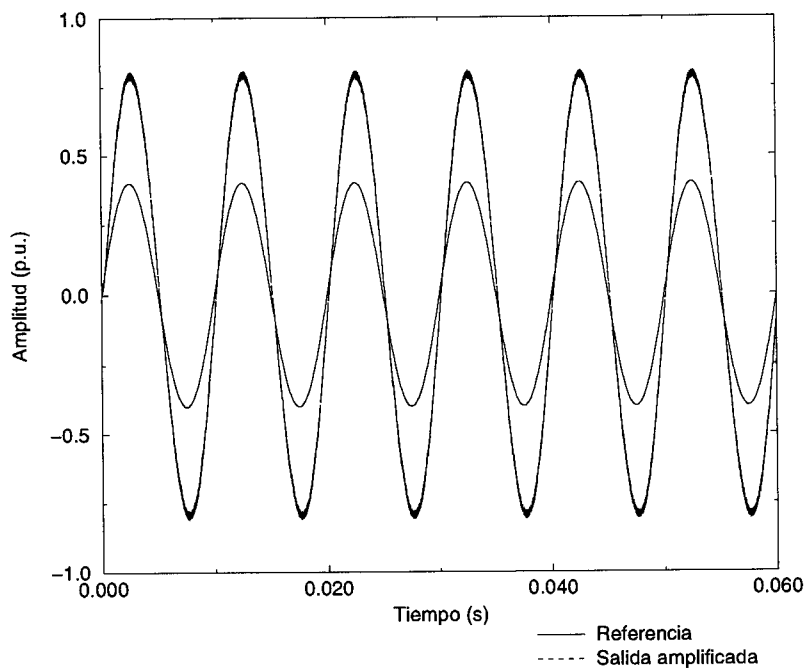


Figura 2.10: Sistema de primer orden con factor de ganancia



(a) Sistema de primer orden con ganancia $1/k$



(b) Respuesta de un sistema de primer orden con ganancia 2. $F_{clk}=12$ MHz, 10 bits

Figura 2.11: Introducción de un factor de ganancia en un sistema de primer orden

Como se puede ver para este caso tan simple, la introducción del factor de ganancia se realiza de una forma bastante ineficiente, pues obliga a utilizar de nuevo el conjunto "contador - LFSR - comparador".

Una alternativa mucho más eficiente consiste en introducir un factor de ganancia en el bucle de realimentación, tal y como se indica en el diagrama de bloques de la figura 2.10. k sería una constante menor que la unidad, que, por tanto, es muy sencilla de implementar estocásticamente. Para un sistema continuo, la introducción de un factor k en el bucle de realimentación supondría modificar, no sólo la ganancia, sino también la constante de tiempo. La nueva función de transferencia para el sistema de la figura 2.11(a) viene dada por la ecuación 2.14.

$$\frac{Y}{X} = \frac{1/k}{1 + \frac{1}{k}s} \quad (2.14)$$

El efecto es similar en nuestro sistema estocástico de primer orden: obtenemos ganancia a costa de hacer más lento el comportamiento dinámico. Evidentemente, y dado que funcionamos con valores entre cero y uno, el valor amplificado no puede superar la unidad. En cualquier caso, no se trata de una limitación muy grande, ya que se evita realizando un escalado adecuado al problema en cuestión. El esquema detallado de un sistema estocástico de primer orden con ganancia $1/k$ se muestra en la figura 2.11. Se trata de un sistema esencialmente igual que el de la figura 2.1 salvo en el factor k que se introduce mediante una puerta AND en el bucle de realimentación. Buscamos a la salida una señal estocástica tal que, atenuada por un factor k , se aproxime a la entrada. Los cálculos son, por tanto, muy similares a los realizados en las ecuaciones de (2.8) a (2.11). El contador realiza la integral del error que hay de la referencia a la señal atenuada.

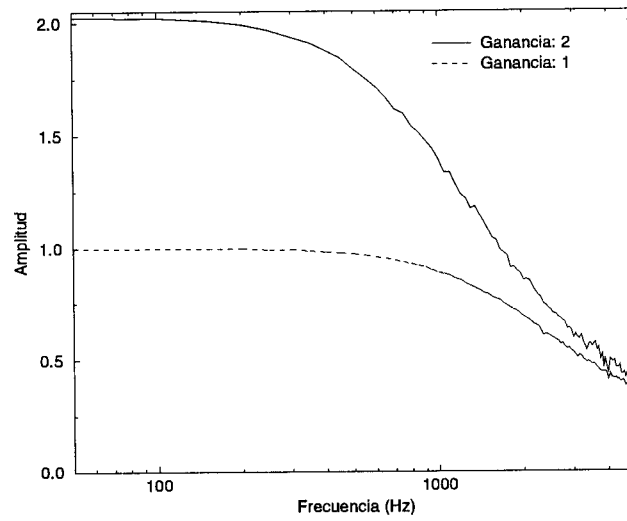
$$c_k = \sum_{j=1}^k (x_j - k \cdot y_{j-1}) \quad (2.15)$$

El valor que se obtiene a la salida es entonces el tren de pulsos estocásticos amplificado según el factor $1/k$.

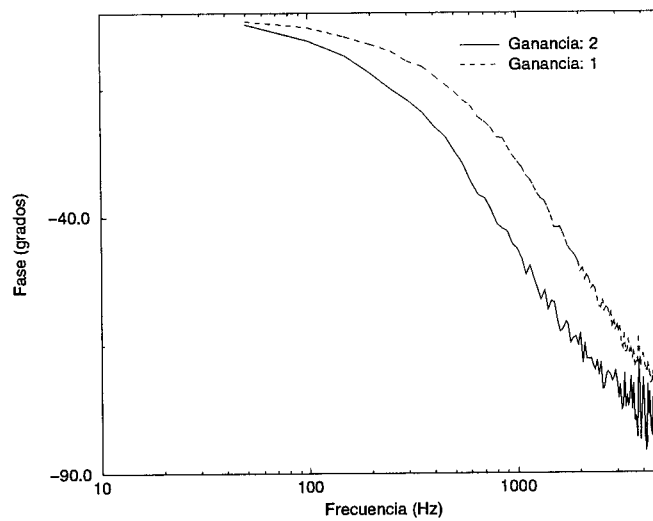
$$y_k = \frac{c_k}{2^n} = \frac{1}{2^n} \sum_{j=1}^k (x_j - k \cdot y_{j-1}) \quad (2.16)$$

Multiplicando y dividiendo por kF_{clk} :

$$y_k = \frac{F_{clk}}{(1/k)2^n} \sum_{j=1}^k \left(\frac{x_j}{k} - y_{j-1} \right) \frac{1}{F_{clk}} \quad (2.17)$$



(a) Amplitud



(b) Fase

Figura 2.12: Diagrama de Bode de un sistema de primer orden de ganancia doble. $F_{clk}=12$ MHz, 10 bits.

Comparando las ecuaciones (2.11) y (2.17) se concluye que, si bien conseguimos una amplificación, ésta se realiza a costa de ralentizar el comportamiento, de forma similar a lo que ocurría en un sistema continuo. La constante de tiempo del sistema estocástico de primer orden con factor de ganancia resulta ser:

$$\tau_e = \frac{\frac{1}{k}2^n}{F_{clk}} \quad (2.18)$$

La figura 2.11(b) muestra la respuesta de un sistema estocástico con un factor de ganancia. Dicho resultado ha sido obtenido a partir de un sistema de primer orden estocástico definido por un contador de 10 bits y una frecuencia de trabajo de 12 MHz. La señal de entrada es de 100 Hz, con un valor de 0.4 por unidad, y el factor de ganancia es de 2. Como puede observarse, la salida amplificada se va al doble del valor de la referencia, esto es, amplitud máxima de 0.8 por unidad.

Como ya se ha señalado, la introducción de un factor de ganancia limita el comportamiento dinámico. La constante de tiempo y, por tanto, la frecuencia de corte, disminuye proporcionalmente al valor de la ganancia. La figura 2.12 compara los diagramas de BODE de un mismo sistema para diferentes ganancias. Al aumentar la ganancia, el sistema se vuelve más lento.

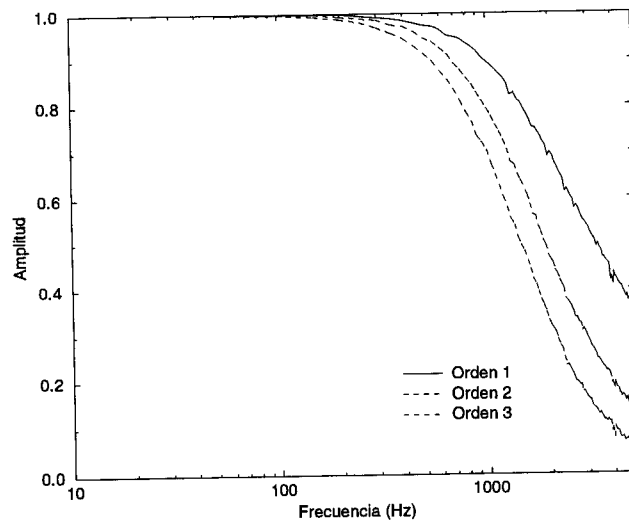
No obstante, hay que señalar que siempre es posible aumentar la frecuencia de reloj para mejorar el rango dinámico del sistema. Actualmente es posible encontrar dispositivos programables con tecnologías por debajo de las $0.23\mu m$ que admiten frecuencias de trabajo que llegan a superar los 100 MHz. Además, la tendencia de los próximos años es ir mejorando estas prestaciones.

2.4 Extensión a sistemas de orden n

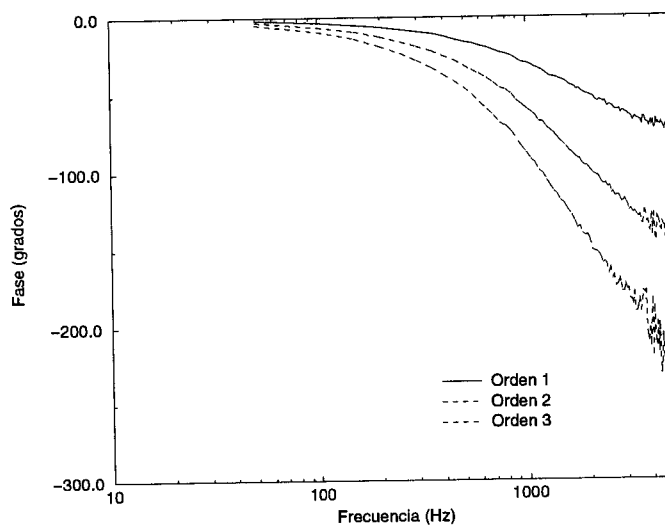
El sistema de primer orden estocástico caracterizado en el apartado anterior presenta una particularidad especialmente interesante para llegar a realizaciones más complejas. Esta particularidad consiste en que se pueden serializar varios bloques semejantes, sin perder la ganancia con la que se esté trabajando. Haciendo un símil analógico, sería como si se tuviese una impedancia de entrada infinita y una impedancia de salida cero.

El esquema analógico equivalente a la serialización de dos bloques de primer orden se ilustra en la figura 2.14.

Poniendo en cascada varios bloques de primer orden obtenemos sistemas de orden superior. El resultado es análogo al que se obtiene del circuito de la figura 2.14, incluyendo el desacoplo de impedancias.



(a) Amplitud



(b) Fase

Figura 2.13: Diagramas de Bode de sistemas de primer, segundo y tercer orden. $F_{clk}=12$ MHz, 10 bits.

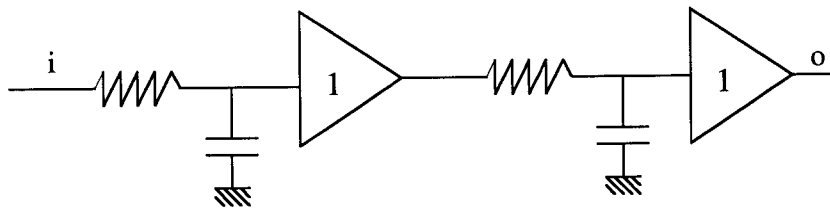


Figura 2.14: Sistema analógico equivalente con aislamiento de impedancias

A medida que serializamos bloques de primer orden, la respuesta se vuelve más lenta, pues cada uno de los bloques va modificando la dinámica de la señal que ve a su entrada.

Sin embargo, la ganancia final se mantiene y es independiente del número de bloques que coloquemos en cascada. La figura 2.13 muestra el diagrama de BODE para un sistema de primer, segundo y tercer orden, formados a partir de un bloque integrador caracterizado por un contador de tamaño 10 y una frecuencia de reloj de 12 MHz. La pendiente de caída es más pronunciada al ir incrementando el orden, como corresponde a un sistema de orden n formado por n bloques de primer orden en cascada, y la fase tiende a 90° , 180° y 360° respectivamente para frecuencias muy superiores a la de corte. La figura 2.15 muestra la respuesta de los tres sistemas ante un escalón de entrada.

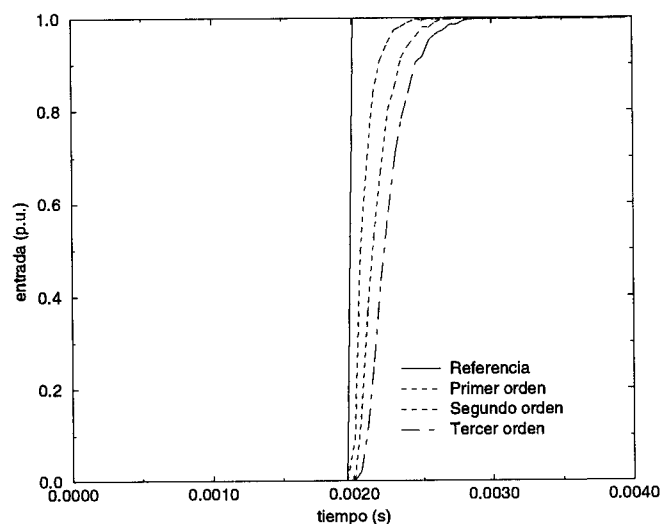


Figura 2.15: Respuesta a un escalón de sistemas de orden 1, 2 y 3

2.5 Introducción de ceros

Hasta el momento se ha caracterizado un bloque básico consistente en un circuito estocástico con un comportamiento modelado por la función de transferencia:

$$G_e(s) = \frac{1}{1 + \tau s} \tag{2.19}$$

Sobre este esquema se ha introducido la posibilidad de añadir un factor de ganancia o de agrupar varios de estos bloques en cascada. En todos ellos únicamente se contemplan polos del sistema. También es posible introducir ceros de una manera simple, a partir de un circuito de resta por multiplexación (figura 2.16).

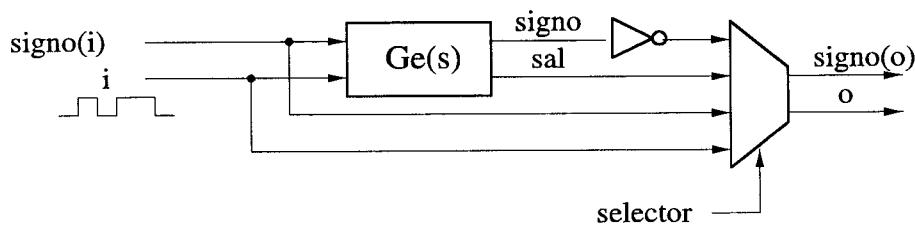


Figura 2.16: Introducción de ceros

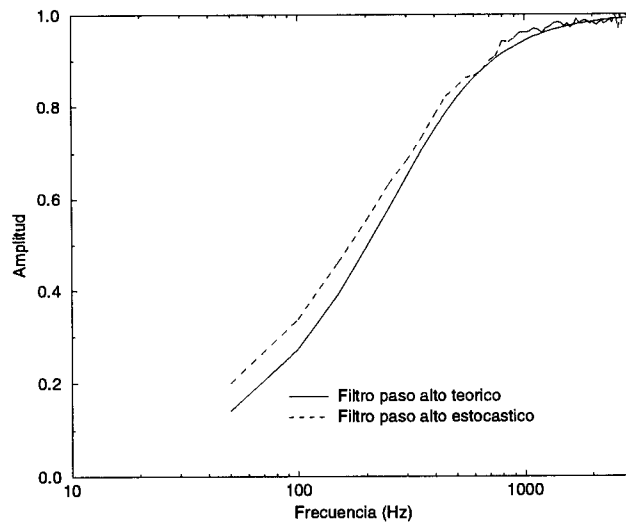


Figura 2.17: Diagrama de BODE del sistema de la ecuación 2.20

La función de transferencia que implementa la figura 2.16 es:

$$G_{e2}(s) = 1 - G_e(s) = \frac{\tau s}{1 + \tau s} \tag{2.20}$$

con lo que conseguimos introducir un cero en el origen. La figura 2.17 es la respuesta de este circuito en frecuencia.

2.6 Circuitos de cálculo de funciones no lineales

2.6.1 Circuito de cálculo de divisiones

Como aplicación del esquema con un factor de ganancia se puede obtener de forma inmediata un circuito de cálculo de divisiones. En efecto, y refiriéndonos a la figura 2.18, mediante la realimentación negativa se genera una señal de error de la forma:

$$e_k = x_k - (x_k/y_k) \cdot y_k \tag{2.21}$$

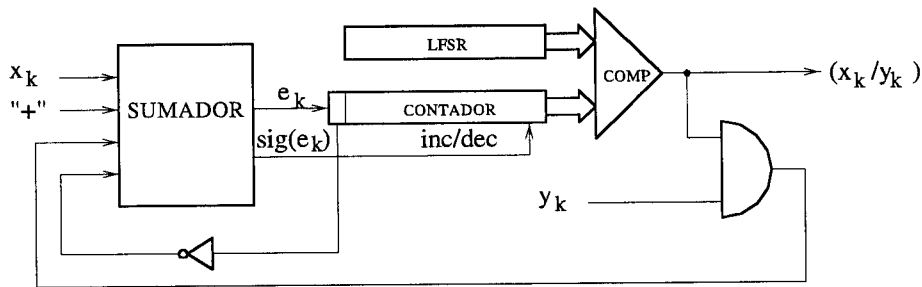


Figura 2.18: Circuito estocástico de cálculo de divisiones

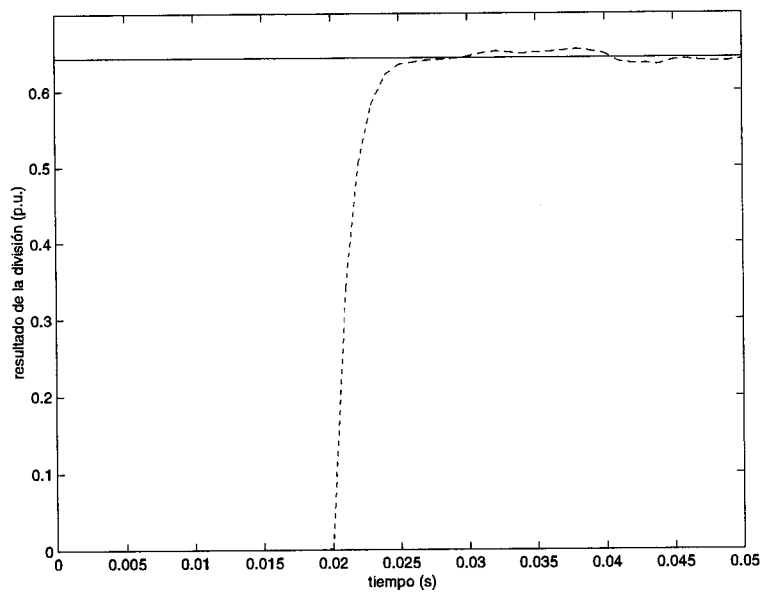


Figura 2.19: Ejemplo de cálculo de una división

Se puede demostrar que este error tiende a cero. Consideremos el término e_k^2 que es siempre positivo. Su derivada viene dada por:

$$\frac{d}{dt} e_k^2 = 2e_k y_k \frac{d}{dt} (x_k / y_k) < 0 \quad (2.22)$$

la expresión de la ecuación (2.22) es negativa puesto que un error positivo supone una disminución en y_k y viceversa. En consecuencia el error tiende a cero y, de (2.21), el tren de pulsos de salida es igual al cociente de x_k e y_k . La figura 2.19 es un ejemplo de cálculo de una división, utilizando los valores 0.177 y 0.275 como dividendo y divisor, respectivamente. El resultado tiende al valor teórico de 0.645.

2.6.2 Circuito de cálculo de raíces cuadradas

Con la misma idea anterior, también es posible obtener un circuito de cálculo de raíces cuadradas. Pero a diferencia de antes, ahora tenemos que multiplicar en la realimentación el tren de pulsos de salida por sí mismo. Para que el producto se realice correctamente, es necesario que ambas secuencias representativas del mismo valor sean incorreladas. Una posibilidad consistiría en introducir un retraso el tren de pulsos antes de multiplicarlo por sí mismo. El principal inconveniente estriba en que este retraso debe ser lo suficientemente largo como para que las dos secuencias decaídas sean incorreladas. La otra solución consiste en utilizar un segundo generador de números aleatorios para obtener la segunda secuencia, incorrelada con la primera; por ejemplo, mediante el bloques a base de puertas XOR descrito en [23] y [24].

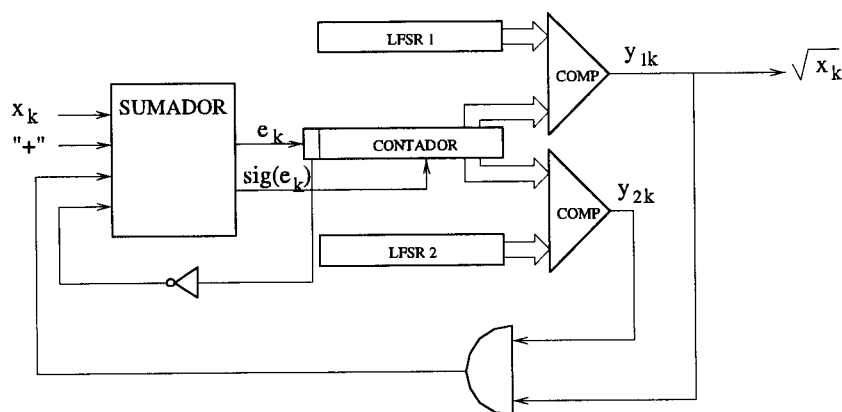


Figura 2.20: Circuito de cálculo de raíces cuadradas

Las dos salidas y_{1k} e y_{2k} son dos secuencias incorreladas que representan el mismo valor, que es precisamente la raíz cuadrada del valor representado por el tren de entrada x_k . En este caso, el error es igual a:

$$e_k = x_k - y_k \cdot y_k \quad (2.23)$$

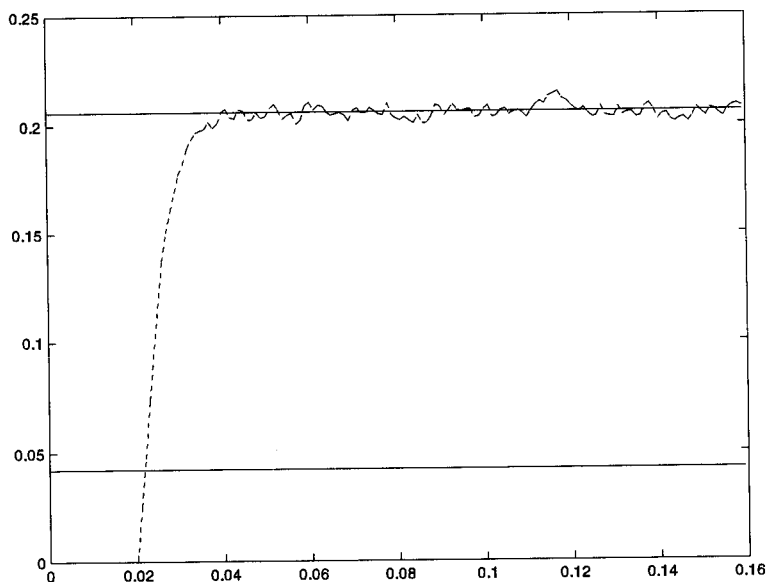


Figura 2.21: Ejemplo de cálculo de una raíz cuadrada

Igual que antes, comprobamos que la derivada del error al cuadrado es negativa, lo que significa que el error tiende a cero.

$$\frac{d}{dt}e_k^2 = 4e_k y_k \frac{d}{dt}y_k < 0 \quad (2.24)$$

De la ecuación (2.24) se deduce que la cualquiera de los trenes de salida $y1_k$ o $y2_k$ es igual a la raíz cuadrada del tren de pulsos de entrada. La figura 2.21 es un ejemplo de cálculo de la raíz cuadrada del valor 0.041, cuyo valor teórico es 0.2158.

Dado que tanto el circuito de cálculo de divisiones como el de raíces cuadradas se han obtenido a partir del esquema de la figura 2.11, la dinámica de ambos viene descrita por la dinámica de un sistema de primer orden con ganancia.

2.7 Circuito integrador

La integral de un tren de pulsos estocásticos $[f_k, sig(f_k)]$ se obtiene digitalmente utilizando un contador (Fig. 2.22). Utilizando una aproximación por Euler, la integral del valor analógico definido por la probabilidad del tren de pulsos estocástico se relaciona con el valor del contador que efectúa la integral según la ecuación (2.25).

$$I(t_0) = \int_0^{t_0} f(t)dt = \sum_{k=0}^n f\left(\frac{k}{F_{clk}}\right) \left(\frac{1}{F_{clk}}\right) = \frac{f_{esc}}{F_{clk}} \sum_{k=0}^n \frac{f\left(\frac{k}{F_{clk}}\right)}{f_{esc}} = \frac{f_{esc}}{F_{clk}} \sum_{k=0}^n p_k = \frac{f_{esc}}{F_{clk}} \cdot C, \quad t_0 = \frac{n}{F_{clk}} \quad (2.25)$$

donde p_k es la probabilidad de tener un nivel lógico alto en el tren de pulsos estocástico de entrada, F_{clk} es la frecuencia de reloj, n es el número de integraciones estocásticas efectuadas en el tiempo t_0 y C es el valor digital del contador de la figura 2.22, que incrementa o decrementa su valor en función de la señal $sig(f_k)$. El parámetro f_{esc} es un factor de escala igual al valor máximo de f , que nos permite acotar los valores de la función en el intervalo $[0,1]$ y hablar en términos de probabilidades. Siguiendo con la figura 2.22, el va-

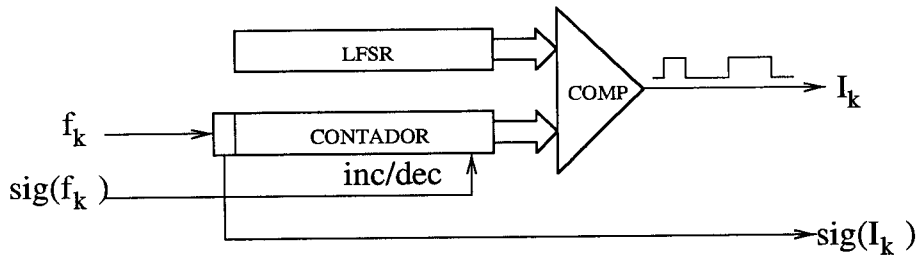


Figura 2.22: Circuito integrador

lor digital del contador se convierte a un nuevo tren de pulsos estocástico por comparación con un LFSR. El tren de pulsos I_k a la salida, representativo de la integral, se relaciona con el valor digital del contador por la ecuación (2.26).

$$\frac{I(t_0)}{2^{N_b}} = \frac{f_{esc}}{F_{clk}} \cdot \frac{C}{2^{N_b}} = \frac{f_{esc}}{F_{clk}} \cdot I_k \quad (2.26)$$

donde N_b es el tamaño del contador y I_k es la probabilidad de tener un nivel alto a la salida.

Así pues, el tren de pulsos estocástico de salida nos integra la señal de entrada con una constante de $2^{N_b}/F_{clk}$, según se indica en la ecuación 2.27.

$$I_k = \frac{1}{\frac{2^{N_b}}{F_{clk}}} \int_0^{t_0} \frac{f}{f_{esc}} dt \quad (2.27)$$

Si la señal de entrada es senoidal $f(t) = A \cdot sen(\omega t)$, entonces el valor máximo de la integral es $2A/\omega$. El valor máximo debe corresponder a una probabilidad unidad a la salida del integrador. Sustituyendo en la ecuación (2.26), se obtiene como condición para evitar la saturación:

$$\frac{2A/\omega}{2^{N_b}} = \frac{f_{esc}}{F_{clk}} \quad (2.28)$$

Dado que $f_{esc} = A$, obtenemos a la salida del circuito integrador $I_k = \omega I(t)/2$, cuyo valor máximo es una probabilidad unidad. El signo de salida viene dado por el signo del contador.

2.7.1 Aplicación: circuito desfasador

A continuación se propone la realización de un circuito desfasador de 90° a partir del circuito integrador anterior. Si la tensión es de la forma $v(t) = A \text{sen}(\omega t)$, deseamos obtener $v_{shf}(t) = A \text{sen}(\omega t - 90) = -A \text{cos}(\omega t)$. A partir de la integral de $v(t)$ es posible llegar a la tensión en cuadratura, como indica la ecuación (2.30).

$$I(t) = \int_0^t v(t) dt = \int_0^t A \text{sen}(\omega t) dt \tag{2.29}$$

$$= -\frac{A}{\omega} [\text{cos}(\omega t)]_0^t = \frac{A}{\omega} + \frac{v_{shf}(t)}{\omega}$$

Despejando la tensión en cuadratura se llega a la expresión siguiente:

$$v_{shf}(t) = \omega I(t) - A \tag{2.30}$$

La implementación de un desfasador utilizando lógica estocástica necesita pues de un circuito integrador, un detector de máximo y un circuito sumador [57], como ilustra la figura 2.23.

- Integrador.

De la ecuaciones (2.26) y (2.28) se obtiene como salida del circuito integrador el valor $\omega I(t)/2$. Pero para ello debe satisfacerse la condición expresada por la ecuación (2.28), que nos da la relación entre la frecuencia de reloj, la frecuencia de la señal de entrada que se desea desfasar y el tamaño del contador.

$$\frac{1}{\pi 2^n} = \frac{f_{input}}{f_{clk}} \tag{2.31}$$

siendo n el tamaño del contador del circuito integrador. Fijado el tamaño

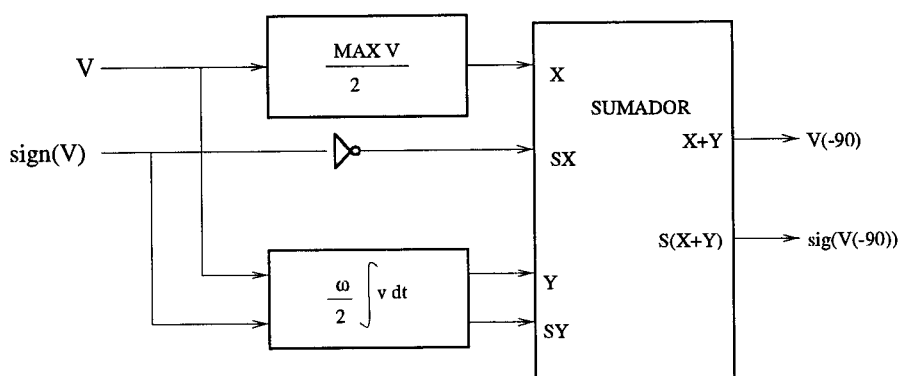


Figura 2.23: Circuito desfasador

del contador y la frecuencia de la señal de entrada, se obtiene el reloj del sistema. Como, en general, el resultado no va a ser un reloj comercial o múltiplo, cabe la posibilidad de utilizar una constante menor que la

unidad que multiplique el tren de pulsos de entrada, compensando así el hecho de utilizar un reloj más rápido que el dado por la ecuación (2.31). Fijados el reloj del sistema y la frecuencia de la señal de entrada, el

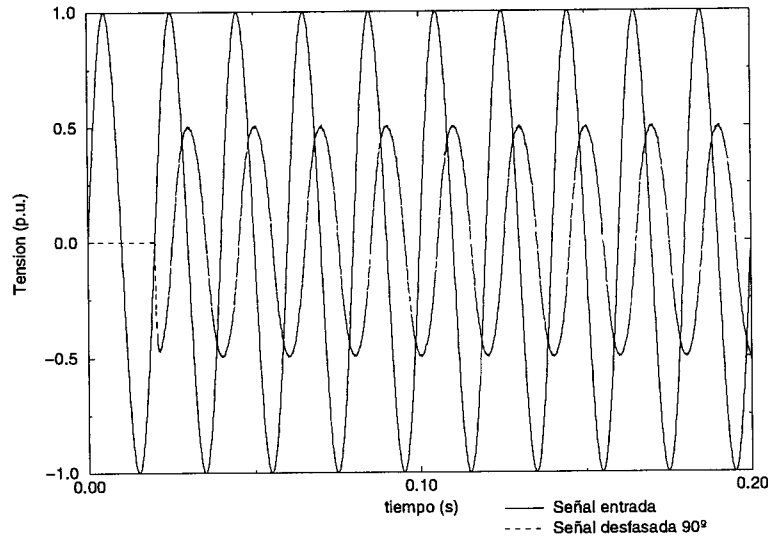


Figura 2.24: Desfase de 90° de una senoide 50 Hz

tamaño del contador se obtiene de la expresión (2.32).

$$n = \text{floor} \frac{\log\left(\frac{f_{clk}}{f_{input}\pi}\right)}{\log(2)} \quad (2.32)$$

De donde la constante por la que se multiplica el tren de pulsos de entrada es:

$$CTE_2 = \frac{f_{input}\pi 2^n}{f_{clk}} \quad (2.33)$$

Para el caso de un frecuencia de reloj de 12 MHz y una señal de entrada de 50 Hz, el valor de n es 16 y la constante es $CTE_2 = 0.8575$.

- **Detector de pico.**
Multiplicamos el valor máximo obtenido del circuito detector de pico por la constante 0.5 para obtener $A/2$.
- **Sumador.**
Los trenes de pulsos anteriores se restan usando el esquema sumador con signo.

La figura 2.24 muestra el comportamiento del desfasador para una senoide de entrada de 50 Hz.

Capítulo 3

Conversión analógica-digital-estocástica

3.1 Introducción

En este capítulo abordaremos el análisis de circuitos electrónicos capaces de generar trenes de pulsos estocásticos a partir de señales analógicas o digitales de entrada, así como la recuperación de estas señales analógicas o digitales desde los trenes de pulsos de salida (figura 3.1), una vez procesados en un dispositivo programable genérico, mediante los circuitos básicos descritos en el capítulo anterior. La generación de un tren de pulsos estocástico a partir de

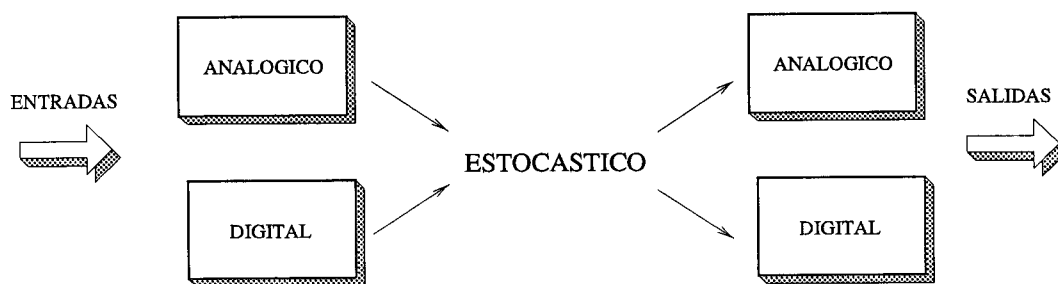


Figura 3.1: Interfaces de conversión analógico/digital estocástico

un valor digital ya fue descrito en la introducción, haciendo uso del conjunto LFSR más comparador.

Una problemática general del procesamiento digital y, en particular, del procesamiento estocástico, es la búsqueda de una óptima conversión de señales analógicas para su posterior procesamiento. El gran avance experimentado por los dispositivos digitales en los últimos años ha posibilitado el auge actual de los convertidores sobremuestreados frente a los tradicionales de Nyquist [58]. Los primeros aprovechan las crecientes velocidades y tamaños de los dispositivos digitales para llegar a elevadas precisiones. Al realizarse una gran parte del procesamiento de forma digital, se evitan los problemas de

“matching” de componentes de los convertidores tradicionales, y, mediante un esquema realimentado, se consigue cambiar la densidad de potencia espectral del ruido de cuantización, concentrándolo a altas frecuencias, para eliminarlo posteriormente mediante un filtrado y diezmación [59].

Desde el punto de vista del cálculo estocástico, el sobremuestreo de la señal analógica de entrada ya viene implícitamente impuesto por el hecho de representar una información serializada en el tiempo. En consecuencia, parece natural la búsqueda de esquemas realimentados similares a los de los convertidores sobremuestreados.

Una primera aproximación a la conversión de señales analógicas en trenes de pulsos estocásticos puede encontrarse en [60] y [61], donde se propone la realización de un convertidor analógico a digital-estocástico mediante una técnica de aproximaciones sucesivas. En la figura 3.2 se observa la realimentación de

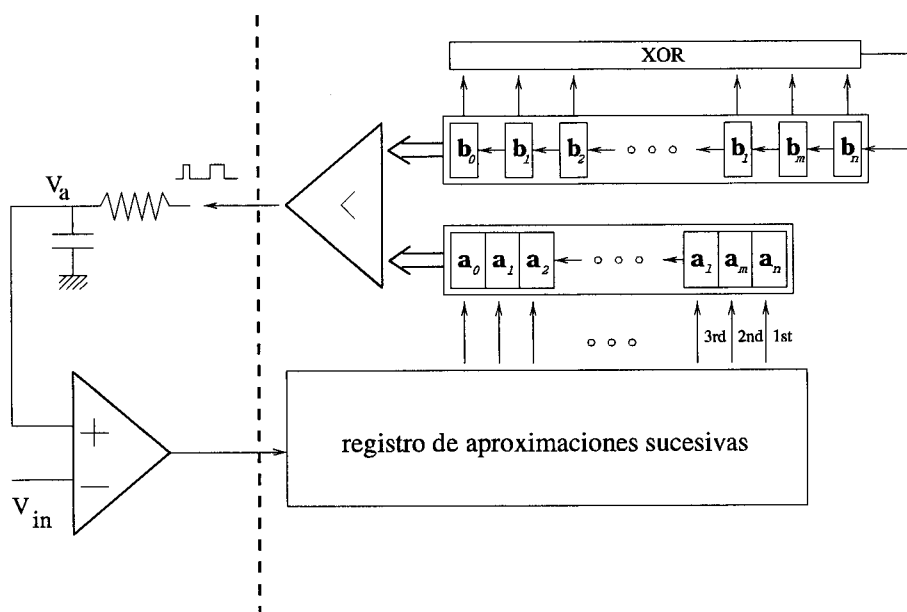


Figura 3.2: Convertidor analógico digital utilizando un esquema de aproximaciones sucesivas con realimentación estocástica

un tren de pulsos estocásticos, que, previamente integrado mediante una red RC, se compara con la referencia de entrada para actuar sobre el circuito de aproximaciones sucesivas. Pese a su sencillez, el principal inconveniente de este esquema es que proporciona un ancho de banda demasiado pequeño para las aplicaciones que se pretenden desarrollar.

A diferencia de los convertidores de Nyquist, donde el ruido de cuantización se reduce a base de aumentar los niveles de discretización, los convertidores sobremuestreados utilizan la idea de realimentación como medio de reducirlo o redistribuirlo. Centrándonos en los convertidores sobremuestreados de 1 bit [62], estos se pueden clasificar en dos tipos según que el efecto de la realimentación sea reducir o modificar la distribución de la energía del ruido de

cuantización:

- Codificadores predictivos o moduladores delta
- Moduladores con "noise shaping" o delta-sigma.

La figura 3.3 muestra un esquema de un modulador delta. La diferencia entre

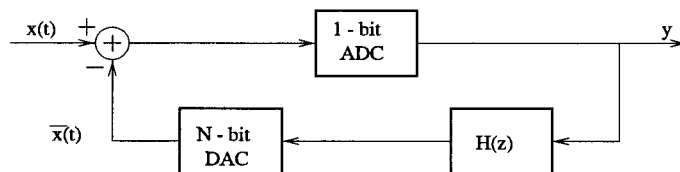


Figura 3.3: Modulador Delta

el valor actual y la estimación o predicción se cuantiza en 1 bit y se almacena en un integrador $H(z)$ para calcular a continuación el valor analógico predicho mediante un convertidor DAC. La ventaja que ofrece la predicción es que reduce el rango dinámico del ADC al restar una estimación $\bar{x}(t)$ de la entrada $x(t)$. El tamaño del paso del cuantizador se ajusta a este rango, lo que resulta en una reducción del ruido de cuantización.

La figura 3.4 es un modulador delta-sigma en tiempo discreto. Siempre se puede establecer una equivalencia entre los moduladores en tiempo discreto y en tiempo continuo [63]. A diferencia del modulador delta, no se trata de

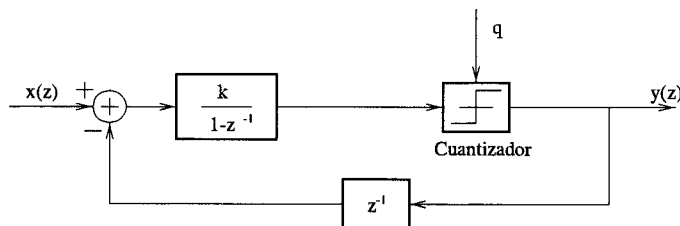


Figura 3.4: Modulador Delta-Sigma

reducir el ruido de cuantización sino de modificar su densidad de potencia espectral, moviendo la energía a altas frecuencias, de modo que pueda ser posteriormente eliminado mediante un filtrado digital sin afectar a la banda de la señal [64].

En general, los moduladores delta presentan peores prestaciones que los sigma-delta. Por ejemplo, presentan un mal comportamiento frente a señales que varían muy rápidamente y cualquier no linealidad en el integrador de realimentación aparece a la salida [65].

Las otras dos conversiones de la figura 3.1 se refieren a la recuperación de un valor digital o analógico a partir de un tren de pulsos estocástico, o, lo que es lo mismo, a estimar la probabilidad del tren de pulsos de salida a partir de la frecuencia relativa.

De las cuatro conversiones que se ilustran en la figura 3.1, comenzaremos por la estocástica-digital. El motivo es que en se va a utilizar en el esquema de conversión analógico estocástico propuesto a continuación. Finalmente, se propondrá una mejora en la conversión estocástica analógica ya estudiada en trabajos previos [9], [10].

3.2 Conversión estocástica digital

A partir de un tren de pulsos estocástico, el valor medio se recupera mediante un contador que almacene el número de valores lógicos alto en un horizonte temporal determinado. En definitiva, se trata de determinar la frecuencia relativa de una variable aleatoria X suma de una secuencia discreta de variables aleatorias de Bernoulli X_i ,

$$X = X_1 + X_2 + X_3 + \dots X_n \quad (3.1)$$

donde cada X_i viene caracterizada por su media y su varianza.

$$\begin{aligned} E[X_i] &= \mu_i \\ \sigma_i^2 &= \mu_i(1 - \mu_i) \end{aligned} \quad (3.2)$$

Definiremos $Z=X/n$ como la frecuencia relativa del éxito sobre una secuencia finita de longitud n . La media y la varianza de Z vienen dadas por las siguientes ecuaciones (3.3) y (3.5).

$$E[Z] = \frac{\sum_1^n \mu_i}{n} \quad (3.3)$$

$$Var[Z] = E[Z - E(Z)]^2 = E\left[\frac{\sum_i X_i}{n} - E(Z)\right]^2 = E\left[\frac{\sum_i (X_i - E(Z))}{n}\right]^2 = \quad (3.4)$$

$$= \frac{1}{n^2} \left[\sum_i (X_i - E(Z))^2 + \sum_{h \neq k} [X_h - E(Z)][X_k - E(Z)] \right] = \frac{1}{n^2} \sum_i \sigma_i^2 \quad (3.5)$$

A partir de lema de Tchebycheff [66], resulta sencillo demostrar que la variable aleatoria Z converge en probabilidad a $E(Z)$. Este lema establece que, dada un proceso estocástico (x_n) tal que $E(x_n) = \mu_n$ y $Var(x_n) = \sigma_n$, si se verifica que

$$\lim_{n \rightarrow \infty} \sigma_n^2 = 0$$

entonces el proceso estocástico (x_n) converge en probabilidad a $E(x_n)$. En nuestro planteamiento se demuestra fácilmente que se verifica la condición:

$$\lim_{n \rightarrow \infty} Var(Z) = \lim_{n \rightarrow \infty} \frac{1}{n^2} \sum_i \mu_i(1 - \mu_i) < \lim_{n \rightarrow \infty} \frac{1}{n^2} 0.25n \rightarrow 0 \quad (3.6)$$

El lema de Tchebycheff nos proporciona una cota máxima respecto al horizonte temporal a considerar para conseguir una determinada precisión, según la ecuación (3.7).

$$P[(Z - E(Z) > \epsilon)] < \frac{Var(Z)}{\epsilon^2} \quad (3.7)$$

Desgraciadamente, nos proporciona una cota demasiado burda, por lo que no nos resulta útil para determinar el horizonte en el que debemos integrar para conseguir una precisión dada. El teorema central del límite nos ofrece una aproximación más cercana. Nuestra variable aleatoria Z se puede aproximar por una distribución normal:

$$Z = \frac{\sum X_i}{n} = AN\left(\frac{\sum_i \mu_i}{n}, \sqrt{\frac{\sum_i \sigma_i^2}{n^2}}\right)$$

Para el caso particular de señales senoidales, podemos buscar una cota para la desviación típica de la aproximación normal. Si consideramos una señal senoidal de amplitud A , con $-1 \leq A \leq 1$, las probabilidades de la secuencia discreta de Bernouilli vienen dadas por los valores de la propia senoide.

$$\frac{\sum_i \sigma_i^2}{n} = \frac{1}{n} \left[\sum_i^n A \sin(\omega t_i) - \sum_i^n A^2 \sin^2(\omega t_i) \right] = \frac{2A}{\pi} - \frac{A^2}{2}$$

El valor máximo de la expresión anterior se obtiene para $A = 2/\pi$ y resulta ser igual a 0.2025. De aquí podemos aproximar nuestra variable aleatoria Z por:

$$Z = AN\left(\frac{\sum_i \mu_i}{n}, \sqrt{\frac{0.2025}{n}}\right)$$

Tomando un intervalo de confianza de valor dos veces la desviación típica en torno a la media, se tiene, a partir de las tablas de la distribución normal, un nivel de significación del 96 %.

$$P\left[\left|Z - \frac{\sum_i \mu_i}{n}\right| < 2\sigma\right] = 0.96$$

Si queremos una precisión de N_b bits, debe cumplirse que

$$2\sigma \leq \frac{1}{2^{N_b+1}}$$

$$2\sqrt{\frac{0.2025}{n}} \leq \frac{1}{2^{N_b+1}}$$

De esta expresión podemos obtener el horizonte temporal en el que hemos de promediar los trenes de pulsos aleatorios para obtener una precisión dada. En particular, para una precisión de 8 bits, se tiene un valor de $n=212336$. Por ejemplo, trabajando con una señal de reloj de 12 MHz, en un período de 20

ms procesamos un total de 240000 pulsos estocásticos, por encima de la cota anterior.

Es importante destacar que el hecho de tomar el intervalo de confianza de tamaño dos veces la desviación típica en torno a la media es, realmente, una hipótesis del lado de la seguridad. Esto se puede justificar fácilmente dado el carácter pseudo-aleatorio y cíclico de los generadores de números aleatorios usados habitualmente en el cálculo estocástico. Dado que se trata de un patrón repetitivo, en cada vuelta tenemos asegurado un número de éxitos y de fracasos (niveles "0" y "1" a la salida del comparador). Esto se traduce en que la distribución de probabilidad de promediar un tren de pulsos en el tiempo sería una distribución normal sin las "colas" típicas de una distribución gaussiana, por lo que con un intervalo de dos veces la desviación típica cubriríamos de hecho un nivel de significación superior al indicado por los valores tabulados de la distribución normal.

3.3 Conversión analógica estocástica

La primera aproximación para abordar la generación de un tren de pulsos estocásticos a partir de una señal analógica de entrada consiste en utilizar un convertidor analógico-digital (CAD) como paso intermedio. A partir del valor digital, el tren de pulsos estocástico se obtiene usando el esquema habitual LFSR más comparador (figura 3.5). Esta aproximación, aun siendo simple y válida, presenta sin embargo una serie de inconvenientes:

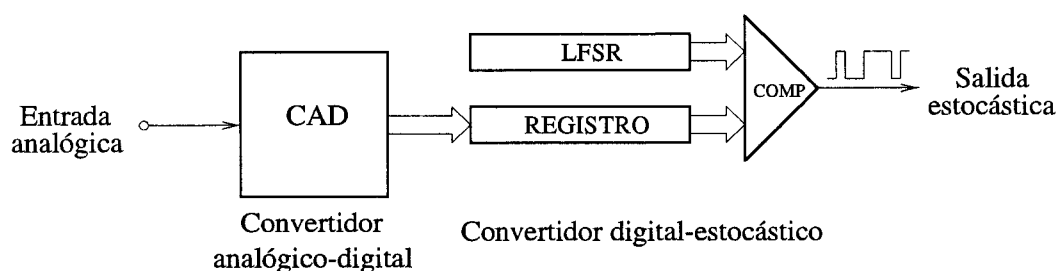


Figura 3.5: Conversión analógica-estocástica basada en un CAD

- Al utilizar un convertidor analógico-digital de Nyquist estamos sumando dos tipos de error: uno de cuantización, al transformar la señal analógica de entrada en niveles discretos, más uno estadístico, resultado de codificar el valor digital como la frecuencia relativa de una secuencia discreta finita.
- No se aprovecha el sobremuestreo implícito en el cálculo estocástico.
- Para sistemas con múltiples entradas, serían necesarios varios convertidores analógico-digitales, lo cual, además de encarecer el coste final,

supone utilizar un elevado número de entradas digitales de un dispositivo programable o un circuito integrado de aplicación específica.

La siguiente aproximación para abordar el problema de la generación de un tren de pulsos estocásticos que codifique una señal analógica de entrada consiste en utilizar los esquemas de convertidores sobremuestreados [67]. De entre los dos codificadores mencionados, delta y delta-sigma, nos basaremos en el segundo por sus ventajas ya expuestas. Con respecto al esquema de la figura 3.4, introducimos un circuito seguidor realizado estocásticamente, lo que supone una inyección de ruido procedente del LFSR dentro de la cadena directa, es decir, antes de realimentar (fig. 3.6). El esquema del circuito seguidor

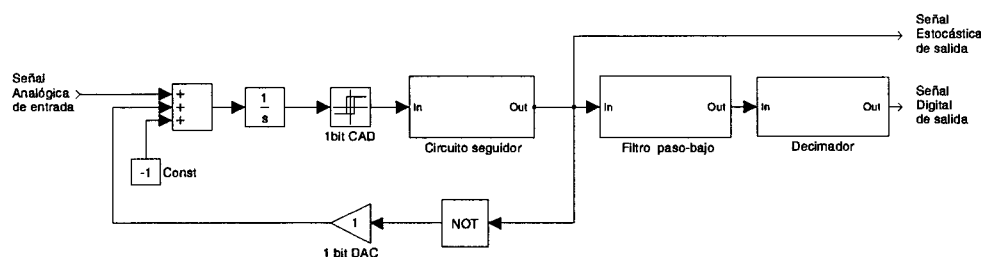


Figura 3.6: Diagrama de bloques del convertidor analógico estocástico

ya fue analizado en el capítulo anterior. En consecuencia, tenemos dos fuentes de ruido: por un lado el ruido de cuantización procedente del convertidor ADC de 1 bit y por otro del ruido estocástico, inyectado por el LFSR. El error de cuantización puede considerarse un ruido bajo las siguientes hipótesis [64]:

- Todos los niveles de cuantización se alcanzan con la misma probabilidad.
- El paso de cuantización es uniforme.
- El error de cuantización no está correlado con la señal de entrada.
- Se utiliza un elevado número de niveles de cuantización.

Estas condiciones no se verifican para señales de baja frecuencia o de continua. En estos casos, el ruido de cuantización no es tal ruido sino un error. Frente a esto existen dos posibilidades: incrementar el orden del convertidor delta-sigma o introducir deliberadamente un ruido de alta frecuencia (llamado dither) que nos permita situarnos de nuevo bajo las hipótesis anteriores. El ruido inyectado por el LFSR actúa como señal de dithering, permitiéndonos además obtener una representación mediante un tren de pulsos de la señal analógica de entrada.

Analizando más en detalle la figura 3.6, podemos obtener las funciones de transferencia correspondientes a las entradas del sistema (fig. 3.7). Si llama-

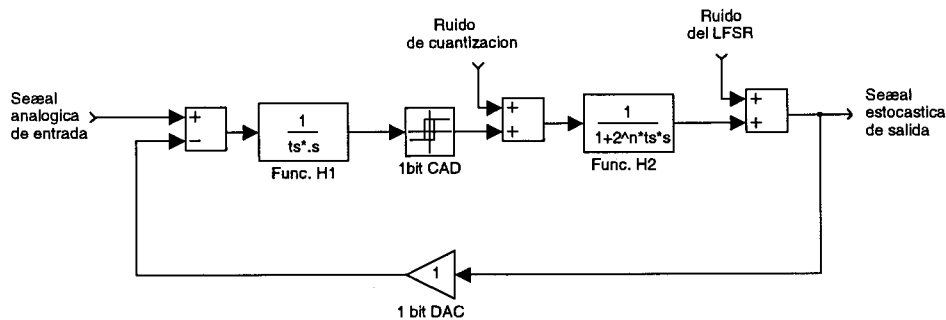


Figura 3.7: Diagrama de bloques detallado del convertidor analógico estocástico

mos $Y(s)$ a la salida del circuito anterior, $U(s)$ a la entrada y H_1 y H_2 a las funciones de transferencia del integrador puro y el circuito seguidor respectivamente, se obtiene:

$$Y(s)(1 + H_1(s)H_2(s)) = H_1(s)H_2(s)U(s) + H_2(s)n(s) + n_{LFSR}(s)$$

$$Y(s) = STF(s)U(s) + NTF(s)n(s) + LTF(s)n_{LFSR}(s) \quad (3.8)$$

donde $n(s)$ y $n_{LFSR}(s)$ son los ruidos de cuantización y estocástico inyectado. Teniendo en cuenta que H_1 y H_2 son de la forma:

$$H_1(s) = \frac{1}{t_s s} \quad H_2(s) = \frac{1}{1 + \tau s} \quad (3.9)$$

se despejan las funciones de transferencia para la señal, el ruido de cuantización y el ruido estocástico

$$STF(s) = \frac{1}{1 + t_s s + t_s \tau s^2} \quad (3.10)$$

$$NTF(s) = \frac{t_s s}{1 + t_s s + t_s \tau s^2} \quad (3.11)$$

$$LTF(s) = \frac{t_s s + t_s \tau s^2}{1 + t_s s + t_s \tau s^2} \quad (3.12)$$

con $f_s = 1/t_s$ la frecuencia de sobremuestreo y n el tamaño del contador necesario para realizar el seguidor estocástico. De las ecuaciones anteriores se observa que tanto el ruido de cuantización como el ruido estocástico vienen afectados por dos funciones de transferencia con uno y dos ceros en el origen, respectivamente. En consecuencia, a la salida del esquema de la figura 3.7 se consigue concentrar la energía de ambos ruidos para altas frecuencias. La figura 3.8 muestra la función de transferencia para la señal de entrada (ecuación (3.10)) en línea continua, para el ruido de cuantización (ecuación (3.11))

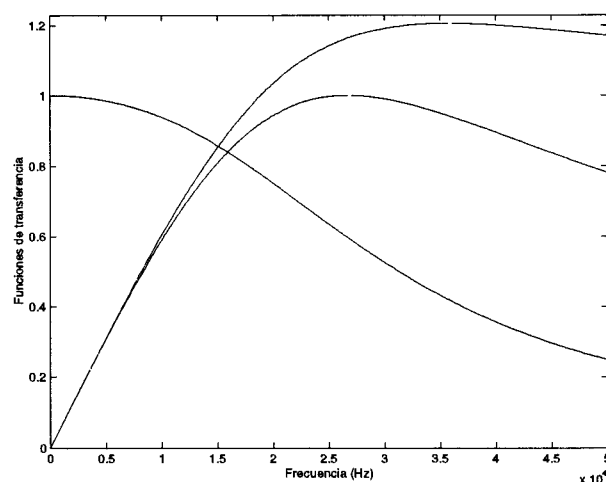


Figura 3.8: Funciones de transferencia de la señal de entrada (línea continua) y los ruidos de cuantización (línea discontinua) y estocástico (línea punteada)

en línea discontinua y para el ruido estocástico (ecuación (3.12)) en línea punteada. Estas funciones de transferencia se han obtenido para un valor de $t_s = 1e - 5$ y $\tau = 1.5915e - 4$, resultado de utilizar un circuito seguidor con un contador de 5 bits y a una frecuencia de reloj de 9MHz.

Usualmente, la salida de un modulador delta-sigma se hace pasar por un filtro de diezmación para recuperar el valor digital. Básicamente, se trata de un filtro paso bajo más un submuestreador. El propósito del filtro paso bajo es eliminar el ruido que se encuentra fuera del ancho de banda de interés. Tras el filtrado, la señal se submuestra a la frecuencia de Nyquist. Dado que a la salida del esquema de la figura 3.7 disponemos de un tren de pulsos estocástico, podemos utilizar para filtrar los circuitos descritos en el capítulo II más un submuestreador, para recuperar el valor digital. Los filtros se diseñan con una frecuencia de corte igual a la frecuencia de Nyquist, para lo cual se dispone como variables el número de bits del contador y la frecuencia de reloj. En función de ellos, a frecuencia de corte del filtro paso bajo viene dada por:

$$f_c = \frac{1}{2\pi \frac{2^n}{f_{clk}}} \quad (3.13)$$

Utilizando varios filtros en cascada se consigue una respuesta más selectiva. A la salida de los filtros disponemos de una señal estocástica con un ruido distribuido aproximadamente de manera uniforme en todo el espectro, y donde se ha reducido el ruido de cuantización por efecto de la modulación delta-sigma y su posterior filtrado. Para eliminar el ruido estocástico basta utilizar un contador final que realice un promediado del tren de pulsos y haga las veces de submuestreador, recuperando el valor digital a partir de un tren de pulsos estocástico tal y cómo se explicó anteriormente.

3.3.1 Realización física

La figura 3.9 ilustra el bucle de realimentación. La realización física propues-

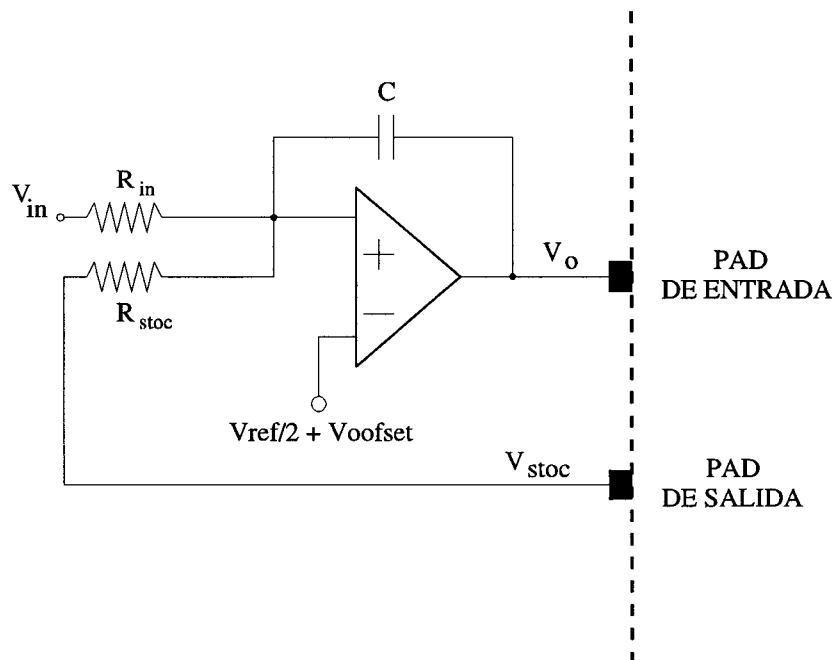


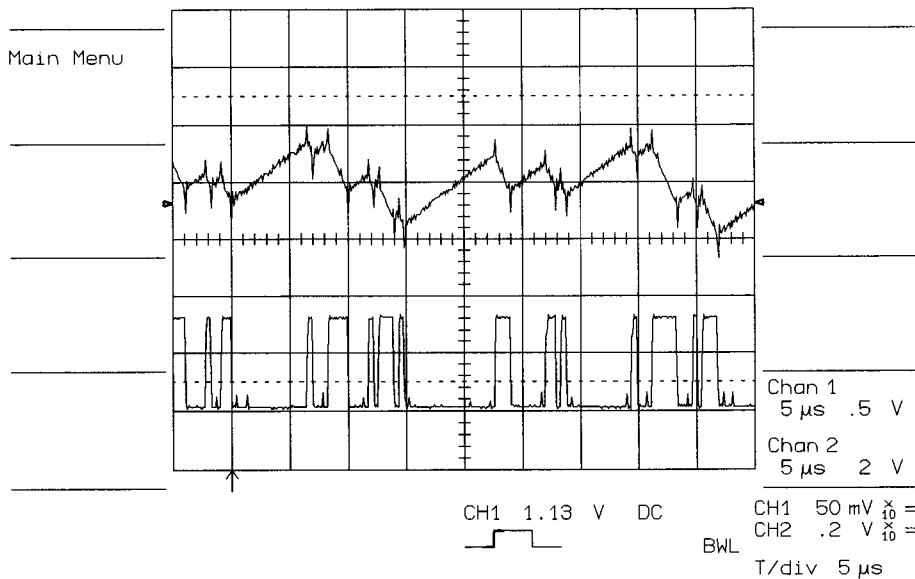
Figura 3.9: Esquema del bucle de realimentación del convertidor analógico estocástico

ta es una realización mixta con una parte analógica discreta que comprende únicamente el integrador puro, siendo el resto del circuito totalmente digital. En consecuencia, se trata de una aproximación especialmente pensada para ser utilizada en dispositivos programables totalmente digitales, en la línea de otras realizaciones mixtas que pueden encontrarse en la bibliografía [68], [69]. Dado que el dispositivo programable funciona con valores digitales entre 0 y V_{ref} , usamos como integrador puro un esquema integrador sumador trabajando en torno al punto $V_{cc}/2$. La resta se consigue a partir del esquema sumador realimentando la salida estocástica negada, que es igual al valor complementario de la salida sin negar con respecto a $V_{ref}/2$. La salida del integrador viene dada por la expresión (3.14).

$$-C \frac{dV_o}{dt} = \left(\frac{V_{in}}{R_{in}} + \frac{V_{stoc}}{R_{stoc}} \right) - \frac{V_{offset}}{R_{in} || R_{stoc}} \quad (3.14)$$

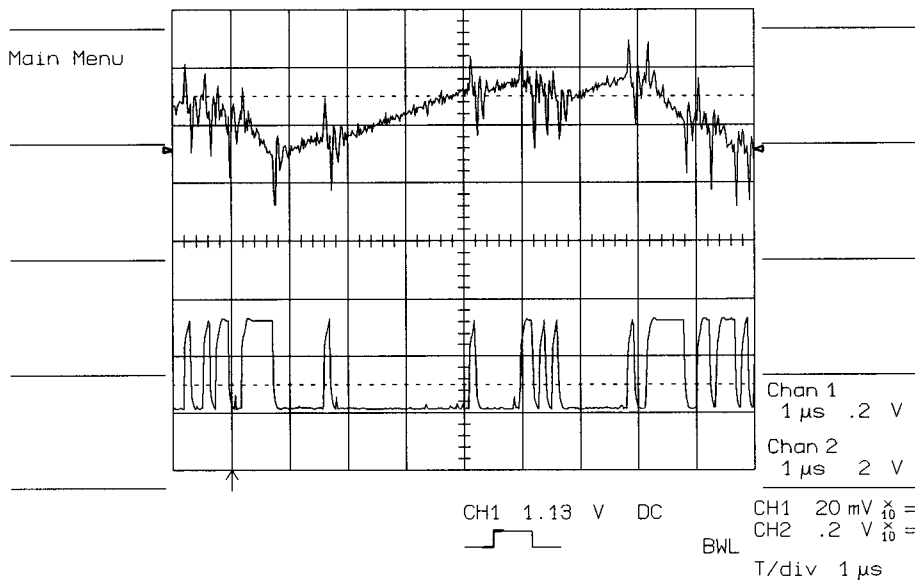
Como V_{stoc} puede tomar los valores V_{ref} y cero, conseguimos efectuar la resta trabajando en el punto medio entre alimentación y tierra. Actuando sobre las resistencias R_{in} y R_{stoc} podemos ajustar la ganancia con el primer sumando de la ecuación (3.14) y el offset con el segundo sumando de dicha ecuación.

19-Jul-99
12:43:35



(a) velocidad: 2 MHz

19-Jul-99
13:33:43



(b) velocidad: 9 MHz

Figura 3.10: Captura de la entrada realimentada y la salida del integrador puro a 2 y 9 MHz

Como comparador se utiliza el propio PAD del dispositivo programable. El problema más importante que se puede presentar en el diseño del cuantizador está en la histéresis del mismo, pues los problemas de offset y ruido son eliminados o atenuados por la realimentación negativa. De todos modos, la sensibilidad de los moduladores delta sigma a la histéresis del comparador es varios órdenes de magnitud inferior a la de los convertidores de Nyquist. Según [70], el aumento del ruido en la banda de señal causado por la histéresis del comparador no es importante hasta valores del orden del 10 % de la escala total del convertidor. En las figuras 3.10(a) y 3.10(b) se ha capturado con el osciloscopio la salida del integrador puro, junto con los pulsos estocásticos que se realimentan a su entrada para velocidades de 2 y 9 MHz, respectivamente. El bucle de la figura 3.9 se ha implementado en un dispositivo programable trabajando a 9 MHz, con un circuito seguidor de 5 bits y un integrador puro de ganancia 100.000. Las funciones de transferencia descritas anteriormente

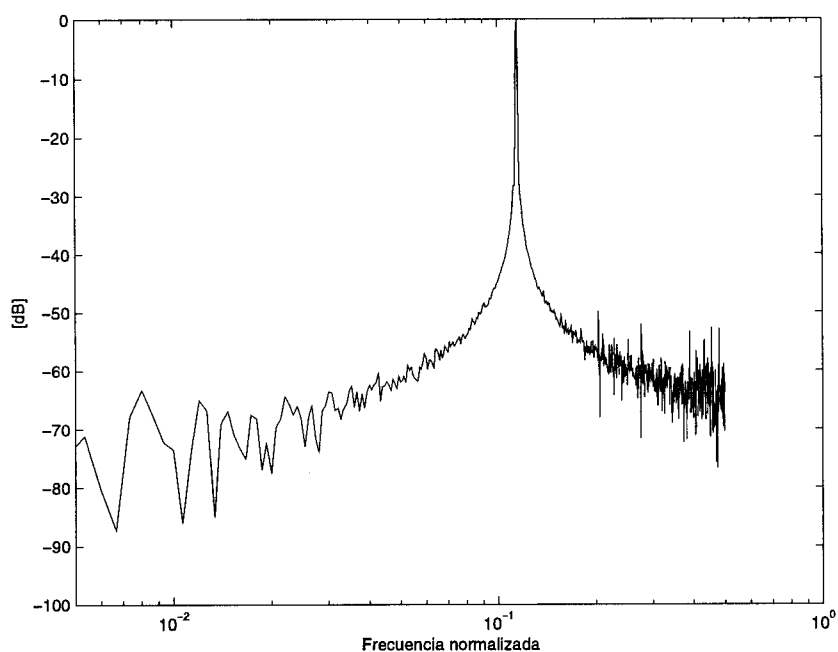


Figura 3.11: Densidad de potencia espectral a la salida del submuestreador

provocan que a la salida, tanto la energía del ruido de cuantización como del ruido estocástico se concentran a frecuencias altas. Esta salida se hace pasar por un banco de filtros en cascada, ajustados a la frecuencia de Nyquist. Con 9 MHz y 8 bits, el resultado es:

$$f_c = \frac{9e6}{2\pi 2^8} = 5.6kHz \quad (3.15)$$

A la salida de los filtros atenúamos el ruido de cuantización concentrado a altas frecuencias, dejando presente únicamente el ruido estocástico que será

3.4 Conversión Estocástica Analógica

Dado un tren de pulsos estocásticos, la recuperación de un valor analógico se hace calculando la media de ese tren mediante una red RC [61]. Siguiendo la estructura de LFSR más comparador, es posible obtener el valor analógico correspondiente o una combinación de ellos (figura 3.14). Este convertidor

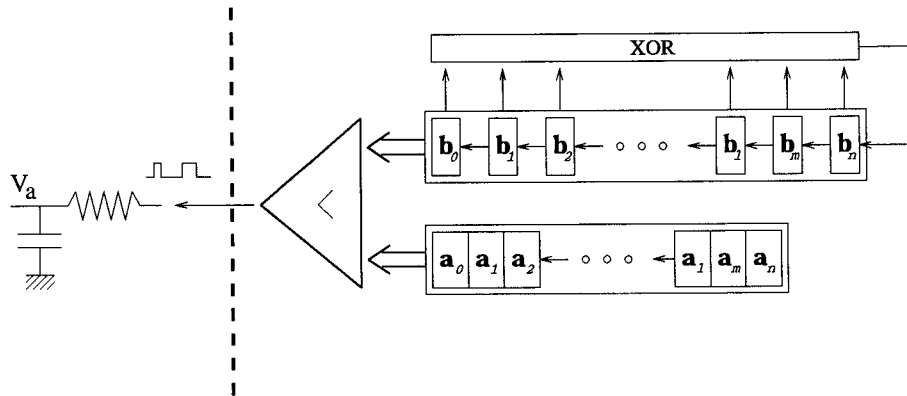


Figura 3.14: Convertidor digital analógico basado en lógica estocástica

digital analógico puede encuadrarse dentro de una familia más amplia de convertidores de bajo coste basados en la integración de trenes de pulsos [71]. Otros convertidores de este estilo son por ejemplo el convertidor tradicional PWM (modulación por ancho de pulso) o el modulador delta-sigma de primer orden [69]. Cada uno de ellos ofrecen ventajas e inconvenientes en función de la aplicación a la que estén destinados. Por ejemplo, si se necesita de una tensión analógica suave o con mayor ancho de banda resultará mejor el modulador delta-sigma de primer orden. Si, por el contrario, el requerimiento principal es tener el menor número posible de flancos de subida y bajada, la solución óptima será la PWM.

Desde el punto de vista de la precisión, el caso más desfavorable para el modulador delta-sigma se obtiene al representar el valor 1 ó $2^n - 1$, siendo n el número de bits del convertidor (figura 3.15).

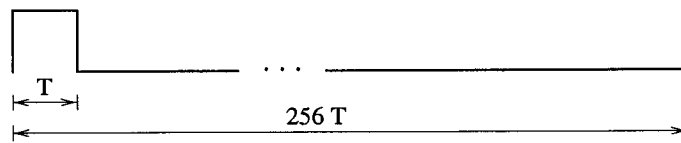


Figura 3.15: Caso más desfavorable del modulador delta-sigma

Para $n=8$ bits, el valor pico a pico obtenido a la salida de la red RC al representar uno de los casos más desfavorables se expresa en la ecuación (3.17).

$$PPN_{FS} = (1 - e^{-\frac{1}{f\tau}}) \frac{1 - e^{-\frac{255}{f\tau}}}{1 - e^{-\frac{256}{f\tau}}} 256 \tag{3.17}$$

donde

- PPN_{FS} es el valor pico a pico de ruido como una fracción de un bit
- f es la frecuencia de trabajo digital
- τ es la constante de tiempo de la red RC

Para una modulación por ancho de pulso (PWM), el caso más desfavorable corresponde al valor mitad, 2^{n-1} (figura 3.16) . En este caso, es la ecuación

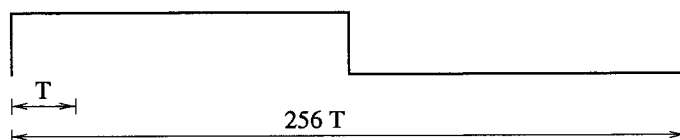


Figura 3.16: Caso más desfavorable del modulador PWM

(3.18) la que nos da el caso más desfavorable con $n=8$ bits.

$$PPN_{FS} = \frac{(1 - e^{-\frac{128}{f\tau}})^2}{1 - e^{-\frac{256}{f\tau}}} 256 \quad (3.18)$$

Para una frecuencia de 10 MHz y $n=8$ bits, si se desea tener una precisión de 8 bits en la salida analógica sería necesaria una red RC con una frecuencia de corte del orden de los 100Hz para una señal PWM y del orden de 6.5 kHz para una señal con modulación delta-sigma. Es decir, que el tiempo de conversión en el segundo caso es unas 65 veces más rápido.

En el caso del convertidor digital analógico basado en lógica estocástica, el tren de pulsos de salida es una sucesión discreta de variables aleatorias de Bernouilli, cuya media se estima a partir de la frecuencia relativa. El caso más desfavorable ocurre con una probabilidad 0.5, que es donde la varianza de una variable aleatoria de Bernouilli alcanza su valor máximo. De acuerdo con el resultado presentado en [61], el diseño del filtro de salida debe hacerse de acuerdo con la ecuación (3.19).

$$f_{max} < 2^{2(n-1)} f_{clk} \quad (3.19)$$

siendo n el número de bits, f_{max} la frecuencia de corte del filtro de salida y f_{clk} la frecuencia de reloj de la parte digital. Para una señal de reloj de 10 MHz y una precisión de 8 bits, el filtro RC de salida deberá tener una frecuencia de corte de 610 Hz, que se encuentra entre los valores obtenidos en las mismas condiciones para el modulador PWM y el modulador delta-sigma.

Nótese que, aun siendo el caso más desfavorable el mismo que el de la modulación PWM, la naturaleza del error es radicalmente diferente, pues en el tren de pulsos estocástico se trata de un error estadístico con un contenido

en armónicos inferior al de la señal PWM, lo que justifica un mayor ancho de banda para la red RC de salida.

El esquema de conversión de la figura 3.14 presenta una limitación importante debido al carácter pseudoaleatorio del generador de número aleatorios empleado (LFSR). A la salida del comparador se genera un tren de pulsos que se repite cíclicamente en el tiempo, dando lugar a componentes en frecuencia en $f_{clk}/2^N$ y múltiplos. No obstante, este carácter determinista también puede ser aprovechado. Si estamos inyectando un ruido que es conocido, deberá ser posible atenuarlo mediante otro LFSR que se comporte de manera dual con respecto al primero. Para ello utilizamos un segundo $LFSR_2$ que obtenemos del primero mediante la siguiente ecuación:

$$LFSR_2 = 2^n - LFSR_1 \quad (3.20)$$

siendo n el número de bits del LFSR. Se trata pues del LFSR complementario con respecto al valor intermedio. Ambos LFSRs se comparan con el valor digital para generar dos trenes de pulsos que se integran con una red 2R-C (figura 3.17), aprovechando las posibilidades de redundancia en la información del cálculo estocástico [72], [73]. Para el caso de una probabilidad 0.5, la

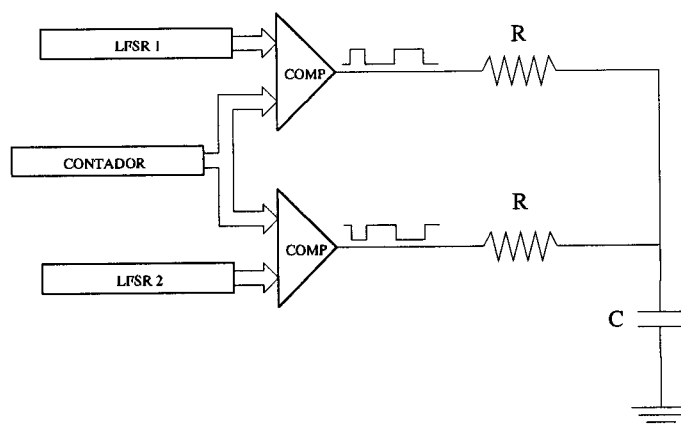


Figura 3.17: Convertidor digital analógico basado en lógica estocástica mejorado

compensación es perfecta, puesto que cuando a la salida de un comparador tenemos un nivel alto, en el otro tenemos un nivel bajo y ambos se promedian en la red 2R-C de salida. A medida que nos alejamos de la probabilidad 1/2 hacia los extremos, la compensación se va haciendo peor, pues el número de casos en el que ambos LFSRs generan un valor hacia el mismo lado del valor digital aumenta. Pero afortunadamente, la desviación típica también disminuye a medida que nos alejamos de la probabilidad 1/2. Es decir, la compensación es mejor allí donde tenemos un error estadístico mayor. Si comparamos los errores cometidos por los esquemas de las figuras 3.14 y 3.17 correspondientes a la versión de partida y la mejorada, respectivamente, se obtiene la figura

Capítulo 4

Aplicaciones

4.1 Introducción

En los capítulos precedentes se han definido una serie de bloques básicos que permiten la realización de funciones tales como sistemas de primer orden, integradores y circuitos de cálculo de funciones no lineales, como divisiones y raíces cuadradas. Estos circuitos analizados amplían la aritmética tradicional de la lógica estocástica, fundamentalmente centrada en operaciones de suma y producto, y orientada a aplicaciones de implementación de redes neuronales. También se han definido los interfaces entre el dominio analógico y el estocástico como paso previo al procesamiento de los trenes de pulsos aleatorios, así como la recuperación de un valor digital o analógico de los trenes de pulsos salida de ese procesamiento. En definitiva, trasladamos las variables de entrada del problema al dominio estocástico donde, a base de los bloques analizados, es posible un procesamiento totalmente digital de menor coste y más eficiente en área que otros procesamientos alternativos, para posteriormente dar las señales de salida en forma analógica o digital, según requiera la aplicación.

El procesamiento estocástico aporta un tratamiento totalmente digital, compacto y robusto, con posibilidades de programabilidad y bajo consumo, y un comportamiento que puede definirse en términos de un sistema analógico. Su plataforma natural de implementación los constituyen dispositivos programables, como CPLDs o FPGAs, cuyas escalas de integración y velocidades han experimentado un avance espectacular en los últimos años (aproximadamente, se duplica la velocidad cada 18 meses). La figura 4.1 muestra la placa de circuito impreso sobre la que se han implementado los circuitos propuestos. Se trata de una FPGA de Xilinx, perteneciente a la familia 4000, programable a través del puerto paralelo de cualquier PC. Evidentemente, el procesamiento estocástico también tiene sus limitaciones: permite procesar señales de una dinámica relativamente lenta en relación con la velocidad de trabajo digital.

Dado que los dispositivos programables van aumentando sus prestaciones en este sentido, proporcionalmente aumenta también el ancho de banda que la lógica estocástica es capaz de procesar. En general, la codificación de las señales de entrada como una probabilidad requiere un escalado completo del problema en el intervalo $[0,1]$. Finalmente, para que el álgebra de probabilidades funcione correctamente, es necesario realizar una óptima selección de los generadores de números pseudo-aleatorios, para eliminar correlaciones indeseadas.

Debido a todo lo anterior, las aplicaciones donde el procesamiento estocástico está más indicado son las aplicaciones relacionadas con la electrónica de potencia, donde las dinámicas a procesar son, en muchas ocasiones, relativamente lentas. Las tres aplicaciones que se van a desarrollar a lo largo del capítulo son las siguientes:

- En primer lugar, se propone la realización de filtros analógicos en base a los sistemas de primer orden definidos en el capítulo II.
- La segunda de las aplicaciones consiste en un medidor de potencia, capaz de suministrar los parámetros típicos de interés en un sistema de potencia: potencia y energía activa y reactiva, potencia aparente, valores máximos y eficaces y factor de potencia. Asimismo, se discutirá sobre el problema de la medida de reactiva en régimen no senoidal, proponiéndose dos circuitos que resuelven la medida según las dos aproximaciones existentes en la bibliografía.
- Finalmente, se propone la implementación de un control PI y por pasividad para un convertidor serie resonante DC/DC, resolviendo un conjunto de ecuaciones del controlador propuesto en la bibliografía.

Estas tres aplicaciones pretenden enfocar el concepto de realización de sistemas analógicos mediante un procesamiento estocástico totalmente digital, componiendo los distintos bloques constructivos analizados en los capítulos II y III. Las dos últimas aplicaciones constituyen ejemplos donde la lógica estocástica puede sustituir satisfactoriamente a dispositivos de propósito general, como microcontroladores o DSPs.

4.1.1 Método de diseño

Para la implementación estocástica de estas aplicaciones se propone el siguiente método de diseño general:

- *identificación de bloques constructivos básicos.*
Dadas un conjunto de ecuaciones algebraicas o diferenciales, se trata de identificar los bloques básicos descritos en el capítulo II.

- *Determinación de los factores de escala.*
Todas las variables deben tomar valores comprendidos en el rango $[0,1]$. En consecuencia, es necesario escoger unos factores de escala adecuados que lo garanticen. Implícitamente, el cálculo estocástico siempre introduce saturación en las variables de entrada, impidiendo su desbordamiento en caso de condiciones excepcionales de trabajo, pudiendo garantizarse una respuesta segura del circuito.
- *Determinación de las constantes de integración de los circuitos integradores.*
Las constantes que surgen al normalizar el problema pueden ser situadas, manipulando adecuadamente las ecuaciones, justo antes de los integradores. El motivo es que en esa posición es posible introducir constantes mayores o menores que la unidad. Existen dos vías para actuar sobre esa constante: bien a través de la frecuencia de reloj con que se acumulan pulsos, bien con el tamaño en bits del contador de acumulación.
- *Selección de los LFSRs*
La determinación de un buen conjunto de LFSRs (registros de desplazamiento con realimentación lineal) para llevar a cabo la conversión digital estocástica resulta de vital importancia. Los pulsos generados por estos generadores de números pseudo-aleatorios deben estar suficientemente incorrelados para no deteriorar las operaciones estocásticas, basadas en el álgebra de probabilidades. Una forma habitual y poco costosa de resolver el problema es elegir, sobre un mismo LFSR, secuencias decaladas en varias posiciones, que están suficientemente incorreladas.

4.2 Realizaciones digitales de filtros analógicos

Como aplicación de los sistemas descritos en el capítulo II, se propone la realización digital de filtros analógicos, utilizando un procesamiento estocástico de la información. Partiendo de una señal analógica de entrada, ésta se convierte a un tren de pulsos aleatorios que es posteriormente procesado y finalmente recuperado de nuevo como una señal analógica de salida.

La conversión de la entrada a un tren de pulsos estocásticos representativo se puede realizar con cualquiera de los métodos descritos en la introducción o bien con el que se propondrá en el próximo capítulo. El procesamiento del tren de pulsos estocástico (con su correspondiente señal de signo) se realiza serializando varios bloques integradores de primer orden como los descritos previamente. Los trenes de pulsos de salida de un módulo son los de entrada al siguiente, con la ventaja frente a una realización analógica de tener un desacoplo perfecto de impedancias. A modo de ejemplo, se presenta un filtro de cuarto orden poniendo en cascada cuatro sistemas integradores de primer

orden (figura 4.2). El sistema ha sido implementado en una FPGA progra-

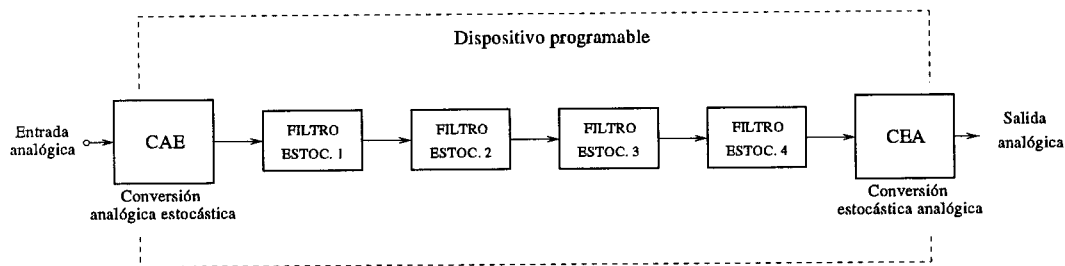


Figura 4.2: Diagrama de bloques de un filtro paso bajo de cuarto orden

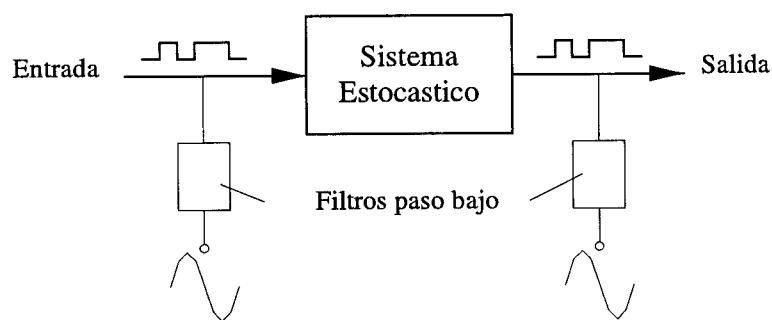
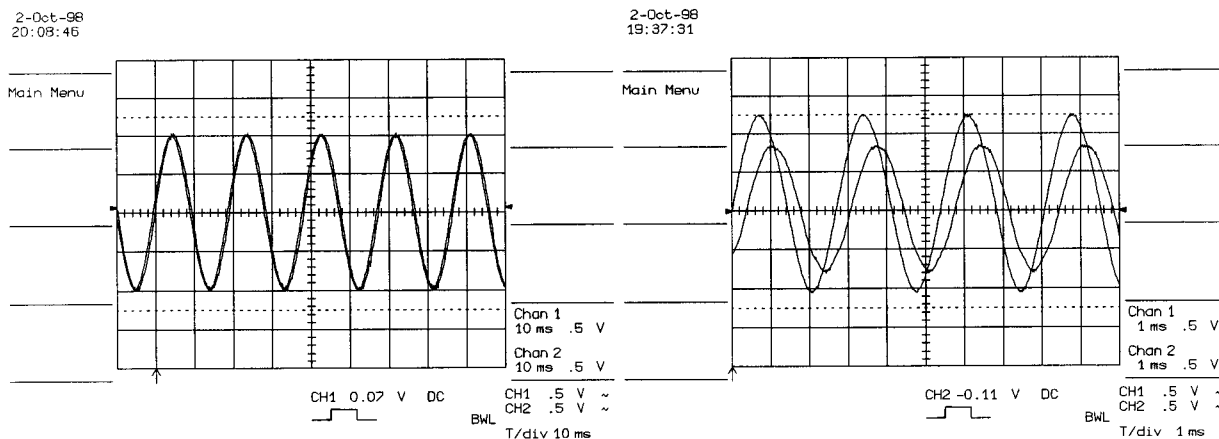


Figura 4.3: Método de medida de la respuesta en frecuencia

mable de la familia 4000XL de Xilinx, utilizando el entorno Foundation Series M1.4. Los filtros están caracterizados por trabajar a una frecuencia de reloj de 36 MHz, y 14 bits de tamaño del contador interno. Por tanto, la frecuencia de corte de cada etapa estará situada en, aproximadamente, 350 Hz.

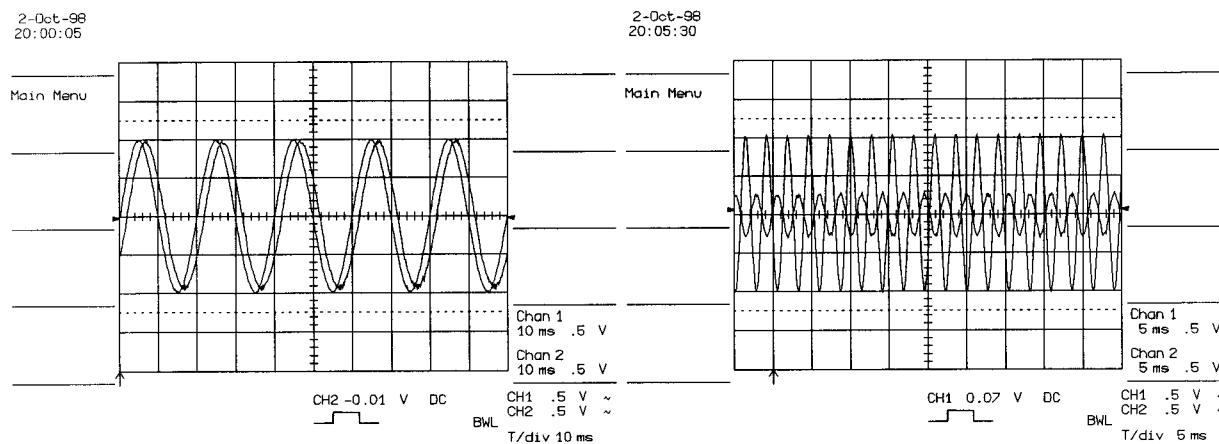
La respuesta en frecuencia se ha obtenido de la siguiente forma: La señal estocástica a la entrada y la salida del sistema estocástico se convierten a una señal analógica mediante un filtro paso-bajo (figura 4.3). El filtro externo tiene una frecuencia de corte en torno a los 2 kHz. En consecuencia, este filtro introducirá una atenuación y un desfase. No obstante, al medir la entrada y la salida con filtros idénticos, eliminamos el efecto del elemento de medida.

La figura 4.4 muestra los resultados capturados directamente de un osciloscopio digital. En ella se muestra la respuesta de un filtro de primer y cuarto orden para una entrada en la banda pasante y en la zona de corte. La respuesta en frecuencia obtenida experimentalmente se ilustra en la figura 4.5, donde puede apreciarse que la respuesta es muy similar al que se obtendría teóricamente serializando varios bloques de primer orden.



(a) Filtro paso bajo de 1^{er} orden para una señal de entrada senoidal de 50 Hz

(b) Filtro paso bajo de 1^{er} orden para una señal de entrada senoidal de 350 Hz



(c) Filtro paso bajo de 4^o orden para una señal de entrada senoidal de 50 Hz

(d) Filtro paso bajo de 4^o orden para una señal de entrada senoidal de 350 Hz

Figura 4.4: Respuesta en frecuencia experimental de filtro estocásticos de primer y cuarto orden.

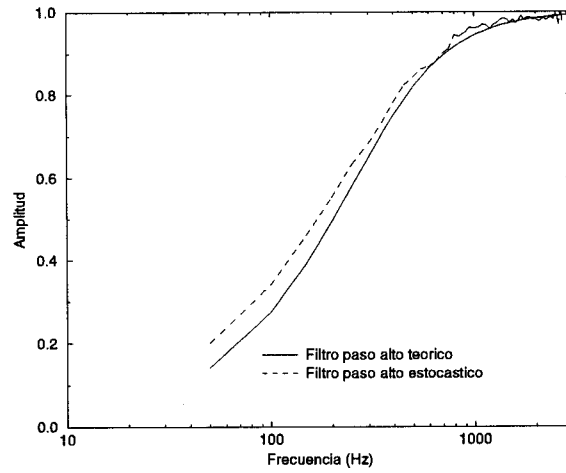
de la suma multiplexada se obtiene la salida O con su signo. El signo que se obtiene directamente a la salida del multiplexor es una señal pulsante a la frecuencia de trabajo, por lo que no sería posible utilizar directamente este tren de pulsos para obtener una señal analógica mediante un filtro externo. Además, la suma con signo multiplexada divide por dos el resultado. La solución a ambos problemas consiste en situar a continuación un filtro paso bajo con una frecuencia de corte muy superior a las frecuencias que deseamos sean pasantes. Así pues, más que de un filtro paso alto cabría hablar de un filtro paso banda. Pero es importante tener en cuenta que únicamente es necesario situar un filtro paso bajo estocástico a continuación para recuperar la información analógica. Si la salida del filtro paso alto va a ser procesada por otro bloque estocástico no hace falta añadirlo, y tendríamos un verdadero filtro paso alto. La figura 4.7(a) muestra la respuesta temporal de un filtro paso alto con una frecuencia de corte de 350 Hz. Para una frecuencia de entrada de 1000 Hz situada en la banda pasante, se compara la salida del filtro estocástico con un sistema de primer orden teórico. La figura 4.7(b) es análoga a la anterior, pero con justo para una señal de entrada justo en el valor de la frecuencia de corte.

El diagrama de BODE completo correspondiente al filtro paso alto estocástico se ilustra en la figura 4.8. La amplitud alcanza el valor 0.707 en torno a los 350 Hz, con un desfase en adelante de aproximadamente 45° .

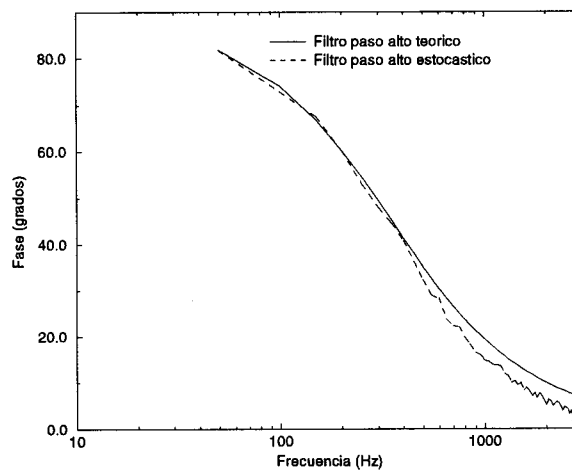
Todos los circuitos se han implementado en la FPGA de la figura 4.21 perteneciente a la familia 4000 de Xilinx, con los siguientes resultados:

Device utilization summary:

IO	11/160	6% used
	11/61	18% bonded
LOGIC	160/400	40% used
SPECIAL	1/1983	0% used
CLKIOB	1/8	12% used
IOB	10/160	6% used
CLB	160/400	40% used
BUFGSL	1/8	12% used



(a) Amplitud



(b) Fase

Figura 4.8: Diagramas de Bode de un filtro paso alto de primer orden con frecuencia de corte en 350 Hz.

4.3 Medidas de potencia

Los medidores de potencia pueden clasificarse según su principio de funcionamiento en las siguientes categorías:

- Medidores de inducción
- Medidores con muestreo digital
- Medidores basados en un multiplicador por división de tiempo

Históricamente, los primeros medidores de consumo eléctrico fueron los medidores de inducción, basados en un disco giratorio de aluminio, acoplado a un eje, con un contador de revoluciones en su extremo. El campo magnético creado por dos devanados induce una fuerza electromotriz en el disco. Por la ley de Lenz, el disco gira con una velocidad controlada por la corriente que circula por el devanado de corriente. Al cesar ésta, el disco se detiene por la acción de un freno magnético permanente.

El avance de la electrónica ha permitido sensible mejoras en los medidores de inducción tradicionales, introduciendo contadores electrónicos de revoluciones, que suministran a su salida pulsos proporcionales al consumo de la carga. Los medidores basados en este principio de funcionamiento van siendo desplazados poco a poco por los medidores de estado sólido, capaces de implementar cálculos y funcionalidades mucho más complejas, que están siendo demandadas por la industria. Disponer de medidas de activa, reactiva o factor de potencia resultan indispensables en un entorno industrial, así como la posibilidad de disponer de medidores programables, capaces de adaptarse a medidas monofásicas, polifásicas o a tarifaciones diferentes. La amplia proliferación de cargas no lineales supone una cuestión de índole económica para la industria, lo que fomenta una especial consideración a la medida y compensación de reactiva. Incluso en un entorno doméstico es de esperar, en un futuro más o menos próximo, la proliferación de medidores electrónicos que permitan una mayor información del usuario o lecturas remotas por parte de la compañía eléctrica suministradora.

Dentro de los medidores de estado sólido se encuentran en primer lugar los medidores basados en un muestreo digital, que transforman la tensión e intensidad (una vez adaptadas a niveles adecuados) en valores digitales, para que sean posteriormente procesados por un microcontrolador o un procesador digital de señal. El otro esquema utilizado por los medidores de estado sólido es el del multiplicador por división de tiempo (time-division multiplier TDM). Se basa en generar una señal proporcional a la potencia media consumida por la carga a la salida del circuito multiplicador. Esta señal es a continuación integrada en el tiempo por un circuito integrador, cuyo valor de salida es proporcional a los watios-hora consumidos. Normalmente el circuito integrador

se implementa mediante un contador digital, de modo que a la salida del multiplicador es necesario utilizar un convertidor tensión frecuencia para generar los pulsos que debe integrar digitalmente el contador.

En ambos esquemas (digital y TDM) el valor integrado de energía se compara con un valor umbral, generando un pulso a la salida y reseteando entonces el valor acumulado en el contador. Este pulso de salida va destinado a un aparato de tarificación de la compañía suministradora. El interfaz entre el medidor y el aparato de tarificación se encuentra definido en normas [75].

La proliferación de cargas no lineales y la creciente presencia de armónicos, fundamentalmente de intensidad, en los sistemas de potencia ha sometido a crítica y revisión mucho de los conceptos tradicionalmente aceptados, pero que no admiten una generalización efectiva cuando se trabaja en condiciones no senoidales. En este sentido cabe destacar los trabajos llevados a cabo por el grupo de trabajo de IEEE para condiciones no senoidales [76]-[78]. En ellos se someten a revisión y crítica muchos conceptos incluidos en el diccionario del IEEE (IEEE Standard Dictionary of Electrical and Electronics Terms IEEE Std. 100-88) y que son comúnmente aceptados por la comunidad científica, fundamentalmente en lo que respecta a la potencia reactiva, aparente y factor de potencia. Existen numerosas referencias que demuestran que estas generalizaciones carecen de significado físico y se vuelven inútiles en condiciones no senoidales. Entre estos trabajos, destacan los llevados a cabo por el Prof. Czarnecki [79]-[81] durante los años 80 y 90. Pese a todo, la mayoría de los equipos existentes en el mercado siguen basándose en la definiciones tradicionales de los conceptos de potencia, debido fundamentalmente a la falta de acuerdo sobre cómo deben ser esas definiciones en condiciones no senoidales. En los siguientes epígrafes se detallaran distintos métodos electrónicos para llevar a cabo las medidas de potencia activa y reactiva, para posteriormente presentar como alternativa un esquema basado en circuitos de procesamiento de trenes de pulsos estocásticos.

La utilización de la lógica estocástica para llevar a cabo todos los cálculos involucrados en las medidas típicas de potencia (energía activa y reactiva, potencia activa y reactiva, valores máximos y factor de potencia) supone, frente a otras alternativas, la posibilidad de usar una electrónica de bajo coste, puramente digital, fácilmente portable a diferentes tipos de dispositivos programables, y que simplifica notoriamente la complejidad de las implementaciones electrónicas actuales.

4.3.1 Procedimientos electrónicos de medidas de potencia activa

La patente europea EN 941 10967.0 [82] describe un contador estático de energía activa. Se basa en generar una señal modulada en anchura y amplitud, de manera que la anchura es proporcional a la tensión y la amplitud a la intensidad. En consecuencia, el área será proporcional a la potencia. La señal

modulada en anchura y amplitud, que representa el producto de la tensión y la intensidad, pasa a continuación por un circuito convertidor intensidad-frecuencia, cuya salida es tren de pulsos de frecuencia proporcional a la potencia. Finalmente, este tren de pulsos es integrado en el tiempo en un contador, que proporciona la energía consumida. La figura 4.9 muestra un diagrama de bloques del circuito propuesto en la patente. Su extensión a circuitos trifásicos consiste en repetir tres veces el mismo esquema. La medida de reactiva habría que hacerla con un segundo medidor al que, externamente, se le suministrase la tensión en cuadratura. En una línea parecida, la patente EN 93400258.5 [83] utiliza un multiplicador mixto analógico-digital. La tensión es convertida a un valor digital que, a través de unos conmutadores, actúa a modo de potenciómetro sobre el valor analógico de intensidad. Al igual que antes, la salida del multiplicador pasa por un convertidor tensión-frecuencia, de modo que los pulsos de salida son digitalmente integrados por un contador. Los medidores totalmente digitales tienen un principio de funcionamien-

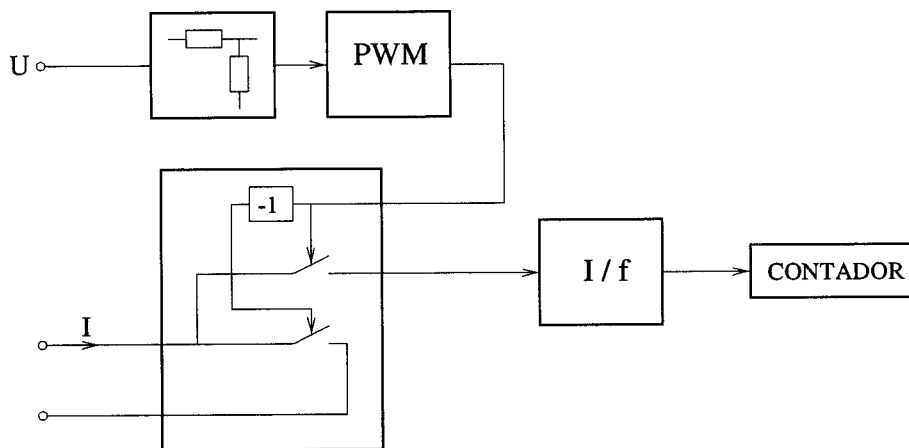


Figura 4.9: Medidor de potencia activa por modulación en anchura y amplitud

to distinto. Partiendo de una conversión digital analógica, todos los cálculos son íntegramente realizados por un microcontrolador o un procesador digital de señal. Realizaciones en este sentido pueden encontrarse en la patente [84] y en la familia de medidores desarrollada por SAMES [85].

4.3.2 Procedimientos electrónicos de medidas de potencia reactiva

La amplia proliferación de cargas electrónicas y la presencia creciente de armónicos en los sistemas de potencia ha planteado algunas cuestiones acerca de la precisión de los medidores de potencia en presencia de una alta distorsión de armónicos, fundamentalmente en lo que respecta a la potencia reactiva. La principal dificultad estriba en que no existe una definición universalmente reconocida de potencia reactiva bajo condiciones no senoidales.

Cuando la tensión y la corriente son magnitudes que varían senoidalmente,

$$v(t) = \sqrt{2}V \sin(\omega t) \quad (4.1)$$

$$i(t) = \sqrt{2}I \sin(\omega t + \Phi) \quad (4.2)$$

el producto de ambas es la potencia instantánea $p(t)$:

$$\begin{aligned} p(t) &= v(t) \cdot i(t) = VI \cos(\Phi) - VI \cos(\Phi) \cos(2\omega t) + VI \sin(\Phi) \sin(2\omega t) = \\ &= P(1 - \cos(2\omega t)) + Q \sin(2\omega t) \end{aligned} \quad (4.3)$$

La potencia activa es el valor medio de la potencia instantánea $P = VI \cos(\Phi)$ y la reactiva se define como $Q = VI \sin(\Phi)$. La potencia aparente es la suma geométrica de la potencia activa y reactiva $S = \sqrt{P^2 + Q^2}$ y el factor de potencia tiene el significado de una eficiencia en el consumo $PF = P/S = \cos(\Phi)$. En condiciones senoidales, la potencia reactiva posee las siguientes propiedades:

- La potencia reactiva se expresa como $Q = VI \sin(\Phi)$.
- Es una magnitud con signo.
- La potencia reactiva que fluye a un nodo es igual a la que sale de él, de modo que la suma neta es cero.
- La potencia reactiva es la componente bidireccional de la potencia instantánea $p(t)$ en tanto que la activa es la componente unidireccional.
- La potencia reactiva es proporcional a la diferencia entre el valor medio de la energía electrostática y el valor medio de la energía electromagnética almacenado en un ciclo.
- La potencia reactiva es susceptible de ser compensada utilizando elementos reactivos lineales, como capacidades o inducciones.
- La compensación de la potencia reactiva supone un factor de potencia unidad.
- La suma geométrica de la potencia activa y reactiva es la potencia aparente.
- Las caídas de tensión en líneas de transmisión, predominantemente inductivas, dependen únicamente de la potencia reactiva.

Estas propiedades no se mantienen al generalizar el concepto de reactiva a condiciones no senoidales. La creciente importancia que han adquirido las cargas no lineales en los sistemas eléctricos de potencia actuales ha renovado el interés por llegar a una definición de potencia reactiva para condiciones no senoidales universalmente reconocida. Dos son los modelos fundamentales que existen actualmente:

- El primero de ellos realiza una aproximación en el dominio de la frecuencia. Este modelo arranca de los trabajos de Budeanu [86], continuados por Sheperd y Zakikhani [87] y Sharon [88].
- El segundo realiza una aproximación en el dominio del tiempo, basado en los trabajos de Fryze [89], Kursters y Moore [90] y Page [91].

La aproximación en el dominio de la frecuencia considera un desarrollo en serie de Fourier de las formas de onda de la tensión y la intensidad, definiendo la potencia reactiva como una suma de productos correspondientes a los armónicos de tensión e intensidad. En este sentido, la definición establecida por Budeanu [82], muy extendida entre los ingenieros de desarrollo, define la potencia reactiva en condiciones no senoidales como:

$$Q_B = \sum_h V_h I_h \sin(\phi_h) \quad (4.4)$$

Siguiendo en esta línea, Sheperd y Zakikhani [87] proponen una descomposición de la intensidad en dos componentes ortogonales, definiendo la reactiva en base a una de ellas. Esta definición permite maximizar el factor de potencia con una capacidad "shunt".

En oposición a este primer modelo, Fryze [89] introdujo en sus trabajos una descomposición de la intensidad en dos componentes ortogonales, pero en el dominio del tiempo.

$$Q_F = VI_r = \sqrt{(VI)^2 - (VI_a)^2} = \sqrt{S^2 - P^2}$$

$$i_a = \frac{P}{V^2} v, \quad i_b = i - i_a \quad (4.5)$$

donde V e I_a son los valores RMS de la tensión y la componente de la intensidad en fase con ella, respectivamente. De acuerdo con esta definición, la potencia reactiva tiene un significado relacionado con la eficiencia de utilización de un sistema de potencia, pero no explica las razones por las cuales la potencia reactiva tiene un valor mayor que cero ni proporciona información alguna acerca de la carga. En particular, Q_F no proporciona ninguna información relevante para compensar el factor de potencia en términos de elementos pasivos.

Recientemente, los trabajos de Czarnecki [92]-[94] han buscado relacionar ambos modelos partiendo de la aproximación en el dominio de la frecuencia y con el objetivo de optimizar el factor de potencia mediante componentes pasivos.

Los medidores utilizados comercialmente emplean habitualmente el mismo principio de funcionamiento de los medidores de activa, pero incluyendo un circuito desfasador que ponga la tensión en cuadratura, siguiendo de este modo el modelo que define la reactiva en el dominio de la frecuencia. Sólo un reducido número de ellos calcula la reactiva a partir de los valores de activa y de potencia aparente, según la aproximación en el dominio del tiempo [78].

Los antiguos medidores de inducción empleaban una red desfasadora externa, de modo que era necesario utilizar un segundo medidor para la reactiva. Es decir, la medida de reactiva se hacía de forma similar a la activa, pero suministrando la tensión desfasada 90° . Los medidores electrónicos actuales son autocontenidos, incluyendo en el propio medidor el circuito desfasador. En [95] se ilustra la precisión de diferentes medidores de reactiva que usan principios diferentes para llevar a cabo la red desfasadora:

- Los medidores basados en un muestreo digital desfasan 90° la tensión a base de tomar muestras retrasadas un cuarto de período [96]. La lectura del medidor viene dada por la expresión:

$$Q_{DIG} = \frac{1}{T} \int_0^T v(t) i \left(t - \frac{T}{4} \right) dt = Q_1 - P_2 - Q_3 + P_4 \quad (4.6)$$

donde los subíndices indican los sucesivos armónicos de activa y reactiva. Como puede deducirse de la ecuación (4.6), la lectura de reactiva es la del primer armónico más una serie de términos relacionados con la activa y reactiva de los armónicos de orden superior.

- Los medidores basados en un multiplicador por división de tiempo emplean un integrador para obtener la tensión en cuadratura.

$$Q = \frac{1}{T} \int_0^t \left(\omega \int v(t) dt - A \right) i(t) dt = Q_1 + Q_2/2 + Q_3/3 + \dots \quad (4.7)$$

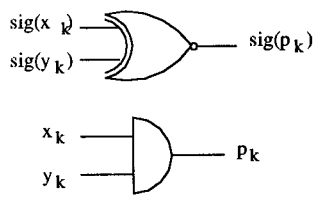
Al existir una dependencia con ω , sólo evaluamos la h -ésima parte del armónico h . En consecuencia, tan sólo se tienen parcialmente en cuenta la aportación de los armónicos de orden superior.

4.3.3 Circuitos estocásticos básicos

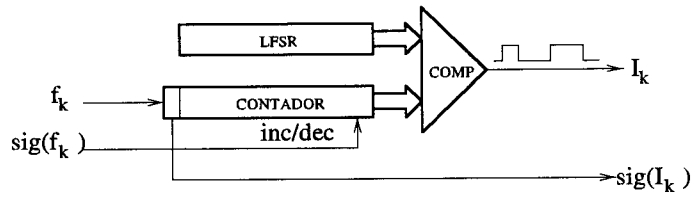
La figura 4.10 recuerda los bloques constructivos básicos que se van a emplear para el diseño de los circuitos estocásticos que realizan las medidas de potencia, y que ya fueron tratados en el capítulo II. En todos ellos se va a considerar una aritmética con signo. Es decir, la tensión e intensidad se codificarán mediante un tren de pulsos aleatorios más un bit de signo.

4.3.4 Integración de los circuitos estocásticos

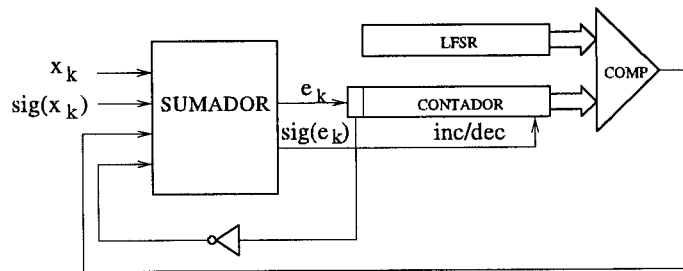
A continuación se detallan uno a uno todos los circuitos basados en lógica estocástica que realizan las medidas de los parámetros de potencia, esto es, valores de pico, valores RMS, potencia y energía activa, potencia aparente, potencia y energía reactiva y factor de potencia.



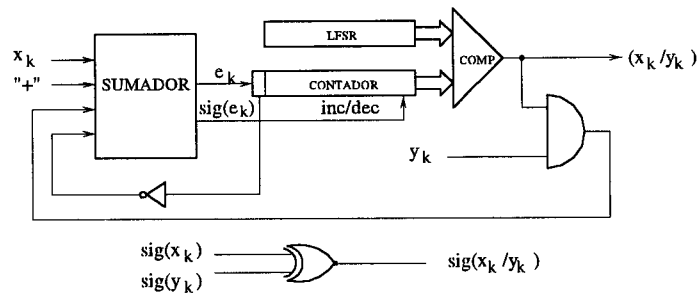
(a) Multiplicador



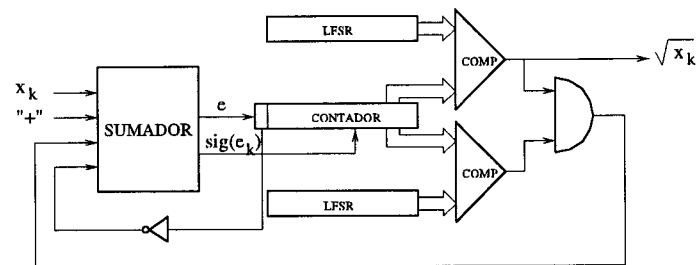
(b) Integrador



(c) Circuito seguidor



(d) Circuito divisor



(e) Circuito de cálculo de raíces cuadradas

Figura 4.10: Circuitos estocásticos básicos.

En particular, para las medidas de reactiva, se proponen dos esquemas diferentes que se van a comportar de manera distinta en condiciones no senoidales: uno de ellos se basa en la definición de reactiva en el dominio de la frecuencia y el otro en la definición en el dominio del tiempo.

Medida del valor máximo

EL circuito estocástico de cálculo de valor de pico ya fue analizado en el capítulo II, como aplicación de un sistema de primer orden (figura 2.6). Básicamente, se trata de un circuito seguidor de la señal de entrada, que actúan sobre un contador de forma distinta al incrementar que al decrementar, como si se tratase de un circuito típico detector de envolvente. La figura 4.11 es la respuesta del circuito ante una senoide de entrada. El valor de q determina la caída que se produce entre pico y pico. La figura 4.12 es la respuesta del seguidor para un barrido en amplitud. Los valores de entrada y salida se encuentran normalizados.

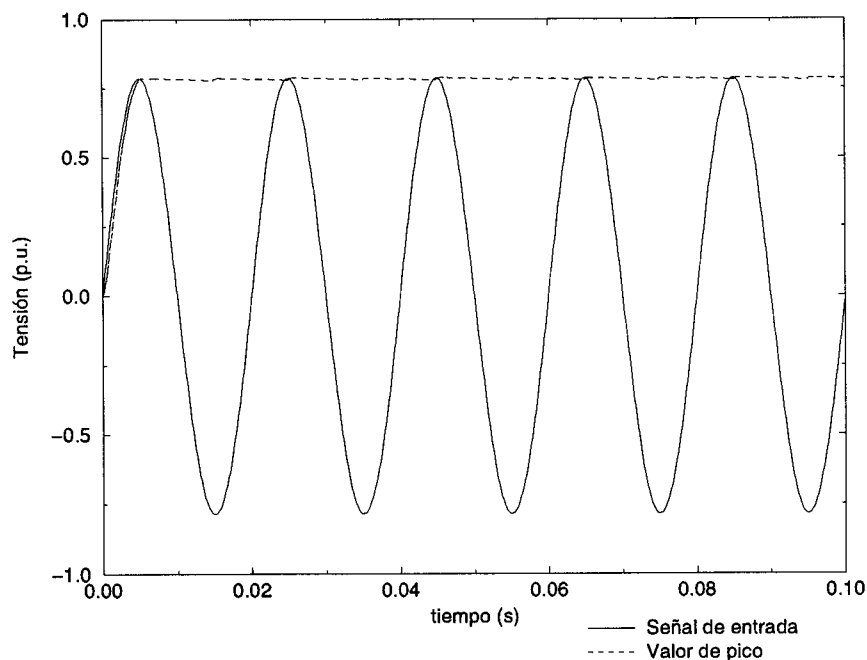


Figura 4.11: Respuesta del circuito ante una senoide de entrada

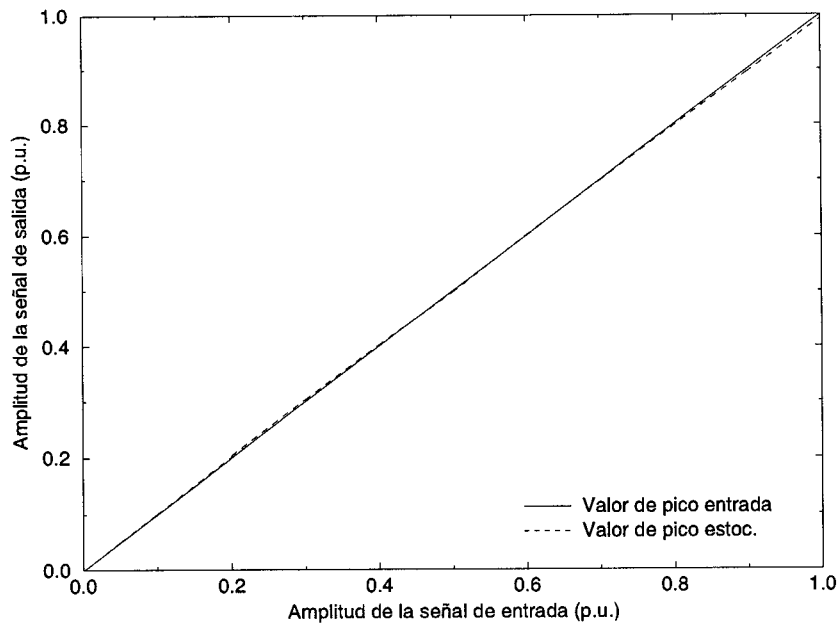


Figura 4.12: Respuesta en amplitud

Valor RMS

Los valores RMS de tensión e intensidad se definen según la ecuación 4.9, válidas también en régimen no senoidal.

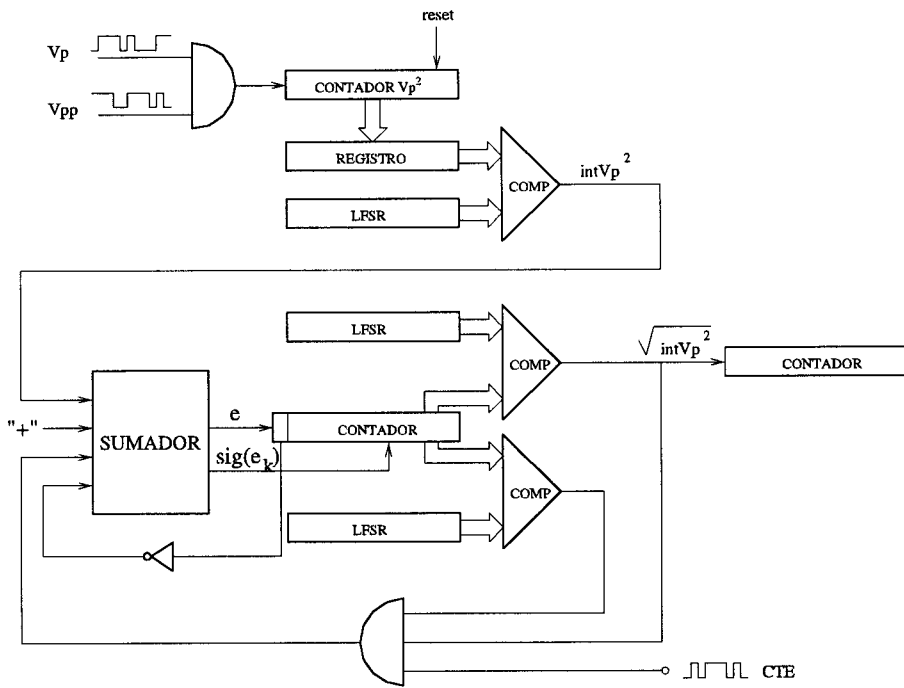
$$V_{RMS} = \sqrt{\frac{1}{T} \int_{t_0}^{t_0+T} v^2(t) dt} = \sqrt{\frac{1}{N} \sum_{j=0}^N v^2(j)}$$

$$I_{RMS} = \sqrt{\frac{1}{T} \int_{t_0}^{t_0+T} i^2(t) dt} = \sqrt{\frac{1}{N} \sum_{j=0}^N i^2(j)} \quad (4.8)$$

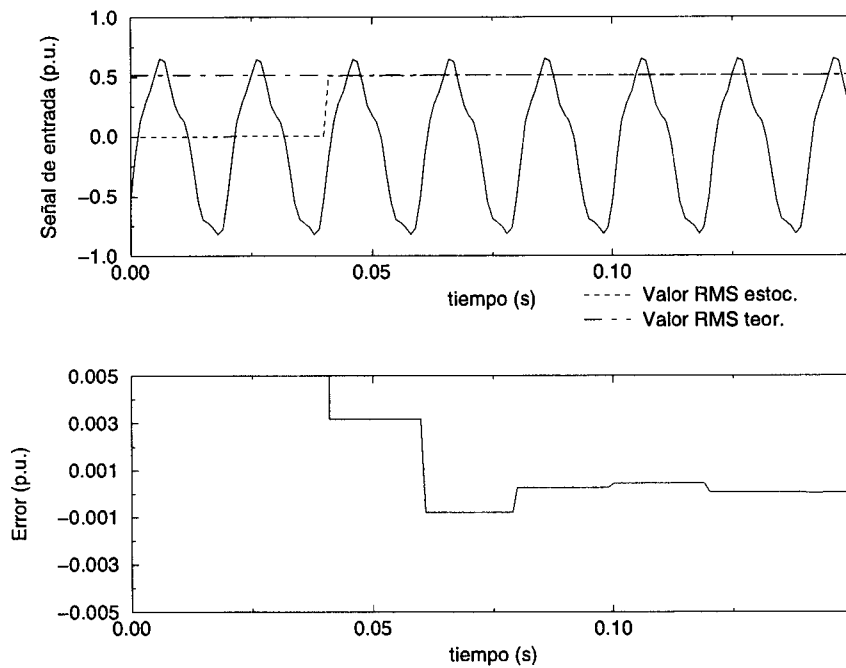
$$(4.9)$$

La implementación de estas ecuaciones utilizando lógica estocástica requiere efectuar el producto de los trenes de pulsos representativos de la intensidad más una operación de raíz cuadrada.

La figura 4.13(a) es un esquema de dicho circuito. En primer lugar se efectúa el producto de dos trenes de pulsos representativos de la tensión o intensidad. Estos trenes de pulsos deben estar incorrelados para que se verifique que la probabilidad del producto de dos trenes de pulsos estocásticos sea igual al producto de probabilidades.



(a) Circuito de cálculo de valores RMS



(b) Ejemplo de cálculo del valor RMS de una señal con armónicos

Figura 4.13: Medida del valor RMS

En la práctica, tomando una secuencia del LFSR decalada en varias posiciones, podemos generar una secuencia suficientemente incorrelada, sin necesidad de usar otro registro de desplazamiento realimentado. El contador de salida almacena en un ciclo el cuadrado del valor RMS de la tensión o la intensidad. El tamaño del contador dependerá de la relación entre el reloj del sistema digital y la frecuencia de la señal a procesar. Si f_{clk} es la frecuencia del reloj y f_i la de la señal de entrada, el tamaño del contador viene dado por la expresión (4.10).

$$n = \text{ceil}\left(\frac{\log(f_{clk}/f_i)}{\log 2}\right) \quad (4.10)$$

De este contador, tomamos los 10 bits más significativos para efectuar el cálculo de la raíz cuadrada. Dado que, en general, el cociente f_{clk}/f_i no es potencia exacta de dos, el valor del tren de pulsos $\text{int}V_p^2$ de la figura 4.13 es minorado por una constante de valor:

$$CTE = \frac{(f_{clk}/f_i)}{2^n} \quad (4.11)$$

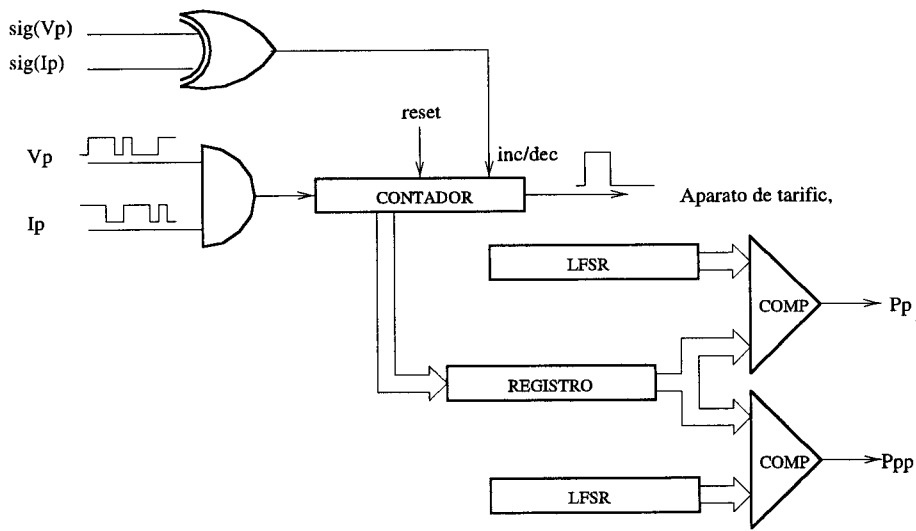
En consecuencia, el valor de este tren de pulsos debe ser multiplicado por una constante mayor que la unidad $1/CTE$, o bien, dividido por la constante $CTE < 1$. Estocásticamente, se multiplica por una constante mayor que la unidad introduciéndola en el bucle de realimentación, tal y como se ha efectuado en la figura 4.13(a). La introducción de constantes nos proporcionan la versatilidad necesaria para trabajar con señales y frecuencias de reloj sin restricciones. Finalmente, el tren de pulsos representativo del valor RMS se acumula en un contador de tamaño n . Para una frecuencia de reloj de 12 MHz y un período de la señal fundamental de 20 ms (50 Hz) se requieren contadores de 18 bits para acumular la información distribuida en el tiempo, con una constante de 0.9155. La figura 4.13(b) muestra el cálculo del valor RMS de una señal con un fuerte contenido en armónicos, con un error por debajo de las dos milésimas.

Potencia y energía activa

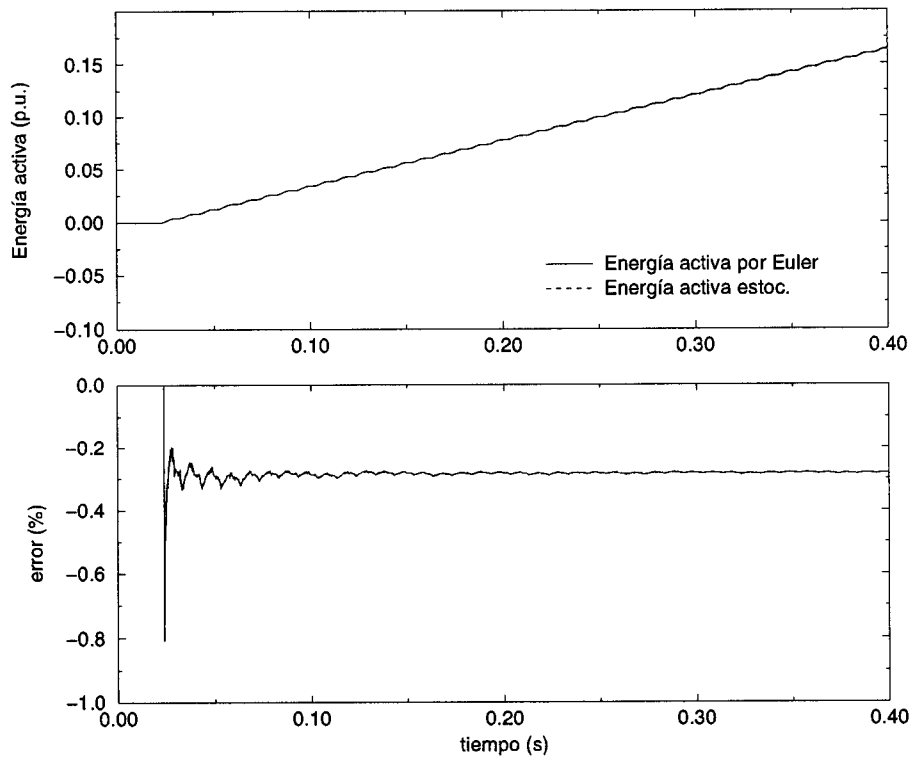
La energía activa se define como la integral en el tiempo del producto de los valores instantáneos de tensión $v(t)$ e intensidad $i(t)$. La potencia media por ciclo se obtiene promediando la integral anterior durante un período T .

$$P = \frac{1}{T} \int_{t_0}^{t_0+T} v(t)i(t)dt = \frac{1}{N} \sum_{j=0}^N v(j)i(j) \quad (4.12)$$

El circuito de la figura 4.14(a) realiza esta operación estocásticamente sin más que multiplicar mediante una puerta AND los trenes de pulsos correspondientes a la tensión e intensidad, y posteriormente acumular en un contador que incrementa o decrementa de acuerdo con los signos de ambos trenes de pulsos [97].



(a) Circuito de cálculo de la potencia y energía activa



(b) Medida de energía activa

Figura 4.14: Medida de la potencia y energía activa

Trabajando con un reloj de 12 MHz, la dimensión del contador debe ser de 18 bits para medir la potencia media por ciclo. El error queda por debajo de las dos milésimas. A partir del valor acumulado, generamos dos trenes de pulsos representativos de la potencia activa (P_p y P_{pp}), para usarlos en el cálculo del factor de potencia y de la potencia reactiva. Al igual que ocurría anteriormente en el cálculo del valor RMS, ambos trenes de pulsos vienen afectados por una constante, pues, en general, el cociente f_{clk}/f_i no es una potencia exacta de dos. Esta constante, para los valores de diseño del circuito, es de 0.9155, y se tendrá en cuenta en los circuitos que usen ambos trenes de pulsos. Por lo que respecta al cálculo de la energía activa, la norma establece el interfaz de comunicación con aparatos de tarificación, consistente en un pulso proporcional a los *watios·segundo* consumidos. La figura 4.14(b) muestra el cómputo de la energía activa en el tiempo, y el error por debajo de las dos milésimas.

Potencia aparente

La potencia aparente se calcula a partir de los trenes de pulsos estocásticos que codifican los valores RMS de tensión e intensidad. El producto se efectúa mediante una puerta AND, y el resultado se integra mediante un contador de tamaño n (Fig. 4.15). A partir de este contador generamos dos trenes de

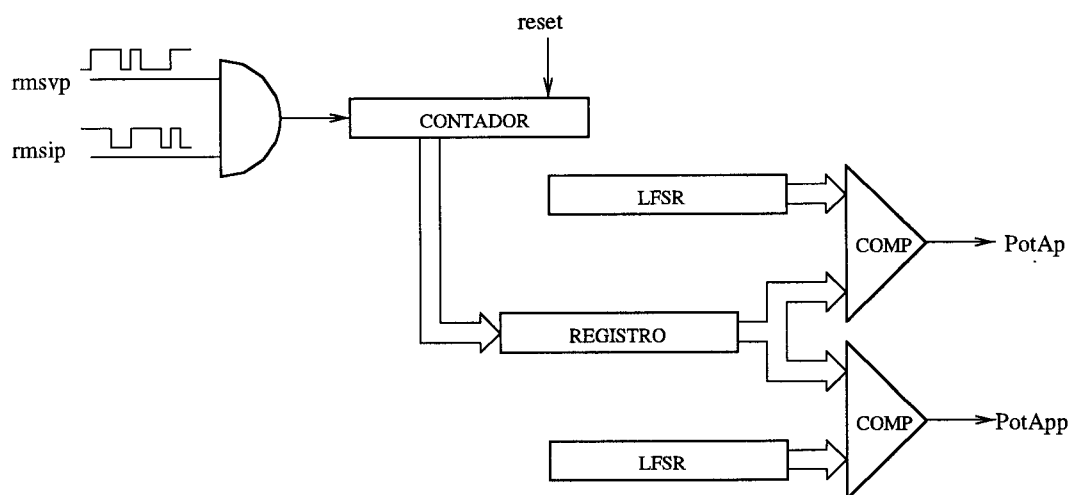
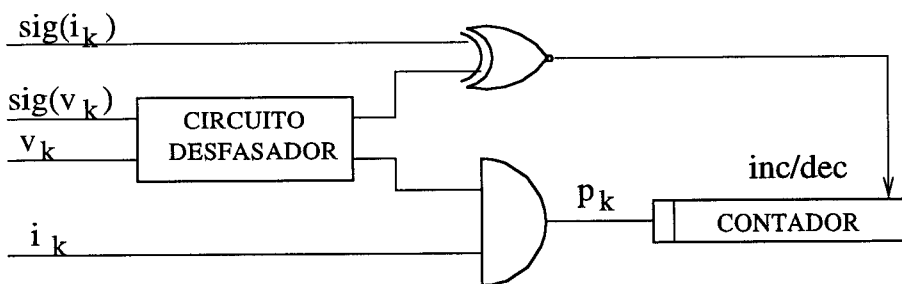
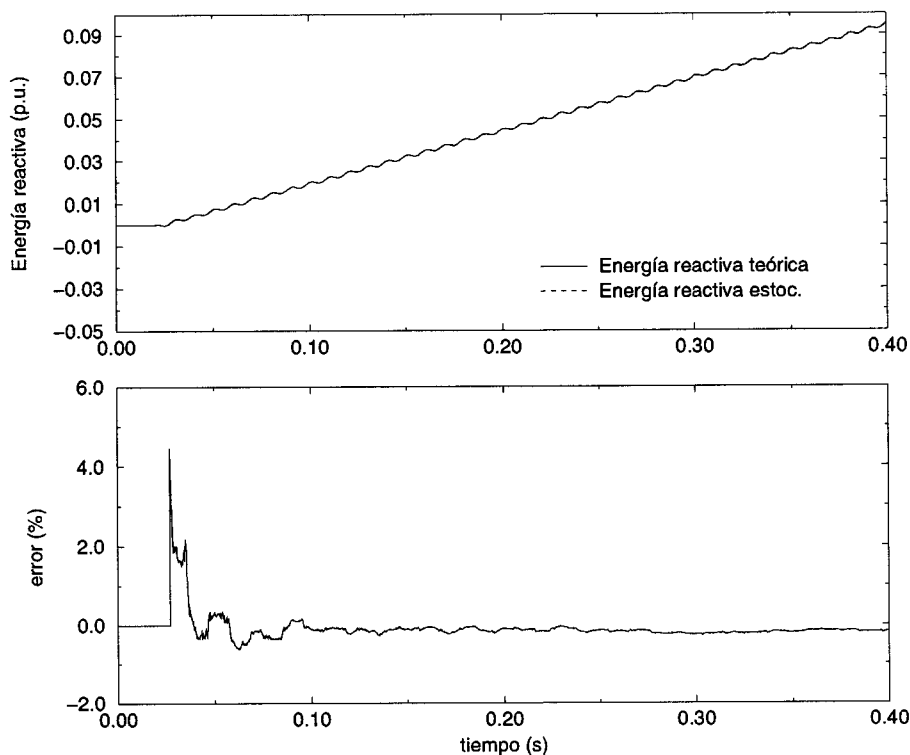


Figura 4.15: Potencia aparente

pulsos $PotAp$ y $PotApp$, para el cálculo del factor de potencia y la energía reactiva. La figura 4.16 muestra el cálculo de la potencia aparente de una señal en tensión senoidal, y una señal en intensidad con un alto contenido en armónicos. El error se encuentra por debajo de las 4 milésimas, lo cual resulta lógico si se tiene en cuenta que el cálculo se efectúa a partir de los valores RMS, calculados con precisión de dos milésimas.



(a) Circuito estocástico de medida



(b) Resultados del circuito de medida de reactiva

Figura 4.17: Medida de la potencia y energía reactiva en el dominio de la frecuencia

Para la medida de reactiva, igual que ocurría con la activa, se suministra al aparato de tarificación un pulsos en intensidad proporcional a los *Var · segundo* consumidos. El error, en la figura 4.17(b) se encuentra por debajo de las dos milésimas.

Potencia y energía reactiva (II)

Como alternativa al esquema anterior, proponemos a continuación un circuito que calcula la potencia reactiva siguiendo la aproximación en el dominio del tiempo [99]. Siguiendo la Fig. 4.18, elevamos al cuadrado los valores de la potencia aparente y potencia activa, usando los trenes de pulsos Pp y Ppp para la activa y PotAp y PotApp para la reactiva. Ambos trenes se restan y al resultado le calculamos la raíz cuadrada, acumulando el valor final en un contador de tamaño n.

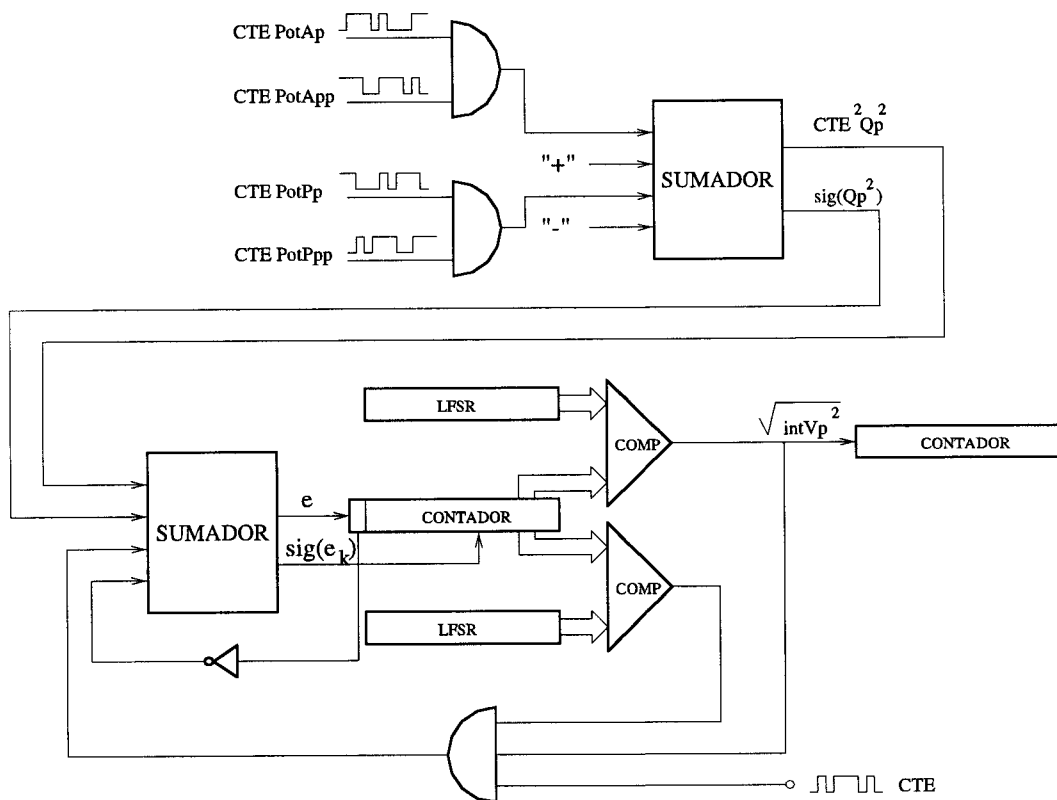


Figura 4.18: Cálculo de la reactiva mediante la aproximación en el dominio del tiempo.

Todos los trenes de pulsos de entrada han sido generados por bloques descritos anteriormente, vienen afectados por una constante, cuyo valor viene dado por la expresión (4.11). En consecuencia, el valor de reactiva que estamos calculando es:

$$Q_F = \sqrt{(0.9155 \cdot S)^2 - (0.9155 \cdot P)^2} = 0.9155 \sqrt{(S^2 - P^2)} \quad (4.13)$$

La figura 4.1 es la realización final que incluye los convertidores descritos en el capítulo anterior. La circuitería analógica incluye el integrador puro y potenciómetros de ajuste, realizándose todo el procesamiento dentro del dispositivo programable.

La frecuencia de reloj es de 12 MHz, lo que significa que los contadores donde acumulamos los valores por ciclo son de 18 bits. El circuito desfasador para el cálculo de la reactiva en el dominio de la frecuencia es de 17 bits.

Los valores máximos de tensión e intensidad se han elegido $V_{max} = 375V$ y $I_{max} = 5A$, respectivamente. Esto significa que la energía asociada a un pulso es de $0.156mW \cdot s$ ó $0.156mVar \cdot s$ según se trate de activa o reactiva.

4.4 Aplicación del cálculo estocástico a la realización digital de sistemas analógicos complejos

4.4.1 Introducción

La extensión de la aritmética estocástica a operaciones más complejas, como integraciones, divisiones o raíces cuadradas, ya planteadas en la aplicación anterior, nos lleva a la posibilidad de realizar controladores complejos en el ámbito de la electrónica de potencia.

Dos son los motivos que justifican el desarrollo posterior. En primer lugar, muchos de estos controladores se implementan en procesadores digitales de señales, con un coste elevado, no sólo por el propio DSP sino por toda la electrónica adicional que requiere. Por otro lado, la electrónica de potencia trabaja usualmente con dinámicas apropiadas para el ancho de banda que el cálculo estocástico permite procesar.

Con respecto a la aplicación de medidas de potencia, el diseño de controladores complejos introduce la novedad de trabajar con valores que se mueven en escalas diferentes. Todos ellos deben ser escalados entre 0 y 1 para ser representados como una probabilidad. Multiplicando y dividiendo por los valores máximos, representamos todas las magnitudes en por unidad y, en consecuencia, en el rango $[0,1]$. Las constantes resultantes, en general fuera del rango $[0,1]$, pueden introducirse fácilmente trasladándolas a lugares adecuados, por manipulación de las ecuaciones matemáticas.

4.4.2 Control de un convertidor resonante serie

El ejemplo de aplicación que se va a introducir en este capítulo consiste en el control de un convertidor resonante serie mediante una señal bipolar constante, siendo la frecuencia de conmutación el único parámetro de control accesible. Desde el punto de vista del control, constituye una clase interesante

de sistema no lineal discontinuo, para el que la mayoría de la teoría de control no lineal no es aplicable.

Sobre este sistema implementaremos, en primer lugar, un control clásico integral, muy sencillo, para introducir de forma práctica los conceptos anteriormente planteados. A continuación pasaremos a un control mucho más complicado, un control por pasividad, que ha demostrado ser una técnica útil de control para esta clase de sistemas.

La figura 4.22 muestra el convertidor resonante serie (SRC) que se va a controlar. Las ecuaciones que rigen su comportamiento son las detalladas en el

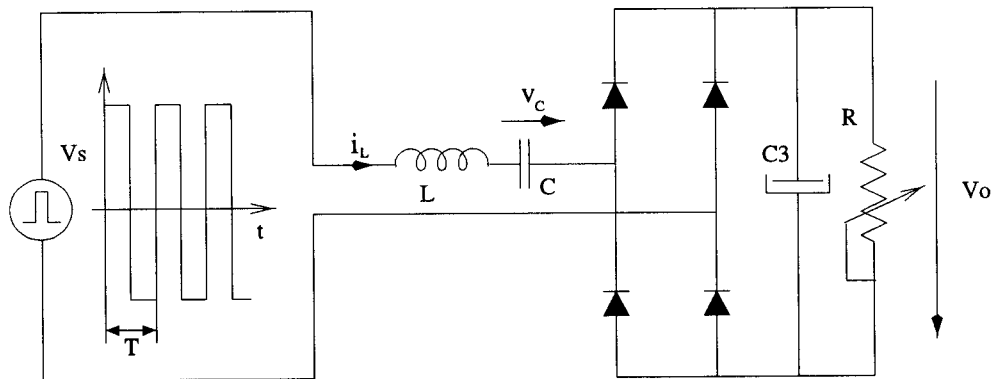


Figura 4.22: Convertidor resonante serie

conjunto de ecuaciones (4.15) y (4.16).

$$L \frac{di_L}{dt} = -v_C - v_o \text{sign}(i_L) + v_i(t)$$

$$C \frac{dv_C}{dt} = i_L \tag{4.15}$$

$$C_0 \frac{dv_0}{dt} = \text{abs}(i_L) - \frac{v_0}{R} - I_0 \tag{4.16}$$

donde i_L es la corriente de entrada por la bobina, v_C es la tensión de la capacidad serie y v_o es la tensión de salida de la carga. L y C son los valores de la bobina y el condensador que constituyen el tanque resonante, C_0 es la capacidad del filtro de salida y R la carga. Para una carga puramente resistiva, la intensidad I_0 de la ecuación (4.16) vale cero. $v_i(t)$ es la señal de entrada, que implementaremos como $v_i(t) = V_s \text{sig}(\text{sen}(ut))$, donde V_s es una constante que representa la amplitud de la señal bipolar de control y u es la frecuencia de conmutación, expresada en rad/s.

En el análisis de problemas de convertidores resonante serie suelen hacerse las siguientes suposiciones [101]:

- Las señales $i_L(t)$ y $v_C(t)$ se consideran señales senoidales puras cuyas amplitudes y fases varían lentamente comparadas con la frecuencia de

conmutación.

$$\begin{aligned} i_L(t) &= I_L(t)\sin(\omega_s t - \phi) \\ v_C(t) &= V_c(t)\sin(\omega_s t - \mu) \end{aligned} \quad (4.17)$$

- La constante de tiempo del filtro de salida es mucho mayor que la del tanque resonante, de modo que el rizado en $v_o(t)$ es despreciable y puede aproximarse por su valor DC.
- En condiciones normales, se debe cumplir que $u > u_0 = 1/\sqrt{LC}$

Siguiendo estas simplificaciones [102], el modelo se simplifica a una no linealidad estática más un filtro de salida, quedando el conjunto de ecuaciones (4.18) y (4.19).

$$I_L = \frac{2Cu}{\pi(LCu^2 - 1)}\sqrt{V_s^2 - V_0^2} \quad (4.18)$$

$$C_0 \frac{dV_0}{dt} = \frac{4}{\pi}I_L - \frac{V_0}{R} \quad (4.19)$$

4.4.3 Formulación del problema

El objetivo del problema de control consiste en regular la salida de la fuente $v_o(t)$ a un valor deseado V_0^* con las siguientes restricciones:

1. Las variables del tanque resonante, tensión e intensidad, no están disponibles para ser medidas.
2. $v_o(t)$ es la única señal medida de la fuente.
3. La carga es desconocida, pero varía lentamente.

4.4.4 Implementación estocástica de un control integral

El control integral clásico proporciona una actuación proporcional a la integral del error entre la referencia y la salida del sistema. En la ecuación (4.20) se define el control integral sobre el que realizaremos una implementación basada en el cálculo estocástico [103].

$$\begin{aligned} tint &= \frac{1}{K_I} \int_0^{t_0} (V_r - V_o) dt \\ u &= \frac{1}{t_{int}}, \quad u_0 \leq u \leq u_{max} \end{aligned} \quad (4.20)$$

donde V_r es la tensión de referencia, V_o la tensión de salida de la fuente y u es la frecuencia de conmutación de la señal bipolar que alimenta la fuente, expresada en rad/s, y obtenida a partir del valor acumulado en $tint$.

Realmente, el control integral se efectúa sobre el período de la señal bipolar, que se suministra a la fuente como una señal PWM. El valor final de u está limitado entre u_{max} y la frecuencia de resonancia u_0 del tanque resonante serie.

Desde el punto de vista del cálculo estocástico, generamos una salida PWM a partir de la integral de la diferencia de dos trenes de pulsos estocásticos, uno correspondiente a la referencia V_r y otro a la salida V_o de la fuente. La figura 4.23 muestra ambos trenes de pulsos actuando sobre las señales de incremento y decremento del contador *tint*. Posteriormente, comparando con un *timer*, generamos la señal bipolar V_s , que es la salida PWM que actúa sobre la fuente. El bloque de control genera las señales de *enable* para todos los demás elementos del sistema. La constante de integración se ajusta según

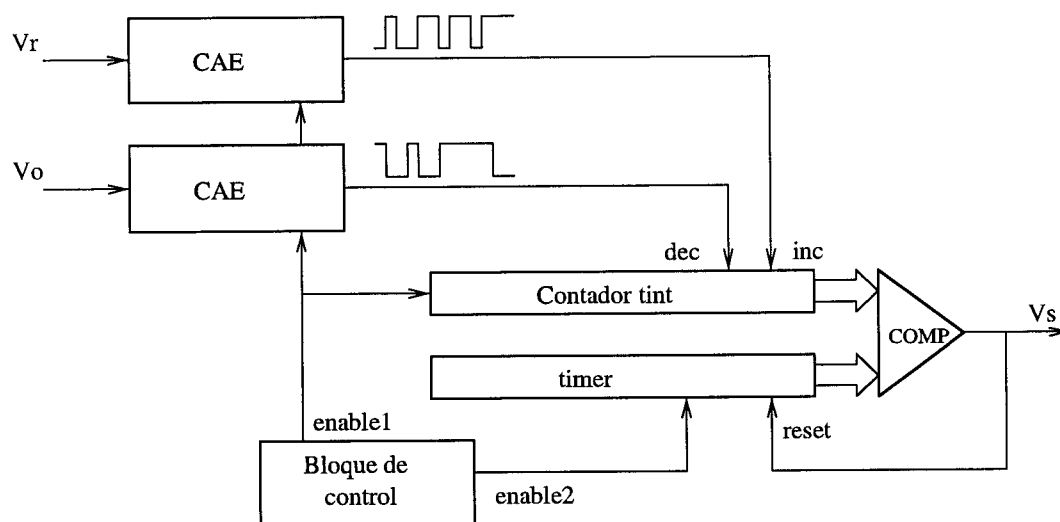


Figura 4.23: Esquema de la realización estocástica de un control integral

los siguientes parámetros sobre los que podemos actuar:

- La señal de reloj, de frecuencia F_{clk}
- El tamaño de los LFSRs, de valor n
- Las señales de *enable* del bloque de control

En efecto, siguiendo el esquema de la figura 4.23, las ecuaciones que rigen el control integral estocástico son las indicadas en (4.21).

$$\begin{aligned}
 tint &= \frac{1}{enable1 \times T_{clk}} \sum_i \frac{V_r - V_o(i)}{V_{max}} \\
 u &= \frac{2 \pi F_{clk}}{enable2 \cdot tint}
 \end{aligned}
 \tag{4.21}$$

Variable	valor
V_{max}	80
u_{max}	20000
K_I	5820
L	0.9059e-3
C	130e-6
F_{clk}	18e6
enable2	6
n	10

Tabla 4.1: Valores de la fuente y el control

donde $T_{clk} = 1/F_{clk}$, V_{max} es el valor máximo de la tensión de la fuente y *enable1* y *enable2* indican cada cuántos ciclos de reloj se procesan los pulsos estocásticos y cada cuántos ciclos se incrementa el contador de *timer*, respectivamente. El tamaño del contador *tint* de la figura 4.23 viene dado por las restricciones del problema. De acuerdo con la formulación del problema de control [104], la actuación u debe ser menor que u_{max} y mayor que la u_o de resonancia del tanque serie. Esto nos lleva a que el tamaño de *tint* está limitado por las inecuaciones siguientes:

$$\begin{aligned} \frac{F_{clk}}{enable2 \cdot tint} &\leq \frac{u_{max}}{2 \cdot \pi} \\ \frac{F_{clk}}{enable2 \cdot tint} &\geq f_0 = \frac{1}{2 \cdot \pi \sqrt{LC}} \end{aligned} \quad (4.22)$$

Donde el término de la izquierda es la frecuencia de conmutación de la señal PWM de salida, que depende del valor del contador, la frecuencia de reloj y el valor de *enable2* que activa el contador *timer* de la figura 4.23. Para los valores de la tabla 4.2, se obtiene que el tamaño de *tint* está limitado por los valores de (4.23).

$$942 \leq tint \leq 6447 \quad (4.23)$$

Tomaremos como tamaño del contador *tint* un valor potencia de 2, como por ejemplo $2^n = 4096$. Si comparamos el control analógico de (4.20) con el estocástico de (4.21), se observa que tan sólo queda por definir el valor de *enable1*.

$$\frac{1}{K_I} = \frac{enable2}{enable1 V_{max} 2\pi} \quad (4.24)$$

Utilizando los datos de la tabla 4.2, podemos despejar *enable1*. De esta manera, conseguimos la misma constante de integración que el control integral analógico, pero utilizando exclusivamente bloques digitales y computación estocástica. La figura 4.24 es la particularización del esquema de la figura 4.23

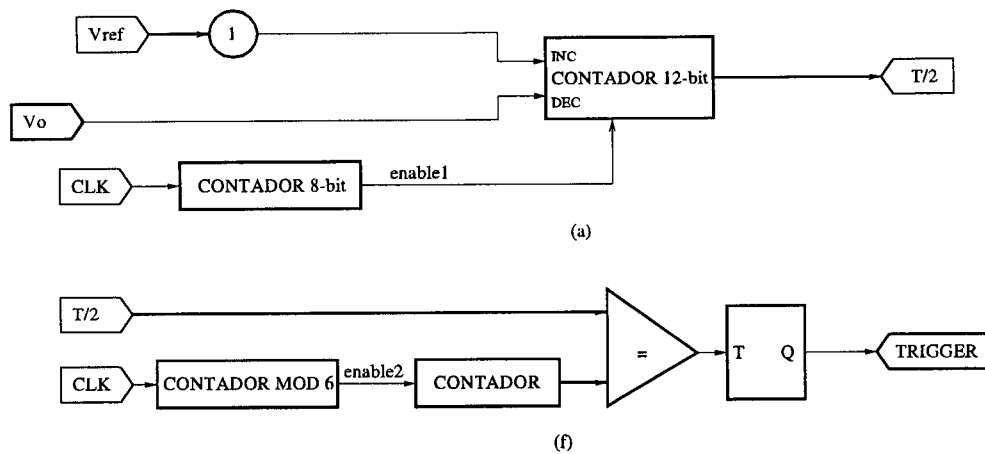


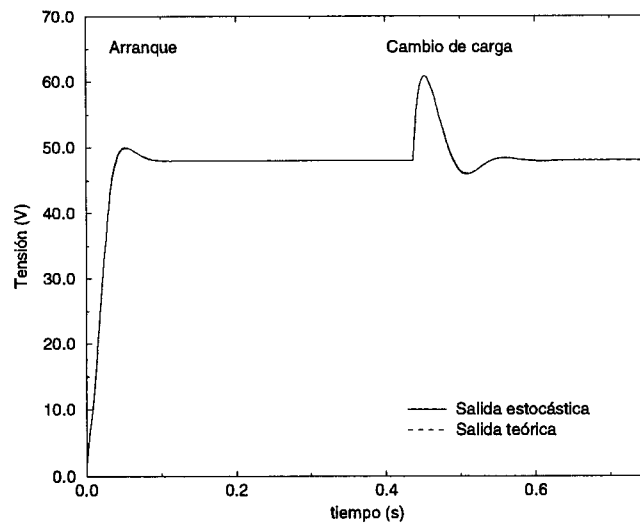
Figura 4.24: Realización digital de un control integral utilizando lógica estocástica

para los datos considerados. Como notación gráfica, se ha representado mediante un número encerrado en un círculo la conversión de una señal de entrada a un tren de pulsos estocástico, lo que incluye un LFSR y un comparador. La ecuación lógica del circuito de realimentación utilizado para el LFSR de 10 bits se indica en la ecuación (4.26).

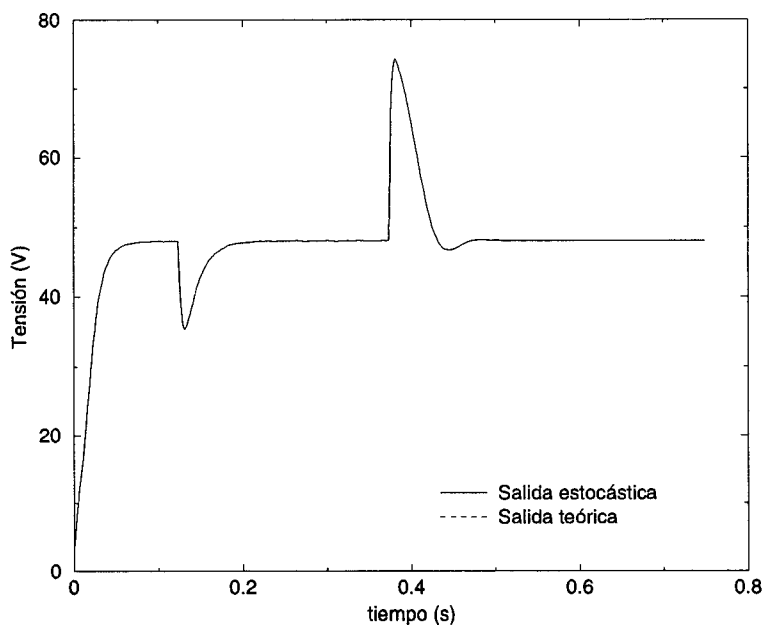
$$Q_{10} = Q_1 \wedge Q_2 \wedge Q_3 \wedge Q_4 \wedge Q_6 \wedge Q_7 \quad (4.25)$$

La salida *TRIGGER* es la señal que ataca la fuente. Las señales enable1 y enable2 se generan con dos contadores de 8 bits y de módulo 6, respectivamente.

La figura 4.25(a) compara ambos controles integrales, estocástico y analógico, para el caso del arranque de la fuente y para un cambio de carga de 5Ω a 10Ω . La figura 4.25(b) muestra dos cambios de carga en sentidos opuestos, el primero de 5Ω a 3Ω y el segundo de 5Ω a 12Ω . Finalmente, la figura 4.26 se ha obtenido para dos cambios en la referencia, de 48 a 25 V el primero, y de 25 a 61 V el segundo. En todas estas gráficas, la respuesta de la implementación estocástica aparece superpuesta a la respuesta teórica.



(a) Respuesta del convertidor resonante para un control integral teórico y estocástico ante un arranque y un cambio de carga



(b) Respuesta del convertidor resonante para un control integral teórico y estocástico ante un arranque y dos cambios de carga en sentidos opuestos

Figura 4.25: Respuesta del convertidor resonante para un control integral teórico y estocástico ante un arranque y cambios de carga

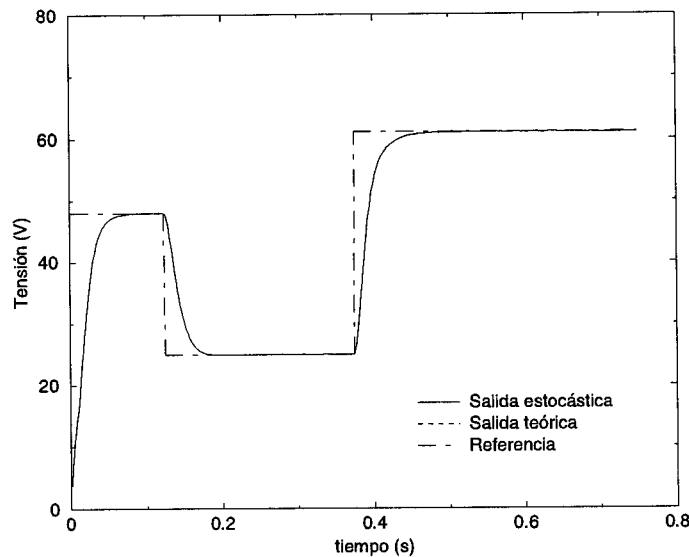


Figura 4.26: Respuesta del convertidor resonante para un control integral teórico y estocástico ante un cambio en la referencia

Este control se ha implementado en una FPGA de Xilinx, de la familia 4000, con los siguientes resultados de ocupación en área:

Device utilization summary:

Number of External IOBs	24 out of 61	39%
Flops:	0	
Latches:	0	
Number of Global Buffer IOBs	2 out of 8	25%
Flops:	0	
Latches:	0	
Number of CLBs	56 out of 400	14%
Total Latches:	0 out of 800	0%
Total CLB Flops:	49 out of 800	6%
4 input LUTs:	65 out of 800	8%
3 input LUTs:	7 out of 400	1%
Number of BUFGLSS	2 out of 8	25%

4.4.5 Implementación estocástica de un control por pasividad

Las técnicas de control basadas en pasividad han resultado ser de gran utilidad en una gran variedad de problemas de control, tanto mecánicos como eléctricos, como, por ejemplo, motores de inducción síncronos y asíncronos,

Variable	factor de escala	valor
$V_s, V_o, V_{ref}, V_{od}$	V_m	80v
$gest$	G_m	$0.25 \Omega^{-1}$
I_{Lest}	I_m	10A
Div	D_m	$10e8 (rad/s)^2$
u	U_m	20000 rad/s

Tabla 4.2: Factores de escala de las variables de control

sistemas robóticos manipuladores o convertidores de potencia DC-DC (véase [105] para una revisión completa de la materia). En particular, en [102] se propone una novedosa técnica de control para un convertidor DC-DC, combinando la metodología de diseño de controladores basados en pasividad con una ley adaptativa para estimar la carga resistiva de la fuente, desconocida a priori. El control propuesto en [102] se resume en el conjunto de ecuaciones (4.26).

$$\begin{aligned}
 I_{Lest} &= \frac{\pi V_{ref} gest}{4} \\
 C_0 \dot{V}_{od} &= \frac{4}{\pi} I_{Lest} - gest V_{od} \\
 \dot{gest} &= -\gamma V_{od} (V_o - V_{od}) \\
 Div &= \frac{V_s^2 - V_{od}^2}{\pi^2 L^2 I_{Lest}^2} \\
 u &= \sqrt{2 Div}
 \end{aligned}
 \tag{4.26}$$

donde I_{Lest} es la estimación de la corriente, V_{od} es la tensión de salida correspondiente a la estimación de intensidad, $gest$ es la estimación de la carga, γ es una constante de control calculada empíricamente y V_o es la tensión de salida de la fuente. En [102] se demuestra que este controlador estabiliza localmente de forma asintótica el bucle cerrado al punto de equilibrio deseado.

A diferencia de lo que ocurría en el control integral, en el conjunto de ecuaciones (4.26) tenemos variables que se mueven en rangos diferentes. Dado que la representación estocástica de las variables exige que se encuentren escaladas en el rango [0,1], es necesario normalizar las ecuaciones mencionadas utilizando para ello los valores máximos de las variables que intervienen en el problema de control. La tabla 4.2 detalla los valores máximo que se van a usar para normalizar las ecuaciones. Aplicando estos factores de escala, el conjunto de ecuaciones del controlador quedan normalizadas de la siguiente forma [106]:

$$\begin{aligned}
 \bar{I}_{Lest} &= \frac{\pi V_m G_m}{4 I_m} \bar{V}_{0ref} \bar{gest} \\
 \bar{V}_{od} &= \frac{1}{C_0 V_m} \int \left(\frac{4 I_m}{\pi V_m} \bar{I}_{Lest} - \bar{gest} \bar{V}_{od} G_m \right) dt
 \end{aligned}$$

$$\begin{aligned} \overline{gest} &= -\frac{\gamma V_m^2}{G_m} \int \overline{V}_{od}(\overline{V}_o - \overline{V}_{od})dt \\ \overline{Div} &= \frac{V_m^2}{\pi^2 L^2 D_m I_m^2} \frac{\overline{V}_s^2 - \overline{V}_{od}^2}{\overline{I}_{Lest}^2} \\ \overline{u} &= \frac{\sqrt{2D_m}}{u_m} \sqrt{\overline{Div}} \end{aligned} \quad (4.27)$$

donde $\overline{(\cdot)}$ representa valores por unidad.

El conjunto de ecuaciones (4.28) se puede manipular adecuadamente para llevar las constantes de normalización justo antes de los integradores. Según se estudió en el capítulo II, el circuito integrador nos proporciona a su salida un tren de pulsos cuya probabilidad I_k se expresa:

$$I_k = \frac{1}{2^n T_{clk}} \int_0^{t_0} \frac{f}{f_{esc}} dt = \frac{1}{K_I} \int_0^{t_0} \frac{f}{f_{esc}} dt \quad (4.28)$$

siendo f/f_{esc} la señal normalizada que se pretende integrar y n y T_{clk} el tamaño del contador y el período de reloj, respectivamente. La constante $K_I = 2^n T_{clk}$ puede aprovecharse para introducir las constantes resultantes de la normalización de las ecuaciones, de la misma manera que con el control integral se introducía una constante de integración dada.

El resultado de la implementación estocástica del controlador se detalla en la figura 4.27, donde se puede observar que se hace uso de dos constantes, 0.698 y 0.379, justo antes de los dos integradores del sistema de ecuaciones (4.28).

Para implementar el controlador se ha elegido una frecuencia de 18 MHz y $n=10$. En lugar de utilizar una señal *enable1* como en el caso del control integral, se ha aumentado simplemente el tamaño de los contadores, quedándonos con los 10 bits más significativos para generar un tren de pulsos estocásticos representativo del valor del contador.

Los bloques (d) y (e) corresponden a los circuitos de división y de cálculo de raíces cuadradas, respectivamente.

Finalmente, el circuito (f) genera la señal PWM de control de la fuente, introduciendo una señal de *enable* en el contador de comparación para obtener la señal pulsante *TRIGGER* (en este caso, igual que en el control integral).

Siguiendo con la notación gráfica establecida anteriormente, con un círculo indicamos una conversión de un valor digital a un tren de pulsos estocástico, lo que supone utilizar un LFSR más un comparador. Realmente, se utiliza un único LFSR, obteniéndose a partir de él varias secuencias desplazadas. El número que figura en el círculo determina la semilla inicial de cada LFSR, de acuerdo con la tabla 4.3.

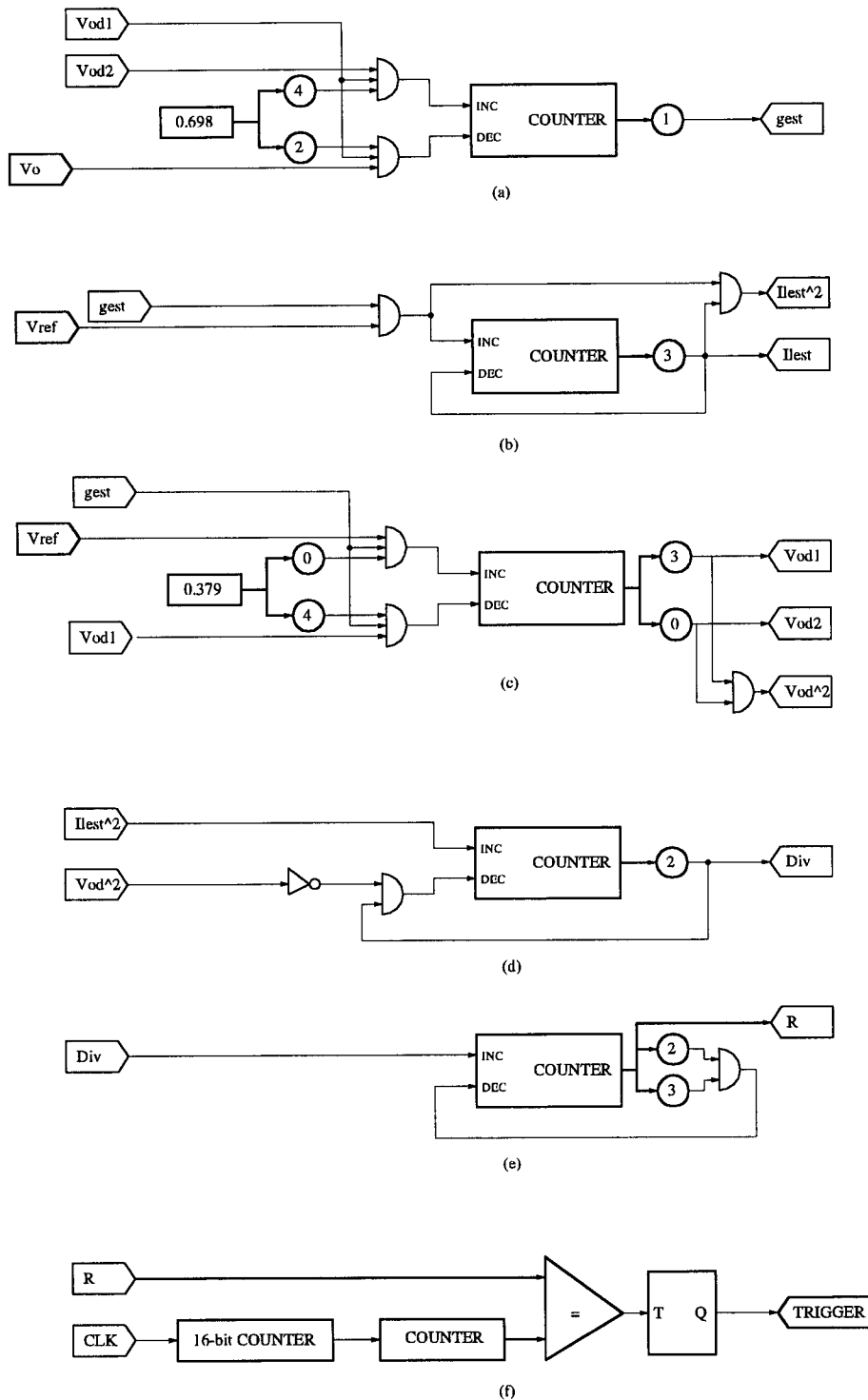
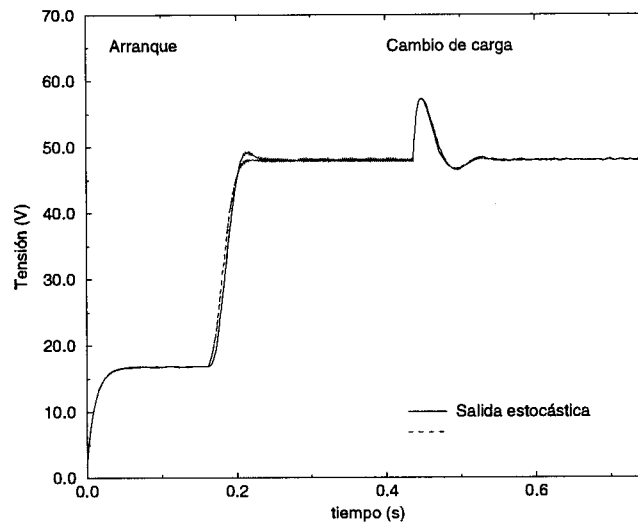
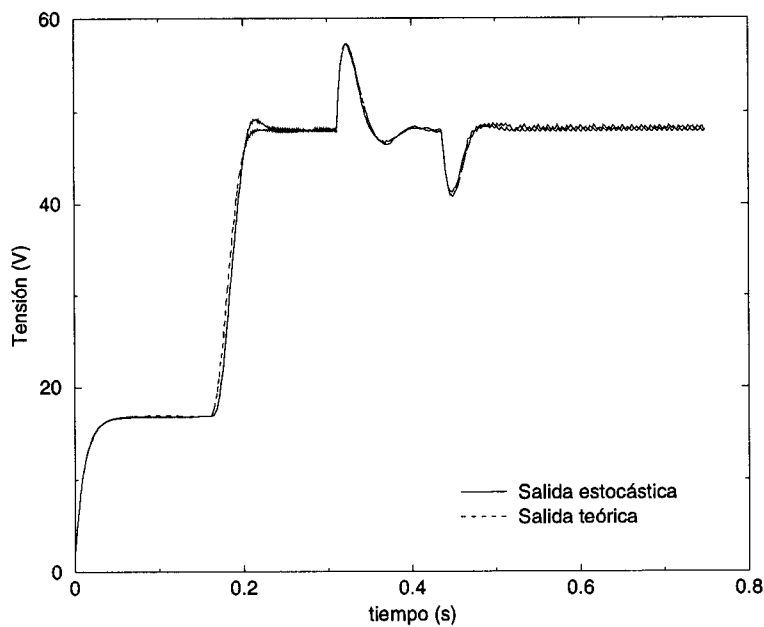


Figura 4.27: Realización digital de un control por pasividad empleando lógica estocástica



(a) Respuesta del convertidor resonante para un control por pasividad teórico y estocástico ante un arranque y un cambio de carga



(b) Respuesta del convertidor resonante para un control por pasividad teórico y estocástico ante un arranque y dos cambios de carga en sentidos opuestos

Figura 4.28: Respuesta del convertidor resonante para un control por pasividad teórico y estocástico ante un arranque y cambios de carga

LFSR #	value
0	1
1	458
2	756
3	703
4	843
5	575

Tabla 4.3: Semillas iniciales de los LFSRs

Nuevamente, compararemos la realización estocástica con el control analógico. La figura 4.28(a) muestra el comportamiento de ambos controladores en el arranque y en un cambio de carga de 5 a 10 Ω . La figura 4.28(b) es el caso de dos cambios de carga en sentidos opuestos. Finalmente, la figura 4.29 muestra la respuesta ante un cambio en la referencia.

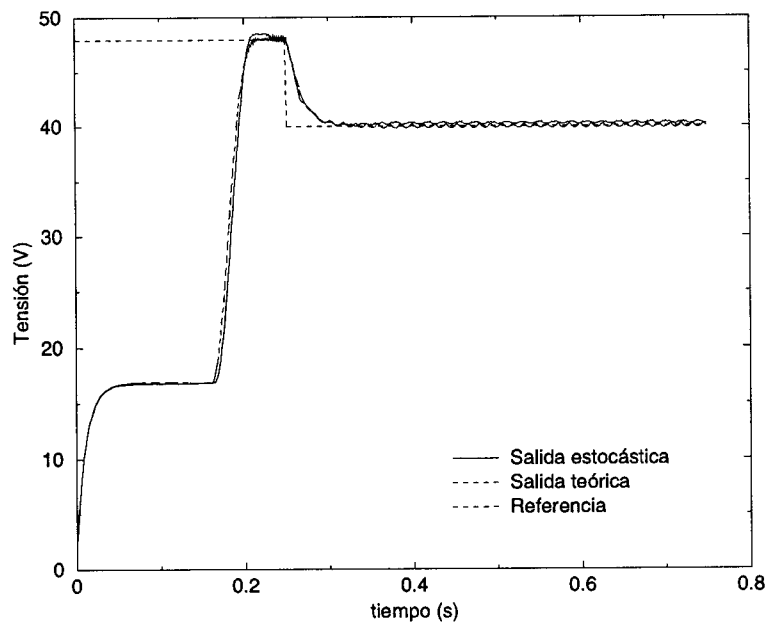


Figura 4.29: Respuesta del convertidor resonante para un control por pasividad teórico y estocástico ante un cambio de referencia

Frente al control integral, el control basado en pasividad presenta una respuesta más rápida frente a cambios de carga y menos sobretensión. De la figura se observa que conseguimos una respuesta de la implementación estocástica se ajusta de manera precisa a la respuesta del control analógico. A diferencia del control integral, donde las operaciones involucradas eran bastante simples, el control basado en pasividad lleva implícito resolver ecuaciones diferenciales y cálculos más complejos, como divisiones o raíces cuadradas. Y es precisamente aquí donde la aproximación estocástica aporta sus

principales ventajas.

Se trata de una aproximación totalmente digital, y por tanto implementable en dispositivos programables, cuyos tamaños y velocidades aumentan día a día.

Todos los circuitos se han implementado sobre el prototipo de la figura 4.1, que incluye un "buffer" de salida para atacar a la fuente.

Igual que con el control integral, el control por pasividad se ha implementado en una FPGA de Xilinx, de la familia 4000, con los siguientes resultados de ocupación en área:

Device utilization summary:

Number of External IOBs	14 out of 61	22%
Flops:	0	
Latches:	0	
Number of Global Buffer IOBs	1 out of 8	12%
Flops:	0	
Latches:	0	
Number of CLBs	167 out of 400	41%
Total Latches:	0 out of 800	0%
Total CLB Flops:	192 out of 800	24%
4 input LUTs:	126 out of 800	15%
3 input LUTs:	55 out of 400	13%
Number of BUFGLSs	1 out of 8	12%

Capítulo 5

Conclusiones y futuras líneas

Con esta Tesis doctoral se ha demostrado la posibilidad de emplear la lógica estocástica para implementar sistemas analógicos. Partiendo de las operaciones básicas (producto y suma) definidas en la bibliografía y de algunos esquemas de conversión previos, se han estructurado estos conocimientos, añadiendo y caracterizando nuevos bloques constructivos y nuevos esquemas de conversión, con los que es posible abordar aplicaciones novedosas con respecto a las que se citan en la bibliografía. Entre las aportaciones realizadas, cabe destacar:

- Sistema de primer orden.
Se ha definido y caracterizado un circuito digital de procesamiento estocástico caracterizado como un sistema de primer orden.
- Factor de ganancia.
La introducción de una constante en el bucle de realimentación permite multiplicar por constantes mayores que la unidad.
- Extensión de la aritmética estocástica.
Los circuitos anteriores junto con los circuitos de cálculo de divisiones y de raíces cuadradas e integradores permite sacar a la lógica estocástica de las tradicionales aplicaciones de implementación de redes neuronales abriendo un nuevo abanico de aplicaciones futuras.
- Definición de interfaces de codificación estocástica.
Se han presentado esquemas de conversión del dominio analógico y digital y viceversa, que completan un sistema cerrado donde, a partir de unas variables de entrada analógicas o digitales, se generan trenes de pulsos estocásticos, se procesan y se recupera el valor analógico o digital de salida.

Todos estos bloques constructivos se caracterizan por ser bloques totalmente digitales (salvo una parte del convertidor analógico estocástico) y por requerir

un pequeño número de puertas lógicas. En este sentido, la lógica estocástica aprovecha todas las ventajas de la electrónica digital, en cuanto a potentes sistemas de desarrollo, evolución tecnológica, inmunidad al ruido, costes menores . . . pero con la particularidad de que, frente a otras alternativas, requiere de una electrónica muy simple y compacta.

Como condición general, debe cumplirse que la frecuencia de trabajo digital debe ser varios órdenes de magnitud mayor que la frecuencia de las señales que se desean procesar, pues estamos serializando la información. Esta es una limitación que la propia evolución de a tecnología de los dispositivos programables se va a encargar de ir mejorando en el futuro, pues el ancho de banda que la lógica estocástica es capaz de procesar crecerá proporcionalmente con la velocidad de trabajo de los dispositivos programables en los próximos años. Los bloques constructivos anteriores se han caracterizado en cuanto a sus parámetros de diseño y sus limitaciones. A partir de ello, se ha aportado un método general de resolución de problemas desde la aproximación de la lógica estocástica.

La aplicaciones propuestas siguen un método general de resolución y representan una síntesis de los bloques individualmente estudiados. Las aplicaciones propuestas han sido:

- Realizaciones digitales de filtros paso-bajo y paso-alto.
- Medidor de potencia.
- Control de un convertidor serie resonante.

En general, el procesamiento estocástico aporta un tratamiento digital, compacto, robusto y simple , que puede diseñarse a base de bloques constructivos básicos, siguiendo un método general que incluya los escalados adecuados de las variables del problema y una óptima selección de los generadores de números pseudo-aleatorios.

En la actualidad, se está desarrollando una librería de circuitos básicos para ser integrada en los sistemas de desarrollo de dispositivos programables. El objetivo final consistiría en llegar a un sistema automático de diseño, donde dadas un conjunto de ecuaciones, el sistema de diseño se encargase de escalarlas adecuadamente y, a partir de un librería de bloques constructivos básicos, ofrecer un circuito estocástico de salida solución de ese conjunto de ecuaciones. Para que funcionase correctamente sería necesario incluir un estudio sobre las correlaciones de los generadores de números aleatorios utilizados.

Este sistema automático podría integrarse en un sistema de desarrollo de dispositivos programables para generar "macros" de salida. Partiendo de unas restricciones tecnológicas y unos parámetros introducidos por el usuario, el sistema automático se encargaría de generar una "macro" de salida digital, similar a utilidades parecidas que incorporan los sistemas de desarrollo digitales (figura 5.1). El objetivo sería hacer transparente el usuario el proceso de

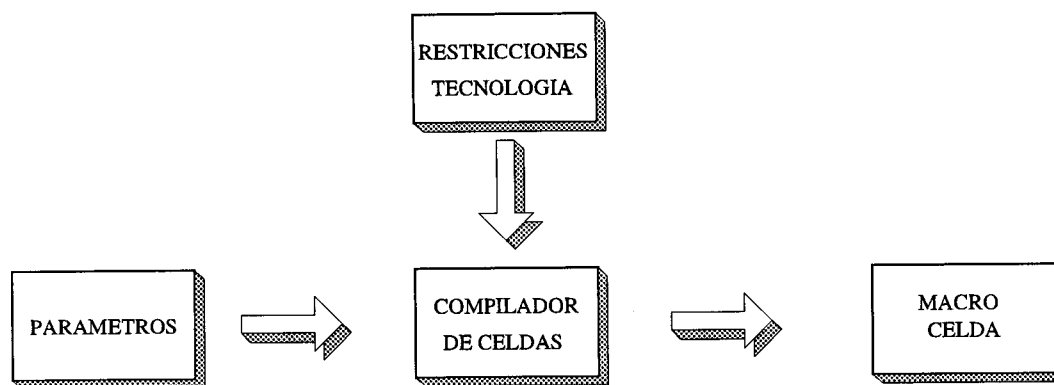


Figura 5.1: Sistema automático de generación de macroceldas

diseño descrito en la última de las aplicaciones propuestas, obteniendo simplemente una macro que enlace con el resto de su diseño. Por ejemplo, la figura 5.2 muestra lo que sería la realización de una "macro" correspondiente a un filtro de quinto orden, con una frecuencia de corte dada como parámetro, sobre una familia de un fabricante de dispositivos programables.

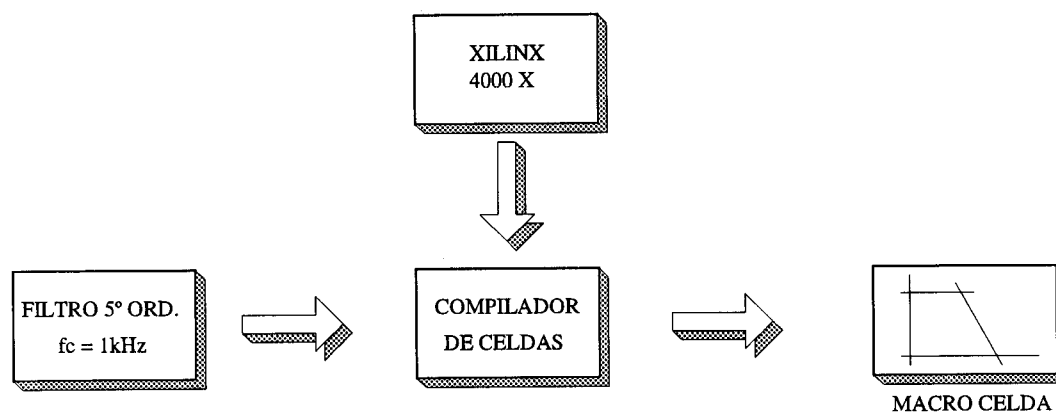


Figura 5.2: Ejemplo de generación de una "macro"

Otra de las futuras líneas de investigación consistiría en estudiar algunas alternativas en lo que respecta a la interpretación del valor codificado en el tren de pulsos. Una alternativa interesante es la que considera la información codificada en la razón de niveles lógicos alto y bajo en una secuencia, lo que supone extender el rango $[0,1]$ a un rango infinito.

Una idea poco explotada hasta el momento en la lógica estocástica es la explotación de las posibilidades de redundancia en la información como medio de mejorar la precisión y la velocidad de computación.

Finalmente, cabe mencionar la posibilidad de explorar nuevas aplicaciones en las que el procesamiento estocástico puede añadir mejoras sensibles sobre implementaciones a base de dispositivos programables de propósito general.

Bibliografía

- [1] J. von Neumann, "*Probabilistic logcs and synthesis of reliable organisms from unreliable components*" Automata Studies, pp. 43-98. Princeton University Press, Princeton, NJ, 1956
- [2] B.R. Gaines, "*Stochastic Computer Thrives on noise*" Electronics, pp. 72-79, July 1967.
- [3] B.R. Gaines, "*Stochastic Computing Systems*", Advances in Information Systems Science, vol. 2, chapter 2, pp. 37-172, Plenum Press, NJ, 1969.
- [4] S. Ribeiro, "*Random-pulse machines*", IEEE Transactions on Electronic Computers, vol. EC-16, no. 3, pp. 261-276, June 1967.
- [5] J. Ruth, "*Low-Power Stochastic Arithmetic Feed-Forward Neural Network*", Main subject thesis, Univ. Oslo, August 1994.
- [6] E. Petriu, K. Watanabe, T. Yeap and S. Ogawa, "*Neural Network Architecture Using Random-Pulse Data Processing*", Proc. 1995 IEEE Intl. Symposium on Circuits and Systems, pp. 2185-2188, Seattle, WA, 1995.
- [7] Gamze E. Salam and R.M. Goodman, "*A Digital Neural Network Architecture Using Random Pulse Trains*", Silicon Implementation of Pulse Coded Neural Networks, Kluwer, 1994.
- [8] M. Rossmann, A. Buhlmeier, G. Manteuffel and K. Goser, "*Short and Long Term Dynamics in a Stochastic Pulse Stream Neuron Implemented in FPGA*", Proc. Artif. Neural Networks ICANN'97, pp. 1241-1246, Lausanne, Switzerland, Oct. 1997.
- [9] C. Janer Jiménez, "*Arquitecturas Estocásticas Paralelas para la Realización Microelectrónica de Redes Neuronales*", Tesis Doctoral, Universidad de Sevilla, Mayo 1994.
- [10] J.G. Ortega "*Circuitos Electrónicos para el Procesamiento Paralelo de Señales Estocásticas*", Tesis Doctoral, Universidad de Sevilla, Oct. 1995.
- [11] M. van Daalen, P. Jeavons and J. Shawe-Taylor, "*A Stochastic Neural Architecture that Exploits Dynamically Reconfigurable FPGAs*", IEEE Proceedings of NAPA Conference on FPGAs, pp. 202-211, 1993.

- [12] R.G. Gallager, *"Discrete Stochastic Processes"*, Kluwer Academic Publishers, 1996.
- [13] M. van Daalen, P. Jeavons, J. Shawe-Taylor and D. Cohen, *"A Device for Generating Binary Sequences for Stochastic Computing"*, *Electronic Letters*, vol. 29, pp. 80-81, 1993.
- [14] A.F. Murray, D. del Corso and L. Tarassenko, *"Pulse-Stream VLSI Neural Networks Mixing Analog and Digital Techniques"*, *IEEE Transaction on Neural Networks*, vol. 2, no. 2, pp. 193-204, 1991.
- [15] P. Gupta and R. Kumaresan, *"Stochastic and Deterministic Computing with Pseudo-Random Sequence: Application to Digital Filtering"*, *Proc. 12th Ann. Conf. Signals Syst. Computers*, pp. 159-163, Pacific Grove, CA, 1987.
- [16] D.E. Van den Bout and T.K. Miller, *"A Digital Architecture Employing Stochasticism for the Simulation of Hopfield"*, *IEEE Transactions on Circuits and Systems*, vol. 36, no. 5, pp. 732-738, May 1989.
- [17] C.L. Janer, J.M. Quero and L.G. Franquelo, *"Fully Parallel Summation in a New Stochastic Neural Network Architecture"*, *IEEE Intl. Conf. on Neural Networks*, pp. 1498-1503, San Francisco 1993.
- [18] J.M. Quero, J.G. Ortega, C.L. Janer and L.G. Franquelo, *"VLSI Implementation of a Fully Parallel Stochastic Neural Network"*, *Proc. of the 1994 IEEE Intl. Conf. on Neural Networks, ICNN'94, Orlando, USA, July 1994.*
- [19] S-J. Min, Eel-Wan Lee and Soo-Ik Chae, *"A Study On the Stochastic Computation Using the Ratio of One Pulses and Zero Pulses"*, *IEEE Intl. Conf. on Circuits and Systems, ISCAS'94*, vol. 6, pp. 471-474, May 1994.
- [20] Joonho Lim and Soo-Ik Chae, *"Ratio Pulse Arithmetic for Radial Basis Function Network"* *Proc. Intl Conf. on Neural Networks, ICNN'95*, vol. 3, pp. 1492-1495, 1995.
- [21] D.E. Knuth, *"Seminumerical Algorithms"*, 2nd Ed., Vol. 2 of *The Art of Computer Programming*, Addison-Wesley, Reading PA, 1981.
- [22] M. Hennecke, *"RANEXP: Experimental Random Generator Package"*, *Computer Physics Communications* 79, pp. 261-267, 1994.
- [23] S.H. Tsao, *"Generation of Delayed Replicas of Maximal-Length Linear Binary Sequences"*, *Proc. Inst Elec. Eng.*, vol. 111, pp. 1803-1806, Nov. 1964.
- [24] A.N. Van Luyn, *"Shift Register Connections for Delayed Versions of m-Sequences"*, *Electron. Lett.*, vol. 14, pp. 713-715, Oct. 1978.

- [25] S.W. Golomb, *"Shift Register Sequences"*, Holden Day, San Francisco, 1967.
- [26] S.W. Golomb, *"On the Classification of Balanced Binary Sequences"*, IEEE Trans. Inf. Theory, vol. IT-26, no. 6, pp. 730-732, Nov. 1980.
- [27] F. Colodro Ruiz, *"Realizaciones Electrónicas Basadas en Lógica Estocástica de Circuitos Neuronales y Borrosos"*, Tesis Doctoral, Universidad de Sevilla, Dic. 1996.
- [28] J. Alspector, J.W. Gannett, Stuart Haber, M.B. Parker and R. Chu, *"A VLSI-Efficient Technique for Generating Multiple Uncorrelated Noise Sources and Its Application to Stochastic Neural Networks"* IEEE Trans. on Circuits and Systems, vol. 38, no. 1, Jan. 1991.
- [29] Young-Chul Kim and M.A. Shanblatt, *"Architecture and Statistical Model of a Pulse-Mode Digital Multilayer Neural Network"*, IEEE Trans. on Neural Networks, vol. 6, no. 5, Sept. 1995.
- [30] E. Petriu, K. Watanabe, T. Yeap, *"Applications of Random-Pulse Machine Concept to Neural Network Design"*, IEEE Trans. on Instrum. Meas., vol. 45, no. 2, pp. 665-669, April 1996.
- [31] M.J. Bellido, A.J. Acosta, M. Valencia, A. Barriga and J.L. Huertas, *"Simple Binary Random Number Generator"*, Electronic Letters, vol. 28, no. 7, pp. 617-618, March 1992.
- [32] J. Alspector, B. Gupta, R.B. Allen, *"Performance of a Stochastic Learning Microchip"*, Advances in Neural Inform. Processing Syst., pp. 748-760, Denver, Nov. 1988.
- [33] R. Hein, K. Kollmann, I. Martiny, K-R Riemschneider, H.C. Zeidler, *"Backpropagation Hardware Based on Bit-Stream Coding Using Amounts of Parallel Random Sources"*, NEURAP'96, Marseille, 1996.
- [34] G.M. Bernstein and M.A. Lieberman, *"Secure Random Number Generation Using Chaotic Circuits"*, IEEE Trans. on Circuits and Systems, vol. 37, pp. 1157-1164, Sept. 1990.
- [35] F.R. Palomo, J.M. Quero and L.G. Franquelo, *"Electronic Implementation of a Quasi Hamiltonian Dynamical System"*, Intl. Proc. of 42nd Midwest Symposium on Circuits and Systems, MWSCAS'99, Las Cruces, Nuevo Mexico, Aug. 1999.
- [36] A.F. Murray and A.V.W. Smith, *"Asynchronous Arithmetic for VLSI Neural Systems"*, Electronics Letters, vol. 23, no. 12, pp. 642-643, Jun. 1987.

- [37] A.F. Murray and A.V.W. Smith, "A Novel Computational and Signalling Method for VLSI Neural Networks", European Solid State Circuits Conf., pp. 19-22, VDE-Verlag, Berlin, 1987.
- [38] J.M. Quero, E.F. Camacho and L.G. Franquelo, "Neural Networks for Constraint Predictive Control", IEEE Trans. on Circuits and Systems, vol. 40, no. 9, pp. 621-626, Sept. 1993.
- [39] M. van Daalen, T. Kosel, P. Jeavons and J. Shawe-Taylor, "Emergent Activation Functions from a Stochastic Bit Stream Neuron", IEEE Electronic Letters, pp. 331-333, 1994
- [40] M. van Daalen, J. Shawe-Taylor and J. Zhao, "Real Time Output Derivatives for on Chip Learning Using Digital Stochastic Bit Stream Neurons", IEEE Electronic Letters, vol. 30, pp. 1775-1777, 1994.
- [41] A. Hamilton, A.F. Murray, D.J. Baxter, S. Churcher, H.M. Reekie and L. Tarassenko, "Integrated Pulse-Stream Neural Networks, results, issues and pointers", IEEE Trans. on Neural Networks, vol. 3, pp. 385-393, May 1992.
- [42] A.F. Murray, A. Hamilton, A.J. Holmes, G.B. Jackson, H.M. Reekie and R.J. Woodburn, "Circuits, Algorithms, Memory Technology and Applications for Pulse-Stream VLSI Neural Networks", IEEE Micro, pp. 29-39, 1994.
- [43] L.M. Reyneri, "A Performance Analysis of Pulse Stream Neural and Fuzzy Computing Systems", IEEE Trans. on Circuits and Systems II, vol. 42, no. 10, pp. 642-660, Oct. 1995
- [44] P. Ienne, "Digital Connectionist Hardware: Current Problems and Future Challenges", Proc. Intl. Work Conf. on Artif. and Nat. Neural Networks, IWANN'97, pp. 688-713, Lanzarote, Canarias, Spain, June 1997.
- [45] A. Torralba, E. Galván and L.G. Franquelo, "A Simple Controller Based on Stochastic Logic. Application to the Control of a DC Motor", Proc. of IEEE Intl. Conf. on Industrial Electronics, Control and Instrum. IECO-N'94, Bologna, Italy, Sept. 1994.
- [46] J.M. Retif and B. Allard, "A PWM Asic Using Stochastic Coding", Proc. of European Power Electronic Conf., 1992.
- [47] E.M. Petriu, "Absolute Position Measurement Applications of Pseudo-Random Encoding", IEEE Instrum. and Meas. Magazine, vol. 1, no. 3, pp. 19-23, 1998

- [48] K. Fanghaenel, K. Koellmann, H.C. Zeidler, R. Plessmann and K. Riemschneider, "Parallel Bit Stream Neurohardware for Blind Separation of Sources", Proc. Intl. Conf. on Acoustics, Speech and Signal Process., ICASSP'97, vol. 5, pp. 4149-4152, 1997.
- [49] S. Naess, "Design of Analog Low-Power Computational Systems using Stochastic Pulse Coding", Main subject Thesis, Univ. Oslo, 1999.
- [50] S. Naess and T.S. Lande, "Strategies for Automatic Synthesis of Analog Building Blocks", Proc. of the 1997 IEEE Intl. Symp. on Circuits and Systems ISCAS'97, pp. 1728-1731, vol. IV, 1997.
- [51] S. Naess and T.S. Lande, "Synthesis of Building Blocks for Low-Power Stochastic Pulse Coded Systems", Proc. of the 10th Annual Intl. ASIC Conf. and Exhibit, pp. 246-250, 1997.
- [52] Madhu-Sudan Gupta, "Applications of Electrical Noise", Proceedings of the IEEE, vol. 63, no. 7, pp. 996-1010, July 1975.
- [53] C.H. Vincent, "Random Pulse Trains, their Measurement and Statistical Properties", IEE Monograph Series 13, Peter Peregrinus, 1973.
- [54] A.J. Miller and P. Mars, "Optimal Estimation of Digital Stochastic Sequences", Intl. J. Systems, Sci., vol. 8, no. 6, pp. 683-696, 1977.
- [55] A.J. Miller, A.W. Brown and P. Mars, "Moving-Average Output Interface for Digital Stochastic Computers", Electron. Lett., pp. 419-420, Sept. 1974.
- [56] J.M. Quero, S.L. Toral, J.G. Ortega and L.G. Franquelo, "Continuous Time Filter Design Using Stochastic Logic", Intl. Proc. of 42nd Midwest Symposium on Circuits and Systems, MWSCAS'99, Las Cruces, Nuevo Mexico, Aug. 1999.
- [57] S.L. Toral, J.M. Quero and L.G. Franquelo, "Reactive Power and Energy Meter based on Random Signal Processing", DCIS'98, Madrid, pp. 346-351, Nov. 1998.
- [58] J.E. da Franca, "CMOS Analog-Digital Interface Design", Tutorial DCIS'97, Sevilla, Nov. 1997.
- [59] F.O. Eynde and W. Sansen, "Analog Interfaces for Digital Signal Processing Systems", Klower Academic Press, 1993.
- [60] J.M. Quero, C.L. Janer, J.G. Ortega and L.G. Franquelo, "D/A Converter ASIC Uses Stochastic Logic", EDN, pp. 86-88, Oct. 1996.

- [61] J.G. Ortega, C.L. Janer, J.M. Quero, L.G. Franquelo, J. Pinilla and J. Serrano, "*Analog to Digital and Digital to Analog Conversion Based on Stochastic Logic*", IEEE Intl. Conf. on Industrial Electronics, IECON'95, Orlando, Nov. 1995.
- [62] I. Fiez, "*Analog VLSI: Signal and Information Processing*", McGraw Hill, 1994.
- [63] R. Schreier and Bo Zhang, "*Delta-Sigma Modulators Employing Continuous-Time Circuitry*", IEEE Trans. on CAS-I, vol. 43, no. 4, pp. 324-332, April 1996.
- [64] F. Maloberti, "*A/D and D/A Converters*", IEEE-CAS Tour, Sevilla, Feb. 1999.
- [65] J.G. Proakis, "*Digital Communications*", McGraw Hill 3ª Ed., pp. 133-136, 1995.
- [66] Gonzalo Arnáiz Vellando, "*Introducción a la estadística teórica*", Ed. Lex Nova, pp.283-284, 1978
- [67] S.L. Toral, J.M. Quero, J.G. Ortega and L.G. Franquelo, "*Stochastic A/D Sigma Delta Converter on FPGA*", Intl. Proc. of 42nd Midwest Symposium on Circuits and Systems, MWSCAS'99, Las Cruces, Nuevo Mexico, Aug. 1999.
- [68] J. Logue, "*Virtex Analog to Digital Converter*", Advanced Application Note, Xilinx, March 1999.
- [69] J. Logue, "*Virtex Digital to Analog Converter*", Advanced Application Note, Xilinx, Feb. 1999.
- [70] B.E. Boser and B.A. Wooley, "*The Design of Sigma-Delta Modulation Analog to Digital Converters*", IEEE Journal of Solid State Circuits, vol. 23, no. 6, Dec. 1988.
- [71] C. Halper, M. Heiss and G. Bresseur, "*Digital to Analog Conversion by Pulse Count Modulation Methods*", IEEE Trans. on Instrum. and Meas., vol. 45, no. 4, Aug. 1996.
- [72] S. Naess, T.S. Lande and Y. Berg, "*Performance Enhancement in Stochastic Pulse Code Systems Using Parallelism and Redundancy*", Proc. of the 23th European Solid State Circuits Conf. ESSCIRC'97, pp. 400-403, 1997.
- [73] S. Naess and T.S. Lande, "*Building Blocks for Low-Power Stochastic Pulse Coded Systems*", Proc. of the 23th European Solid State Circuits Conf. ESSCIRC'97, pp. 164-167, 1997.

- [74] F.A. Wilson, *"A Reference Guide to Practical Electronics Terms"*, Bernard Babani Publishing, 1992.
- [75] Norma DIN, *"Current Interface for Pulse Transmission between Pulse Emitter Counter and Electric Rate Devices"*, DIN 43 864, pp. 1-4.
- [76] P.S. Filipski, Y. Baghzouz and M.D. Cox, *"Discussion of Power Definitions Contained in the IEEE Dictionary"*, IEEE Trans. on Power Delivery, vol. 9, no. 3, pp. 1237-1244, July 1994.
- [77] IEEE Working Group on Nonsinusoidal Situations, *"Practical Definitions for Powers in Systems with Nonsinusoidal Waveforms and Unbalanced Loads: A Discussion"*, IEEE Trans. on Power Delivery, vol. 11, no. 1, pp. 79-101, Jan. 1996.
- [78] IEEE Working Group on Nonsinusoidal Situations, *"A Survey of North American Electric Utility Concerns Regarding Nonsinusoidal Waveforms"*, IEEE Trans. on Power Delivery, vol. 11, no. 1, pp. 73-78, Jan. 1996.
- [79] L.S. Czarnecki, *"Additional Discussion to Reactive Power under Nonsinusoidal Conditions"*, IEEE Trans. on PAS, vol. PAS-102, no. 4, pp. 1023-1024, April 1983.
- [80] L.S. Czarnecki, *"What is Wrong with the Budeanu Concept of Reactive and Distortion Power and Why It Should be Abandoned"*, IEEE Trans. on Instrum. Meas., vol. IM-36, no. 3, pp. 834-837, Sept. 1987.
- [81] L.S. Czarnecki, *"Misinterpretations of some Power Properties of Electric Circuits"*, IEEE Trans. on Power Delivery, vol. 9, no. 4, pp. 1760-1769, Oct. 1994.
- [82] T. Lahti, *"Static kWh Meter"*, European Patent Application, no. EP 0 644 430 A1, July 1994.
- [83] D. Pradel, *"Compteur électronique de consommation d'énergie électrique"*, European Patent Application, no. EP 0 555 141 A1, Feb. 1993.
- [84] W.R. Germer, M. Negahban-Hagh, M.J. Ouellette and B. White, *"Electronic Watthour Meter"*, European Patent Application, no. EP 0 645 636 A1, Oct. 1990.
- [85] Sames Microelectronics Systems, *"Energy Measurement IC Databook"*, South African Microelectronic Systems Ltd., 1996.
- [86] C.I. Budeanu, *"Puissances reactives et fictives"*, Inst. Romain de l'Energie, Bucharest, Rumania, 1927.

- [87] W. Sheperd and P. Zakikhani, "Suggested Definition of Reactive Power for Nonsinusoidal Systems", Proc. Inst. Elec. Eng., vol 119, pp. 1361-1362, Sept. 1972.
- [88] D. Sharon "Reactive Power definitions and Power Factor Improvements in Nonlinear Systems", Proc. Inst. Elec. Eng., vol 120, pp. 704-706, June 1973.
- [89] S. Fryze, "Active, Reactive and Apparent Powers in Nonsinusoidal Systems", Przegląd Elektrot. (Polish), no. 7, pp. 193-202, 1931.
- [90] N.L. Kusters and W.J. Moore "On the Definition of Reactive Power under Nonsinusoidal Conditions", IEEE Trans. on Power Appl. Syst., vol PAS-99, pp. 1845-1854, Sept 1980.
- [91] C.H. Page "Reactive Power in Nonsinusoidal Situations", IEEE Trans. on Instrum. Meas., Vol IM-29, pp. 420-423, Dec. 1980.
- [92] L.S. Czarnecki, "Considerations on the Reactive Power in Nonsinusoidal Situations", IEEE Trans. on Instrum. Meas., Vol IM-34, no. 3, pp. 399-404, Sept. 1985.
- [93] L.S. Czarnecki, "Powers in Nonsinusoidal Networks: Their Interpretation, Analysis and Measurement", IEEE Trans. on Instrum. Meas., Vol 39, no. 2, pp. 340-345, April 1990.
- [94] L.S. Czarnecki, "Scattered and Reactive Current, Voltage and Power in Circuits with Nonsinusoidal Waveforms and Their Compensation", IEEE Trans. on Instrum. Meas., Vol 40, no. 3, pp. 563-567, June 1991.
- [95] P.S. Filipski, and P.W. Labaj, "Evaluation of Reactive Power Meters in the Presence of High Harmonic Distortion", IEEE Trans. on Power Delivery, Vol 7, No. 4, pp. 1793-1799, Oct. 1992.
- [96] Electric Power Quality Analyzer, *Reference Manual*, TeamWare, 1993.
- [97] S.L. Toral, J.M. Quero and L.G. Franquelo, "EC-RASP: A New Electrical Energy Static Counter Based on Random Signal Processing", DCIS'97, Seville, pp. 233-238, Nov. 1997.
- [98] S.L. Toral, J.M. Quero and L.G. Franquelo, "Power Energy Metering based on Random Signal Processing (EC-RPS)", ISCAS'98, Monterrey, California, May-June 1998.
- [99] S.L. Toral, J.M. Quero, J.G. Ortega and L.G. Franquelo, "Application of Stochastic Logic to Reactive Power and Energy Measurement", IECON'99, San Jose, CA, Dec. 1999 (aceptado para su publicación).

- [100] P.S. Filipski, and P.W. Labaj, "*Polyphase Apparent Power and Power Factor Under Distorted Waveform Conditions*", IEEE Trans. on Power Delivery, Vol 6, No. 3, pp. 1161-1165, July 1991.
- [101] S.C. Wong and A.D. Brown, "*Analysis, Modelling and Simulation of Series-Parallel Resonant Converters*", IEEE Trans. on Power Electronics, Vol 10, No. 5, pp. 605-614, Sept. 1995.
- [102] G. Escobar, "*On the non-Linear Control of Switching Power Electronic Systems*", PhD Dissertation developed in LSS-Supelec, France, 1999.
- [103] J.M. Quero, S.L. Toral, J.G. Ortea and L.G. Franquelo, "*Analog Controllers using Digital Stochastic Logic*", DCIS'99, Palma de Mallorca, Nov. 1999 (aceptado para publicación).
- [104] J.M. Carrasco, G. Escobar, E. Galván, R. Ortega and A.M. Stankovic, "*Adaptative Controllers for the Series Resonant Converter: an Experimental Comparative Study*", IECON'99, San Jose, CA, Dec. 1999 (aceptado para su publicación).
- [105] R. Ortega, A. Loria, P.J. Nicklasson and H. Sira-Ramírez, "*Passivity-based control of Euler-Lagrange Systems*", Springer-Verlag, Berlin, 1998.
- [106] J.M. Quero, S.L. Toral, J.M. Carrasco, J.G. Ortega and L.G. Franquelo, "*Continuous Time Controllers using Digital Programmable Devices*", IECON'99, San Jose, CA, Dec. 1999 (aceptado para su publicación).